



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2008년05월15일
(11) 등록번호 10-0829404
(24) 등록일자 2008년05월07일

(51) Int. Cl.

H01L 27/04 (2006.01)

(21) 출원번호 10-2001-0042929
(22) 출원일자 2001년07월16일
심사청구일자 2006년07월14일
(65) 공개번호 10-2002-0007228
(43) 공개일자 2002년01월26일

(30) 우선권주장
09/617,687 2000년07월17일 미국(US)
(56) 선행기술조사문헌
US5786616 A

전체 청구항 수 : 총 34 항

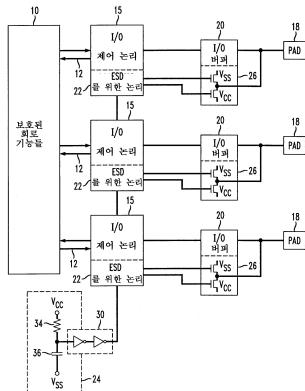
심사관 : 박해련

(54) 모노리식으로 형성된 저항기-커패시터 부분을 갖는 정전기방전 보호 장치

(57) 요 약

베이스 기판, 절연체 층 및 실리콘 층을 포함하는 실리콘-온-절연체(SOI) 기판과, 실리콘-온-절연체 기판에 형성되고 상기 실리콘 층 및 상기 절연체 층을 통해 상기 베이스 기판으로 확장하는 적어도 하나의 트렌치를 포함하는 트렌치 커패시터와, 실리콘-온-절연체 기판에 형성된 저항성 소자(resistive element)를 포함하는 반도체 장치에 관한 것이다. 커패시터 및 저항기 구조는 정전기 방전(ESD) 보호 장치를 트리거링하는데 사용될 수 있는 R-C 회로를 제공한다.

대표도 - 도14



특허청구의 범위

청구항 1

반도체 장치에 있어서,

베이스 기판, 절연체 층 및 실리콘 층을 포함하는 실리콘-온-절연체 기판;

상기 실리콘-온-절연체 기판에 형성되고 상기 실리콘 층과 상기 절연체 층을 통해 상기 베이스 기판으로 확장하는 적어도 하나의 트렌치를 포함하는 트렌치 커페시터; 및

상기 실리콘-온-절연체 기판에 형성된 저항성 소자를 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 트렌치는 상기 적어도 하나의 트렌치에 배치된 적어도 하나의 절연체 층을 포함하는, 반도체 장치.

청구항 3

제 2 항에 있어서,

상기 적어도 하나의 절연체 층은 실리콘 이산화물을 포함하는, 반도체 장치.

청구항 4

제 2 항에 있어서,

상기 적어도 하나의 트렌치 커페시터는, 상기 절연체 층의 제 1 측상에 배치된 적어도 하나의 제 1 도전 층 및 상기 절연체 층의 제 2 대향측상에 배치된 적어도 하나의 제 2 도전 층을 포함하는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 적어도 하나의 제 1 및 제 2 도전 층들은 실리콘 층들을 포함하는, 반도체 장치.

청구항 6

제 4 항에 있어서,

상기 적어도 하나의 제 1 및 제 2 도전 층들은 상기 트렌치 커페시터의 제 1 전극을 형성하는, 반도체 장치.

청구항 7

제 6 항에 있어서,

상기 적어도 하나의 트렌치에 인접하는 상기 베이스 기판의 일부분들은 상기 트렌치 커페시터의 제 2 전극을 형성하는, 반도체 장치.

청구항 8

제 1 항에 있어서,

상기 트렌치 커페시터는 상기 실리콘 층과 상기 절연체 층을 통해서 상기 베이스 기판 층으로 확장하는 적어도 하나의 부가적 트렌치를 포함하는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 적어도 하나의 부가적 트렌치는 그안에 배치된 도전 층을 포함하는, 반도체 장치.

청구항 10

제 9 항에 있어서,
상기 도전 층은 실리콘을 포함하는, 반도체 장치.

청구항 11

제 9 항에 있어서,
상기 적어도 하나의 부가적 트렌치는 상기 실리콘-온-절연체 기판의 베이스 기판 층에 접촉하기 위한 접촉 구조를 형성하는, 반도체 장치.

청구항 12

제 1 항에 있어서,
상기 실리콘-온-절연체 기판에 형성되고 상기 저항성 소자로 확장하는 적어도 하나의 제 1 트렌치를 더 포함하는, 반도체 장치.

청구항 13

제 12 항에 있어서,
상기 적어도 하나의 제 1 트렌치는 도전 재료로 채워진, 반도체 장치.

청구항 14

제 1 항에 있어서,
상기 실리콘-온-절연체 기판에 형성되고 상기 실리콘 층 및 상기 절연체 층을 통해서 상기 베이스 기판으로 확장하는 적어도 하나의 제 1 절연 트렌치를 더 포함하는, 반도체 장치.

청구항 15

제 14 항에 있어서,
상기 적어도 하나의 제 1 절연 트렌치는 절연 재료로 채워진, 반도체 장치.

청구항 16

반도체 장치를 형성하기 위한 방법에 있어서,
베이스 기판, 절연체 층 및 실리콘 층을 포함하는 실리콘-온-절연체 기판을 제공하는 단계;
상기 실리콘 층 및 상기 절연체 층을 통해서 상기 베이스 기판으로 확장하는 적어도 하나의 트렌치 구조를 형성하는 단계;
상기 실리콘-온-절연체 기판에 적어도 하나의 저항성 소자를 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 17

제 16 항에 있어서,
상기 트렌치 구조를 적어도 부분적으로 절연체 재료로 채우고, 그에 의해 트렌치 커페시터의 일부분을 형성하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 18

제 17 항에 있어서,
상기 절연체 재료는 실리콘 이산화물 재료를 포함하는, 반도체 장치 형성 방법.

청구항 19

제 17 항에 있어서,

상기 절연체로 채우기전에 제 1 도전 층으로 상기 트렌치 구조를 채우는 단계; 및

상기 절연체로 채운 후에 제 2 도전 층으로 상기 트렌치 구조를 채우고, 그에 의해 트렌치 커파시터를 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 20

제 19 항에 있어서,

상기 제 1 및 제 2 도전 층들은 실리콘의 층들을 포함하는, 반도체 장치 형성 방법.

청구항 21

제 16 항에 있어서,

제 1 도전 층으로 상기 적어도 하나의 트렌치를 부분적으로 채우는 단계; 및

상기 장치의 상부 표면위에 제 2 산화 저항성 막 층을 형성하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 22

제 21 항에 있어서,

상기 적어도 하나의 트렌치에 배치된 상기 제 1 도전 층을 노출시키기 위해 상기 적어도 하나의 트렌치의 바닥 표면을 에칭하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 23

제 22 항에 있어서,

상기 적어도 하나의 트렌치에 배치된 상기 제 1 도전 층상에 제 2 절연체 층을 제공하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 24

제 23 항에 있어서,

상기 제 2 절연체 층상에 적어도 하나의 제 2 도전 층을 제공하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 25

제 16 항에 있어서,

상기 실리콘 층과 상기 절연체 층을 통해서 상기 베이스 기판으로 확장하는 적어도 하나의 제 1 부가적 트렌치 구조를 형성하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 26

제 16 항에 있어서,

적어도 하나의 제 1 트렌치를 상기 실리콘-온-절연체 기판에 형성하고 상기 저항성 소자로 확장시키는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 27

제 26 항에 있어서,

상기 적어도 하나의 제 1 트렌치는 도전 재료로 채워지는, 반도체 장치 형성 방법.

청구항 28

제 16 항에 있어서,

적어도 하나의 제 1 절연 트렌치를 상기 실리콘-온-절연체 기판에 형성하고 상기 실리콘 층과 상기 절연체 층을 통해서 상기 베이스 기판으로 확장시키는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 29

제 28 항에 있어서,

상기 적어도 하나의 제 1 절연 트렌치는 절연 재료로 채워지는, 반도체 장치 형성 방법.

청구항 30

반도체 장치를 형성하는 방법에 있어서,

베이스 기판, 절연체 층 및 실리콘 층을 포함하는 실리콘-온-절연체 기판을 제공하는 단계;

상기 실리콘 층과 상기 절연체 층을 통해서 상기 베이스 기판으로 확장하는 적어도 2개의 트렌치 구조들을 형성하는 단계; 및

상기 실리콘-온-절연체 기판에 적어도 하나의 저항성 소자를 형성하는 단계를 포함하는, 반도체 장치 형성 방법.

청구항 31

제 30 항에 있어서,

상기 적어도 2개의 트렌치 구조들 중 하나의 트렌치 구조를 적어도 부분적으로 절연체 재료로 채우고, 그에 의해 트렌치 커페시터의 일부분을 형성하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 32

제 31 항에 있어서,

상기 절연체 재료는 실리콘 이산화물 재료를 포함하는, 반도체 장치 형성 방법.

청구항 33

제 31 항에 있어서,

상기 적어도 2개의 트렌치 구조들 중 다른 하나의 트렌치 구조를 적어도 부분적으로 도전 층으로 채우고, 그에 의해 접촉 구조를 형성하는 단계를 더 포함하는, 반도체 장치 형성 방법.

청구항 34

정전기 방전 보호 장치에 있어서,

베이스 기판, 절연체 층 및 실리콘 층을 포함하는 실리콘-온-절연체;

상기 실리콘-온-절연체 기판에 형성되고 상기 실리콘 층 및 상기 절연체 층을 통해 상기 베이스 기판으로 확장하는 적어도 하나의 트렌치를 포함하는 트렌치 커페시터; 및

상기 실리콘-온-절연체 기판에 형성된 저항기를 포함하는, 정전기 방전 보호 장치.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 공동으로 양도된 미국 특허 출원 제 09/611,907 호, 대리인의 명부 번호 Chittipeddi 75-11에 관계가

있다.

<19> 본 발명은 정전기 방전(ESD) 보호 장치들과 그 장치를 형성하기 위한 방법들에 관한 것이며, 특히, 모놀리식으로 형성된 ESD 보호 장치들과 그 장치들을 형성하는 방법들에 관한 것이다.

<20> 예를 들어, 금속-산화물 반도체 전계효과 트랜지스터들(MOSFETs)과 같은 전계 효과 장치들을 이용하는 집적 회로들(ICs)은 정전기 방전(ESD)에 대한 민감성(susceptibility)의 이력을 가지고 있다. 프로세스 기술에서 이루어지는 회로 모양들(features)의 감소하는 크기와 개선들이 지속적으로 주어지면서, ESD는 IC 제조자들에 대한 중요한 관심사가 되었다. 일상의 활동만으로 발생된 정전기는 많은 전계 효과 회로들을 파괴시키거나 실질적으로 해를 줄 수 있다. 손상에 가장 민감한 회로들은 패키징된 대개 공정이 종료된 회로들이지만, 공정이 종료된 생산품에 아직 설치되지는 않은 것이다. 설치가 되면, 다른 수단이 상기 칩을 손상으로부터 보호할 수 있다.

<21> 정전기 방전은, 설치전에 회로를 개별적으로 다루는 것에 의해 회로가 접촉될 때와, 패키징된 회로가 다른 표면을 가로질러 편들상에서 미끄러짐에 따라 전기 방전이 발생할 때와, 더 일반적으로는, 회로가 정전기에 노출될 때마다 통상적으로 발생한다.

<22> 메릴(Merrill)에 의한 미국 특히 제 5,239,440 호는 ESD 보호를 제공하기 위한 회로를 개시하며, 이것은 본 명세서에 참조문헌으로서 포함되어 있다. 회로는 트리거링부(triggering portion: 24)와 클램핑부(clamping portion: 26)를 포함한다(도 1 참조). 트리거링부(24)는 클램핑부(26)를 제어하여, 전원 전압(V_{cc})은 정전기 방전 '사건(event)'이 발생할 때마다 접지에 션트된다(shunted). 트리거링부(24)는 트리거링부(24)에 대한 시간 상수를 설정하는 저항기(34)와 커패시터(36)를 포함한다. 시간 상수는 회로의 클램핑부(26)가 활성화되는 기간들을 제어한다.

발명이 이루고자 하는 기술적 과제

<23> 그러나, 메릴(Merrill) 회로의 트리거링부(24)는 보호될 집적 회로 가까이에 배치된 이산(discrete) 성분 회로로서 기술된다. IC에 이산 성분들의 부가는 IC의 크기를 크게 증가시키고, 더 작은 크기가 거의 항상 바람직하므로, 그와 같은 성분들의 부가는 그와 같은 IC의 상업적 가능성(commercial viability)을 감소시킨다.

<24> 그러므로, 보호될 집적 회로의 표면에서 모놀리식으로 형성된 ESD 보호 회로에 대한 필요성이 일반적으로 존재한다.

<25> 본 발명은, 베이스 기판, 절연체 층 및, 실리콘 층을 포함하는 실리콘-온-절연체 기판과, 실리콘-온-절연체 기판에 형성되고 실리콘 층과 절연체 층을 통해서 베이스 기판으로 확장하는 적어도 하나의 트랜치를 포함하는 트랜치 커패시터와, 실리콘-온-절연체 기판에 형성된 저항성 소자를 포함하는 반도체 장치이다.

<26> 본 발명의 상기 및 다른 장점들은 첨부된 도면들과 연결하여 제공되는 본 발명의 양호한 실시예들의 다음의 상세한 설명으로부터 더 잘 이해될 것이다.

발명의 구성 및 작용

<27> 도 1 내지 도 13은 본 발명의 예시적인 실시예에 따른 커패시터 및 저항기를 형성하는데 사용된 프로세스 시퀀스를 도시한다.

<28> 도 1 내지 도 13을 언급하면, 본 발명의 예시적인 실시예에 따른 정전기 방전(ESD) 보호 장치와 함께 사용하기 위한 트리거링(triggering) 회로를 형성하기 위한 프로세스가 도시된다.

<29> 도 14는 다른 회로(10)를 보호하기 위해 사용된 정전기 방전(ESD) 보호 회로를 도시한다. 도 14에 도시된 바와 같이, 보호된 회로(10)는 일련의 입력/출력 노드들(10)을 가지고 있다. 간단히 하기 위해, 3개의 그와 같은 노드들만이 도면에 도시되어 있지만, 통상적으로 실시예에서 수백 개의 그와 같은 노드들이 있을 수 있다는 것이 이해되어야 한다. 보호된 회로는 임의의 기능을 가질 수 있으나, 통상적으로 게이트 어레이 등과 같은 디지털 논리 회로가 될 것이다. 보호된 회로(10)를 위한 데이터, 어드레스들 및, 다른 신호들은, 도 14의 모든 회로가 형성되는 집적 회로 주위에 통상적으로 위치된 본딩 패드들(bonding pads)(18)에서 수신된다. 그 다음에, 이러한 신호들은 보호된 회로에 도달하기 전에 입력/출력 버퍼들(20) 및 입력/출력 제어 논리(control logic)(15)에 공급된다. 물론, 유사한 방식으로, 보호되는 집적 회로 밖의 회로들을 위해, 보호된 회로 내에서 발생하는 신호들은, 제어 논리(15) 및 버퍼들(20)을 통해 보호된 회로(10)로부터 본딩 패드들(18)에 공급된다.

<30> 중요하게도, 기술된 종래의 회로에 부가하여, 도 14에 도시된 회로는 트리거링 회로(24)와 버퍼 회로(30)로 구

성된 정전기 방전 보호 회로를 제어하거나 "트리거링"하기 위한 몇몇 부가적인 논리(22)를 포함한다. 정전기 방전 회로는 또한 정전기 방전이 발생하는 동안 접지로 전원 전압(V_{cc})을 션트(shunt)시키기 위해 동작하는 클램핑 회로들(clamping circuits:26)과 논리 회로들(22)을 포함한다.

<31> 본질적으로, 도 14에 도시된 트리거링 회로(24)는 정전기 방전이 발생할 때마다 전원 전압(V_{cc})을 접지(V_{ss})에 쇼트(short)시키기 위해 클램핑 회로들(26)을 제어한다. 트리거링 회로(24)의 저항기(34)와 커패시터(36) 성분들의 값들을 조정하여, 더 짧거나 더 긴 기간들이 사용될 수 있다. 양호한 실시예에서, 논리 회로(22)는 버퍼(30)를 통해 저항기-커패시터 회로(24)에 접속된다. 버퍼 회로(30)는 신호가 논리 회로(22)에 인가되기 전에 트리거링 회로(24)로부터 신호를 버퍼처리한다. 또한, 트리거링 회로(24)의 커패시터(36)는 V_{ss} 에 접속되고, 반면 저항기(34)는 V_{cc} 에 접속된다.

<32> 트리거링 회로(24)는 양호하게 설정되어, 저항기(34)와 커패시터(36)의 회로 시간 상수는 클램핑 회로(26)가 정전기 방전시를 초과하는 시간 기간동안 온(on)이되도록 된다. 양호한 시간 상수는 약 1 마이크로초인데, 그 이유는 방전이 논리 회로에 전력을 공급하는 것을 허용하고, 클램핑 회로(26)내의 상보형 트랜지스터들이 스위칭하는 것을 가능하게 하기에 충분히 크기때문이며, 그럼에도 정상 전원 램프-업(ramp-up)동안 트리거할수 없을 정도로 충분히 작다.

<33> 본 발명에 따라, 트리거링 회로(24)[용량성(예를 들어, 커패시터(36)) 및 저항성(예를 들어, 저항기(34)) 소자들을 포함]은 보호된 접적 회로(10)의 표면에 모놀리식으로 형성될 수 있다. 트리거링 회로(24)를 모놀리식으로 형성하기 위한 아래에 기술된 프로세스는 [보호된 접적 회로(10)의] 실리콘-온-절연체(SOI)기판을 참조하여 기술되지만, 본 프로세스는 다른 기판들[예를 들어, 금속-온-금속 (MOM) 기판들]에 적용될 수 있다는 것을 유의해야 한다. 트리거링 회로는 커패시터와 저항기 장치(100)로서 아래에 기술될 것이며, 이것은 각각 형성되거나 또는, 접적 회로[예를 들어, 접적 회로(10)]의 표면에 형성될 수 있다.

<34> 도 1은 커패시터와 저항기 장치의 생산에서의 제 1 단계를 도시하며, 반도체 베이스 기판 층(110), 절연체 층(115) 및, 실리콘 층(120)이 형성된 실리콘-온-절연체(SOI) 기판을 나타낸다. 반도체 베이스 기판 층(110)은, 반도체 제조 산업에서 이미 공지된 바와 같이, 실리콘(Si) 웨이퍼로 형성될 수 있지만, 다른 재료들이 본 발명의 범위를 벗어나지 않고 반도체 베이스 기판 층을 위해 사용될 수도 있다. 절연체 층(115)은 실리콘 이산화물(SiO_2)로 형성될 수 있지만, 다른 절연체들이 이용될 수도 있다. 실리콘 층(120)은 비정질 실리콘 층일 수 있거나, 또는 다결정 실리콘 층(일반적으로 폴리실리콘으로 언급되거나)일 수 있다. 절연체 층(115)의 두께는 200 옹스트롬 내지 6000 옹스트롬의 범위에 있을 수 있고, 실리콘 층(120)의 두께는 500 옹스트롬 내지 4000 옹스트롬의 범위에 있을 수 있다. 그러나, 이들 범위들은 단지 제안된 치수들이며, 절연체 층(115)과 실리콘 층(120)의 두께는 임의의 적당한 범위에 있을 수 있다는 것을 주목해야 한다.

<35> 도 2는 프로세스에서의 제 2 단계를 도시하며, 트렌치들(trenches)(300, 310)은 SOI 기판에 형성된다. 트렌치들(300, 310)은 에칭 및 다른 이미 공지된 프로세스들에 의해 형성될 수 있다. 트렌치들(300, 310)은 아래에 설명된 바와 같이 트렌치 커패시터의 분리된 단자들을 형성하기 위해 사용된다. 도 3에 도시된 바와 같이, 트렌치들(300, 310)은 적어도 부분적으로 베이스 기판 층(110)으로 양호하게 확장한다. 트렌치(300)의 폭은 0.1 마이크론에서 2-3 마이크론으로 양호하게 변화하고, 트렌치의 깊이는 0.5 마이크론에서 6 마이크론으로 양호하게 변화한다. 트렌치(300)의 "종횡비(aspect ratio)"는 깊이-대-폭의 비로서 정의되며, 양호하게는 6보다 작게 된다. 트렌치(310)는 트렌치(300)의 것과 동일하거나 유사한 치수들을 가질수 있지만, 그와 같은 형태(geometry)가 요구되지는 않는다. 간단히 하기 위해, 트렌치들(300 및 310)은 도면들에서 동일한 치수들을 갖는 것으로 도시된다. 트렌치(300)는 트렌치 커패시터를 형성하고, 트렌치(310)는 SOI 기판의 베이스 기판 층(110)에 접촉하기 위한 접촉 구조를 형성한다는 것에 유의한다.

<36> 도 3은 프로세스에서의 제 3 단계를 도시하며, 트렌치들(300, 310)은 실리콘(양호하게는, 도핑된 폴리실리콘)과 같은 도전성 재료(130)로 채워진다. 도전 층(130)은 베이스 기판 층(110)상에 에피택셜 실리콘을 성장시키거나, 본 기술 분야에 이미 공지된 증착 프로세스들[예를 들어, 화학적 기상 증착(CVD)]에 의해 형성될 수 있다.

<37> 도 4는 프로세스에서의 제 4 단계를 도시하고, 산화물 저항층(140)은 장치(100)의 위쪽 표면상에 형성된다. 산화물 저항층(140)은 실리콘 나이트라이드 (Si_3N_4), 티타늄 나이트라이드(TiN), 텅스텐 나이트라이드(WN), 탄탈륨 나이트라이드(TaN), 또는 임의의 다른 적당한 산화물 저항 재료로 형성될 수 있다. 산화물 저항층(140)은 양호하게 50 옹스트롬 내지 500 옹스트롬 범위의 두께를 가진다. 산화물 저항층(140)은 베이스 기판 층(110)과 상부

(upper) 실리콘 층(120)사이에서 발생할 수 있는 전기적 단락(shorting)을 실질적으로 방지한다.

<38> 도 5는 프로세스에서의 제 5 단계를 도시하며, 마스킹막(150)은 장치(100)의 상부 표면의 특정 부분들상에 증착된다. 마스킹막(150)은 포토레지스트 재료로 양호하게 형성되지만, 다른 적당한 마스킹 막들도 사용될 수 있다. 예시적인 실시예에서, 마스킹 막(150)은 트렌치(300)를 제외하고 장치(100)의 상부 표면의 모든 부분들을 덮는다. 도 5에 도시된 바와 같이, 마스킹 막(150)이 증착된 후에, 노출되고, 트렌치(300)에 증착된 제 2 산화물 저항층(140)의 일부는 트렌치의 바닥에서 도전 층(135)을 노출시키기 위해 에칭된다.

<39> 도 6은 프로세스에서의 제 6 단계를 도시하며, 제 2 절연체 층(160)은 도전 층(135)상의 트렌치(300)에 놓여진다. 제 2 절연체 층(160)은 실리콘 이산화물로 양호하게 형성되지만, 다른 적당한 절연체들로 형성될 수 있다. 제 2 절연체 층은 도전 층(135)상에 실리콘 이산화물을 성장시키거나, (기술분야에서 이미 공지된 바와 같이, 부가적인 마스킹 단계를 요구할) 증착에 의해서 형성될 수 있다. 제 2 절연체 층(160)은 1 제곱 마이크론 내지 500 제곱 마이크론 범위의 영역을 양호하게 가지고 있다.

<40> 도 7은 프로세스에서의 제 7 단계를 도시하며, 산화 저항성 막층(140)의 일부는 제거된다. 제 2 마스킹층(170) 및, 비동방성(anisotropic) 에칭 프로세스는, 각각 트렌치의 바닥으로부터 및 장치(100)의 상부 표면으로부터 제 2 산화 저항성 막층(140)을 제거하기 위해 사용된다.

<41> 도 8은 프로세스에서의 제 8 단계를 도시하며 제 2 도전 층(180)은 트렌치들 (300, 310) 모두를 채우기 위해 사용된다. 제 2 도전 층(180)은 실리콘으로 형성될 수 있으며, 양호하게는 폴리실리콘으로 형성될 수 있다. 우선, 제 2 도전 층(180)은 트렌치들(300, 310)에 증착되고, 장치(100)의 상부 표면은 도 8에 도시된 바와같은 장치를 형성하기 위해 (화학적 기계적 폴리싱(CMP)과 같은 이미 공지된 기술들을 사용하여) 평탄화된다.

<42> 도 9는 프로세스에서의 제 9 단계를 도시하며, 장치(100)의 상부 표면은 부분적으로 마스킹층(205)으로 덮이고, 장치의 도핑은 이온 주입을 통해 이루어진다. 양호하게, 이온들(200)은 반도체 베이스 기판 층(110)에 n-도핑층 (n^+)(210)을 형성하기 위해 장치(100)에 주입된다(도 10). n-도핑층(210)은 트리거링 회로(24)의 저항기(34)를 형성하기 위해 양호하게 사용된다(도 15).

<43> 도 10은 프로세스에서의 제 10 단계를 도시하며, 마스킹층(205)은 제거된다. 이시점에서, 장치(100)는 도 10에 도시된 바와 같이 나타나며, n-도핑층(210)은 반도체 베이스 기판 층(110)에 배치된다. 상술된 바와 같이, n-도핑층(210)은 저항성 소자를 형성한다.

<44> 도 11은 프로세스에서의 제 11 단계를 도시하며, 부가적 트렌치들(221, 222)은 SOI 기판에서 형성된다. 양호한 실시예에서, 부가적 트렌치들(221, 222)은 n-도핑층(210)으로 양호하게 확장한다. 트렌치들(221, 222)은 에칭 및 다른 이미 공지된 프로세스들에 의해 형성될 수 있다. 트렌치들(221, 222)은 아래에 설명된 바와 같이, n-도핑층(210)에 접촉하기 위한 수단을 형성하기 위해 사용된다. 도 11에 도시된 바와 같이, 트렌치들(221, 222)은 실리콘 층(120), 절연체 층(115)을 통과하여 n-도핑층(210)으로 약간 확장하지만, 베이스 기판 층(110)으로는 확장하지 않는다. 트렌치들(221, 222)은 동일하거나 유사한 치수들을 가질 수 있지만, 그와 같은 형태는 요구되지 않는다. 간단히 하기위해, 트렌치들(221, 222)은 도면들에서 동일한 치수들을 갖는 것으로 도시된다. 트렌치들(221, 222) 모두는 n-도핑층(210)에 접촉하기 위해 사용된다.

<45> 도 12는 프로세스에서의 제 12 단계를 도시하며, 부가적인 트렌치들(221, 222)은 제 3 도전 층(230)(양호하게는 폴리실리콘)으로 채워진다. 우선, 도전 층(230)이 트렌치들(221, 222)에 증착되고, 장치(100)의 상부 표면이 도 12에 도시된 바와같은 장치를 형성하기 위해 (화학적 기계적 폴리싱(CMP)과 같은 이미 공지된 기술들을 사용하여) 평탄화된다. 대안으로, 트렌치들(221, 222)은 구리 (Cu), 알루미늄(Al) 등과 같은 도전성 금속으로 채워질 수 있다.

<46> 도 13은 프로세스에서의 제 13(마지막) 단계를 도시하며, 절연 트렌치들(isolation trenches:240)은 에칭되며 절연 재료로 채워진다. 절연 트렌치들(240)은 주위의 전기 소자들로부터 장치(100)의 전기적 절연을 제공한다. 절연 트렌치들(240)은 기술분야에서 이미 공지된 에칭기술에 의해 형성될 수 있다. 절연 재료는, CVD와 같은, 기술분야에서 이미 공지된 기술들에 의해 절연 트렌치들(240)에서 형성될 수 있다. 절연 재료는 임의의 적당한 절연체를 포함할 수 있으나, SiO_2 가 양호하다.

<47> 그래서, 상술된 프로세스는 도 13에 도시된 바와같은 커패시터와 저항기 장치(100)를 형성하기 위해 이용될 수 있다. 트렌치(300)에 형성된 도전 층들(130과 180)은 커패시터의 제 1 전극을 형성하고, 트렌치(300)에 인접한 베이스 기판 층 (110)의 일부분들은 커패시터의 제 2 전극을 형성한다. 제 1 전극에의 접촉은 트렌치(300) 위에

있는 금속 지역(metal land)(300)을 통해 이루어질 수 있고, 제 2 전극에의 접촉은 트렌치(310)위에 있는 금속 지역(300)을 통해 이루어질 수 있다. 유사하게, n-도핑층(210)은 부가적 트렌치들(221, 222)을 통해 접촉된 저항기를 형성한다.

<48> 본 발명의 한 측면은 SOI 기판상에 형성된 트렌치 커파시터이며, 본 트렌치 커파시터는, 트렌치에 인접하고 SOI 기판의 절연체 층(115) 아래에 배치된 베이스 기판 층(110)의 영역들에 의해 형성된 전극(제 2 의)을 갖는다는 것이 강조되어야 한다. 본 발명의 다른 측면은 트렌치 커파시터의 가까운 근처에 형성된 접촉(contact) 구조(트렌치(310))이며, 본 접촉구조는 SOI 기판의 절연체 층(115)을 통해 확장한다. 따라서, 트렌치(300)에 형성된 도전 층들(130과 180)은 반도체 커파시터의 제 1 전극을 형성하고, 트렌치(300)와 접경한 베이스 기판 층(110)의 일부분들은 트렌치(310)에 형성된 접촉 구조를 통해 접촉될 수 있는 반도체 커파시터의 제 2 전극을 형성한다.

<49> 본 발명의 다른 장점은 장치(100)의 최상부 표면이 평면이며, 그에 의해, 끼어있는 충형성(intervening layering) 단계들에 대한 필요없이 장치의 상부 표면상의 부가적 레벨들의 형성을 허용한다.

<50> 트렌치들(300, 310)에서 커파시터 구조들에 접촉하기 위해 사용된 부가적 레벨들(유전체들, 도전성 접촉들) 및 부가적 트렌치들(221, 222)의 베이스에서의 저항기 구조는 장치(100)의 상부 표면상에 또한 형성될 수 있다는 것을 유의해야 한다.

<51> 본 발명은 예시적인 실시예들에 의해서 기술되었지만, 그것에 한정되지는 않는다. 오히려, 첨부된 청구항들은, 본 발명의 등가물들의 영역과 범위를 벗어나지 않고서 당업자에 의해 이루어질 수 있는 본 발명의 다른 변형들 및 실시예들을 포함하는것으로 넓게 해석되어야 한다.

발명의 효과

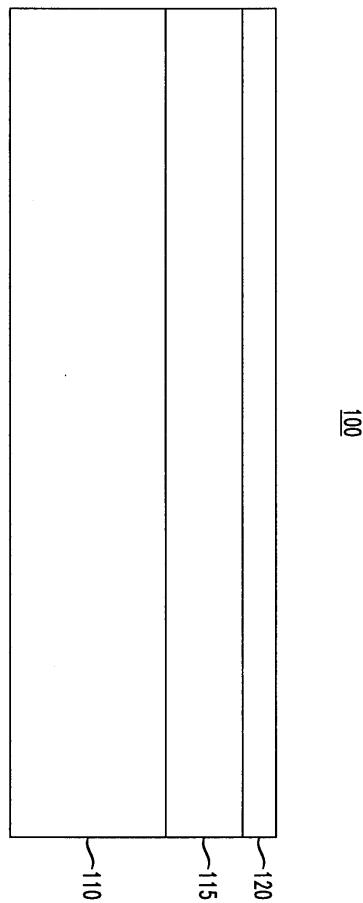
<52> 본 발명은, 베이스 기판, 절연체 층 및, 실리콘 층을 포함하는 실리콘-온-절연체 기판과, 실리콘-온-절연체 기판에 형성되고 실리콘 층과 절연체 층을 통해서 베이스 기판으로 확장하는 적어도 하나의 트렌치를 포함하는 트렌치 커파시터와, 실리콘-온-절연체 기판에 형성된 저항성 소자를 포함하는 반도체 장치를 제공한다.

도면의 간단한 설명

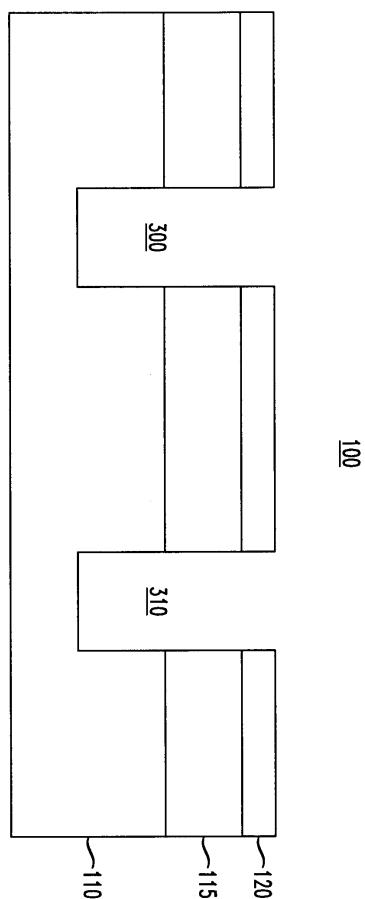
- <1> 도 1은 실리콘-온-절연체(SOI)를 도시하는 측단면도.
- <2> 도 2는 한쌍의 트렌치(trench)들의 형성을 도시하는 실리콘-온-절연체 기판을 도시하는 측단면도.
- <3> 도 3은 한쌍의 트렌치들에서 형성되는 도전성 재료를 도시하는 측단면도.
- <4> 도 4는 산화물 저항층의 형성을 도시하는 측단면도.
- <5> 도 5는 마스킹(masking)층의 형성을 도시하는 측단면도.
- <6> 도 6은 제 2 절연체 층의 형성을 도시하는 측단면도.
- <7> 도 7은 제 2 마스킹층의 형성을 도시하는 측단면도.
- <8> 도 8은 제 2 도전 층의 형성을 도시하는 측단면도.
- <9> 도 9는 장치의 이온주입을 도시하는 측단면도.
- <10> 도 10은 마스킹층이 제거된 후의 장치를 도시하는 측단면도.
- <11> 도 11은 부가적 트렌치들의 형성을 도시하는 측단면도.
- <12> 도 12는 부가적 트렌치들에서의 제 3 도전 층의 형성을 도시하는 측단면도.
- <13> 도 13은 절연 트렌치들의 형성을 도시하는 측단면도.
- <14> 도 14는 정전기 방전 보호 회로를 도시한 도면.
- <15> *도면의 주요 부분에 대한 부호의 설명*
- <16> 10 : 보호된 회로 15 : I/O 제어 논리
- <17> 18 : 본딩 패드 20 : I/O 베패

도면

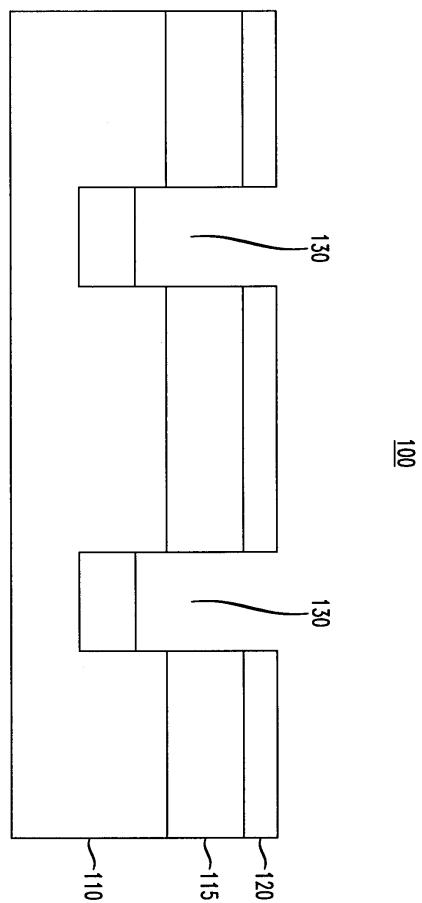
도면1



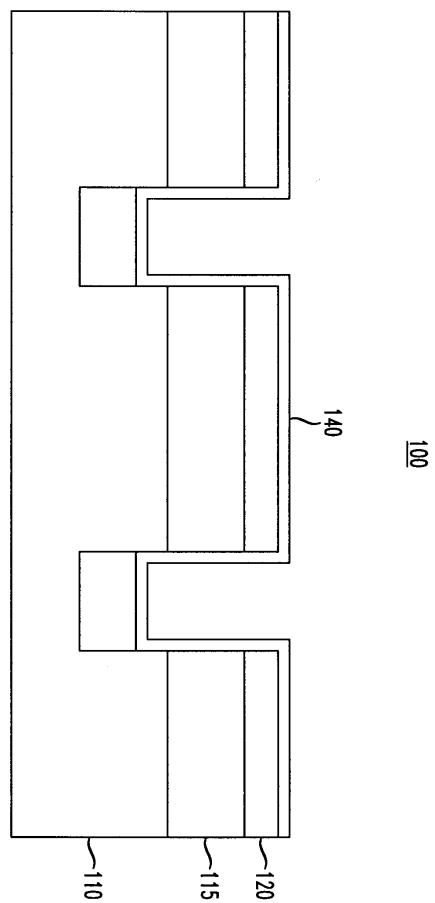
도면2



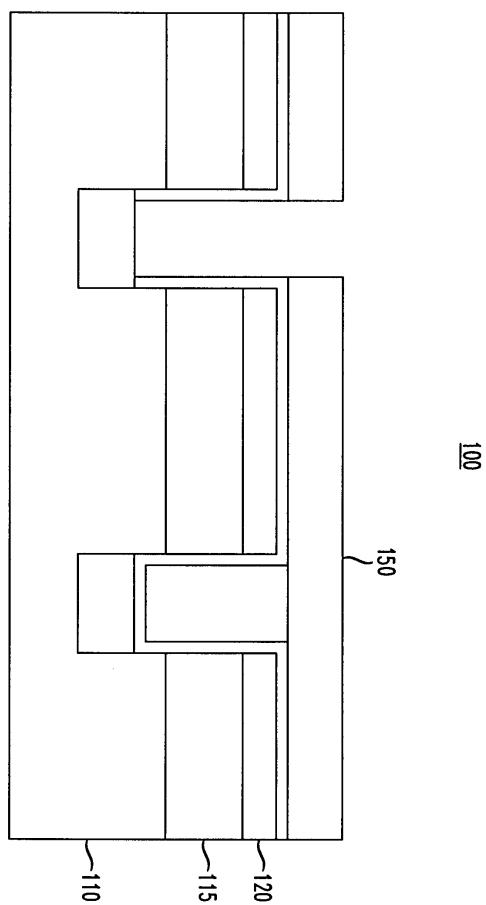
도면3



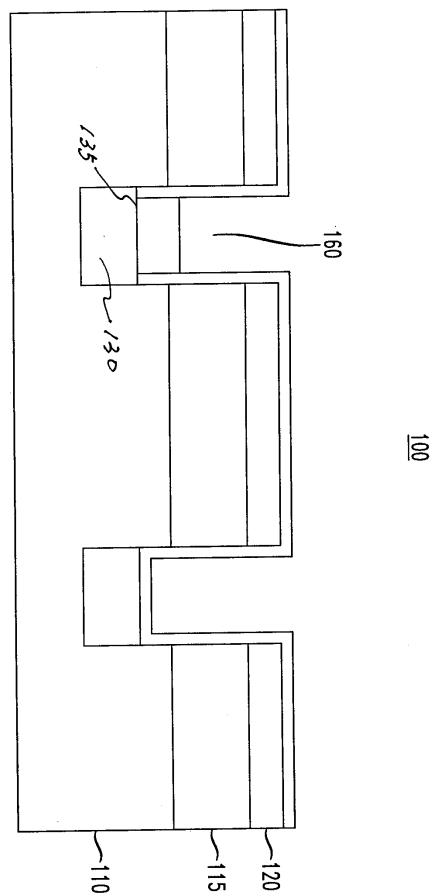
도면4



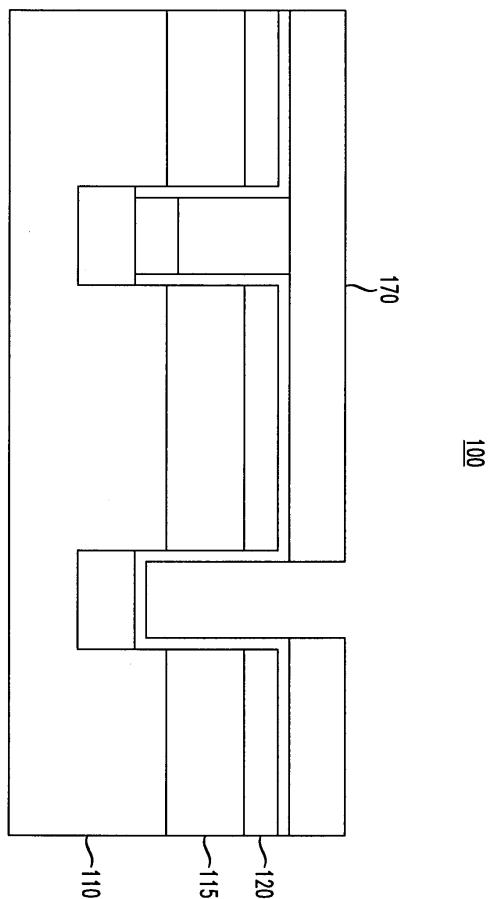
도면5



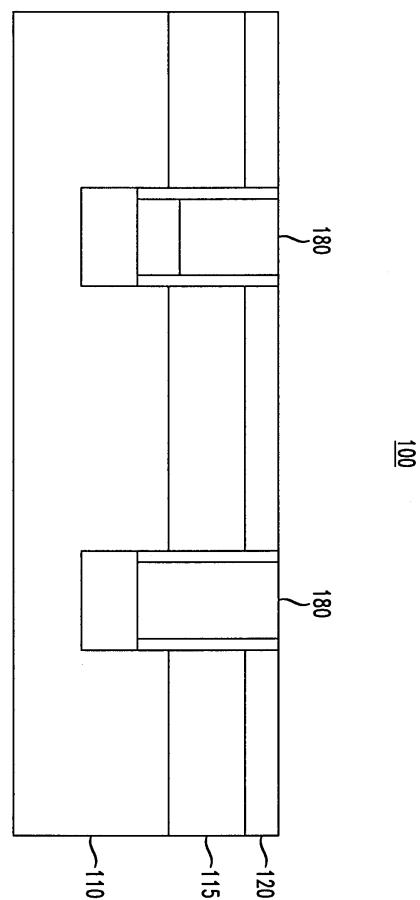
도면6



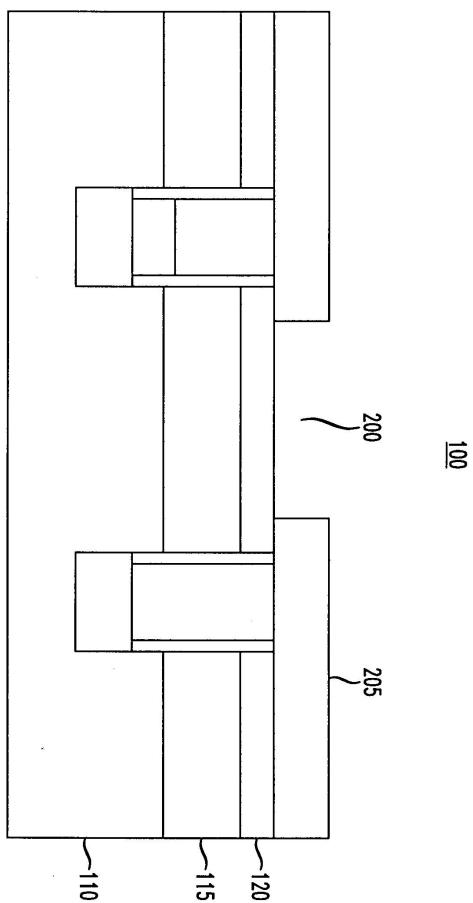
도면7



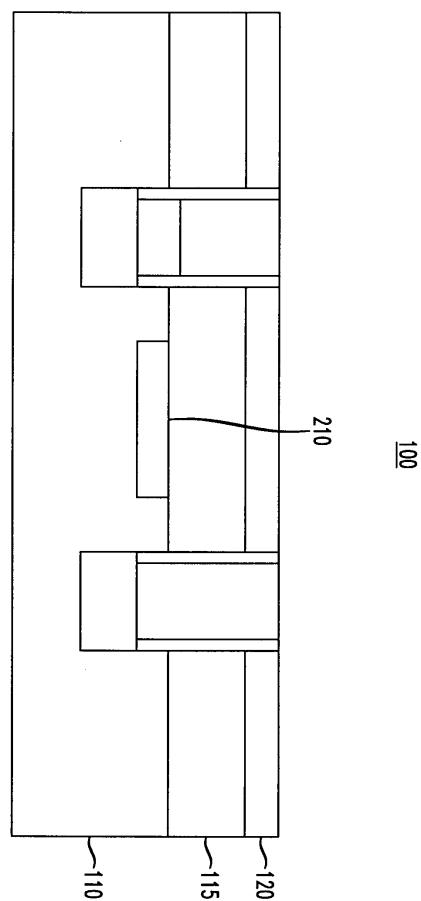
도면8



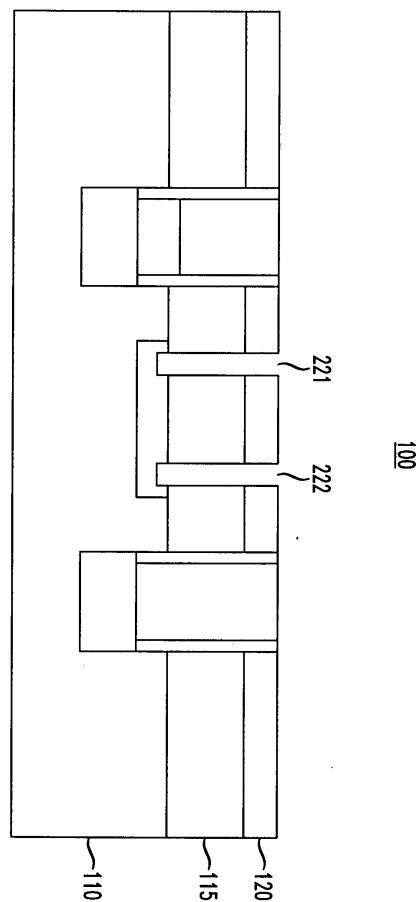
도면9



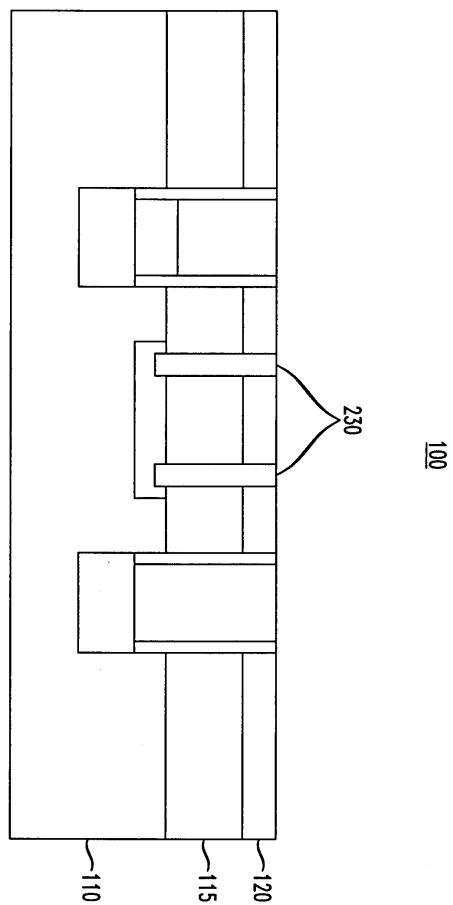
도면10



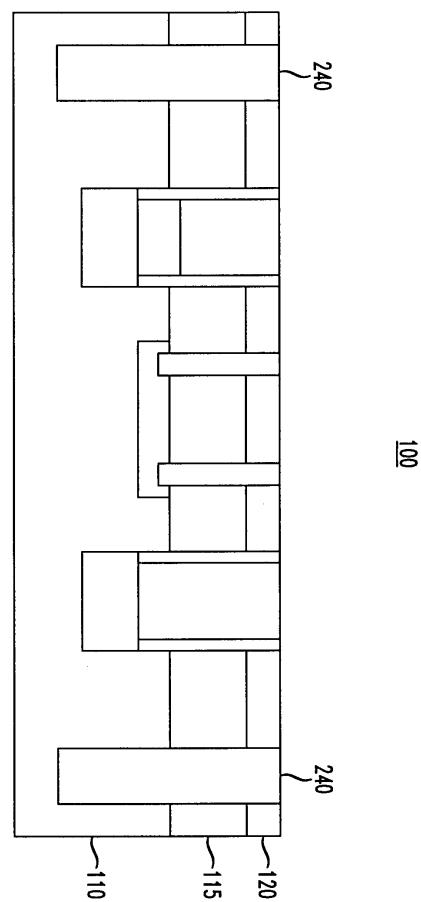
도면11



도면12



도면13



도면14

