

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-200310

(P2010-200310A)

(43) 公開日 平成22年9月9日(2010.9.9)

(51) Int.Cl.
H03H 7/38 (2006.01)F I
H03H 7/38

テーマコード (参考)

Z

審査請求 未請求 請求項の数 15 O L (全 27 頁)

(21) 出願番号	特願2010-6885 (P2010-6885)	(71) 出願人	392026693
(22) 出願日	平成22年1月15日 (2010.1.15)		株式会社エヌ・ティ・ティ・ドコモ
(31) 優先権主張番号	特願2009-20581 (P2009-20581)		東京都千代田区永田町二丁目11番1号
(32) 優先日	平成21年1月30日 (2009.1.30)	(74) 代理人	100121706
(33) 優先権主張国	日本国 (JP)		弁理士 中尾 直樹
		(74) 代理人	100128705
			弁理士 中村 幸雄
		(74) 代理人	100066153
			弁理士 草野 卓
		(72) 発明者	福田 敦史
			東京都千代田区永田町二丁目11番1号
			株式会社エヌ・ティ・ティ・ドコモ内
		(72) 発明者	岡崎 浩司
			東京都千代田区永田町二丁目11番1号
			株式会社エヌ・ティ・ティ・ドコモ内
			最終頁に続く

(54) 【発明の名称】 マルチバンド整合回路、およびマルチバンド電力増幅器

(57) 【要約】

【課題】 各周波数帯で同時に整合可能な整合回路を実現し、よって増幅器を複数設けることなく、単体で複数の周波数帯の混合信号を同時に増幅可能な増幅器を実現する。

【解決手段】

信号経路上において第1の周波数帯域におけるインピーダンスを Z_0 に変換する第1整合部と、信号経路上において一端が第1整合部と直列に接続され特性インピーダンスが整合インピーダンス Z_0 に等しい伝送線路や少なくとも第1の周波数帯域で上記伝送線路と等価な回路である直列整合手段と一端が上記直列整合手段の他端で上記信号経路に接続され他端が接地される並列整合手段とからなる第2整合部と、を備え、上記並列整合手段は、上記第1の周波数帯域において上記信号経路との接続点がインピーダンス開放状態となるように構成され、上記直列整合手段及び上記並列整合手段を適宜設計することにより上記第2の周波数帯域におけるインピーダンスを Z_0 に整合する。

【選択図】 図1

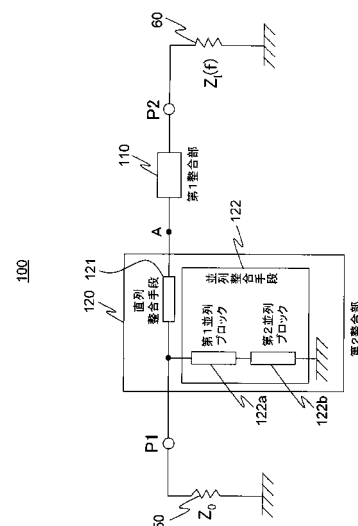


図1

【特許請求の範囲】

【請求項 1】

周波数特性のあるインピーダンス $Z_1(f)$ を有する回路素子と、予め定められたインピーダンス Z_0 を有する回路（以下、「系の回路」という。）との間の信号経路に挿入され、2つの周波数帯域において回路素子のインピーダンス $Z_1(f)$ を系の回路のインピーダンス Z_0 に整合するマルチバンド整合回路であって、

一端が上記回路素子に接続され、第1の周波数帯域における上記回路素子のインピーダンスを Z_0 に変換する第1整合部と、

一端が上記第1整合部の他端に接続され、他端が上記系の回路に接続され、特性インピーダンスが系の回路のインピーダンス Z_0 に等しい伝送線路や少なくとも第1の周波数帯域で上記伝送線路に等価な回路である直列整合手段と、一端が上記直列整合手段の他端で上記信号経路に接続され、他端が接地される並列整合手段と、からなる第2整合部と、を備え、

上記並列整合手段は、上記第1の周波数帯域において上記信号経路との接続点がインピーダンス開放状態となるように構成され、

上記直列整合手段及び上記並列整合手段を適宜設計することにより第2の周波数帯域における上記回路素子のインピーダンスを Z_0 に整合するマルチバンド整合回路。

【請求項 2】

請求項 1 に記載のマルチバンド整合回路において、

上記並列整合手段は、一端が上記信号経路に接続される第1並列ブロックと、一端が当該第1並列ブロックの他端と接続され、他端が接地される第2並列ブロックとからなり、

上記第1並列ブロックは、上記第1の周波数帯域において、上記信号経路との接続点がインピーダンス開放状態となるように構成されるマルチバンド整合回路。

【請求項 3】

請求項 1 に記載のマルチバンド整合回路において、

上記並列整合手段は、一端が上記信号経路に接続される第2並列ブロックと、一端が当該第2並列ブロックの他端と接続され、他端が接地される第1並列ブロックとからなり、

上記第2並列ブロックは、集中定数素子により構成され、

上記第1並列ブロックは、上記第1の周波数帯域において、上記第2並列ブロックとの接続点がインピーダンス開放状態となるように構成されるマルチバンド整合回路。

【請求項 4】

請求項 2 又は 3 のいずれかに記載のマルチバンド整合回路において、

上記第1並列ブロックは、共振周波数が上記第1の周波数帯域の中心周波数 f_1 に等しい、キャパシタとインダクタの並列回路であるマルチバンド整合回路。

【請求項 5】

請求項 3 に記載のマルチバンド整合回路において、

上記第1並列ブロックは、上記第1の周波数帯域の中心周波数 f_1 における波長の $\frac{4}{n}$ の長さの伝送線路であるマルチバンド整合回路。

【請求項 6】

周波数特性のあるインピーダンス $Z_1(f)$ を有する回路素子と、予め定められたインピーダンス Z_0 を有する回路（以下、「系の回路」という。）との間の信号経路に挿入され、第1から第Nの周波数帯域（ $N \geq 3$ 、中心周波数 $f_1 > f_2 > \dots > f_N$ ）において回路素子のインピーダンス $Z_1(f)$ を系の回路のインピーダンス Z_0 に整合するマルチバンド整合回路であって、

一端が上記回路素子に接続され、第1の周波数帯域における上記回路素子のインピーダンスを Z_0 に変換する第1整合部と、

一端が第 $m-1$ 整合部（ $m = 2, 3, \dots, N$ ）の他端に接続され、特性インピーダ

ンスが系の回路のインピーダンス Z_0 に等しい伝送線路や少なくとも第 1 から第 $m-1$ の各周波数帯域において上記伝送線路に等価な回路である直列整合手段と、一端が上記直列整合手段の他端で上記信号経路に接続され、他端が接地される並列整合手段と、からなる第 m 整合部と、

を備え、

第 N 整合部の直列整合手段の他端は上記系の回路に接続され、

上記第 m 整合部の並列整合手段は、第 1 から第 $m-1$ の各周波数帯域において上記信号経路との接続点がインピーダンス開放状態となるように構成され、

上記第 m 整合部の直列整合手段及び上記第 m 整合部の並列整合手段を適宜設計することにより第 m の周波数帯域における上記回路素子のインピーダンスを Z_0 に整合するマルチバンド整合回路。

10

【請求項 7】

請求項 6 に記載のマルチバンド整合回路において、

上記第 m 整合部の並列整合手段は、一端が上記信号経路に接続される第 1 並列ブロックと、一端が当該第 1 並列ブロックの他端と接続され、他端が接地される第 2 並列ブロックとからなり、

上記第 1 並列ブロックは、上記第 1 から第 $m-1$ の各周波数帯域において、上記信号経路との接続点がインピーダンス開放状態となるように構成されるマルチバンド整合回路。

【請求項 8】

20

請求項 6 に記載のマルチバンド整合回路において、

上記第 m 整合部の並列整合手段は、一端が上記信号経路に接続される第 2 並列ブロックと、一端が当該第 2 並列ブロックの他端と接続され、他端が接地される第 1 並列ブロックとからなり、

上記第 2 並列ブロックは、集中定数素子により構成され、

上記第 1 並列ブロックは、上記第 1 から第 $m-1$ の各周波数帯域において、上記第 2 並列ブロックとの接続点がインピーダンス開放状態となるように構成されるマルチバンド整合回路。

【請求項 9】

30

請求項 7 又は 8 のいずれかに記載のマルチバンド整合回路において、

上記第 1 並列ブロックは、共振周波数が上記第 $m-1$ の周波数帯域の中心周波数 f_{m-1} 以上で、上記第 1 の周波数帯域の中心周波数 f_1 以下である、キャパシタとインダクタの並列回路であるマルチバンド整合回路。

【請求項 10】

請求項 7 又は 8 のいずれかに記載のマルチバンド整合回路において、

上記第 1 並列ブロックは、共振周波数がそれぞれ第 1 から第 $m-1$ の周波数帯域の中心周波数 f_1 、 f_2 、 $\dots$ 、 f_{m-1} である、 $m-1$ 段のキャパシタとインダクタの並列回路の直列接続であるマルチバンド整合回路。

【請求項 11】

40

請求項 8 に記載のマルチバンド整合回路において、

上記第 1 並列ブロックは伝送線路で構成され、その長さが上記第 1 の周波数帯域の中心周波数 f_1 における波長の 4 分の 1 以上で、上記第 $m-1$ の周波数帯域の中心周波数 f_{m-1} における波長の 4 分の 1 以下であるマルチバンド整合回路。

【請求項 12】

周波数特性のあるインピーダンス $Z_1(f)$ を有する回路素子と、予め定められたインピーダンス Z_0 を有する回路（以下、「系の回路」という。）との間の信号経路に挿入され、2つの周波数帯域において回路素子のインピーダンス $Z_1(f)$ を系の回路のインピーダンス Z_0 に整合するマルチバンド整合回路であって、

一端が上記回路素子に接続され、第 1 から第 m ($m \geq 2$) のいずれかの周波数帯域における上記回路素子のインピーダンスを Z_0 に変換する第 1 整合部と、

50

一端が上記第1整合部の他端に接続され、他端が上記系の回路に接続され、特性インピーダンスが系の回路のインピーダンス Z_0 に等しい伝送線路や少なくとも上記第1から第 m のいずれかの周波数帯域で上記伝送線路に等価な回路である直列整合手段と、一端が上記直列整合手段の他端で上記信号経路に接続され、他端が接地される並列整合手段と、からなる第2整合部と、を備え、

上記並列整合手段は、上記第1から第 m のいずれかの周波数帯域において上記信号経路との接続点がインピーダンス開放状態となるように構成され、

上記直列整合手段及び上記並列整合手段を適宜設計することにより第 $m+1$ から第 N ($N \geq 3$) のいずれかの周波数帯域における上記回路素子のインピーダンスを Z_0 に整合するマルチバンド整合回路。

【請求項13】

請求項12に記載のマルチバンド整合回路において、

上記並列整合手段は、一端が上記信号経路に接続される可変デバイスである第1並列ブロックと、一端が当該第1並列ブロックの他端と接続され、他端が接地される可変デバイスである第2並列ブロックとからなり、

上記第1並列ブロックは、上記第1から第 m のいずれかの周波数帯域において、上記信号経路との接続点がインピーダンス開放状態となるように構成されるマルチバンド整合回路。

【請求項14】

請求項13に記載のマルチバンド整合回路において、

上記第1並列ブロックは、可変キャパシタとインダクタの並列共振回路であるマルチバンド整合回路。

【請求項15】

増幅素子と請求項1乃至14のいずれかに記載のマルチバンド整合回路とを備え、複数の周波数帯域の信号を同時に増幅可能なマルチバンド電力増幅器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、増幅器などに利用される整合回路及び電力増幅器に関する。より詳しくは、増幅素子など周波数特性を有する回路素子の入出力インピーダンスと周辺回路のインピーダンスとを複数の周波数帯域で同時に整合することができるマルチバンド整合回路、および当該マルチバンド整合回路を備えるマルチバンド電力増幅器に関する。

【背景技術】

【0002】

近年、無線通信によって提供されるサービスの多様化に伴い、無線機には複数の周波数帯域の信号を扱えること（マルチバンド化）が要求されている。例えば、無線LANの規格であるIEEE802.11a/b/gの各規格では、5.2GHz帯及び2.4GHz帯の2つの周波数帯が規定されている。

【0003】

無線機には、無線周波数帯の信号を増幅しアンテナに供給する電力増幅器が搭載されている。電力増幅器は、消費電力が大きい装置であることから、高効率動作を行うことが要求される。この要求を満たすには、動作周波数帯において効率に対して最適化された整合回路を設ける必要があり、異なる2つの周波数帯の双方で効率を最適化したい場合には、通常、各周波数帯に対して最適に設計された回路をスイッチによって切り替えるなどの構成がとられている。

【0004】

図13は、非特許文献1などで開示されている2つの周波数帯の各信号を増幅可能なデュアルバンド電力増幅器300の構成の一例であり、5.2GHz帯専用に設計された5

10

20

30

40

50

． 2 G H z 帯増幅器 1 0 と 2 ． 4 G H z 帯専用に設計された 2 ． 4 G H z 帯増幅器 2 0 とを、 2 個の 1 入力 2 出力の S P D T (single-pole double-throw) スイッチ 3 0 を用いて動作周波数に応じて切り替える構成となっている。

【 0 0 0 5 】

図 1 3 のデュアルバンド電力増幅器 3 0 0 を構成する各周波数帯用増幅器 1 0 、 2 0 は、それぞれ、図 1 4 に示すように入力側整合回路 4 1 、増幅素子 6 0 、出力側整合回路 4 2 から構成される。増幅器の性能は、増幅素子自体の特性と整合回路の特性とにより決定されるため、各周波数帯用増幅器 1 0 、 2 0 の増幅素子 6 0 の両端に接続される各整合回路 4 1 、 4 2 は、各々の周波数帯で整合がとれるように最適化される。図 1 3 のデュアルバンド電力増幅器 3 0 0 は、そのように最適化された整合回路を用いて構成した各周波数帯用増幅器 1 0 、 2 0 を、動作周波数帯に応じて S P D T スイッチ 3 0 で切り替えるため、 S P D T スイッチの挿入損失が十分小さければ各増幅器は高出力、高効率に動作する。

【先行技術文献】

【非特許文献】

【 0 0 0 6 】

【非特許文献 1】千葉耕司他、「移動機」、N T T D o C o M o テクニカルジャーナル、2002年、Vol.10、No.1、p.15-20

【発明の概要】

【発明が解決しようとする課題】

【 0 0 0 7 】

以上のようなデュアルバンド電力増幅器では、増幅素子が周波数特性のあるインピーダンスを有するため、使用周波数帯に応じた整合回路と組み合わせる必要から、第 1 の周波数帯用と第 2 の周波数帯用の 2 系統の増幅器を設ける必要がある。そのため、増幅素子や入出力整合回路など部品点数が多くなり、装置が大型化するのみならず各部品での電力消費により回路全体での消費電力が大きくなるという問題がある。また、 S P D T スイッチの挿入損失により、出力電力が低下し効率が低下するという問題も生じる。更には、 2 つの周波数帯の混合信号を各周波数帯で同時に高効率に増幅する場合には、分配器及び合成器が必要となり、回路規模が増大するという問題もある（例えば、特表 2 0 0 3 - 5 0 4 9 2 9 号公報 参照）。

【 0 0 0 8 】

本発明の目的は、複数の周波数帯で同時に整合可能な整合回路を実現し、よって、増幅器を周波数帯ごとに複数設けることなく、単体で複数の周波数帯の混合信号を同時に増幅可能なマルチバンド電力増幅器を実現することにある。

【課題を解決するための手段】

【 0 0 0 9 】

本発明のマルチバンド電力増幅器は、増幅素子と本発明のマルチバンド整合回路とを備える。

【 0 0 1 0 】

本発明のマルチバンド整合回路は、第 1 整合部と第 2 整合部とからなり、周波数特性のあるインピーダンス $Z_1(f)$ を有する回路素子と、予め定められたインピーダンス Z_0 を有する回路（以下、「系の回路」という。）との間の信号経路に挿入されて、 2 つの周波数帯域において同時に回路素子のインピーダンス $Z_1(f)$ を系の回路のインピーダンス Z_0 に整合する。

【 0 0 1 1 】

第 1 整合部は、一端が上記回路素子に接続され、第 1 の周波数帯域におけるインピーダンスを Z_0 に変換する。

【 0 0 1 2 】

第 2 整合部は、一端が上記第 1 整合部の他端に接続され、他端が上記系の回路に接続され、特性インピーダンスが系の回路のインピーダンス Z_0 に等しい伝送線路や少なくとも第 1 の周波数帯域で上記伝送線路に等価な回路である直列整合手段と、一端が上記直列整

10

20

30

40

50

合手段の他端で上記信号経路に接続され、他端が接地される並列整合手段と、からなる。

【0013】

また、上記並列整合手段は、上記第1の周波数帯域において上記信号経路との接続点がインピーダンス開放状態となるように構成される。そして、上記直列整合手段及び上記並列整合手段を適宜設計することにより第2の周波数帯域におけるインピーダンスを Z_0 に整合する。

【発明の効果】

【0014】

本発明により、複数の周波数帯で同時に整合可能な整合回路を実現することができ、よって、増幅器を複数設けることなく、単体で複数の周波数帯の混合信号を同時に増幅可能なマルチバンド電力増幅器を実現することができる。

【図面の簡単な説明】

【0015】

【図1】実施例1のマルチバンド整合回路の機能ブロック図。

【図2】2つの周波数帯の相関を示すイメージ図。

【図3】実施例1のマルチバンド整合回路の変形例の機能ブロック図。

【図4】3つの周波数帯の相関を示すイメージ図。

【図5】第1並列ブロックを2段のLC共振回路で構成するイメージ図。

【図6】図5の構成における周波数—インピーダンス特性図。

【図7A】実施例1のマルチバンド整合回路の変形例の第2整合部を2個直列に並べた場合の構成例を示す機能ブロック図。

【図7B】実施例1のマルチバンド整合回路の変形例の第2整合部を2個並列に並べた場合の構成例を示す機能ブロック図。

【図8】実施例2のマルチバンド整合回路の機能ブロック図。

【図9】N個の周波数帯の相関を示すイメージ図。

【図10】第1並列ブロックを $m-1$ 段のLC共振回路で構成するイメージ図。

【図11】実施例4のマルチバンド電力増幅器の機能ブロック図。

【図12】実施例4のマルチバンド電力増幅器の反射減衰量及び利得対周波数特性の例を示す図。

【図13】従来のマルチバンド増幅器の機能ブロックの一例を示す図。

【図14】従来の各周波数帯用増幅器の機能ブロックの一例を示す図。

【図15A】少なくとも b_1 において特性インピーダンスが Z_0 の伝送線路と等価な回路の構成例を示す図。

【図15B】図15Aの具体的構成例を示す図。

【図15C】図15Aの別の具体的構成例を示す図。

【図16A】少なくとも b_1 において特性インピーダンスが Z_0 の伝送線路と等価な回路の別の構成例を示す図。

【図16B】図16Aの具体的構成例を示す図。

【図16C】図16Aの別の具体的構成例を示す図。

【図17】実施例1において、第1並列ブロックに並列共振回路を採用した場合の構成例を示す図。

【図18】実施例1において、第1並列ブロックに並列共振回路を採用した場合の別の構成例を示す図。

【図19】実施例1において、第1並列ブロックに直列共振器を採用した場合の構成例を示す図。

【図20A】少なくとも b_1 及び b_2 において特性インピーダンスが Z_0 の伝送線路と等価な回路の構成例を示す図。

【図20B】図20Aの具体的構成例を示す図。

【図20C】図20Aの別の具体的構成例を示す図。

【図21A】少なくとも b_1 及び b_2 において特性インピーダンスが Z_0 の伝送線路と

等価な回路の別の構成例を示す図。

【図 2 1 B】図 2 1 A の具体的構成例を示す図。

【図 2 1 C】図 2 1 A の別の具体的構成例を示す図。

【図 2 2 A】図 2 0 C の可変インダクタを可変キャパシタを用いて構成する例を示す図。

【図 2 2 B】図 2 1 B の可変インダクタを可変キャパシタを用いて構成する例を示す図。

【図 2 2 C】図 2 1 A の各素子をインダクタとキャパシタの直列接続や並列接続で構成する例を示す図。

【図 2 3】実施例 2 において、第 1 並列ブロックに並列共振回路を採用した場合の構成例を示す図。

【図 2 4】実施例 2 において、第 1 並列ブロックに並列共振回路を採用した場合の別の構成例を示す図。 10

【図 2 5】実施例 2 において、第 1 並列ブロックに直列共振器を採用した場合の構成例を示す図。

【図 2 6】実施例 3 のマルチバンド整合回路の機能ブロック図。

【発明を実施するための形態】

【0 0 1 6】

以下、本発明の実施の形態について、詳細に説明する。

【実施例 1】

【0 0 1 7】

実施例 1 の整合回路 1 0 0 を図 1 に示す。整合回路 1 0 0 は、図 2 に示すような中心周波数を f_1 、 f_2 とする 2 つの周波数帯域 b_1 、 b_2 の信号に対する整合回路である。整合回路 1 0 0 は、周波数特性のあるインピーダンス $Z_1(f)$ を有する増幅素子 6 0 と、予め定められたインピーダンス Z_0 （例えば 50Ω 、 75Ω 等）を有する系の回路 5 0 との間の信号経路に挿入される。そして整合回路 1 0 0 は、 b_1 、 b_2 に対して増幅素子 6 0 のインピーダンス $Z_1(f)$ を系の回路 5 0 のインピーダンス Z_0 に整合させる。 20

【0 0 1 8】

整合回路 1 0 0 は、第 1 整合部 1 1 0 と第 2 整合部 1 2 0 とから構成され、第 2 整合部 1 2 0 は直列整合手段 1 2 1 と並列整合手段 1 2 2 とから構成される。

【0 0 1 9】

第 1 整合部 1 1 0 は、一端が増幅素子 6 0 に接続され、増幅素子 6 0 の第 1 の周波数帯域 b_1 におけるインピーダンス $Z_1(f_1)$ を、他端（図 1 の A 点）から見て Z_0 となるようにインピーダンス変換する。第 1 整合部 1 1 0 の構成は任意であり、例えば、伝送線路とスタブによる構成、直列インダクタと並列キャパシタによる構成等が考えられる。なお、増幅素子 6 0 の b_2 におけるインピーダンス $Z_1(f_2)$ については、ここで一旦 $Z(f_2)$ に変換される。 30

【0 0 2 0】

第 1 整合部 1 1 0 の他端には直列整合手段 1 2 1 の一端が接続され、直列整合手段 1 2 1 の他端は、系の回路 5 0 に接続される。直列整合手段 1 2 1 は、特性インピーダンスが Z_0 の伝送線路や少なくとも b_1 において上記伝送線路と等価な遅延回路により構成される。少なくとも b_1 における特性インピーダンスが Z_0 に等しい回路の構成例を、図 1 5 A、図 1 6 A に示す。ここで、 Z_1 、 Z_2 は純虚数とする。 Z_1 、 Z_2 が b_1 において図 1 5 A では、 40

【0 0 2 1】

【数 1】

$$Z_2 = \frac{2Z_0^2 Z_1}{(Z_1^2 - Z_0^2)} \quad (1)$$

【0 0 2 2】

の関係を、図 1 6 A では、 50

【 0 0 2 3 】

【数 2】

$$Z_2 = \frac{Z_0^2 - Z_1^2}{2Z_1} \quad (2)$$

【 0 0 2 4 】

の関係をもつ場合、それぞれ b_1 での整合には影響を与えない。図 1 5 A、図 1 6 A に示す構成を用いることで、第 1 整合部 1 1 0 で変換された b_1 における整合状態は上記の遅延回路の遅延量にかかわらず維持される。ここで、 Z_1 、 Z_2 はこれらの関係が規定されているだけであり、インダクタやキャパシタ、またはそれと同様な特性を有する分布定数回路または回路素子群等、具体的な構成は適宜選択できる。従って、各素子値を b_2 におけるインピーダンスの整合をとるために適宜設定することも可能となる。一方、直列整合手段 1 2 1 を伝送線路で構成した場合には、遅延量に関わらず b_1 での整合は維持される。そのため、伝送線路の遅延量は任意に設定でき、この遅延量を b_2 におけるインピーダンスの整合をとるために用いることができる。図 1 5 A の具体例として、図 1 5 B と図 1 5 C を示す。また、図 1 6 A の具体例として図 1 6 B と図 1 6 C を示す。また、これらの直列接続またはそれに相当する回路により同様な効果が得られる。

10

【 0 0 2 5 】

第 1 整合部 1 1 0 と直列整合手段 1 2 1 は、系の回路 5 0 と増幅素子 6 0 とを結ぶ信号経路上に直列に設けられる。一方、並列整合手段 1 2 2 はその信号経路から枝分かれする形で、系の回路 5 0 や回路素子 6 0 と並列に設けられる。

20

【 0 0 2 6 】

並列整合手段 1 2 2 は、一端が直列整合手段 1 2 1 の他端で信号経路に接続され、他端は接地される。並列整合手段 1 2 2 は b_2 のインピーダンス整合を行うため、適宜リアクタンス値を設定し、インピーダンスを調整する機能を担う。しかし、並列整合手段 1 2 2 は、第 1 整合部 1 1 0 で変換された b_1 におけるインピーダンス Z_0 に影響を与えるものであってはならない。このような機能、要件を満たすべく、並列整合手段 1 2 2 は 2 つのブロックの直列接続により構成する。第 1 並列ブロック 1 2 2 a は、 b_1 の信号に対し並列整合手段 1 2 2 を信号経路から切り離すためのスイッチの役割をなすブロックである。また、第 2 並列ブロック 1 2 2 b は、 b_2 におけるインピーダンス変換に際し、適切なリアクタンス値を設定するためのブロックである。なお、第 2 並列ブロック 1 2 2 b は、先端開放線路を用い容量性のリアクタンスブロックとして構成しても構わない。

30

【 0 0 2 7 】

第 1 並列ブロック 1 2 2 a は、 b_1 において信号経路との接続点がインピーダンス開放状態（＝接続点から並列整合手段 1 2 2 側を見たインピーダンスが無限大又は b_1 での整合に影響を与えない程度に大）となるように設計する。このようにインピーダンス開放状態を作ることにより、スイッチ素子を用いて ON/OFF することなく、並列整合手段 1 2 2 が信号経路から切り離されていると考えることができる。 b_1 におけるインピーダンス開放状態の作り方としては、例えば、共振周波数が f_1 に等しいキャパシタ C とインダクタ L からなる並列共振回路で構成する等の方法が考えられるが、その他の任意の方法で構成して構わない。第 1 並列ブロック 1 2 2 a を並列共振回路で構成し、第 2 並列ブロック 1 2 2 b を先端開放線路で構成した場合のブロック図を図 1 7 に示す。なお、第 1 並列ブロック 1 2 2 a を並列共振回路で構成する場合、 f_1 と C と L との関係は次式のようになる。

40

【 0 0 2 8 】

【数 3】

$$f_1 = \frac{1}{2\pi\sqrt{LC}} \quad (3)$$

50

【0029】

一方、 b_2 においては、並列整合手段122は特定のリアクタンスとして存在する状態となり、第1並列ブロック122aと第2並列ブロック122bとが一体として並列整合手段122を構成する。並列整合手段122は、 b_2 におけるインピーダンス変換のためのリアクタンス値の設定機能を担う。第1並列ブロック122aをキャパシタとインダクタによる並列回路で構成した場合には、 f_2 におけるリアクタンス Z_{LC} は次式のようになる。

【0030】

【数4】

$$Z_{LC} = \frac{j2\pi f_2 L}{1 - 2\pi f_2 LC} \quad (4)$$

10

【0031】

そのため、第1並列ブロック122aを並列共振回路で構成した場合には、式(3)を満たし、かつ、式(4)の Z_{LC} が b_2 におけるインピーダンスの整合に必要なリアクタンスとなる C と L を設定すれば、第2並列ブロック122bは不要となり、図18に示すように第1並列整合手段122を第1並列ブロック122aのみで構成することができる。

【0032】

また、第1並列ブロック122aは、図19に示すように f_1 の波長 λ_1 の $1/4$ 波長の長さの伝送線路122as1と L 、 C からなる共振周波数が f_1 である直列共振器との組み合わせにより構成することもできる。この構成では b_1 において、伝送線路122as1の直列共振器が接続された一端がインピーダンス短絡状態になるため第2並列ブロック122bの構成にかかわらず、伝送線路122as1の他端がインピーダンス開放状態になり、よって並列整合手段122が回路から切り離されていると考えることができる。一方、 b_2 において、直列共振器は特定のリアクタンスとして存在する状態となる。その結果、第1並列ブロック122aと第2並列ブロック122bとが一体として並列整合手段122を構成し、特定のリアクタンスとして存在する状態となる。そして、並列整合手段122は直列整合手段121とともに b_2 におけるインピーダンス変換のためのリアクタンス値の設定機能を担う。

20

【0033】

なお、第1並列ブロック122aと第2並列ブロック122bは、図1においては第1並列ブロック122aを信号経路側に、第2並列ブロック122bを接地側に配しているが、この並びは逆でも構わない。ただし、逆にする場合には、 b_1 でのインピーダンス開放部分が両ブロックの接続点に発生するため、信号経路に接続された第2並列ブロック122bが、 b_1 におけるインピーダンスの整合状態に影響を与えてしまうおそれがある。そこで、そのような場合には第2並列ブロック122bを集中定数素子により構成することで影響を低減できる。これにより、信号経路との接続点を b_1 でのインピーダンス開放状態とみなすことができ、並列整合手段122が信号経路から切り離されていると考えることができる。また、このように第1並列ブロック122aが接地側にある場合は、第1並列ブロック122aを f_1 における波長の4分の1の長さの伝送線路で構成することによってインピーダンス開放状態を作っても構わない。この場合、伝送線路のインピーダンスは任意であり、このインピーダンスをこのインピーダンスを b_2 におけるインピーダンス整合のための設計パラメータとして用いてもよい。

30

40

【0034】

以上のように各整合部を構成することで、 b_1 については第1整合部110で Z_0 にインピーダンス変換された状態がそのまま維持されて、P1において Z_0 に整合することができ、 b_2 については第1整合部110で Z_0 でない $Z(f_2)$ に一旦変換されるが、いかなる $Z(f_2)$ であっても、直列整合手段121と並列整合手段122とを適宜設計することにより、P1において Z_0 に整合することができる。

【0035】

50

そして、物理的スイッチによる切り替えを行うことなく自動的に、 b_1 に対しては並列整合手段 1 2 2 が信号経路から切り離された状態で、 b_2 に対しては並列整合手段 1 2 2 が信号経路に接続された状態となる。そのため、上記のような設計をすることで、2つの周波数帯の信号が同時に入力された場合でも同時に整合をとることができる。また、物理的なスイッチを用いた場合に生じるスイッチの ON 抵抗による損失がない低損失なマルチバンド整合回路を実現することができる。

【0036】

なお、整合回路 1 0 0 を構成する各部、各手段、及び各ブロックは、それぞれが担う機能を実現可能な限り、分布定数線路、素子、若しくはこれらの組み合わせ、又は、複数の分布定数線路、複数の素子、若しくはこれらの組み合わせにより構成して構わない。素子は、抵抗（可変抵抗を含む）、キャパシタ（可変キャパシタを含む）、インダクタ（可変インダクタを含む）のような線形素子やダイオードなどの非線形二端子素子など、格別の限定は無い。

【0037】

また、 f_1 と f_2 との大小関係は問わないが、 $f_1 > f_2$ とするのが望ましい。これはこのように構成した方が帯域幅を十分に確保しやすいこと、並列共振回路を構成する各インダクタやキャパシタの素子値が小さく済むこと、また、例えば第 1 並列ブロック 1 2 2 a を伝送線路とする場合には、高い方の周波数を f_1 とした方が線路長を短くできることなどの理由からである。

【0038】

[変形例]

実施例 1 の変形例である整合回路 1 5 0 を図 3 に示す。整合回路 1 5 0 は、実施例 1 の第 1 整合部 1 1 0 に、参考文献 1 で開示されたデュアルバンド整合回路を適用し、例えば図 4 に示すような中心周波数を f_1 、 f_2 、 f_3 とする 3 つの周波数帯の信号のうち、 f_1 と f_3 の組又は f_2 と f_3 の組のいずれかを選択して、選択した周波数帯の組を同時に整合可能とする整合回路である。

〔参考文献 1〕福田敦史他、「MEMS スイッチを用いたマルチバンド電力増幅器」、電子情報通信学会総合大会、2004 年、C-2-4、p.39

【0039】

第 1 整合部 1 1 0 は、主整合ブロック 1 5 1 と遅延回路 1 5 2 とスイッチ 1 5 3 と副整合ブロック 1 5 4 とから構成され、増幅素子 6 0 の b_1 におけるインピーダンス $Z_1(f_1)$ と b_2 におけるインピーダンス $Z_1(f_2)$ を、スイッチ 1 5 3 の切り替えにより選択的に Z_0 に変換する。この原理について簡単に説明する。遅延回路 1 5 2 は、 b_1 での特性インピーダンスが Z_0 である伝送線路等により構成される。 b_1 においては、主整合ブロック 1 5 1 はインピーダンスを $Z_1(f_1)$ から Z_0 に変換する。そして、遅延回路 1 5 2 の特性インピーダンスが Z_0 であるため、スイッチ 1 5 3 が OFF 状態において点 A で Z_0 に整合することができる。一方、 b_2 においては、主整合ブロック 1 5 1 はインピーダンスを $Z_1(f_2)$ から Z_0 でない $Z(f_2)$ に変換する。そして、遅延回路 1 5 2 の遅延量と副整合ブロック 1 5 4 のリアクタンス値を適宜設定することで、スイッチ 1 5 3 が ON 状態において、いかなる $Z(f_2)$ であっても P1 で Z_0 に整合することができる。以上のような原理の下、図 3 の A 点から P2 側を見た b_1 におけるインピーダンスはスイッチ 1 5 3 の OFF 状態時に Z_0 となり、 b_2 におけるインピーダンスはスイッチ 1 5 3 の ON 状態時に Z_0 となる。一方、第 3 の周波数帯域 b_3 （中心周波数 f_3 ）におけるインピーダンスは OFF 状態時には $Z(f_3)$ に、ON 状態時には $Z'(f_3)$ に変換される。

【0040】

第 2 整合部 1 2 0 は、第 1 整合部 1 1 0 でスイッチ 1 5 3 の状態に応じて b_1 又は b_2 のいずれかについてとられた整合状態（インピーダンス Z_0 ）が P1 においても維持され、かつ、 b_3 について P1 から P2 側を見たインピーダンスが Z_0 になるようにすることができる構成である必要がある。そこで、以下のように構成する。

【0041】

直列整合手段 1 2 1 は、 b_1 、 b_2 における整合状態を損なわないよう、特性インピーダンスが Z_0 の伝送線路や少なくとも b_1 及び b_2 において上記伝送線路と等価な回路による遅延回路により構成する。少なくとも b_1 、 b_2 において上記伝送線路と等価な回路の構成例を図 2 0 A、図 2 1 A に示す。ここで、 Z_1 、 Z_2 が少なくとも b_1 及び b_2 のそれぞれにおいて、図 2 0 A では式 (1) を図 2 1 A では式 (2) を満たすように可変素子を調整する。図 2 0 A の具体例として、図 2 0 B と図 2 0 C を示す。また、図 2 1 A の具体例として、図 2 1 B と図 2 1 C を示す。また、これらの直列接続またはそれに相当する回路により同様な効果が得られる。ここで、可変インダクタは製造上困難を伴うことが多い。しかし、シャントインダクタであれば可変キャパシタを用いて可変インダクタを構成できる。図 2 2 A 及び図 2 2 B に、図 2 0 C 及び図 2 1 B の可変インダクタをそれぞれ可変キャパシタを用いて構成した例を示す。図 2 2 A では、一端が接地されたインダクタンス L のインダクタと容量 C のキャパシタとの直列接続は直列共振器を構成し、その共振周波数は第 n の周波数帯域 b_n の中心周波数 f_n となるように設計する。このとき、直列共振器の他端は f_n でインピーダンス短絡状態となり、シャントインダクタのインダクタンスは L_1 となる。一方、その他の周波数では、直列共振器の他端はインピーダンス短絡状態とならず、シャントインダクタのインダクタンスを $L_1 + L_2$ とすることができる。また、直列共振器を構成するキャパシタを可変キャパシタとすることで、 f_n を可変とすることができる。さらに多くの直列共振器を用いることで、より多くのインダクタンスに対応できる。加えて、インダクタンス L のインダクタと可変キャパシタとの直列接続を無限大でないリアクタンス素子とし、シャントインダクタと一体として Z_1 を構成することもできる。図 2 2 B では、シャントインダクタに一端が接地された容量 C のキャパシタが接続されている。シャントインダクタの一部であるインダクタンス L のインダクタと容量 C のキャパシタとの直列接続は直列共振器を構成し、その共振周波数は f_n となるように設計する。このとき、シャントインダクタと直列共振器の接続部は f_n でインピーダンス短絡状態となり、シャントインダクタのインダクタンスは L_1 となる。一方、その他の周波数では、インピーダンス短絡状態となる位置は異なるため、周波数ごとにシャントインダクタのインダクタンスを変更することができる。また、キャパシタを可変キャパシタとすることでより多くのインダクタンスに対応できる。加えて、インダクタンス L のインダクタと可変キャパシタとの直列接続を無限大でないリアクタンス素子とし、シャントインダクタと一体として Z_1 を構成することもできる。シャントインダクタの可変性については、同様なシャントリアクタンスを用いる他の実施例についても適用できる。よって、上記の実施例について、シャント可変インダクタを用いることなく、可変キャパシタのみを用いた構成が可能となる。また、図 2 2 C のように図 2 1 A の各素子をインダクタとキャパシタの直列接続や並列接続で構成してもよい。これらの素子の並列接続は共振周波数を境にして、周波数に応じて誘導性と容量性のリアクタンスをそれぞれ取りえる。従って、 b_1 、 b_2 において、それぞれ所望のリアクタンスとなるように設計することで、各周波数において式 (2) を満たすことができる。ここで、図 2 2 C は一例であり、同様な考え方に基づき、さまざまなバリエーションが考えられる。また、これらの各素子に可変デバイスを用いることで、さらに多くのバリエーションが考えられる。

【0 0 4 2】

第 1 並列ブロック 1 2 2 a は、 b_1 及び b_2 において信号経路との接続点がインピーダンス開放状態となるように設計する。例えば、可変キャパシタとインダクタの並列回路で構成してキャパシタの容量をスイッチの状態に応じて変化させ、スイッチ 1 5 3 が OFF 状態の時は f_1 で共振し、スイッチ 1 5 3 が ON 状態の時は f_2 で共振するようにする方法が考えられる。また、共振周波数が f_2 以上で f_1 以下である固定キャパシタとインダクタの並列回路により構成する方法も考えられる。更に、図 5 に示すような各周波数帯域に対応する固定キャパシタとインダクタの並列共振回路 1 2 2 a 1、1 2 2 a 2 を直列接続する構成や図 2 3、2 4 に示すような b_1 についての並列共振回路 1 2 2 a 1 とそれにインダクタ又はキャパシタを付加した b_2 についての共振回路 1 2 2 a 2 とからなる構成によっても、各周波数帯域においてインピーダンス開放状態を実現することができる。ま

た、図5の構成において、並列共振回路122a1の信号経路側や並列共振回路122a1と並列共振回路122a2との間に伝送線路を挿入すれば、その長さを適宜設定することで、その伝送線路を b_1 、 b_2 での整合に用いることができる。図6は、図5の構成において122a1が2.6GHzで共振する並列共振回路であり、122a2が1.5GHzで共振する並列共振回路である場合の周波数—インピーダンス特性を示す図である。実線は並列共振回路122a1の特性であり、点線は並列共振回路122a1と並列共振回路122a2とを直列に接続したときの特性である。図6の点線から、これら2つの周波数帯域においてインピーダンス開放状態を実現できることがわかる。なお、図5ではキャパシタとインダクタの並列共振回路を2段構成にしているが、キャパシタかインダクタのいずれか一方又は双方に可変のものを用いることで1段で構成することも可能である。

更に、第1並列ブロック122aは、図25に示すように f_1 の波長 λ_1 の $1/4$ 波長の長さの伝送線路122as1と L_1 、 C_1 からなる共振周波数が f_1 である直列共振器との組み合わせと、及び b_2 において伝送線路122as1とのセットで f_2 の波長 λ_2 の $1/4$ 波長となる長さの伝送線路122as2と L_2 、 C_2 からなる共振周波数が f_2 である直列共振器との組み合わせとにより構成することもできる。この構成では b_1 において、伝送線路122as1の L_1 、 C_1 からなる直列共振器が接続された一端がインピーダンス短絡状態になるため、伝送線路122as1の他端がインピーダンス開放状態になり、よって並列整合手段122が回路から切り離されていると考えることができる。 b_2 においては、伝送線路122as2の L_2 、 C_2 からなる直列共振器が接続された一端がインピーダンス短絡状態になるため、伝送線路122as2と一体として波長 λ_2 の $1/4$ 波長線路を構成する伝送線路122as1の信号経路側端がインピーダンス開放状態になり、よって並列整合手段122が回路から切り離されていると考えることができる。一方、 b_3 においては並列整合手段122は特定のリアクタンスとして存在する状態となり、第1並列ブロック122aと第2並列ブロック122bとが一体として並列整合手段122を構成し、 b_3 におけるインピーダンス変換のためのリアクタンス値の設定機能を担う。図25に示す構成は、整合バンド数を増加させる場合にも同様に適用することができる。また、伝送線路122as1、122as2は、長さを調整することにより b_1 、 b_2 の整合に用いることもできる。一方、 b_3 においては、信号経路に特定のリアクタンスが接続された状態となり、具体的には第1並列ブロック122aと第2並列ブロック122bとが一体として並列整合手段122を構成して、 b_3 におけるインピーダンス変換のためのリアクタンス値の設定機能を担う。

【0043】

ただし、ここで整合対象となるインピーダンスはスイッチ153がOFF状態時には $Z(f_3)$ 、ON状態時には $Z'(f_3)$ というように異なっているため、 $Z(f_3)$ と $Z'(f_3)$ とが大きく異なっている場合には、例えば直列整合手段121に図20Aや図21Aの構成を適用したり、第2並列ブロック122bについてもリアクタンス値が可変なものとして構成し、スイッチ153の状態に応じてリアクタンス値を変化させることが考えられる。

【0044】

なお、第1並列ブロック122aと第2並列ブロック122bの並びは逆でも構わない。ただしその場合、インピーダンス開放部分が両ブロックの接続点に発生するため、信号経路に接続された第2並列ブロック122bが b_1 におけるインピーダンスの整合状態に影響を与えてしまうおそれがある。そこで、この場合には第2並列ブロック122bを集中定数素子により構成することで影響を低減できる。これにより、信号経路との接続点をインピーダンス開放状態とし並列整合手段122が信号経路から切り離されていると考えることができる。また、このように第1並列ブロック122aが接地側にある場合はインピーダンス開放状態を例えば、第1並列ブロック122aを f_1 における波長の4分の1以上で、 f_2 における波長の4分の1以下の長さの伝送線路で構成することによっても作ることができる。特に、両周波数が離れている場合には、各中心周波数を平均した周波数における波長の4分の1の長さとするのが考えられる。この場合、伝送線路のインピー

ダンスは任意であり、 b_3 における線路のインピーダンスを b_3 における整合のための設計パラメータとして用いてもよい。

【0045】

また、図7Aに示すように、 b_3 においてそれぞれ $Z(f_3)$ 、 $Z'(f_3)$ が Z_0 に整合されるように設定された2個の第2整合部120'（以下、「第2-1整合部120'-1」、「第2-2整合部120'-2」という。）を直列に接続する構成も考えられる。第2-1整合部120'-1及び第2-2整合部120'-2は図7Aに示すように第2整合部120にスイッチ123'を加えた構成であり、スイッチ123'はスイッチ153の状態に合わせて切り替える。例えば、スイッチ153がOFF状態の時にはスイッチ123'-1をON状態、123'-2がOFF状態とし（以下、「第1状態」という。）、スイッチ153がON状態の時にはスイッチ123'-1をOFF状態、123'-2がON状態とする（以下、「第2状態」という。）。このように構成することで、第1状態においては b_1 と b_3 で同時に整合をとることができ、第2状態においては b_2 と b_3 で同時に整合をとることができる。ただし、第1状態においては b_3 の Z_0 への整合が第2-1整合部120'-1でとられ、それが第2-2整合部120'-2を通過後も維持される必要があるため、第2-2整合部120'-2の直列整合手段121'-2は特性インピーダンスが Z_0 の伝送線路や b_3 においても上記伝送線路と等価な回路による遅延回路により構成する必要がある。このとき、第1並列ブロック122a'-1は、 b_1 において、第1並列ブロック122a'-2は、 b_2 において、それぞれ信号経路との接続点がインピーダンス開放状態になるように設計すればよい。更に、図7Bに示すように、 b_3 においてそれぞれ $Z(f_3)$ 、 $Z'(f_3)$ が Z_0 に整合されるように設定された2個の第2整合部120（以下、「第2-1整合部120-1」、「第2-2整合部120-2」という。）を2個のSPDTスイッチ123により、スイッチ153の状態に合わせて接続を切り替える構成も考えられる。すなわち、スイッチ153がOFF状態では第2-1整合部120-1に切り替え、スイッチ153がON状態では第2-2整合部120-2に切り替える。このように構成することで、スイッチ153がOFF状態においては、 $Z(f_3)$ がいかなる値であっても b_1 と b_3 について同時に整合をとることができ、スイッチ153がON状態においては、 $Z'(f_3)$ がいかなる値であっても b_2 と b_3 について同時に整合をとることができる。

【0046】

なお、第1並列ブロック122aと第2並列ブロック122bの並びは逆でも構わない。ただしその場合、インピーダンス開放部分が両ブロックの接続点に発生するため、信号経路に接続された第2並列ブロック122bが、 b_1 及び b_2 におけるインピーダンスの整合状態に影響を与えてしまうおそれがある。そこで、この場合には第2並列ブロック122bを集中定数素子により構成することで影響を低減できる。これにより、信号経路との接続点をインピーダンス開放状態とし並列整合手段122が信号経路から切り離されていると考えることができる。また、このように第1並列ブロック122aが接地側にある場合は開放状態を例えば、第1並列ブロック122a-1と122a'-1を f_1 における波長の4分の1の長さの伝送線路で、第1並列ブロック122a-2と122a'-2を f_2 における波長の4分の1の長さの伝送線路で、それぞれ構成することによっても作ることができる。

【実施例2】

【0047】

実施例2の整合回路200を図8に示す。整合回路200は、図9に示すような中心周波数を f_1 、 f_2 、 $\dots$ 、 f_N とする第1から第Nの周波数帯域の信号に対する整合回路であり、周波数特性のあるインピーダンス $Z_1(f)$ を有する増幅素子60と、予め定められたインピーダンス Z_0 を有する回路（以下、「系の回路50」という。）との間の信号経路に挿入することにより、増幅素子60のインピーダンス $Z_1(f)$ を系の回路50のインピーダンス Z_0 に整合する。

【0048】

10

20

30

40

50

整合回路 200 は、第 1 整合部 110 と第 m ($m = 2, 3, \dots, N$) 整合部 220 とから構成される。第 m 整合部 220 はそれぞれ直列整合手段 221 と並列整合手段 222 とから構成される (なお、 $m = 2$ については説明の便宜上、実施例 1 と同様に第 2 整合部 120、直列整合手段 121、並列整合手段 122 と呼ぶ)。

【0049】

整合回路 200 において、第 1 整合部 110 と第 2 整合部 120 の機能は実施例 1 の整合回路 100 と全く同じである。そのため、 b_1 及び b_2 において、増幅素子 60 の b_1 及び b_2 におけるインピーダンス $Z_1(f_1)$ 及び $Z_1(f_2)$ は、第 1 整合部 110 と第 2 整合部 120 により変換され、図 8 の A 点から P2 側を見たインピーダンスは共に Z_0 である。

10

【0050】

第 m 整合部 220 は、第 m の周波数帯 b_m (中心周波数 f_m) において、図 8 の B 点から P2 側を見た Z_0 でないインピーダンス $Z(f_m)$ を、C 点から P2 側を見て Z_0 になるように変換する。

【0051】

第 m 整合部 220 の直列整合手段 221 の一端は、第 $m-1$ 整合部 220' の直列整合手段 221' の一端に接続され、他端は第 $m+1$ 整合部の直列整合手段の一端に接続される。ただし、 $m = N$ (第 N 整合部 220') の場合は、他端は系の回路 50 に接続される。第 m 整合部 220 の直列整合手段 221 は、特性インピーダンスが Z_0 の伝送線路や少なくとも第 1 から第 $m-1$ の周波数帯において上記伝送線路に等価な回路による遅延回路により構成する。このように構成することで、第 1 から第 $m-1$ 整合部 220' までの各整合部で変換された第 1 から第 $m-1$ の周波数帯における整合状態は第 m 整合部 220 の直列整合手段 221 の存在にかかわらず維持される。従って、第 m 整合部の直列整合手段 221 は、 b_m におけるインピーダンスの整合をとるために、適宜設定することが可能となる。ここで、少なくとも b_1 から b_{m-1} のすべての周波数帯域において上記伝送線路に等価な回路は、図 20A、図 20B、図 20C、図 21A、図 21B、図 21C、図 22A、図 22B、図 22C などを用いることで達成できる。

20

【0052】

直列整合手段 221 は、系の回路 50 と増幅素子 60 とを結ぶ信号経路上に直列に設けられる。一方、並列整合手段 222 はその信号経路から枝分かれする形で、系の回路 50 や増幅素子 60 と並列に設けられる。

30

【0053】

並列整合手段 222 は、一端が直列整合手段 221 の他端で信号経路に接続され、他端は接地される。並列整合手段 222 は b_m のインピーダンス整合を行うため、適宜リアクタンス値を設定し、インピーダンスを調整する機能を担う。しかし、 b_1 から b_{m-1} と同時に b_m での整合をとるためには、並列整合手段 222 は、第 1 から第 $m-1$ 整合部で変換された b_1 から b_{m-1} におけるインピーダンス Z_0 に影響を与えるものであってはならない。このような機能、要件を満たすべく、並列整合手段 222 は 2 つのブロックの直列接続により構成する。第 1 並列ブロック 222a は、 b_1 から b_{m-1} のすべての周波数帯の信号に対し並列整合手段 222 を信号経路から切り離すためのスイッチの役割をなすブロックである。また、第 2 並列ブロック 222b は、 b_m におけるインピーダンス変換に際し、適切なリアクタンス値を設定するためのブロックである。

40

【0054】

第 1 並列ブロック 222a は、 b_1 から b_{m-1} のすべての周波数帯において信号経路との接続点がインピーダンス開放状態 (= 接続点から並列整合手段 222 側を見たインピーダンスが無限大又は b_1 から b_{m-1} のすべての周波数帯での整合に影響を与えない程度に大) となるように設計する。このようにインピーダンス開放状態を作ることにより、スイッチ素子を用いて ON/OFF することなく、等価的に周波数に応じて、並列整合手段を付加したり切り離したりすることができる。 b_1 から b_{m-1} のすべての周波数帯におけるインピーダンス開放状態の作り方としては、例えば第 1 並列ブロック 222a を、キャパ

50

シタとインダクタの並列共振回路として構成する場合には、共振周波数が f_{m-1} 以上で f_1 以下になるように構成することが考えられる。特に、両周波数が離れている場合には各中心周波数を平均した周波数を共振周波数とするキャパシタとインダクタの並列共振回路として構成することが考えられる。更に、図10で示すような共振周波数が各周波数帯域に対応するキャパシタとインダクタの並列共振回路 2 2 2 a 1、2 2 2 a 2、・・・、2 2 2 a (m-1) を直列接続する構成によっても、各周波数帯域においてインピーダンス開放状態を実現することができる。また、少なくとも並列共振回路 2 2 2 a 1、2 2 2 a 2、・・・、2 2 2 a (m-1) のうちの一つに可変デバイスを用いれば、並列共振回路の数を減らすことができる。

【0055】

なお、第1並列ブロック 2 2 2 a と第2並列ブロック 2 2 2 b の並びは逆でも構わない。ただしその場合、インピーダンス開放部分が両ブロックの接続点に発生するため、信号経路に接続された第2並列ブロック 2 2 2 b が、 b_1 から b_{m-1} におけるインピーダンスの整合状態に影響を与えてしまうおそれがある。そこで、この場合には第2並列ブロック 2 2 2 b を集中定数素子により構成することで影響を低減できる。これにより、信号経路との接続点をインピーダンス開放状態とし並列整合手段 2 2 2 が信号経路から切り離されていると考えることができる。また、このように第1並列ブロック 1 2 2 a が接地側にある場合はインピーダンス開放状態を例えば、第1並列ブロック 1 2 2 a を、 f_1 における波長の4分の1の長さの伝送線路で、第1並列ブロック 2 2 2 a を f_1 における波長の4分の1以上で、 f_{m-1} における波長の4分の1以下の長さの伝送線路で、それぞれ構成することにより開放状態を作っても構わない。この時、両周波数が離れている場合には、各中心周波数を平均した周波数における波長の4分の1の長さとして考えることができる。

【0056】

第m整合部はこのような構成の下、直列整合手段 2 2 1 と並列整合手段 2 2 2 を適宜設定することで、B点における $Z(f_m)$ がいかなる値であっても、C点において Z_0 になるよう変換することができる。

【0057】

以上のような第m整合部における b_m のインピーダンスの整合を $m=N$ まで同様に行うことで、P1からP2側を見た各周波数帯のインピーダンスをすべて Z_0 に整合することができる。

【0058】

そして、 b_m の信号の整合のみに係る並列整合手段 2 2 2 の切り離し・接続を物理的スイッチを用いることなく、入力された信号の周波数帯に応じて自動的に行うことができるため、第1から第NのN個の周波数帯の信号が同時に入力された場合でも同時に整合をとることができる。なおかつ、スイッチのON抵抗損失のない低損失なマルチバンド整合回路を実現することができる。

【0059】

なお、整合回路 2 0 0 の構成や整合の原理に係るその他の事項は、整合回路 1 0 0 と同様であるため、ここでの説明は省略する。

【実施例3】

【0060】

実施例3のマルチバンド整合回路 4 0 0 の構成例を図26に示す。マルチバンド整合回路 4 0 0 は、第1整合部 4 1 0 と第2整合部 4 2 0 とからなり、第2整合部 4 2 0 は、直列整合手段 4 2 1 と並列整合手段 4 2 2 とからなる。また、並列整合手段 4 2 2 は第1並列ブロック 4 2 2 a と第2並列ブロック 4 2 2 b とからなる。つまり、構成の骨格はマルチバンド整合回路 1 0 0 と同様である。しかし、マルチバンド整合回路 4 0 0 においては、第1整合部 4 1 0 は b_1 から b_m に対応できるマルチバンド整合回路である。また、第2整合部 4 2 0 における直列整合手段 4 2 1 として例えば図21Bの可変回路を適用し、第1並列ブロック 4 2 2 a に可変デバイス（例えばインダクタと可変キャパシタとの並列共振回路）を適用し、第2並列ブロック 4 2 2 b に可変デバイス（例えば可変キャパシタ

10

20

30

40

50

）を適用する。このような構成をとることで、 b_{m+1} から b_N のバンドに対し新たに整合可能となり、また、第1並列ブロック422aの可変デバイスを調整することにより、共振周波数を f_1 から f_m の間で変化させることができる。そのため、 b_1 から b_m のうちの1つと、 b_{m+1} から b_N のうちの1つとの任意の組み合わせの2つの周波数帯域に対して同時に整合可能となる。なお、直列整合手段421には図20A、図20B、図20C、図21A、図21B、図21C、図22A、図22Bのような可変回路を用いることができる。第2並列ブロック422bには可変キャパシタの他、可変インダクタやそれと等価な図22A、図22Bなどの回路も適用できる。

【実施例4】

【0061】

10

実施例1～3で説明した各整合回路を用いることで、マルチバンド増幅器を構成することができる。図11は増幅素子60とその両側に入力整合回路500aと出力整合回路500bとを配したマルチバンド増幅器500の構成例である。なお、図11は各整合回路500a、500bとして整合回路100を用いて2周波数帯対応のマルチバンド増幅器を構成した例であるが、各整合回路500a、500bとして整合回路200を用いることでN周波数帯対応のマルチバンド増幅器を構成することができる。

【0062】

なお、増幅素子60の種類については特に限定は無く、例えばFET(Field Effect Transistor)、HBT(Heterojunction Bipolar Transistor)等が挙げられる。

【0063】

20

〔効果の確認〕

図11に示すマルチバンド増幅器500において、増幅素子にFETを用い、各整合回路500a、bを f_1 を2.6GHz、 f_2 を1.9GHzとして構成した場合の周波数－利得特性を図12の実線に、入力ポートP1及び出力ポートP2における周波数－反射減衰特性を図12の点線に示す。

【0064】

第1整合部110は伝送線路を用いて構成され、 b_1 で増幅素子20のインピーダンス $Z_1(f_1)$ をインピーダンス Z_0 に整合する。また、 b_1 での整合に影響しないよう、第1直列整合手段121として、 b_1 において整合インピーダンスと同じ50Ωとなる伝送線路を用いた。第1並列ブロックにはキャパシタを用い、第2並列ブロックには共振周波数が f_1 (2.6GHz)になるようインダクタとキャパシタとによる並列共振回路として構成した。

30

【0065】

図12の点線からわかるように、設計周波数である2.6GHzと1.9GHzにおいて反射が少なく、整合が取れていることがわかる。また、図12の実線からわかるように、利得についても各整合周波数において十分に得られていることがわかる。

【符号の説明】

【0066】

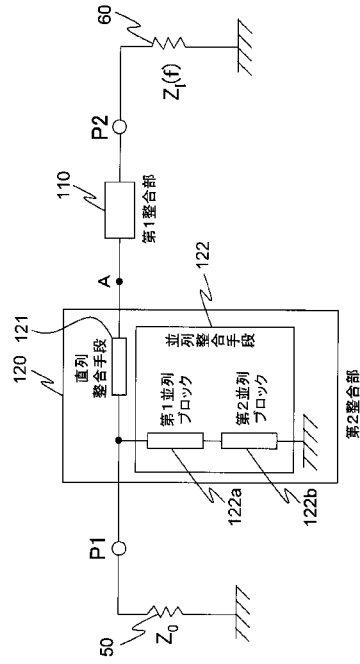
10、20	増幅器	30	スイッチ	41、42	整合回路
50	系の回路	60	増幅素子		
100、200、300、400、500a、500b	マルチバンド整合回路				
110、410	第1整合部	120、420	第2整合部		
121、221、421	直列整合手段	122、222、422	並列整合手段		
122a、222a、422a	第1並列ブロック				
122b、222b、422b	第2並列ブロック				
151	主整合ブロック	152	遅延回路	153	スイッチ
154	副整合ブロック				
220	第m整合部				
500	マルチバンド電力増幅器				

40

【図 1】

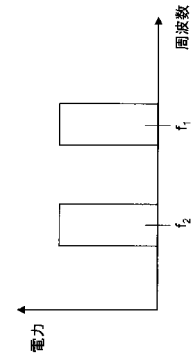
図 1

100



【図 2】

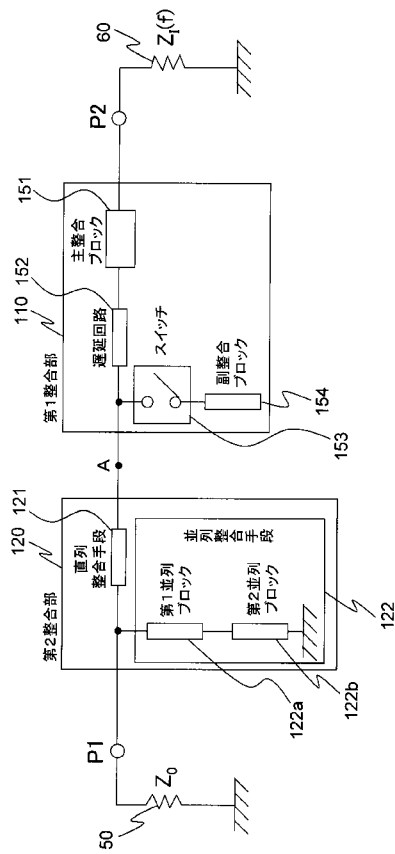
図 2



【図 3】

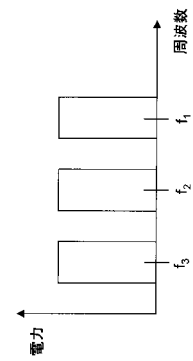
図 3

150



【図 4】

図 4



【図 5】

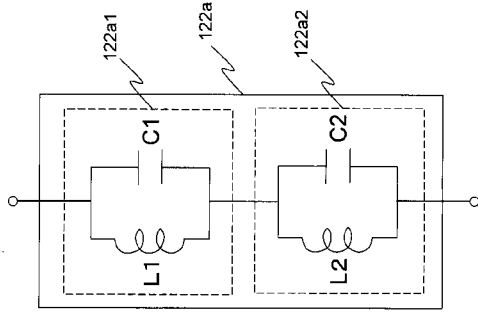


図5

【図 6】

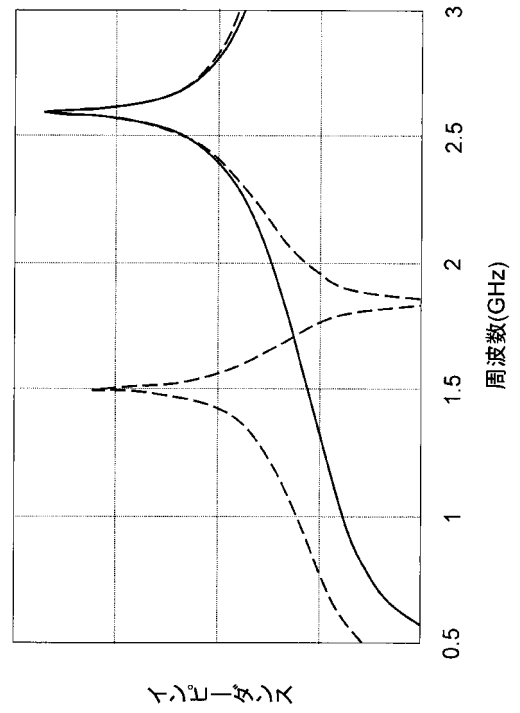


図6

【図 7 A】

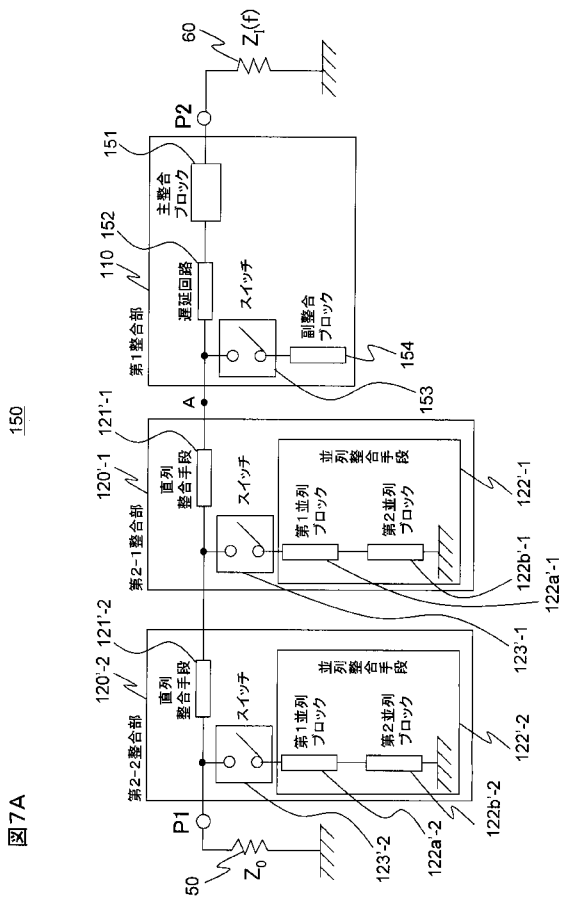


図7A

【図 7 B】

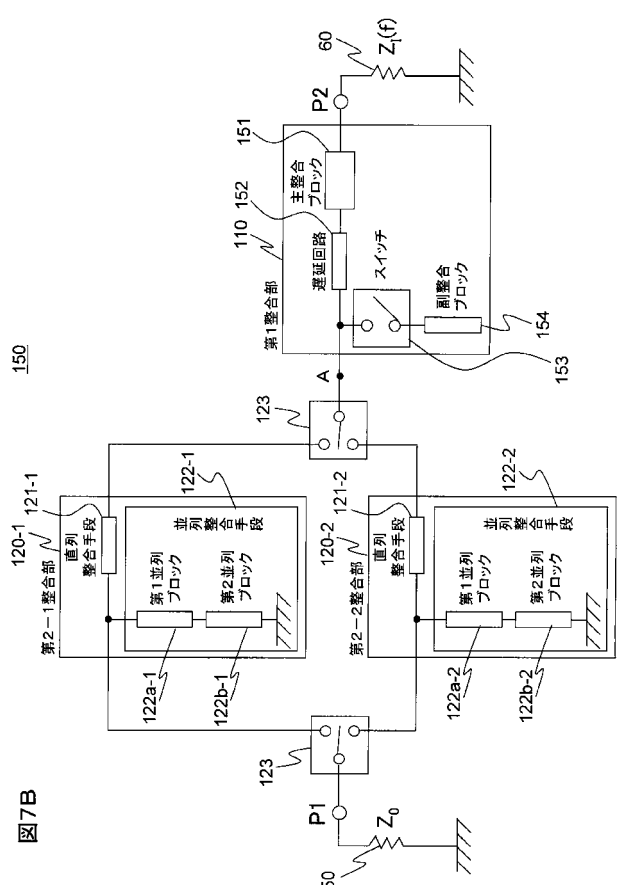


図7B

【図 8】

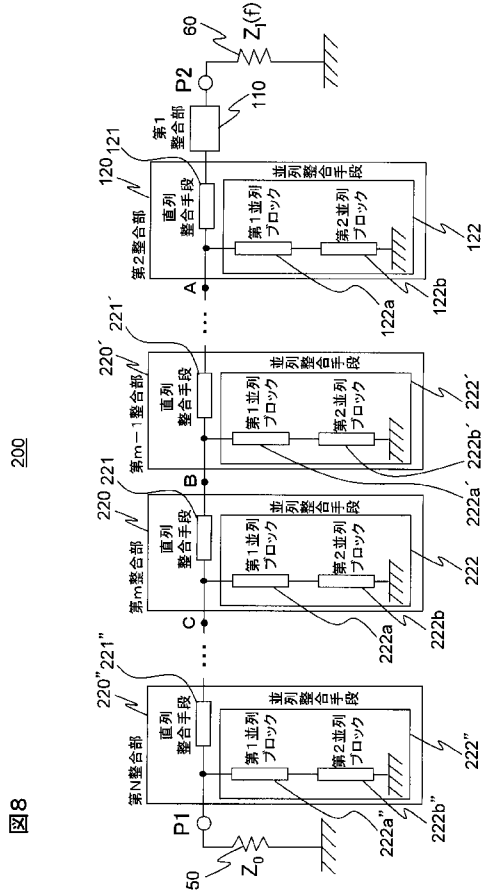


図 8

【図 10】

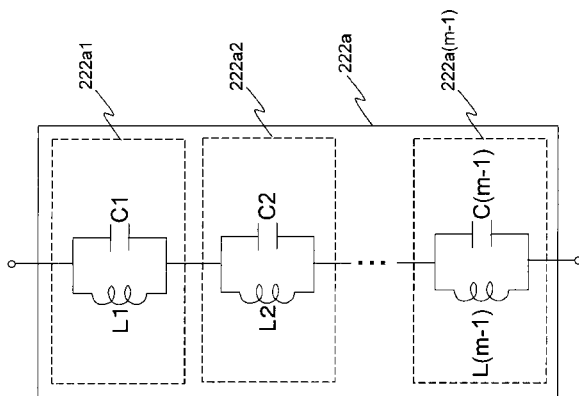


図10

【図 9】

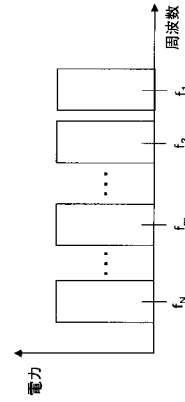


図 9

【図 11】

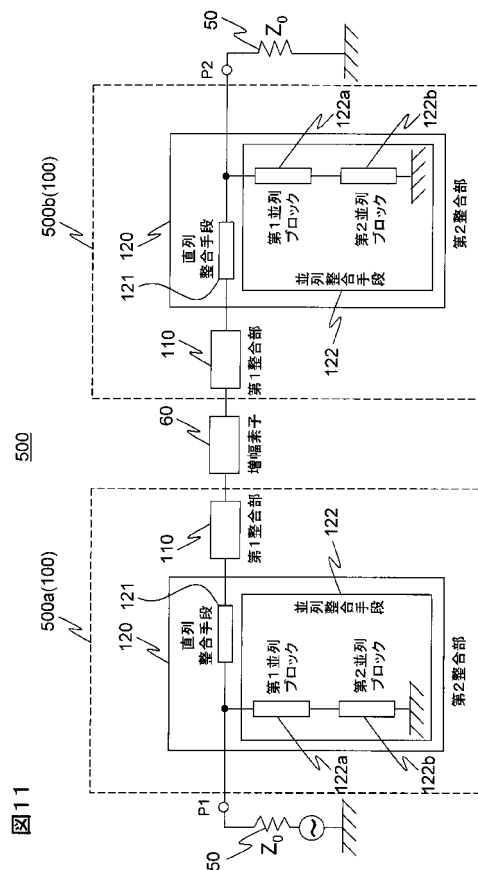
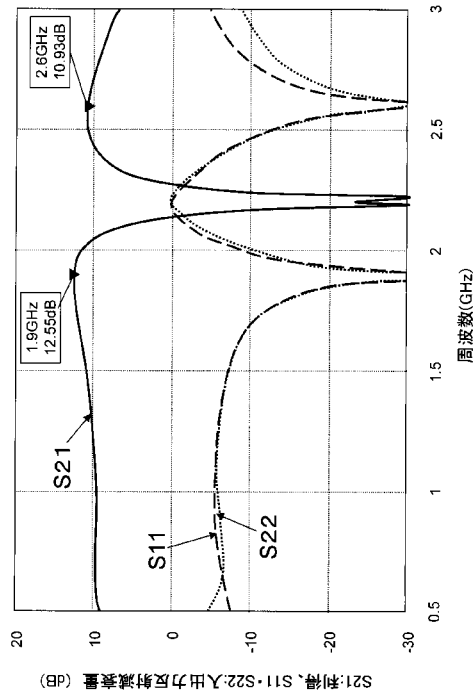


図11

【図 1 2】

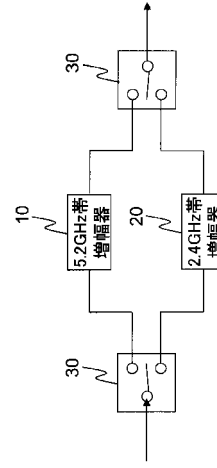
図 12



【図 1 3】

図 13

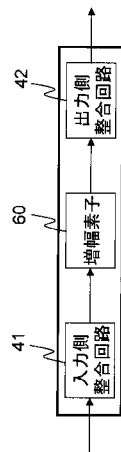
300



【図 1 4】

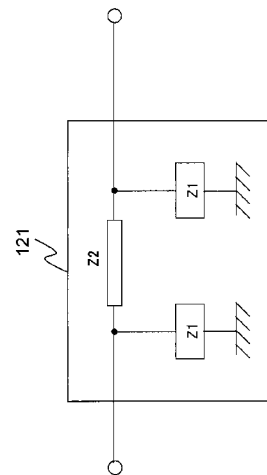
図 14

10(20)



【図 1 5 A】

図 15A



【図 1 5 B】

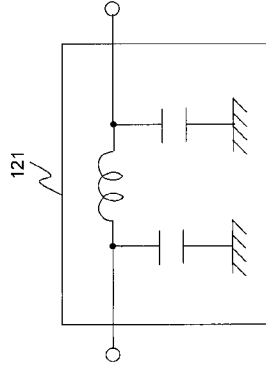


図15B

【図 1 5 C】

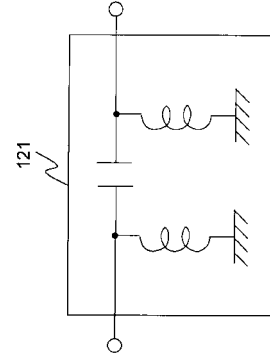


図15C

【図 1 6 A】

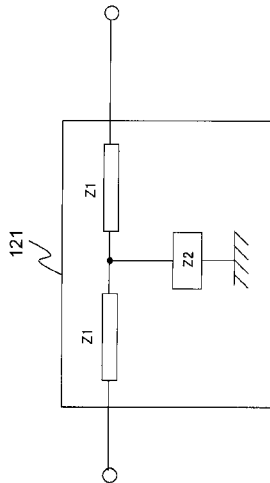


図16A

【図 1 6 B】

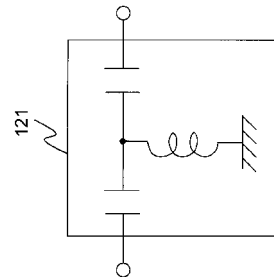


図16B

【図 16 C】

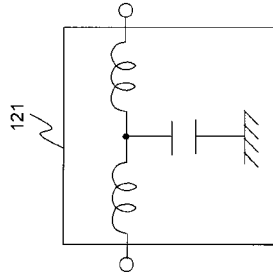


図16C

【図 17】

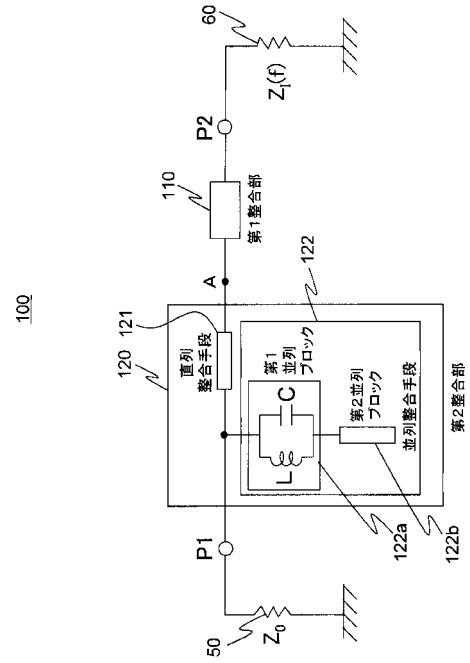
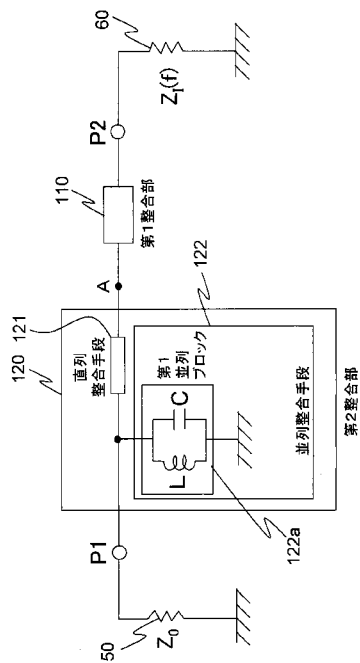


図17

【図 18】

100

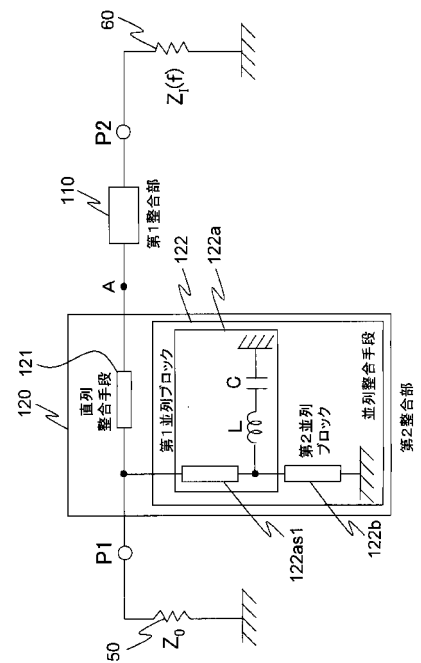
図18



【図 19】

100

図19



【図 20 A】

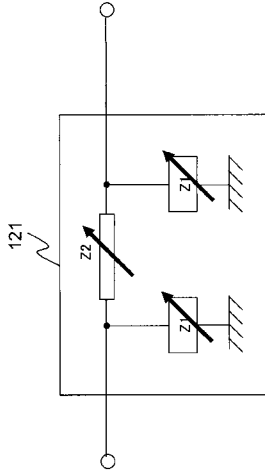


図20A

【図 20 B】

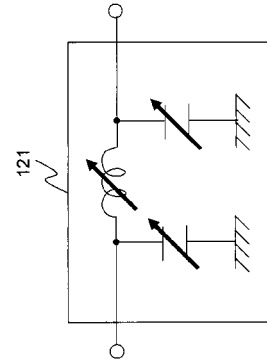


図20B

【図 20 C】

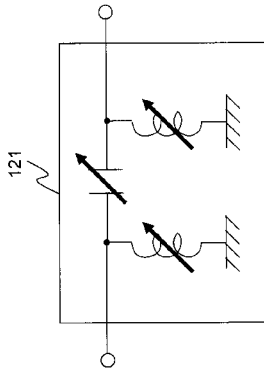


図20C

【図 21 A】

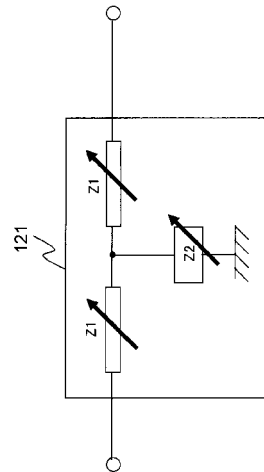


図21A

【図 2 1 B】

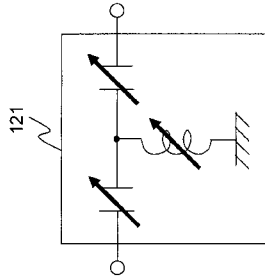


図21B

【図 2 1 C】

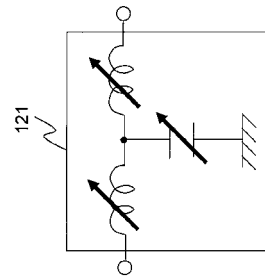


図21C

【図 2 2 A】

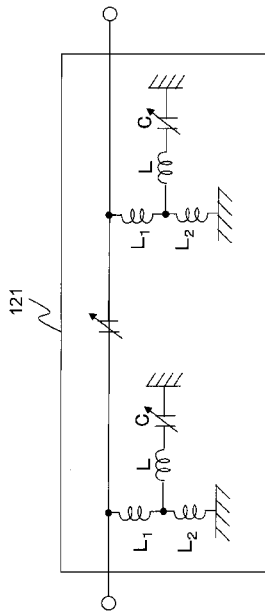


図22A

【図 2 2 B】

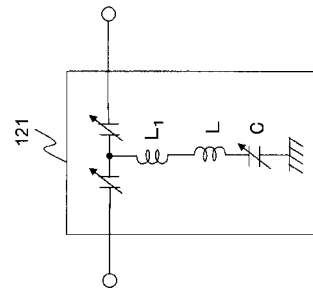


図22B

【図 2 2 C】

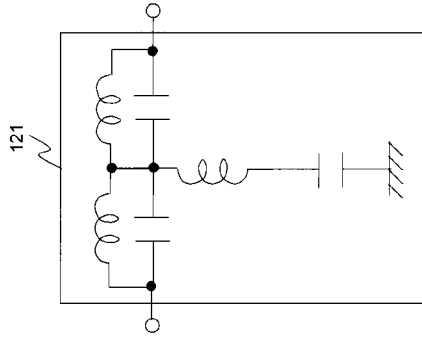


図 22C

【図 2 3】

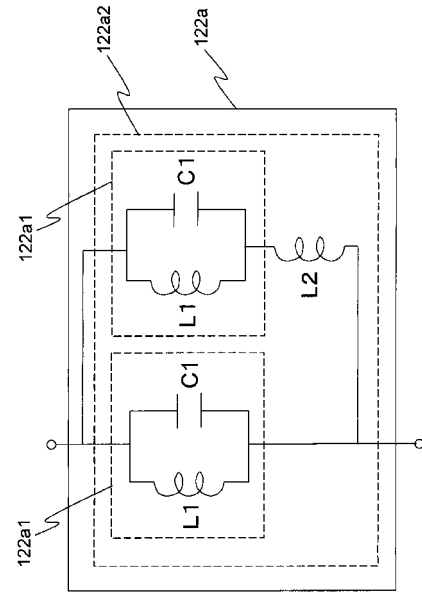


図 23

【図 2 4】

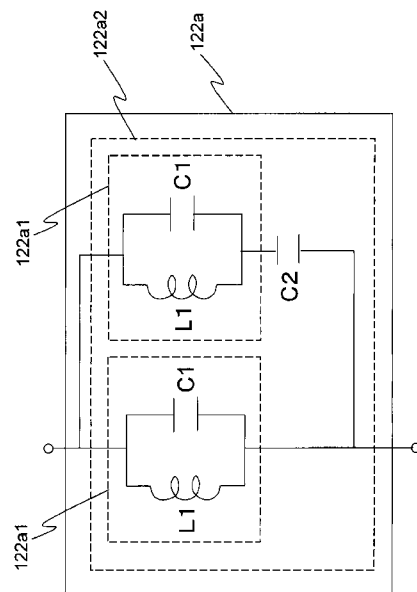


図 24

【図 2 5】

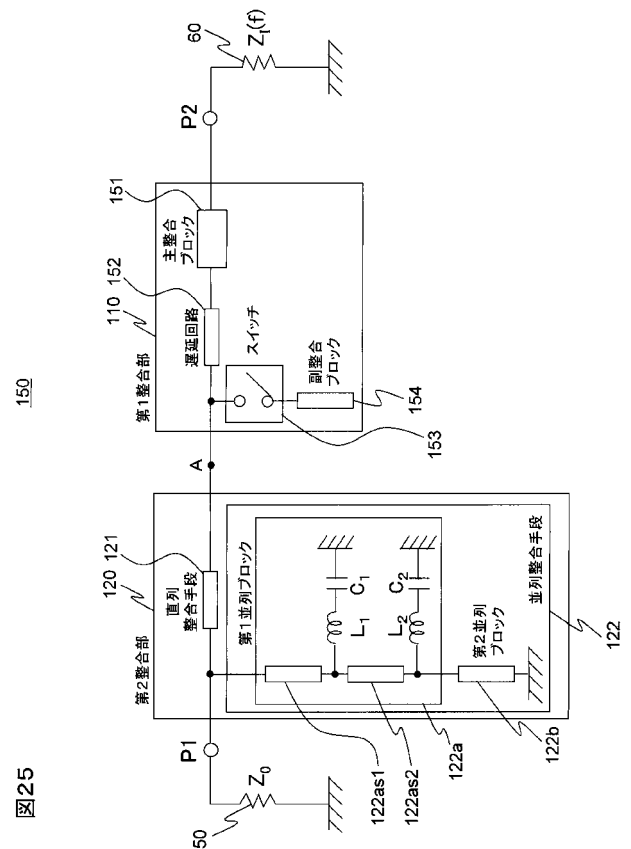
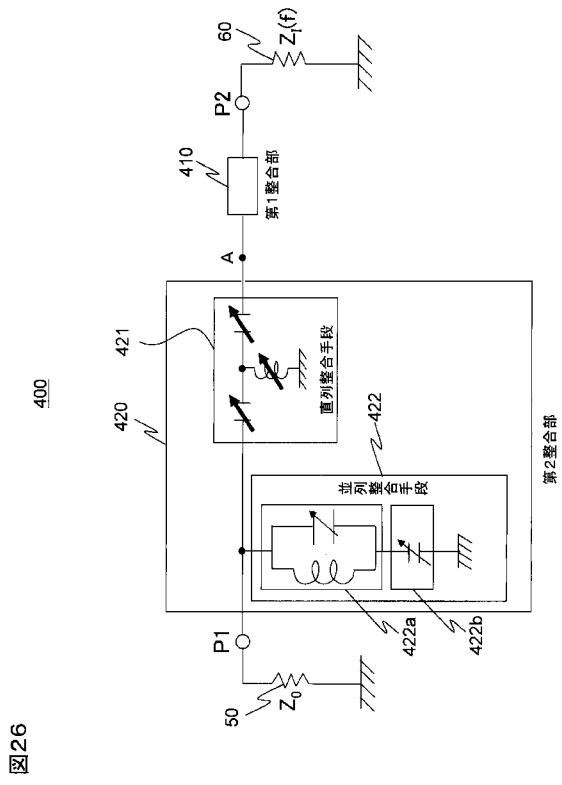


図 25

【図 26】



フロントページの続き

(72)発明者 檜橋 祥一

東京都千代田区永田町二丁目1 1 番1 号 株式会社エヌ・ティ・ティ・ドコモ内