

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年3月5日(05.03.2020)



(10) 国際公開番号

WO 2020/044764 A1

(51) 国際特許分類:

H04N 5/378 (2011.01) *H04N 5/232* (2006.01)
H04N 5/225 (2006.01) *H04N 5/341* (2011.01)

(21) 国際出願番号: PCT/JP2019/025647

(22) 国際出願日: 2019年6月27日(27.06.2019)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2018-163997 2018年8月31日(31.08.2018) JP

(71) 出願人: 富士フイルム株式会社 (**FUJIFILM CORPORATION**) [JP/JP]; 〒1068620 東京都港区西麻布2丁目2番30号 Tokyo (JP).

(72) 発明者: 河合 智行 (**KAWAI, Tomoyuki**); 〒3319624 埼玉県さいたま市北区植竹町1丁目3番24地 富士フイルム株式会社内 Saitama

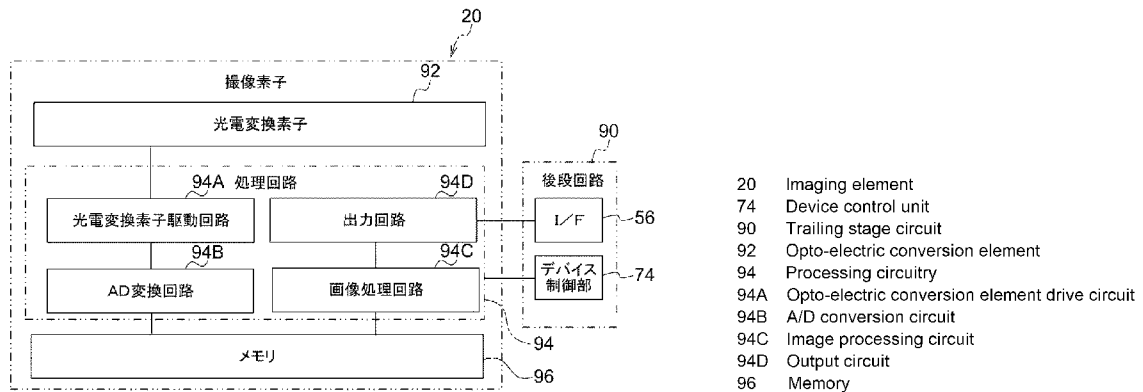
(JP). 長谷川 亮(**HASEGAWA, Ryo**); 〒3319624 埼玉県さいたま市北区植竹町1丁目3番24地 富士フイルム株式会社内 Saitama (JP). 桜武 仁史(**SAKURABU, Hitoshi**); 〒3319624 埼玉県さいたま市北区植竹町1丁目3番24地 富士フイルム株式会社内 Saitama (JP).

(74) 代理人: 特許業務法人太陽国際特許事務所 (**TAIYO, NAKAJIMA & KATO**); 〒1600022 東京都新宿区新宿4丁目3番17号 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,

(54) **Title:** IMAGING ELEMENT, IMAGING DEVICE, IMAGE DATA PROCESSING METHOD, AND PROGRAM

(54) 発明の名称: 撮像素子、撮像装置、画像データ処理方法、及びプログラム



(57) **Abstract:** This imaging element includes: a storage unit that is embedded in the imaging element and that stores captured image data obtained as a result of a subject being imaged at a first frame rate; a processing unit that processes the captured image data; and an output unit that is embedded in the imaging element and that outputs, to outside the imaging element, the processed image data and/or the captured image data. In accordance with the degree of difference between first captured image data obtained by imaging and second captured image data stored in the storage unit, the processing unit generates compressed image data obtained by compressing the first captured image data by dividing the same with a plurality of bit ranges. The output unit externally outputs, at a second frame rate, the compressed image data as processed image data.

NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

(57) 要約: 撮像素子は、被写体が第1フレームレートで撮像されることで得られた撮像画像データを記憶し、撮像素子に内蔵された記憶部と、撮像画像データに対して処理を施す処理部と、処理済み画像データと撮像画像データとの少なくとも一方を撮像素子の外部に出力し、前記撮像素子に内蔵された出力部と、を含み、処理部は、撮像されることで得られた第1撮像画像データと記憶部に記憶された第2撮像画像データとの相違度に応じて、第1撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成し、出力部は、圧縮画像データを処理済み画像データとして第2フレームレートで外部に出力する。

明 細 書

発明の名称：

撮像素子、撮像装置、画像データ処理方法、及びプログラム

技術分野

[0001] 本開示の技術は、撮像素子、撮像装置、画像データ処理方法、及びプログラムに関する。

背景技術

[0002] 特開平6-204891号公報には、ランレングス符号を用いたデータ圧縮方法が開示されている。特開平6-204891号公報に記載のデータ圧縮方法では、先ず、順次入力するLビットの画像データの連続する二つのデータをビット単位で比較して、一致を“0”、不一致を“1”とするビット列からなる差分データを求める。次に、差分データの上位ビットからの“0”連続数を求めて $W = \lceil \log_2 L \rceil + 1$ ビット幅（但し「 $\lceil \cdot \rceil$ 」はGaussの記号）のランレングス符号に変換する。そして、差分データ中の“0”連続数+1ビットを除く下位ビットをランレングス符号の後に付加したものを圧縮データとして出力する。

発明の概要

[0003] しかしながら、撮像素子に含まれる光電変換素子により被写体が撮像されて得られた画像データを撮像素子の外部に出力してから、撮像素子の外部にて特許文献1に記載のデータ圧縮方法を用いて画像データの圧縮処理が行われる場合、撮像素子から外部に出力される画像データは、圧縮処理前の画像データなので、撮像素子の外部への画像データの出力に伴う消費電力の増大が懸念される。

[0004] 本発明の一つの実施形態は、撮像されて得られた画像データをそのまま撮像素子の外部に出力する場合に比べ、撮像素子の外部への画像データの出力に伴う消費電力を低減することができる撮像素子、撮像装置、画像データ処理方法、及びプログラムを提供する。

課題を解決するための手段

- [0005] 本開示の技術に係る第1の態様は、撮像素子であって、被写体が第1フレームレートで撮像されることで得られた撮像画像データを記憶し、かつ、撮像素子に内蔵された記憶部と、撮像画像データに対して処理を施し、かつ、撮像素子に内蔵された処理部と、撮像画像データに対して処理が施されることで得られた処理済み画像データと撮像画像データとの少なくとも一方を撮像素子の外部に出力し、かつ、撮像素子に内蔵された出力部と、を含み、処理部は、撮像されることで得られた第1撮像画像データと記憶部に記憶された第2撮像画像データとの相違度に応じて、第1撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成し、出力部は、処理部で生成された圧縮画像データを処理済み画像データとして第2フレームレートで外部に出力する、撮像素子である。
- [0006] 従って、本開示の技術に係る第1の態様の撮像素子は、撮像されて得られた画像データをそのまま撮像素子の外部に出力する場合に比べ、撮像素子の外部への画像データの出力に伴う消費電力を低減することができる。
- [0007] 本開示の技術に係る第2の態様は、第1フレームレートは、第2フレームレートよりも高いフレームレートである、第1の態様に係る撮像素子である。
- [0008] 従って、本開示の技術に係る第2の態様の撮像素子は、出力部による圧縮画像データの出力に用いられるフレームレートと同じフレームレートで撮像される場合に比べ、圧縮画像データを迅速に生成することができる。
- [0009] 本開示の技術に係る第3の態様は、第2撮像画像データは、撮像されることで得られた第1撮像画像データよりも1フレーム以上前に得られた画像データである、第1の態様又は第2の態様に係る撮像素子である。
- [0010] 従って、本開示の技術に係る第3の態様の撮像素子は、第1撮像画像データと第2撮像画像データとが同時に撮像されて得られた画像データである場合に比べ、相違度を大きくすることができる。
- [0011] 本開示の技術に係る第4の態様は、相違度は、読出部により第1撮像画像

データがライン単位で読み出される毎の第1撮像画像データと第2撮像画像データとのライン単位での相違度である、第1の態様から第3の態様の何れか1つの態様に係る撮像素子である。

[0012] 従って、本開示の技術に係る第4の態様の撮像素子は、フレーム単位で第1撮像画像データが読み出されるのを待ってから第1撮像画像データと第2撮像画像データとの相違度が定まる場合に比べ、迅速に圧縮画像データを出力することができる。

[0013] 本開示の技術に係る第5の態様は、相違度は、第1撮像画像データと第2撮像画像データとの既定上位ビットについての相違度である、第1の態様から第4の態様の何れか1つの態様に係る撮像素子である。

[0014] 従って、本開示の技術に係る第5の態様の撮像素子は、第1撮像画像データと第2撮像画像データとの全ビットを比較する場合に比べ、第1撮像画像データと第2撮像画像データとの相違度を迅速に定めることができる。

[0015] 本開示の技術に係る第6の態様は、第1撮像画像データ及び第2撮像画像データは、互いにビット数が揃った画像データであり、圧縮画像データは、第1撮像画像データのビット数である第1ビットよりも小さな第2ビットの画像データであり、既定上位ビットは、第1ビットから第2ビットを減じることで得た値に相当するビットである、第5の態様に係る撮像素子である。

[0016] 従って、本開示の技術に係る第6の態様の撮像素子は、圧縮画像データのビットとは無関係なビットで第1撮像画像データと第2撮像画像データとを比較して第1撮像画像データと第2撮像画像データとの相違度を定める場合に比べ、第1撮像画像データと第2撮像画像データとの相違度を高精度に定めることができる。

[0017] 本開示の技術に係る第7の態様は、圧縮画像データは、第1撮像画像データが複数のビット範囲で分割されることにより得られた複数のビット画像データのうちの相違度に応じて定められた1つのビット画像データに基づくデータである、第1の態様から第6の態様の何れか1つの態様に係る撮像素子である。

- [0018] 従って、本開示の技術に係る第7の態様の撮像素子は、第1撮像画像データの全ビットを出力する場合に比べ、画像データの出力に伴う消費電力を低減することができる。
- [0019] 本開示の技術に係る第8の態様は、複数のビット画像データは、上位ビット画像データ及び下位ビット画像データであり、圧縮画像データは、相違度が既定条件を満たす場合に、上位ビット画像データに基づくデータを有し、相違度が既定条件を満たさない場合に、下位ビット画像データに基づくデータを有する、第7の態様に係る撮像素子である。
- [0020] 従って、本開示の技術に係る第8の態様の撮像素子は、被写体の動きに拘らず第1撮像画像データの全ビットを出力する場合に比べ、画質低下の抑制の度合いと消費電力の低減の度合いとを被写体の動きに合わせて調整することができる。
- [0021] 本開示の技術に係る第9の態様は、圧縮画像データの一部のビットは、圧縮画像データが複数のビット画像データのうちの何れのビット画像データに基づくデータであるのかを特定可能なビット画像特定情報が付与されるビットである、第7の態様又は第8の態様に係る撮像素子である。
- [0022] 従って、本開示の技術に係る第9の態様の撮像素子は、圧縮画像データの出力タイミングとは異なるタイミングでビット画像特定情報を出力する場合に比べ、圧縮画像データが複数のビット画像データのうちの何れのビット画像データに基づくデータであるのかを迅速に特定することができる。
- [0023] 本開示の技術に係る第10の態様は、圧縮画像データは、ライン単位の画像データであり、第1撮像画像データが複数のビット範囲で分割されることにより得られた複数の分割画像データのうちの何れかの分割画像データに基づくデータであるのかを特定可能な分割画像特定情報を有する、第1の態様から第9の態様の何れか1つの態様に係る撮像素子である。
- [0024] 従って、本開示の技術に係る第10の態様の撮像素子は、ライン単位で、圧縮画像データが何れの分割画像データに基づくデータであるのかを特定することができる。

- [0025] 本開示の技術に係る第11の態様は、出力部は、動画像用の撮像が開始された場合、記憶部に第2撮像画像データが記憶される前に、第1撮像画像データを外部に出力する、第1の態様から第10の態様の何れか1つの態様に係る撮像素子である。
- [0026] 従って、本開示の技術に係る第11の態様の撮像素子は、記憶部に第2撮像画像データが記憶される前であっても、出力部による画像データの出力が滞ることを回避することができる。
- [0027] 本開示の技術に係る第12の態様は、出力部は、動画像用の撮像が開始された場合、記憶部に第2撮像画像データが記憶される前に、第1撮像画像データのうちの特定のビット範囲に属する画像データに基づくデータを外部に出力する、第1の態様から第11の態様の何れか1つの態様に係る撮像素子である。
- [0028] 従って、本開示の技術に係る第12の態様の撮像素子は、記憶部に第2撮像画像データが記憶される前に、第1撮像画像データそのものを出力する場合に比べ、画像データの出力に伴う消費電力を低減することができる。
- [0029] 本開示の技術に係る第13の態様は、出力部は、動画像用の撮像が開始された場合、記憶部に第2撮像画像データが記憶される前に、第2撮像画像データに代替する画像データとして予め定められた画像データと第1撮像画像データとの相違度に応じて、第1撮像画像データが複数のビット範囲で分割されることで圧縮されて得られた代替圧縮画像データを外部に出力する、第1の態様から第12の態様の何れか1つの態様に係る撮像素子である。
- [0030] 従って、本開示の技術に係る第13の態様の撮像素子は、記憶部に第2撮像画像データが記憶される前に、第1撮像画像データそのものを出力する場合に比べ、画像データの出力に伴う消費電力を低減することができる。
- [0031] 本開示の技術に係る第14の態様は、出力部は、既定の時間間隔で静止画用の撮像が連続的に行われる場合、記憶部に第2撮像画像データが記憶される前に、第1撮像画像データ又は第1撮像画像データのうちの既定ビット範囲に属する画像データを外部に出力し、記憶部に第2撮像画像データが記憶

されたことを条件に、圧縮画像データを外部に出力する、第1の態様から第13の態様の何れか1つの態様に係る撮像素子である。

[0032] 従って、本開示の技術に係る第14の態様の撮像素子は、記憶部に第2撮像画像データが記憶される前に、第1撮像画像データそのものを出力する場合に比べ、画像データの出力に伴う消費電力を低減することができる。

[0033] 本開示の技術に係る第15の態様は、撮像素子は、光電変換素子を有し、光電変換素子に記憶部が積層された積層型撮像素子である、第1の態様から第14の態様の何れか1つの態様に係る撮像素子である。

[0034] 従って、本開示の技術に係る第15の態様の撮像素子は、光電変換素子に記憶部が積層されていないタイプの撮像素子を用いる場合に比べ、第1撮像画像データと第2撮像画像データとの相違度を迅速に定めることができる。

[0035] 本開示の技術に係る第16の態様は、本開示の技術に係る第1の態様から第15の態様の何れか1つの態様に係る撮像素子と、撮像素子に含まれる出力部により出力された圧縮画像データに基づく画像を表示部に対して表示させる制御を行う制御部と、を含む、撮像装置である。

[0036] 従って、本開示の技術に係る第16の態様の撮像装置は、撮像されて得られた画像データをそのまま撮像素子の外部に出力する場合に比べ、撮像素子の外部への画像データの出力に伴う消費電力を低減することができる。

[0037] 本開示の技術に係る第17の態様は、記憶部と、処理部と、出力部とが内蔵された撮像素子の画像データ処理方法であって、記憶部に対して、被写体が第1フレームレートで撮像されることで得られた撮像画像データを記憶させ、処理部に対して、撮像画像データに対して処理を施させ、出力部に対して、撮像画像データに対して処理が施されることで得られた処理済み画像データと撮像画像データとの少なくとも一方を撮像素子の外部に出力させ、処理部に対して、撮像されることで得られた第1撮像画像データと記憶部に記憶された第2撮像画像データとの相違度に応じて、第1撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成させ、出力部に対して、処理部で生成された圧縮画像データを処理済

み画像データとして第2フレームレートで外部に出力させることを含む、画像データ処理方法。

[0038] 従って、本開示の技術に係る第17の態様の画像データ処理方法は、撮像されて得られた画像データをそのまま撮像素子の外部に出力する場合に比べ、撮像素子の外部への画像データの出力に伴う消費電力を低減することができる。

[0039] 本開示の技術に係る第18の態様は、コンピュータを、記憶部と、処理部と、出力部とが内蔵された撮像素子に含まれる処理部及び出力部として機能させるためのプログラムであって、記憶部は、被写体が第1フレームレートで撮像されることで得られた撮像画像データを記憶し、処理部は、撮像画像データに対して処理を施し、出力部は、撮像画像データに対して処理が施されることで得られた処理済み画像データと撮像画像データとの少なくとも一方を撮像素子の外部に出力し、処理部は、光電変換素子により撮像されることで得られた第1撮像画像データと記憶部に記憶された第2撮像画像データとの相違度に応じて、第1撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成し、出力部は、処理部で生成された圧縮画像データを処理済み画像データとして第2フレームレートで外部に出力する、プログラムである。

[0040] 従って、本開示の技術に係る第18の態様のプログラムは、撮像されて得られた画像データをそのまま撮像素子の外部に出力する場合に比べ、撮像素子の外部への画像データの出力に伴う消費電力を低減することができる。

[0041] 本開示の技術に係る第19の態様は、撮像素子であって、被写体が第1フレームレートで撮像されることで得られた撮像画像データを記憶し、かつ、撮像素子に内蔵されたメモリと、撮像画像データに対して処理を施し、かつ、撮像画像データに対して処理が施されることで得られた処理済み画像データと撮像画像データとの少なくとも一方を撮像素子の外部に出力し、かつ、撮像素子に内蔵されたプロセッサと、を含み、プロセッサは、撮像されることで得られた第1撮像画像データとメモリに記憶された第2撮像画像データ

との相違度に応じて、第1撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成し、生成した圧縮画像データを処理済み画像データとして第2フレームレートで外部に出力する、撮像素子である。

[0042] 本発明の一つの実施形態によれば、撮像されて得られた画像データをそのまま撮像素子の外部に出力する場合に比べ、撮像素子の外部への画像データの出力に伴う消費電力を低減することができる、という効果が得られる。

図面の簡単な説明

[0043] [図1]第1～第4実施形態に係るレンズ交換式カメラである撮像装置の外観の一例を示す斜視図である。

[図2]第1～第4実施形態に係る撮像装置の背面側を示す背面図である。

[図3]第1～第4実施形態に係る撮像装置のハードウェア構成の一例を示すブロック図である。

[図4]第1～第4実施形態に係る撮像装置にハイブリッドファインダーの構成の一例を示す概略構成図である。

[図5]第1～第4実施形態に係る撮像装置に含まれる撮像素子の概略構成の一例を示す概略構成図である。

[図6]第1～第4実施形態に係る撮像装置に含まれる撮像素子の要部構成の一例を示すブロック図である。

[図7]第1実施形態に係る圧縮処理の流れの一例を示すフローチャートである。

[図8]第1～第4実施形態に係る画像データ出力処理の流れの一例を示すフローチャートである。

[図9]第1～第4実施形態に係る表示制御処理の流れの一例を示すフローチャートである。

[図10]圧縮画素データの生成方法の一例の説明に供する説明図である。

[図11]上位nビットの決定方法の一例の説明に供する説明図である。

[図12]第2実施形態に係る圧縮処理の流れの一例を示すフローチャートであ

る。

[図13] 1 ライン分の圧縮画像データの構成の一例を示す概略構成図である。

[図14] 1 ライン分の圧縮画像データの構成の変形例を示す概略構成図である。

。

[図15] 第3実施形態に係る圧縮処理の流れの一例を示すフローチャートである。

[図16] 第4実施形態に係る圧縮処理の流れの一例を示すフローチャートである。

[図17] 圧縮画素データに対するビット範囲特定フラグの付与方法の一例を示す概略構成図である。

[図18] 圧縮処理及び画像データ出力処理が実行された場合の画像データの流れの第1の例を示す状態遷移図である。

[図19] 圧縮処理及び画像データ出力処理が実行された場合の画像データの流れの第2の例を示す状態遷移図である。

[図20] 圧縮処理及び画像データ出力処理が実行された場合の画像データの流れの第3の例を示す状態遷移図である。

[図21] 圧縮処理及び画像データ出力処理が実行された場合の画像データの流れの第4の例を示す状態遷移図である。

[図22] 圧縮処理及び画像データ出力処理が実行された場合の画像データの流れの第5の例を示す状態遷移図である。

[図23] 実施形態に係るプログラムが記憶された記憶媒体から、実施形態に係るプログラムが撮像素子にインストールされる態様の一例を示す概念図である。

[図24] 実施形態に係る撮像素子が組み込まれたスマートデバイスの概略構成の一例を示すブロック図である。

発明を実施するための形態

[0044] 以下、添付図面に従って本開示の技術に係る撮像装置の実施形態の一例について説明する。

[0045] [第1実施形態]

一例として図1に示すように、撮像装置10は、レンズ交換式カメラである。撮像装置10は、撮像装置本体12と、撮像装置本体12に交換可能に装着される交換レンズ14と、を含み、レフレックスミラーが省略されたデジタルカメラである。交換レンズ14は、手動操作により光軸方向に移動可能なフォーカスレンズ16を有する撮像レンズ18を含む。

[0046] また、撮像装置本体12には、ハイブリッドファインダー（登録商標）21が設けられている。ここで言うハイブリッドファインダー21とは、例えば光学ビューファインダー（以下、「OVF」という）及び電子ビューファインダー（以下、「EVF」という）が選択的に使用されるファインダーを指す。なお、OVFとは、“optical viewfinder”の略称を指す。また、EVFとは、“electronic viewfinder”の略称を指す。

[0047] 交換レンズ14は、撮像装置本体12に対して交換可能に装着される。また、交換レンズ14の鏡筒には、マニュアルフォーカスモード時に使用されるフォーカスリング22が設けられている。フォーカスリング22の手動による回転操作に伴ってフォーカスレンズ16は、光軸方向に移動し、被写体距離に応じた合焦位置で後述の撮像素子20（図3参照）に被写体光が結像される。

[0048] 撮像装置本体12の前面には、ハイブリッドファインダー21に含まれるOVFのファインダー窓24が設けられている。また、撮像装置本体12の前面には、ファインダー切替えレバー（ファインダー切替え部）23が設けられている。ファインダー切替えレバー23を矢印SW方向に回動させると、OVFで視認可能な光学像とEVFで視認可能な電子像（ライブビュー画像）との間で切り換わるようになっている。

[0049] なお、OVFの光軸L2は、交換レンズ14の光軸L1とは異なる光軸である。また、撮像装置本体12の上面には、レリーズボタン25、撮像系のモード、及び再生系のモード等の設定用のダイヤル28が設けられている。

[0050] レリーズボタン 25 は、撮像準備指示部及び撮像指示部として機能し、撮像準備指示状態と撮像指示状態との 2 段階の押圧操作が検出可能である。撮像準備指示状態とは、例えば待機位置から中間位置（半押し位置）まで押下される状態を指し、撮像指示状態とは、中間位置を超えた最終押下位置（全押し位置）まで押下される状態を指す。なお、以下では、「待機位置から半押し位置まで押下される状態」を「半押し状態」といい、「待機位置から全押し位置まで押下される状態」を「全押し状態」という。

[0051] 本第 1 実施形態に係る撮像装置 10 では、動作モードとして撮像モードと再生モードとがユーザの指示に応じて選択的に設定される。撮像モードでは、マニュアルフォーカスモードとオートフォーカスモードとがユーザの指示に応じて選択的に設定される。オートフォーカスモードでは、レリーズボタン 25 が半押し状態にされることにより撮像条件の調整が行われ、その後、引き続き全押し状態にすると露光が行われる。つまり、レリーズボタン 25 が半押し状態にされることにより AE (Automatic Exposure) 機能が働いて露出状態が設定された後、AF (Auto-Focus) 機能が働いて合焦制御され、レリーズボタン 25 を全押し状態にすると撮像が行われる。

[0052] 一例として図 2 に示すように、撮像装置本体 12 の背面には、タッチパネル・ディスプレイ 30、十字キー 32、メニューキー 34、指示ボタン 36、及びファインダー接眼部 38 が設けられている。

[0053] タッチパネル・ディスプレイ 30 は、液晶ディスプレイ（以下、「第 1 ディスプレイ」という）40 及びタッチパネル 42（図 3 参照）を備えている。

[0054] 第 1 ディスプレイ 40 は、画像及び文字情報等を表示する。第 1 ディスプレイ 40 は、撮像モード時に連続フレームで撮像されて得られた連続フレーム画像の一例であるライブビュー画像（スルー画像）の表示に用いられる。また、第 1 ディスプレイ 40 は、静止画撮像の指示が与えられた場合に単一フレームで撮像されて得られた単一フレーム画像の一例である静止画像の表

示にも用いられる。更に、第1ディスプレイ40は、再生モード時の再生画像の表示及び／又はメニュー画面等の表示にも用いられる。

[0055] タッチパネル42は、透過型のタッチパネルであり、第1ディスプレイ40の表示領域の表面に重ねられている。タッチパネル42は、例えば、指又はスタイラスペン等の指示体による接触を検知する。タッチパネル42は、検知結果（タッチパネル42に対する指示体による接触の有無）を示す検知結果情報を所定周期（例えば100ミリ秒）で既定の出力先（例えば、後述のCPU52（図3参照））に出力する。検知結果情報は、タッチパネル42が指示体による接触を検知した場合、タッチパネル42上の指示体による接触位置を特定可能な二次元座標（以下、「座標」という）を含み、タッチパネル42が指示体による接触を検知していない場合、座標を含まない。

[0056] 十字キー32は、1つ又は複数のメニューの選択、ズーム及び／又はコマ送り等の各種の指令信号を出力するマルチファンクションのキーとして機能する。メニューキー34は、第1ディスプレイ40の画面上に1つ又は複数のメニューを表示させる指令を行うためのメニューボタンとしての機能と、選択内容の確定及び実行などを指令する指令ボタンとしての機能とを兼備した操作キーである。指示ボタン36は、選択項目など所望の対象の消去、指定内容の取消し、及び1つ前の操作状態に戻す場合に等に操作される。

[0057] 撮像装置10は、撮像系の動作モードとして、静止画撮像モードと動画撮像モードとを有する。静止画撮像モードは、撮像装置10により被写体が撮像されて得られ静止画像を記録する動作モードであり、動画撮像モードは、撮像装置10により被写体が撮像されて得られた動画像を記録する動作モードである。

[0058] 一例として図3に示すように、撮像装置10は、撮像装置本体12に備えられたマウント46（図1も参照）と、マウント46に対応する交換レンズ14側のマウント44と、を含む。交換レンズ14は、マウント46にマウント44が結合されることにより撮像装置本体12に交換可能に装着される。

- [0059] 撮像レンズ18は、スライド機構48及びモータ50を含む。スライド機構48は、フォーカスリング22の操作が行われることでフォーカスレンズ16を光軸L1に沿って移動させる。スライド機構48には光軸L1に沿ってスライド可能にフォーカスレンズ16が取り付けられている。また、スライド機構48にはモータ50が接続されており、スライド機構48は、モータ50の動力を受けてフォーカスレンズ16を光軸L1に沿ってスライドさせる。
- [0060] モータ50は、マウント44, 46を介して撮像装置本体12に接続されており、撮像装置本体12からの命令に従って駆動が制御される。なお、本第1実施形態では、モータ50の一例として、ステッピングモータを適用している。従って、モータ50は、撮像装置本体12からの命令によりパルス電力に同期して動作する。また、図3に示す例では、モータ50が撮像レンズ18に設けられている例が示されているが、これに限らず、モータ50は撮像装置本体12に設けられていてもよい。
- [0061] 撮像装置10は、被写体を撮像することで得た静止画像及び動画像を記録するデジタルカメラである。撮像装置本体12は、操作部54、外部インターフェース(I/F)63、及び後段回路90を備えている。後段回路90は、撮像素子20から送り出されるデータを受け取る側の回路である。本第1実施形態では、後段回路90としてIC(Integrated Circuit)が採用されている。ICの一例としては、LSI(Large-Scale Integration)が挙げられる。
- [0062] 撮像装置10は、低速モードと高速モードとの何れかの動作モードで動作する。低速モードとは、後段回路90により低フレームレートで処理が行われる動作モードを指す。本第1実施形態では、低フレームレートとして、60fps(frames per second)が採用されている。
- [0063] これに対し、高速モードとは、後段回路90により高フレームレートで処理が行われる動作モードを指す。本第1実施形態では、高フレームレートとして、240fpsが採用されている。

[0064] なお、本第1実施形態では、低フレームレートとして60fpsが例示され、高フレームレートとして240fpsが例示されているが、本開示の技術はこれに限定されない。低フレームレートが30fpsであり、高フレームレートが120fpsであってもよい。このように、高フレームレートが低フレームレートよりも高ければよい。

[0065] 後段回路90は、CPU (Central Processing Unit) 52、I/F 56、一次記憶部58、二次記憶部60、画像処理部62、第1表示制御部64、第2表示制御部66、位置検出部70、及びデバイス制御部74を含む。本第1実施形態では、CPU 52として、単数のCPUを例示しているが、本開示の技術はこれに限定されず、CPU 52に代えて複数のCPUを採用してもよい。つまり、CPU 52によって実行される各種処理は、1つのプロセッサ、又は、物理的に離れている複数のプロセッサによって実行されるようにしてもよい。

[0066] なお、本第1実施形態では、画像処理部62、第1表示制御部64、第2表示制御部66、位置検出部70、及びデバイス制御部74の各々がASIC (Application Specific Integrated Circuit) によって実現されているが、本開示の技術はこれに限定されるものではない。例えば、ASICに代えてPLD (Programmable Logic Device) 及びFPGA (Field-Programmable Gate Array) のうちの少なくとも1つが採用されてもよい。また、ASIC、PLD、及びFPGAのうちの少なくとも1つが採用されてもよい。また、CPU、ROM (Read Only Memory)、及びRAM (Random Access Memory) を含むコンピュータが採用されてもよい。CPUは、単数であってもよいし、複数であってもよい。また、画像処理部62、第1表示制御部64、第2表示制御部66、位置検出部70、及びデバイス制御部74のうちの少なくとも1つが、ハードウェア構成及びソフトウェア構成の組み合わせによって実現されてもよい。

- [0067] CPU 52、I/F 56、一次記憶部 58、二次記憶部 60、画像処理部 62、第 1 表示制御部 64、第 2 表示制御部 66、操作部 54、外部 I/F 63、及びタッチパネル 42 は、バス 68 を介して相互に接続されている。
- [0068] CPU 52 は、撮像装置 10 の全体を制御する。本第 1 実施形態に係る撮像装置 10 では、オートフォーカスモード時に、CPU 52 が、撮像によって得られた画像のコントラスト値が最大となるようにモータ 50 を駆動制御することによって合焦制御を行う。また、オートフォーカスモード時に、CPU 52 は、撮像によって得られた画像の明るさを示す物理量である AE 情報を算出する。CPU 52 は、リリースボタン 25 が半押し状態とされたときには、AE 情報により示される画像の明るさに応じたシャッタースピード及び F 値を導出する。そして、導出したシャッタースピード及び F 値となるように関係各部を制御することによって露出状態の設定を行う。
- [0069] 一次記憶部 58 とは、揮発性のメモリを意味し、例えば RAM を指す。二次記憶部 60 とは、不揮発性のメモリを意味し、例えばフラッシュメモリ又は HDD (Hard Disk Drive) を指す。
- [0070] 操作部 54 は、後段回路 90 に対して各種指示を与える際にユーザによって操作されるユーザインタフェースである。操作部 54 は、リリースボタン 25、ダイヤル 28、ファインダー切替レバー 23、十字キー 32、メニューキー 34、及び指示ボタン 36 を含む。操作部 54 によって受け付けられた各種指示は操作信号として CPU 52 に出力され、CPU 52 は、操作部 54 から入力された操作信号に応じた処理を実行する。
- [0071] 位置検出部 70 は、CPU 52 に接続されている。位置検出部 70 は、マウント 44、46 を介してフォーカスリング 22 に接続されており、フォーカスリング 22 の回転角度を検出し、検出結果である回転角度を示す回転角度情報を CPU 52 に出力する。CPU 52 は、位置検出部 70 から入力された回転角度情報に応じた処理を実行する。
- [0072] 撮像モードが設定されると、被写体を示す画像光は、手動操作により移動可能なフォーカスレンズ 16 を含む撮像レンズ 18 及びメカニカルシャッタ

72を介してカラーの撮像素子20の受光面に結像される。

[0073] デバイス制御部74は、CPU52に接続されている。また、デバイス制御部74は、撮像素子20及びメカニカルシャッタ72に接続されている。更に、デバイス制御部74は、マウント44、46を介して撮像レンズ18のモータ50に接続されている。

[0074] デバイス制御部74は、CPU52の制御下で、撮像素子20、メカニカルシャッタ72、及びモータ50を制御する。

[0075] 一例として図4に示すように、ハイブリッドファインダー21は、OVF76及びEVF78を含む。OVF76は、対物レンズ81と接眼レンズ86とを有する逆ガリレオ式ファインダーであり、EVF78は、第2ディスプレイ80、プリズム84、及び接眼レンズ86を有する。

[0076] また、対物レンズ81の前方には、液晶シャッタ88が配設されており、液晶シャッタ88は、EVF78を使用する際に、対物レンズ81に光学像が入射しないように遮光する。

[0077] プリズム84は、第2ディスプレイ80に表示される電子像又は各種の情報を反射させて接眼レンズ86に導き、且つ、光学像と第2ディスプレイ80に表示される（電子像及び／又は各種情報とを合成する。

[0078] ここで、ファインダー切替レバー23を図1に示す矢印SW方向に回転させると、回転させる毎にOVF76により光学像を視認することができるOVFモードと、EVF78により電子像を視認することができるEVFモードとが交互に切り替えられる。

[0079] 第2表示制御部66は、OVFモードの場合、液晶シャッタ88が非遮光状態になるように制御し、接眼部から光学像が視認できるようにする。また、第2表示制御部66は、EVFモードの場合、液晶シャッタ88が遮光状態になるように制御し、接眼部から第2ディスプレイ80に表示される電子像のみが視認できるようにする。

[0080] 撮像素子20は、本開示の技術に係る「積層型撮像素子」の一例である。撮像素子20は、例えば、CMOS (Complementary Met

a l O x i d e S e m i c o n d u c t o r) イメージセンサである。一例として図5に示すように、撮像素子20には、光電変換素子92、処理回路94、及びメモリ96が内蔵されている。撮像素子20では、光電変換素子92に対して処理回路94及びメモリ96が積層されている。なお、メモリ96は、本開示の技術に係る「記憶部」の一例である。

[0081] 処理回路94は、例えば、LSIであり、メモリ96は、例えば、RAMである。本第1実施形態では、メモリ96の一例として、DRAMが採用されているが、本開示の技術はこれに限らず、SRAM (S t a t i c R a n d o m A c c e s s M e m o r y) であってもよい。

[0082] 本第1実施形態では、処理回路94は、ASICによって実現されているが、本開示の技術はこれに限定されるものではない。例えば、ASICに代えてPLD及びFPGAのうちの少なくとも1つが採用されてもよい。また、ASIC、PLD、及びFPGAのうちの少なくとも1つが採用されてもよい。また、CPU、ROM、及びRAMを含むコンピュータが採用されてもよい。CPUは、単数であってもよいし、複数であってもよい。また、処理回路94は、ハードウェア構成及びソフトウェア構成の組み合わせによって実現されてもよい。

[0083] 光電変換素子92は、マトリクス状に配置された複数のフォトセンサを有している。本第1実施形態は、フォトセンサの一例として、フォトダイオードが採用されている。また、複数のフォトセンサの一例としては、“4896×3265”画素分のフォトダイオードが挙げられる。

[0084] 光電変換素子92は、カラーフィルタを備えており、カラーフィルタは、輝度信号を得るために最も寄与するG（緑）に対応するGフィルタ、R（赤）に対応するRフィルタ、及びB（青）に対応するBフィルタを含む。本第1実施形態では、光電変換素子92の複数のフォトダイオードに対してGフィルタ、Rフィルタ、及びBフィルタが行方向（水平方向）及び列方向（垂直方向）の各々に既定の周期性で配置されている。そのため、撮像装置10は、R、G、B信号の同時化処理等を行う際に、繰り返しパターンに従って

処理を行うことが可能となる。なお、同時化処理とは、単板式のカラー撮像素子のカラーフィルタ配列に対応したモザイク画像から画素毎に全ての色情報を算出する処理を指す。例えば、RGB 3色のカラーフィルタからなる撮像素子の場合、同時化処理とは、RGBからなるモザイク画像から画素毎にRGB全ての色情報を算出する処理を意味する。

[0085] なお、ここでは、撮像素子20としてCMOSイメージセンサを例示しているが、本開示の技術はこれに限定されず、例えば、光電変換素子92がCCD (Charge Coupled Device) イメージセンサであっても本開示の技術は成立する。

[0086] 撮像素子20は、いわゆる電子シャッタ機能を有しており、デバイス制御部74の制御下で電子シャッタ機能を働かせることで、光電変換素子92内の各フォトダイオードの電荷蓄積時間を制御する。電荷蓄積時間とは、いわゆるシャッタスピードを指す。

[0087] 処理回路94は、デバイス制御部74によって制御される。処理回路94は、被写体が光電変換素子92により撮像されることで得られた撮像画像データを読み出す。ここで言う「撮像画像データ」とは、被写体を示す画像データを指す。撮像画像データは、光電変換素子92に蓄積された信号電荷である。詳しくは後述するが、撮像画像データは、第1撮像画像データと第2撮像画像データとに大別される。

[0088] また、本第1実施形態では、撮像画像データの一例として、光電変換素子92に含まれる全てのフォトダイオードのうち、指定された1つの部分領域に含まれる複数のフォトダイオードにより被写体が撮像されることで得られた画像データを採用しているが、本開示の技術はこれに限定されない。例えば、光電変換素子92内の全てのフォトダイオードにより被写体が撮像されることで得られた画像データを採用してもよい。

[0089] 処理回路94は、光電変換素子92から読み出した撮像画像データに対してA/D (Analog/Digital) 変換を行う。処理回路94は、撮像画像データに対してA/D変換を行うことで得た撮像画像データをメモ

リ 9 6 に記憶する。処理回路 9 4 は、メモリ 9 6 から撮像画像データを取得する。処理回路 9 4 は、取得した撮像画像データに対して処理を施すことで得た処理済み画像データを後段回路 9 0 の I / F 5 6 に出力する。

[0090] なお、以下では、説明の便宜上、処理回路 9 4 が処理済み画像データを後段回路 9 0 の I / F 5 6 に出力する形態例を挙げて説明するが、本開示の技術はこれに限定されない。例えば、処理回路 9 4 は、取得した撮像画像データそのものを後段回路 9 0 の I / F 5 6 に出力するようにしてもよいし、撮像画像データそのもの、及び処理済み画像データの双方を後段回路 9 0 の I / F 5 6 に出力するようにしてもよい。また、ユーザから与えられた指示、又は、撮像環境に応じて、処理回路 9 4 により、撮像画像データそのもの、及び処理済み画像データが選択的に後段回路 9 0 の I / F 5 6 に出力されるようにしてもよい。

[0091] 一例として図 6 に示すように、処理回路 9 4 は、光電変換素子駆動回路 9 4 A、A D (A n a l o g - t o - D i g i t a l) 変換回路 9 4 B、画像処理回路 9 4 C、及び出力回路 9 4 D を含み、C P U 5 2 の制御下で動作する。光電変換素子駆動回路 9 4 A は、光電変換素子 9 2 及び A D 変換回路 9 4 B に接続されている。メモリ 9 6 は、A D 変換回路 9 4 B 及び画像処理回路 9 4 C に接続されている。画像処理回路 9 4 C は出力回路 9 4 D に接続されている。出力回路 9 4 D は、後段回路 9 0 の I / F 5 6 に接続されている。

[0092] なお、画像処理回路 9 4 C は、本開示の技術に係る「処理部」の一例である。また、出力回路 9 4 D は、本開示の技術に係る「出力部」の一例である。

[0093] 光電変換素子駆動回路 9 4 A は、デバイス制御部 7 4 の制御下で、光電変換素子 9 2 を制御し、光電変換素子 9 2 からアナログの撮像画像データを読み出す。A D 変換回路 9 4 B は、光電変換素子駆動回路 9 4 A により読み出された撮像画像データをデジタル化し、デジタル化した撮像画像データをメモリ 9 6 に記憶する。

- [0094] 撮像装置 10 では、第 1 フレームレート及び第 2 フレームレートを含む複数のフレームレートで各種処理が実行可能とされている。第 1 フレームレート及び第 2 フレームレートは共に可変なフレームレートであり、第 1 フレームレートは、第 2 フレームレートよりも高いフレームレートである。
- [0095] 画像処理回路 94 C は、メモリ 96 に記憶されている撮像画像データに対して処理を施す。出力回路 94 D は、画像処理回路 94 C により処理が施されることで得られた処理済み画像データを第 2 フレームレートで撮像素子 20 の外部に出力する。ここで言う「撮像素子 20 の外部」とは、後段回路 90 の I/F 56 を指す。
- [0096] なお、撮像素子 20 では、第 1 フレームレートで被写体が撮像される。撮像素子 20 では、光電変換素子駆動回路 94 A による読み出し、A/D 変換回路 94 B によるメモリ 96 への撮像画像データの記憶、及び画像処理回路 94 C による処理が、第 1 フレームレートで行われるが、本開示の技術はこれに限定されない。例えば、光電変換素子駆動回路 94 A による読み出し、A/D 変換回路 94 B によるメモリ 96 への撮像画像データの記憶、及び画像処理回路 94 C による処理のうち、少なくとも A/D 変換回路 94 B によるメモリ 96 への撮像画像データの記憶が第 1 フレームレートで行われるようにしてもよい。この場合、光電変換素子駆動回路 94 A による読み出し、A/D 変換回路 94 B によるメモリ 96 への撮像画像データの記憶、及び画像処理回路 94 C による処理のうち、光電変換素子駆動回路 94 A による読み出し、及び A/D 変換回路 94 B によるメモリ 96 への撮像画像データの記憶が第 1 フレームレートで行われる、という形態例が挙げられる。
- [0097] 画像処理回路 94 C は、第 1 撮像画像データと第 2 撮像画像データとの相違度に応じて、第 1 撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成する。
- [0098] ここで、第 1 撮像画像データとは、被写体が光電変換素子 92 により撮像されることで得られた撮像画像データを指し、第 2 撮像画像データとは、メモリ 96 に記憶された撮像画像データを指す。換言すると、被写体が撮像さ

れた時期が前後する一対の撮像画像データのうち先に撮像されて得られた撮像画像データが第2撮像画像データであり、後に撮像されて得られた撮像画像データが第1撮像画像データである。本第1実施形態において、第1撮像画像データは、被写体が光電変換素子92により撮像されて得られた最新の撮像画像データであり、第2撮像画像データは、第1撮像画像データよりも1フレーム前に得られた撮像画像データである。

[0099] また、ここで言う「複数のビット範囲」とは、例えば、上位ビット範囲と下位ビット範囲とを指す。1フレーム分の撮像画像データが12ビットの場合、上位ビット範囲とは、12ビットのうちの上位6ビットを指し、下位ビット範囲とは、12ビットのうちの下位6ビットを指す。ここで言う「1フレーム分の撮像画像データが12ビット」とは、各画素が12ビットの画素値を有することを意味する。よって、上位ビット範囲とは、各画素の画素値について、12ビットのうちの上位6ビットを意味し、下位ビット範囲とは、各画素の画素値について、12ビットのうちの下位6ビットを意味する。なお、以下では、画素値を「画素データ」とも称する。

[0100] 次に、撮像装置10の本開示の技術に係る部分の作用について説明する。

[0101] なお、以下では、説明の便宜上、第1ディスプレイ40及び第2ディスプレイ80を区別して説明する必要がない場合は、符号を付さずに「表示装置」と称する。表示装置は、本開示の技術に係る「表示部」の一例である。また、以下では、説明の便宜上、第1表示制御部64及び第2表示制御部66を区別して説明する必要がない場合は、符号を付さずに「表示制御部」と称する。表示制御部は、本開示の技術に係る「制御部」の一例である。

[0102] また、以下では、説明の便宜上、表示装置に対してライブビュー画像を表示させる場合について説明する。また、以下では、説明の便宜上、メモリ96が2フレーム分以上の撮像画像データをFIFO方式で記憶可能なメモリであることを前提として説明する。また、以下では、説明の便宜上、メモリ96には、2フレーム以上の撮像画像データが既に記憶されていることを前提として説明する。また、以下の説明において、メモリ96に記憶された時

期が前後する2フレームの撮像画像データのうち、メモリ96に先に記憶された撮像画像データが第2撮像画像データであり、第2撮像画像データの次にメモリ96に記憶された撮像画像データが第1撮像画像データである。なお、以下では、第1撮像画像データにより示される画像を「第1撮像画像」と称し、第2撮像画像データにより示される画像を「第2撮像画像」と称する。

[0103] 先ず、処理回路94の画像処理回路94Cが1フレーム分の圧縮画像データを生成する場合に画像処理回路94Cによって実行される圧縮処理について図7を参照して説明する。

[0104] なお、図7に示す圧縮処理では、処理回路94によって第1フレームレートで行われる。また、説明の便宜上、図7に示す圧縮処理では、メモリ96に記憶されている1フレーム分の撮像画像データのビット数を12ビットとし、第1撮像画像データを、7ビットの画像データに圧縮することを目的とする。また、第1撮像画像データ及び第2撮像画像データの元のビット数はいずれも12ビットである。ここで言う「元のビット数」とは、図7に示す圧縮処理が実行される前にメモリ96に記憶されている第1撮像画像データ及び第2撮像画像データのビット数を指す。また、図7に示す圧縮処理において、12ビットは、本開示の技術に係る「第1ビット」の一例であり、7ビットは、本開示の技術に係る「第2ビット」の一例である。

[0105] 図7に示す圧縮処理では、先ず、ステップ100で、画像処理回路94Cは、注目ラインについて、第1撮像画像の全画素の各々の現画素データ D_n をメモリ96から読み出し、その後、圧縮処理はステップ102へ移行する。ここで、注目ラインとは、メモリ96に記憶されている撮像画像データの1番目～N番目の水平ラインのうちの未使用の1つの水平ラインを指す。ここで言う「未使用」とは、後述のステップ106又はステップ108の処理に未だに使用されていないことを意味する。現画素データ D_n とは、第1撮像画像データに含まれる画素の画素データを指す。メモリ96から読み出される現画素データ D_n のビット数は12ビットである。

- [0106] ステップ102で、画像処理回路94Cは、注目ラインについて、第2撮像画像の全画素の各々の前画素データD_pをメモリ96から読み出し、その後、圧縮処理はステップ104へ移行する。前画素データD_pとは、第2撮像画像データに含まれる画素の画素データを指す。メモリ96から読み出される前画素データD_pのビット数は12ビットである。
- [0107] ステップ104で、画像処理回路94Cは、注目画素について、ステップ100で読み出した現画素データD_nとステップ102で読み出した前画素データD_pとの上位nビットを比較する。そして、画像処理回路94Cは、現画素データD_nと前画素データD_pとの上位nビットが異なるか否かを判定する。ここで、「注目画素」とは、注目ラインの全画素のうちの未処理の画素を指す。「未処理の画素」とは、未だにステップ106又はステップ108の処理対象とされていない画素を指す。
- [0108] ここで言う「上位nビット」は、本開示の技術に係る既定上位ビットの一例である。本ステップ104において、上位nビットは、上位5ビットである。ここでの上位5ビットは、第1撮像画像データのビット数である12ビットから、第1撮像画像データを圧縮して得られる圧縮画像データのビット数である7ビットを減じることで得た値に相当するビットである。
- [0109] ステップ104において、現画素データD_nと前画素データD_pとの上位nビットが同じ場合は、判定が否定されて、圧縮処理はステップ106へ移行する。ステップ104において、現画素データD_nと前画素データD_pとの上位nビットが異なる場合は、判定が肯定されて、圧縮処理はステップ108へ移行する。
- [0110] ここで、現画素データD_nと前画素データD_pとの上位nビットが同じ場合とは、被写体が変わっていない場合を意味する。これに対し、現画素データD_nと前画素データD_pとの上位nビットが異なる場合とは、被写体が変わった場合を意味する。
- [0111] ステップ106で、画像処理回路94Cは、注目画素について、現画素データD_nの下位bビットの圧縮画素データD_oを生成し、その後、圧縮処理

はステップ109へ移行する。本ステップ106において、下位bビットは、下位7ビットである。ここで、下位bビットの圧縮画像データD_oを生成するのは、ノイズ情報を後段回路90に伝えるためである。

[0112] なお、本ステップ106では、生成された下位bビットの圧縮画素データD_oに対して更に特定の画像処理が施されるようにしてもよい。

[0113] ステップ108で、画像処理回路94Cは、注目画素について、現画素データD_nの上位bビットの圧縮画素データD_oを生成し、その後、圧縮処理はステップ109へ移行する。本ステップ108において、上位bビットは、上位7ビットである。

[0114] なお、本ステップ108では、生成された上位bビットの圧縮画素データD_oに対して更に特定の画像処理が施されるようにしてもよい。

[0115] ステップ106又はステップ108の処理が実行されると、現画素データD_nは、例えば、図10に示すように、圧縮画素データD_oに圧縮される。

[0116] 図10に示す例では、まず、12ビットの現画素データD_nと12ビットの前画素データD_pとの排他的論理和が算出される。

[0117] 次に、上位5ビットが“1”で、下位7ビットが“0”の12ビットデータと、排他的論理和との論理積が算出される。ここでは「上位5ビット」を例示しているが、これは、ステップ104において上位nビットとして上位5ビットが使用されているからである。仮に、例えば、ステップ104において上位nビットとして上位7ビットが使用されていれば、上位7ビットが“1”で、下位5ビットが“0”の12ビットデータと、排他的論理和との論理積が算出される。

[0118] そして、算出された論理積が“0”でない場合は、現画素データD_nの上位[11:5]のビットを圧縮画素データD_oの[6:0]のビットとする。算出された論理積が“0”の場合は、現画素データD_nの下位[6:0]のビットを圧縮画像データD_oの[6:0]のビットとする。

[0119] ステップ109で、ステップ104～ステップ108で1ライン分の処理が終了したか否かを判定する。ステップ109において、ステップ104～

ステップ１０８で１ライン分の処理が終了していない場合は、判定が否定されて、圧縮処理はステップ１０４へ移行する。ステップ１０９において、ステップ１０４～ステップ１０８で１ライン分の処理が終了した場合は、判定が肯定されて、圧縮処理はステップ１１０へ移行する。

[0120] ステップ１１０で、メモリ９６に記憶されている第１撮像画像データの垂直方向の最終ラインに注目ラインが到達しているか否かを判定する。ステップ１１０において、メモリ９６に記憶されている第１撮像画像データの垂直方向の最終ラインに注目ラインが到達していない場合は、判定が否定されて、圧縮処理はステップ１１２へ移行する。ステップ１１０において、メモリ９６に記憶されている第１撮像画像データの垂直方向の最終ラインに注目ラインが到達している場合は、判定が肯定されて、圧縮処理はステップ１１４へ移行する。

[0121] ステップ１１２で、画像処理回路９４Ｃは、注目ラインのアドレスを１インクリメントすることで、メモリ９６に記憶されている第１撮像画像データの垂直方向に注目ラインを１ラインずらし、その後、圧縮処理はステップ１００へ移行する。

[0122] ステップ１１４で、画像処理回路９４Ｃは、ステップ１０６又はステップ１０８の処理が実行されることで得られた全画素についての圧縮画素データＤ０を１フレーム分の圧縮画像データとし、１フレーム分の圧縮画像データを出力回路９４Ｄに出力し、画像処理回路９４Ｃは圧縮処理を終了する。

[0123] なお、本ステップ１１４の処理が実行されることで出力される圧縮画像データは、本開示の技術に係る「処理済み画像データ」、「１つのビット画像データに基づくデータ」、及び「分割画像データに基づくデータ」の一例である。

[0124] また、本ステップ１１４において、画像処理回路９４Ｃは、圧縮画像データに対して特定の画像処理を施してもよい。この場合、圧縮画像データに対して特定の画像処理が施された処理済み圧縮画像データが出力回路９４Ｄに出力される。ここで言う「処理済み圧縮画像データ」は、本開示の技術に係

る「処理済み画像データ」、「1つのビット画像データに基づくデータ」、及び「分割画像データに基づくデータ」の一例である。

[0125] 次に、処理回路94の出力回路94Dによって実行される画像データ出力処理について図8を参照して説明する。

[0126] 図8に示す画像データ出力処理では、まず、ステップ130で、出力回路94Dは、画像処理回路94Cから圧縮画像データが入力されたか否かを判定する。本ステップ130において、画像処理回路94Cから入力される圧縮画像データは、図7に示す圧縮処理に含まれるステップ114で出力された圧縮画像データである。

[0127] ステップ130において、画像処理回路94Cから圧縮画像データが入力された場合は、判定が肯定されて、画像データ出力処理はステップ132へ移行する。ステップ130において、画像処理回路94Cから圧縮画像データが入力されていない場合は、判定が否定されて、画像データ出力処理はステップ134へ移行する。

[0128] ステップ132で、出力回路94Dは、ステップ130で入力された圧縮画像データを第2フレームレートで後段回路90のI/F56に出力し、その後、画像データ出力処理はステップ134へ移行する。

[0129] ステップ134で、出力回路94Dは、画像データ出力処理を終了する条件である画像データ出力処理終了条件を満足したか否かを判定する。画像データ出力処理終了条件としては、例えば、画像データ出力処理を終了させる指示がタッチパネル42及び／又は操作部54によって受け付けられたとの条件が挙げられる。また、画像データ出力処理終了条件としては、例えば、画像データ出力処理が開始されてからリリースボタン25が押されることなく、予め定められた時間を超えたとの条件が挙げられる。ここで言う「予め定められた時間」とは、例えば、5分を指す。予め定められた時間は、固定値であってもよいし、ユーザから与えられた指示に応じて変更可能な可変値であってもよい。

[0130] ステップ134において、画像データ出力処理終了条件を満足していない

場合は、判定が否定されて、画像データ出力処理はステップ130へ移行する。ステップ134において、画像データ出力処理終了条件を満足した場合は、判定が肯定されて、出力回路94Dは画像データ出力処理を終了する。

[0131] 図7に示す圧縮処理及び図8に示す画像データ出力処理が処理回路94によって実行されることで、一例として図18に示すように画像データが遷移する。

[0132] 図18に示す例では、垂直駆動信号に同期して1フレーム分の撮像画像データの読み出しが開始され、1番目の水平ラインから $N (> 1)$ 番目の水平ラインにかけて画素データが光電変換素子92から読み出される。光電変換素子92から読み出された1フレーム分の画素データは、先ず、現画素データ D_n としてメモリ96に記憶される。

[0133] 次に、光電変換素子92から1フレーム分の画素データが読み出されてメモリ96への記憶が開始されると、メモリ96に既に記憶されている1フレーム前の現画素データ D_n は前画素データ D_p となり、新たな画素データが現画素データ D_n としてメモリ96に記憶される。例えば、 n フレーム目の画素データのメモリ96への記憶が開始されると、 $n-1$ フレーム目の画素データは、現画素データ D_n から前画素データ D_p に変更され、メモリ96に記憶された n フレーム目の画素データが現画素データ D_n となる。そして、前フレームの第2撮像画像と現フレームの第1撮像画像とが比較され、第1撮像画像がビット圧縮される。ビット圧縮とは、例えば図7に示すステップ106, 108の処理、すなわち、第1撮像画像から圧縮画素データ D_o を生成する処理を指す。

[0134] 次に、後段回路90の表示制御部によって実行される表示制御処理について図9を参照して説明する。なお、ここでは、説明の便宜上、図8に示す画像データ出力処理が実行されることで出力回路94Dから圧縮画像データが後段回路90に出力され、圧縮画像データがCPU52及び画像処理部62に入力されたことを前提として説明する。

[0135] 図9に示す表示制御処理では、ステップ150で、表示制御部は、画像処

理部 62 から圧縮画像データが入力されたか否かを判定する。ステップ 150 において、画像処理部 62 から圧縮画像データが入力されていない場合は、判定が否定されて、表示制御処理はステップ 154 へ移行する。ステップ 150 において、画像処理部 62 から圧縮画像データが入力された場合は、判定が肯定されて、表示制御処理はステップ 152 へ移行する。

[0136] ステップ 152 で、表示制御部は、圧縮画像データをグラフィックデータとして表示装置に出力し、その後、表示制御処理はステップ 154 へ移行する。本ステップ 152 の処理が実行されることで圧縮画像データが表示装置に出力されると、表示装置は、圧縮画像データにより示される画像を表示する。

[0137] ステップ 154 で、表示制御部は、表示制御処理を終了する条件である表示制御処理終了条件を満足したか否かを判定する。表示制御処理終了条件は、例えば、上述した圧縮処理終了条件と同じ条件である。

[0138] ステップ 154 において、表示制御処理終了条件を満足していない場合は、判定が否定されて、表示制御処理はステップ 150 へ移行する。ステップ 154 において、表示制御処理終了条件を満足した場合は、判定が肯定されて、表示制御部は表示制御処理を終了する。

[0139] 以上説明したように、本第 1 実施形態に係る撮像装置 10 では、画像処理回路 94C により、被写体が光電変換素子 92 により撮像されることで得られた第 1 撮像画像データとメモリ 96 に記憶された第 2 撮像画像データとの相違度が決定される。ここで言う「相違度」は、例えば、ステップ 104 の判定結果である。また、画像処理回路 94C により、相違度に応じて、第 1 撮像画像データが複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データが生成される。そして、出力回路 94D により、画像処理回路 94C で生成された圧縮画像データが第 2 フレームレートで後段回路 90 に出力される。

[0140] 従って、本第 1 実施形態に係る撮像装置 10 は、撮像されて得られた第 1 撮像画像データをそのまま撮像素子 20 の外部に出力する場合に比べ、撮像

素子 20 の外部への画像データの出力に伴う消費電力を低減することができる。

[0141] また、本第 1 実施形態に係る撮像装置 10 では、第 1 フレームレートとして、第 2 フレームレートよりも高いフレームレートが採用されている。

[0142] 従って、本第 1 実施形態に係る撮像装置 10 は、出力回路 94D による圧縮画像データの出力に用いられるフレームレートと同じフレームレートで画像処理回路 94C によって処理が行われる場合に比べ、圧縮画像データを迅速に生成することができる。

[0143] また、本第 1 実施形態に係る撮像装置 10 では、第 2 撮像画像データが、第 1 撮像画像データよりも 1 フレーム前に得られた画像データである。

[0144] 従って、本第 1 実施形態に係る撮像装置 10 は、第 1 撮像画像データと第 2 撮像画像データとが同時に撮像されて得られた画像データである場合に比べ、第 1 撮像画像データと第 2 撮像画像データとの相違度を大きくすることができる。

[0145] また、本第 1 実施形態に係る撮像装置 10 では、第 1 撮像画像データと第 2 撮像画像データとの相違度が、第 1 撮像画像データと第 2 撮像画像データとの上位 n ビットについての相違度である。

[0146] 従って、本第 1 実施形態に係る撮像装置 10 は、第 1 撮像画像データと第 2 撮像画像データとの全ビットを比較する場合に比べ、第 1 撮像画像データと第 2 撮像画像データとの相違度を迅速に定めることができる。

[0147] また、本第 1 実施形態に係る撮像装置 10 では、第 1 撮像画像データ及び第 2 撮像画像データは、互いにビット数が揃った画像データであり、圧縮画像データは、12 ビットよりも小さな 7 ビットであり、上位 n ビットは、12 ビットから 7 ビットを減じることで得た値に相当するビット、すなわち、5 ビットである。

[0148] 従って、本第 1 実施形態に係る撮像装置 10 は、圧縮画像データのビットとは無関係なビットで第 1 撮像画像データと第 2 撮像画像データとを比較して第 1 撮像画像データと第 2 撮像画像データとの相違度を定める場合に比べ

、第1撮像画像データと第2撮像画像データとの相違度を高精度に定めることができる。

[0149] 更に、本第1実施形態に係る撮像装置10では、撮像素子20として積層型CMOSイメージセンサが採用されている。

[0150] 従って、本第1実施形態に係る撮像装置10は、光電変換素子92がメモリ96に積層されていないタイプの撮像素子を用いる場合に比べ、第1撮像画像データと第2撮像画像データとの相違度を迅速に定めることができる。

[0151] なお、上記第1実施形態では、メモリ96に記憶されている1フレーム分の第1撮像画像データのビット数を12ビットとし、7ビットの圧縮画像データを生成する形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、図11に示すように、16ビットの第1撮像画像から9ビットの圧縮画像データを生成してもよい。この場合、図7に示すステップ104の処理で用いられる上位nビットは、第1撮像画像の16ビットから圧縮画像データの9ビットを減じて得た7ビットである。また、14ビットの第1撮像画像から7ビットの圧縮画像データを生成してもよい。この場合、図7に示すステップ104の処理で用いられる上位nビットは、第1撮像画像の14ビットから圧縮画像データの7ビットを減じて得た7ビットである。また、12ビットの第1撮像画像から7ビットの圧縮画像データを生成してもよい。この場合、図7に示すステップ104の処理で用いられる上位nビットは、第1撮像画像の12ビットから圧縮画像データの7ビットを減じて得た5ビットである。更に、10ビットの第1撮像画像から6ビットの圧縮画像データを生成してもよい。この場合、図7に示すステップ104の処理で用いられる上位nビットは、第1撮像画像の10ビットから圧縮画像データの6ビットを減じて得た4ビットである。

[0152] また、上記第1実施形態では、注目ラインを1ラインとしたが、本開示の技術はこれに限定されない。例えば、注目ラインを複数ラインとしてもよい。

[0153] また、上記第1実施形態では、1フレーム分の第1及び第2撮像画像デー

タがメモリ 96 に記憶されてから画像処理回路 94 C によりライン単位で第 1 撮像画像データと第 2 撮像画像データとが比較される形態例を挙げて説明したが、本開示の技術はこれに限定されない。つまり、図 7 に示すステップ 104 での第 1 撮像画像データと第 2 撮像画像データとの比較は、1 フレーム分の第 1 撮像画像データがメモリ 96 に記憶される前に行われるようにしてもよい。

[0154] この場合、例えば、光電変換素子 92 から、本開示の技術に係る「読出部」の一例である処理回路 94 により第 1 撮像画像データがライン単位で読み出される毎の第 1 撮像画像データと第 2 撮像画像データとのライン単位での相違度に応じて、第 1 撮像画像データが圧縮される。これにより、撮像装置 10 は、フレーム単位で第 1 撮像画像データが読み出されるのを待ってから第 1 撮像画像データと第 2 撮像画像データとの相違度が定まる場合に比べ、迅速に圧縮画像データを出力することができる。なお、ここで言う「相違度」とは、例えば、図 7 に示すステップ 104 での判定結果に相当する。また、ここで言う「ライン単位」は、1 ラインであってもよいし、複数ラインであってもよい。

[0155] また、上記第 1 実施形態では、第 2 撮像画像データとして第 1 撮像画像データの 1 フレーム前の撮像画像データが採用されているが、本開示の技術はこれに限定されない。例えば、第 2 撮像画像データは、第 1 撮像画像データの複数フレーム前の撮像画像データであってもよい。

[0156] [第 2 実施形態]

上記第 1 実施形態では、単に注目ライン毎に圧縮画素データ D₀ が生成される形態例を挙げて説明したが、本第 2 実施形態では、1 ライン毎に上位ビットの圧縮画像データなのか、下位ビットの圧縮画像データなのかを特定可能な形態例について説明する。なお、本第 2 実施形態では、上記第 1 実施形態と同一の構成要素については同一の符号を付し、その説明を省略する。

[0157] 本第 2 実施形態に係る撮像装置 10 は、上記第 1 実施形態に係る撮像装置 10 に比べ、画像処理回路 94 C により、図 7 に示す圧縮処理に代えて図 1

2に示す圧縮処理が実行される点異なる。

[0158] そこで、画像処理回路94Cによって実行される本第2実施形態に係る圧縮処理について図12を参照して説明する。

[0159] 図12に示す圧縮処理は、図7に示す圧縮処理に比べ、ステップ200の処理を有する点、及び、ステップ114の処理に代えてステップ202の処理を有する点異なる。

[0160] 図12に示す圧縮処理では、ステップ109において判定が肯定された場合、圧縮処理はステップ200へ移行する。

[0161] ステップ200で、画像処理回路94Cは、注目ラインの全画素の圧縮画素データD₀である1ライン分の圧縮画像データの最上位2ビットにビット範囲特定フラグを付与し、その後、圧縮処理はステップ110へ移行する。なお、ビット範囲特定フラグは、本開示の技術に係る「ビット画像特定情報」及び「分割画像特定情報」の一例である。

[0162] 画像処理回路94Cにより本ステップ200の処理が実行されることで、ビット範囲特定フラグが付与された圧縮画像データが生成される。なお、ここで生成された圧縮画像データは、本開示の技術に係る「第1撮像画像データが複数のビット範囲で分割されることにより得られた複数のビットのうちの相違度に応じて定められた1つのビット画像データに基づくデータ」の一例である。また、ここで生成された圧縮画像データは、「第1撮像画像データが複数のビット範囲で分割されることにより得られた複数の分割画像データのうちの何れかの分割画像データに基づくデータ」の一例でもある。

[0163] ビット範囲特定フラグは、上位ビット特定フラグと下位ビット特定フラグとに大別される。上位ビット特定フラグとは、上位ビット圧縮画像データを特定可能なフラグを指す。上位ビット圧縮画像データとは、例えば、過半数の画素の画素データが上位bビットの圧縮画素データD₀である1ライン分の圧縮画像データを指す。下位ビット特定フラグとは、下位ビット圧縮画像データを特定可能なフラグを指す。下位ビット圧縮画像データとは、例えば、過半数の画素の画素データが下位bビットの圧縮画素データD₀である1

ライン分の圧縮画像データを指す。以下では、説明の便宜上、上位ビット圧縮画像データと下位ビット圧縮画像データとを区別して説明する必要がない場合、「ビット圧縮画像データ」と称する。

[0164] なお、上位ビット圧縮画像データ及び下位ビット圧縮画像データは、本開示の技術に係る「複数のビット画像データ」及び「複数の分割画像データ」の一例である。また、上位ビット圧縮画像データは、本開示の技術に係る「上位ビット画像データ」の一例である。更に、下位ビット圧縮画像データは、本開示の技術に係る「下位ビット画像データ」の一例である。

[0165] 図13に示す例では、2バイトの1ライン分の圧縮画像データの最上位2ビットにビット範囲特定フラグが付与されている。一例として図13に示す1ライン分の圧縮画像データでは、最上位2ビットに、ビット範囲特定フラグが付与され、ビット範囲特定フラグに続いてブランキング及びダミー等の同期コード、及び、画素毎の圧縮画素データD₀が連なっている。図13に示す1ライン分の圧縮画像データの最上位2ビットに付与される上位ビット特定フラグとしては、例えば、“00”が挙げられ、下位ビット特定フラグとしては、例えば、“01”が挙げられる。つまり、最上位2ビットに“00”が付与された1ライン分の圧縮画像データは、上位ビット圧縮画像として扱われ、最上位2ビットに“01”が付与された1ライン分の圧縮画像データは、下位ビット圧縮画像として扱われる。

[0166] ステップ202で、画像処理回路94Cは、ビット範囲特定フラグが各々付与された複数ラインの圧縮画像データである1フレーム分の圧縮画像データとし、1フレーム分の圧縮画像データを出力回路94Dに出力し、画像処理回路94Cは圧縮処理を終了する。

[0167] なお、本ステップ202の処理が実行されることで出力される圧縮画像データは、本開示の技術に係る「処理済み画像データ」、「ビット画像データに基づくデータ」、及び「分割画像データに基づくデータ」の一例である。

[0168] また、本ステップ202において、画像処理回路94Cは、圧縮画像データに対して特定の画像処理を施してもよい。この場合、圧縮画像データに対

して特定の画像処理が施された処理済み圧縮画像データが出力回路 94D に出力される。ここで言う「処理済み圧縮画像データ」は、本開示の技術に係る「処理済み画像データ」、「1つのビット画像データに基づくデータ」、及び「分割画像データに基づくデータ」の一例である。

[0169] 以上説明したように、本第2実施形態に係る撮像装置10では、圧縮画像データは、第1撮像画像データが複数のビット範囲で分割されることで得られた上位ビット圧縮画像データ及び下位ビット圧縮画像データのうちの相違度に応じて定められた1つのビット圧縮画像データである。ここで言う「相違度」は、例えば、上記ステップ104の判定結果である。

[0170] 従って、本第2実施形態に係る撮像装置10は、第1撮像画像データの全ビットを出力する場合に比べ、画像データの出力に伴う消費電力を低減することができる。

[0171] また、撮像装置10では、圧縮画像データの最上位2ビットを、ビット範囲特定フラグが付与されるビットとされている。

[0172] 従って、本第2実施形態に係る撮像装置10は、圧縮画像データの出力タイミングとは異なるタイミングでビット範囲特定フラグを後段回路90に出力する場合に比べ、後段回路90にて、圧縮画像データが何れのビット圧縮画像データに基づくデータであるのかを迅速に特定することができる。

[0173] 更に、本第2実施形態に係る撮像装置10では、ステップ104～ステップ109の処理が実行されることで、1ライン毎に圧縮画像データが生成される。そして、圧縮画像データは、ビット範囲特定フラグを有する。

[0174] 従って、本第2実施形態に係る撮像装置10は、1ライン毎に、圧縮画像データが何れのビット圧縮画像データであるのかを特定することができる。

[0175] なお、上位第2実施形態では、圧縮画像データの最上位2ビットにビット範囲特定フラグが付与される形態例を挙げて説明したが、本開示の技術はこれに限定されない。例えば、圧縮画像データの最下位2ビットにビット範囲特定フラグが付与されるようにしてもよいし、圧縮画像データ内の特定可能な2ビットにビット範囲特定フラグが付与されるようにしてもよい。また、

例えば、圧縮画像データ内のうちの特定の1ビットを、ビット範囲特定フラグが付与されるビットとして用いてもよい。このように、圧縮画像データの一部のビットがビット範囲特定フラグの付与されるビットとして用いられるようにすればよい。

[0176] また、上記第2実施形態では、ステップ104において、現画素データ D_n と前画素データ D_p との上位 n ビットが異なるか否かが判定されているが、本開示の技術はこれに限定されない。ステップ104では、現画素データ D_n と前画素データ D_p との上位 n ビットの相違度が既定条件を満たしているか否かが判定されるようにしてもよい。この場合、ステップ106の処理が実行されることで生成される圧縮画素データ D_o は、本開示の技術に係る「下位ビット画像データに基づくデータ」の一例である。また、ステップ108の処理が実行されることで生成される圧縮画素データ D_o は、本開示の技術に係る「上位ビット画像データに基づくデータ」の一例である。

[0177] 例えば、現画素データ D_n と前画素データ D_p との上位 n ビットの差分の絶対値が閾値以上の場合、ステップ108の処理が実行され、現画素データ D_n と前画素データ D_p との上位 n ビットの差分の絶対値が閾値未満の場合、ステップ106の処理が実行される。これにより、被写体の動きに拘らず第1撮像画像データの全ビットが出力される場合に比べ、画質の低下の抑制の度合いと消費電力の抑制の度合いとが被写体の動きに合わせて調整される。なお、ここで言う「差分」は本開示の技術に係る「相違度」の一例である。ここで言う「閾値以上の場合」は、本開示の技術に係る「既定条件を満たす場合」の一例であり、「閾値未満の場合」は、本開示の技術に係る「既定条件を満たさない場合」の一例である。閾値は、固定値であってもよいし、タッチパネル42及び／又は操作部54によって受け付けられた指示に応じて可変な可変値であってもよい。

[0178] また、上記第2実施形態では、注目ラインの全画素の各々について最新のフレームの現画素データ D_n と1フレーム前の前画素データ D_p との間で上位 n ビットの比較を行って圧縮画素データを生成したが、本開示の技術はこ

れに限定されない。例えば、注目ラインの全画素を対象として、最新のフレームの現画素データ D_n の上位 n ビットの平均値と 1 フレーム前の前画素データ D_p の上位 n ビットの平均値とが一致していれば、注目ラインの全画素の各々に対してステップ 106 の処理が実行されるようにしてもよい。また、この場合、注目ラインの全画素を対象として、最新のフレームの現画素データ D_n の上位 n ビットの平均値と 1 フレーム前の前画素データ D_p の上位 n ビットの平均値とが異なっていれば、注目ラインの全画素の各々に対してステップ 108 の処理が実行される。

[0179] なお、本実施形態において、「一致」とは、完全一致のみならず、許容される誤差として予め定められた誤差内での一致も意味する。ここで言う「予め定められた誤差」としては、例えば、実機を用いた官能試験及び／又はコンピュータ・シミュレーション等により、被写体の変化が視認されない誤差として予め導き出された値が採用される。

[0180] また、例えば、注目ラインにおいて、最新のフレームの現画素データ D_n の上位 n ビットの代表画素データと 1 フレーム前の前画素データ D_p の上位 n ビットの代表画素データとが一致していれば、注目ラインの全画素の各々に対してステップ 106 の処理が実行されるようにしてもよい。また、この場合、注目ラインにおいて、最新のフレームの現画素データ D_n の上位 n ビットの代表画素データと 1 フレーム前の前画素データ D_p の上位 n ビットの代表画素データとが異なっていれば、注目ラインの全画素の各々に対してステップ 108 の処理が実行される。

[0181] 更に、例えば、注目ラインにおいて、最新のフレームの現画素データ D_n の上位 n ビットの画素データの総計と 1 フレーム前の前画素データ D_p の上位 n ビットの画素データの総計とが一致していれば、注目ラインの全画素の各々に対してステップ 106 の処理が実行されるようにしてもよい。また、この場合、注目ラインにおいて、最新のフレームの現画素データ D_n の上位 n ビットの画素データの総計と 1 フレーム前の前画素データ D_p の上位 n ビットの画素データの総計とが異なっていれば、注目ラインの全画素の各々に

対してステップ108の処理が実行される。

[0182] また、上記第2実施形態では、上位ビット圧縮画像データとして、過半数の画素の画素データが上位 b ビットの圧縮画素データ D_o である1ライン分の圧縮画像データを例示したが、本開示の技術はこれに限定されない。例えば、注目ラインにおいて前画素データ D_p の上位 n ビットの平均値と現画素データ D_n の上位 n ビットの平均値とが一致している場合に、注目ラインの圧縮画像データを、上位ビット圧縮画像データとしてもよい。また、注目ラインにおいて前画素データ D_p の上位 n ビットの平均画素値と現画素データ D_n の上位 n ビットの平均画素値とが異なる場合に、注目ラインの圧縮画像データを、下位ビット圧縮画像データとしてもよい。

[0183] また、例えば、注目ラインのうちの前画素データ D_p の上位 n ビットの代表画素データと現画素データ D_n の上位 n ビットの代表画素データとが一致している場合に、注目ラインの圧縮画像データを、上位ビット圧縮画像データとしてもよい。また、注目ラインのうちの前画素データ D_p の上位 n ビットの代表画素データと現画素データ D_n の上位 n ビットの代表画素データとが異なる場合に、注目ラインの圧縮画像データを、下位ビット圧縮画像データとしてもよい。

[0184] 更に、例えば、注目ラインのうちの前画素データ D_p の上位 n ビットの画素データの総計と現画素データ D_n の上位 n ビットの画素データの総計とが一致している場合に、注目ラインの圧縮画像データを、上位ビット圧縮画像データとしてもよい。また、注目ラインのうちの前画素データ D_p の上位 n ビットの画素データの総計と現画素データ D_n の上位 n ビットの画素データの総計とが異なる場合に、注目ラインの圧縮画像データを、下位ビット圧縮画像データとしてもよい。

[0185] また、上記第2実施形態では、本開示の技術に係る「複数のビット画像データ」及び「複数の分割画像データ」の一例として上位ビット圧縮画像データ及び下位ビット圧縮画像データを例示したが、本開示の技術はこれに限定されない。本開示の技術に係る「複数のビット画像データ」及び「複数の分

割画像データ」として3つ以上のビット圧縮画像データを採用してもよい。

[0186] この場合、例えば、上位ビット圧縮画像データ、中位ビット圧縮画像データ、及び下位ビット圧縮画像データが挙げられる。上位ビット圧縮画像データ、中位ビット圧縮画像データ、及び下位ビット圧縮画像データは、第1撮像画像データが、上位ビット、中位ビット、及び下位ビットの3つのビット範囲で分割されることにより得られる。この場合、例えば、図14に示すように、注目ラインの圧縮画像データの最上位2ビットに対して、上位ビット特定フラグ、中位ビット特定フラグ、又は下位ビット特定フラグが付与される。注目ラインの圧縮画像データの最上位2ビットに対して上位ビット特定フラグが付与されることで上位ビット圧縮画像データが得られる。注目ラインの圧縮画像データの最上位2ビットに対して中位ビット特定フラグが付与されることで中位ビット圧縮画像データが得られる。注目ラインの圧縮画像データの最上位2ビットに対して下位ビット特定フラグが付与されることで下位ビット圧縮画像データが得られる。なお、上述したように、上位ビット特定フラグが“00”であり、下位ビット特定フラグが“01”の場合、下位ビット特定フラグとしては、“10”又は“11”が挙げられる。

[0187] また、上記第2実施形態では、上記ステップ202に示す圧縮画像データは、複数ラインの圧縮画像データであるが、各ラインの圧縮画像データをそのまま使う必要はない。上記ステップ202に示す圧縮画像データには、例えば、複数ラインの圧縮画像データのうちの少なくとも1つのラインの圧縮画像データに対して特定の画像処理が施されることで得られた処理済み圧縮画像データが含まれていても良い。

[0188] [第3実施形態]

上記第1及び第2実施形態では、1ライン単位で画素データが比較される形態例を挙げて説明したが、本第3実施形態では、1画素毎に画素データが比較される場合について説明する。なお、本第3実施形態では、上記第1実施形態で説明した構成要素と同一の構成要素については同一の符号を付し、その説明を省略する。

- [0189] 本第3実施形態に係る撮像装置10は、上記第1実施形態に係る撮像装置10に比べ、画像処理回路94Cにより、図7に示す圧縮処理に代えて図15に示す圧縮処理が実行される点異なる。
- [0190] そこで、画像処理回路94Cによって実行される本第3実施形態に係る圧縮処理について図15を参照して説明する。
- [0191] 図15に示す圧縮処理では、ステップ250で、画像処理回路94Cは、第1撮像画像の全画素のうちの未処理の現画素データ D_n をメモリ96から読み出し、その後、圧縮処理はステップ252へ移行する。ここで言う「未処理の現画素データ D_n 」とは、後述のステップ254の処理で未だに用いられていない現画素データ D_n を指す。
- [0192] ステップ252で、画像処理回路94Cは、第2撮像画像の全画素のうちの未処理の前画素データ D_p をメモリ96から読み出し、その後、圧縮処理はステップ254へ移行する。
- [0193] ステップ254で、画像処理回路94Cは、ステップ250で読み出した現画素データ D_n とステップ252で読み出した前画素データ D_p との上位 n ビットを比較する。そして、画像処理回路94Cは、現画素データ D_n と前画素データ D_p との上位 n ビットが異なるか否かを判定する。
- [0194] ステップ254において、現画素データ D_n と前画素データ D_p との上位 n ビットが同じ場合は、判定が否定されて、圧縮処理はステップ256へ移行する。ステップ254において、現画素データ D_n と前画素データ D_p との上位 n ビットが異なる場合は、判定が肯定されて、圧縮処理はステップ258へ移行する。
- [0195] ステップ256で、画像処理回路94Cは、現画素データ D_n の下位 b ビットの圧縮画素データ D_o を生成し、その後、圧縮処理はステップ260へ移行する。
- [0196] ステップ258で、画像処理回路94Cは、現画素データ D_n の上位 b ビットの圧縮画素データ D_o を生成し、その後、圧縮処理はステップ260へ移行する。

- [0197] ステップ260で、画像処理回路94Cは、全画素について処理が終了した否かを判定する。本ステップ260では、例えば、画像処理回路94Cは、第1撮像画像及び第2撮像画像に含まれる全ての画素の画素データがステップ254の処理で用いられた否かを判定する。
- [0198] ステップ260において、全画素について処理が終了していない場合は、判定が否定されて、圧縮処理はステップ250へ移行する。ステップ260において、全画素について処理が終了した場合は、判定が肯定されて、圧縮処理はステップ262へ移行する。
- [0199] ステップ262で、画像処理回路94Cは、ステップ256又はステップ258の処理が実行されることで得られた全画素についての圧縮画素データD_oを1フレーム分の圧縮画像データとし、1フレーム分の圧縮画像データを出力回路94Dに出力し、画像処理回路94Cは圧縮処理を終了する。
- [0200] なお、本ステップ262の処理が実行されることで出力される圧縮画像データは、本開示の技術に係る「処理済み画像データ」、「ビット画像データに基づくデータ」、及び「分割画像データに基づくデータ」の一例である。
- [0201] また、本ステップ262において、画像処理回路94Cは、圧縮画像データに対して特定の画像処理を施してもよい。この場合、圧縮画像データに対して特定の画像処理が施された処理済み圧縮画像データが出力回路94Dに出力される。ここで言う「処理済み圧縮画像データ」は、本開示の技術に係る「処理済み画像データ」、「1つのビット画像データに基づくデータ」、及び「分割画像データに基づくデータ」の一例である。
- [0202] 以上説明したように、本第3実施形態に係る撮像装置10では、図15に示すステップ250～ステップ258の処理が1画素毎に実行され、ステップ262にて、上記第1実施形態と同様に1フレーム分の圧縮画像データが生成される。
- [0203] 従って、本第3実施形態に係る撮像装置10でも、上記第1実施形態に係る撮像装置10と同様に、撮像されて得られた第1撮像画像データをそのまま撮像素子20の外部に出力する場合に比べ、撮像素子20の外部への画像

データの出力に伴う消費電力を低減することができる。

[0204] [第4実施形態]

上記第3実施形態では、単に注目画素の圧縮画素データD_oを生成する形態例を挙げて説明したが、本第4実施形態では、画素毎に上位ビットの圧縮画素データか下位ビットの圧縮画素データかを特定可能な形態例について説明する。なお、本第4実施形態では、上記第1実施形態と同一の構成要素については同一の符号を付し、その説明を省略する。

[0205] 本第4実施形態に係る撮像装置10は、上記第3実施形態に係る撮像装置10に比べ、画像処理回路94Cにより、図15に示す圧縮処理に代えて図16に示す圧縮処理が実行される点異なる。

[0206] そこで、画像処理回路94Cによって実行される本第4実施形態に係る圧縮処理について図16を参照して説明する。

[0207] 図16に示す圧縮処理は、図15に示す圧縮処理に比べ、ステップ300、302の処理を有する点、及び、ステップ262の処理に代えてステップ304の処理を有する点異なる。

[0208] 図16に示す圧縮処理では、ステップ256の処理が実行された後、圧縮処理はステップ300へ移行する。

[0209] ステップ300で、画像処理回路94Cは、ステップ256で生成した圧縮画素データD_oの最上位ビットに下位ビット特定フラグを付与し、その後、圧縮処理はステップ260へ移行する。本ステップ300で用いられる下位ビット特定フラグとは、例えば、図17に示すように“0”を指す。

[0210] ステップ302で、画像処理回路94Cは、ステップ256で生成した圧縮画素データD_oの最上位ビットに上位ビット特定フラグを付与し、その後、圧縮処理はステップ260へ移行する。本ステップ302で用いられる上位ビット特定フラグとは、例えば、図17に示すように“1”を指す。

[0211] なお、図17に示す例では、下位ビット特定フラグとして“0”が例示され、上位ビット特定フラグとして“1”が例示されているが、本開示の技術はこれに限定されない。例えば、下位ビット特定フラグとして“1”を採用

し、上位ビット特定フラグとして“0”を採用してもよい。

[0212] ステップ260において判定が肯定されると、圧縮処理はステップ304へ移行する。ステップ304で、画像処理回路94Cは、ビット範囲特定フラグが各々付与された全画素の圧縮画像データである1フレーム分の圧縮画像データをとし、1フレーム分の圧縮画像データを出力回路94Dに出力し、画像処理回路94Cは圧縮処理を終了する。

[0213] なお、本ステップ114の処理が実行されることで出力される圧縮画像データは、本開示の技術に係る「処理済み画像データ」、「ビット画像データに基づくデータ」、及び「分割画像データに基づくデータ」の一例である。

[0214] また、本ステップ304において、画像処理回路94Cは、圧縮画像データに対して特定の画像処理を施してもよい。この場合、圧縮画像データに対して特定の画像処理が施された処理済み圧縮画像データが出力回路94Dに出力される。ここで言う「処理済み圧縮画像データ」は、本開示の技術に係る「処理済み画像データ」、「1つのビット画像データに基づくデータ」、及び「分割画像データに基づくデータ」の一例である。

[0215] 以上説明したように、上記第3実施形態に係る撮像装置10では、1ライン単位で圧縮画像データに対してビット範囲特定フラグが付与されるのに対し、本第4実施形態に係る撮像装置10では、1画素単位で圧縮画素データD0に対してビット範囲特定フラグが付与される。

[0216] 従って、本第4実施形態に係る撮像装置10は、1画素毎に、圧縮画素データD0が複数のビット範囲のうちの何れのビット範囲に属しているかを特定することができる。

[0217] なお、上記第1及び第2実施形態では、1ライン単位で画素データが比較され、上記第3及び第4実施形態では、1画素毎に画素データが比較されたが、本開示の技術はこれに限定されず、1フレーム単位で第1撮像画像データと第2撮像画像データとが比較されるようにしてもよい。この場合、例えば、1フレーム毎に、第1撮像画像データと第2撮像画像データとの相違度に応じて、第1撮像画像データを複数のビット範囲で分割されることにより

、1フレーム毎の圧縮画像データが生成されるようにしてもよい。また、1フレーム毎に第1撮像画像データと第2撮像画像データとの上位nビットの相違度に応じて1フレーム毎の圧縮画像データが生成されるようにしてもよい。

[0218] この場合、例えば、全画素のうちの過半数を超える画素について現画素データ D_n と前画素データ D_p とが異なる場合に、上位ビット圧縮画像データが生成される。また、全画素のうちの過半数を超える画素について現画素データ D_n と前画素データ D_p とが一致する場合に、下位ビット圧縮画像データが生成される。

[0219] また、この場合、1フレーム単位で、圧縮画像データに対してビット範囲特定フラグが付与されるようにしてもよい。

[0220] 上記各実施形態では、現画素データ D_n と前画素データ D_p との差分に応じて現画素データ D_n と前画素データ D_p とが異なるか否かが判定されるようにしたが、本開示の技術はこれに限定されない。現画素データ D_n 及び前画素データ D_p の一方に対する他方の割合、現画素データ D_n と前画素データ D_p との和、及び現画素データ D_n と前画素データ D_p との積に応じて現画素データ D_n と前画素データ D_p とが異なるか否かが判定されるようにしてもよい。また、画素単位での比較に限らず、第1撮像画像及び第2撮像画像を対象としたライン単位での比較でも、フレーム単位での比較でも同様のことが言える。

[0221] 上記各実施形態では、ライブビュー画像又は記録用の動画像に関する撮像が開始された場合、1フレーム目の撮像画像データが後段回路90の1/F56に出力されないが、本開示の技術はこれに限定されない。ライブビュー画像又は記録用の動画像に関する撮像が開始された場合、メモリ96に第2撮像画像データが記憶される前に、出力回路94Dにより第1撮像画像データが後段回路90の1/F56に出力されるようにしてもよい。図19に示す例では、1フレーム目の撮像画像データである第1撮像画像データがそのまま後段回路90の1/F56に出力されている。これにより、メモリ96

に第2撮像画像データが記憶される前であっても、出力回路94Dによる画像データの出力の滞りが回避される。

[0222] また、ライブビュー画像又は記録用の動画像に関する撮像が開始された場合、メモリ96に第2撮像画像データが記憶される前に、出力回路94Dにより、第1撮像画像データのうちの特定のビット範囲に属する画像データに基づくデータが後段回路90の1/F56に出力されるようにしてもよい。例えば、図20に示すように、出力回路94Dにより、1フレーム目の撮像画像データである第1撮像画像データの上位nビットが圧縮画像データとして後段回路90の1/F56に出力されるようにすればよい。また、1フレーム目の撮像画像データである第1撮像画像データの上位nビットに対して特定の画像処理が施された画像データが圧縮画像データとして後段回路90の1/F56に出力されるようにしてもよい。

[0223] これにより、メモリ96に第2撮像画像データが記憶される前に、第1撮像画像データそのものが出力される場合に比べ、出力回路94Dによる画像データの出力に伴う消費電力が低減される。

[0224] また、ライブビュー画像又は記録用の動画像に関する撮像が開始された場合、メモリ96に第2撮像画像データが記憶される前に、出力回路94Dにより、基準画像データと第1撮像画像データとの相違度に応じて、代替圧縮画像データが出力されるようにしてもよい。これにより、メモリ96に第2撮像画像データが記憶される前に、第1撮像画像データそのものが出力される場合に比べ、出力回路94Dによる画像データの出力に伴う消費電力が低減される。

[0225] なお、基準画像データとは、第2撮像画像データに代替する画像データとして予め定められた画像データを指す。予め定められた画像データの一例としては、黒色として視覚的に知覚される黒色レベルの画像を示す画像データが挙げられる。代替圧縮画像データとは、第1撮像画像データが上述した複数のビット範囲で分割されることで圧縮されて得られた圧縮画像データを指す。基準画像データと第1撮像画像データとの相違度は、基準画像データと

第1撮像画像データとの差分等であってもよいし、基準画像データと第1撮像画像データとの上位nビットの差分等であってもよい。

[0226] また、一例として図22に示すように、光電変換素子92により既定の時間間隔で静止画用の撮像が連続的に行われる場合、出力回路94Dにより、メモリ96に第2撮像画像データが記憶される前に、第1撮像画像データそのものが出力されるようにしてもよい。この場合、メモリ96に第2撮像画像データが記憶されたことを条件に、出力回路94Dにより、圧縮画像データが後段回路90のI/F56に出力される。例えば、図22に示す例では、1フレーム目は、出力回路94Dにより、メモリ96に第2撮像画像データが記憶される前に、第1撮像画像データそのものが出力され、2フレーム目以降に、圧縮画像データが出力されている。これにより、メモリ96に第2撮像画像データが記憶される前であっても、出力回路94Dによる画像データの出力の滞りが回避される。

[0227] また、光電変換素子92により既定の時間間隔で静止画用の撮像が連続的に行われる場合、出力回路94Dにより、メモリ96に第2撮像画像データが記憶される前に、第1撮像画像データのうちの既定ビット範囲に属する画像データが出力されるようにしてもよい。「第1撮像画像データのうちの既定ビット範囲に属する画像データ」の一例としては、第1撮像画像データのうちの上位nビットの画像データが挙げられる。また、図22に示す例では、「既定の時間間隔」として、垂直駆動信号に応じて定まる時間間隔が採用されている。垂直駆動信号に応じて定まる時間間隔の一例としては、60fpsに対応する16.667msが挙げられる。

[0228] 上記各実施形態では、圧縮画像データがライブビュー画像の表示に供される場合について説明したが、本開示の技術はこれに限定されない。例えば、圧縮画像データは、後段回路90において、CPU52により、二次記憶部60に記憶されるようにしてもよいし、外部I/F63を介して撮像装置10の外部に出力されるようにしてもよい。

[0229] 上記各実施形態では、ASICが実現される処理回路94を例示したが、

上述した圧縮処理及び画像データ出力処理は、コンピュータによるソフトウェア構成により実現されるようにしてもよい。

[0230] この場合、例えば、図23に示すように、上述した圧縮処理及び画像データ出力処理を撮像素子20に内蔵されたコンピュータ20Aに実行させるためのプログラム600を記憶媒体700に記憶させておく。コンピュータ20Aは、CPU20A1、ROM20A2、及びRAM20A3を備えている。そして、記憶媒体700のプログラム600がコンピュータ20Aにインストールされ、コンピュータ20AのCPU20A1は、プログラム600に従って、上述した圧縮処理及び画像データ出力処理を実行する。ここでは、CPU20A1として、単数のCPUを例示しているが、本開示の技術はこれに限定されず、CPU20A1に代えて複数のCPUを採用してもよい。つまり、1つのプロセッサ、又は、物理的に離れている複数のプロセッサによって、上述した圧縮処理及び／又は画像データ出力処理が実行されるようにしてもよい。

[0231] なお、記憶媒体700の一例としては、SSD (Solid State Drive) 又はUSB (Universal Serial Bus) メモリなどの任意の可搬型の記憶媒体が挙げられる。

[0232] また、通信網（図示省略）を介してコンピュータ20Aに接続される他のコンピュータ又はサーバ装置等の記憶部にプログラム600を記憶させておき、プログラム600が撮像装置10等の要求に応じてダウンロードされるようにしてもよい。この場合、ダウンロードされたプログラム600がコンピュータ20Aによって実行される。

[0233] また、コンピュータ20Aは、撮像素子20の外部に設けられるようにしてもよい。この場合、コンピュータ20Aがプログラム600に従って処理回路94を制御するようにすればよい。

[0234] 上記各実施形態で説明した各種処理を実行するハードウェア資源としては、次に示す各種のプロセッサを用いることができる。ここで、上記各実施形態で説明した各種処理とは、圧縮処理、画像データ出力処理、及び表示制御

処理が挙げられる。プロセッサとしては、例えば、上述したように、ソフトウェア、すなわち、プログラムを実行することで、本開示の技術に係る各種処理を実行するハードウェア資源として機能する汎用的なプロセッサであるCPUが挙げられる。また、プロセッサとしては、例えば、FPGA、PLD、又はASICなどの特定の処理を実行させるために専用に設計された回路構成を有するプロセッサである専用電気回路が挙げられる。何れのプロセッサにもメモリが内蔵又は接続されており、何れのプロセッサもメモリを使用することで各種処理を実行する。

[0235] 本開示の技術に係る各種処理を実行するハードウェア資源は、これらの各種のプロセッサのうちの1つで構成されてもよいし、同種または異種の2つ以上のプロセッサの組み合わせ（例えば、複数のFPGAの組み合わせ、又はCPUとFPGAとの組み合わせ）で構成されてもよい。また、本開示の技術に係る各種処理を実行するハードウェア資源は1つのプロセッサであってもよい。

[0236] 1つのプロセッサで構成する例としては、第1に、クライアント及びサーバなどのコンピュータに代表されるように、1つ以上のCPUとソフトウェアの組み合わせで1つのプロセッサを構成し、このプロセッサが、本開示の技術に係る各種処理を実行するハードウェア資源として機能する形態がある。第2に、SoC（System-on-a-chip）などに代表されるように、本開示の技術に係る各種処理を実行する複数のハードウェア資源を含むシステム全体の機能を1つのICチップで実現するプロセッサを使用する形態がある。このように、本開示の技術に係る各種処理は、ハードウェア資源として、上記各種のプロセッサの1つ以上を用いて実現される。

[0237] 更に、これらの各種のプロセッサのハードウェア的な構造としては、より具体的には、半導体素子などの回路素子を組み合わせた電気回路を用いることができる。

[0238] また、上記各実施形態では、撮像装置10としてレンズ交換式カメラを例示したが、本開示の技術はこれに限定されない。例えば、図24に示すスマ

ートデバイス 900 に対して本開示の技術を適用するようにしてもよい。一例として図 24 に示すスマートデバイス 900 は、本開示の技術に係る撮像装置の一例である。スマートデバイス 900 には、上記実施形態で説明した撮像素子 20 が搭載されている。このように構成されたスマートデバイス 900 であっても、上記各実施形態で説明した撮像装置 10 と同様の作用及び効果が得られる。なお、スマートデバイス 900 に限らず、パーソナル・コンピュータ又はウェアラブル端末装置に対しても本開示の技術は適用可能である。

[0239] また、上記各実施形態では、表示装置として第 1 ディスプレイ 40 及び第 2 ディスプレイ 80 を例示したが、本開示の技術はこれに限定されない。例えば、撮像装置本体 12 に対して後付けされた別体のディスプレイを、本開示の技術に係る「表示部」として用いるようにしてもよい。

[0240] また、上記各実施形態では、第 1 撮像画像データがビット圧縮される形態例を挙げて説明したが、本開示の技術を応用すれば、第 1 撮像画像データ及び第 2 撮像画像データの双方をビット圧縮したり、第 2 撮像画像データをビット圧縮したりすることも可能である。

[0241] また、上記実施形態で説明した圧縮処理、画像データ出力処理、及び表示制御処理はあくまでも一例である。従って、主旨を逸脱しない範囲内において不要なステップを削除したり、新たなステップを追加したり、処理順序を入れ替えたりしてもよいことは言うまでもない。

[0242] 以上に示した記載内容及び図示内容は、本開示の技術に係る部分についての詳細な説明であり、本開示の技術の一例に過ぎない。例えば、上記の構成、機能、作用、及び効果に関する説明は、本開示の技術に係る部分の構成、機能、作用、及び効果の一例に関する説明である。よって、本開示の技術の主旨を逸脱しない範囲内において、以上に示した記載内容及び図示内容に対して、不要な部分を削除したり、新たな要素を追加したり、置き換えたりしてもよいことは言うまでもない。また、錯綜を回避し、本開示の技術に係る部分の理解を容易にするために、以上に示した記載内容及び図示内容では、

本開示の技術の実施を可能にする上で特に説明を要しない技術常識等に関する説明は省略されている。

[0243] 本明細書において、「A及び／又はB」は、「A及びBのうちの少なくとも1つ」と同義である。つまり、「A及び／又はB」は、Aだけであってもよいし、Bだけであってもよいし、A及びBの組み合わせであってもよい、という意味である。また、本明細書において、3つ以上の事柄を「及び／又は」で結び付けて表現する場合も、「A及び／又はB」と同様の考え方が適用される。

[0244] 本明細書に記載された全ての文献、特許出願及び技術規格は、個々の文献、特許出願及び技術規格が参照により取り込まれることが具体的かつ個々に記された場合と同程度に、本明細書中に参照により取り込まれる。

請求の範囲

[請求項1]

撮像素子であって、

被写体が第1フレームレートで撮像されることで得られた撮像画像データを記憶し、かつ、前記撮像素子に内蔵された記憶部と、

前記撮像画像データに対して処理を施し、かつ、前記撮像素子に内蔵された処理部と、

前記撮像画像データに対して前記処理が施されることで得られた処理済み画像データと前記撮像画像データとの少なくとも一方を前記撮像素子の外部に出力し、かつ、前記撮像素子に内蔵された出力部と、を含み、

前記処理部は、撮像されることで得られた第1撮像画像データと前記記憶部に記憶された第2撮像画像データとの相違度に応じて、前記第1撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成し、

前記出力部は、前記処理部で生成された前記圧縮画像データを前記処理済み画像データとして第2フレームレートで前記外部に出力する撮像素子。

[請求項2]

前記第1フレームレートは、前記第2フレームレートよりも高いフレームレートである請求項1に記載の撮像素子。

[請求項3]

前記第2撮像画像データは、撮像されることで得られた前記第1撮像画像データよりも1フレーム以上前に得られた画像データである請求項1又は請求項2に記載の撮像素子。

[請求項4]

前記相違度は、読出部により前記第1撮像画像データがライン単位で読み出される毎の前記第1撮像画像データと前記第2撮像画像データとの前記ライン単位での相違度である請求項1から請求項3の何れか一項に記載の撮像素子。

[請求項5]

前記相違度は、前記第1撮像画像データと前記第2撮像画像データとの既定上位ビットについての相違度である請求項1から請求項4の

何れか一項に記載の撮像素子。

[請求項6] 前記第1撮像画像データ及び前記第2撮像画像データは、互いにビット数が揃った画像データであり、

前記圧縮画像データは、前記第1撮像画像データのビット数である第1ビットよりも小さな第2ビットの画像データであり、

前記既定上位ビットは、前記第1ビットから前記第2ビットを減じることによって得た値に相当するビットである請求項5に記載の撮像素子。

[請求項7] 前記圧縮画像データは、前記第1撮像画像データが前記複数のビット範囲で分割されることにより得られた複数のビット画像データのうちの前記相違度に応じて定められた1つのビット画像データに基づくデータである請求項1から請求項6の何れか一項に記載の撮像素子。

[請求項8] 前記複数のビット画像データは、上位ビット画像データ及び下位ビット画像データであり、

前記圧縮画像データは、前記相違度が既定条件を満たす場合に、前記上位ビット画像データに基づくデータを有し、前記相違度が前記既定条件を満たさない場合に、前記下位ビット画像データに基づくデータを有する請求項7に記載の撮像素子。

[請求項9] 前記圧縮画像データの一部のビットは、前記圧縮画像データが前記複数のビット画像データのうちの何れのビット画像データに基づくデータであるのかを特定可能なビット画像特定情報が付与されるビットである請求項7又は請求項8に記載の撮像素子。

[請求項10] 前記圧縮画像データは、ライン単位の画像データであり、前記第1撮像画像データが前記複数のビット範囲で分割されることにより得られた複数の分割画像データのうちの何れかの分割画像データに基づくデータであるのかを特定可能な分割画像特定情報を有する請求項1から請求項9の何れか一項に記載の撮像素子。

[請求項11] 前記出力部は、動画像用の撮像が開始された場合、前記記憶部に前記第2撮像画像データが記憶される前に、前記第1撮像画像データを

前記外部に出力する請求項 1 から請求項 10 の何れか一項に記載の撮像素子。

[請求項12] 前記出力部は、動画像用の撮像が開始された場合、前記記憶部に前記第2撮像画像データが記憶される前に、前記第1撮像画像データのうちの特定のビット範囲に属する画像データに基づくデータを前記外部に出力する請求項 1 から請求項 11 の何れか一項に記載の撮像素子。

[請求項13] 前記出力部は、動画像用の撮像が開始された場合、前記記憶部に前記第2撮像画像データが記憶される前に、前記第2撮像画像データに代替する画像データとして予め定められた画像データと前記第1撮像画像データとの相違度に応じて、前記第1撮像画像データが複数のビット範囲で分割されることで圧縮されて得られた代替圧縮画像データを前記外部に出力する請求項 1 から請求項 12 の何れか一項に記載の撮像素子。

[請求項14] 前記出力部は、既定の時間間隔で静止画用の撮像が連続的に行われる場合、前記記憶部に前記第2撮像画像データが記憶される前に、前記第1撮像画像データ又は前記第1撮像画像データのうちの既定ビット範囲に属する画像データを前記外部に出力し、前記記憶部に前記第2撮像画像データが記憶されたことを条件に、前記圧縮画像データを前記外部に出力する請求項 1 から請求項 13 の何れか一項に記載の撮像素子。

[請求項15] 前記撮像素子は、光電変換素子を有し、前記光電変換素子に前記記憶部が積層された積層型撮像素子である請求項 1 から請求項 14 の何れか一項に記載の撮像素子。

[請求項16] 請求項 1 から請求項 15 の何れか一項に記載の撮像素子と、
前記撮像素子に含まれる前記出力部により出力された前記圧縮画像データに基づく画像を表示部に対して表示させる制御を行う制御部と、

を含む撮像装置。

[請求項17] 記憶部と、処理部と、出力部とが内蔵された撮像素子の画像データ処理方法であって、

前記記憶部に対して、被写体が第1フレームレートで撮像されることで得られた撮像画像データを記憶させ、

前記処理部に対して、前記撮像画像データに対して処理を施させ、

前記出力部に対して、前記撮像画像データに対して前記処理が施されることで得られた処理済み画像データと前記撮像画像データとの少なくとも一方を前記撮像素子の外部に出力させ、

前記処理部に対して、撮像されることで得られた第1撮像画像データと前記記憶部に記憶された第2撮像画像データとの相違度に応じて、前記第1撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成させ、

前記出力部に対して、前記処理部で生成された前記圧縮画像データを前記処理済み画像データとして第2フレームレートで前記外部に出力させることを含む画像データ処理方法。

[請求項18] コンピュータを、

記憶部と、処理部と、出力部とが内蔵された撮像素子に含まれる前記処理部及び前記出力部として機能させるためのプログラムであって、

前記記憶部は、被写体が第1フレームレートで撮像されることで得られた撮像画像データを記憶し、

前記処理部は、前記撮像画像データに対して処理を施し、

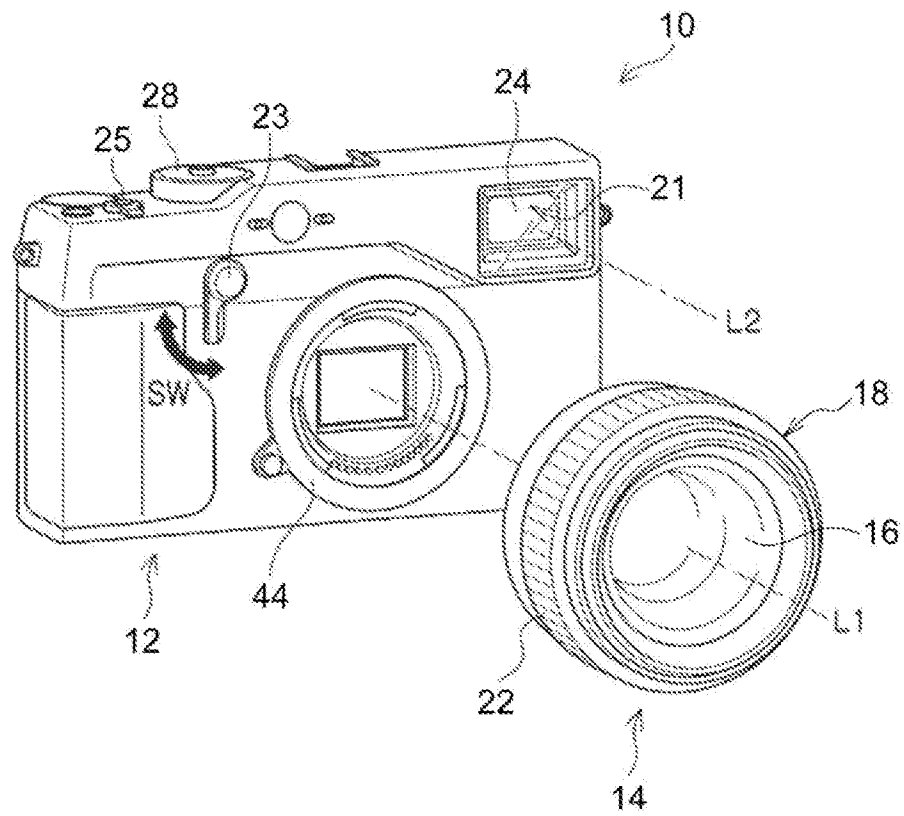
前記出力部は、前記撮像画像データに対して前記処理が施されることで得られた処理済み画像データと前記撮像画像データとの少なくとも一方を前記撮像素子の外部に出力し、

前記処理部は、撮像されることで得られた第1撮像画像データと前記記憶部に記憶された第2撮像画像データとの相違度に応じて、前記

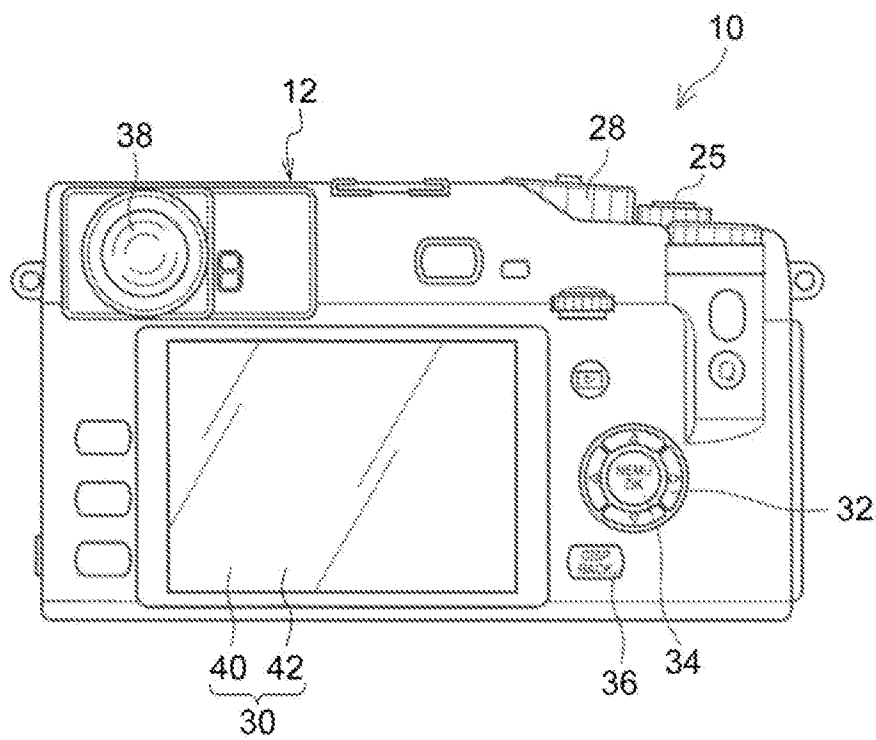
第1 撮像画像データを複数のビット範囲で分割されることにより圧縮されて得られる圧縮画像データを生成し、

前記出力部は、前記処理部で生成された前記圧縮画像データを前記処理済み画像データとして第2 フレームレートで前記外部に出力するプログラム。

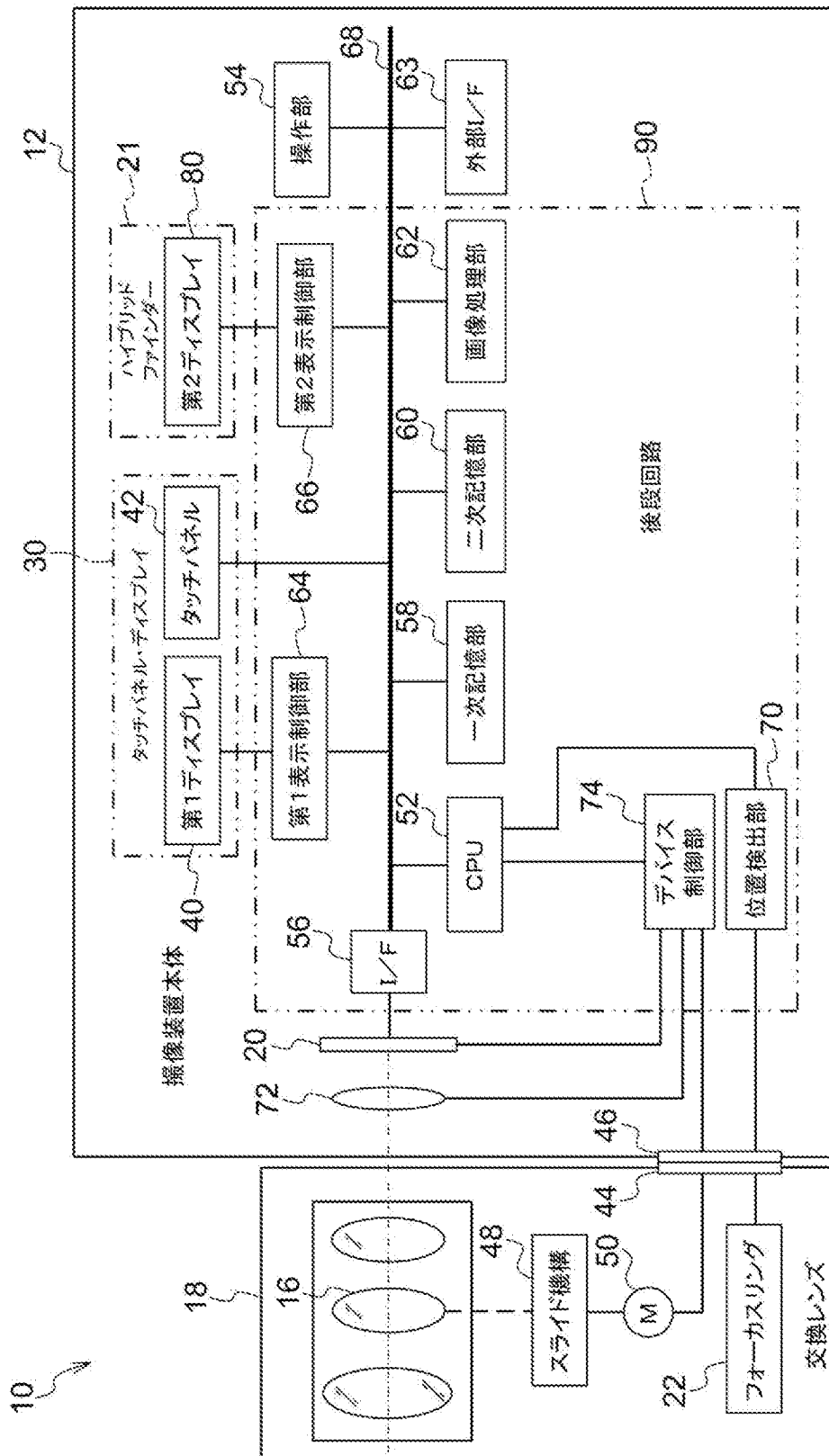
[図1]



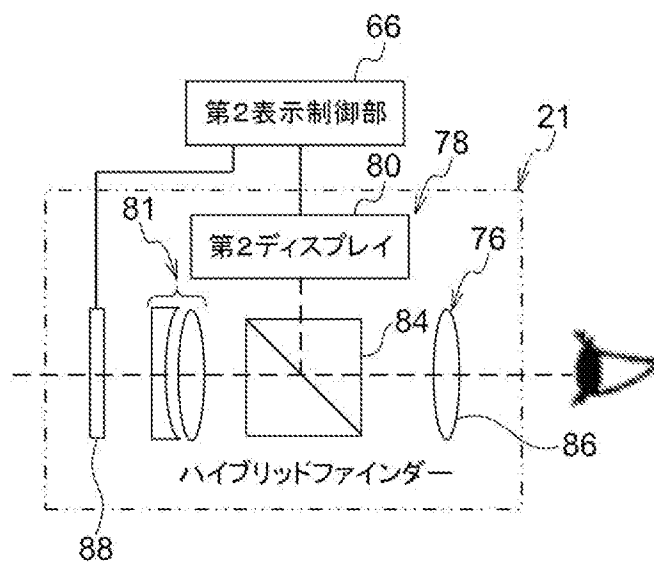
[図2]



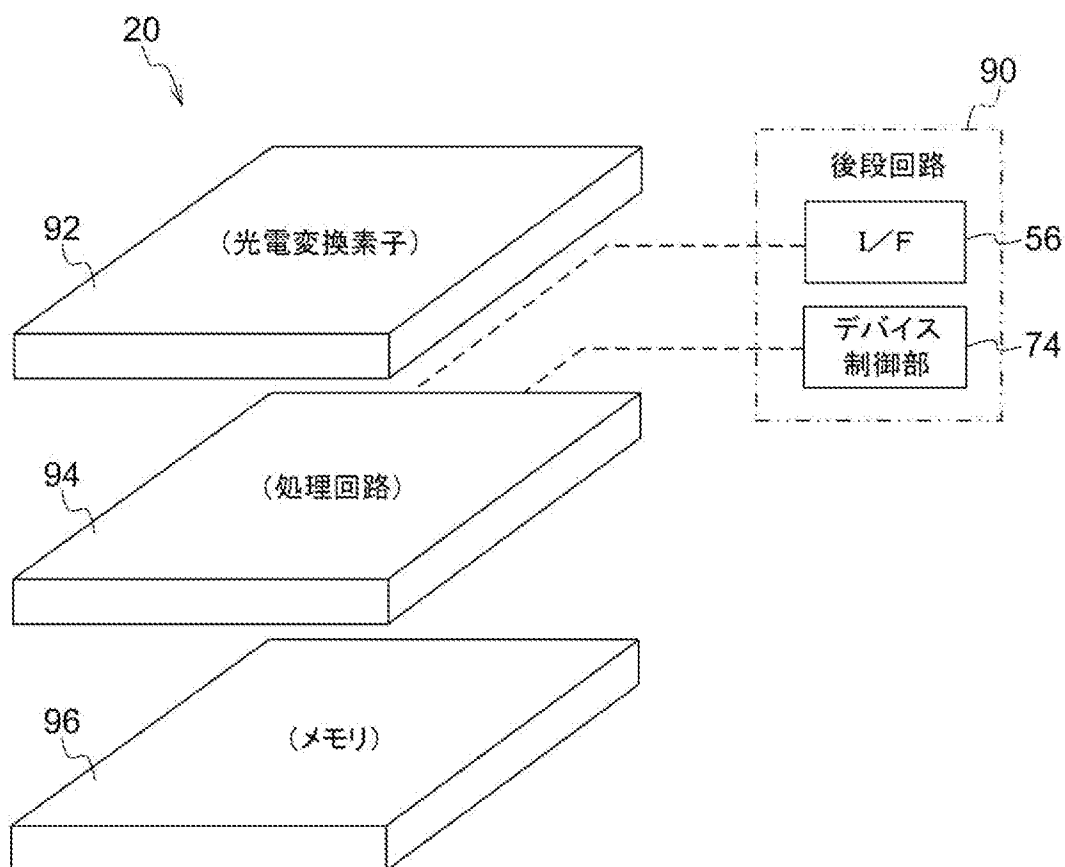
[図3]



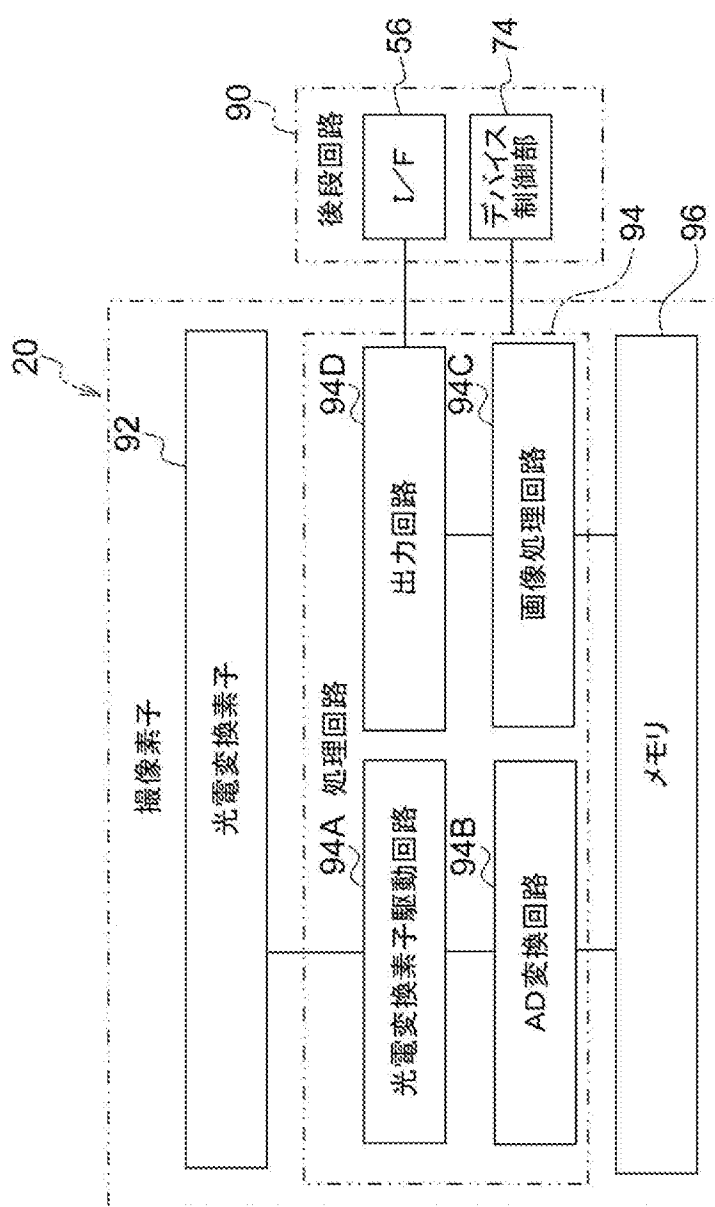
[図4]



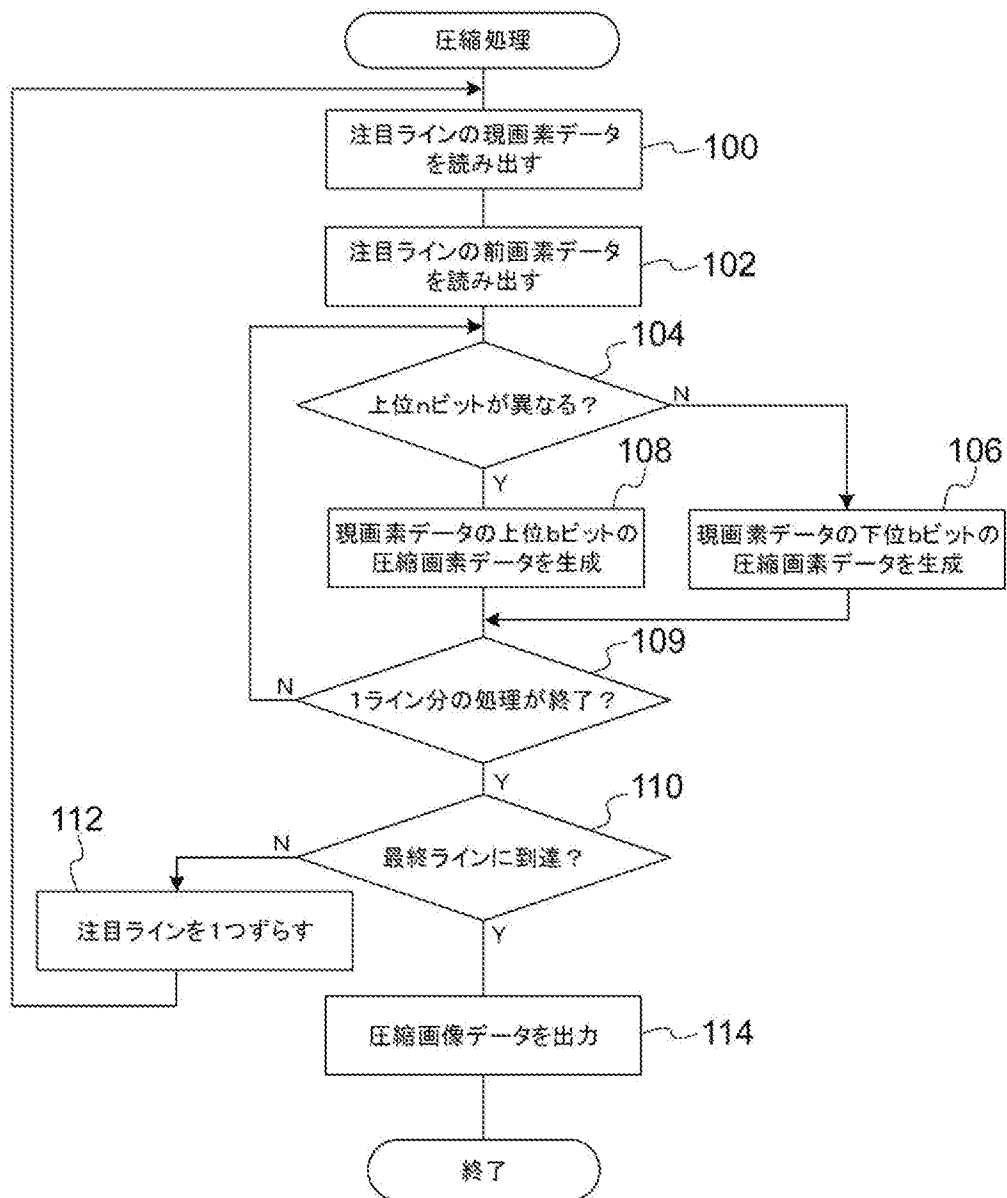
[図5]



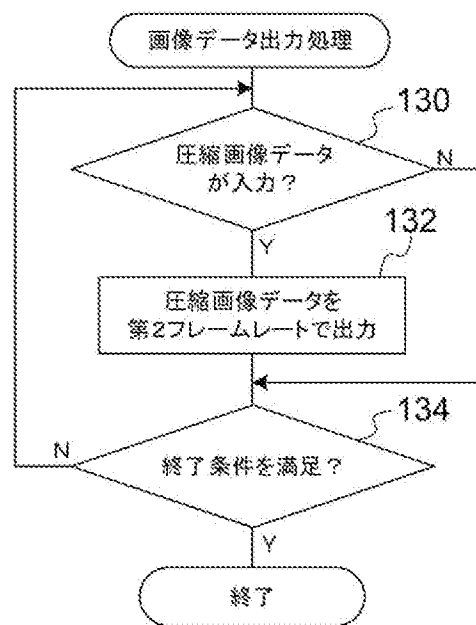
[図6]



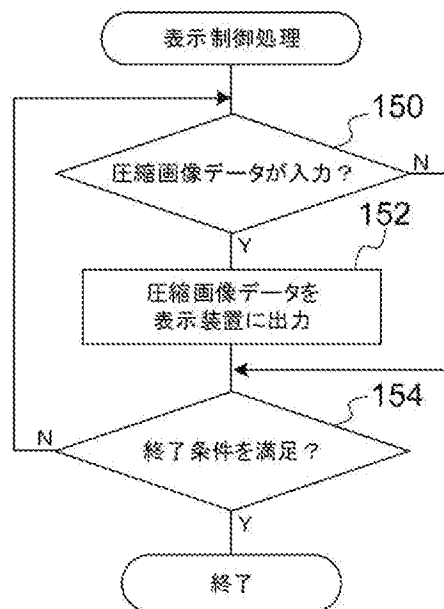
[図7]



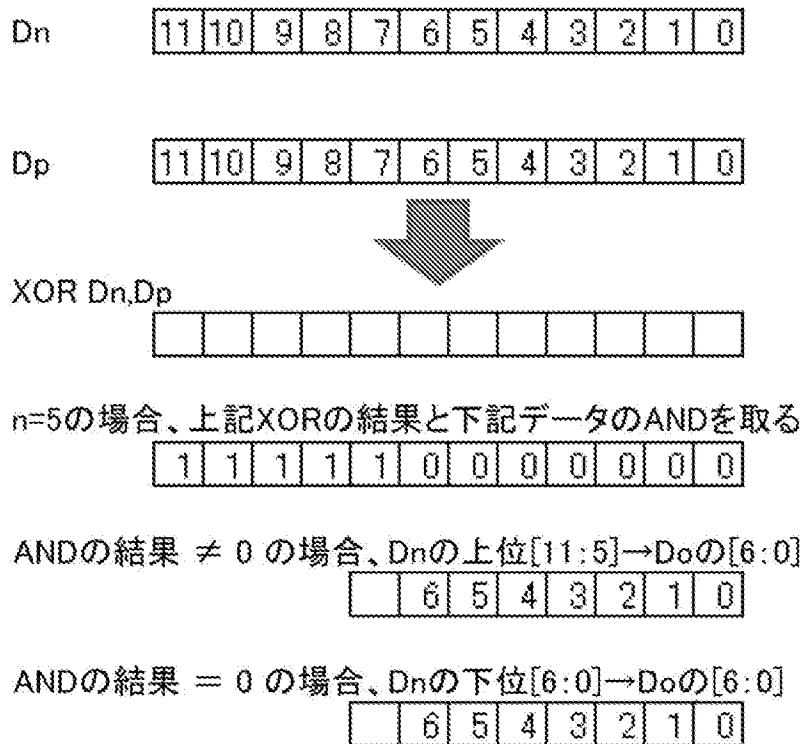
[図8]



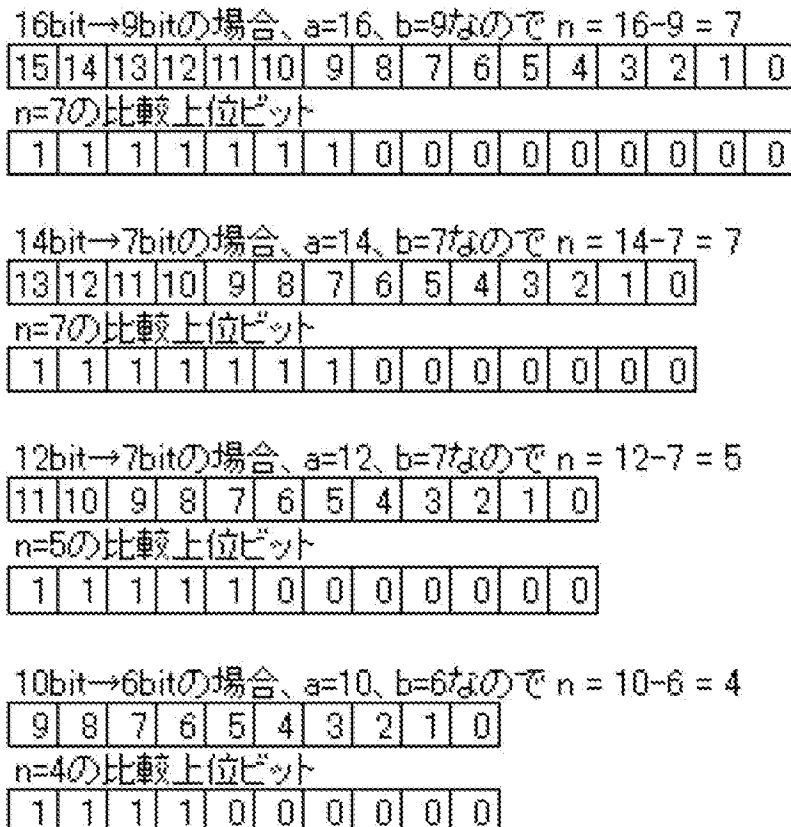
[図9]



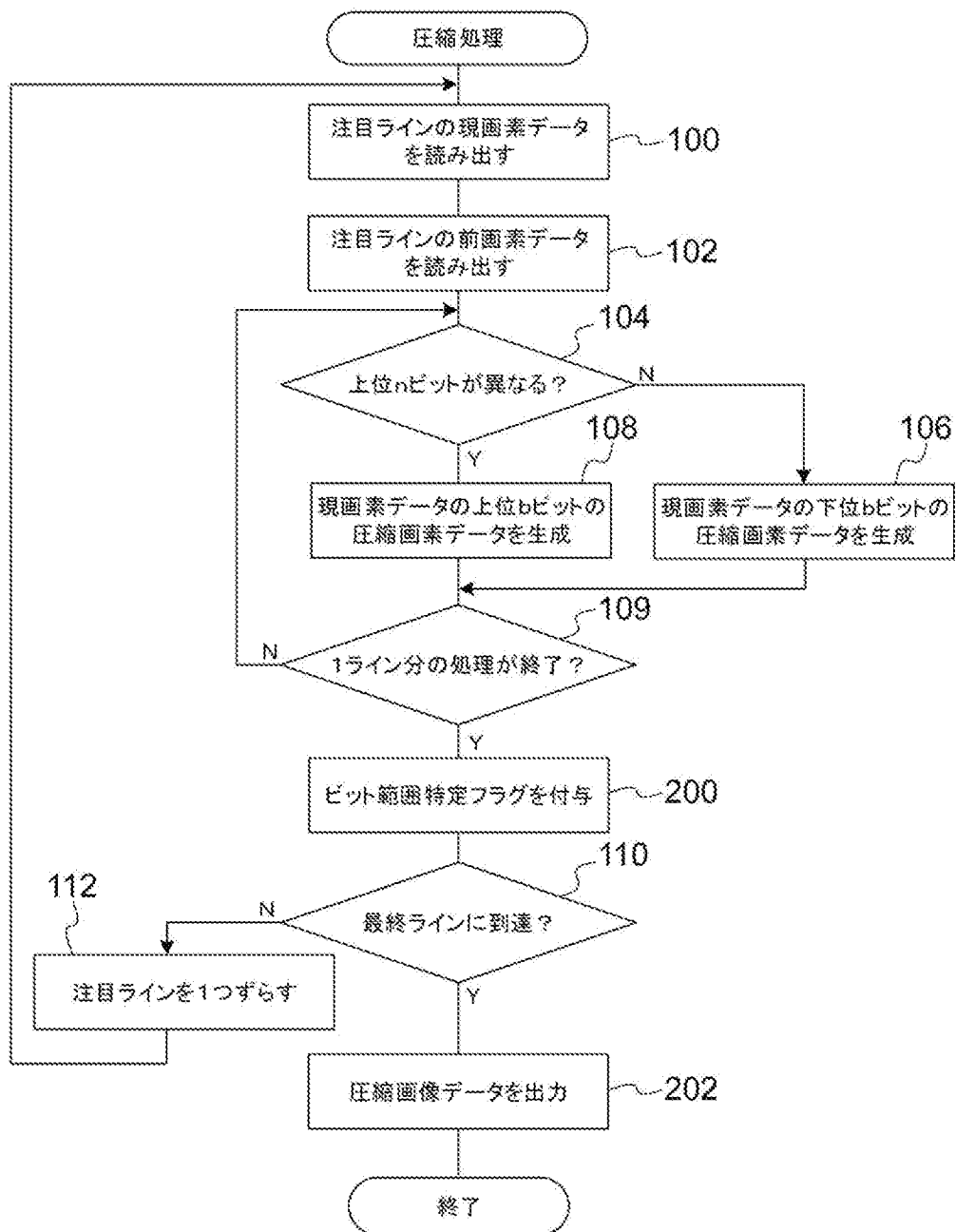
[図10]



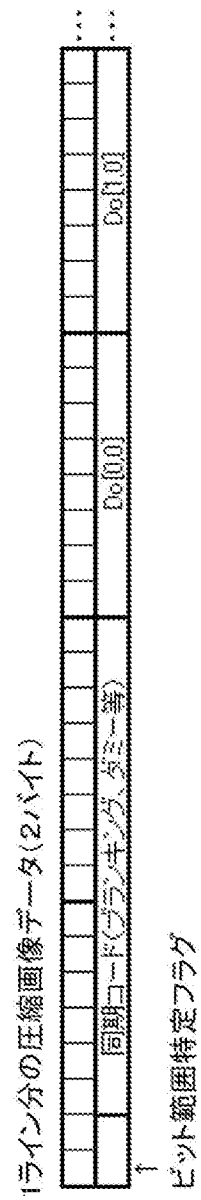
[図11]



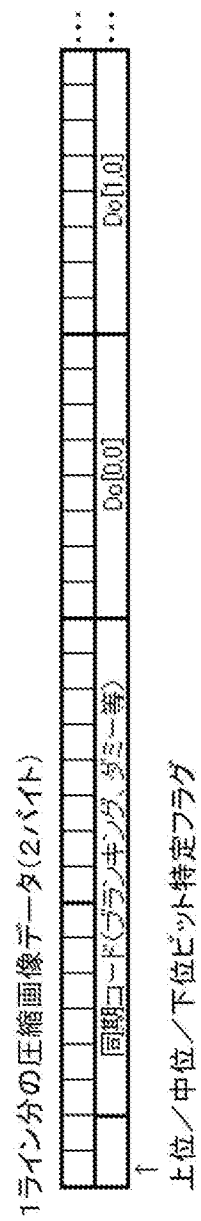
[図12]



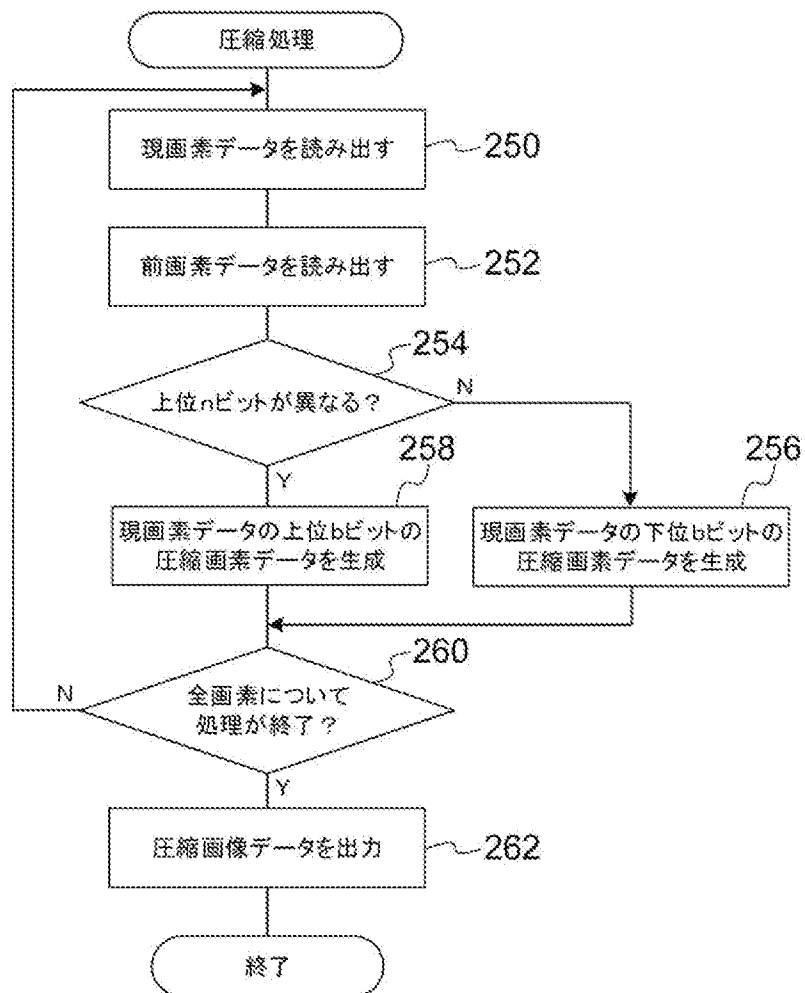
[図13]



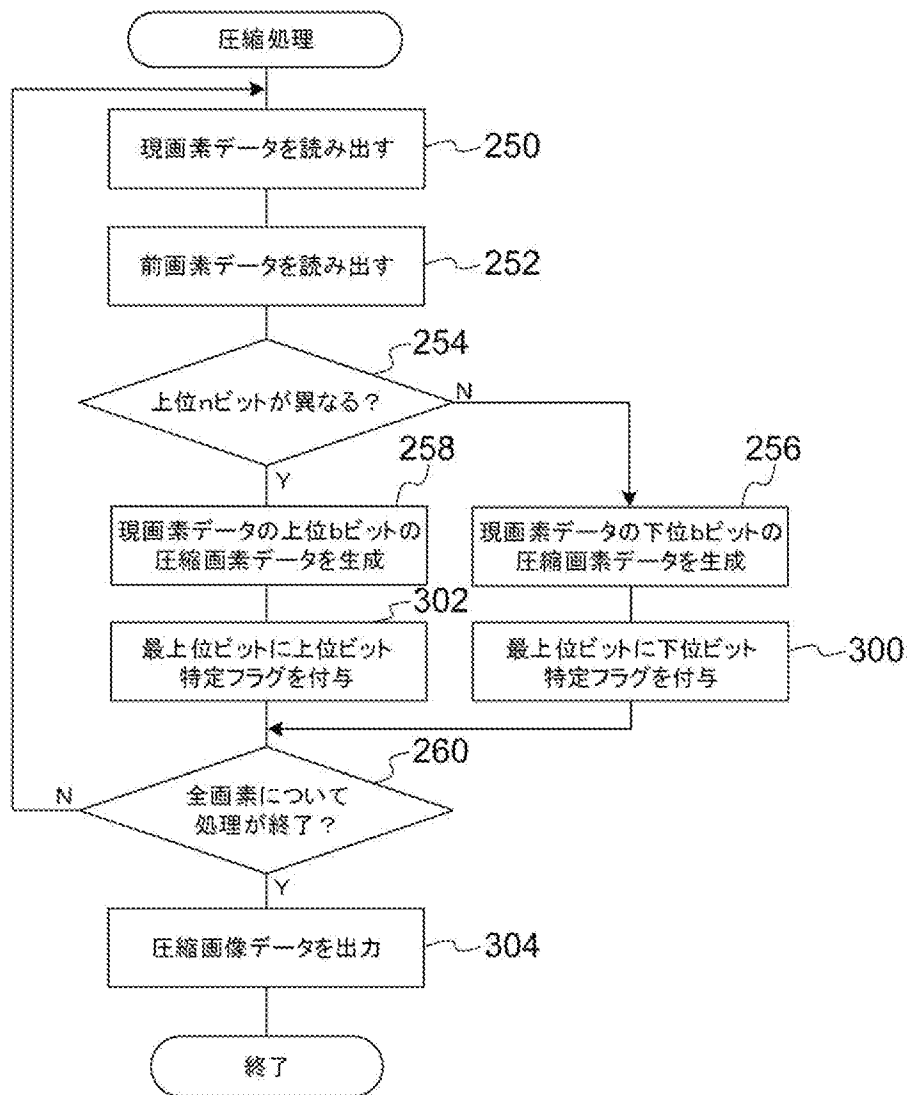
[図14]



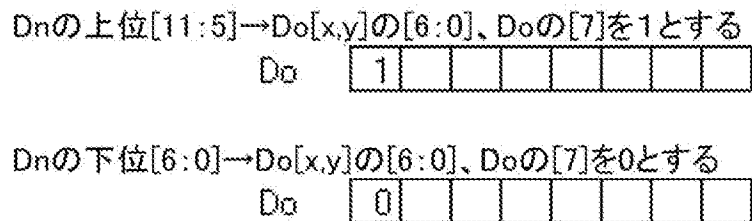
[図15]



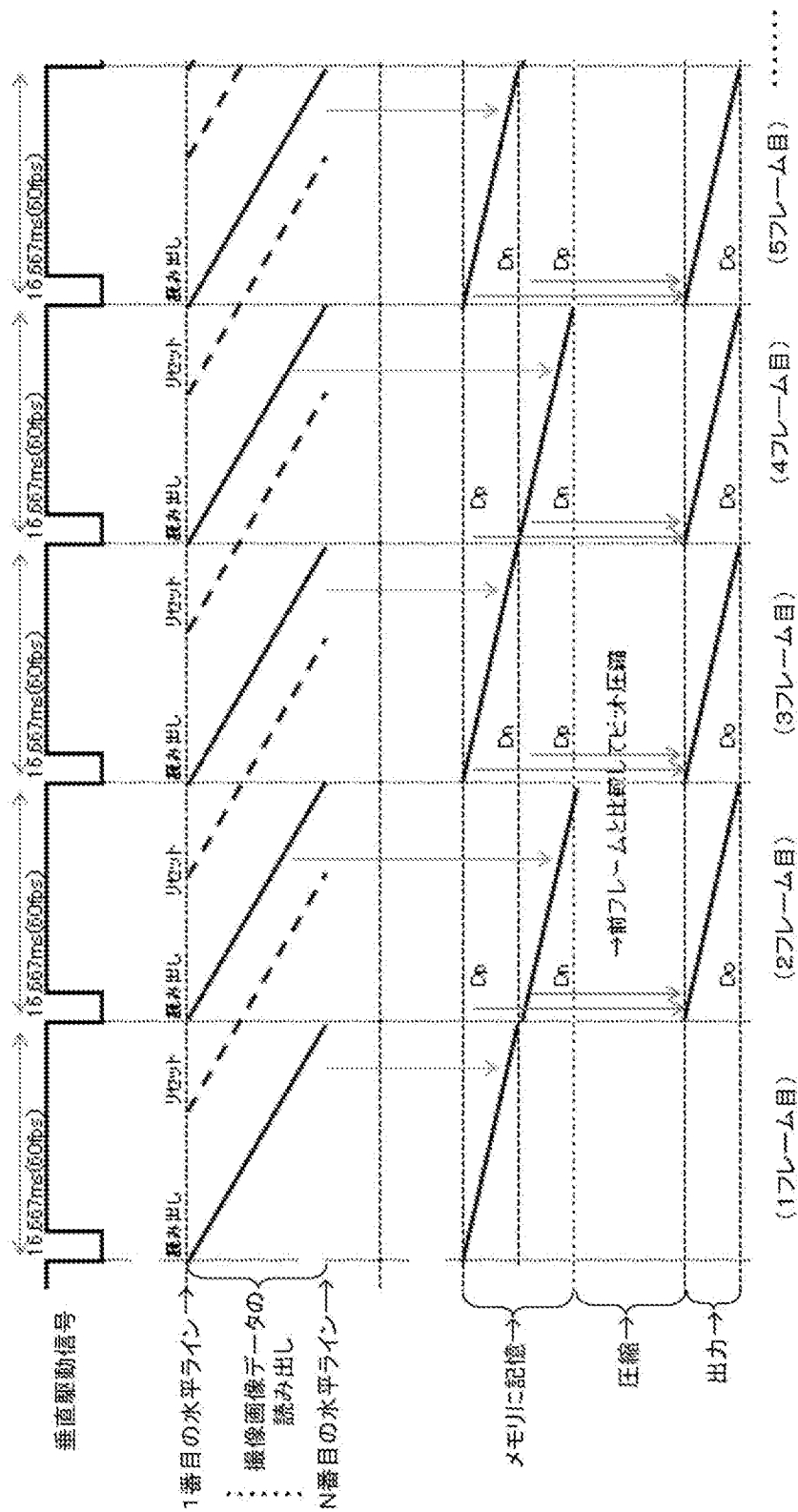
[図16]



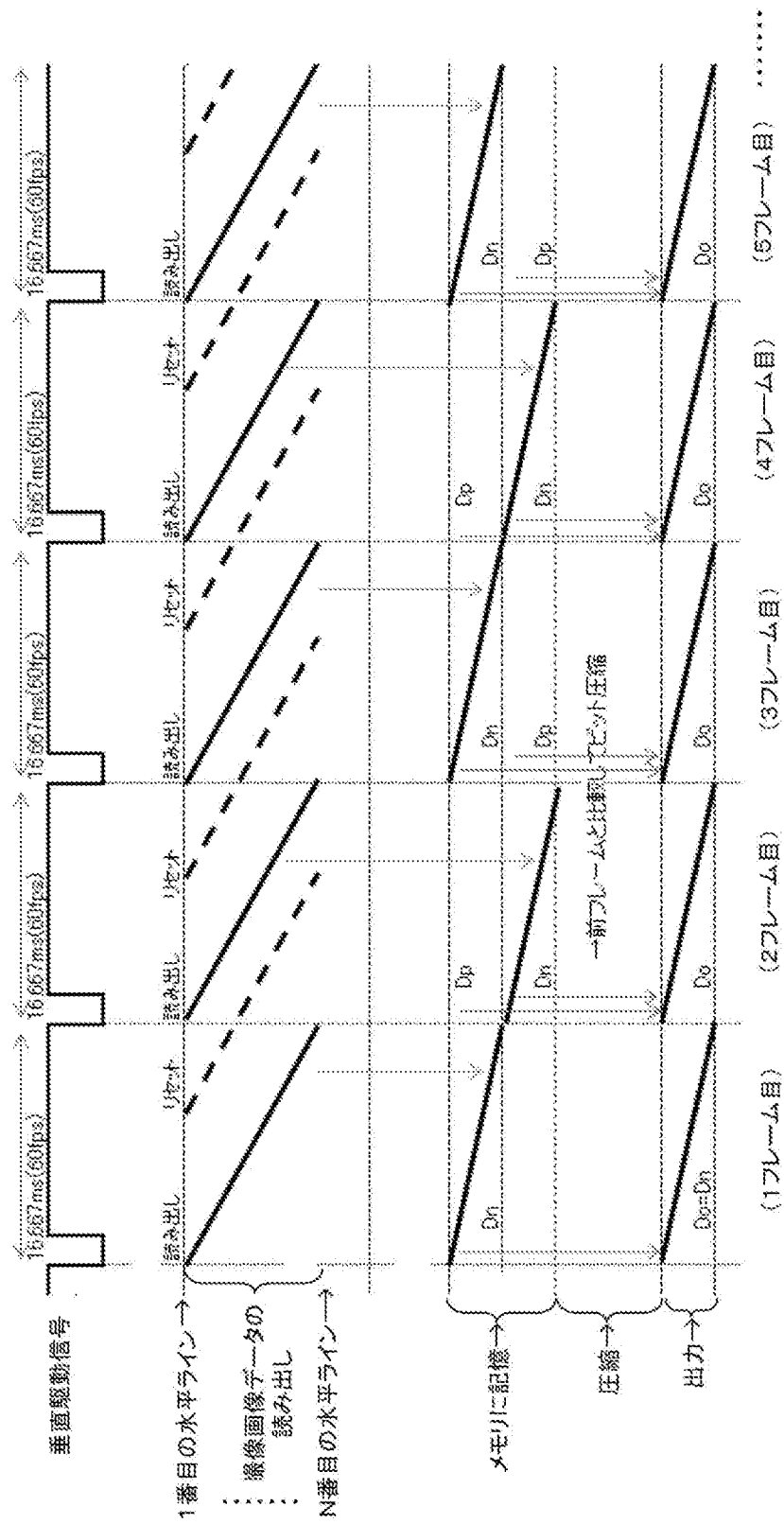
[図17]



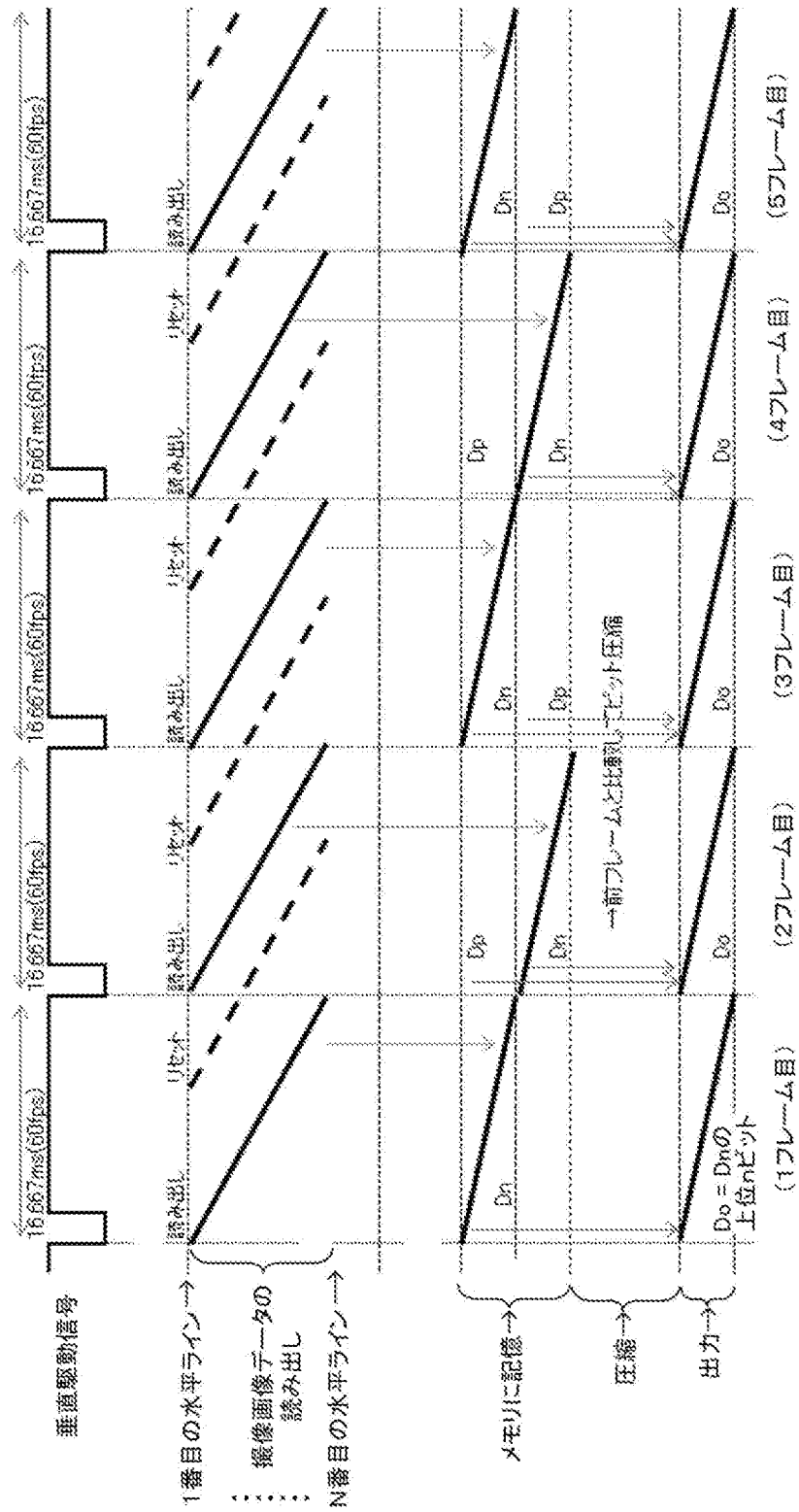
[図18]



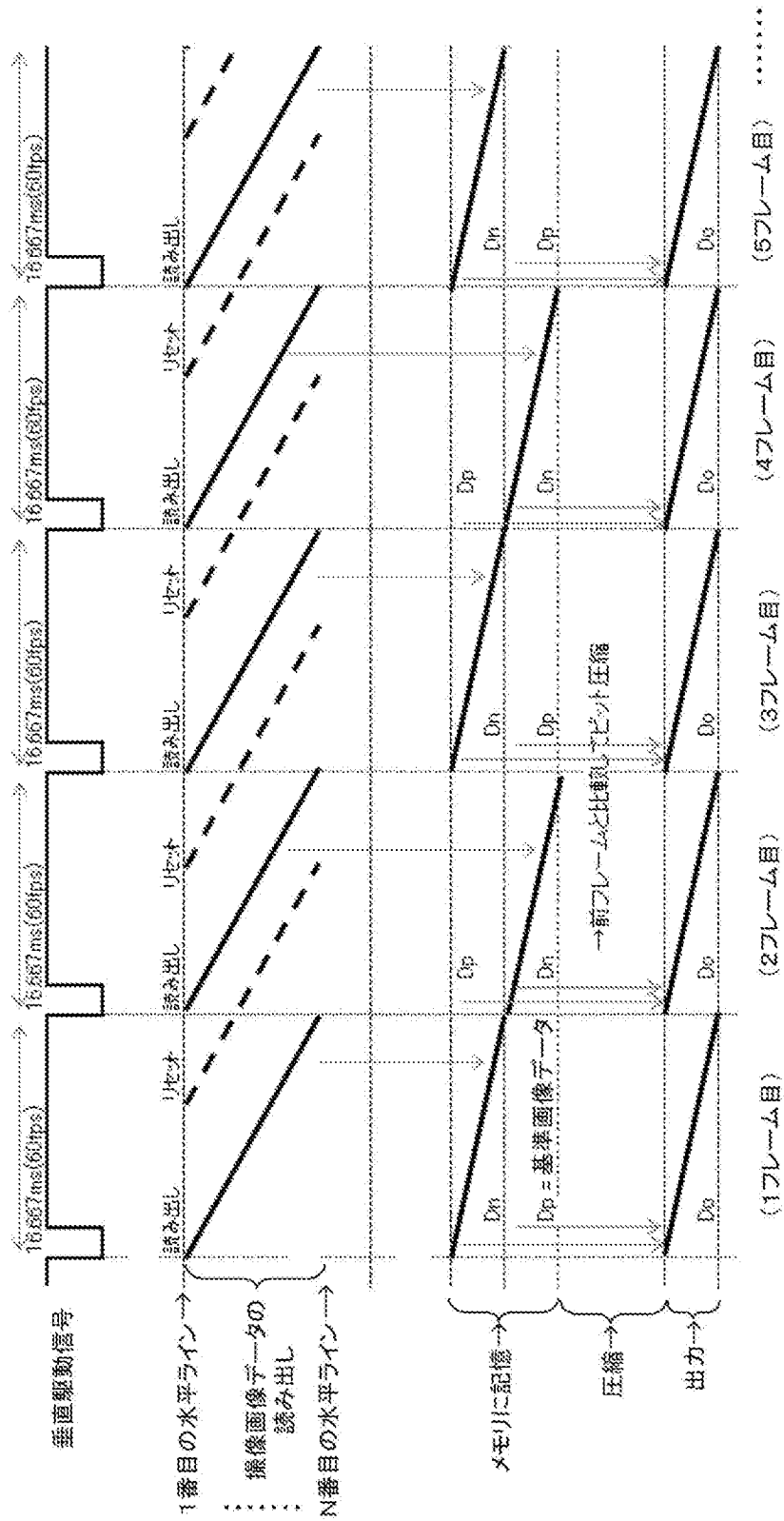
[図19]



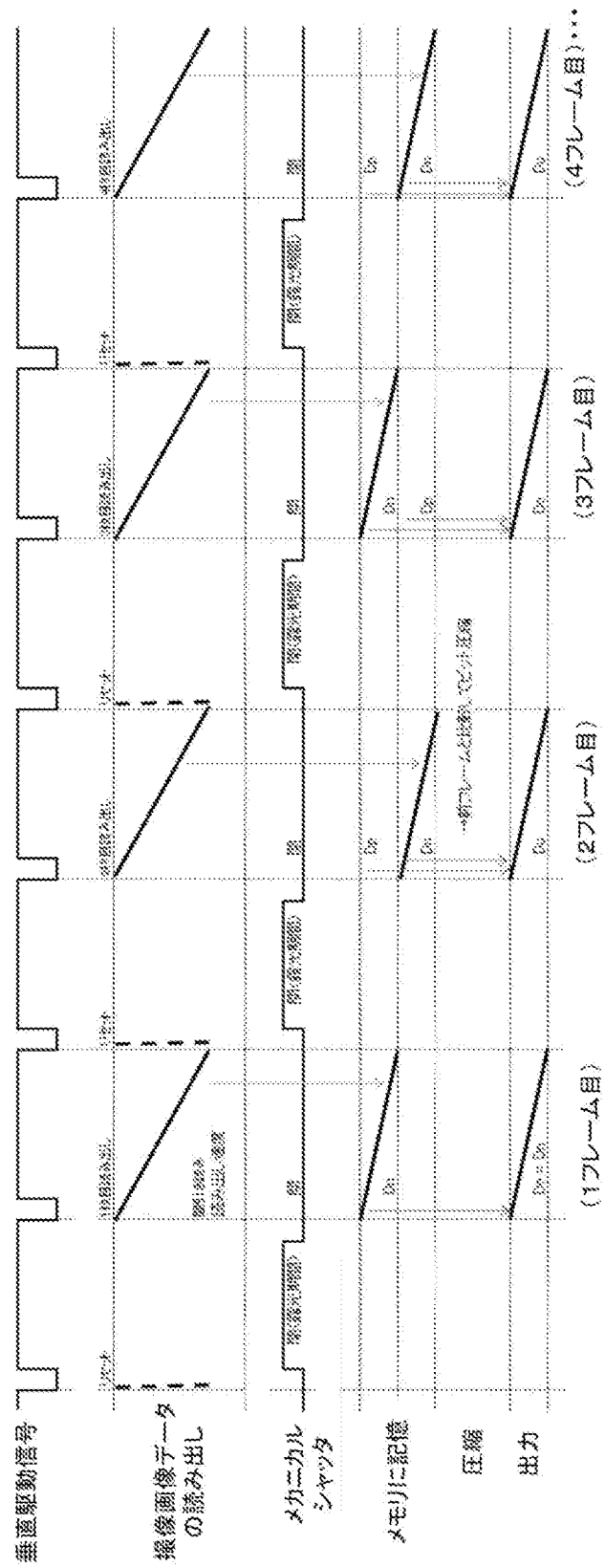
[図20]



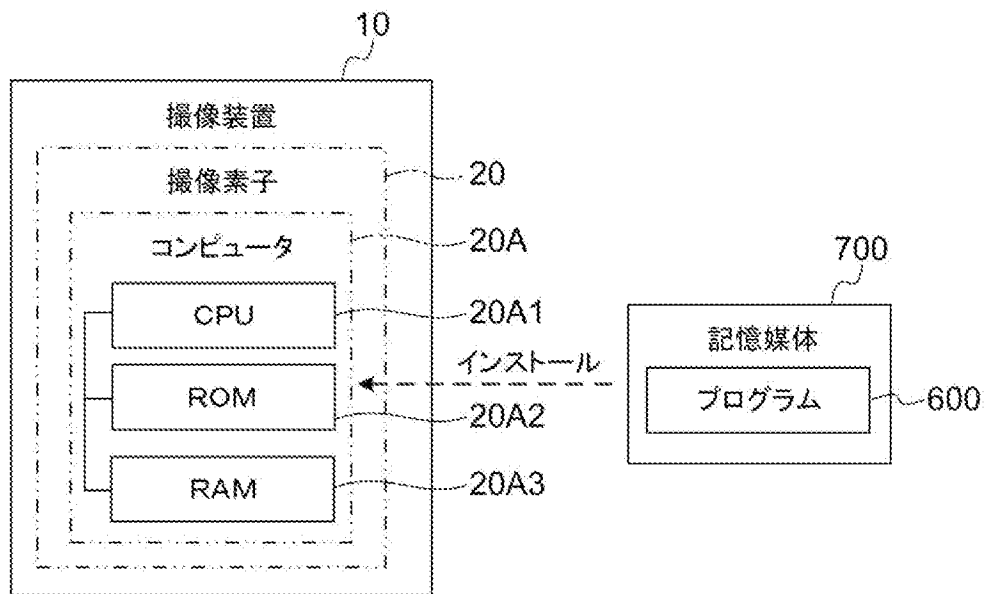
[図21]



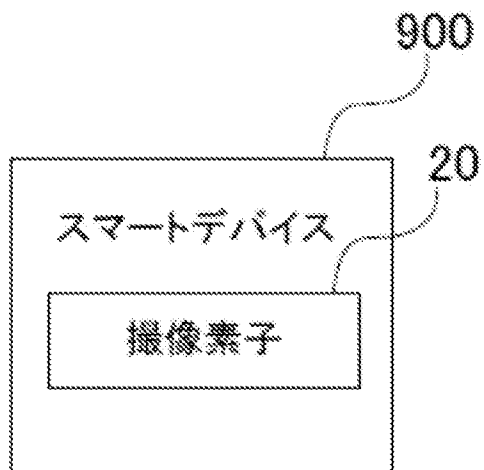
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025647

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H04N5/378 (2011.01) i, H04N5/225 (2006.01) i, H04N5/232 (2006.01) i, H04N5/341 (2011.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H04N5/378, H04N5/225, H04N5/232, H04N5/341

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2019

Registered utility model specifications of Japan 1996-2019

Published registered utility model applications of Japan 1994-2019

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2015-136093 A (SONY CORPORATION) 27 July 2015, claim 4, paragraphs [0010]-[0090], fig. 1-13 & US 2016/0381319 A1, claim 4, paragraphs [0011]-[0091], fig. 1-13 & WO 2015/093022 A1 & CN 105580345 A & KR 10-2016-0099528 A	1-18
A	JP 2007-27848 A (OKI ELECTRIC IND CO., LTD.) 01 February 2007, entire text (Family: none)	1-18

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
22.08.2019

Date of mailing of the international search report
03.09.2019

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2019/025647

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2005-191939 A (NIKON CORPORATION) 14 July 2005, entire text & US 2005/0141772 A1, entire text	1-18

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H04N5/378(2011.01)i, H04N5/225(2006.01)i, H04N5/232(2006.01)i, H04N5/341(2011.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H04N5/378, H04N5/225, H04N5/232, H04N5/341

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2015-136093 A (ソニー株式会社) 2015.07.27, 請求項 4, 段落[0010]-[0090], 図 1-13 & US 2016/0381319 A1, 請求項 4, 段落[0011]-[0091], 図 1-13 & WO 2015/093022 A1 & CN 105580345 A & KR 10-2016-0099528 A	1-18
A	JP 2007-27848 A (沖電気工業株式会社) 2007.02.01, 全文 (ファミリーなし)	1-18

☑ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 2 . 0 8 . 2 0 1 9

国際調査報告の発送日

0 3 . 0 9 . 2 0 1 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

橘 高志

5 V

8 3 9 1

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 7 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2005-191939 A (株式会社ニコン) 2005. 07. 14, 全文 & US 2005/0141772 A1, 全文	1-18