



(19)대한민국특허청(KR)
(12) 공개특허공보(A)

(51) 。 Int. Cl. (11) 공개번호 10-2007-0072056
H01L 27/04 (2006.01) (43) 공개일자 2007년07월04일

(21) 출원번호 10-2005-0136003
(22) 출원일자 2005년12월30일
심사청구일자 2007년02월02일

(71) 출원인 고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자 성만영
서울특별시 중랑구 묵동 20 신내 두산아파트 521동 604호
정민철
서울특별시 중구 신당3동 남산타운아파트 3동 104호
(74) 대리인 현종철

전체 청구항 수 : 총 14 항

(54) 기관 트리거 방식의 ESD 보호소자로 구현하기 위한 ESD 보호회로 및 그 제조 방법

(57) 요약

본 발명은 기관 트리거 방식의 ESD(Electro Static Discharge) 보호소자로 구현하기 위한 ESD 보호회로 및 그 제조 방법에 관한 것으로, 본 발명의 ESD 보호회로는, 기관 트리거 방식의 ESD 소자를 이용하여 ESD 보호회로를 구현한 것으로서, 일반적인 ESD 보호소자가 가지고 있는 애노드와 캐소드 전극 사이에 트리거 전용 전극을 설치함으로써, 보다 빠른 응답을 가능하게 한다. 또한 ESD 보호회로를 구현함에 있어서 ESD 보호소자의 빠른 응답으로 인한 2차 트리거 전용 소자를 쓸 필요가 없음에 따라, 집적도의 향상을 얻을 수 있다. 뿐만 아니라, 본 발명은 기관 트리거 방식의 보호소자와 애노드와 트리거 전극간의 고립저항으로 구성함으로써, ESD에 대한 응답 속도를 현저히 높일 수 있다. 게다가 기관으로 열의 확산이 용이하여, 열에 대한 높은 안정성을 가지므로 ESD에 대한 높은 내구성의 확보가 가능하다.

대표도

도 1

특허청구의 범위

청구항 1.

기관 트리거 방식의 ESD(Electro Static Discharge) 보호소자로 구현하기 위한 ESD 보호회로에 있어서,

도전형 반도체 기관;

상기 기관 상에 형성된 ESD 보호 소자에 구비되는 제1 및 제2 전극; 및

상기 제1 및 제2 전극 사이에 상기 기관과 연결되어 유입되는 ESD 전류를 상기 기관으로 도통시키는 제3 전극을 포함하는 것을 특징으로 하는 ESD 보호회로.

청구항 2.

제 1항에 있어서,

상기 도전형 반도체 기관은 P형 반도체 기관인 것을 특징으로 하는 ESD 보호회로.

청구항 3.

제 2항에 있어서,

상기 제1 및 제2 전극은 각각 애노드 전극 및 캐소드 전극인 것을 특징으로 하는 ESD 보호회로.

청구항 4.

제 3항에 있어서,

상기 제3 전극은 전류 트리거 전극인 것을 포함하는 것을 특징으로 하는 ESD 보호회로.

청구항 5.

제 4항에 있어서,

ESD 발생시 상기 애노드 전극에는 전압이, 상기 트리거 전극에는 상기 ESD 발생에 따른 ESD 전류가 동시에 인가되는 것을 특징으로 하는 ESD 보호회로.

청구항 6.

제 5항에 있어서,

상기 애노드 전극과 상기 트리거 전극을 같이 단락하여 상기 ESD 전류가 인가될 때 상기 트리거 전극으로 상기 ESD 전류가 유입되도록 구성하는 것을 특징으로 하는 ESD 보호회로.

청구항 7.

제 6항에 있어서,

상기 애노드 전극 단에 고립 저항을 추가하여 상기 애노드 전극에 상기 ESD 전류가 유입되기 전에 상기 트리거 전극으로 상기 ESD 전류의 유입을 용이하게 구성하는 것을 특징으로 하는 ESD 보호회로.

청구항 8.

기관 트리거 방식의 ESD(Electro Static Discharge) 보호소자로 구현하기 위한 ESD 보호회로의 제조 방법에 있어서,
도전형 반도체 기관 상에 상기 ESD 보호 소자를 형성하는 공정;

상기 ESD 보호 소자에 서로 상이한 전함 차를 갖는 제1 및 제2 전극을 형성하는 공정; 및

상기 제1 및 제2 전극 사이에 상기 기관과 연결되어 유입되는 ESD 전류를 상기 기관으로 도통시키기 위한 제3 전극을 형성하는 공정을 포함하여 제조되는 것을 특징으로 하는 ESD 보호회로 제조 방법.

청구항 9.

제 8항에 있어서,

상기 도전형 반도체 기관은 P형 반도체 기관인 것을 특징으로 하는 ESD 보호회로 제조 방법.

청구항 10.

제 9항에 있어서,

상기 제1 및 제2 전극은 각각 애노드 전극 및 캐소드 전극인 것을 특징으로 하는 ESD 보호회로 제조 방법.

청구항 11.

제 10항에 있어서,

상기 제3 전극은 전류 트리거 전극인 것을 포함하는 것을 특징으로 하는 ESD 보호회로 제조 방법.

청구항 12.

제 11항에 있어서,

ESD 발생시 상기 애노드 전극에는 전압이, 상기 트리거 전극에는 상기 ESD 발생에 따른 ESD 전류가 동시에 인가되도록 설계하는 공정을 더 포함하는 것을 특징으로 하는 ESD 보호회로 제조 방법.

청구항 13.

제 12항에 있어서,

상기 애노드 전극과 상기 트리거 전극을 같이 단락하여 상기 ESD 전류가 인가될 때 상기 트리거 전극으로 상기 ESD 전류가 유입되도록 구성하는 공정을 더 포함하는 것을 특징으로 하는 ESD 보호회로 제조 방법.

청구항 14.

제 13항에 있어서,

상기 애노드 전극 단에 고립 저항을 추가하여 상기 애노드 전극에 상기 ESD 전류가 유입되기 전에 상기 트리거 전극으로 상기 ESD 전류의 유입을 용이하게 구성하는 공정을 더 포함하는 것을 특징으로 하는 ESD 보호회로 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자에 관한 것으로서, 보다 상세하게는, 기판 트리거 방식의 ESD(Electro Static Discharge) 보호소자로 구현한 ESD 보호회로 및 그 제조 방법에 관한 것이다.

일반적으로 정전기에 의한 디바이스의 파괴는 배선막, 산화막의 어느 하나의 요인으로 볼 수 있는데, 그 모드는 일반적으로는 열적파괴라고 볼 수 있다. 접합파괴에서는 정전기가 가해짐으로써 접합에 전류가 흘러, 이에 따라 온도가 상승하여 접합의 저항 값이 더욱 낮아진다고 하는 열 폭주(Thermal Runaway)가 발생하므로 p-n 접합이 부분적으로 용해하여 파괴되는 것이다. 접합의 파괴 전력은 펄스폭 의존성이 있다. 즉, 단일적 파괴영역(에너지 일정), 중간영역, 전력 파괴영역(파괴 전력 일정)의 3가지 영역이 있다. 배선막 파괴는 열적인 원인으로 알루미늄(Al)막 배선이 녹아 오픈 되거나 녹은 알루미늄으로 브리지 되거나 하는 불량이 발생한다.

일반적으로 ESD 보호 회로를 구성하는 방법은 크게 두 방법으로 나뉘 수 있다. 하나는 집적회로의 기본 소자인 MOS (Metal Oxide Semiconductor) 트랜지스터나 바이폴라 트랜지스터를 이용하여 구성하는 방법이고, 또 다른 방법은 ESD 보호를 위한 전용 소자를 이용하여 ESD 보호회로를 구성하는 방법이다.

MOS 트랜지스터나 바이폴라 트랜지스터로 구현된 ESD 보호회로는 공정상에 특별한 마스크를 추가할 필요가 없기 때문에, 전체적인 비용 절감의 효과가 상당하다. 하지만 실리사이드 공정을 기본으로 하는 0.25um CMOS 공정 이후부터는 더욱 급격하게 낮아지게 되었다. ESD 에너지를 분산시키기 위한 구조가 아무리 효율적이라 하더라도 각 소자 하나가 갖는 ESD에 대한 내구성은 거의 일정하기 때문에, ESD 전용 소자를 이용한 ESD 보호회로가 더 실용적이다.

ESD 보호 소자를 이용한 ESD 보호회로는 구조의 단순화와 더불어 면적당 ESD 내구성이 높은 장점이 있다. 또한 ESD 보호 소자 중 CMOS 공정과 병행 가능한 소자를 이용함으로써, 최소한의 비용추가로 높은 ESD 보호 성능을 얻을 수 있다. 그러나 ESD 보호 소자의 턴-온 방식인 트리거 방식에서 트리거링의 속도가 ESD 응답 속도를 결정하게 된다.

그런데 ESD 보호소자의 트리거 전압이 상대적으로 높아서 ESD에 대한 빠른 응답이 어렵고 ESD 보호 소자가 ESD 에너지의 대부분을 흡수하는 동안 열적 안정성에 대하여 높은 수준을 요구하기 때문에 이 조건들을 만족시키기 어려운 상황이다. 따라서 ESD에 대한 빠른 응답이 가능함과 동시에 열적 안정성을 보장할 수 있는 ESD 보호회로가 요구된다.

발명이 이루고자 하는 기술적 과제

상기와 같은 문제점을 해결하기 위한 본 발명의 목적은, ESD에 대한 응답을 빠르게 함과 동시에 ESD 현상으로 인한 열적 안정성을 확보하기 위한 기판 트리거 방식의 ESD 보호 소자를 이용한 ESD 보호회로 및 그 제조 방법을 제공하는 데 있다.

발명의 구성

상기와 같은 목적은 본 발명의 실시예에 따라, 기판 트리거 방식의 ESD(Electro Static Discharge) 보호소자로 구현하기 위한 ESD 보호회로에 있어서, 도전형 반도체 기판; 상기 기판 상에 형성된 ESD 보호 소자에 구비되는 제1 및 제2 전극; 및 상기 제1 및 제2 전극 사이에 상기 기판과 연결되어 유입되는 ESD 전류를 상기 기판으로 도통시키는 제3 전극을 포함하는 ESD 보호회로에 의해 달성된다.

바람직하게는, 상기 도전형 반도체 기판은 P형 반도체 기판이고, 상기 제1 및 제2 전극은 각각 애노드 전극 및 캐소드 전극이다. 상기 제3 전극은 전류 트리거 전극이다.

ESD 발생시 상기 애노드 전극에는 전압이, 상기 트리거 전극에는 상기 ESD 발생에 따른 ESD 전류가 동시에 인가된다. 상기 애노드 전극과 상기 트리거 전극을 같이 단락하여 상기 ESD 전류가 인가될 때 상기 트리거 전극으로 상기 ESD 전류가 유입되도록 구성한다. 상기 애노드 전극 단에 고립 저항을 추가하여 상기 애노드 전극에 상기 ESD 전류가 유입되기 전에 상기 트리거 전극으로 상기 ESD 전류의 유입을 용이하게 구성한다.

한편, 상기와 같은 목적은 본 발명의 실시예에 따라, 기판 트리거 방식의 ESD(Electro Static Discharge) 보호소자로 구현하기 위한 ESD 보호회로의 제조 방법에 있어서, 도전형 반도체 기판 상에 상기 ESD 보호 소자를 형성하는 공정; 상기 ESD 보호 소자에 서로 상이한 전압 차를 갖는 제1 및 제2 전극을 형성하는 공정; 및 상기 제1 및 제2 전극 사이에 상기 기판과 연결되어 유입되는 ESD 전류를 상기 기판으로 도통시키기 위한 제3 전극을 형성하는 공정을 포함하여 제조되는 ESD 보호회로 제조 방법에 의해 달성된다.

상기 도전형 반도체 기판은 P형 반도체 기판이고, 상기 제1 및 제2 전극은 각각 애노드 전극 및 캐소드 전극이며, 상기 제3 전극은 전류 트리거 전극이다.

본 실시예의 ESD 보호회로 제조 방법은 ESD 발생시 상기 애노드 전극에는 전압이, 상기 트리거 전극에는 상기 ESD 발생에 따른 ESD 전류가 동시에 인가되도록 설계하는 공정을 더 포함한다.

본 실시예의 ESD 보호회로 제조 방법은 상기 애노드 전극과 상기 트리거 전극을 같이 단락하여 상기 ESD 전류가 인가될 때 상기 트리거 전극으로 상기 ESD 전류가 유입되도록 구성하는 공정을 더 포함한다.

본 실시예의 ESD 보호회로 제조 방법은 상기 애노드 전극 단에 고립 저항을 추가하여 상기 애노드 전극에 상기 ESD 전류가 유입되기 전에 상기 트리거 전극으로 상기 ESD 전류의 유입을 용이하게 구성하는 공정을 더 포함한다.

본 발명에 따르면, PNPN 동작을 하는 트리거 방식의 ESD 보호 소자가 가지는 애노드와 캐소드 전극 사이에, 기판과 연결된 트리거 전극을 추가하여 ESD 보호 소자를 구성하고 애노드에 전류가 흘러 들어가기 전에 트리거 전극으로 유입되고 ESD로 인한 애노드에 인가된 전압으로 ESD 보호 소자가 작동하여 ESD 에너지를 흡수하도록 설계함으로써, ESD 현상에 대한 빠른 응답을 가능하게 함은 물론 기판으로의 열 확산 또한 용이하다. 또한 빠른 응답으로 인하여 ESD 회로를 구현함에 있어서 2차 트리거 소자를 이용하지 않고 고립 저항을 이용한 단순한 구조만으로도 ESD 보호회로를 구현함으로써, 집적도의 향상과 추가적인 ESD 관련 안정성을 얻을 수 있다.

이하, 본 발명의 바람직한 실시예들을 첨부한 도면을 참조하여 상세히 설명한다. 도면들 중 동일한 구성요소들은 가능한 한 어느 곳에서든지 동일한 부호들로 나타내고 있음에 유의해야 한다. 또한 본 발명의 요지를 불필요하게 흐릴 수 있는 공지 기능 및 구성에 대한 상세한 설명은 생략한다.

본 발명은 기본적인 PNPN 동작을 하는 트리거 방식의 ESD 보호 소자가 가지는 애노드와 캐소드 전극 사이에, 기판과 연결된 트리거 전극을 추가하여 구성한 ESD 보호 소자를 제안한다. 본 발명에 이용되는 ESD 보호 소자가 트리거되어 PNPN 동작을 하기 위해서는, 애노드와 캐소드의 전압 차이와 동시에 트리거 전극으로의 전류 유입이 필요하다. 이를 위해 애노드와 트리거 전극을 같이 단락하여 ESD가 인가되었을 때 애노드와 트리거 전극에 영향을 주도록 설정하고 있다. 또한 본 발명에서는 애노드에 전류가 흘러 들어가기 전에 트리거 전극으로 전류 유입을 용이하게 하기 위하여, 애노드 단에 고립 저항을 설치하여 전류는 트리거 전극으로 유입되고 ESD로 인한 애노드에 인가된 전압으로 ESD 보호 소자가 작동하여 ESD 에너지를 흡수하도록 설계한다.

도 1은 본 발명의 바람직한 실시예에 따른 트리거 방식의 ESD 보호 소자를 STI(Shallow Trench Isolation)로 구현한 단면도이다.

도시된 바와 같이, ESD 보호소자는 애노드(120)와 캐소드(140) 사이에 전류 트리거 전극(160)을 배치하여, 캐소드(140)에 위치한 기존 소자의 산화막 게이트를 없앴으로 인하여 산화막과 관련된 ESD 안정성을 확보할 수 있다. 본 실시예에 따라 ESD 전류는 트리거 전극(160)으로 유입되기 때문에, 이로 인해 발생하는 열을 기판으로 확산시키기 용이하여 열적 안정성을 얻을 수 있다.

도 2는 본 발명의 바람직한 실시예에 따른 기판 트리거 방식의 ESD 보호 소자 내에 기생 성분들을 나타낸 단면도이다.

도시된 바와 같이, ESD 보호소자는 기생성분으로 인하여 PNPN 동작을 가능케 한다. 도면에서 기생 PNP 트랜지스터(220)와 기생 NPN 트랜지스터(240)가 정귀환의 구조를 가지며, 이에 따라 구동 전류를 서로 증폭시켜 ESD 에너지를 흡수하게 된다.

도 3은 본 발명의 실시예에 따른 기관 트리거 방식의 ESD 보호 소자의 등가회로를 나타낸 도면이다.

도시된 바와 같이, ESD 보호 소자에서 트리거 전극에 유입되는 ESD 전류는 등가회로 상의 NPN 트랜지스터(242)의 베이스 단에 유입되게 된다. 유입되는 ESD 전류는 기관에 존재하는 기관 저항 성분인 R_{sub} 에 의하여 전압강하를 일으키게 되고, NPN 트랜지스터(242)의 턴-온을 짧은 시간 내에 가능케 한다.

또한 NPN 트랜지스터(242)의 턴-온으로 인한 ESD 전류의 흐름은 ESD 현상으로 인가된 애노드(124)의 높은 전압과 함께 R_{well} 의 전압 강하와 더불어 PNP 트랜지스터(222)의 턴-온을 유도한다. 이에 따라 NPN 및 PNP 트랜지스터(222,242)가 모두 도통되면서 PNPN 동작을 수행하여 ESD 에너지를 흡수하게 된다.

도 4는 본 발명의 실시예에 따라 기관 트리거 방식의 ESD 보호 소자와 2차 트리거 소자를 이용한 ESD 보호 회로도이다.

도시된 바와 같이, ESD 보호 회로도에는 가장 기본적인 구조의 ESD 보호 회로로서 2차 트리거 소자(400)가 ESD 보호 소자(100)의 트리거를 돕는 작용을 하게 된다.

도 5는 본 발명의 실시예에 따라 기관 트리거 방식의 ESD 보호 소자만으로 구성된 ESD 보호 회로도이다.

도시된 바와 같이, ESD 보호회로에서 애노드(128)와 트리거 전극(168) 사이의 고립 저항(320)은 기관 저항보다 큰 값을 갖는다. ESD 현상으로 인하여 애노드(128)에는 전압과 트리거 전극(168)에는 ESD 전류가 동시에 인가되면서, 매우 빠른 턴-온이 이루어진다. 이런 동작은 2차 트리거 소자를 구성하지 않아도 충분한 응답을 가능케 하기 때문에, 높은 집적도를 얻을 수 있고 레이아웃 구조의 단순화로 인한 추가적인 ESD 실패에 관하여 안정성이 높다. 또한 기관 트리거 방식으로 열 확산에 용이한 구조로 인하여 열적 안정성 또한 보장 받을 수 있다.

이상에서는 본 발명에서 특정의 바람직한 실시예에 대하여 도시하고 또한 설명하였다. 그러나, 본 발명은 상술한 실시예에 한정되지 아니하며, 특허 청구의 범위에서 첨부하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 다양한 변형 및 균등한 타 실시가 가능할 것이다. 따라서 본 발명의 진정한 기술적 보호범위는 첨부한 특허 청구범위에 의해서만 정해져야 할 것이다.

발명의 효과

상술한 바와 같은 본 발명에 따르면, PNPN 동작을 하는 트리거 방식의 ESD 보호 소자가 가지는 애노드와 캐소드 전극 사이에, 기관과 연결된 트리거 전극을 추가하여 ESD 보호 소자를 구성하고 애노드에 전류가 흘러 들어가기 전에 트리거 전극으로 유입되고 ESD로 인한 애노드에 인가된 전압으로 ESD 보호 소자가 작동하여 ESD 에너지를 흡수하도록 설계함으로써, ESD 현상에 대한 빠른 응답을 가능하게 함은 물론 기관으로의 열 확산 또한 용이하다. 또한 빠른 응답으로 인하여 ESD 회로를 구현함에 있어서 2차 트리거 소자를 이용하지 않고 고립 저항을 이용한 단순한 구조만으로도 ESD 보호회로를 구현함으로써, 집적도의 향상과 추가적인 ESD 관련 안정성을 얻을 수 있다.

도면의 간단한 설명

도 1은 본 발명의 바람직한 실시예에 따른 트리거 방식의 ESD 보호 소자를 STI(Shallow Trench Isolation)로 구현한 단면도,

도 2는 본 발명의 바람직한 실시예에 따른 기관 트리거 방식의 ESD 보호 소자 내에 기생 성분들을 나타낸 단면도,

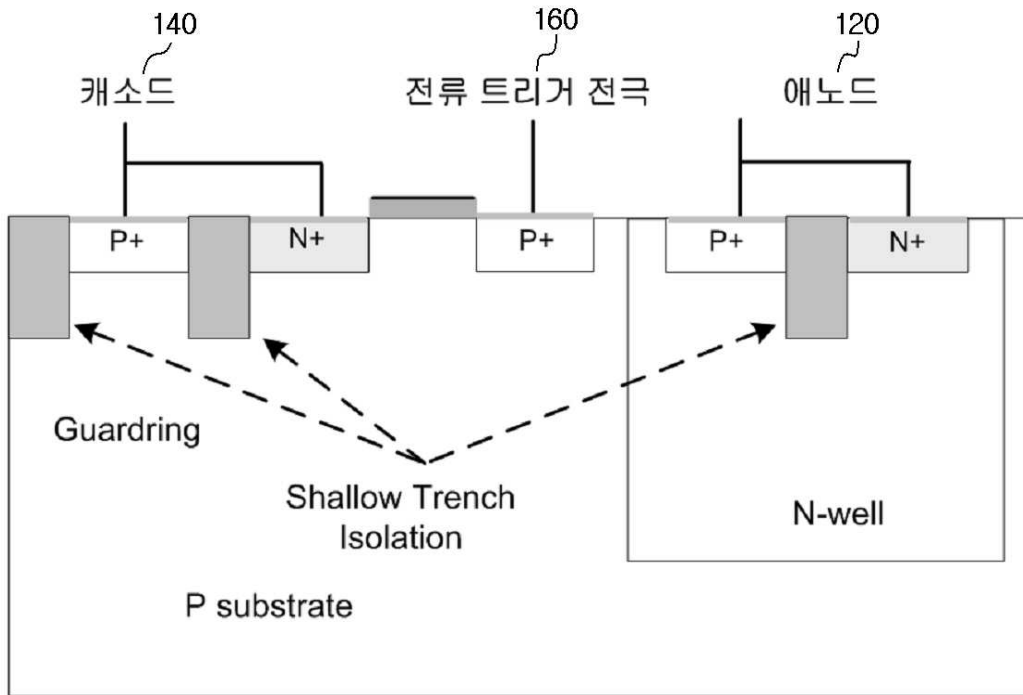
도 3은 본 발명의 실시예에 따른 기관 트리거 방식의 ESD 보호 소자의 등가회로를 나타낸 도면,

도 4는 본 발명의 실시예에 따라 기관 트리거 방식의 ESD 보호 소자와 2차 트리거 소자를 이용한 ESD 보호 회로도, 그리고

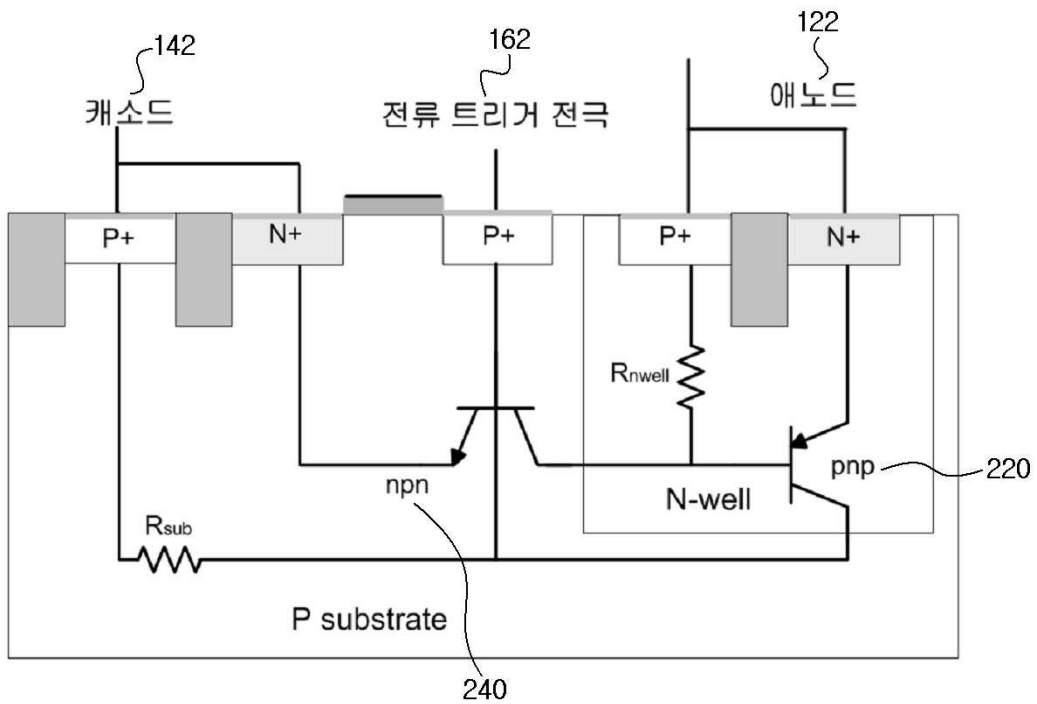
도 5는 본 발명의 실시예에 따라 기판 트리거 방식의 ESD 보호 소자만으로 구성된 ESD 보호 회로도이다.

도면

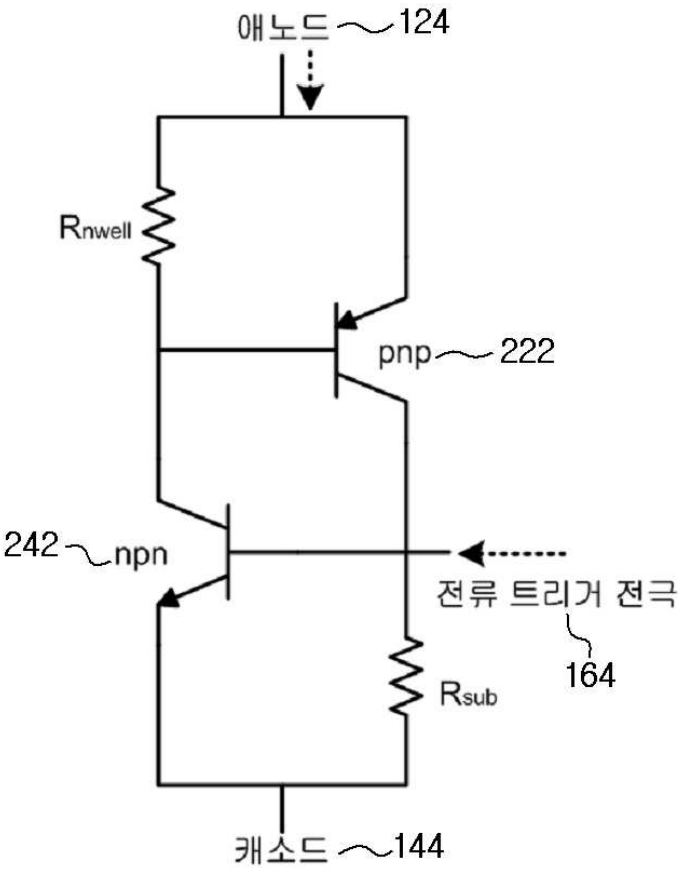
도면1



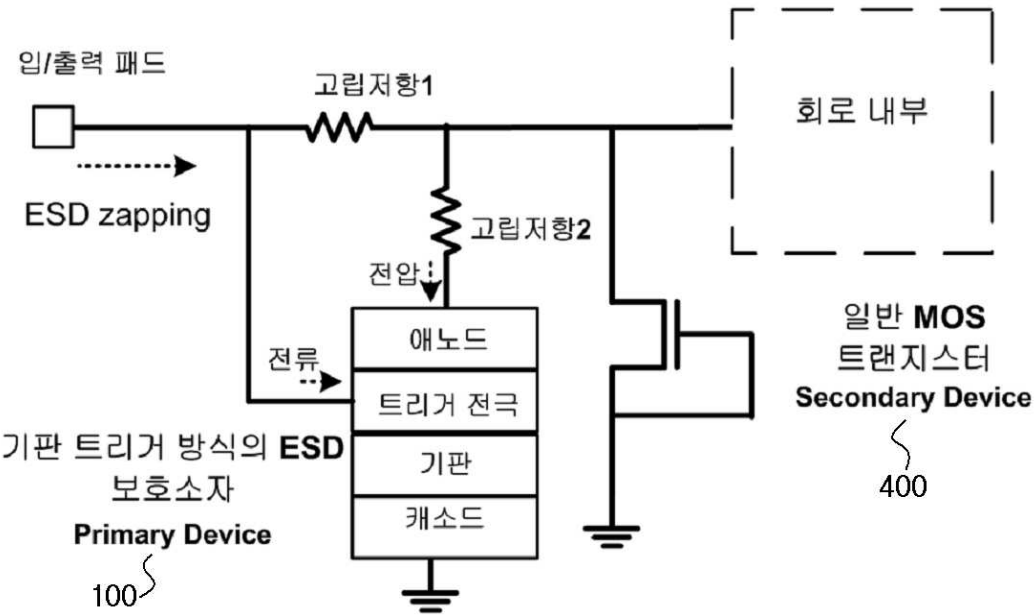
도면2



도면3



도면4



도면5

