



(19) 대한민국특허청(KR)
 (12) 등록특허공보(B1)

(45) 공고일자 2012년03월20일
 (11) 등록번호 10-1119186
 (24) 등록일자 2012년02월15일

- (51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) *G02F 1/133* (2006.01)
- (21) 출원번호 10-2005-0028623
 (22) 출원일자 2005년04월06일
 심사청구일자 2010년03월02일
 (65) 공개번호 10-2006-0106166
 (43) 공개일자 2006년10월12일
 (56) 선행기술조사문헌
 KR1020010109485 A*
 JP2002169176 A*
 JP07261191 A*
 KR1019990035287 A*

*는 심사관에 의하여 인용된 문헌

- (73) 특허권자
삼성전자주식회사
 경기도 수원시 영통구 삼성로 129 (매탄동)
- (72) 발명자
전진
 경기도 수원시 장안구 화산로187번길 19, 삼성래
 미안아파트 107동 204호 (천천동)
김형걸
 경기도 용인시 수지구 진산로 90, 진산마을 삼성
 5차아파트 505동 206호 (풍덕천동)
- (74) 대리인
박영우

전체 청구항 수 : 총 19 항

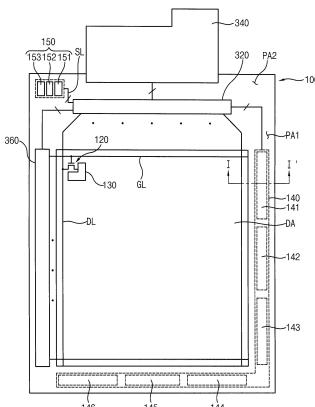
심사관 : 임동재

(54) 발명의 명칭 표시패널, 이를 갖는 표시장치 및 이의 제조 방법

(57) 요 약

전체 두께를 감소시킬 수 있는 표시패널, 이를 갖는 표시장치 및 이의 제조 방법을 개시한다. 표시패널은 구동칩으로부터 인가된 제2 구동전압을 승압하여 다시 구동칩으로 제공하는 제1 및 제2 캐패시터를 구비한다. 구동칩은 승압된 제2 구동전압을 입력받아 표시패널을 구동하기 위한 제1 구동전압을 출력한다. 이에 따라, 연성회로부는 제2 구동전압을 승압하기 위한 캐패시터를 구비할 필요가 없으므로, 표시장치의 전체 크기를 감소시킬 수 있다.

대 표 도 - 도2



특허청구의 범위

청구항 1

영상이 표시되는 제1 영역, 상기 제1 영역을 둘러싼 제2 영역, 및 상기 제2 영역과 인접한 제3 영역으로 구획된 제1 기판;

상기 제1 기판과 마주보도록 결합되며, 상기 제1 기판의 상기 제1 영역 및 상기 제2 영역을 커버하는 제2 기판;

상기 제1 기판과 상기 제2 기판과의 사이에 개재된 액정층;

상기 제1 영역에 구비되어 상기 영상을 표시하기 위한 제1 구동전압을 인가받는 박막 트랜지스터; 및

상기 제2 영역에 구비되어 외부로부터 인가된 제2 구동전압을 승압하여 출력하며, 제1 전극, 제2 전극, 상기 제1 및 제2 전극과의 사이에 개재된 절연막을 포함하는 제1 캐패시터를 포함하되,

상기 박막 트랜지스터는 게이트 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 소오스 전극 및 드레인 전극을 포함하며,

상기 제1 전극은 상기 게이트 전극과 동일층에 구비되고, 상기 게이트 전극과 동일한 재질로 이루어지며,

상기 제2 전극은 상기 소오스 및 드레인 전극과 동일층에 구비되고, 상기 소오스 및 드레인 전극과 동일한 재질로 이루어진 것을 특징으로 하는 표시패널.

청구항 2

삭제

청구항 3

제1항에 있어서, 상기 제1 및 제2 전극은 불투명한 금속 재질로 이루어진 것을 특징으로 하는 표시패널.

청구항 4

제1항에 있어서, 상기 제1 및 제2 전극 중 어느 하나는 투명한 도전성 금속 재질로 이루어진 것을 특징으로 하는 표시패널.

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

제1항에 있어서, 상기 제3 영역에 구비되어 상기 제2 구동전압을 승압하여 출력하고, 상기 제1 캐패시터와 서로 다른 정전 용량을 갖는 제2 캐패시터를 더 포함하는 것을 특징으로 하는 표시패널.

청구항 9

제8항에 있어서, 상기 제2 캐패시터는 상기 제1 캐패시터보다 큰 정전 용량을 갖는 것을 특징으로 하는 표시패널.

청구항 10

제8항에 있어서, 상기 제2 캐패시터는 반도체 칩인 것을 특징으로 하는 표시패널.

청구항 11

제8항에 있어서, 상기 제2 캐패시터는 솔더링 방법에 의해 고정되는 것을 특징으로 하는 표시패널.

청구항 12

제8항에 있어서, 상기 제2 캐패시터를 고정하는 도전성 접착부재를 더 포함하는 것을 특징으로 하는 표시패널.

청구항 13

제1항에 있어서, 상기 제3 영역에 구비되고, 상기 제1 캐패시터로부터 출력된 제2 구동전압을 인가받아 상기 제1 구동전압을 출력하는 구동칩을 더 포함하는 것을 특징으로 하는 표시패널.

청구항 14

영상이 표시되는 제1 영역, 상기 제1 영역을 둘러싼 제2 영역, 및 상기 제2 영역과 인접한 제3 영역으로 구획된 제1 기판, 상기 제1 기판과 마주보도록 결합되며, 상기 제1 기판의 상기 제1 영역 및 상기 제2 영역을 커버하는 제2 기판, 상기 제1 기판과 상기 제2 기판과의 사이에 개재된 액정층, 상기 제1 영역에 구비되어 상기 영상을 표시하기 위한 제1 구동전압을 인가받는 박막 트랜지스터, 및 상기 제2 영역에 구비되어 외부로부터 인가된 제2 구동전압을 승압하여 출력하며, 제1 전극, 제2 전극, 상기 제1 및 제2 전극과의 사이에 개재된 절연막을 포함하는 제1 캐패시터를 포함하는 표시패널; 및

상기 제3 영역에 구비되어 상기 제1 캐패시터 및 박막 트랜지스터와 전기적으로 연결되고, 상기 제1 캐패시터로부터 출력된 제2 구동전압을 인가받아 상기 제1 구동전압을 출력하는 신호 생성부를 포함하되,

상기 박막 트랜지스터는 게이트 신호를 수신하는 게이트 전극, 데이터 신호를 수신하는 소오스 전극 및 드레인 전극을 포함하며,

상기 제1 전극은 상기 게이트 전극과 동일층에 구비되고, 상기 게이트 전극과 동일한 재질로 이루어지며,

상기 제2 전극은 상기 소오스 및 드레인 전극과 동일층에 구비되고, 상기 소오스 및 드레인 전극과 동일한 재질로 이루어진 것을 특징으로 하는 표시장치.

청구항 15

제14항에 있어서, 상기 표시패널은 상기 제3 영역에 구비되어 상기 신호 생성부와 전기적으로 연결된 제2 캐패시터를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 16

제15항에 있어서, 상기 제2 캐패시터는 상기 제1 캐패시터보다 큰 정전 용량을 갖는 것을 특징으로 하는 표시장치.

청구항 17

제14항에 있어서, 상기 신호 생성부는,

상기 신호 라인 및 상기 제1 캐패시터와 전기적으로 연결되어 상기 제1 구동전압을 출력하는 구동칩; 및

상기 구동칩과 전기적으로 연결되어 상기 제2 구동전압을 상기 구동칩으로 제공하는 연성회로부를 포함하는 것을 특징으로 하는 표시장치.

청구항 18

제17항에 있어서, 상기 표시패널을 수납하고, 상기 연성회로부가 측벽을 따라 절곡되어 배면에 안착되는 수납용기를 더 포함하는 것을 특징으로 하는 표시장치.

청구항 19

기판 상에 제1 금속층을 형성하는 단계;

상기 제1 금속층을 패터닝하여 영상이 표시되는 제1 영역에 게이트 전극을 형성하고, 상기 제1 영역을 둘러싼

제2 영역에 상기 게이트 전극과 동일한 재질로 이루어진 제1 캐패시터의 제1 전극을 형성하는 단계;

상기 게이트 전극 및 제1 전극이 형성된 상기 기판 상에 절연막을 형성하는 단계;

상기 절연막 상에 제2 금속층을 형성하는 단계; 및

상기 제2 금속층을 패터닝하여 상기 제1 영역에 소오스 및 드레인 전극을 형성하고, 상기 절연막의 제2 영역 상에 상기 소오스 및 드레인 전극과 동일한 재질로 이루어진 상기 제1 캐패시터의 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시패널 제조 방법.

청구항 20

삭제

청구항 21

제19항에 있어서, 상기 제2 전극을 형성하는 단계는,

상기 절연막 상에 제2 금속층을 형성하는 단계;

상기 제2 금속층을 패터닝하여 상기 제1 영역에 소오스 전극 및 드레인 전극을 형성하는 단계;

상기 소오스 전극 및 상기 드레인 전극이 형성된 상기 절연막 상에 제3 금속층을 형성하는 단계; 및

상기 제3 금속층을 패터닝하여 상기 제1 영역에 화소 전극을 형성하고, 상기 제2 영역에 상기 캐패시터의 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시패널 제조 방법.

청구항 22

제19항에 있어서, 상기 제2 영역과 인접한 제3 영역에 상기 제1 캐패시터와 서로 다른 정전 용량을 갖는 제2 캐패시터를 실장하는 단계를 더 포함하는 것을 특징으로 하는 표시패널 제조 방법.

청구항 23

기판 상에 제1 금속층을 형성하는 단계;

상기 제1 금속층을 패터닝하여 영상이 표시되는 제1 영역에 소오스 전극 및 드레인 전극을 형성하고, 상기 제1 영역을 둘러싼 제2 영역에 상기 소오스 전극 및 드레인 전극과 동일한 재질로 이루어진 제1 캐패시터의 제1 전극을 형성하는 단계;

상기 소오스 및 드레인 전극 및 상기 제1 전극이 형성된 기판 상에 절연막을 형성하는 단계;

상기 절연막 상에 제2 금속층을 형성하는 단계; 및

상기 제2 금속층을 패터닝하여 상기 제1 영역에 화소 전극을 형성하고, 상기 제2 영역에 상기 화소 전극과 동일한 재질로 이루어진 상기 캐패시터의 제2 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 표시패널 제조 방법.

청구항 24

제23항에 있어서, 상기 제2 영역과 인접한 제3 영역에 상기 제1 캐패시터와 서로 다른 정전 용량을 갖는 제2 캐패시터를 실장하는 단계를 더 포함하는 것을 특징으로 하는 표시패널 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

[0019] 본 발명은 표시패널, 이를 갖는 표시장치 및 이의 제조 방법에 관한 것으로, 보다 상세하게는, 전체 두께를 감소하기 위한 표시패널, 이를 갖는 표시장치 및 이의 제조 방법에 관한 것이다.

- [0020] 일반적으로, 표시장치는 외부로부터 입력되는 영상 신호에 응답하여 영상을 표시한다. 액정표시장치는 평판표시장치의 일종으로, 액정의 광학적 특성을 이용하여 영상을 표시한다. 액정표시장치는 영상을 표시하기 위한 액정표시패널 및 액정표시패널의 후면에 배치되어 광을 공급하는 백라이트 어셈블리를 포함한다.
- [0021] 액정표시장치는 액정표시패널의 크기 및 백라이트 어셈블리의 설계에 따라, 무게, 부피 및 소비 전력 등이 결정된다. 특히, 휴대폰, PDA 등과 같은 중소형 제품에서는 경량, 박형 및 저 소비 전력에 대한 설계가 요구되고 있으며, 이러한 요구에 대응하여 백라이트 어셈블리의 개발이 진행되고 있다.
- [0022] 일반적으로, 중소형 제품에 적용되는 액정표시패널은 일측에 영상 신호를 전송하는 연성회로기판 및 액정표시패널을 구동하기 위한 구동 신호를 생성하여 출력하는 구동칩이 부착된다. 연성회로기판에는 액정표시패널을 구동하기 위한 구동전압을 승압하는 캐패시터가 실장된다.
- [0023] 백라이트 어셈블리는 광을 발생하는 발광 다이오드, 광의 경로를 가이드하는 도광판, 발광 다이오드 및 도광판을 수납하는 몰드 프레임, 및 몰드 프레임을 수납하는 바텀 샤크사를 포함한다.
- [0024] 액정표시패널은 몰드 프레임의 측벽에 형성된 단턱에 수납된다. 연성회로기판은 바텀 샤크사의 측벽을 따라 절곡되어 바텀 샤크사의 배면에 위치한다. 연성회로기판에 실장된 반도체 칩들 및 캐패시터는 바텀 샤크사의 배면측에 위치하므로, 액정표시장치의 전체 두께를 증가시킨다.
- [0025] 특히, 연성회로기판에 실장된 캐패시터의 두께로 인해 액정표시장치의 두께가 증가된다. 또한, 캐패시터를 실장하기 위해서는 연성회로기판을 형성하는 절연 필름, 도전층, 및 접착층의 개수가 증가하므로, 연성회로기판의 두께가 증가되고, 이로 인해, 액정표시장치의 전체 크기가 증가된다.

발명이 이루고자 하는 기술적 과제

- [0026] 본 발명의 목적은 액정표시장치의 두께를 감소시킬 수 있는 표시패널을 제공하는 것이다.
- [0027] 또한, 본 발명의 다른 목적은 상기한 표시패널을 갖는 표시장치를 제공하는 것이다.
- [0028] 또한, 본 발명의 다른 목적은 상기한 표시패널을 제조하는 방법을 제공하는 것이다.

발명의 구성 및 작용

- [0029] 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 표시패널은, 기판, 박막트랜지스터 및 제1 캐패시터로 이루어진다.
- [0030] 기판은 영상이 표시되는 제1 영역, 제1 영역을 둘러싼 제2 영역 및 제2 영역과 인접한 제3 영역으로 구획된다. 박막 트랜지스터는 제1 영역에 구비되어 영상을 표시하기 위한 제1 구동전압을 제공받는다. 제1 캐패시터는 제2 영역에 구비되어 외부로부터 인가된 제2 구동전압을 승압하여 출력한다.
- [0031] 또한, 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 표시장치는, 표시패널 및 신호 생성부로 이루어진다.
- [0032] 표시패널은 영상이 표시되는 제1 영역, 상기 제2 영역을 둘러싼 제2 영역 및 제2 영역과 인접한 제3 영역으로 구획된다. 표시패널은 제1 영역에 구비되어 영상을 표시하기 위한 제1 구동전압을 인가받는 박막 트랜지스터 및 제2 영역에 구비되어 외부로부터 인가된 제2 구동전압을 승압하여 출력하는 제1 캐패시터를 포함한다. 신호 생성부는 제3 영역에 구비되어 제1 캐패시터 및 박막 트랜지스터와 전기적으로 연결되고, 제1 캐패시터로부터 출력된 제2 구동전압을 제공받아 제1 구동전압을 출력한다.
- [0033] 또한, 상기한 본 발명의 목적을 실현하기 위한 하나의 특징에 따른 표시패널 제조 방법은, 먼저, 기판 상에 제1 금속층이 형성된다. 제1 금속층은 패터닝되어 영상이 표시되는 제1 영역에는 게이트 전극이 형성되고, 제1 영역을 둘러싼 제2 영역에는 제1 캐패시터의 제1 전극이 형성된다. 게이트 전극 및 제1 전극이 형성된 기판 상에 절연막이 형성된다. 절연막의 제2 영역 상에는 제1 캐패시터의 제2 전극을 형성된다.
- [0034] 이러한 표시패널, 이를 갖는 표시장치 및 이의 제조 방법에 의하면, 표시패널은 제2 구동전압을 승압하기 위한 제1 캐패시터를 구비함으로써, 신호 전송부는 표시패널의 배면측에서 제2 구동전압을 승압하기 위한 캐패시터를 구비할 필요가 없으므로, 표시장치의 전체 두께를 감소시킬 수 있다.
- [0035] 이하, 첨부한 도면을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

- [0036] 도 1은 본 발명의 일실시예에 따른 표시패널 어셈블리를 나타낸 사시도이다.
- [0037] 도 1을 참조하면, 본 발명에 따른 표시패널 어셈블리(LPA)는 제1 구동전압을 제공받아 영상을 표시하는 액정표시패널(LP), 제2 구동전압을 제공받아 상기 제1 구동전압을 출력하는 구동칩(320), 및 상기 구동칩(320)으로 상기 제2 구동전압을 인가하는 연성회로부(340)를 포함한다.
- [0038] 구체적으로, 상기 액정표시패널(LP)은 제1 기판(100), 상기 제1 기판(100)과 마주보도록 결합하는 제2 기판(200) 및 상기 제1 기판(100)과 상기 제2 기판(200)과의 사이에 개재된 액정층(미도시)을 포함한다.
- [0039] 상기 제1 기판(100)은 매트릭스 형태로 형성된 다수의 화소(미도시)가 형성되고, 상기 구동칩(320)과 전기적으로 연결되어 상기 구동칩(320)으로부터 상기 제1 구동전압을 제공받는다. 상기 제1 기판(100)에 대한 구체적인 설명은 후술하는 도 2에서 하기로 한다.
- [0040] 상기 제1 기판(100)의 상부에 구비되는 상기 제2 기판(200)은 상기 액정층을 통과한 광을 이용하여 소정의 색을 발현하는 컬러필터 층을 구비한다. 상기 컬러필터 층은 박막 공정에 의해서 형성되며, RGB 색화소를 구비한다.
- [0041] 상기 액정층은 액정 분자가 상기 제1 기판(100)과 상기 제2 기판(200)과의 사이에 형성되는 전계에 따라 배열됨으로써, 상기 제2 기판(200)으로 제공되는 광의 투과율을 조절한다.
- [0042] 상기 제1 기판(100)의 소오스측에는 상기 구동칩(320) 및 상기 연성회로부(340)가 구비된다. 상기 구동칩(320) 및 상기 연성회로부(340)는 이방성 도전필름(Anisotropic Conductive Film)을 매개로 상기 제1 기판(100)과 전기적으로 연결된다.
- [0043] 상기 구동칩(320)은 상기 액정표시패널(LP)을 구동하기 위한 구동신호 및 상기 제1 구동전압을 상기 제1 기판(100)으로 제공한다. 상기 구동칩(320)은 데이터 라인용 칩과 게이트 라인용 칩으로 분리된 두 개 이상의 칩으로 구성되거나, 이들을 통합한 하나의 칩으로 구성될 수 있으며, COG(Chip On Glass) 공정에 의하여 상기 제1 기판(100)에 실장된다.
- [0044] 상기 연성회로부(340)는 상기 구동칩(320)과 전기적으로 연결되어 상기 구동칩(320)을 제어하기 위한 제어신호 및 상기 제2 구동전압을 상기 구동칩(320)으로 제공한다. 상기 연성회로부(340)는 구동신호의 타이밍을 조절하기 위한 타이밍 컨트롤러나 데이터 신호를 저장하기 위한 메모리 등이 실장된다.
- [0045] 도 2는 도 1에 도시된 제1 기판을 나타낸 평면도이고, 도 3은 도 2의 절단선 I-I'에 따른 단면도이다.
- [0046] 도 2를 참조하면, 상기 제1 기판(100)은 상기 영상이 표시되는 표시영역(DA), 상기 표시영역(DA)을 둘러싼 제1 주변 영역(PA1) 및 상기 제1 주변 영역(PA1)과 인접한 제2 주변 영역(PA2)으로 구획된다. 상기 표시영역(DA)에는 상기 다수의 화소가 형성되고, 상기 제2 주변 영역(PA2)에는 상기 구동칩(320) 및 상기 연성회로부(340)가 구비된다.
- [0047] 상기 제1 기판(100)은 투명 기판(110) 상에 형성된 게이트 신호를 전송하는 게이트 라인(GL), 데이터 신호를 전송하는 데이터 라인(DL), 상기 게이트 라인(GL) 및 상기 데이터 라인(DL)과 연결된 박막 트랜지스터(Thin Film Transistor : 이하, TFT)(120), 상기 TFT(120)와 연결된 화소 전극(130), 및 메인 캐패시터부(140)를 포함한다.
- [0048] 구체적으로, 상기 게이트 라인(GL) 및 상기 데이터 라인(DL)은 상기 표시영역(DA)에서 서로 절연되어 교차한다. 상기 표시영역(DA)에 형성된 각 화소는 상기 게이트 라인(GL) 및 상기 데이터 라인(DL)에 의해 정의된다. 상기 게이트 라인(GL) 및 상기 데이터 라인(DL)은 상기 구동칩(320)과 전기적으로 연결되어 상기 구동칩(320)으로부터 출력된 상기 제1 구동전압을 상기 TFT(120)로 전송한다.
- [0049] 상기 TFT(120)는 상기 화소에 구비되어 상기 액정층으로 상기 제1 구동전압을 인가하고, 차단한다.
- [0050] 도 3을 참조하면, 상기 TFT(120)는 투명기판(110) 상에 구비되는 게이트 전극(121), 상기 게이트 전극(121)의 상부에 위치하는 게이트 절연막(122), 상기 게이트 절연막(122) 상에 구비되는 액티브 층(123), 상기 액티브 층(123) 상에 구비되는 오믹 콘택층(124), 및 상기 오믹 콘택층(124) 상에 구비되는 소오스 및 드레인 전극(125, 126)을 포함한다.
- [0051] 보다 상세히는, 상기 게이트 전극(121)은 상기 게이트 신호를 전송하는 상기 게이트 라인(도 1 참조)으로부터 분기된다. 여기서, 상기 게이트 전극(121)은 단일막으로 형성되나, 이중막 또는 삼중막으로 형성될 수도 있다.
- [0052] 상기 게이트 전극(121)이 형성된 상기 투명 기판(110)의 상부에는 상기 게이트 절연막(122)이 구비된다. 상기

게이트 절연막(122)은 금속물질과 접착력이 좋고, 상부 및 하부에 구비되는 물질, 예컨대, 상기 게이트 전극(121), 상기 투명 기판(110), 상기 액티브층(123) 및, 상기 소오스 및 드레인 전극(125, 126)과의 사이에 공기층이 형성되는 것을 억제하는 산화실리콘(SiO₂)이나 질화실리콘(SiN_x)과 같은 절연물질로 이루어진다.

- [0053] 상기 액티브 층(123)은 상기 게이트 절연막(122)의 상면에서 상기 게이트 전극(121)과 대응하는 영역에 위치하고, 비정질 실리콘으로 이루어진다.
- [0054] 상기 액티브 층(123)의 상면에 구비되는 상기 오믹 콘택층(124)은 n+ 비정질 실리콘으로 이루어지고, 상기 액티브 층(123)을 부분적으로 노출하도록 중앙부가 제거되어 형성된 채널 영역(CA)을 갖는다.
- [0055] 상기 오믹 콘택층(124)의 상면에는 상기 소오스 전극(125) 및 드레인 전극(126)이 구비된다. 여기서, 상기 소오스 전극(125) 및 드레인 전극(126)은 단일막으로 형성되나, 이중막 또는 삼중막으로 형성될 수도 있다.
- [0056] 상기 소오스 전극(125)은 상기 데이터 신호를 전송하는 상기 데이터 라인(도 1 참조)으로부터 분기된다. 상기 소오스 전극(125)은 제1 단부가 상기 오믹 콘택층(124)의 상면에 위치하고, 상기 제1 단부와 대향하는 제2 단부는 상기 게이트 절연막(122) 상에 위치한다.
- [0057] 상기 드레인 전극(126)은 상기 채널 영역(CA)을 중심으로 상기 소오스 전극(125)과 서로 마주본다. 상기 드레인 전극(126)은 제1 단부가 상기 오믹 콘택층(124)의 상면에 위치하고, 상기 제1 단부와 대향하는 제2 단부가 상기 게이트 절연막(122)의 상면에 위치한다.
- [0058] 상기 제1 기판(100)은 상기 TFT(120)의 상부에 구비되어 상기 TFT(120) 및 상기 투명 기판(110) 상에 형성된 배선들, 예컨대, 상기 게이트 라인(GL) 및 상기 데이터 라인(DL)을 보호하는 보호막(140) 및 유기 절연막(150)을 더 구비한다.
- [0059] 상기 보호막(140)은 산화실리콘(SiO₂)이나 질화실리콘(SiN_x)과 같은 무기 절연물질로 이루어지며, 약 2000Å 두께를 갖는 것이 바람직하다. 상기 유기 절연막(150)은 상기 보호막(140)의 상부에 구비된다. 상기 보호막(140) 및 상기 유기 절연막(150)은 상기 드레인 전극(126)을 부분적으로 노출하도록 일부분이 제거되어 형성된 콘택홀(CH)을 갖는다.
- [0060] 상기 화소전극(130)은 상기 유기 절연막(150)의 상면에 구비된다. 상기 화소전극(130)은 상기 콘택홀(CH)을 통해 상기 드레인 전극(126)과 전기적으로 연결되어 상기 제1 구동전압을 상기 액정층으로 인가한다. 상기 화소전극(130)은 인듐 틴 옥사이드(Indium Tin Oxide; 이하, ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; 이하, IZO)와 같은 투명성 도전 물질로 이루어진다.
- [0061] 도면에는 도시하지 않았으나, 상기 화소 전극(130)의 상부에는 반사모드에서 동작하기 위해서 외부로부터 입사되는 광을 반사하는 반사 전극이 더 구비될 수도 있다.
- [0062] 다시 도 2를 참조하면, 상기 메인 캐패시터부(140)는 상기 투명기판(110)의 상기 제1 주변영역(PA1)에 구비된다. 상기 메인 캐패시터부(140)는 상기 표시영역(DA)에 구비된 상기 TFT(120)가 형성되는 과정에서 상기 제1 주변영역(PA1)에 형성된다.
- [0063] 이 실시예에 있어서, 상기 메인 캐패시터부(140)는 제1 내지 제5 메인 캐패시터(141, 142, 143, 144, 145)로 이루어진다. 그러나, 상기 메인 캐패시터(141, 142, 143, 144, 145)의 개수는 제2 구동전압의 세기 및 각 메인 캐패시터(141, 142, 143, 144, 145)의 정전 용량에 따라 증가되거나 감소될 수 있다.
- [0064] 상기 제1 내지 제5 메인 캐패시터(141, 142, 143, 144, 145)는 상기 구동칩(320)과 전기적으로 연결되어 상기 구동칩(320)으로부터 인가된 상기 제2 구동전압을 승압하여 출력한다. 상기 제1 내지 제5 메인 캐패시터(141, 142, 143, 144, 145)로부터 출력된 제2 구동전압은 다시 상기 구동칩(320)으로 제공된다.
- [0065] 따라서, 상기 연성회로부(340)는 상기 제2 구동전압을 승압하여 출력하는 캐패시터를 추가로 구비할 필요가 없으므로, 상기 연성회로부(340)를 형성하는 절연 필름, 도전층, 및 접착층의 개수를 감소시킬 수 있다. 이에 따라, 상기 연성회로부(340)는 전체 두께를 줄일 수 있고, 제조 원가를 절감할 수 있다.
- [0066] 이 실시예에 있어서, 상기 제1 내지 제5 메인 캐패시터(141, 142, 143, 144, 145)는 동일한 구조를 갖는다. 따라서, 이하, 상기 제1 메인 캐패시터(141)의 구조에 대하여 상세하게 설명하고, 상기 제2 내지 제5 메인 캐패시터(142, 143, 144, 145)의 구조에 대한 구체적인 설명은 생략한다.
- [0067] 도 3에 도시된 바와 같이, 상기 제1 메인 캐패시터(141)는 상기 투명기판(110) 상에 구비되는 제1 전극(141a)

및 상기 제1 전극(141a)의 상부에 구비되는 제2 전극(141b)을 포함한다.

- [0068] 상기 제1 전극(141a)은 상기 게이트 전극(121)과 동일층에 구비되고, 상기 게이트 전극(121)과 동일한 재질로 형성된다.
- [0069] 상기 제2 전극(141b)은 상기 제1 전극(141a)과 대응하여 위치한다. 상기 제2 전극(141b)은 상기 소오스 및 드레인 전극(125, 126)과 동일층에 구비되고, 그 재질 또한 상기 소오스 및 드레인 전극(125, 126)과 동일하다.
- [0070] 상기 제1 전극(141a)과 상기 제2 전극(141b)과의 사이에는 상기 게이트 절연막(122)이 개재된다. 상기 게이트 절연막(122)은 상기 제1 전극(141a)과 상기 제2 전극(141b)과의 사이에서 상기 제1 메인 캐패시터(141)의 유전체(Dielectric substance) 역할을 한다.
- [0071] 상기 제2 구동전압이 상기 구동칩(320)으로부터 상기 제1 메인 캐패시터(141)로 인가되면, 상기 제1 전극(141a)과 상기 제2 전극(141b)과의 사이에 형성된 공간에 전하가 축적되어 상기 제2 구동전압이 승압되고, 상기 제1 메인 캐패시터(141)는 상기 승압된 제2 구동전압을 출력한다.
- [0072] 상기 제1 기판(100)은 상기 구동칩(320)으로부터 인가된 상기 제2 구동전압을 승압하여 출력하는 서브 캐패시터부(150)를 더 구비한다.
- [0073] 이 실시예에 있어서, 상기 서브 캐패시터부(150)는 제1 내지 제3 서브 캐패시터(151, 152, 153)로 이루어진다. 그러나, 상기 서브 캐패시터(151, 152, 153)의 개수는 상기 제2 구동전압의 세기 및 각 서브 캐패시터(151, 152, 153)의 정전 용량에 따라 증가하거나 감소할 수 있다.
- [0074] 상기 제1 내지 제3 서브 캐패시터(151, 152, 153)는 상기 제2 주변 영역(PA2)에 구비되며, 상기 제1 내지 제5 캐패시터(141, 142, 143, 144, 145)의 정전 용량보다 큰 정전 용량을 갖는다. 상기 제1 내지 제3 서브 캐패시터(151, 152, 153)는 상기 구동칩(320)과 인접하여 위치하고, 그 두께는 상기 액정표시패널(LP)의 두께를 증가시키지 않도록 상기 구동칩(320)의 두께보다 작거나 동일하게 형성된다.
- [0075] 상기 제1 내지 제3 서브 캐패시터(151, 152, 153)는 상기 구동칩(320)과 전기적으로 연결된다. 상기 제1 내지 제3 서브 캐패시터(151, 152, 153)는 상기 구동칩(320)으로부터 제공된 상기 제2 구동전압을 상기 제1 내지 제5 메인 캐패시터(141, 142, 143, 144, 145)와 마찬가지로 승압하여 출력한다. 상기 제1 내지 제3 서브 캐패시터(151, 152, 153)로부터 출력된 제2 구동전압은 다시 상기 구동칩(320)으로 제공된다.
- [0076] 상기 표시패널 어셈블리(LPA)(도 1 참조)는 상기 구동칩(320)과 전기적으로 연결되어 게이트 신호를 출력하는 게이트 구동회로(360)를 더 구비한다.
- [0077] 상기 게이트 구동회로(360)는 상기 게이트 라인(GL)과 전기적으로 연결되어 상기 게이트 신호를 상기 게이트 라인(GL)으로 인가한다. 상기 게이트 구동회로(360)는 상기 TFT(120)를 형성하는 공정과 동일한 공정으로 형성되며, 상기 TFT(120)를 형성하는 과정에서 상기 제1 기판(100)의 상기 제1 주변영역(PA1)에 형성된다.
- [0078] 상기 게이트 구동회로(360)는 상기 구동칩(320)에 내장되거나, 별도의 칩으로 형성되어 상기 제1 주변영역(PA1)에 실장 될 수도 있다. 상기 게이트 구동회로(360)가 상기 구동칩(320)에 내장되는 경우, 상기 구동칩(320)은 상기 게이트 신호를 출력하여 상기 게이트 라인(GL)으로 제공한다.
- [0079] 이하, 도면을 참조하여서 상기 TFT(120) 및 상기 메인 캐패시터부(140)를 형성하는 과정을 구체적으로 설명한다.
- [0080] 도 4a 내지 도 4g는 도 3에 도시된 제1 기판을 형성하는 과정을 나타낸 공정 단면도이다. 이 실시예에 있어서, 상기 제1 내지 제5 메인 캐패시터(141, 142, 143, 144, 145)의 형성 과정은 실질적으로 동일하므로, 도 4a 내지 도 4g에 있어서는, 상기 제1 메인 캐패시터(141)의 형성 과정에 대해 구체적으로 설명한다.
- [0081] 먼저, 도 4a 및 도 4b를 참조하면, 상기 투명기판(110) 상에 제1 금속층(171)을 형성한다. 상기 제1 금속층(171)은 알루미늄(Al) 또는 알루미늄-네오디뮴(AlNd)과 같은 알루미늄 합금, 크롬(Cr), 몰리브덴(Mo) 등과 같은 도전성 금속재질로 이루어지며, 스퍼터링(Sputtering) 방법에 의해 증착된다.
- [0082] 상기 제1 금속층(171)을 패터닝하여 상기 표시영역(DA)에 상기 게이트 전극(121)을 형성하고, 상기 제1 주변영역(PA1)에 상기 제1 메인 캐패시터(141)의 상기 제1 전극(141a)을 형성한다.
- [0083] 도 4c를 참조하면, 상기 게이트 전극(121) 및 상기 제1 전극(141a)이 형성된 상기 투명기판(110) 상에 상기 게이트 절연막(122)을 형성한다. 상기 게이트 절연막(122)은 플라즈마 화학기상증착(plasma-enhanced chemical

vapor deposition : 이하, PECVD) 방법에 의해 증착되며, 약 4500Å의 두께를 갖는 것이 바람직하다.

[0084] 도 4d를 참조하면, 상기 게이트 절연막(122) 상에 비정질실리콘막(미도시)을 증착하고, 그 위에 n+ 층이 도핑된 비정질실리콘막(미도시)을 증착한다. 상기 비정질실리콘막(미도시) 및 상기 n+ 층이 도핑된 비정질실리콘막은 상기 PECVD 방법에 의해 증착된다. 상기 비정질실리콘막 및 상기 n+ 층이 도핑된 비정질실리콘막을 패터닝하여 상기 게이트 전극(121)의 상부에 상기 액티브 층(123) 및 상기 오믹 콘택층(124)을 형성한다.

[0085] 도 4e 및 도 4f를 참조하면, 상기 액티브 층(123) 및 상기 오믹 콘택층(124)이 형성된 상기 게이트 절연막(122) 상에 제2 금속층(172)을 스퍼터링 방법에 의해 증착한다. 상기 제2 금속층(172)은 알루미늄(AI) 또는 알루미늄-네오디뮴(AINd)과 같은 알루미늄 합금, 크롬(Cr), 몰리브덴(Mo) 등과 같은 도전성 금속재질로 이루어진다.

[0086] 상기 제2 금속층(172)을 패터닝하여 상기 표시영역(DA)에 상기 소오스 및 드레인 전극(125, 126)을 형성하고, 상기 제1 전극(141)과 대응하는 영역에 상기 제2 전극(142)을 형성한다. 이에 따라, 상기 제1 주변영역(PA1)에는 상기 제1 메인 캐패시터(141)가 형성된다.

[0087] 상기 소오스 및 드레인 전극(125, 126) 사이에서 노출된 상기 오믹 콘택층(124)을 반응성 이온 식각(Reactive Ion Etching; 이하, RIE) 방법에 의해 제거하여 상기 채널 영역(CA)을 형성한다. 이에 따라, 상기 표시영역(DA)에는 상기 TFT(120)가 형성된다.

[0088] 도 4g를 참조하면, 상기 TFT(120) 및 상기 제1 메인 캐패시터(141)가 형성된 상기 투명기판(110) 상에 상기 보호막(150) 및 상기 유기 절연막(160)을 순차적으로 증착한다. 상기 표시영역(DA)에서 상기 보호막(150) 및 상기 유기 절연막(160)을 부분적으로 제거하여 상기 드레인 전극(126)을 일부분 노출하는 상기 콘택홀(CH)을 형성한다.

[0089] 상기 표시영역(DA)에 구비된 상기 유기 절연막(160) 상에, 도 3에 도시된 바와 같이, 상기 TFT(120)와 전기적으로 연결되는 상기 화소 전극(130)을 형성하여 상기 제1 기판(100)을 완성한다.

[0090] 도 5는 도 2에 도시된 제1 메인 캐패시터의 다른 일례를 나타낸 단면도이다.

[0091] 도 5를 참조하면, 상기 제1 메인 캐패시터(147)는 상기 투명기판(110) 상에 구비된 제1 전극(147a) 및 상기 제1 전극(147a)의 상부에 구비된 제2 전극(147b)을 구비한다.

[0092] 이 실시예에 있어서, 상기 제1 전극(147a)은 상기 표시영역(DA)에 구비된 상기 TFT(120)의 상기 게이트 전극(121)과 동일층에 구비되고, 그 재질 또한 상기 게이트 전극(121)과 동일하다. 그러나, 상기 제1 전극(147a)은 상기 소오스 및 드레인 전극(125, 126)과 동일층에 구비될 수도 있다. 상기 제1 전극(147a)이 상기 소오스 및 드레인 전극(125, 126)과 동일층에 구비될 경우, 상기 제1 전극(147a)은 상기 소오스 및 드레인 전극(125, 126)과 함께 형성되며, 그 재질 또한 상기 소오스 및 드레인 전극(125, 126)과 동일하다.

[0093] 상기 제1 전극(147b)의 상부에는 상기 게이트 절연막(121), 상기 보호막(150) 및 상기 유기 절연막(160)이 순차적으로 구비된다.

[0094] 상기 유기 절연막(160)의 상면에는 상기 제1 전극(147a)과 대응하여 상기 제2 전극(147b)이 구비된다. 상기 제2 전극(147b)은 상기 화소 상기 표시영역(DA)에 구비된 상기 화소 전극(130)과 동일층에 구비되고, 그 재질 또한 동일하다.

[0095] 이 실시예에 있어서, 상기 제1 전극(147a)은 상기 게이트 전극(121)과 동일층에 형성되므로, 상기 제1 전극(147a)과 상기 제2 전극(147b)과의 사이에 개재된 상기 게이트 절연막(122), 상기 보호막(150) 및 상기 유기 절연막(160)이 상기 제1 메인 캐패시터(147)의 유전체 역할을 한다.

[0096] 그러나, 상기 제1 전극(147a)이 상기 소오스 및 드레인 전극(125, 126)과 동일층에 구비될 경우, 상기 게이트 절연막(122)을 제외한 상기 보호막(150) 및 상기 유기 절연막(160)이 상기 제1 전극(147a)과 상기 제2 전극(147b)과의 사이에 개재된다. 상기 보호막(150) 및 상기 유기 절연막(160)은 상기 제1 전극(147a)과 상기 제2 전극(147b)과의 사이에서 상기 제1 메인 캐패시터(147)의 유전체 역할을 한다.

[0097] 도 6a 내지 도 6f는 도 5에 도시된 제1 메인 캐패시터를 형성하는 과정을 나타낸 공정 단면도이다.

[0098] 먼저, 도 6a 및 도 6b를 참조하면, 상기 투명기판(110) 상에 제1 금속층(173)을 스퍼터링 방법에 의해 증착한다. 상기 제1 금속층(173)은 알루미늄(AI) 또는 알루미늄-네오디뮴(AINd)과 같은 알루미늄 합금, 크롬(Cr), 몰리브덴(Mo) 등과 같은 도전성 금속재질로 이루어진다.

- [0099] 상기 제1 금속층(173)을 패터닝하여 상기 표시영역(DA)에 상기 게이트 전극(121)을 형성하고, 상기 제1 주변영역(PA1)에 상기 제1 메인 캐패시터(147)의 상기 제1 전극(147a)을 형성한다.
- [0100] 도 6c 및 도 6d를 참조하면, 상기 게이트 전극(121) 및 상기 제1 전극(147a)이 형성된 상기 투명기판(110) 상에 상기 게이트 절연막(122), 상기 액티브 층(123) 및 상기 오믹 콘택층(124)을 형성한다. 도 6c에서, 상기 게이트 절연막(122), 상기 액티브 층(123) 및 상기 오믹 콘택층(124)을 형성하는 과정은 상술한 도 4c 및 도 4d에 대한 설명과 중복되므로, 그 구체적인 설명은 생략한다.
- [0101] 상기 액티브 층(123) 및 상기 오믹 콘택층(124)이 형성된 상기 게이트 절연막(122) 상에 제2 금속층(174)을 스퍼터링 방법에 의해 증착한다. 상기 제2 금속층(174)은 알루미늄(A1) 또는 알루미늄-네오디뮴(A1Nd)과 같은 알루미늄 합금, 크롬(Cr), 몰리브덴(Mo) 등과 같은 도전성 금속재질로 이루어진다.
- [0102] 상기 제2 금속층(174)을 패터닝하여 상기 표시영역(DA)에 상기 소오스 및 드레인 전극(125, 126)을 형성한다. 상기 소오스 및 드레인 전극(125, 126) 사이에서 노출된 상기 오믹 콘택층(124)을 RIE 방법에 의해 제거하여 상기 채널 영역(CA)을 형성한다. 이에 따라, 상기 표시영역(DA)에는 상기 TFT(120)가 형성된다.
- [0103] 도 6e를 참조하면, 상기 소오스 및 드레인 전극(125, 126)이 형성된 상기 게이트 절연막(122) 상에 상기 보호막(150) 및 상기 유기 절연막(160)을 순차적으로 형성한다. 상기 표시영역(DA)에서 상기 보호막(150) 및 상기 유기 절연막(160)을 부분적으로 제거하여 상기 드레인 전극(126)을 일부분 노출하는 상기 콘택홀(CH)을 형성한다.
- [0104] 도 5 및 도 6f를 참조하면, 상기 콘택홀(CH)이 형성된 상기 유기 절연막(160) 상에 투명한 도전성 금속 재질, 예컨대, ITO나 IZO와 같은 재질로 이루어진 제3 금속층(175)을 증착한다. 상기 제3 금속층(175)을 패터닝하여 상기 표시영역(DA)에 상기 화소 전극(130)을 형성하고, 상기 제1 전극(147a)과 대응하는 영역에 상기 제2 전극(147b)을 형성한다. 이에 따라, 상기 제1 주변영역(PA1)에는 상기 제1 메인 캐패시터(147)가 형성된다.
- [0105] 도 7은 도 2에 도시된 제1 서브 캐패시터를 나타낸 단면도이다. 이 실시예에 있어서, 상기 제1 내지 제3 서브 캐패시터(151, 152, 153)는 그 구조 및 기능이 실질적으로 동일하다. 따라서, 이하, 상기 제1 서브 캐패시터(151)의 구조에 대하여 상세하게 설명하고, 상기 제2 및 제3 서브 캐패시터(152, 153)에 대한 구체적인 설명은 생략한다.
- [0106] 도 2 및 도 7을 참조하면, 상기 제1 서브 캐패시터(151)는 배면에 다수의 출력 단자(151a)를 구비한다. 이 실시예에 있어서, 상기 제1 서브 캐패시터(151)는 반도체 칩과 유사한 구조를 가지나, 특정 형상의 유전체에 전극이 감겨있는 구조로 형성될 수도 있다.
- [0107] 상기 출력 단자들(151a)은 상기 제2 주변영역(PA2)에서 상기 게이트 절연막(122) 상에 구비된 패드들(SP)과 전기적으로 연결된다. 상기 패드들(SP)은 상기 구동칩(320)과 전기적으로 연결된 신호 라인들(SL)의 단부에 형성되며, 상기 출력 단자들(151a)과 대응하여 위치한다.
- [0108] 상기 신호 라인들(SP)의 상부에는 상기 보호막(150) 및 상기 유기 절연막(160)이 순차적으로 증착되며, 상기 보호막(150) 및 상기 유기 절연막(160)은 상기 패드들(SP)의 상부에서 제거되어 상기 패드들(SP)을 부분적으로 노출한다.
- [0109] 상기 보호막(150) 및 상기 유기 절연막(160)이 제거된 영역에는 투명 전극(180)이 구비된다. 상기 투명 전극(180)은 부분적으로 노출된 상기 패드들(SP)과 전기적으로 연결된다.
- [0110] 상기 제1 기판(100)은 상기 제1 서브 캐패시터(151)의 배면에 구비되어 상기 제1 서브 캐패시터(151)를 고정하는 도전성 접착부재(380)를 더 구비한다. 이 실시예에 있어서, 상기 제1 서브 캐패시터(151)는 상기 도전성 접착부재(380)에 의해 고정되나, 상기 제1 서브 캐패시터(151)는 솔더링(soldering) 방법에 의해 고정될 수도 있다.
- [0111] 상기 도전성 접착부재(380)는 접착 수지(381) 및 상기 접착 수지(381) 내에 불규칙적으로 분포된 도전 입자들(382)을 포함한다. 상기 패드들(SP)은 상기 도전성 접착부재(380)를 통해 상기 출력 단자들(151a)과 전기적으로 연결된다.
- [0112] 이에 따라, 상기 제2 구동전압이 상기 구동칩(320)으로부터 상기 신호 라인들(SL)로 인가되면, 상기 패드들(SP)은 상기 도전성 접착부재(380) 및 상기 투명 전극(180)을 통해 상기 제2 구동전압을 상기 제1 서브 캐패시터(151)로 인가한다.

- [0113] 상기 제1 서브 캐패시터(151)는 상기 패드들(SP)로부터 인가된 상기 제2 구동전압을 승압하여 출력하고, 상기 승압된 제2 구동전압은 상기 도전성 접착부재(380) 및 상기 투명 전극(180)을 통해 다시 상기 패드들(SP)로 인가된다. 상기 신호 라인들(SL)은 상기 승압된 제2 구동전압을 상기 구동칩(320)으로 다시 제공한다.
- [0114] 도 8은 본 발명의 일실시예에 따른 액정표시장치를 나타낸 분해 사시도이고, 도 9는 도 8에 도시된 제1 수납용 기기를 나타낸 평면도이다.
- [0115] 도 8을 참조하면, 본 발명에 따른 액정표시장치(600)는 광을 이용하여 영상을 표시하는 표시패널 어셈블리(LPA), 상기 광을 제공하는 백라이트 어셈블리(400), 및 상기 표시패널 어셈블리(LPA)를 상기 백라이트 어셈블리(400)에 고정하는 탑 샤프트(500)를 포함한다.
- [0116] 상기 표시패널 어셈블리(LPA)는 도 1에 도시된 표시패널 어셈블리와 동일한 구성 요소를 가짐으로, 그 중복된 설명은 생략한다.
- [0117] 상기 표시패널 어셈블리(LPA)의 아래에는 액정표시패널(LP)로 균일한 광을 제공하기 위한 상기 백라이트 어셈블리(400)가 구비된다.
- [0118] 구체적으로, 상기 백라이트 어셈블리(400)는 상기 광을 발생하는 광원들(410), 상기 광의 경로를 가이드하기 위한 도광판(420), 상기 도광판(420)으로부터 출사된 광의 휘도를 균일하여 상기 액정표시패널(LP)로 제공하는 광학 시트들(430), 상기 도광판(420)으로부터 누설된 광을 반사하기 위한 반사판(440), 수납용기인 몰드 프레임(450), 및 바텀 샤프트(460)를 포함한다.
- [0119] 상기 광원들(410)은 상기 도광판(420)의 일측에 위치하고, 상기 광을 상기 도광판(420)으로 제공한다. 상기 광원들(410)은 박형 및 저소비 전력을 위해 제1 내지 제4 발광 다이오드(Light Emitting Diode : 이하, LED)(411, 412, 413, 414)로 이루어진다.
- [0120] 이 실시예에 있어서, 상기 램프 어셈블리(LA)는 네 개의 LED를 구비하지만, 상기 LED의 개수는 상기 액정표시패널(LP)의 크기에 따라 감소되거나 증가될 수 있다.
- [0121] 상기 제1 내지 제4 LED(411, 412, 413, 414)는 상기 표시패널 어셈블리(LPA)에 구비된 연성회로부(320)에 실장될 수도 있고, 상기 제1 내지 제4 LED(411, 412, 413, 414)를 제어하기 위한 광원 제어용 연성회로부를 구비하여 상기 광원 제어용 연성회로부에 실장될 수도 있다.
- [0122] 상기 도광판(420)은 상기 광원들(410)로부터 제공된 광을 상기 액정표시패널(LP)의 상기 표시영역(DA)(도 1 참조)으로 제공하도록 상기 광의 경로를 변경하는 도광 패턴(미도시)이 형성된다.
- [0123] 상기 도광판(420)과 상기 액정표시패널(LP)과의 사이에는 상기 광학 시트들(430)이 개재된다. 상기 광학 시트들(430)은 상기 도광판(420)으로부터 제공된 상기 광의 특성, 예컨대, 휘도 증가 및 휘도 균일성을 향상하여 상기 액정표시패널(LP)로 제공한다.
- [0124] 상기 도광판(420)의 아래에는 상기 반사판(440)이 구비된다. 상기 반사판(440)은 상기 도광판(420)으로부터 누설된 광을 다시 상기 도광판(420)으로 반사하여 광의 이용 효율을 향상시킨다.
- [0125] 상기 몰드 프레임(450)은 상기 램프들(410), 상기 도광판(420), 상기 광학 시트들(430), 상기 반사판(440) 및 상기 액정표시패널(LP)을 수납하고, 합성 수지 재질로 이루어진다. 상기 몰드 프레임(450)은 바닥면(451) 및 상기 바닥면(451)으로부터 연장된 측벽(452)을 포함한다.
- [0126] 도 9에 도시된 바와 같이, 상기 몰드 프레임(450)의 상기 바닥면(451)에는 개구부(451a)가 형성되고, 상기 바닥면(451)의 제1 단부에는 상기 광원들(410)을 수납하도록 상기 개구부(451a)와 연결되어 형성된 삽입홀들(IG)이 구비된다.
- [0127] 상기 삽입홀들(IG)은 제1 내지 제4 삽입홀(IG1, IG2, IG3, IG4)으로 이루어지나, 상기 삽입홀(IG1, IG2, IG3, IG4)의 개수는 상기 LED(411, 412, 413, 414)의 개수와 동일하게 형성된다. 상기 제1 내지 제4 삽입홀(IG1, IG2, IG3, IG4)에는 상기 제1 내지 제4 LED(411, 412, 413, 414)가 각각 삽입된다.
- [0128] 상기 몰드 프레임(450)의 측벽(452)에는 상기 바텀 샤프트(460)와 결합하기 위한 결합돌기들(453)이 형성된다.
- [0129] 상기 몰드 프레임(450)은 금속 재질로 이루어진 상기 바텀 샤프트(460)에 수납된다. 상기 바텀 샤프트(460)는 바닥판(461) 및 상기 바닥판(461)의 예지로부터 수납 공간을 형성하도록 연장된 측판(462)을 구비한다. 상기 바텀 샤프트(460)의 바닥면(461)에는 상기 광원들(410)을 삽입하기 위한 제1 및 제2 삽입홀(461a, 461b)이 형성된다.

- [0130] 이 실시예에 있어서, 상기 바텀 샤시(460)는 두 개의 삽입홀(461a, 461b)의 구비하고, 상기 삽입홀(461a, 461b)의 크기가 서로 동일하다. 그러나, 상기 삽입홀(461a, 461b)의 개수는 상기 LED(411, 412, 413, 414)의 개수에 따라 증가되거나 감소될 수 있으며, 상기 삽입홀(461a, 461b)의 크기는 각 삽입홀(461a, 461b) 삽입되는 상기 LED(411, 412, 413, 414)의 개수에 따라 다르게 형성될 수 있다.
- [0131] 상기 제1 삽입홀(461a)에는 상기 제1 및 제2 LED(411, 412)가 삽입되고, 상기 제2 삽입홀(461b)에는 상기 제3 및 제4 LED(413, 414)가 삽입된다.
- [0132] 한편, 상기 액정표시패널(LP)의 상부에는 상기 탑 샤시(500)가 구비된다. 상기 탑 샤시(500)는 상기 액정표시패널(110)을 상기 표시영역(DA)이 개구되도록 덮으면서 상기 바텀 샤시(460)와 결합하여 상기 액정표시패널(LP)의 위치를 가이드한다.
- [0133] 도 10은 도 8의 절단선 II-II'에 따른 단면도이다.
- [0134] 도 10을 참조하면, 상기 몰드 프레임(450)의 바닥면(451)에는 상기 반사판(440), 상기 도광판(420) 및 상기 광학 시트들(430)이 순차적으로 안착된다.
- [0135] 상기 몰드 프레임(450)의 측벽(452)에는 단턱이 형성되고, 상기 단턱에는 상기 액정표시패널(LP)이 안착된다. 상기 액정표시패널(LP)의 소오스축에 부착된 상기 연성회로부(340)는 상기 바텀 샤시(460)의 측벽(462)을 따라 절곡되어 상기 바텀 샤시(460)의 배면(461)에 안착된다.
- [0136] 도 2에 도시된 바와 같이, 상기 액정표시패널(LP)은 상기 제2 구동전압을 승압하는 상기 메인 캐패시터부(140) 및 상기 서브 캐패시터부(150)를 구비한다. 이에 따라, 상기 연성회로부(340)는 상기 바텀 샤시(460)의 배면축에 위치하는 영역에 상기 제2 구동전압을 승압하기 위한 캐패시터를 실장할 필요가 없으므로, 상기 액정표시장치(600)의 전체 두께를 감소시킬 수 있다.
- [0137] 또한, 상기 연성회로부(340)는 실장되는 부품의 수가 감소되므로, 상기 연성회로부(340)를 형성하는 절연 필름, 도전층, 및 접착층의 개수가 감소된다. 따라서, 상기 연성회로부(340)는 전체 두께가 감소되므로, 상기 액정표시장치(600)의 전체 두께 및 크기를 감소시킬 수 있다.

발명의 효과

- [0138] 상술한 본 발명에 따르면, 액정표시패널은 제2 구동전압을 승압하여 출력하는 메인 캐패시터부 및 서브 캐패시터부를 포함하고, 구동칩은 상기 승압된 제2 구동접압을 입력받아 제1 구동전압을 출력한다. 이에 따라, 연성회로부는 제2 구동전압을 승압하는 캐패시터를 구비할 필요가 없으므로, 액정표시장치의 전체 크기를 감소시킬 수 있다.
- [0139] 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특히 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

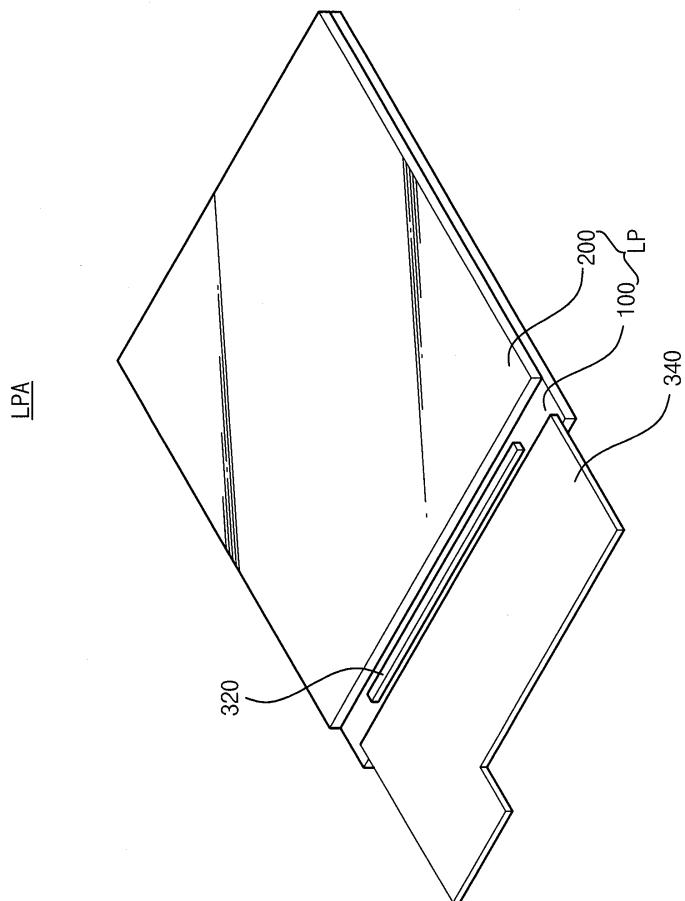
- [0001] 도 1은 본 발명의 일실시예에 따른 표시패널 어셈블리를 나타낸 사시도이다.
- [0002] 도 2는 도 1에 도시된 제1 기판을 나타낸 평면도이다.
- [0003] 도 3은 도 2의 절단선 I-I'에 따른 단면도이다.
- [0004] 도 4a 내지 도 4g는 도 3에 도시된 제1 기판을 형성하는 과정을 나타낸 공정 단면도이다.
- [0005] 도 5는 도 2에 도시된 제1 메인 캐패시터의 다른 실시예를 나타낸 단면도이다.
- [0006] 도 6a 내지 도 6f는 도 5에 도시된 제1 메인 캐패시터를 형성하는 과정을 나타낸 공정 단면도이다.
- [0007] 도 7은 도 2에 도시된 제1 서브 캐패시터를 나타낸 단면도이다.
- [0008] 도 8은 본 발명의 일실시예에 따른 액정표시장치를 나타낸 분해 사시도이다.
- [0009] 도 9는 도 8에 도시된 제1 수납용기를 나타낸 평면도이다.
- [0010] 도 10은 도 8의 절단선 II-II'에 따른 단면도이다.

[0011] <도면의 주요부분에 대한 부호의 설명>

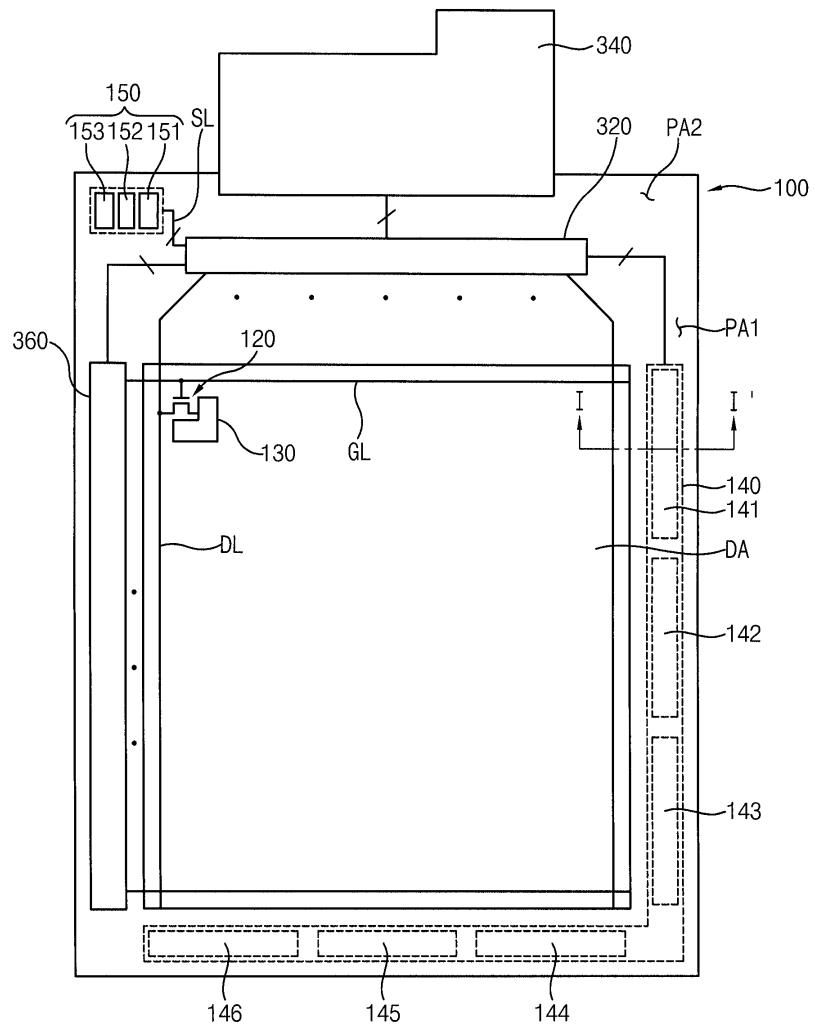
- | | |
|------------------------|----------------|
| [0012] 100 : 제1 기판 | 110 : 투명기판 |
| [0013] 120 : 박막 트랜지스터 | 130 : 화소전극 |
| [0014] 140 : 메인 캐패시터부 | 150 : 서브 캐패시터부 |
| [0015] 200 : 제2 기판 | 320 : 구동칩 |
| [0016] 340 : 연성회로부 | 360 : 게이트 구동회로 |
| [0017] 400 : 백라이트 어셈블리 | 500 : 탑 샤프트 |
| [0018] 600 : 액정표시장치 | LP : 액정표시패널 |

도면

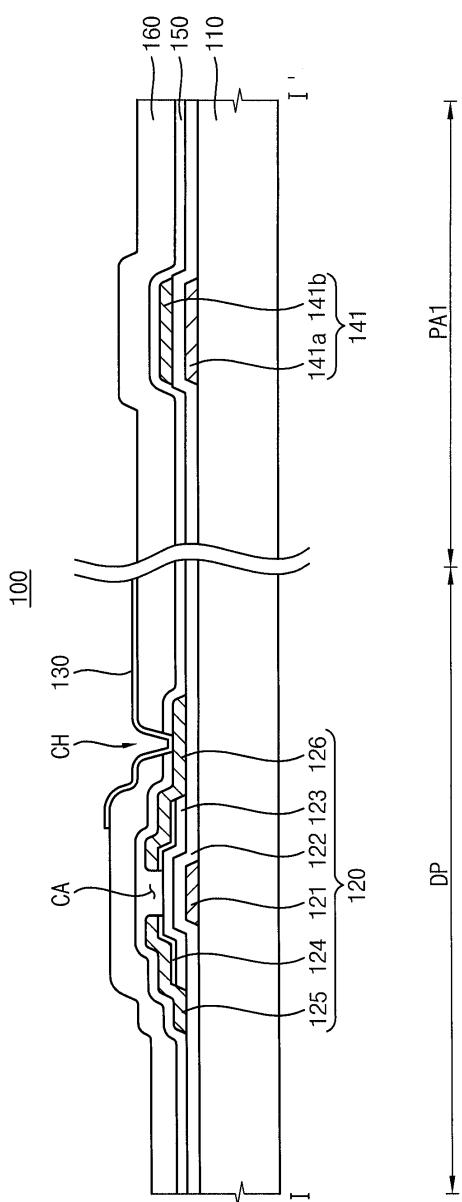
도면1



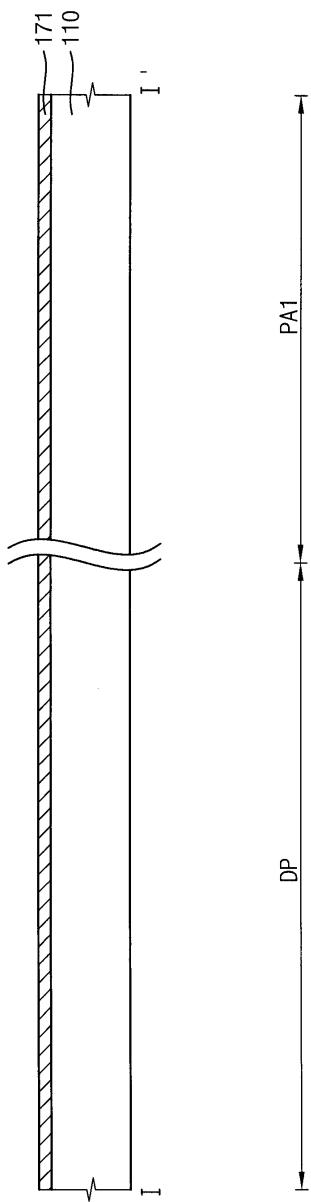
도면2



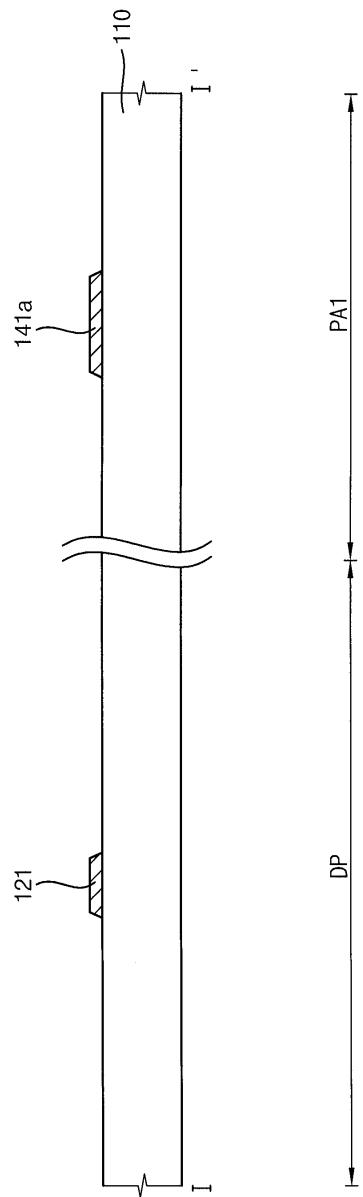
도면3



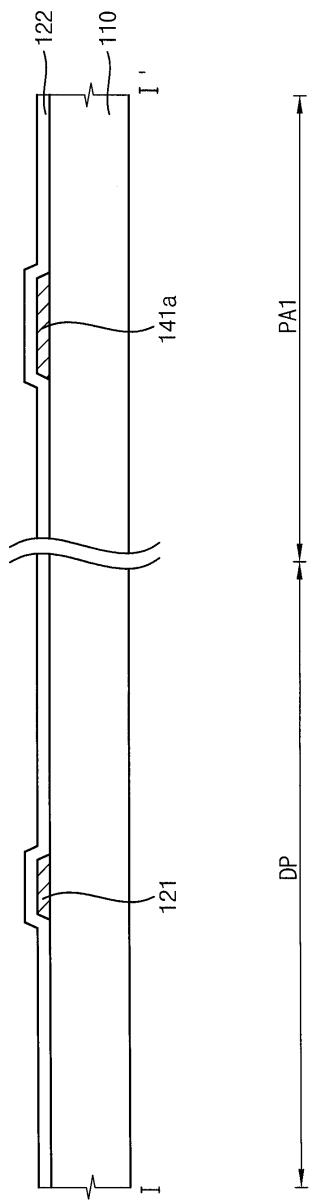
도면4a



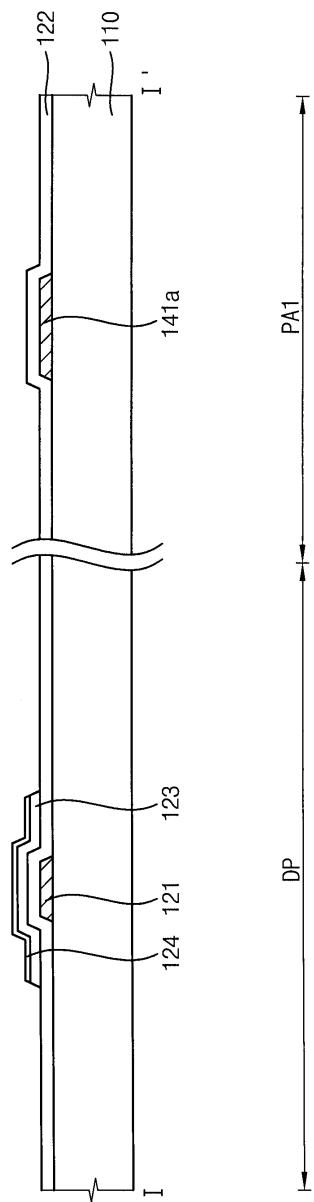
도면4b



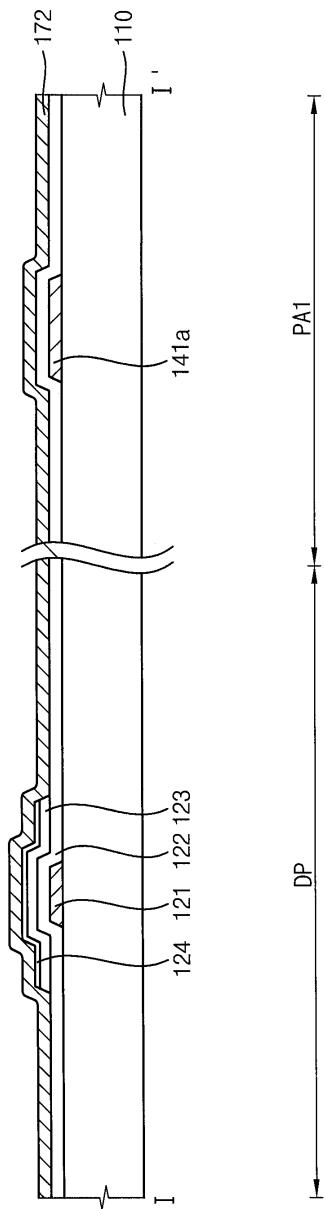
도면4c



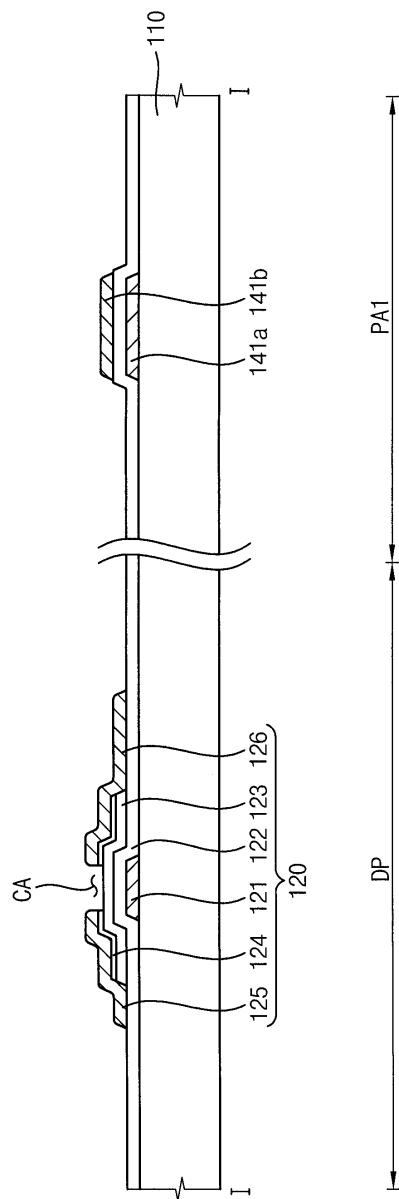
도면4d



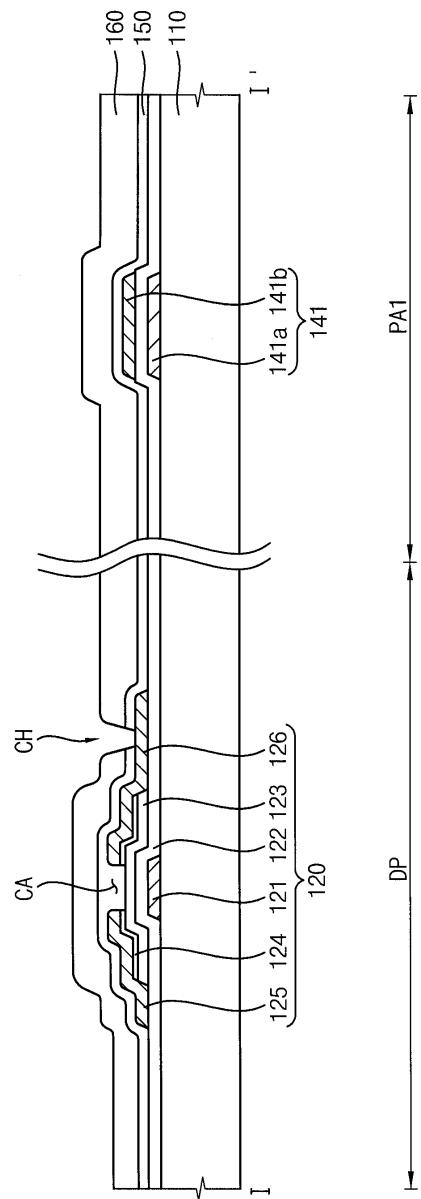
도면4e



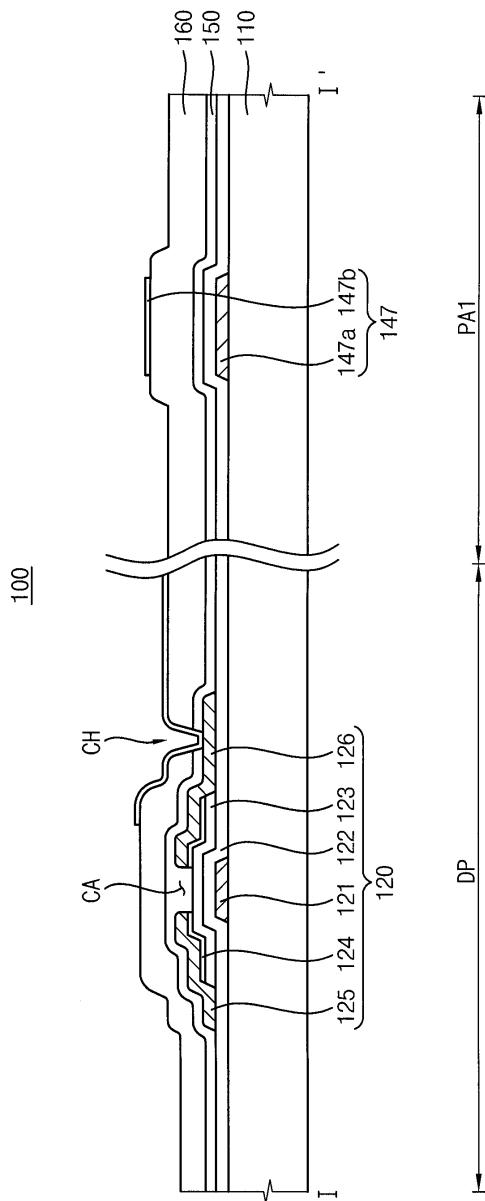
도면4f



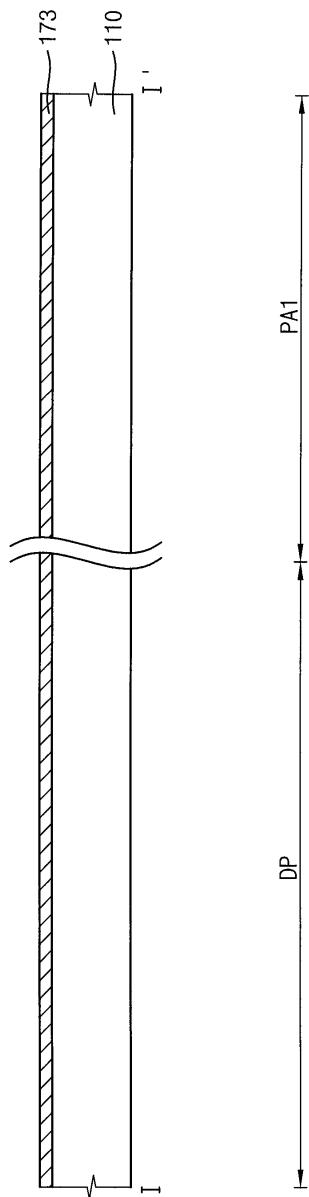
도면4g



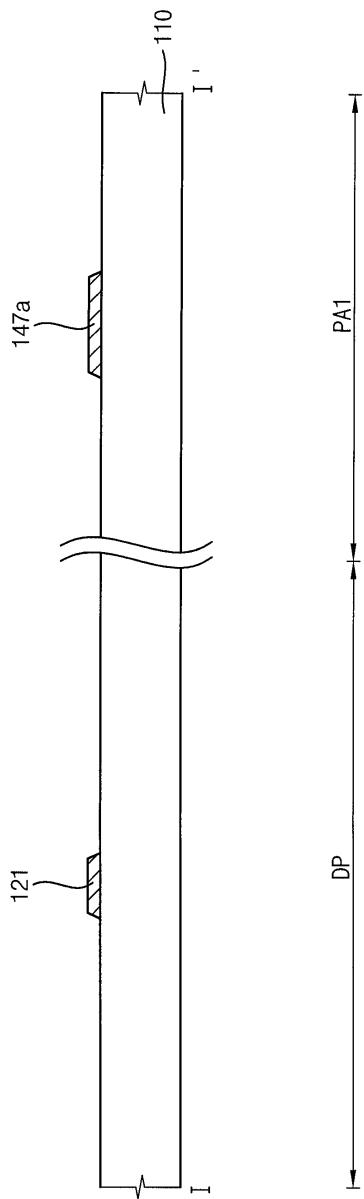
도면5



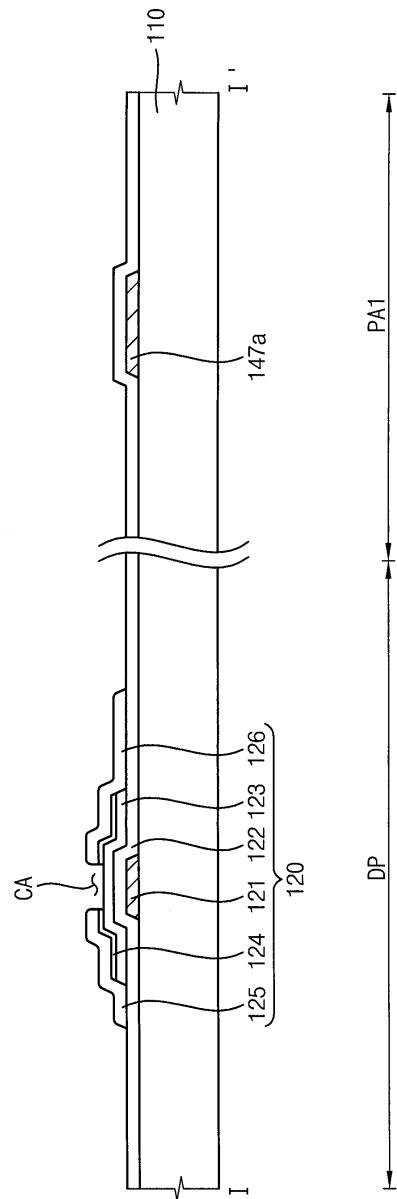
도면6a



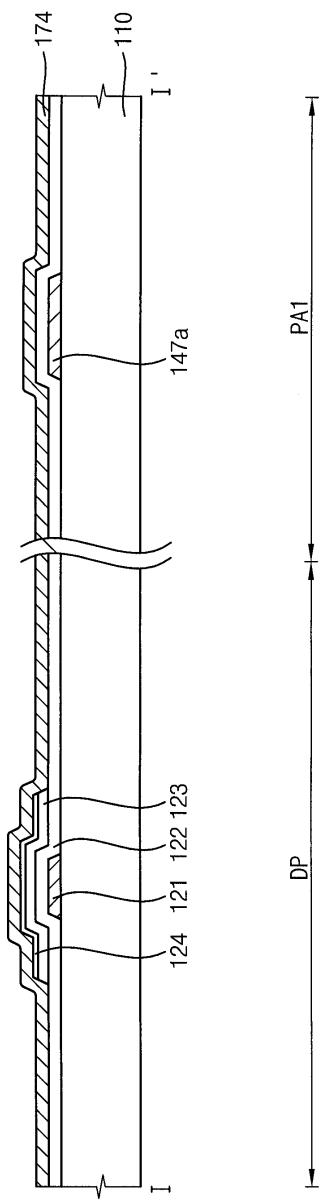
도면6b



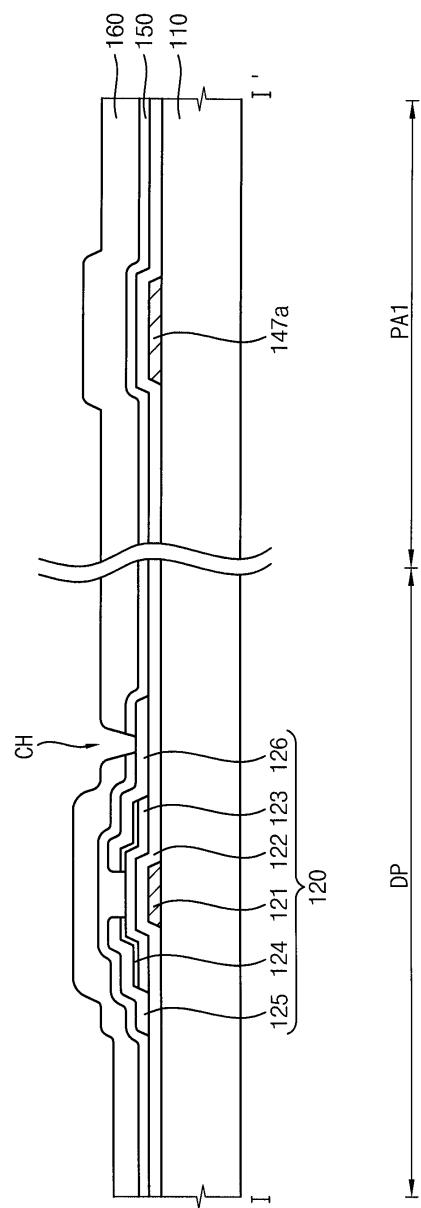
도면6c



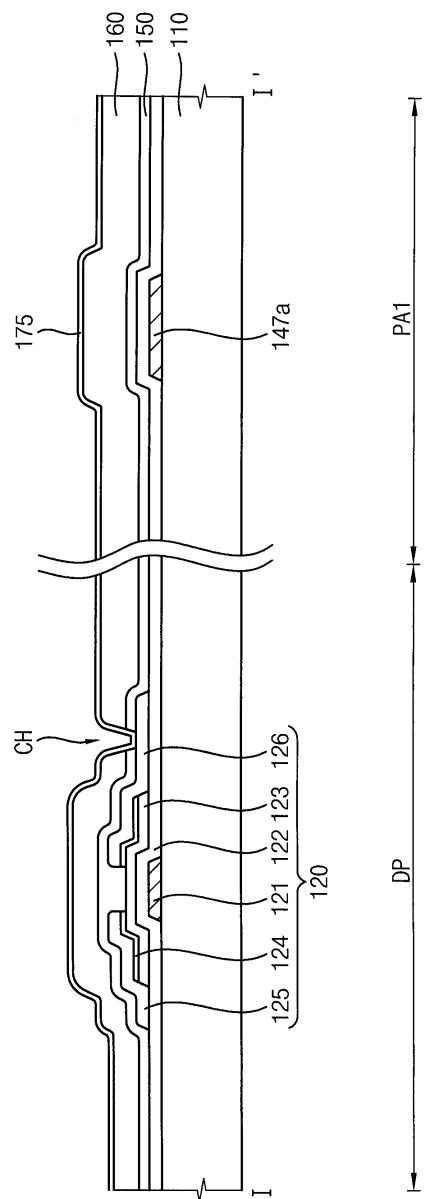
도면6d



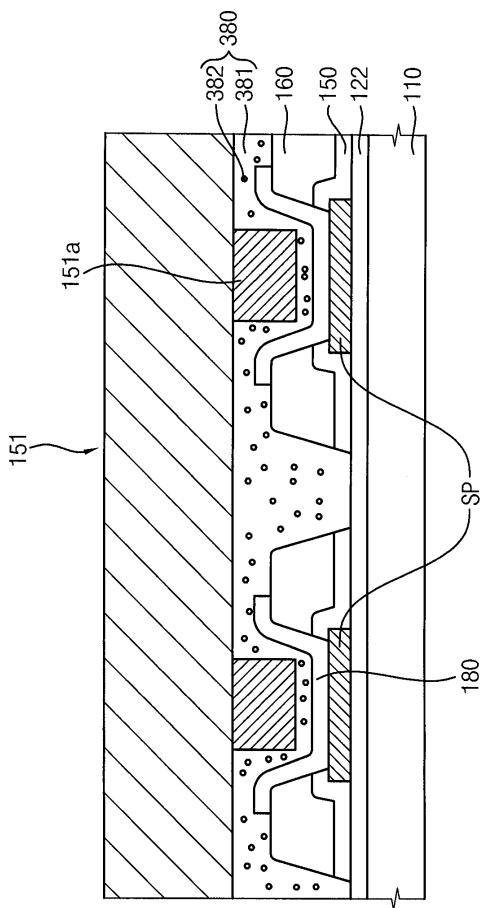
도면6e



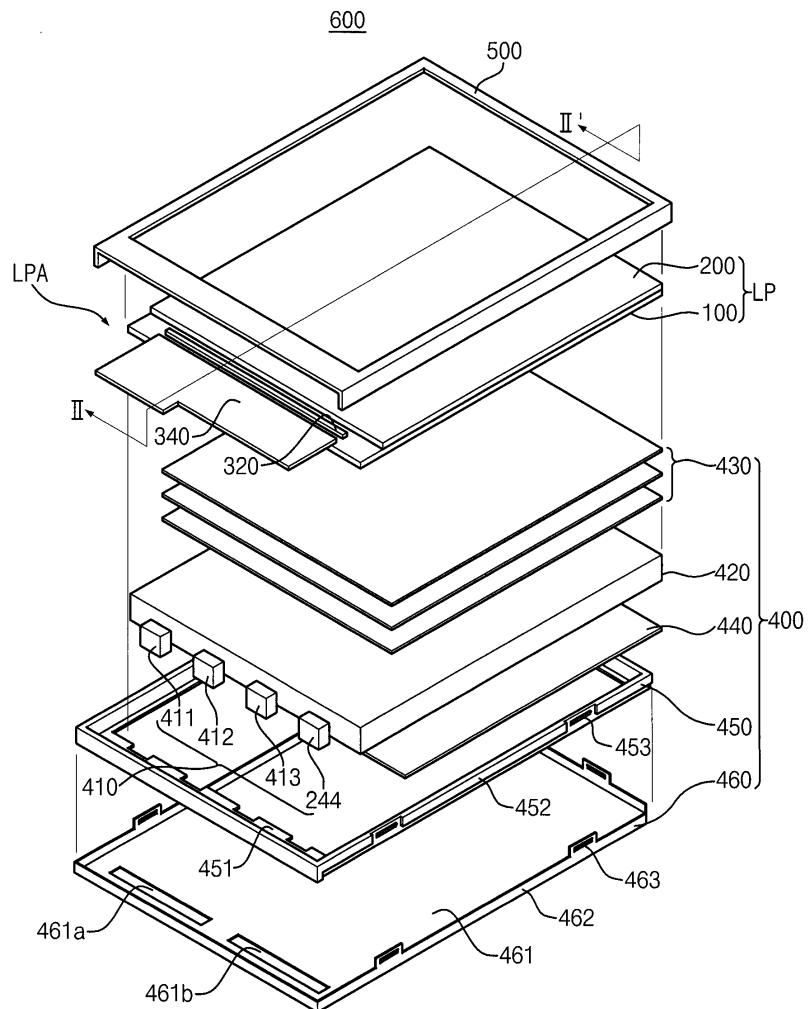
도면6f



도면7

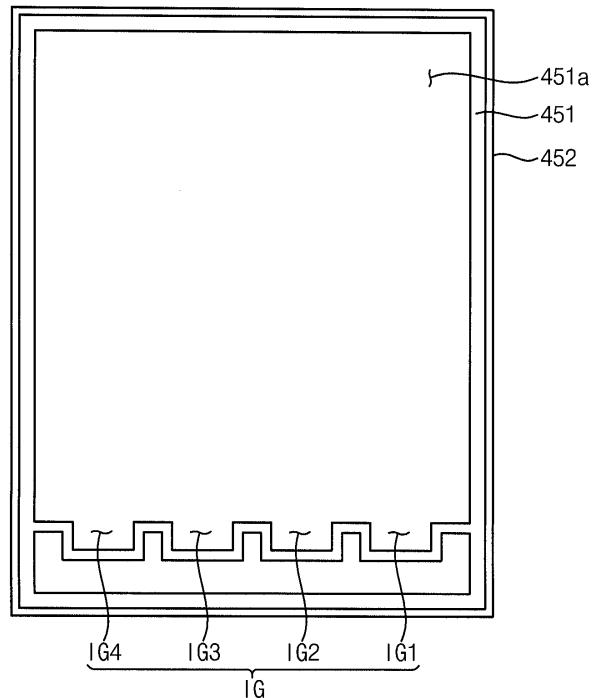


도면8



도면9

450



도면10

