

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5727816号  
(P5727816)

(45) 発行日 平成27年6月3日 (2015.6.3)

(24) 登録日 平成27年4月10日 (2015.4.10)

(51) Int.Cl.

F I

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 6 S

H O 1 L 21/28 (2006.01)

H O 1 L 21/28 3 0 1 B

H O 1 L 29/417 (2006.01)

H O 1 L 21/28 3 0 1 R

H O 1 L 29/50 M

H O 1 L 29/78 6 1 8 B

請求項の数 1 (全 32 頁)

(21) 出願番号 特願2011-35293 (P2011-35293)  
 (22) 出願日 平成23年2月22日 (2011.2.22)  
 (65) 公開番号 特開2011-199264 (P2011-199264A)  
 (43) 公開日 平成23年10月6日 (2011.10.6)  
 審査請求日 平成26年1月9日 (2014.1.9)  
 (31) 優先権主張番号 特願2010-43137 (P2010-43137)  
 (32) 優先日 平成22年2月26日 (2010.2.26)  
 (33) 優先権主張国 日本国 (JP)

(73) 特許権者 000153878  
 株式会社半導体エネルギー研究所  
 神奈川県厚木市長谷 3 9 8 番地  
 (72) 発明者 須沢 英臣  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 笹川 慎也  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内  
 (72) 発明者 倉田 求  
 神奈川県厚木市長谷 3 9 8 番地 株式会社  
 半導体エネルギー研究所内

審査官 綿引 隆

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項 1】

酸化物半導体層と、  
 前記酸化物半導体層と接する領域を有するソース電極と、  
 前記酸化物半導体層と接する領域を有するドレイン電極と、  
 前記酸化物半導体層と重なる領域を有するゲート電極と、  
 前記酸化物半導体層と前記ゲート電極との間に設けられたゲート絶縁層と、を有し、  
 前記ソース電極及び前記ドレイン電極は、第 1 の導電層と、第 2 の導電層と、を有し、  
 前記第 2 の導電層は、前記ゲート電極と重畳する領域であって、且つ、前記第 1 の導電層の端部よりチャンネル長方向に伸長した領域を有し、  
 当該領域の上にサイドウォール絶縁層を有し、  
 前記サイドウォール絶縁層は、第 1 の材料層と、第 2 の材料層と、を有し、  
 前記第 1 の材料層と前記第 2 の材料層は異なり、  
 前記ソース電極は、前記ソース電極の端部において前記酸化物半導体層と接し、  
 前記ドレイン電極は、前記ドレイン電極の端部において前記酸化物半導体層と接し、  
 前記ソース電極の上面及び前記ドレイン電極の上面と、前記酸化物半導体層との間に、  
 絶縁層を有することを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

発明の技術分野は、半導体装置に関する。ここで、半導体装置とは、半導体特性を利用することで機能する素子および装置全般を指すものである。

【背景技術】

【0002】

金属酸化物は多様に存在し、さまざまな用途に用いられている。酸化インジウムはよく知られた材料であり、液晶表示装置などに必要とされる透明電極の材料として用いられている。

【0003】

金属酸化物の中には半導体特性を示すものがある。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような金属酸化物をチャネル形成領域に用いた薄膜トランジスタが既に知られている（例えば、特許文献1乃至特許文献4、非特許文献1等参照）。

10

【0004】

ところで、金属酸化物としては、単元系酸化物のみでなく多元系酸化物も知られている。例えば、ホモロガス相を有する  $\text{InGaO}_3(\text{ZnO})_m$  ( $m$ : 自然数) は、In、Ga および Zn を有する多元系酸化物半導体 (In-Ga-Zn系酸化物とも表記する) として知られている（例えば、非特許文献2乃至非特許文献4等参照）。

【0005】

そして、上記のような In-Ga-Zn系酸化物で構成される酸化物半導体も、薄膜トランジスタのチャネル形成領域に適用可能であることが確認されている（例えば、特許文献5、非特許文献5および非特許文献6等参照）。

20

【先行技術文献】

【特許文献】

【0006】

【特許文献1】特開昭60-198861号公報

【特許文献2】特開平8-264794号公報

【特許文献3】特表平11-505377号公報

【特許文献4】特開2000-150900号公報

【特許文献5】特開2004-103957号公報

【非特許文献】

30

【0007】

【非特許文献1】M. W. Prins, K. O. Grosse-Holz, G. Muller, J. F. M. Cillessen, J. B. Giesbers, R. P. Weening, and R. M. Wolf, 「A ferroelectric transparent thin-film transistor」、Appl. Phys. Lett., 17 June 1996, Vol. 68 p. 3650-3652

【非特許文献2】M. Nakamura, N. Kimizuka, and T. Mohri, 「The Phase Relations in the  $\text{In}_2\text{O}_3$ - $\text{Ga}_2\text{ZnO}_4$ -ZnO System at 1350 °C」、J. Solid State Chem., 1991, Vol. 93, p. 298-315

40

【非特許文献3】N. Kimizuka, M. Isobe, and M. Nakamura, 「Syntheses and Single-Crystal Data of Homologous Compounds,  $\text{In}_2\text{O}_3(\text{ZnO})_m$  ( $m=3, 4$ , and  $5$ ),  $\text{InGaO}_3(\text{ZnO})_3$ , and  $\text{Ga}_2\text{O}_3(\text{ZnO})_m$  ( $m=7, 8, 9$ , and  $16$ ) in the  $\text{In}_2\text{O}_3$ - $\text{ZnGa}_2\text{O}_4$ -ZnO System」、J. Solid State Chem., 1995, Vol. 116, p. 170-178

【非特許文献4】中村真佐樹、君塚昇、毛利尚彦、磯部光正、「ホモロガス相、 $\text{InFeO}_3(\text{ZnO})_m$  ( $m$ : 自然数) とその同型化合物の合成および結晶構造」、固体物理、

50

1993年、Vol. 28、No. 5、p. 317 - 327

【非特許文献5】K. Nomura, H. Ohta, K. Ueda, T. Kamiya, M. Hirano, and H. Hosono, 「Thin-film transistor fabricated in single-crystalline transparent oxide semiconductor」、SCIENCE、2003、Vol. 300、p. 1269 - 1272

【非特許文献6】K. Nomura, H. Ohta, A. Takagi, T. Kamiya, M. Hirano, and H. Hosono, 「Room-temperature fabrication of transparent flexible thin-film transistors using amorphous oxide semiconductors」、NATURE、2004、Vol. 432 p. 488 - 492

10

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0008】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、低価格化、などを達成するためには、トランジスタの微細化は必須である。

#### 【0009】

トランジスタを微細化する場合には、製造工程において発生する不良が大きな問題となる。例えば、ソース電極およびドレイン電極と、チャネル形成領域とは電氣的に接続されるが、微細化に伴う被覆性の低下などに起因して、断線や接続不良などが生じうる。

20

#### 【0010】

また、トランジスタを微細化する場合には、短チャネル効果の問題も生じる。短チャネル効果とは、トランジスタの微細化（チャネル長（ $L$ ）の縮小）に伴って顕在化する電気特性の劣化である。短チャネル効果は、ドレインの電界の影響がソースにまでおよぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスイング値（ $S$  値）の増大、漏れ電流の増大などがある。特に、酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタと比較して、室温においてオフ電流が小さいことが知られており、これは熱励起により生じるキャリアが少ない、つまりキャリア密度が小さいためと考えられる。キャリア密度が小さい材料を用いたトランジスタでは、しきい値電圧の低下などの短チャネル効果が現れやすい傾向にある。

30

#### 【0011】

そこで、開示する発明の一態様は、不良を抑制しつつ微細化を達成した半導体装置の提供を目的の一とする。または、良好な特性を維持しつつ微細化を達成した半導体装置の提供を目的の一とする。

#### 【課題を解決するための手段】

#### 【0012】

本発明の一態様は、酸化物半導体層と、酸化物半導体層と接するソース電極及びドレイン電極と、酸化物半導体層と重なるゲート電極と、酸化物半導体層とゲート電極との間に設けられたゲート絶縁層と、を有し、ソース電極またはドレイン電極は、第1の導電層と、ゲート電極と一部が重畳するように第1の導電層の端部よりチャネル長方向に伸長した領域を有する第2の導電層と、を含み、第2の導電層の伸長した領域の上にサイドウォール絶縁層を有し、サイドウォール絶縁層は、異なる複数の材料層が積層される半導体装置である。

40

#### 【0013】

上記において、サイドウォール絶縁層の異なる複数の材料層として、窒化物絶縁層と酸化物絶縁層とが積層されることが好ましい。また、サイドウォール絶縁層は、窒化物絶縁層上に酸化物絶縁層が設けられることが好ましい。

#### 【0014】

上記において、窒化物絶縁層は、窒化シリコン、窒化酸化シリコンまたは窒化アルミニウ

50

ムを含む膜であり、酸化物絶縁層は、酸化シリコン、酸化窒化シリコンまたは酸化アルミニウムを含む膜であることが好ましい。

【0015】

上記において、第1の導電層および第2の導電層はテーパー形状としても良い。また、第2の導電層は、金属の窒化物としても良い。また、第2の導電層の膜厚は5 nm以上15 nm以下にすると良い。

【0016】

また、上記において、ソース電極またはドレイン電極は、その端部において酸化物半導体層と接し、かつ、ソース電極またはドレイン電極の上面と、酸化物半導体層との間に、絶縁層を有すると良い。

10

【0017】

ここで半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。例えば、表示装置や記憶装置、集積回路などは半導体装置に含まれる。

【0018】

また、本明細書等において「上」や「下」という用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むことを除外しない。

【0019】

また、本明細書等において「電極」や「配線」という用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」という用語は、複数の「電極」や「配線」が一体となって形成されている場合などをも含む。

20

【0020】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などによっては入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0021】

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

30

【発明の効果】

【0022】

開示する発明の一態様によって、以下のいずれか、または双方の効果を達成することが可能である。

【0023】

第一に、ソース電極またはドレイン電極を第1の導電層と第2の導電層の積層構造として、第2の導電層に、ゲート電極と一部が重畳するように第1の導電層の端部よりチャンネル長方向に伸長した領域を設けることで、ソース電極またはドレイン電極上に半導体層を形成する際の被覆性が向上する。このため、接続不良などの発生が抑制される。

40

【0024】

第二に、ソース電極またはドレイン電極において、チャンネル形成領域と接する領域の近傍を高抵抗領域とすることで、ソース電極とドレイン電極の間の電界を緩和することができる。このため、しきい値電圧低下などの短チャンネル効果を抑制することができる。

【0025】

このような効果により、微細化に伴う問題点が解消されることになるため、結果として、

50

トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなり、半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、同等の機能を保ったまま半導体装置が小型化されるため、大きさを同程度とする場合には、さらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化物半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。

【0026】

さらに、トランジスタにおいて、サイドウォール絶縁層を、異なる材料層を用いて形成することにより、第2の導電層の膜厚のばらつきを低減することができる。これにより、第2の導電層と酸化物半導体層との接触面積のばらつきを低減することができるため、基板面内におけるトランジスタの電気的特性のばらつきを低減することができる。

【0027】

このように、開示する発明の一態様によって、不良を抑制しつつ、または、良好な特性を維持しつつ、微細化を達成した半導体装置を提供することができる。

【図面の簡単な説明】

【0028】

【図1】半導体装置の断面図。

【図2】半導体装置の作製工程に係る断面図。

【図3】半導体装置の作製工程に係る断面図。

【図4】半導体装置の断面図。

【図5】半導体装置の回路図の例。

【図6】半導体装置の回路図の例。

【図7】半導体装置の回路図の例。

【図8】電子機器の例。

【発明を実施するための形態】

【0029】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0030】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解を容易にするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等を開示された位置、大きさ、範囲などに限定されない。

【0031】

なお、本明細書等における「第1」、「第2」、「第3」などの序数は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0032】

(実施の形態1)

本実施の形態では、開示する発明の一態様に係る半導体装置の構成およびその作製工程の例について、図1乃至図4を参照して説明する。

【0033】

半導体装置の構成例

図1に、半導体装置の例として、トランジスタの断面構造を示す。図1では、開示する発明の一態様に係るトランジスタとして、トップゲート型のトランジスタを示している。

【0034】

図1に示すトランジスタ260は、基板200上に、第2の導電層245a及び第1の導電層242aが順に積層されたソース電極と、第2の導電層245b及び第1の導電層2

10

20

30

40

50

4 2 b が順に積層されたドレイン電極と、ソース電極に接して設けられたサイドウォール絶縁層 2 5 2 a と、ドレイン電極に接して設けられたサイドウォール絶縁層 2 5 2 b と、ソース電極上に設けられた絶縁層 2 4 3 a と、ドレイン電極上に設けられた絶縁層 2 4 3 b と、絶縁層 2 4 3 a 及び絶縁層 2 4 3 b、サイドウォール絶縁層 2 5 2 a 及びサイドウォール絶縁層 2 5 2 b、基板 2 0 0 上に設けられた酸化物半導体層 2 4 4 と、酸化物半導体層 2 4 4 上に設けられたゲート絶縁層 2 4 6 と、ゲート絶縁層 2 4 6 上に設けられたゲート電極 2 4 8 と、を有している。

【 0 0 3 5 】

図 1 に示すトランジスタ 2 6 0 において、第 2 の導電層 2 4 5 a は、ゲート電極と一部が重畳するように第 1 の導電層 2 4 2 a の端部からチャンネル長方向に伸長した領域を有しており、第 2 の導電層 2 4 5 a と酸化物半導体層 2 4 4 の少なくともチャンネル形成領域とは接している。また、第 2 の導電層 2 4 5 b は、ゲート電極と一部が重畳するように第 1 の導電層 2 4 2 b の端部からチャンネル長方向に伸長した領域を有しており、第 2 の導電層 2 4 5 b と酸化物半導体層 2 4 4 の少なくともチャンネル形成領域とは接している。

【 0 0 3 6 】

さらに、図 1 に示すトランジスタ 2 6 0 は、第 2 の導電層 2 4 5 a において、ゲート電極と一部が重畳するように第 1 の導電層 2 4 2 a の端部からチャンネル長方向に伸長した領域上に、サイドウォール絶縁層 2 5 2 a を有し、第 2 の導電層 2 4 5 b において、ゲート電極と一部が重畳するように第 1 の導電層 2 4 2 b の端部からチャンネル長方向に伸長した領域の上に、サイドウォール絶縁層 2 5 2 b を有している。

【 0 0 3 7 】

サイドウォール絶縁層 2 5 2 a は、絶縁層 2 5 3 a と絶縁層 2 5 4 a との積層構造で設けられている。絶縁層 2 5 3 a は、第 2 の導電層 2 4 5 a、第 1 の導電層 2 4 2 a、及び絶縁層 2 4 3 a に接して設けられており、絶縁層 2 5 4 a は、酸化物半導体層 2 4 4 と接して設けられ、酸化物半導体層 2 4 4 と接する領域の少なくとも一部は湾曲形状を有している。同様に、サイドウォール絶縁層 2 5 2 b は、絶縁層 2 5 3 b と絶縁層 2 5 4 b との積層構造で設けられている。絶縁層 2 5 3 b は、第 2 の導電層 2 4 5 b、第 1 の導電層 2 4 2 b、及び絶縁層 2 4 3 b に接して設けられており、絶縁層 2 5 4 b は、酸化物半導体層 2 4 4 と接して設けられ、酸化物半導体層 2 4 4 と接する領域の少なくとも一部は湾曲形状を有している。

【 0 0 3 8 】

トランジスタの作製工程の例

以下、図 2 及び図 3 を用いて、図 1 に示すトランジスタの作製工程の例について説明する。

【 0 0 3 9 】

まず、絶縁表面を有する基板 2 0 0 上に第 2 の導電膜 2 4 5 を形成する。次いで、第 2 の導電膜 2 4 5 上に、第 1 の導電膜 2 4 2 を形成し、該第 1 の導電膜 2 4 2 上に絶縁膜 2 4 3 を形成する（図 2 ( A ) 参照）。

【 0 0 4 0 】

基板 2 0 0 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、ガラス基板、セラミック基板、石英基板、サファイア基板など基板を用いることができる。また、絶縁表面を有していれば、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板などを適用することも可能であり、これらの基板上に半導体素子が設けられていてもよい。また、基板 2 0 0 上に下地膜が設けられていても良い。

【 0 0 4 1 】

第 2 の導電膜 2 4 5 の膜厚は、3 n m 以上 3 0 n m 以下、好ましくは 5 n m 以上 1 5 n m 以下とする。第 2 の導電膜 2 4 5 は、スパッタ法をはじめとする P V D 法や、プラズマ C V D 法などの C V D 法を用いて形成することができる。

## 【0042】

第2の導電膜245の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素やこれらの窒化物、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を追加した材料、またはこれらを複数組み合わせた材料を用いてもよい。また、酸化インジウム( $\text{In}_2\text{O}_3$ )、酸化スズ( $\text{SnO}_2$ )、酸化亜鉛( $\text{ZnO}$ )、酸化インジウム酸化スズ合金( $\text{In}_2\text{O}_3 - \text{SnO}_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金( $\text{In}_2\text{O}_3 - \text{ZnO}$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させた導電性の金属酸化物を用いても良い。

10

## 【0043】

第1の導電膜242は、第2の導電膜245と同様の材料及び同様の成膜方法で形成することができる。第1の導電膜242の膜厚は、例えば、50nm以上500nm以下とする。なお、第1の導電膜242は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。

## 【0044】

ただし、第1の導電膜242と、第2の導電膜245とは、エッチング選択比が確保される材料を用いる。第2の導電膜245と第1の導電膜242とのエッチング選択比が確保される材料の組み合わせを満たす構造としては、例えば、窒化タングステン膜上にチタン膜を積層した2層構造、窒化チタン膜上にタングステン膜を積層した2層構造、窒化モリブデン膜上にチタン膜を積層した2層構造、または窒化タンタル膜上にタングステン膜を積層した2層構造などが挙げられる。

20

## 【0045】

なお、第2の導電膜245の材料として、後に形成する酸化物半導体層よりも仕事関数の高い金属材料を用いると、酸化物半導体層との接触界面での抵抗を高めることができるため好ましい。このような金属材料としては、例えば、金、白金、窒化タングステン、酸化インジウム酸化スズ合金等が挙げられる。また、第2の導電膜245の材料として第1の導電膜242よりも高抵抗な材料を用いると、作製されるトランジスタ260のソース電極及びドレイン電極において、酸化物半導体層のチャネル形成領域と接する領域が、その他の領域よりも高抵抗となるため、ソース電極とドレイン電極の間の電界を緩和して短チャネル効果を抑制することができ、好ましい。また、第2の導電膜245はソース電極またはドレイン電極の一部となり酸化物半導体層と接するから、第2の導電膜245には、酸化物半導体層との接触により化学反応しない材料を用いるのが望ましい。

30

## 【0046】

本実施の形態においては、第2の導電膜245として窒化モリブデン膜を形成し、第1の導電膜242としてチタン膜を形成する。

## 【0047】

絶縁膜243は、膜厚50nm以上300nm以下、好ましくは、100nm以上200nm以下で形成する。本実施の形態においては、絶縁膜243として、酸化シリコン膜を形成する。なお、絶縁膜243は必ずしも形成しなくてもよいが、絶縁膜243を設ける場合には、後のエッチングにより形成されるソース電極またはドレイン電極と、酸化物半導体層との接触領域(接触面積など)の制御が容易になる。つまり、ソース電極またはドレイン電極の抵抗の制御が容易になり、短チャネル効果の抑制を効果的に行うことができる。また、絶縁膜243を設けることにより、後に形成されるゲート電極と、ソース電極及びドレイン電極と、の間の寄生容量を低減することが可能である。

40

## 【0048】

次いで、絶縁膜243上にマスクを形成し、該マスクを用いて絶縁膜243をエッチング

50

することにより、絶縁層 2 4 3 a、絶縁層 2 4 3 b を形成する。絶縁膜 2 4 3 のエッチングには、ウェットエッチングまたはドライエッチングを用いることができ、ウェットエッチングとドライエッチングを組み合わせる用いてもよい。絶縁膜 2 4 3 を所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定するものとする。ただし、トランジスタのチャンネル長（ $L$ ）を微細に加工するためには、ドライエッチングを用いるのが好ましい。ドライエッチングに用いるエッチングガスとしては、例えば、六フッ化硫黄（ $SF_6$ ）、三フッ化窒素（ $NF_3$ ）、トリフルオロメタン（ $CHF_3$ ）、オクタフルオロシクロブタン（ $C_4F_8$ ）などのフッ素を含むガス、塩素（ $Cl_2$ ）、三塩化ホウ素（ $BCl_3$ ）、などの塩素を含むガス、四フッ化メタン（ $CF_4$ ）と水素の混合ガス等を用いることができ、希ガス（ヘリウム（ $He$ ）、アルゴン（ $Ar$ ）、キセノン（ $Xe$ ））、一酸化炭素、二酸化炭素等を添加しても良い。

10

#### 【0049】

次いで、絶縁膜 2 4 3 のエッチングに用いたマスクを用いて、第 1 の導電膜 2 4 2 をエッチングすることにより、第 1 の導電層 2 4 2 a、第 1 の導電層 2 4 2 b を形成する（図 2（B）参照）。なお、第 1 の導電膜 2 4 2 をエッチングする際には、第 2 の導電膜 2 4 5 とのエッチングの選択比が確保されるエッチング材料（エッチングガスやエッチング液）を用いる。また、第 1 の導電膜 2 4 2 をエッチングする前にマスクを除去し、絶縁層 2 4 3 a 及び絶縁層 2 4 3 b をマスクとして用いて第 1 の導電膜 2 4 2 をエッチングしても良い。

20

#### 【0050】

第 1 の導電膜 2 4 2 のエッチングには、ウェットエッチングまたはドライエッチングを用いることができる。また、ウェットエッチングとドライエッチングを組み合わせる用いてもよい。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定するものとする。ただし、トランジスタのチャンネル長（ $L$ ）を微細に加工するためには、ドライエッチングを用いるのが好ましい。本実施の形態においては、三塩化ホウ素（ $BCl_3$ ）と塩素（ $Cl_2$ ）の混合ガス、四フッ化メタン（ $CF_4$ ）と塩素（ $Cl_2$ ）と酸素（ $O_2$ ）との混合ガス、四フッ化メタン（ $CF_4$ ）と酸素（ $O_2$ ）の混合ガス、フッ化硫黄（ $SF_6$ ）と塩素（ $Cl_2$ ）と酸素（ $O_2$ ）との混合ガス、または、フッ化硫黄（ $SF_6$ ）と酸素（ $O_2$ ）との混合ガスをエッチングガスとして用いたドライエッチングによって第 1 の導電膜 2 4 2 を加工する。

30

#### 【0051】

次に、絶縁層 2 4 3 a、絶縁層 2 4 3 b、および露出した第 2 の導電膜 2 4 5 を覆うように絶縁膜 2 5 3 を形成した後、絶縁膜 2 5 3 上に絶縁膜 2 5 4 を形成する（図 2（C）参照）。絶縁膜 2 5 3 および絶縁膜 2 5 4 は、CVD 法やスパッタリング法を用いて形成することができる。絶縁膜 2 5 3 および絶縁膜 2 5 4 は、窒化シリコン、窒化酸化シリコン、窒化アルミニウムなどの窒化物絶縁層、酸化シリコン、酸化窒化シリコン、酸化アルミニウムなどの酸化物絶縁層を用いることができる。ここでは、絶縁膜 2 5 3 は窒化物絶縁層、絶縁膜 2 5 4 は酸化物絶縁層を用いることが好ましい。

40

#### 【0052】

次に、絶縁膜 2 5 4 をエッチングすることにより、絶縁層 2 5 4 a、絶縁層 2 5 4 b を形成する（図 2（D）参照）。絶縁層 2 5 4 a、絶縁層 2 5 4 b は、絶縁膜 2 5 4 に異方性の高いエッチング処理を行うことで、自己整合的に形成することができる。ここで、異方性の高いエッチングとしては、ドライエッチングが好ましく、例えば、エッチングガスとして、トリフルオロメタン（ $CHF_3$ ）、オクタフルオロシクロブタン（ $C_4F_8$ ）、テトラフルオロメタン（ $CF_4$ ）などのフッ素を含むガスを用いることができ、ヘリウム（ $He$ ）やアルゴン（ $Ar$ ）などの希ガスまたは水素（ $H_2$ ）を添加しても良い。さらに、ドライエッチングとして、基板に高周波電圧を印加する、反応性イオンエッチング法（RIE 法）を用いるのが好ましい。

50



## 【 0 0 5 3 】

例えば、絶縁膜 2 5 3 に窒化物絶縁層、絶縁膜 2 5 4 に酸化物絶縁層を用いた場合、絶縁膜 2 5 4 のエッチングの際、絶縁膜 2 5 3 はエッチングストッパーとして機能させることができる。絶縁膜 2 5 3 をエッチングストッパーとして用いることにより、第 2 の導電膜 2 4 5 への過剰なエッチングを抑制することができる。また、絶縁膜 2 5 3 を用いることにより、絶縁膜 2 5 4 のエッチングの終点（エンドポイント）も検出が容易になる。また、サイドウォール絶縁層 2 5 2 a、サイドウォール絶縁層 2 5 2 b の長さの制御が容易になる。

## 【 0 0 5 4 】

次に、絶縁層 2 5 4 a、絶縁層 2 5 4 b をマスクとして、絶縁膜 2 5 3 を選択的にエッチングし、絶縁層 2 5 3 a、絶縁層 2 5 3 b を形成する（図 2（E）参照）。これにより、第 2 の導電膜 2 4 5 上であって、第 1 の導電層 2 4 2 a と第 1 の導電層 2 4 2 b の間の領域に、絶縁層 2 5 3 a と絶縁層 2 5 4 a からなるサイドウォール絶縁層 2 5 2 a と、絶縁層 2 5 3 b と絶縁層 2 5 4 b からなるサイドウォール絶縁層 2 5 2 b を形成することができる。

10

## 【 0 0 5 5 】

次に、サイドウォール絶縁層 2 5 2 a、サイドウォール絶縁層 2 5 2 b をマスクとして第 2 の導電膜 2 4 5 を選択的にエッチングし、第 2 の導電層 2 4 5 a、第 2 の導電層 2 4 5 b を形成する（図 3（A）参照）。このエッチング工程によって、第 2 の導電層 2 4 5 a 及び第 1 の導電層 2 4 2 a が積層したソース電極と、第 2 の導電層 2 4 5 b 及び第 1 の導電層 2 4 2 b が積層したドレイン電極とが形成される。

20

## 【 0 0 5 6 】

第 2 の導電膜 2 4 5 のエッチングには、ウェットエッチングまたはドライエッチングを用いることができる。また、ウェットエッチングとドライエッチングを組み合わせる用いてもよい。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定するものとする。ただし、トランジスタのチャネル長（L）を微細に加工するためには、ドライエッチングを用いるのが好ましい。第 2 の導電膜 2 4 5 のエッチングにドライエッチングを用いる場合、エッチングガスとしては、例えば、塩素（ $\text{Cl}_2$ ）、三塩化ホウ素（ $\text{BCl}_3$ ）、四塩化ケイ素（ $\text{SiCl}_4$ ）、四フッ化メタン（ $\text{CF}_4$ ）六フッ化硫黄（ $\text{SF}_6$ ）、フッ化窒素（ $\text{NF}_3$ ）等を用いることができ、これらのうちから複数を選択した混合ガスを用いることもできる。また、これらに、希ガス（ヘリウム（ $\text{He}$ ）、アルゴン（ $\text{Ar}$ ））、酸素等を添加しても良い。

30

## 【 0 0 5 7 】

ここで、サイドウォール絶縁層を単層の絶縁層で形成した場合、サイドウォール絶縁層を形成する際に、第 2 の導電膜 2 4 5 が不均一にエッチングされてしまうおそれがある。すると、第 2 の導電層 2 4 5 a、第 2 の導電層 2 4 5 b を形成する際に、第 2 の導電膜 2 4 5 に対して均一にエッチングを行うことができず、基板面内において第 2 の導電層 2 4 5 a、第 2 の導電層 2 4 5 b の膜厚などにばらつきが生じてしまう。これにより、後に形成される酸化物半導体層と、第 2 の導電層 2 4 5 a、第 2 の導電層 2 4 5 b との接触面積がばらついてしまい、基板面内においてトランジスタの電気的特性のばらつきが生じる可能性がある。

40

## 【 0 0 5 8 】

本実施の形態に示すように、絶縁膜 2 5 4 をエッチングして絶縁層 2 5 4 a、絶縁層 2 5 4 b を形成した後、絶縁膜 2 5 3 をエッチングして絶縁層 2 5 3 a、絶縁層 2 5 3 b を形成して、サイドウォール絶縁層 2 5 2 a、サイドウォール絶縁層 2 5 2 b を形成することにより、サイドウォール絶縁層を形成する際に第 2 の導電膜 2 4 5 が不均一にエッチングされてしまうことを防止することができる。そのため、第 2 の導電層 2 4 5 a、第 2 の導電層 2 4 5 b を形成する際に、第 2 の導電膜 2 4 5 に対して均一にエッチングを行うことができるため、基板面内において第 2 の導電層 2 4 5 a、第 2 の導電層 2 4 5 b の膜厚な

50

どを制御することができる。これにより、後に形成される酸化物半導体層と、第2の導電層245a、第2の導電層245bの接触面積のばらつきを低減することができるため、基板面内においてトランジスタの電気的特性のばらつきを低減することができる。

【0059】

トランジスタ260のチャンネル長(L)は、第2の導電層245aの端部と第2の導電層245bの端部との間隔によって決定される。チャンネル長(L)は、トランジスタ260の用途によって異なるが、例えば10nm以上1000nm以下、好ましくは20nm以上400nm以下とすることができる。

【0060】

なお、本実施の形態で示すトランジスタの作製工程では、サイドウォール絶縁層252aを用いて第2の導電膜245をエッチングしているため、第2の導電層245aにおいて、後に示すゲート電極248と一部が重畳するように第1の導電層242aの端部からチャンネル長方向に伸長した領域のチャンネル長方向の長さ(L<sub>s</sub>)と、サイドウォール絶縁層252aの底面のチャンネル長方向の長さは略一致している。同様に、サイドウォール絶縁層252bを用いて第2の導電膜245をエッチングしているため、第2の導電層245bにおいて、後に示すゲート電極248と一部が重畳するように第1の導電層242bの端部からチャンネル長方向に伸長した領域のチャンネル長方向の長さ(L<sub>d</sub>)と、サイドウォール絶縁層252bの底面のチャンネル長方向の長さは略一致している。サイドウォール絶縁層252a、サイドウォール絶縁層252bは、絶縁膜254および絶縁膜253のエッチング処理によって自己整合的に形成されるため、上記(L<sub>s</sub>)または(L<sub>d</sub>)は、絶縁膜254および絶縁膜253の膜厚によって決定される。つまり、絶縁膜254および絶縁膜253の膜厚を制御することで、トランジスタ260のチャンネル長(L)を微細に調整することができる。例えば、トランジスタ260のチャンネル長(L)を、マスク形成のための露光装置の最小加工寸法より微細に調整することもできる。このため、トランジスタ260の所望のチャンネル長(L)および、第1の導電層242a、第1の導電層242bの加工に用いる露光装置の解像度等に応じて、絶縁膜253、絶縁膜254の膜厚を決定すればよい。

【0061】

次に、絶縁層243a、絶縁層243b、サイドウォール絶縁層252a、サイドウォール絶縁層252bを覆い、且つ、第2の導電層245a及び第2の導電層245bに接するように酸化物半導体層244をスパッタ法によって形成する(図3(B)参照)。

【0062】

トランジスタ260のソース電極は、第2の導電層245aの端部、具体的には、第1の導電層242aの端部よりもチャンネル長方向に伸長した領域の端部において、酸化物半導体層244と接している。また、ドレイン電極は、第2の導電層245bの端部、具体的には、第1の導電層242bの端部よりもチャンネル長方向に伸長した領域の端部において、酸化物半導体層244と接している。

【0063】

このように、第2の導電層245a、第2の導電層245bの端部において酸化物半導体層244と接することで、ソース電極またはドレイン電極の上面においても酸化物半導体層244と接する場合、または、第1の導電層242a、第1の導電層242bの端部において酸化物半導体層244と接する場合と比較して、ソース電極またはドレイン電極と酸化物半導体層244との接触面積を大幅に低減することができる。このため、接触界面におけるコンタクト抵抗を増大させることができる。加えて、第2の導電層を第1の導電層よりも高抵抗な材料を用いて作製すると、より効果的にコンタクト抵抗を高めることができるため、好ましい。

【0064】

また、ソース電極中の第2の導電層245aにおける、後に示すゲート電極248と一部が重畳するように第1の導電層242aの端部よりチャンネル長方向に伸長した領域(第2の導電層の単層でなる領域)は、他の領域(第1の導電層と第2の導電層の積層でなる領

10

20

30

40

50

域)と比較して電極の厚さが小さい。つまり、電荷の流れに垂直な断面の面積が小さくなっている。抵抗は断面積に反比例するから、第2の導電層245aにおける、後に示すゲート電極248と一部が重畳するように第1の導電層242aの端部よりチャンネル長方向に伸長した領域は、他の領域と比較して抵抗が高い、高抵抗領域(HRR: High-Resistance Region)であるといえることができる。第2の導電層245bについても同様のことがいえる。

#### 【0065】

本実施の形態で示すトランジスタ260は、ソース電極またはドレイン電極と酸化半導体層244とのコンタクト抵抗を高め、また、ソース電極またはドレイン電極において酸化半導体層244のチャンネル形成領域と接する領域の近傍を高抵抗領域とすることで、トランジスタ260のチャンネル長(L)を短くしても、ソース電極とドレイン電極の間の電界を緩和して短チャンネル効果を抑制することができる。

10

#### 【0066】

また、絶縁膜254をエッチングして絶縁層254a、絶縁層254bを形成した後、絶縁膜253をエッチングして絶縁層253a、絶縁層253bを形成して、サイドウォール絶縁層252a、サイドウォール絶縁層252bを形成することにより、単層の絶縁層でサイドウォール絶縁層を形成した場合と比較して、基板面内において第2の導電層245a、第2の導電層245bを形成するためのエッチングのばらつきを低減することができる。そのため、基板面内において、第2の導電層245a、第2の導電層245bと酸化半導体層244との接触面積のばらつきを低減することができるため、トランジスタの電気的特性のばらつきを低減することができる。

20

#### 【0067】

さらに、サイドウォール絶縁層252a及びサイドウォール絶縁層252bがそれぞれ設けられることにより、酸化半導体層244、ゲート絶縁層246の被覆性が向上し、接続不良などの発生を抑制することができる。

#### 【0068】

酸化半導体層244は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、単元系金属酸化物であるIn-O系、Sn-O系、Zn-O系などを用いて形成することができる。

30

#### 【0069】

中でも、In-Ga-Zn-O系の酸化半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

#### 【0070】

In-Ga-Zn-O系の酸化半導体材料の代表例としては、 $\text{InGaO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記されるものがある。また、Gaに代えてMを用い、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) のように表記される酸化半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

40

#### 【0071】

また、酸化半導体としてIn-Zn-O系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、 $\text{In}:\text{Zn}=50:1\sim 1:2$  (モル比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=25:1\sim 1:4$ )、好ましくは $\text{In}:\text{Zn}=20:1\sim 1:1$  (モル比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=10:1\sim 1:2$ )、さらに好ましくは $\text{In}:\text{Zn}=15:$

50

1 ~ 1.5 : 1 (モル比に換算すると  $\text{In}_2\text{O}_3 : \text{ZnO} = 1.5 : 2 \sim 3 : 4$ ) とする。  
例えば、 $\text{In} - \text{Zn} - \text{O}$ 系酸化物半導体の形成に用いるターゲットは、原子数比が  $\text{In} : \text{Zn} : \text{O} = X : Y : Z$  のとき、 $Z > 1.5X + Y$  とする。

#### 【0072】

酸化物半導体層 244 をスパッタ法で作製するためのターゲットとしては、 $\text{In} : \text{Ga} : \text{Zn} = 1 : x : y$  ( $x$  は 0 以上、 $y$  は 0.5 以上 5 以下) の組成比で表されるものを用いるのが好適である。例えば、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 2$  [mol 比] ( $x = 1$ 、 $y = 1$ ) の組成比を有する酸化物半導体成膜用ターゲットなどを用いることができる。また、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 1$  [mol 比] ( $x = 1$ 、 $y = 0.5$ ) の組成比を有する酸化物半導体成膜用ターゲットや、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 1 : 4$  [mol 比] ( $x = 1$ 、 $y = 2$ ) の組成比を有する酸化物半導体成膜用ターゲットや、 $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1 : 0 : 2$  [mol 比] ( $x = 0$ 、 $y = 1$ ) の組成比を有する酸化物半導体成膜用ターゲットを用いることもできる。

10

#### 【0073】

本実施の形態では、非晶質構造の酸化物半導体層 244 を、 $\text{In} - \text{Ga} - \text{Zn} - \text{O}$ 系の酸化物半導体成膜用ターゲットを用いるスパッタ法により形成することとする。

#### 【0074】

酸化物半導体成膜用ターゲット中の金属酸化物の相対密度は 80 % 以上、好ましくは 95 % 以上、さらに好ましくは 99.9 % 以上である。相対密度の高い酸化物半導体成膜用ターゲットを用いることにより、緻密な構造の酸化物半導体層 244 を形成することが可能である。

20

#### 【0075】

酸化物半導体層 244 の形成雰囲気は、希ガス (代表的にはアルゴン) 雰囲気、酸素雰囲気、または、希ガス (代表的にはアルゴン) と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度 1 ppm 以下 (望ましくは濃度 10 ppb 以下) にまで除去された高純度ガス雰囲気を用いるのが好適である。

#### 【0076】

酸化物半導体層 244 の形成の際には、例えば、減圧状態に保持された処理室内に被処理物 (ここでは、基板 200 を含む構造体) を保持し、被処理物の温度が 100 以上 550 未満、好ましくは 200 以上 400 以下となるように被処理物を熱する。または、酸化物半導体層 244 の形成の際の被処理物の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層 244 を形成する。被処理物を熱しながら酸化物半導体層 244 を形成することにより、酸化物半導体層 244 に含まれる不純物を低減することができる。また、スパッタによる酸化物半導体層 244 の損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などを除去することができるため、酸化物半導体層 244 中の不純物濃度を低減できる。

30

40

#### 【0077】

酸化物半導体層 244 の形成条件としては、例えば、被処理物とターゲットの間との距離が 170 mm、圧力が 0.4 Pa、直流 (DC) 電力が 0.5 kW、雰囲気が酸素 (酸素 100 %) 雰囲気、またはアルゴン (アルゴン 100 %) 雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流 (DC) 電源を用いると、成膜時に発生する粉状物質 (パーティクル、ゴミともいう) が軽減でき、膜厚のばらつきも小さくなるため好ましい。酸化物半導体層 244 の膜厚は、例えば、3 nm 以上 30 nm 以下、好ましくは 5 nm 以上 15 nm 以下とする。このような厚さの酸化物半導体層 244 を用いることで、微細化に伴う短チャネル効果を抑制することが可能であ

50

る。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

【0078】

なお、酸化物半導体層244をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、形成表面（例えば絶縁層243a、絶縁層243bの表面）の付着物を除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素雰囲気、ヘリウム雰囲気、酸素雰囲気などによる雰囲気を適用してもよい。

10

【0079】

その後、酸化物半導体層244に対して、熱処理（第1の熱処理）を行うことが望ましい。この第1の熱処理によって酸化物半導体層244中の、過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。第1の熱処理の温度は、例えば、300 以上550 未満、または400 以上500 以下とする。

【0080】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に被処理物を導入し、窒素雰囲気下、450 、1時間の条件で行うことができる。この間、酸化物半導体層244は大気に触れないようにし、水や水素の混入が生じないようにする。

20

【0081】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、LRTA（Lamp Rapid Thermal Anneal）装置、GRTA（Gas Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体を用いられる。

30

【0082】

例えば、第1の熱処理として、熱せられた不活性ガス雰囲気中に被処理物を投入し、数分間熱した後、当該不活性ガス雰囲気から被処理物を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

40

【0083】

なお、不活性ガス雰囲気としては、窒素、または希ガス（ヘリウム、ネオン、アルゴン等）を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上（すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下）とする。

【0084】

いずれにしても、第1の熱処理によって不純物を低減し、i型（真性）またはi型に限りなく近い酸化物半導体層244を形成することで、極めて優れた特性のトランジスタを実現することができる。

50

## 【0085】

ところで、上述の熱処理（第1の熱処理）には水素や水などを除去する効果があるから、当該熱処理を、脱水化処理や、脱水素化処理などと呼ぶこともできる。当該脱水化処理や、脱水素化処理は、酸化物半導体層の形成後やゲート絶縁層の形成後、ゲート電極の形成後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

## 【0086】

次に、酸化物半導体層244に接するゲート絶縁層246を形成する（図3（C）参照）。ここで、第2の導電層245a、第2の導電層245b上にサイドウォール絶縁層252a、サイドウォール絶縁層252bをそれぞれ有することで、ソース電極及びドレイン電極の端部における段差を緩やかなものとすることができるため、ゲート絶縁層246の被覆性を向上させ、段切れを防止することが可能である。

10

## 【0087】

ゲート絶縁層246は、CVD法やスパッタ法等を用いて形成することができる。また、ゲート絶縁層246は、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウム、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、などを含むように形成するのが好適である。ゲート絶縁層246は、単層構造としても良いし、積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、1nm以上100nm以下、好ましくは10nm以上50nm以下とすることができる。

20

## 【0088】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層246に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムシリケート（ $\text{HfSi}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、窒素が添加されたハフニウムアルミネート（ $\text{HfAl}_x\text{O}_y$ （ $x > 0$ 、 $y > 0$ ））、などの高誘電率（high-k）材料を用いると良い。high-k材料をゲート絶縁層246に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、high-k材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

30

## 【0089】

ゲート絶縁層246の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第2の熱処理を行うのが望ましい。熱処理の温度は、200以上450以下、望ましくは250以上350以下である。例えば、窒素雰囲気下で250、1時間の熱処理を行えばよい。第2の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層246が酸素を含む場合、酸化物半導体層244に酸素を供給し、該酸化物半導体層244の酸素欠損を補填して、i型（真性）またはi型に限りなく近い酸化物半導体層を形成することもできる。

40

## 【0090】

なお、本実施の形態では、ゲート絶縁層246の形成後に第2の熱処理を行っているが、第2の熱処理のタイミングはこれに特に限定されない。例えば、ゲート電極の形成後に第2の熱処理を行っても良い。また、第1の熱処理に続けて第2の熱処理を行っても良いし、第1の熱処理に第2の熱処理を兼ねさせても良いし、第2の熱処理に第1の熱処理を兼ねさせても良い。

## 【0091】

上述のように、第1の熱処理と第2の熱処理の少なくとも一方を適用することで、酸化物

50

半導体層 244 を、その主成分以外の不純物が極力含まれないように高純度化することができる。これにより、酸化物半導体層 244 中の水素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$  以下、望ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  以下、より望ましくは  $5 \times 10^{17} \text{ atoms/cm}^3$  以下とすることができる。また、酸化物半導体層 244 のキャリア密度を、一般的なシリコンウェハにおけるキャリア密度 ( $1 \times 10^{14} / \text{cm}^3$  程度) と比較して、十分に小さい値 (例えば、 $1 \times 10^{12} / \text{cm}^3$  未満、より好ましくは、 $1.45 \times 10^{10} / \text{cm}^3$  未満) とすることができる。そして、これにより、オフ電流が十分に小さくなる。例えば、トランジスタ 260 の室温でのオフ電流 (ここでは、単位チャネル幅 ( $1 \mu\text{m}$ ) あたりの値) は、 $100 \text{ zA}$  ( $1 \text{ zA}$  (zeptoアンペア) は  $1 \times 10^{-21} \text{ A}$ ) 以下、望ましくは、 $10 \text{ zA}$  以下となる。

10

#### 【0092】

次に、ゲート絶縁層 246 上において酸化物半導体層 244 のチャネル形成領域と重畳する領域にゲート電極 248 を形成する (図 3 (D) 参照)。ゲート電極 248 は、ゲート絶縁層 246 上に導電膜を形成した後に、当該導電膜を選択的にエッチングすることによって形成することができる。ゲート電極 248 となる導電膜は、スパッタ法をはじめとする PVD 法や、プラズマ CVD 法などの CVD 法を用いて形成することができる。詳細は、ソース電極またはドレイン電極などの場合と同様であり、これらの記載を参酌できる。ただし、ゲート電極 248 の材料の仕事関数が酸化物半導体層 244 の電子親和力と同程度またはそれより小さいと、トランジスタを微細化した場合に、そのしきい値電圧がマイナスにシフトすることがある。よって、ゲート電極 248 には、酸化物半導体層 244 の電子親和力より大きい仕事関数を有する材料を用いるのが好ましい。このような材料としては、例えば、タングステン、白金、金、p 型の導電性を付与したシリコンなどがある。

20

#### 【0093】

以上により、酸化物半導体層 244 を用いたトランジスタ 260 が完成する。

#### 【0094】

本実施の形態に示すトランジスタ 260 のチャネル長 (L) は、サイドウォール絶縁層 252a、サイドウォール絶縁層 252b を形成するための絶縁膜 254 および絶縁膜 253 の膜厚によって微細に制御することができる。よって、該絶縁膜 254 および絶縁膜 253 の膜厚を適宜設定することにより、トランジスタ 260 のチャネル長 (L) を縮小し、容易に半導体装置の微細化を図ることができる。

30

#### 【0095】

本実施の形態に示すトランジスタ 260 は、第 2 の導電層 245a において、ゲート電極 248 と一部が重畳するように第 1 の導電層 242a の端部からチャネル長方向に伸長した領域、及び、第 2 の導電層 245b において、ゲート電極 248 と一部が重畳するように第 1 の導電層 242b の端部からチャネル長方向に伸長した領域に、サイドウォール絶縁層 252a 及びサイドウォール絶縁層 252b がそれぞれ設けられることにより、酸化物半導体層 244、ゲート絶縁層 246 の被覆性を向上し、接続不良などの発生を抑制することができる。

#### 【0096】

また、本実施の形態に示すトランジスタ 260 は、第 2 の導電層 245a にゲート電極 248 と一部が重畳するように第 1 の導電層 242a の端部からチャネル長方向に伸長した領域を設け、且つ、ゲート電極 248 と一部が重畳するように第 2 の導電層 245b に第 1 の導電層 242b の端部からチャネル長方向に伸長した領域を設けて、酸化物半導体層 244 のチャネル形成領域と接する領域の近傍を高抵抗領域とすることで、ソース電極とドレイン電極の間の電界を緩和して、しきい値電圧低下などの短チャネル効果を抑制することができる。

40

#### 【0097】

さらに、絶縁膜 254 をエッチングして絶縁層 254a、絶縁層 254b を形成した後、絶縁膜 253 をエッチングして絶縁層 253a、絶縁層 253b を形成して、サイドウォール絶縁層 252a、サイドウォール絶縁層 252b を形成することにより、単層の絶縁

50

層でサイドウォール絶縁層を形成した場合と比較して、基板面内において第2の導電層245a、第2の導電層245bを形成するためのエッチングのばらつきを低減することができる。そのため、基板面内において、第2の導電層245a、第2の導電層245bと酸化半導体層244との接触面積のばらつきを低減することができるため、トランジスタの電気的特性のばらつきを低減することができる。

#### 【0098】

このように、開示する発明の一態様では、微細化に伴う問題点を解消することができるため、結果として、トランジスタサイズを十分に小さくすることが可能になる。トランジスタサイズを十分に小さくすることで、半導体装置の占める面積が小さくなるため、半導体装置の取り数が増大する。これにより、半導体装置あたりの製造コストは抑制される。また、同等の機能を保ったまま半導体装置が小型化されるため、大きさを同程度とする場合には、さらに機能が高められた半導体装置を実現することができる。また、チャネル長の縮小による、動作の高速化、低消費電力化などの効果を得ることもできる。つまり、開示する発明の一態様により酸化半導体を用いたトランジスタの微細化が達成されることで、これに付随する様々な効果を得ることが可能である。

#### 【0099】

##### 変形例

次に、図1に示す半導体装置の変形例について、図4を参照して説明する。

#### 【0100】

図4(A)に示すトランジスタ270は、図1に示すトランジスタ260と一部異なる構成である。

#### 【0101】

図4(A)に示すトランジスタ270のサイドウォール絶縁層252cは、底面のチャネル長方向の長さが、絶縁層253aの伸長した領域の長さ( $L_{S1}$ )より小さい絶縁層254cを有し、サイドウォール絶縁層252dは、底面のチャネル長方向の長さが、絶縁層253bの伸長した領域の長さ( $L_{D1}$ )より小さい絶縁層254dを有する。

#### 【0102】

図4(A)に示すトランジスタ270の作製方法について説明する。まず、図2(A)乃至図3(A)に示す工程まで行った後、絶縁層254aおよび絶縁層254bをエッチングにより後退(または縮小)させる。すると、絶縁層253aの一部、および絶縁層253bの一部が露出する。絶縁層254aおよび絶縁層254bのエッチングには、異方性の高いエッチングを適用するのが望ましいが、異方性の低いエッチングであっても大きな問題はない。エッチングは、少なくとも、絶縁層254cおよび絶縁層254dが形成され、第2の導電層245aや第2の導電層245bとの選択比が取れる条件で行えばよい。異方性の高いエッチングを行う場合、例えば、絶縁層254aおよび絶縁層254bの形成の場合と同様のエッチングを適用することができる。なお、このエッチングの際に絶縁層243aおよび絶縁層243bもあわせてエッチングされ、膜厚の減少した絶縁層243cおよび絶縁層243dとなる。絶縁層254cおよび絶縁層254dの形成の後、図3(B)乃至図3(D)に示す工程を行えばよい。

#### 【0103】

絶縁層254a、絶縁層254bをエッチングにより後退させて、絶縁層254c、絶縁層254dを形成してサイドウォール絶縁層252c、サイドウォール絶縁層252dを形成することで、酸化半導体層244の被覆性を向上させ、接続不良などの発生を抑制することができる。

#### 【0104】

図4(B)に示すトランジスタ280は、図4(A)に示すトランジスタ270と一部異なる構成である。

#### 【0105】

図4(B)に示すトランジスタ280のソース電極は、第2の導電層245aの端部、具体的には、ゲート電極248と一部が重畳するような、第1の導電層242aの端部より

10

20

30

40

50



もチャネル長方向に伸長した領域の端部と、第2の導電層245aの上面であって、第1の導電層242aまたはサイドウォール絶縁層252eと接しない領域で、酸化物半導体層244と接している。また、ドレイン電極は、第2の導電層245bの端部、具体的には、ゲート電極248と一部が重畳するような、第1の導電層242bの端部よりもチャネル長方向に伸長した領域の端部と、第2の導電層245bの上面であって、第1の導電層242bまたはサイドウォール絶縁層252fと接しない領域で、酸化物半導体層244と接している。

【0106】

図4(B)に示すトランジスタ280の作製方法について説明する。図4(A)に示すトランジスタ270の作製方法に従って絶縁層254cおよび絶縁層254dを形成した後、絶縁層253aおよび絶縁層253bをエッチングにより後退させる。すると、第2の導電層245aの一部、および第2の導電層245bの一部が露出する。絶縁層253aおよび絶縁層253bのエッチングには、異方性の高いエッチングを適用するのが望ましいが、異方性の低いエッチングであっても大きな問題はない。エッチングは、少なくとも、絶縁層253cおよび絶縁層253dが形成され、第2の導電層245aや第2の導電層245bとの選択比が取れる条件で行えばよい。異方性の高いエッチングを行う場合、例えば、絶縁層253aおよび絶縁層253bの形成の場合と同様のエッチングを適用することができる。絶縁層253cおよび絶縁層253dの形成の後、図3(B)乃至図3(D)に示す工程を行えばよい。

【0107】

絶縁層253a、絶縁層253b及び絶縁層254a、絶縁層254bをエッチングにより後退させて、絶縁層253c、絶縁層253dおよび絶縁層254c、絶縁層254dを形成してサイドウォール絶縁層252e、サイドウォール絶縁層252fを形成することで、第2の導電層245aまたは第2の導電層245bの上面の一部の領域においても酸化物半導体層244と接することが可能となる。これによって、酸化物半導体層244とソース電極またはドレイン電極とのコンタクト不良を抑制することができる。

【0108】

図4(C)に示すトランジスタ290は、図4(B)に示すトランジスタ280と一部異なる構成である。

【0109】

図4(C)に示すトランジスタ290のソース電極は、第2の導電層245aの端部、具体的には、ゲート電極248と一部が重畳するような、第1の導電層242aの端部よりもチャネル長方向に伸長した領域の端部と、第2の導電層245aの上面であって、第1の導電層242aまたはサイドウォール絶縁層252gと接しない領域で、酸化物半導体層244と接している。また、ドレイン電極は、第2の導電層245bの端部、具体的には、ゲート電極248と一部が重畳するような、第1の導電層242bの端部よりもチャネル長方向に伸長した領域の端部と、第2の導電層245bの上面であって、第1の導電層242bまたはサイドウォール絶縁層252hと接しない領域で、酸化物半導体層244と接している。

【0110】

図4(C)に示すトランジスタ290の作製方法について説明する。図4(B)に示すトランジスタ280の作製方法に従って絶縁層253cおよび絶縁層253dを形成した後、絶縁層254cおよび絶縁層254dをエッチングにより後退させる。すると、絶縁層253cの一部、および絶縁層253dの一部が露出する。絶縁層254cおよび絶縁層254dのエッチングには、異方性の高いエッチングを適用するのが望ましいが、異方性の低いエッチングであっても大きな問題はない。エッチングは、少なくとも、絶縁層254eおよび絶縁層254fが形成され、第2の導電層245aや第2の導電層245bとの選択比が取れる条件で行えばよい。異方性の高いエッチングを行う場合、例えば、絶縁層254aおよび絶縁層254bの形成の場合と同様のエッチングを適用することができる。なお、このエッチングの際に絶縁層243cおよび絶縁層243dもあわせてエッチ

ングされ、膜厚の減少した絶縁層 2 4 3 e および絶縁層 2 4 3 f となる。絶縁層 2 5 4 e および絶縁層 2 5 4 f の形成の後、図 3 ( B ) 乃至図 3 ( D ) に示す工程を行えばよい。

【 0 1 1 1 】

絶縁層 2 5 4 c、絶縁層 2 5 4 d をエッチングにより後退させて、絶縁層 2 5 4 e、絶縁層 2 5 4 f を形成してサイドウォール絶縁層 2 5 2 g、サイドウォール絶縁層 2 5 2 h を形成することで、第 2 の導電層 2 4 5 a または第 2 の導電層 2 4 5 b の上面の一部の領域においても酸化物半導体層 2 4 4 と接することが可能となる。これによって、酸化物半導体層 2 4 4 とソース電極またはドレイン電極とのコンタクト不良を抑制することができる。

【 0 1 1 2 】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

【 0 1 1 3 】

( 実施の形態 2 )

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図 5 を参照して説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、O S の符号を併せて付す場合がある。

【 0 1 1 4 】

図 5 ( A ) に示す半導体装置において、第 1 の配線 ( 1 s t L i n e ) とトランジスタ 3 0 0 のソース電極とは、電気的に接続され、第 2 の配線 ( 2 n d L i n e ) とトランジスタ 3 0 0 のドレイン電極とは、電気的に接続されている。また、トランジスタ 3 0 0 のゲート電極と、トランジスタ 3 1 0 のソース電極またはドレイン電極の一方は、容量素子 3 2 0 の電極の一方と電気的に接続され、第 3 の配線 ( 3 r d L i n e ) とトランジスタ 3 1 0 のソース電極またはドレイン電極の他方とは、電気的に接続され、第 4 の配線 ( 4 t h L i n e ) と、トランジスタ 3 1 0 のゲート電極とは、電気的に接続されている。そして、第 5 の配線 ( 5 t h L i n e ) と、容量素子 3 2 0 の電極の他方は電気的に接続されている。

【 0 1 1 5 】

ここで、トランジスタ 3 1 0 には、上述の酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ 3 1 0 をオフ状態とすることで、トランジスタ 3 0 0 のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子 3 2 0 を有することにより、トランジスタ 3 0 0 のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【 0 1 1 6 】

なお、トランジスタ 3 0 0 については特に限定されない。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【 0 1 1 7 】

また、図 5 ( C ) に示すように、容量素子 3 2 0 を設けない構成とすることも可能である。

【 0 1 1 8 】

図 5 ( A ) に示す半導体装置では、トランジスタ 3 0 0 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【 0 1 1 9 】

はじめに、情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 3 1 0 がオン状態となる電位にして、トランジスタ 3 1 0 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 3 0 0 のゲート電極、および容量素子 3 2 0 に与えられる。すなわち、トランジスタ 3 0 0 のゲート電極には、所定の電荷が与え

10

20

30

40

50

られる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷 $Q_L$ 、高電位を与える電荷を電荷 $Q_H$ という）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第4の配線の電位を、トランジスタ310がオフ状態となる電位にして、トランジスタ310をオフ状態とすることにより、トランジスタ300のゲート電極に与えられた電荷が保持される（保持）。

【0120】

トランジスタ310のオフ電流は極めて小さいから、トランジスタ300のゲート電極の電荷は長時間にわたって保持される。

【0121】

次に、情報の読み出しについて説明する。第1の配線に所定の電位（定電位）を与えた状態で、第5の配線に適切な電位（読み出し電位）を与えると、トランジスタ300のゲート電極に保持された電荷量に応じて、第2の配線は異なる電位をとる。一般に、トランジスタ300をnチャネル型とすると、トランジスタ300のゲート電極に $Q_H$ が与えられている場合の見かけのしきい値 $V_{th\_H}$ は、トランジスタ300のゲート電極に $Q_L$ が与えられている場合の見かけのしきい値 $V_{th\_L}$ より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ300を「オン状態」とするために必要な第5の配線の電位をいうものとする。したがって、第5の配線の電位を $V_{th\_H}$ と $V_{th\_L}$ の中間の電位 $V_0$ とすることにより、トランジスタ300のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、 $Q_H$ が与えられていた場合には、第5の配線の電位が $V_0$ （ $> V_{th\_H}$ ）となれば、トランジスタ300は「オン状態」となる。 $Q_L$ が与えられていた場合には、第5の配線の電位が $V_0$ （ $< V_{th\_L}$ ）となっても、トランジスタ300は「オフ状態」のままである。このため、第2の配線の電位をみることで、保持されている情報を読み出すことができる。

【0122】

なお、メモリセルをアレイ状に配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さないようにするには、各メモリセル間でトランジスタ300がそれぞれ並列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ300が「オフ状態」となるような電位、つまり、 $V_{th\_H}$ より小さい電位を与えればよい。また、各メモリセル間でのトランジスタ300がそれぞれ直列に接続されている場合には、読み出しの対象ではないメモリセルの第5の配線に対して、ゲート電極の状態にかかわらずトランジスタ300が「オン状態」となるような電位、つまり、 $V_{th\_L}$ より大きい電位を第5の配線に与えればよい。

【0123】

次に、情報の書き換えについて説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第4の配線の電位を、トランジスタ310がオン状態となる電位にして、トランジスタ310をオン状態とする。これにより、第3の配線の電位（新たな情報に係る電位）が、トランジスタ300のゲート電極および容量素子320に与えられる。その後、第4の配線の電位を、トランジスタ310がオフ状態となる電位にして、トランジスタ310をオフ状態とすることにより、トランジスタ300のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【0124】

このように、開示する発明に係る半導体装置は、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。

【0125】

なお、トランジスタ 310 のソース電極またはドレイン電極は、トランジスタ 300 のゲート電極と電氣的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。このため、図中、トランジスタ 310 のソース電極またはドレイン電極とトランジスタ 300 のゲート電極が電氣的に接続される部位をフローティングゲート部 FG と呼ぶ場合がある。トランジスタ 310 がオフの場合、当該フローティングゲート部 FG は絶縁体中に埋設されたと見ることができ、フローティングゲート部 FG には電荷が保持される。酸化物半導体を用いたトランジスタ 310 のオフ電流は、シリコン半導体などで形成されるトランジスタの 10 万分の 1 以下であるため、トランジスタ 310 からのリークによる、フローティングゲート部 FG に蓄積される電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ 310 により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

10

#### 【0126】

例えば、トランジスタ 310 の室温でのオフ電流が  $10 \text{ zA}$  ( $1 \text{ zA}$  (zeptoアンペア) は  $1 \times 10^{-21} \text{ A}$ ) 以下であり、容量素子 320 の容量値が  $10 \text{ fF}$  程度である場合には、少なくとも  $10^4$  秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

#### 【0127】

また、この場合、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜 (トンネル絶縁膜) の劣化という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要なであった高電圧も不要である。

20

#### 【0128】

図 5 (A) に示す半導体装置は、当該半導体装置を構成するトランジスタなどの要素が抵抗および容量を含むものとして、図 5 (B) のように考えることが可能である。つまり、図 5 (B) では、トランジスタ 300 および容量素子 320 が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。R1 および C1 は、それぞれ、容量素子 320 の抵抗値および容量値であり、抵抗値 R1 は、容量素子 320 を構成する絶縁層による抵抗値に相当する。また、R2 および C2 は、それぞれ、トランジスタ 300 の抵抗値および容量値であり、抵抗値 R2 はトランジスタ 300 がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値 C2 はいわゆるゲート容量 (ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量) の容量値に相当する。

30

#### 【0129】

トランジスタ 310 がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値 (実効抵抗とも呼ぶ) を  $R_{OS}$  とすると、トランジスタ 310 のゲートリークが十分に小さい条件において、R1 および R2 が、 $R1 \ll R_{OS}$ 、 $R2 \ll R_{OS}$  を満たす場合には、電荷の保持期間 (情報の保持期間ということもできる) は、主としてトランジスタ 310 のオフ電流によって決定されることになる。

40

#### 【0130】

逆に、当該条件を満たさない場合には、トランジスタ 310 のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ 310 のオフ電流以外のリーク電流 (例えば、トランジスタ 300 におけるソース電極とゲート電極の間において生じるリーク電流等) が大きいためである。このことから、本実施の形態において開示する半導体装置は、上述の関係を満たすものであることが望ましいといえる。

#### 【0131】

一方で、C1 と C2 は、 $C1 \ll C2$  の関係を満たすことが望ましい。C1 を大きくすることで、第 5 の配線によってフローティングゲート部 FG の電位を制御する際 (例えば、読

50

み出しの際)に、第5の配線の電位の変動を低く抑えることができるためである。

【0132】

上述の関係を満たすことで、より好適な半導体装置を実現することが可能である。なお、R1およびR2は、トランジスタ300のゲート絶縁層や容量素子320の絶縁層によって制御される。C1およびC2についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【0133】

本実施の形態で示す半導体装置においては、フローティングゲート部FGが、フラッシュメモリ等のフローティングゲート型のトランジスタのフローティングゲートと同等の作用をするが、本実施の形態のフローティングゲート部FGは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有する。フラッシュメモリでは、コントロールゲートに印加される電圧が高いため、その電位の影響が、隣接するセルのフローティングゲートにおよぶことを防ぐために、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュメモリの根本的な原理に起因するものである。

【0134】

また、フラッシュメモリの上記原理によって、絶縁膜の劣化が進行し、書き換え回数の限界( $10^4 \sim 10^5$ 回程度)という別の問題も生じる。

【0135】

開示する発明に係る半導体装置は、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【0136】

また、トンネル電流による電荷の注入を用いないため、メモリセルの劣化の原因が存在しない。つまり、フラッシュメモリと比較して高い耐久性および信頼性を有することになる。

【0137】

また、高電界が不要であり、大型の周辺回路(昇圧回路など)が不要である点も、フラッシュメモリに対するアドバンテージである。

【0138】

なお、容量素子320を構成する絶縁層の比誘電率  $r_1$  と、トランジスタ300においてゲート容量を構成する絶縁層の比誘電率  $r_2$  とを異ならせる場合には、容量素子320を構成する絶縁層の面積  $S_1$  と、トランジスタ300においてゲート容量を構成する絶縁層の面積  $S_2$  とが、 $2 \cdot S_2 \leq S_1$  (望ましくは  $S_2 \leq S_1$ ) を満たしつつ、C1、C2を実現することが容易である。すなわち、容量素子320を構成する絶縁層の面積を小さくしつつ、C1、C2を実現することが容易である。具体的には、例えば、容量素子320を構成する絶縁層においては、酸化ハフニウムなどのhigh-k材料でなる膜、または酸化ハフニウムなどのhigh-k材料でなる膜と酸化物半導体でなる膜との積層構造を採用して  $r_1$  を10以上、好ましくは15以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、 $r_2 = 3 \sim 4$  とすることができる。

【0139】

このような構成を併せて用いることで、開示する発明に係る半導体装置の、より一層の高集積化が可能である。

【0140】

なお、上記説明は、電子を多数キャリアとするn型トランジスタ(nチャネル型トランジスタ)を用いる場合についてのものであるが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。

## 【0141】

以上示したように、開示する発明の一態様の半導体装置は、オフ状態でのソースとドレイン間のリーク電流（オフ電流）が少ない書き込み用トランジスタ、該書き込み用トランジスタと異なる半導体材料を用いた読み出し用トランジスタ及び容量素子を含む不揮発性のメモリセルを有している。

## 【0142】

書き込み用トランジスタのオフ電流は、使用時の温度（例えば、25℃）で $100\text{ zA}$ （ $1 \times 10^{-19}\text{ A}$ ）以下、好ましくは $10\text{ zA}$ （ $1 \times 10^{-20}\text{ A}$ ）以下、さらに好ましくは、 $1\text{ zA}$ （ $1 \times 10^{-21}\text{ A}$ ）以下である。通常のシリコン半導体では、上述のように低いオフ電流を得ることは困難であるが、酸化物半導体を適切な条件で加工して得られたトランジスタにおいては達成しうる。このため、書き込み用トランジスタとして、酸化物半導体を含むトランジスタを用いることが好ましい。

10

## 【0143】

さらに酸化物半導体を用いたトランジスタはサブスレッショルドスイング値（S値）が小さいため、比較的移動度が低くてもスイッチング速度を十分大きくすることが可能である。よって、該トランジスタを書き込み用トランジスタとして用いることで、フローティングゲート部FGに与えられる書き込みパルスの立ち上がりを極めて急峻にすることができる。また、オフ電流が小さいため、フローティングゲート部FGに保持させる電荷量を少なくすることが可能である。つまり、酸化物半導体を用いたトランジスタを書き込み用トランジスタとして用いることで、情報の書き換えを高速に行うことができる。

20

## 【0144】

読み出し用トランジスタとしては、オフ電流についての制限はないが、読み出しの速度を高くするために、高速で動作するトランジスタを用いるのが望ましい。例えば、読み出し用トランジスタとしてスイッチング速度が1ナノ秒以下のトランジスタを用いるのが好ましい。

## 【0145】

メモリセルへの情報の書き込みは、書き込み用トランジスタをオン状態とすることにより、書き込み用トランジスタのソース電極またはドレイン電極の一方と、容量素子の電極の一方と、読み出し用トランジスタのゲート電極とが電気的に接続されたフローティングゲート部FGに電位を供給し、その後、書き込み用トランジスタをオフ状態とすることにより、フローティングゲート部FGに所定量の電荷を保持させることで行う。ここで、書き込み用トランジスタのオフ電流は極めて小さいため、フローティングゲート部FGに供給された電荷は長時間にわたって保持される。オフ電流が例えば実質的に0であれば、従来のDRAMで必要とされたリフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低く（例えば、一ヶ月乃至一年に一度程度）することが可能となり、半導体装置の消費電力を十分に低減することができる。

30

## 【0146】

また、メモリセルへの再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる消去動作が不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、半導体装置の高速動作が実現される。また、従来のフローティングゲート型トランジスタで書き込みや消去の際に必要とされた高い電圧を必要としないため、半導体装置の消費電力をさらに低減することができる。本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものとの最小のものとの差）の最大値は、2段階（1ビット）の情報を書き込む場合、一つのメモリセルにおいて、5V以下、好ましくは3V以下である。

40

## 【0147】

開示する発明に係る半導体装置に配置されるメモリセルは、書き込み用トランジスタと、読み出し用トランジスタと、容量素子とを少なくとも含んでいればよく、また、容量素子の面積は小さくても動作可能である。したがって、メモリセルあたりの面積を、例えば、

50

1メモリセルあたり6つのトランジスタを必要とするSRAMと比較して、十分に小さくすることが可能であり、半導体装置においてメモリセルを高密度で配置することができる。

【0148】

また、従来のフローティングゲート型トランジスタでは、書き込み時にゲート絶縁膜（トンネル絶縁膜）中を電荷が移動するために、該ゲート絶縁膜（トンネル絶縁膜）の劣化が不可避であった。しかしながら、本発明の一態様に係るメモリセルにおいては、書き込み用トランジスタのスイッチング動作により情報の書き込みがなされるため、ゲート絶縁膜の劣化の問題がない。これは、原理的な書き込み回数の制限が存在せず、書き換え耐性が極めて高いことを意味するものである。例えば、本発明の一態様に係るメモリセルは、 $1 \times 10^9$ 回（10億回）以上の書き込み後であっても、電流 - 電圧特性に劣化が見られない。

10

【0149】

さらに、メモリセルの書き込み用トランジスタとして酸化物半導体を用いたトランジスタを用いる場合、酸化物半導体は一般にエネルギーギャップが大きく（例えば、In - Ga - Zn - O系の場合3.0 ~ 3.5 eV）熱励起キャリアが極めて少ないこともあり、例えば、150もの高温環境下でもメモリセルの電流 - 電圧特性に劣化が見られない。

【0150】

本発明者らは、鋭意研究の結果、酸化物半導体を用いたトランジスタは、150の高温下であっても特性の劣化を起こさず、且つオフ電流が100 z A以下と極めて小さいという優れた特性を有することを見出した。本実施の形態では、このような優れた特性を有するトランジスタをメモリセルの書き込み用トランジスタとして適用し、従来にない特徴を有する半導体装置を提供するものである。

20

【0151】

開示する発明の一態様により、酸化物半導体を用いたトランジスタにおいて、不良を抑制しつつ、または良好な特性を維持しつつ、微細化を達成することができる。そして、このようなトランジスタを用いることにより、上述のような優れた記憶装置を、高度に集積化することができるのである。

【0152】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

30

【0153】

（実施の形態3）

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図6および図7を用いて説明する。

【0154】

図6（A）および図6（B）は、図5（A）に示す半導体装置（以下、メモリセル400とも記載する。）を複数用いて形成される半導体装置の回路図である。図6（A）は、メモリセル400が直列に接続された、いわゆるNAND型の半導体装置の回路図であり、図6（B）は、メモリセル400が並列に接続された、いわゆるNOR型の半導体装置の回路図である。

40

【0155】

図6（A）に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、複数本の第2信号線S2、複数本のワード線WL、複数のメモリセル400を有する。図6（A）では、ソース線SLおよびビット線BLを1本ずつ有する構成となっているが、これに限られることなく、ソース線SLおよびビット線BLを複数本有する構成としてもよい。

【0156】

各メモリセル400において、トランジスタ300のゲート電極と、トランジスタ310のソース電極またはドレイン電極の一方と、容量素子320の電極の一方とは、電気的に接続されている。また、第1信号線S1とトランジスタ310のソース電極またはドレイ

50

ン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ310のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子320の電極の他方は電氣的に接続されている。

【0157】

また、メモリセル400が有するトランジスタ300のソース電極は、隣接するメモリセル400のトランジスタ300のドレイン電極と電氣的に接続され、メモリセル400が有するトランジスタ300のドレイン電極は、隣接するメモリセル400のトランジスタ300のソース電極と電氣的に接続される。ただし、直列に接続された複数のメモリセルのうち、一方の端に設けられたメモリセル400が有するトランジスタ300のドレイン電極は、ビット線BLと電氣的に接続される。また、直列に接続された複数のメモリセルのうち、他方の端に設けられたメモリセル400が有するトランジスタ300のソース電極は、ソース線SLと電氣的に接続される。

10

【0158】

図6(A)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行の第2信号線S2にトランジスタ310がオン状態となる電位を与え、書き込みを行う行のトランジスタ310をオン状態にする。これにより、指定した行のトランジスタ300のゲート電極に第1の信号線S1の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

【0159】

20

また、読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ300のゲート電極に与えられた電荷によらず、トランジスタ300がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ300をオン状態とする。それから、読み出しを行う行のワード線WLに、トランジスタ300のゲート電極が有する電荷によって、トランジスタ300のオン状態またはオフ状態が選択されるような電位(読み出し電位)を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路(図示しない)を動作状態とする。ここで、ソース線SL-ビット線BL間の複数のトランジスタ300は、読み出しを行う行を除いてオン状態となっているため、ソース線SL-ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ300の状態(オン状態またはオフ状態)によって決定される。読み出しを行う行のトランジスタ300のゲート電極が有する電荷によって、トランジスタのコンダクタンスは異なるから、それに応じて、ビット線BLの電位は異なる値をとることになる。ビット線BLの電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

30

【0160】

図6(B)に示す半導体装置は、ソース線SL、ビット線BL、第1信号線S1、第2信号線S2、およびワード線WLをそれぞれ複数本有し、複数のメモリセル400を有する。各トランジスタ300のゲート電極と、トランジスタ310のソース電極またはドレイン電極の一方と、容量素子320の電極の一方とは、電氣的に接続されている。また、ソース線SLとトランジスタ300のソース電極とは、電氣的に接続され、ビット線BLとトランジスタ300のドレイン電極とは、電氣的に接続されている。また、第1信号線S1とトランジスタ310のソース電極またはドレイン電極の他方とは、電氣的に接続され、第2信号線S2と、トランジスタ310のゲート電極とは、電氣的に接続されている。そして、ワード線WLと、容量素子320の電極の他方は電氣的に接続されている。

40

【0161】

図6(B)に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図6(A)に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行以外のワード線WLに、トランジスタ300のゲート電極に与えられた電荷によらず、トランジスタ300がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ300をオフ状態とする。それか

50



ら、読み出しを行う行のワード線WLに、トランジスタ300のゲート電極が有する電荷によって、トランジスタ300のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。そして、ソース線SLに定電位を与え、ビット線BLに接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線SL - ビット線BL間のコンダクタンスは、読み出しを行う行のトランジスタ300の状態（オン状態またはオフ状態）によって決定される。つまり、読み出しを行う行のトランジスタ300のゲート電極が有する電荷によって、ビット線BLの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【0162】

10

なお、上記においては、各メモリセル400に保持させる情報量を1ビットとしたが、本実施の形態に示す記憶装置の構成はこれに限られない。トランジスタ300のゲート電極に与える電位を3種類以上用意して、各メモリセル400が保持する情報量を増加させても良い。例えば、トランジスタ300のゲート電極に与える電位を4種類とする場合には、各メモリセルに2ビットの情報を保持させることができる。

【0163】

次に、図6に示す半導体装置などに用いることができる読み出し回路の一例について図7を用いて説明する。

【0164】

図7(A)には、読み出し回路の概略を示す。当該読み出し回路は、トランジスタとセンスアンプ回路を有する。

20

【0165】

読み出し時には、端子Aは読み出しを行うメモリセルが接続されたビット線に接続される。また、トランジスタのゲート電極にはバイアス電位Vbiasが印加され、端子Aの電位が制御される。

【0166】

メモリセル400は、格納されるデータに応じて、異なる抵抗値を示す。具体的には、選択したメモリセル400のトランジスタ300がオン状態の場合には低抵抗状態となり、選択したメモリセル400のトランジスタ300がオフ状態の場合には高抵抗状態となる。

30

【0167】

メモリセルが高抵抗状態の場合、端子Aの電位が参照電位Vrefより高くなり、センスアンプは端子Aの電位に対応する電位を出力する。一方、メモリセルが低抵抗状態の場合、端子Aの電位が参照電位Vrefより低くなり、センスアンプ回路は端子Aの電位に対応する電位を出力する。

【0168】

このように、読み出し回路を用いることで、メモリセルからデータを読み出すことができる。なお、本実施の形態の読み出し回路は一例である。他の回路を用いても良い。また、読み出し回路は、プリチャージ回路を有しても良い。参照電位Vrefの代わりに参照用のビット線が接続される構成としても良い。

40

【0169】

図7(B)に、センスアンプ回路の一例である差動型センスアンプを示す。差動型センスアンプは、入力端子Vin(+)とVin(-)と出力端子Voutを有し、Vin(+)とVin(-)の電位の差を増幅する。Vin(+)の電位がVin(-)の電位よりも高ければVoutは、High信号を出力し、Vin(+)の電位がVin(-)の電位よりも低ければVoutは、Low信号を出力する。当該差動型センスアンプを読み出し回路に用いる場合、Vin(+)とVin(-)の一方は端子Aと接続し、Vin(+)とVin(-)の他方には参照電位Vrefを与える。

【0170】

図7(C)に、センスアンプ回路の一例であるラッチ型センスアンプを示す。ラッチ型セ

50

ンスアンプは、入出力端子V1およびV2と、制御用信号Sp、Snの入力端子を有する。まず、信号SpをHigh、制御用信号SnをLowとして、電源電位(Vdd)を遮断する。そして、比較を行う電位をV1とV2にそれぞれ与える。その後、制御用信号SpをLow、制御用信号SnをHighとして、電源電位(Vdd)を供給すると、V1の電位がV2の電位よりも高ければ、V1の出力はHigh、V2の出力はLowとなり、V1の電位がV2の電位よりも低ければ、V1の出力はLow、V2の出力はHighとなる。このような関係を利用して、V1とV2の電位の差を増幅することができる。当該ラッチ型センスアンプを読み出し回路に用いる場合、V1とV2の一方は、スイッチを介して端子Aおよび出力端子と接続し、V1とV2の他方には参照電位Vrefを与える。

10

#### 【0171】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

#### 【0172】

(実施の形態4)

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合について、図8を用いて説明する。本実施の形態では、コンピュータ、携帯電話機(携帯電話、携帯電話装置ともいう)、携帯情報端末(携帯型ゲーム機、音響再生装置なども含む)、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置(テレビ、またはテレビジョン受信機ともいう)などの電子機器に、上述の半導体装置を適用する場合について説明する。

20

#### 【0173】

図8(A)は、ノート型のパーソナルコンピュータであり、筐体601、筐体602、表示部603、キーボード604などによって構成されている。筐体601と筐体602内には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えたノート型のパーソナルコンピュータが実現される。

#### 【0174】

図8(B)は、携帯情報端末(PDA)であり、本体611には、表示部613と、外部インターフェイス615と、操作ボタン614等が設けられている。また、携帯情報端末を操作するスタイラス612などを備えている。本体611内には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた携帯情報端末が実現される。

30

#### 【0175】

図8(C)は、電子ペーパーを実装した電子書籍620であり、筐体621と筐体623の2つの筐体で構成されている。筐体621及び筐体623には、それぞれ表示部625及び表示部627が設けられている。筐体621と筐体623は、軸部637により接続されており、該軸部637を軸として開閉動作を行うことができる。また、筐体621は、電源スイッチ631、操作キー633、スピーカー635などを備えている。筐体621、筐体623の少なくとも一には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた電子書籍が実現される。

40

#### 【0176】

図8(D)は、携帯電話機であり、筐体640と筐体641の2つの筐体で構成されている。さらに、筐体640と筐体641は、スライドし、図8(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体641は、表示パネル642、スピーカー643、マイクロフォン644、ポインティングデバイス646、カメラ用レンズ647、外部接続端子648などを備えている。また、表示パネル642はタッチパネル機能を備えており、図8(D)には映像表示されている複数の操作キー645を点線で示している。また、筐体640は、携帯電話機の充

50

電を行う太陽電池セル 649、外部メモリスロット 650などを備えている。また、アンテナは、筐体 641に内蔵されている。筐体 640と筐体 641の少なくとも一には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えた携帯電話機が実現される。

#### 【0177】

図8(E)は、デジタルカメラであり、本体 661、表示部 667、接眼部 663、操作スイッチ 664、表示部 665、バッテリー 666などによって構成されている。本体 661内には、先の実施の形態に示す微細化された半導体装置が設けられている。そのため、小型、高速動作、低消費電力、といった特徴を備えたデジタルカメラが実現される。

#### 【0178】

図8(F)は、テレビジョン装置 670であり、筐体 671、表示部 673、スタンド 675などで構成されている。テレビジョン装置 670の操作は、筐体 671が備えるスイッチや、リモコン操作機 680により行うことができる。筐体 671及びリモコン操作機 680には、先の実施の形態に示す微細化された半導体装置が搭載されている。そのため、高速動作、低消費電力、といった特徴を備えたテレビジョン装置が実現される。

#### 【0179】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、小型、高速動作、低消費電力、といった特徴を備えた電子機器が実現される。

#### 【符号の説明】

#### 【0180】

200 基板  
 242 第1の導電膜  
 242a 第1の導電層  
 242b 第1の導電層  
 243 絶縁膜  
 243a 絶縁層  
 243b 絶縁層  
 243c 絶縁層  
 243d 絶縁層  
 243e 絶縁層  
 243f 絶縁層  
 244 酸化物半導体層  
 245 第2の導電膜  
 245a 第2の導電層  
 245b 第2の導電層  
 246 ゲート絶縁層  
 248 ゲート電極  
 252a サイドウォール絶縁層  
 252b サイドウォール絶縁層  
 252c サイドウォール絶縁層  
 252d サイドウォール絶縁層  
 252e サイドウォール絶縁層  
 252f サイドウォール絶縁層  
 252g サイドウォール絶縁層  
 252h サイドウォール絶縁層  
 253 絶縁膜  
 253a 絶縁層  
 253b 絶縁層  
 253c 絶縁層

10

20

30

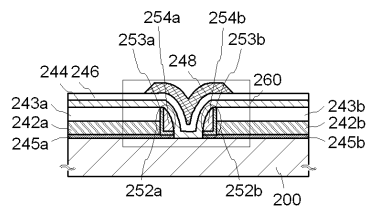
40

50

2 5 3 d	絶縁層	
2 5 4	絶縁膜	
2 5 4 a	絶縁層	
2 5 4 b	絶縁層	
2 5 4 c	絶縁層	
2 5 4 d	絶縁層	
2 5 4 e	絶縁層	
2 5 4 f	絶縁層	
2 6 0	トランジスタ	
2 7 0	トランジスタ	10
2 8 0	トランジスタ	
2 9 0	トランジスタ	
3 0 0	トランジスタ	
3 1 0	トランジスタ	
3 2 0	容量素子	
4 0 0	メモリセル	
6 0 1	筐体	
6 0 2	筐体	
6 0 3	表示部	
6 0 4	キーボード	20
6 1 1	本体	
6 1 2	スタイラス	
6 1 3	表示部	
6 1 4	操作ボタン	
6 1 5	外部インターフェイス	
6 2 0	電子書籍	
6 2 1	筐体	
6 2 3	筐体	
6 2 5	表示部	
6 2 7	表示部	30
6 3 1	電源スイッチ	
6 3 3	操作キー	
6 3 5	スピーカー	
6 3 7	軸部	
6 4 0	筐体	
6 4 1	筐体	
6 4 2	表示パネル	
6 4 3	スピーカー	
6 4 4	マイクロフォン	
6 4 5	操作キー	40
6 4 6	ポインティングデバイス	
6 4 7	カメラ用レンズ	
6 4 8	外部接続端子	
6 4 9	太陽電池セル	
6 5 0	外部メモリスロット	
6 6 1	本体	
6 6 3	接眼部	
6 6 4	操作スイッチ	
6 6 5	表示部	
6 6 6	バッテリー	50

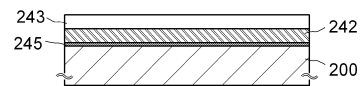
6 6 7	表示部
6 7 0	テレビジョン装置
6 7 1	筐体
6 7 3	表示部
6 7 5	スタンド
6 8 0	リモコン操作機

【図 1】

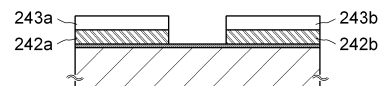


【図 2】

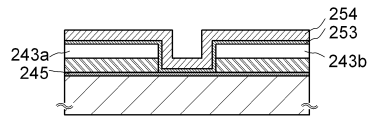
(A)



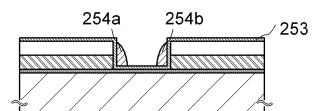
(B)



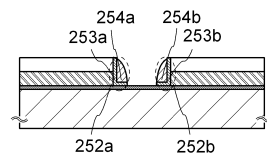
(C)



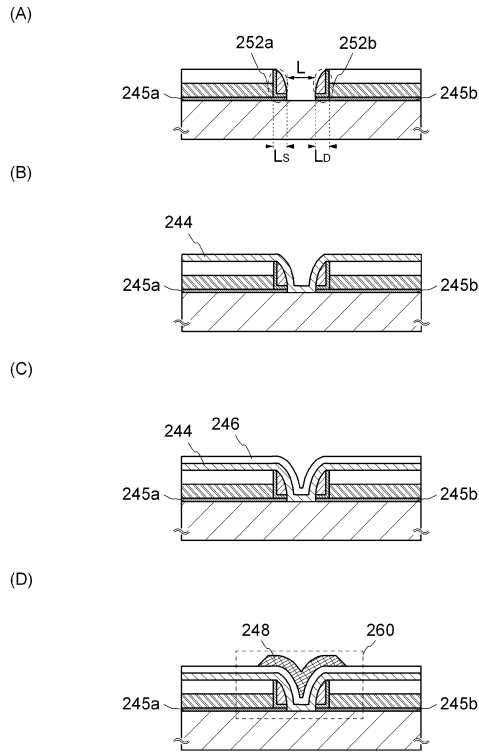
(D)



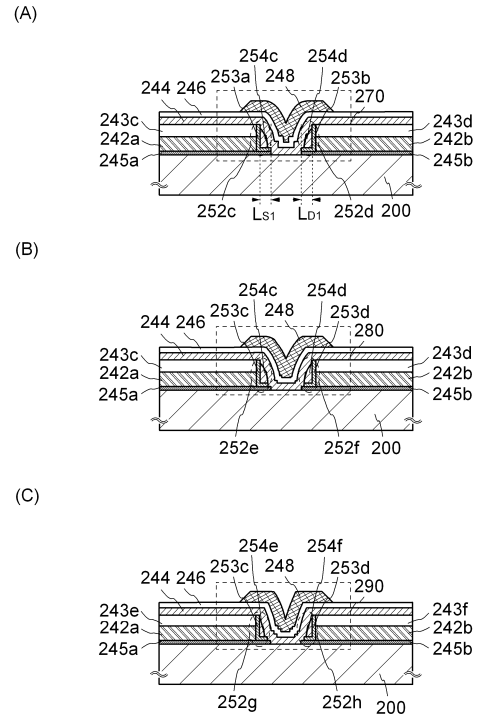
(E)



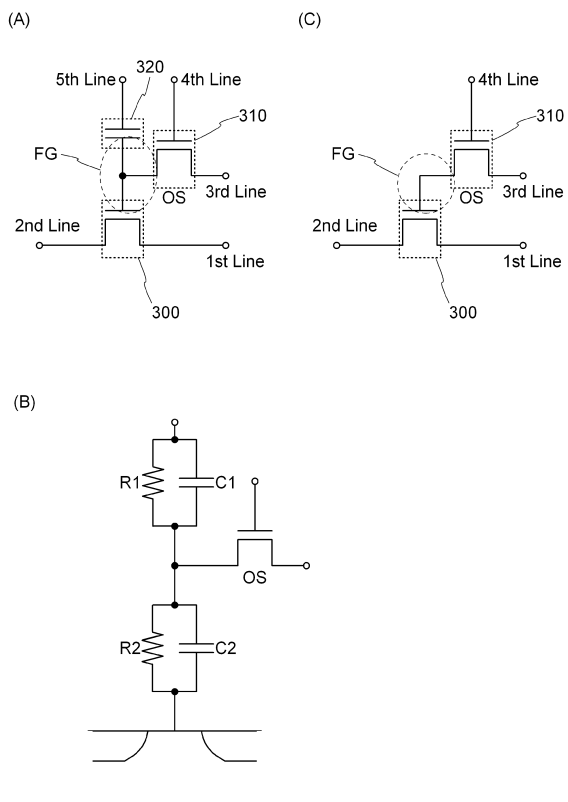
【図 3】



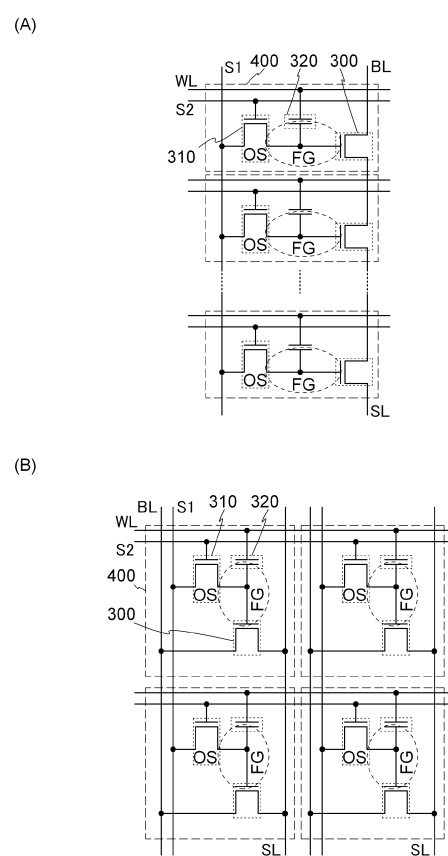
【図 4】



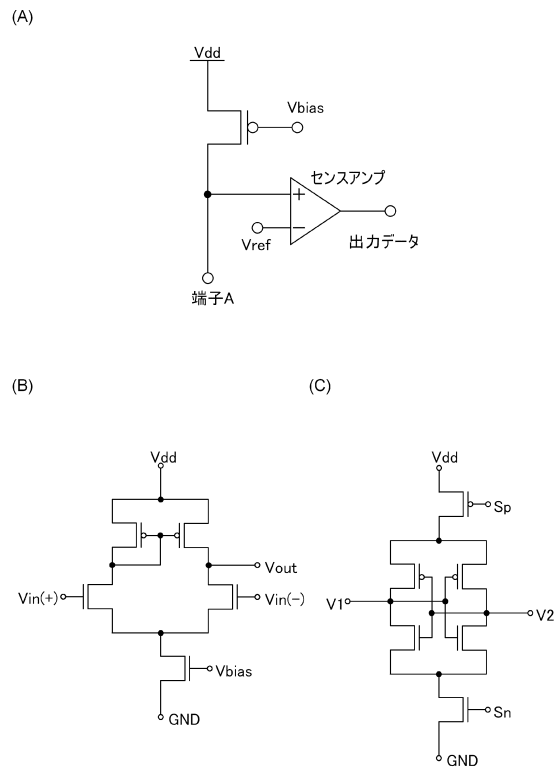
【図 5】



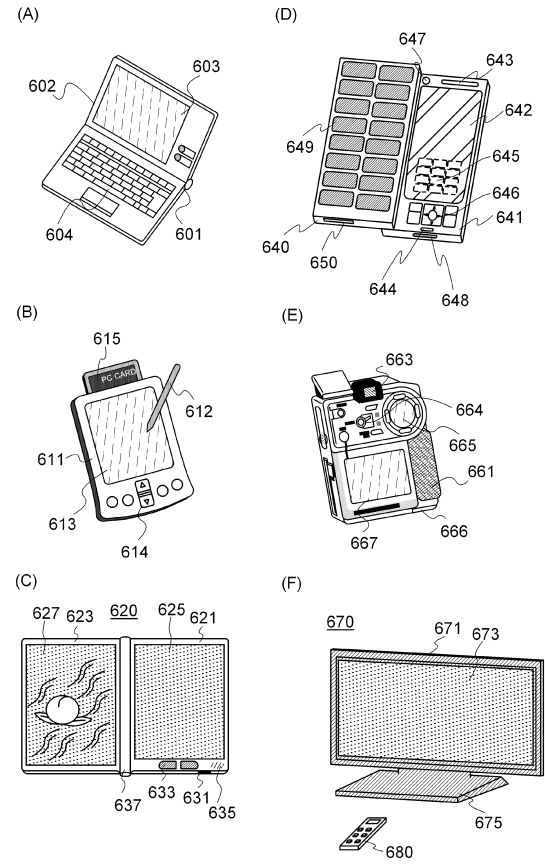
【図 6】



【図 7】



【図 8】



---

フロントページの続き

(56)参考文献 特表2008-535205(JP,A)  
特表2009-528670(JP,A)  
特開2008-078512(JP,A)  
特開2007-165861(JP,A)  
特開平05-326553(JP,A)  
特開2003-017690(JP,A)  
特開平06-013405(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L	21/28
H01L	21/336
H01L	29/417
H01L	29/786