



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0076790
(43) 공개일자 2013년07월08일

- | | |
|--|--|
| <p>(51) 국제특허분류(Int. Cl.)
 H01L 21/316 (2006.01) H01L 29/12 (2006.01)
 H01L 21/302 (2006.01)
 (21) 출원번호 10-2012-7010182
 (22) 출원일자(국제) 2011년02월25일
 심사청구일자 없음
 (85) 번역문제출일자 2012년04월20일
 (86) 국제출원번호 PCT/JP2011/054332
 (87) 국제공개번호 WO 2011/158533
 국제공개일자 2011년12월22일
 (30) 우선권주장
 JP-P-2010-136870 2010년06월16일 일본(JP)</p> | <p>(71) 출원인
 스미토모덴키고교가부시키키가이샤
 일본 오사카후 오사카시 주오쿠 기타하마 4쵸메 5번33고
 (72) 발명자
 마스다 다케요시
 일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
 스미토모덴키고교가부시키키가이샤 오사카 세이사쿠쇼 나이
 와다 게이지
 일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
 스미토모덴키고교가부시키키가이샤 오사카 세이사쿠쇼 나이
 (뒷면에 계속)
 (74) 대리인
 송승필, 강승욱</p> |
|--|--|

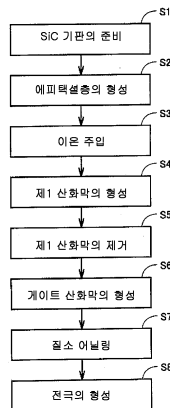
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 **탄화규소 반도체 장치의 제조 방법 및 탄화규소 반도체 장치의 제조 장치**

(57) 요약

본 발명에 따른 SiC 반도체 장치의 제조 방법은, SiC 반도체의 제1 표면에 제1 산화막을 형성하는 공정(S4)과, 제1 산화막을 제거하는 공정(S5)과, SiC 반도체에 있어서 제1 산화막이 제거됨으로써 노출된 제2 표면에, SiC 반도체 장치를 구성하는 제2 산화막을 형성하는 공정(S6)을 포함한다. 제1 산화막을 제거하는 공정(S4)과, 제2 산화막을 형성하는 공정(S6) 사이에서, SiC 반도체는 대기가 차단된 분위기 내에 배치된다.

대표도 - 도2



(72) 발명자

이토 사토미

일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
스미토모텐키교교가부시키가이샤 오사카 세이사쿠
쇼 나이

히요시 도루

일본 오사카후 오사카시 고노하나쿠 시마야 1-1-3
스미토모텐키교교가부시키가이샤 오사카 세이사쿠
쇼 나이

특허청구의 범위

청구항 1

탄화규소 반도체 장치(102)를 제조하는 방법으로서,

탄화규소 반도체의 제1 표면(100a)에 제1 산화막(3)을 형성하는 공정과,

상기 제1 산화막(3)을 제거하는 공정과,

상기 탄화규소 반도체에 있어서 상기 제1 산화막(3)이 제거됨으로써 노출된 제2 표면(101a)에, 상기 탄화규소 반도체 장치(102)를 구성하는 제2 산화막(126)을 형성하는 공정

을 포함하고, 상기 제1 산화막(3)을 제거하는 공정과, 상기 제2 산화막(126)을 형성하는 공정 사이에 있어서, 상기 탄화규소 반도체는 대기가 차단된 분위기 내에 배치되는 것을 특징으로 하는 탄화규소 반도체 장치(102)의 제조 방법.

청구항 2

제1항에 있어서, 상기 제1 산화막(3)을 형성하는 공정과, 상기 제1 산화막(3)을 제거하는 공정 사이에 있어서, 상기 탄화규소 반도체는 대기가 차단된 분위기 내에 배치되는 것을 특징으로 하는 탄화규소 반도체 장치(102)의 제조 방법.

청구항 3

제1항에 있어서, 상기 제1 산화막(3)을 형성하는 공정에서는, 상기 탄화규소 반도체의 상기 제1 표면(100a)에 형성된 손상층을 산화하는 것을 특징으로 하는 탄화규소 반도체 장치(102)의 제조 방법.

청구항 4

제1항에 있어서, 상기 제1 산화막(3)을 제거하는 공정은, 산소를 포함하지 않는 분위기에서 1200℃ 이상 탄화규소의 승화 온도 이하에서 상기 제1 산화막(3)을 열분해하는 공정과, 800℃ 이상 탄화규소의 승화 온도 이하에서 수소 가스, 염화 수소 가스, 불화유황 가스 및 불화탄소 가스로 이루어지는 군으로부터 선택되는 적어도 하나를 포함하는 가스를 이용하여 에칭하는 공정 중 적어도 한 공정을 포함하는 것을 특징으로 하는 탄화규소 반도체 장치(102)의 제조 방법.

청구항 5

제1항에 있어서, 상기 제1 산화막(3)을 제거하는 공정과 상기 제2 산화막(126)을 형성하는 공정 사이에 있어서, 상기 탄화규소 반도체의 온도차를 500℃ 이하로 유지하는 것을 특징으로 하는 탄화규소 반도체 장치의 제조 방법.

청구항 6

제5항에 있어서, 상기 제2 산화막(126)을 형성하는 공정에서는, 상기 제1 산화막(3)을 제거하는 공정에서 이용하는 장치를 이용하여, 상기 제2 산화막(126)을 형성하는 것을 특징으로 하는 탄화규소 반도체 장치(102)의 제조 방법.

청구항 7

제2항에 있어서, 상기 제1 산화막(3)을 형성하는 공정과, 상기 제1 산화막(3)을 제거하는 공정과, 상기 제2 산화막(126)을 형성하는 공정의 각각의 사이에 있어서, 상기 탄화규소 반도체의 온도차를 500℃ 이하로 유지하는 것을 특징으로 하는 탄화규소 반도체 장치(102)의 제조 방법.

청구항 8

제7항에 있어서, 상기 제1 산화막(3)을 형성하는 공정에서 이용하는 장치와, 상기 제1 산화막(3)을 제거하는 공정에서 이용하는 장치와, 상기 제2 산화막을 형성하는 공정에서 이용하는 장치가 동일한 것을 특징으로 하는 탄

화규소 반도체 장치의 제조 방법.

청구항 9

탄화규소 반도체 장치(102)를 제조하는 장치(10)로서,

탄화규소 반도체의 제1 표면(100a)에 제1 산화막(3)을 형성하기 위한 제1 형성부(11)와,

상기 제1 산화막(3)을 제거하기 위한 제거부(12)와,

상기 제거부(12)에 의해, 상기 탄화규소 반도체에 있어서 상기 제1 산화막(3)이 제거됨으로써 노출된 제2 표면(101a)에, 상기 탄화규소 반도체 장치(102)를 구성하는 제2 산화막(126)을 형성하기 위한 제2 형성부(13)와,

상기 탄화규소 반도체를 반송 가능하게 상기 제거부(12)와 상기 제2 형성부(13)를 접속하는 제1 접속부(14)

를 포함하고, 상기 제1 접속부(14)에 있어서의 상기 탄화규소 반도체를 반송시키는 영역은, 대기의 차단이 가능한 것을 특징으로 하는 탄화규소 반도체 장치(102)의 제조 장치.

청구항 10

제9항에 있어서, 상기 탄화규소 반도체를 반송 가능하게 상기 제1 형성부(11)와 상기 제거부(12)를 접속하는 제2 접속부(15)를 더 구비하고,

상기 제2 접속부(15)에 있어서의 상기 탄화규소 반도체를 반송시키는 영역은, 대기의 차단이 가능한 것을 특징으로 하는 탄화규소 반도체 장치(102)의 제조 장치(10).

청구항 11

탄화규소 반도체 장치(102)를 제조하는 장치로서,

탄화규소 반도체의 제1 표면(100a)에 제1 산화막(3)을 형성하기 위한 제1 형성부와,

상기 제1 산화막(3)을 제거하고, 상기 탄화규소 반도체에 있어서 상기 제1 산화막(3)이 제거됨으로써 노출된 제2 표면(101a)에, 상기 탄화규소 반도체 장치를 구성하는 제2 산화막(126)을 형성하기 위한 제2 형성부

를 포함하는 것을 특징으로 하는 탄화규소 반도체 장치의 제조 장치(20).

청구항 12

제11항에 있어서, 상기 제1 형성부와 상기 제2 형성부는 동일한 것을 특징으로 하는 탄화규소 반도체 장치의 제조 장치(20).

명세서

기술분야

[0001] 본 발명은 탄화규소(SiC) 반도체 장치의 제조 방법 및 제조 장치에 관한 것으로, 보다 구체적으로는 산화막을 갖는 SiC 반도체 장치의 제조 방법 및 제조 장치에 관한 것이다.

배경기술

[0002] 종래부터 반도체 디바이스의 제조 방법에 있어서, 표면에 부착해 있는 부착물을 제거하기 위해서 세정을 행하고 있다. 이러한 세정 방법으로서, 예를 들면, 일본 특허 공개 평정06-314679호 공보(특허문헌 1)에 개시된 기술을 들 수 있다. 이 특허문헌 1의 반도체 기판의 세정 방법은, 이하와 같이 행하는 것이 개시되어 있다. 우선, 실리콘(Si) 기판을 오존을 포함하는 초순수(超純水)로 세정하여 Si 산화막을 형성하고, 이 Si 산화막의 내부나 표면에 파티클 및 금속 불순물을 받아들인다. 다음에, 이 Si 기판을 희불산 수용액으로 세정하여 Si 산화막을 에칭 제거하고, 동시에 파티클 및 금속 불순물을 제거한다.

선행기술문헌

특허문헌

[0003] (특허문헌 0001) 일본 특허 공개 평성06-314679호 공보

발명의 내용

해결하려는 과제

[0004] 그러나, 상기 특허문헌 1에 개시된 세정 방법을 이용하여 SiC 반도체 장치를 제조하면, 이하의 문제가 있는 것을 본 발명자는 처음으로 밝혔다. SiC 반도체 장치로서, 예를 들면 MOSFET(Metal Oxide Semiconductor Field Effect Transistor: 전계 효과 트랜지스터)를 제조하는 경우에는, 예를 들면 SiC 기판 상에 SiC 에피택셜층을 형성하여, 이 에피택셜층의 표면을 세정하고, 이 표면 상에 게이트 산화막을 형성한다. 만약, 에피택셜층의 표면을 상기 특허문헌 1의 세정 방법에 의해 세정하더라도, 세정후의 표면에 불순물이 부착된다. 이 표면 상에 게이트 산화막을 형성하더라도, 에피택셜층과 게이트 산화막의 계면에 불순물이 존재하므로, SiC 반도체 장치의 특성이 나빠진다고 하는 문제가 있다.

[0005] 따라서, 본 발명의 목적은, 특성을 향상시킬 수 있는 SiC 반도체 장치의 제조 방법 및 SiC 반도체 장치의 제조 장치를 제공하는 것이다.

과제의 해결 수단

[0006] 본 발명자가 예의 연구한 결과, 상기 과제는, 세정후의 에피택셜층을 대기중 또는 청결도가 낮은 분위기에 배치하는 것에 기인하고 있는 것을 발견했다.

[0007] 그래서, 본 발명의 SiC 반도체 장치의 제조 방법은, SiC 반도체의 제1 표면에 제1 산화막을 형성하는 공정과, 제1 산화막을 제거하는 공정과, SiC 반도체에서 제1 산화막이 제거됨으로써 노출된 제2 표면에, SiC 반도체 장치를 구성하는 제2 산화막을 형성하는 공정을 포함하고, 제1 산화막을 제거하는 공정과, 제2 산화막을 형성하는 공정 사이에서, SiC 반도체는 대기가 차단된 분위기 내에 배치된다.

[0008] 본 발명의 SiC 반도체 장치의 제조 방법에 따르면, 제1 산화막을 형성하는 공정에서, SiC 반도체의 제1 표면에 부착해 있었던 불순물, 파티클 등을 제1 산화막에 받아들일 수 있다. 제1 산화막을 제거하는 공정에 의해, SiC 반도체의 제1 표면에 부착해 있었던 불순물, 파티클 등을 제거함으로써 청정화된 제2 표면을 형성할 수 있다. 불순물, 파티클 등이 제거된 SiC 반도체를 대기가 차단된 분위기 내에 배치함으로써, 대기중의 불순물, 파티클 등이 SiC 반도체의 제2 표면에 재부착하는 것을 억제할 수 있기 때문에, SiC 반도체의 제2 표면을 청정하게 유지할 수 있다. 제2 산화막을 형성하는 공정에서, 청정하게 유지된 SiC 반도체의 제2 표면에, SiC 반도체 장치를 구성하는 제2 산화막을 형성할 수 있기 때문에, SiC 반도체의 제2 표면과 제2 산화막의 계면에 존재하는 불순물, 파티클 등을 저감할 수 있다. 따라서, 특성을 향상시킬 수 있는 SiC 반도체 장치를 제조할 수 있다.

[0009] 상기 SiC 반도체 장치의 제조 방법에 있어서 바람직하게는, 제1 산화막을 형성하는 공정과, 제1 산화막을 제거하는 공정 사이에서, SiC 반도체는 대기가 차단된 분위기 내에 배치된다.

[0010] 이에 따라, 제1 산화막을 제거한 후뿐만 아니라, 제1 산화막을 형성한 후에도, 불순물, 파티클 등이 재부착하는 것을 억제할 수 있다. 이 때문에, SiC 반도체와 제2 산화막의 계면에 존재하는 불순물, 파티클 등을 보다 저감할 수 있다. 따라서, 보다 특성을 향상시킬 수 있는 SiC 반도체 장치를 제조할 수 있다.

[0011] 상기 SiC 반도체 장치의 제조 방법에 있어서 바람직하게는, 제1 산화막을 형성하는 공정에서는, SiC 반도체의 제1 표면에 형성된 손상층을 산화한다.

[0012] 이에 따라, 제1 산화막을 제거하는 공정을 실시하면, SiC 반도체의 제1 표면에 형성된 손상층도 더불어 제거할 수 있다. 이 때문에, SiC 반도체의 특성을 향상시킬 수 있기 때문에, 특성을 더 향상시킬 수 있는 SiC 반도체를 제조할 수 있다.

[0013] 상기 SiC 반도체 장치의 제조 방법에 있어서 바람직하게는, 제1 산화막을 제거하는 공정은, 산소(O)를 포함하지 않는 분위기로 1200℃ 이상 SiC의 승화 온도 이하에서 제1 산화막을 열분해하는 공정과, 1000℃ 이상 SiC의 승화 온도 이하에서 수소 가스(H₂), 염화수소 가스(HCl), 불화유황 가스(SF₆) 및 불화탄소 가스(CF₄)로 이루어지는 군으로부터 선택되는 적어도 하나를 포함하는 가스를 이용하여 에칭하는 공정 중 적어도 어느 한쪽을 포함한다.

[0014] 이에 따라, 웨트 세정(액상을 포함하는 세정)을 하지 않고서 제1 산화막을 용이하게 제거할 수 있기 때문에, 웨

트 세정에 의한 오염을 방지할 수 있다.

- [0015] 상기 SiC 반도체 장치의 제조 방법에 있어서 바람직하게는, 제1 산화막을 제거하는 공정과 제2 산화막을 형성하는 공정 사이에서, SiC 반도체의 온도차를 500℃ 이하로 유지한다.
- [0016] 제1 산화막을 제거하는 공정과 제2 산화막을 형성하는 공정 사이에서 온도가 저하하는 것을 억제함으로써, 승온 시간을 삭감할 수 있기 때문에, 작업 처리량을 향상시킬 수 있다.
- [0017] 상기 SiC 반도체 장치의 제조 방법에 있어서 바람직하게는, 제2 산화막을 형성하는 공정에서는, 제1 산화막을 제거하는 공정에서 이용하는 장치를 이용하여, 제2 산화막을 형성한다.
- [0018] 동일한 장치를 이용하여, 제1 산화막을 제거할 수 있고, 제2 산화막을 형성할 수 있기 때문에, 제1 산화막을 제거하는 공정과 제2 산화막을 형성하는 공정 사이에서 온도가 저하하는 것을 억제할 수 있다. 이에 따라, 제1 산화막을 제거하는 공정과 제2 산화막을 형성하는 공정의 이행으로 인한 승온 시간을 삭감할 수 있기 때문에, 작업 처리량을 향상시킬 수 있다.
- [0019] 상기 SiC 반도체 장치의 제조 방법에 있어서 바람직하게는, 제1 산화막을 형성하는 공정과, 제1 산화막을 제거하는 공정과, 제2 산화막을 형성하는 공정의 각각 사이에서, SiC 반도체의 온도차를 500℃ 이하로 유지한다.
- [0020] 이에 따라, 제1 산화막을 형성하는 공정, 제1 산화막을 제거하는 공정 및 제2 산화막을 형성하는 공정 사이에서 온도가 저하하는 것을 억제할 수 있기 때문에, 작업 처리량을 더 향상시킬 수 있다.
- [0021] 상기 SiC 반도체 장치의 제조 방법에 있어서 바람직하게는, 제1 산화막을 형성하는 공정에서 이용하는 장치와, 제1 산화막을 제거하는 공정에서 이용하는 장치와, 제2 산화막을 형성하는 공정에서 이용하는 장치가 동일하다.
- [0022] 동일한 장치를 이용하여, 제1 산화막을 형성하고, 또한 제1 산화막을 제거하고, 또한 제2 산화막을 형성할 수 있기 때문에, 제1 산화막을 형성하는 공정과, 제1 산화막을 제거하는 공정과, 제2 산화막을 형성하는 공정의 이행으로 인해 온도가 저하하는 것을 억제할 수 있다. 이 때문에, 작업 처리량을 더 향상시킬 수 있다.
- [0023] 본 발명의 일 양태에서의 SiC 반도체 장치의 제조 장치는, 제1 형성부와, 제거부와, 제2 형성부와, 제1 접속부를 구비하고 있다. 제1 형성부는, SiC 반도체의 제1 표면에 제1 산화막을 형성한다. 제거부는 제1 산화막을 제거한다. 제2 형성부는, 제거부에 의해, SiC 반도체에 있어서 제1 산화막이 제거됨으로써 노출된 제2 표면에, SiC 반도체 장치를 구성하는 제2 산화막을 형성한다. 제1 접속부는, SiC 반도체를 반송 가능하게, 제거부와 제2 형성부를 접속한다. 제1 접속부에 있어서 SiC 반도체를 반송시키는 영역은, 대기의 차단이 가능하다.
- [0024] 본 발명의 일 양태에서의 SiC 반도체의 제조 장치에 따르면, 제1 형성부에서, SiC 반도체의 제1 표면에 부착해 있었던 불순물, 파티클 등을 받아들이도록 제1 산화막을 형성할 수 있다. 제거부에서 제1 산화막을 제거함으로써, SiC 반도체의 제1 표면에 부착해 있었던 불순물, 파티클 등을 제거하는 것으로 청정화된 제2 표면을 형성할 수 있다. 제1 접속부에 의해, 불순물, 파티클 등이 제거된 제2 표면을 갖는 SiC 반도체를 대기가 차단된 분위기 내에 배치할 수 있기 때문에, 대기중의 불순물, 파티클 등이 SiC 반도체의 제2 표면에 재부착하는 것을 억제할 수 있고, SiC 반도체의 제2 표면을 청정하게 유지할 수 있다. 제2 형성부에서, 청정하게 유지된 SiC 반도체의 제2 표면에, SiC 반도체 장치를 구성하는 제2 산화막을 형성할 수 있기 때문에, SiC 반도체의 제2 표면과 제2 산화막의 계면에 존재하는 불순물, 파티클 등을 저감할 수 있다. 따라서, 특성을 향상시킬 수 있는 SiC 반도체 장치를 제조할 수 있다.
- [0025] 상기 일 양태에서의 SiC 반도체의 제조 장치에 있어서 바람직하게는, SiC 반도체를 반송 가능하게 제1 형성부와 제거부를 접속하는 제2 접속부를 더 구비하고, 제2 접속부에서의 SiC 반도체를 반송시키는 영역은 대기의 차단이 가능하다.
- [0026] 이에 따라, 제2 접속부에 의해 제1 산화막을 형성한 후와, 제1 산화막을 제거한 후에, 불순물, 파티클 등이 재부착하는 것을 억제할 수 있다. 이 때문에, SiC 반도체와 제2 산화막의 계면에 존재하는 불순물, 파티클 등을 보다 저감할 수 있다. 따라서, 보다 특성을 향상시킬 수 있는 SiC 반도체 장치를 제조할 수 있다.
- [0027] 본 발명의 다른 양태에서의 SiC 반도체 장치의 제조 장치는, 제1 형성부와, 제2 형성부를 구비하고 있다. 제1 형성부는 SiC 반도체의 제1 표면에 제1 산화막을 형성한다. 제2 형성부는 제1 산화막을 제거하고, 또한 SiC 반도체에 있어서 제1 산화막이 제거됨으로써 노출된 제2 표면에, SiC 반도체 장치를 구성하는 제2 산화막을 형성한다.
- [0028] 본 발명의 다른 양태에서의 SiC 반도체의 제조 장치에 따르면, 제1 형성부에서, SiC 반도체의 제1 표면에 부착

해 있었던 불순물, 파티클 등을 받아들이도록 제1 산화막을 형성할 수 있다. 제2 형성부에서 제1 산화막을 제거함으로써, SiC 반도체의 제1 표면에 부착해 있었던 불순물, 파티클 등을 제거하는 것으로 청정화된 제2 표면을 형성할 수 있다. 동일한 제2 형성부에서 SiC 반도체 장치를 구성하는 제2 산화막을 형성할 수 있기 때문에, 제1 산화막을 제거하고 나서 제2 산화막을 형성하기까지의 사이에, 불순물, 파티클 등이 제거된 제2 표면을 갖는 SiC 반도체를 대기가 차단된 분위기 내에 배치할 수 있다. 이에 따라, 대기중의 불순물, 파티클 등이 SiC 반도체의 제2 표면에 재부착하는 것을 억제할 수 있고, SiC 반도체의 제2 표면을 청정하게 유지한 상태로 SiC 반도체 장치를 구성하는 제2 산화막을 형성할 수 있다. 이 때문에, SiC 반도체의 제2 표면과 제2 산화막의 계면에 존재하는 불순물, 파티클 등을 저감할 수 있다. 따라서, 특성을 향상시킬 수 있는 SiC 반도체 장치를 제조할 수 있다.

[0029] 상기 다른 양태에서의 SiC 반도체 장치의 제조 장치에 있어서 바람직하게는, 제1 형성부와 제2 형성부는 동일하다.

[0030] 이에 따라, 제1 산화막을 형성한 후와, 제1 산화막을 제거한 후에, 불순물, 파티클 등이 재부착하는 것을 억제할 수 있다. 이 때문에, SiC 반도체와 제2 산화막의 계면에 존재하는 불순물, 파티클 등을 보다 저감할 수 있다. 따라서, 보다 특성을 향상시킬 수 있는 SiC 반도체 장치를 제조할 수 있다.

발명의 효과

[0031] 이상 설명한 바와 같이, 본 발명의 SiC 반도체 장치의 제조 방법 및 제조 장치에 따르면, 세정후의 SiC 반도체는 대기가 차단된 분위기 내에 배치되기 때문에, SiC 반도체와 SiC 반도체 장치를 구성하는 산화막의 계면에 존재하는 불순물, 파티클 등을 저감할 수 있다. 따라서, 특성을 향상시킨 SiC 반도체를 제조할 수 있다.

도면의 간단한 설명

[0032] 도 1은 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 제조 장치를 도시하는 모식도이다.

도 2는 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 제조 방법을 도시하는 플로우차트이다.

도 3은 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다.

도 4는 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다.

도 5는 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다.

도 6은 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다.

도 7은 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다.

도 8은 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다.

도 9는 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다.

도 10은 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다.

도 11은 본 발명의 실시예 2에 있어서의 SiC 반도체 장치의 제조 장치의 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0033] 이하, 도면에 기초하여 본 발명의 실시예를 설명한다. 또한, 이하의 도면에 있어서 동일 또는 해당하는 부분에는 동일한 참조 부호를 붙이고, 그 설명은 반복하지 않는다.

[0034] (실시예 1)

[0035] 도 1은, 본 발명의 실시예 1에 있어서의 SiC 반도체 장치의 제조 장치를 도시하는 모식도이다. 도 1을 참조하여, 본 발명의 일 실시예에서의 SiC 반도체 장치의 제조 장치(10)를 설명한다.

[0036] 도 1에 도시한 바와 같이 SiC 반도체 장치의 제조 장치(10)는, 제1 형성부(11)와, 제거부(12)와, 제2 형성부(13)와, 제1 접속부(14)와, 제2 접속부(15)를 구비하고 있다. 제거부(12)와 제2 형성부(13)는, 제1 접속부(14)에 의해 접속되어 있다. 제1 형성부(11)와 제거부(12)는, 제2 접속부(15)에 의해 접속되어 있다. 제거부(12), 제2 형성부(13) 및 제1 접속부(14)의 내부는 대기로부터 차단되어 있고, 내부는 상호 연통 가능하다. 제1 형성부(11), 제거부(12) 및 제2 접속부(15)의 내부는 대기로부터 차단되어 있고, 내부는 상호 연통 가능하다.

- [0037] 제1 형성부(11)는 SiC 반도체의 제1 표면에 제1 산화막을 형성한다. 제1 형성부(11)는, 예를 들면 열산화 장치, 플라즈마 발생 장치, 오존수 등의 산소를 포함하는 용액을 이용하여 제1 산화막을 형성하는 장치 등이 이용된다.
- [0038] 제거부(12)는 제1 형성부(11)에서 형성한 제1 산화막을 제거한다. 제거부(12)는, 예를 들면 열분해 장치, 가스를 이용한 에칭 장치, 플라즈마 발생 장치, 불화 수소(HF) 등의 용액을 이용하여 제1 산화막을 제거하는 장치 등이 이용된다.
- [0039] 제1 형성부(11) 및 제거부(12)에서 이용하는 플라즈마 발생 장치는, 특별히 한정되지 않고, 예를 들면 평행 평판형 RIE(Reactive Ion Etching : 반응성 이온 에칭) 장치, ICP(Inductive Coupled Plasma : 유도 결합 플라즈마)형 RIE장치, ECR(Electron Cyclotron Resonance : 전자 사이클로트론 공명)형 RIE장치, SWP(Surface Wave Plasma : 표면파 플라즈마)형 RIE 장치 등이 이용된다.
- [0040] 제2 형성부(13)는, 제거부(12)에 의해, SiC 반도체에 있어서 제1 산화막이 제거됨으로써 노출된 제2 표면에, SiC 반도체 장치(도 9 참조)를 구성하는 제2 산화막을 형성한다. 제2 형성부(13)는, 예를 들면 열산화 장치, CVD(Chemical Vapor Deposition : 화학 증착) 장치 등이 이용된다.
- [0041] 제1 접속부(14)는, SiC 반도체를 반송 가능하게 제거부(12)와 제2 형성부(13)를 접속한다. 제2 접속부(15)는, SiC 반도체를 반송 가능하게 제1 형성부(11)와 제거부(12)를 접속한다. 제1 및 제2 접속부(14, 15)에 있어서 SiC 반도체를 반송시키는 영역(내부 공간)은 대기의 차단이 가능하다.
- [0042] 여기서, 대기의 차단(대기를 차단한 분위기)이란, 대기가 혼입되지 않는 분위기를 의미하고, 예를 들면 불활성 가스나 질소 가스로 이루어지는 분위기, 진공이다. 구체적으로는, 대기를 차단한 분위기는, 예를 들면 질소(N), 헬륨(He), 네온(Ne), 아르곤(Ar), 크립톤(Kr), 크세논(Xe), 라돈(Rn), 또는 이들의 조합으로 이루어지는 가스가 충전된 분위기이다. 또한, 대기를 차단한 분위기는, 예를 들면 1 Pa 이하, 바람직하게는 0.1 Pa 이하이다.
- [0043] 본 실시예에서는, 제1 접속부(14)는 제거부(12)의 내부와 제2 형성부(13)의 내부를 연결하고 있다. 제1 접속부(14)는, 제거부(12)로부터 반출되는 SiC 반도체를 제2 형성부(13)로 반송하기 위한 공간을 내부에 갖는다. 즉, 제1 접속부(14)는 SiC 반도체를 대기에 개방하지 않도록, 제거부(12)로부터 제2 형성부(13)로 반송하기 위해서 설치되어 있다.
- [0044] 마찬가지로, 제2 접속부(15)는 제1 형성부(11)의 내부와 제거부(12)의 내부를 연결하고 있다. 제2 접속부(15)는 제1 형성부(11)로부터 반출되는 SiC 반도체를 제거부(12)로 반송하기 위한 공간을 내부에 갖는다. 즉, 제2 접속부(15)는, SiC 반도체를 대기에 개방하지 않도록, 제1 형성부(11)로부터 제거부(12)로 반송하기 위해서 설치되어 있다. 또한, 제2 접속부(15)는 생략되더라도 좋다.
- [0045] 제1 및 제2 접속부(14, 15)는, 내부에서 SiC 반도체가 반송 가능한 크기를 갖는다. 또한 제1 및 제2 접속부(14, 15)는, SiC 반도체를 서셉터에 배치한 상태로 반송 가능한 크기를 갖고 있더라도 좋다. 제1 접속부(14)는, 예를 들면 제거부(12)의 출구와 제2 형성부(13)의 입구를 접속하는 로드록실이다. 제2 접속부(15)는, 예를 들면 제1 형성부(11)의 출구와, 제거부(12)의 입구를 연결하는 로드록실이다.
- [0046] 또한, 제조 장치(10)는, 제1 접속부(14)의 내부에 배치되고, 제거부(12)로부터 제2 형성부(13)로 SiC 반도체를 반송하기 위한 제1 반송부를 더 구비하고 있더라도 좋다. 마찬가지로, 제조 장치(10)는, 제2 접속부(15)의 내부에 배치되고, 제1 형성부(11)로부터 제거부(12)로 SiC 반도체를 반송하기 위한 제2 반송부를 더 구비하고 있더라도 좋다. 제1 반송부와 제2 반송부는 같더라도 다르더라도 좋다.
- [0047] 또한, 제조 장치(10)는 제1 및 제2 접속부(14, 15)를 덮는 단열 부재를 더 구비하고 있더라도 좋다. 또한, 제조 장치(10)는, 제1 및 제2 접속부(14, 15)의 외주에 배치되어, 제1 및 제2 접속부(14, 15)를 가열하는 가열부를 더 구비하고 있더라도 좋다. 이 경우, 제1 형성부(11), 제거부(12) 및 제2 형성부(13) 사이에서의 온도차를 저감할 수 있기 때문에, 반송으로 인한 SiC 반도체의 온도 저하를 억제할 수 있다.
- [0048] 또한, 제조 장치(10)는, 제1 접속부(14) 내에 배치되고, 또한 제거부(12)의 내부와 제2 형성부(13)의 내부를 차단하기 위한 제1 차단부를 더 구비하고 있더라도 좋다. 또한 제조 장치(10)는, 제2 접속부(15) 내에 배치되고, 또한 제1 형성부(11)의 내부와 제거부(12)의 내부를 차단하기 위한 제2 차단부를 더 구비하고 있더라도 좋다. 제1 및 제2 차단부는, 예를 들면 각각의 연통부를 막는 것이 가능한 밸브나 도어 등을 이용할 수 있고, 복수로 마련되더라도 좋다.

- [0049] 또한, 제조 장치(10)는, 내부의 분위기 가스를 배출하기 위한 진공 펌프나, 내부의 분위기 가스를 치환하기 위한 치환 가스봄베(가스통)를 더 구비하고 있더라도 좋다. 진공 펌프나 치환 가스봄베는, 제1 형성부(11), 제거부(12), 제2 형성부(13), 제1 접속부(14) 및 제2 접속부(15)의 각각에 접속되어 있더라도 좋고, 적어도 어느 하나에 접속되어 있더라도 좋다.
- [0050] 또한, 제조 장치(10)는, 상기 이외의 여러 가지 요소를 포함하고 있더라도 좋지만, 설명의 편의상, 이들 요소의 도시 및 설명은 생략한다.
- [0051] 또한, 도 1에서는, 제1 접속부(14)는 제거부(12)와 제2 형성부(13)의 사이만을 연결하고, 제2 접속부(15)는 제1 형성부(11)와 제거부(12)의 사이만을 연결하는 형상을 나타냈지만, 특별히 이것에 한정되는 것은 아니다. 제1 및 제2 접속부(14, 15)로서, 예를 들면 대기를 차단한 챔버를 이용하고, 이 챔버 내에 제1 형성부(11), 제거부(12) 및 제2 형성부(13)가 배치되어 있더라도 좋다.
- [0052] 도 2는, 본 발명의 실시예 1에서의 SiC 반도체 장치의 제조 방법을 도시하는 플로우차트이다. 도 3~도 10은, 본 발명의 실시예 1에서의 SiC 반도체 장치의 각 제조 공정을 개략적으로 도시하는 단면도이다. 계속해서, 도 1~도 10을 참조하여, 본 발명의 일 실시예에 있어서의 SiC 반도체 장치의 제조 방법을 설명한다. 본 실시예에서는, 도 1에 도시하는 SiC 반도체의 제조 장치(10)를 이용하여, SiC 반도체 장치의 일례로서 MOSFET(Metal Oxide Semiconductor Field Effect Transistor : 전계 효과 트랜지스터)를 제조한다.
- [0053] 도 2 및 도 3에 도시한 바와 같이, 우선, 표면(2a)을 갖는 SiC 기판(2)을 준비한다(스텝 S1). SiC 기판(2)은, 특별히 한정되지 않지만, 예를 들면 이하의 방법에 의해 준비할 수 있다.
- [0054] 구체적으로는, 예를 들면, 승화법, CVD법, HVPE(Hydride Vapor Phase Epitaxy : 하이드라이드 기상 성장)법, MBE(Molecular Beam Epitaxy : 분자선 에피택시)법, OMVPE(Organo Metallic Vapor Phase Epitaxy : 유기 금속 기상 성장)법 등의 기상 성장법, 플럭스법, 고질소압용액법 등의 액상 성장법 등에 의해 성장된 SiC 잉곳을 준비한다. 그 후, SiC 잉곳으로부터 표면을 갖는 SiC 기판을 절출(切出)한다. 절출하는 방법은 특별히 한정되지 않고, SiC 잉곳으로부터 슬라이스 등에 의해 SiC 기판을 절출한다.
- [0055] 계속해서, 절출한 SiC 기판의 표면을 연마한다. 연마하는 면은, 표면만이라도 좋고, 표면과 반대측의 이면을 추가로 연마하더라도 좋다. 연마하는 방법은 특별히 한정되지 않지만, 표면을 평탄하게 하고, 흠 등의 손상을 저감하기 위해서, 예를 들면 CMP(Chemical Mechanical Polishing : 화학 기계 연마)를 채용할 수 있다. CMP에서는, 연마제로서 콜로이드성의 실리카, 지립(砥粒)으로서 다이아몬드, 산화크롬, 고정제로서 접착제, 왁스 등을 이용한다. 또한, CMP와 더불어, 또는 대신해서, 전계 연마법, 화학 연마법, 기계 연마법 등의 다른 연마를 추가로 행하더라도 좋다. 또한 연마를 생략하더라도 좋다.
- [0056] 그 후, SiC 기판의 표면을 세정한다. 세정하는 방법은 특별히 한정되지 않지만, 예를 들면, 열산화 등에 의해 산화막을 형성한 후에, 그 산화막을 열분해, 열에칭 등에 의해 제거하는 것에 의한 세정을 채용할 수 있다. 또한 세정을 생략하더라도 좋다.
- [0057] 이에 따라, 도 3에 도시하는 표면(2a)을 갖는 SiC 기판(2)을 준비할 수 있다. 이러한 SiC 기판(2)으로서, 예를 들면 도전형이 n형이며, 저항이 0.02 Ωcm 인 기판을 이용한다.
- [0058] 다음에, 도 2 및 도 4에 도시한 바와 같이, SiC 기판(2)의 표면(2a)상에 기상 성장법, 액상 성장법 등에 의해, 에피택셜층(120)을 형성한다(스텝 S2). 본 실시예에서는, 예를 들면 이하와 같이 에피택셜층(120)을 형성한다.
- [0059] 구체적으로는, 도 4에 도시한 바와 같이 SiC 기판(2)의 표면(2a) 상에, 버퍼층(121)을 형성한다. 버퍼층(121)은, 예를 들면 도전형이 n형인 SiC로 이루어지고, 예를 들면 두께가 0.5 μm 의 에피택셜층이다. 또한 버퍼층(121)에서의 도전성 불순물의 농도는, 예를 들면 $5 \times 10^{17} \text{ cm}^{-3}$ 이다.
- [0060] 그 후, 도 4에 도시한 바와 같이 버퍼층(121) 상에 내압 유지층(122)을 형성한다. 내압 유지층(122)으로서, 기상 성장법, 액상 성장법 등에 의해 도전형이 n형인 SiC로 이루어지는 층을 형성한다. 내압 유지층(122)의 두께는, 예를 들면 15 μm 이다. 또한 내압 유지층(122)에 있어서의 n형의 도전성 불순물의 농도는, 예를 들면 $5 \times 10^{15} \text{ cm}^{-3}$ 이다.
- [0061] 다음에, 도 2 및 도 5에 도시한 바와 같이 에피택셜층(120)에 이온 주입한다(스텝 S3). 본 실시예에서는, 도 5에 도시한 바와 같이 p형 웰 영역(123)과, n+소스 영역(124)과, p+ 컨택트 영역(125)을 이하와 같이 형성한다. 우선 도전형이 p형인 불순물을 내압 유지층(122)의 일부에 선택적으로 주입하는 것으로, 웰 영역(123)을 형성한

다. 그 후, n형의 도전성 불순물을 소정의 영역에 선택적으로 주입함으로써 소스 영역(124)을 형성하고, 또한 도전형이 p형인 도전성 불순물을 소정의 영역에 선택적으로 주입함으로써 컨택트 영역(125)을 형성한다. 또 불순물의 선택적인 주입은, 예를 들면 산화막으로 이루어지는 마스크를 이용하여 행해진다. 이 마스크는, 불순물의 주입 후에 각각 제거된다.

[0062] 이와 같이 이온 주입하는 스텝 S3 후에, 활성화 어닐링 처리가 행하여지더라도 좋다. 예를 들면, 아르곤 분위기 중, 가열 온도 1700℃로 30분간의 어닐링이 행해진다.

[0063] 또한 이온 주입하는 스텝 S3 후에, 유기 세정, 산세정, RCA 세정 등의 표면 세정화를 추가로 행하더라도 좋다.

[0064] 이들 공정에 의해, 도 5에 도시한 바와 같이 SiC 기판(2)과, SiC 기판(2) 상에 형성된 에피택셜층(120)을 구비한 에피택셜 웨이퍼(100)를 준비할 수 있다.

[0065] 다음에, 에피택셜 웨이퍼(100)(SiC 반도체)의 표면(100a)(제1 표면)을 세정한다. 구체적으로는, 도 2 및 도 6에 도시한 바와 같이, 에피택셜 웨이퍼(100)의 표면(100a)에 제1 산화막(3)을 형성한다(스텝 S4). 제1 산화막(3)은, 예를 들면 산화 실리콘이다. 본 실시예의 스텝 S4에서는, 도 1에 도시하는 제조 장치(10)의 제1 형성부(11)에서 제1 산화막(3)을 형성한다.

[0066] 제1 산화막(3)의 형성 방법은, 특별히 한정되지 않고, 예를 들면 O를 포함하는 용액, O 플라즈마, O 가스를 포함하는 분위기에서의 열산화 등을 이용하여, 에피택셜 웨이퍼(100)의 표면(100a)을 산화하는 방법이 이용된다.

[0067] O를 포함하는 용액이란, 산소를 포함하는 용액을 의미하며, 예를 들면 오존수를 들 수 있다. SiC가 안정된 화합물인 것을 고려하면, 예를 들면 30 ppm 이상의 농도를 갖는 오존수를 이용하는 것이 바람직하다. 이 경우, 오존의 분해를 억제할 수 있고, 에피택셜 웨이퍼(100)의 표면(100a)과 오존과의 반응 속도를 높일 수 있기 때문에, 표면(100a)에 제1 산화막(3)을 용이하게 형성할 수 있다.

[0068] 또한, O 가스란 산소를 포함하는 가스를 의미하며, O 가스를 포함하는 열산화는, SiC가 안정된 화합물인 것을 고려하면, 예를 들면 700℃ 이상 온도의 드라이 분위기에서 행하는 것이 바람직하다. 또한, 드라이 분위기란 기상 중에서 제1 산화막(3)을 형성하는 것을 의미하며, 의도하지 않는 액상 성분을 포함하고 있더라도 좋다.

[0069] 또한, O 플라즈마란 산소를 포함하는 가스로부터 생성되는 플라즈마를 의미하고, 예를 들면 산소 가스(O₂)를 플라즈마 발생 장치에 공급함으로써 발생시킬 수 있다. 「O 플라즈마에 의해 제1 산화막(3)을 형성한다」라는 것은, 산소를 포함하는 가스를 이용한 플라즈마에 의해 제1 산화막(3)을 형성하는 것을 의미한다. 다시 말해서, 산소를 포함하는 가스로부터 생성되는 플라즈마에 의해서 처리됨으로써, 제1 산화막(3)을 형성하는 것을 의미한다.

[0070] 이 스텝 S4에 있어서, 표면(100a)에 부착된 불순물, 파티클을 제거하는 것을 목적으로 하는 경우에는, 예를 들면 1분자층 이상 10 nm 이하의 두께[표면(100a)에서 SiC 기판(2)을 향한 방향의 두께]의 제1 산화막(3)을 형성한다. 1분자층 이상의 두께를 갖는 제1 산화막(3)을 형성하는 것으로, 표면(100a)에 부착해 있는 불순물, 파티클 등을 제1 산화막(3)의 표면이나 내부에 받아들일 수 있다. 10 nm 이하 두께의 산화막을 형성하는 것으로, 후술하는 스텝 S5에서 제1 산화막(3)은 쉽게 제거된다. 표면(100a)의 불순물, 파티클을 받아들여 산화하는 경우에는, 액상에 의한 세정(웨트 세정) 및 기상에 의한 세정(드라이 세정)을 이용할 수 있다.

[0071] 에피택셜 웨이퍼(100)에 이온 주입이나 활성화 어닐링 처리 등에 의해 표면(100a)이 손상을 받아, 에피택셜 웨이퍼(100)의 표면(100a)에 형성된 손상층을 제거하는 것을 목적으로 하는 경우에는, 이 스텝 S4에 있어서 손상층을 산화한다. 이 경우, 예를 들면 10 nm 초과 100 nm 이하의 두께를 갖는 제1 산화막(3)을 형성한다. 손상층을 산화함으로써, 표면(100a)에 부착된 불순물, 파티클 등을 제1 산화막(3)에 받아들일 수도 있다. 손상층을 산화하는 경우에는, 기상에 의한 세정(드라이 세정)을 채용한다. 여기서, 손상층은 다른 영역에 비교해서 표면 거칠기 등이 생기기 때문에, 예를 들면 SIMS 분석을 행함으로써, 비주입 영역에 비교해서 지나치게 규소 또는 탄소(C)가 존재하고 있는 것에 의해 특정된다.

[0072] 다음에, 도 1을 참조하여, 제1 형성부(11)에서 제1 산화막(3)을 형성한 에피택셜 웨이퍼(100)를, 제거부(12)로 반송한다. 이때, 에피택셜 웨이퍼(100)는 대기가 차단된 분위기인 제2 접속부(15) 내에서 반송된다. 다시 말해서, 제1 산화막(3)을 형성하는 스텝 S4와 제1 산화막(3)을 제거하는 스텝 S5 사이에서는, 에피택셜 웨이퍼(100)는 대기가 차단된 분위기 내에 배치된다. 이에 따라, 제1 산화막(3)이 형성된 후에, 에피택셜 웨이퍼(100)의 표면(101a)에 대기중에 포함되는 불순물이 부착하는 것을 억제할 수 있다.

- [0073] 다음에, 도 2 및 도 7에 도시한 바와 같이, 제1 산화막(3)을 제거한다(스텝 S5). 본 실시예의 스텝 S5에서는, 도 1에 도시하는 제조 장치(10)의 제거부(12)에서 제1 산화막(3)을 제거한다.
- [0074] 제1 산화막(3)의 제거 방법은, 특별히 한정되지 않고, 예를 들면 웨트 에칭, 드라이 에칭, 열 분해, F 플라즈마 등을 이용할 수 있다.
- [0075] 웨트 에칭은, 예를 들면 HF, NH_4F (불화 암모늄) 등의 용액을 이용하여 제1 산화막(3)을 제거한다.
- [0076] 드라이 에칭은, 800℃ 이상 SiC의 승화 온도 이하, 바람직하게는 1000℃ 이상 SiC의 승화 온도 이하에서, 수소 가스, 염화 수소 가스, 불화유황 가스 및 불화탄소 가스로 이루어지는 군으로부터 선택되는 적어도 하나를 포함하는 가스를 이용하여, 제1 산화막(3)을 제거하는 것이 바람직하다. 800℃ 이상의 수소 가스, 염화 수소 가스, 불화유황 가스 및 불화탄소 가스는 제1 산화막(3)을 환원하는 효과가 높다. 이러한 관점에서 1000℃ 이상이 보다 바람직하다. 제1 산화막이 SiO_x 인 경우, 수소 가스는 SiO_x 를 H_2O 와 SiH_y 로 분해하고, 염화 수소 가스는 SiO_x 를 H_2O 와 SiCl_z 로 분해한다. SiC의 승화 온도 이하로 함으로써 에피택셜 웨이퍼(100)의 열화를 억제할 수 있다. 또한, 드라이 에칭은 반응을 촉진할 수 있는 관점에서, 감압하에서 행하는 것이 바람직하다.
- [0077] 열분해는 산소를 포함하지 않는 분위기에서 1200℃ 이상 SiC의 승화 온도 이하에서, 제1 산화막(3)을 열분해하는 것이 바람직하다. 1200℃ 이상의 산소를 포함하지 않는 분위기에서 에피택셜 웨이퍼(100)의 표면(100a)에 형성된 제1 산화막(3)을 가열하면 제1 산화막(3)을 용이하게 열분해할 수 있다. SiC의 승화 온도 이하로 함으로써 에피택셜 웨이퍼(100)의 열화를 억제할 수 있다. 또한, 열분해는 반응을 촉진할 수 있는 관점에서, 감압하에서 행하는 것이 바람직하다.
- [0078] F 플라즈마란, 불소(F)를 포함하는 가스로부터 생성되는 플라즈마를 의미하며, 예를 들면 사불화 탄소 가스(CF_4), 삼불화 메탄 가스(CHF_3), 육불화 에탄 가스(C_2F_6), 육불화 유황 가스(SF_6), 삼불화 질소 가스(NF_3), 이불화 크세논 가스(XeF_2), 불소 가스(F_2) 및 삼불화 염소 가스(ClF_3)의 단독 가스 또는 혼합 가스를 플라즈마 발생 장치에 공급함으로써 발생시킬 수 있다. 「F 플라즈마에 의해 제1 산화막(3)을 제거한다」라는 것은, 불소를 포함하는 가스를 이용한 플라즈마에 의해 제1 산화막(3)을 제거하는 것을 의미한다. 다시 말해서, 불소를 포함하는 가스로부터 생성되는 플라즈마에 의해서 처리됨으로써, 제1 산화막(3)을 제거하는 것을 의미한다.
- [0079] 이 스텝 S5를 실시함으로써, 스텝 S4에서 불순물, 파티클 등을 받아들인 제1 산화막(3)을 제거하기 때문에, 에피택셜 웨이퍼(100) 표면(100a)의 불순물, 파티클 등을 제거할 수 있다. 이에 따라, 도 7에 도시한 바와 같이, 불순물, 파티클 등이 저장된 표면(101a)(제2 표면)을 갖는 에피택셜 웨이퍼(101)를 형성할 수 있다.
- [0080] 또한, 스텝 S4에서 손상층을 산화시킨 제1 산화막(3)을 형성한 경우에는, 스텝 S5를 실시함으로써, 손상층도 추가로 제거할 수 있다. 이에 따라, 도 7에 도시한 바와 같이, 불순물, 파티클 등이 저장된 표면(101a)을 갖는 에피택셜 웨이퍼(101)를 형성할 수 있다. 이에 따라, 도 7에 도시한 바와 같이, 불순물, 파티클 등이 저장되고, 또한 손상층이 제거된 표면(101a)을 갖는 에피택셜 웨이퍼(101)를 형성할 수 있다.
- [0081] 또한, 상기 스텝 S4 및 S5를 반복하더라도 좋다. 또한 필요에 따라, 다른 물약으로의 세정 공정, 순수한 물 린스 공정, 건조 공정 등을 추가하여 실시하더라도 좋다. 다른 물약은, 예를 들면 황산과 과산화수소수를 포함하는 SPM을 들 수 있다. 스텝 S2 전에 SPM으로 세정하는 경우에는 유기물을 제거할 수도 있다. 단, 제1 산화막(3)을 제거하는 스텝 S5와, 후술하는 게이트 산화막(126)을 형성하는 스텝 S6 사이에 다른 공정이 추가되는 경우에는, 다른 공정으로의 이행시에 있어서도 에피택셜 웨이퍼는 대기가 차단된 분위기 내에 배치된다.
- [0082] 다음에, 도 1을 참조하여, 제거부(12)에서 제1 산화막(3)을 제거한 에피택셜 웨이퍼(101)를, 제2 형성부(13)로 반송한다. 이때, 에피택셜 웨이퍼(101)는 대기가 차단된 분위기인 제1 접속부(14) 내에서 반송된다. 다시 말해서, 제1 산화막(3)을 제거하는 스텝 S5와 제2 산화막으로서의 게이트 산화막을 형성하는 스텝 S6 사이에서는, 에피택셜 웨이퍼(101)는 대기가 차단된 분위기 내에 배치된다. 이에 따라, 제1 산화막(3)이 제거된 후에, 에피택셜 웨이퍼(101)의 표면(101a)에 대기중에 포함되는 불순물이 부착하는 것을 억제할 수 있다.
- [0083] 다음에, 도 2 및 도 8에 도시한 바와 같이, 에피택셜 웨이퍼(101)에 있어서 제1 산화막(3)이 제거됨으로써 노출된 표면(101a)(제2 표면)에, SiC 반도체 장치를 구성하는 제2 산화막으로서의 게이트 산화막(126)을 형성한다(스텝 S6). 구체적으로는, 도 8에 도시한 바와 같이 내압 유지층(122)과, 웰 영역(123)과, 소스 영역(124)과, 컨택트 영역(125)의 위를 덮도록, 게이트 산화막(126)을 형성한다. 이 형성은 예를 들면 열산화(드라이 산화)에 의해 행할 수 있다. 열산화는, 예를 들면 O_2 , O_3 , N_2O 등의 산소를 포함하는 분위기 속에서 고온으로 가열한

다. 열산화의 조건은, 예를 들면, 가열 온도가 1200℃이며, 또한 가열 시간이 30분이다. 또한, 게이트 산화막(126)의 형성은, 열산화에 한정되지 않고, 예를 들면 CVD법, 스퍼터링법 등에 의해 형성하더라도 좋다. 게이트 산화막(126)은, 예를 들면 50 nm의 두께를 갖는 실리콘 산화막으로 이루어진다.

[0084] 제1 산화막(3)을 제거하는 스텝 S5와, 게이트 산화막(126)을 형성하는 스텝 S6 사이에서, 세정된 표면(101a)을 갖는 에피택셜 웨이퍼(101)의 온도차를 500℃ 이하로 유지하는 것이 바람직하다. 이 경우, 스텝 S5와 스텝 S6 사이에서의 에피택셜 웨이퍼의 온도차가 작기 때문에, 작업 처리량을 향상시킬 수 있다. 제1 산화막(3)을 형성하는 스텝 S4와, 제1 산화막(3)을 제거하는 스텝 S5와, 게이트 산화막(126)을 형성하는 스텝 S6의 각각의 사이에 있어서, 에피택셜 웨이퍼(100, 101)의 온도차를 500℃ 이하로 유지하는 것이 보다 바람직하다. 이 경우, 스텝 S4 개시로부터 스텝 S6 종료까지의 사이에 있어서, 에피택셜 웨이퍼의 온도차가 작기 때문에, 작업 처리량을 향상시킬 수 있다.

[0085] 또한, 제1 산화막(3)을 제거하는 스텝 S5와, 게이트 산화막(126)을 형성하는 스텝 S6 사이에 있어서, 세정된 표면(101a)을 갖는 에피택셜 웨이퍼(101)를 800℃ 이상으로 유지하는 것이 바람직하고, 1000℃ 이상으로 유지하는 것이 보다 바람직하다. 이 경우, 스텝 S5와 스텝 S6 사이에서의 에피택셜 웨이퍼의 온도 저하를 억제할 수 있기 때문에, 작업 처리량을 향상시킬 수 있다. 또한, 제1 산화막(3)을 형성하는 스텝 S4와, 제1 산화막(3)을 제거하는 스텝 S5와, 게이트 산화막(126)을 형성하는 스텝 S6의 각각의 사이에 있어서, 에피택셜 웨이퍼(100, 101)를 800℃ 이상으로 유지하는 것이 바람직하고, 1000℃ 이상으로 유지하는 것이 보다 바람직하다. 이 경우, 스텝 S4 개시로부터 스텝 S6 종료까지의 사이에 있어서, 에피택셜 웨이퍼의 온도의 저하를 억제할 수 있기 때문에, 작업 처리량을 향상시킬 수 있다.

[0086] 그 후, 질소 어닐링을 행한다(스텝 S7). 구체적으로는, 일산화질소(NO) 분위기 중에서의 어닐링 처리가 행하여진다. 이 처리의 조건은, 예를 들면 가열 온도가 1100℃이며, 가열 시간이 120분이다. 그 결과, 내압 유지층(122), 웰 영역(123), 소스 영역(124) 및 컨택트 영역(125)의 각각과, 게이트 산화막(126)의 계면 근방에, 질소 원자를 도입할 수 있다.

[0087] 또한, 이 일산화질소를 이용한 어닐링 공정 후, 추가로 불활성 가스인 아르곤 가스를 이용한 어닐링 처리를 하더라도 좋다. 이 처리의 조건은, 예를 들면, 가열 온도가 1100℃이며, 가열 시간이 60분이다.

[0088] 이 질소 어닐링 공정(스텝 S7) 후, 유기 세정, 산세정, RCA 세정 등의 표면 세정화를 추가로 하더라도 좋다.

[0089] 다음에, 도 2, 도 9 및 도 10에 도시한 바와 같이, 전극을 형성한다(스텝 S8). 우선, 도 9에 도시하는 소스 전극(111)을, 이하와 같이 형성한다. 구체적으로는, 게이트 산화막(126) 상에 포토리소그래피법을 이용하여, 패턴을 갖는 레지스트막을 형성한다. 이 레지스트막을 마스크로서 이용하여, 게이트 산화막(126) 중 소스 영역(124) 및 컨택트 영역(125) 상에 위치하는 부분을 에칭에 의해 제거한다. 이에 따라 게이트 산화막(126)에 개구부(126a)를 형성한다. 예를 들면 증착법에 의해, 이 개구부(126a)에서 소스 영역(124) 및 컨택트 영역(125)의 각각과 접촉하도록 도전체막을 형성한다. 다음에 레지스트막을 제거함으로써, 상기 도전체막 중 레지스트막 상에 위치해 있었던 부분의 제거(리프트 오프)가 행하여진다. 이 도전체막은, 금속막이라도 좋고, 예를 들면 니켈(Ni)로 이루어진다. 이 리프트 오프의 결과, 소스 전극(111)이 형성된다.

[0090] 또한, 여기서 열로이화를 위한 열처리가 행해지는 것이 바람직하다. 예를 들면, 불활성 가스인 아르곤(Ar) 가스의 분위기 속에서, 가열 온도 950℃로 2분의 열처리가 행해진다.

[0091] 그 후, 도 10에 도시한 바와 같이, 예를 들면 증착법에 의해 소스 전극(111) 상에 상부 소스 전극(127)을 형성한다. 또한, 예를 들면 증착법에 의해, SiC 기판(2)의 이면 상에 드레인 전극(112)을 형성한다.

[0092] 또한 게이트 전극(110)을 예를 들면 이하와 같이 형성한다. 미리 게이트 산화막(126) 상의 영역에 위치하는 개구 패턴을 갖는 레지스트막을 형성하고, 해당 레지스트막의 전체 면을 덮도록 게이트 전극을 구성하는 도전체막을 형성한다. 그리고, 레지스트막을 제거함으로써, 게이트 전극이 되어야 하는 도전체막의 부분 이외의 도전체막을 제거(리프트 오프)한다. 그 결과, 도 10에 도시한 바와 같이, 게이트 산화막(126) 상에 게이트 전극(110)을 형성할 수 있다.

[0093] 이상의 공정(스텝 S1~S8)을 실시함으로써, 도 10에 도시하는 SiC 반도체 장치로서의 MOSFET(102)를 제조할 수 있다.

[0094] 또한, 본 실시예에 있어서의 도전형이 교체된 구성, 즉 p형과 n형이 교체된 구성을 이용할 수도 있다.

[0095] 또한, MOSFET(102)를 제작하기 위해서 SiC 기판(2)을 이용하고 있지만, 기판의 재료는 SiC에 한정되지 않고, 다

른 재료의 결정을 이용하여 제작되더라도 좋다. 또한, SiC 기판(2)이 생략되더라도 좋다.

- [0096] 이상 설명한 바와 같이, 본 실시예에 있어서의 SiC 반도체 장치의 일레로서의 MOSFET(102)의 제조 방법은, 제1 산화막(3)을 제거하는 스텝 S5와, 제2 산화막으로서의 MOSFET(102)를 구성하는 게이트 산화막(126)을 형성하는 스텝 S6의 사이에 있어서, SiC 반도체로서의 에피택셜 웨이퍼(101)는 대기가 차단된 분위기 내에 배치된다.
- [0097] 본 실시예에 있어서의 SiC 반도체 장치의 일레로서의 MOSFET(102)의 제조 장치(10)는, 에피택셜 웨이퍼(101)를 반송 가능하게 제거부(12)와 제2 형성부(13)를 접속하는 제1 접속부(14)를 구비하고, 제1 접속부(14)에 있어서의 에피택셜 웨이퍼(101)를 반송시키는 영역은 대기의 차단이 가능하다.
- [0098] 본 발명 MOSFET(102)의 제조 방법 및 제조 장치에 따르면, 제1 산화막을 형성하는 스텝 S4에 있어서, 에피택셜 웨이퍼(100)의 표면(100a)에 부착해 있었던 티탄(Ti) 등의 불순물, 파티클 등을 제1 산화막(3)에 받아들일 수 있다. 제1 산화막(3)을 제거하는 스텝 S5에 의해, 에피택셜 웨이퍼(100)의 표면(100a)에 부착해 있었던 불순물, 파티클 등을 제거할 수 있다. 불순물, 파티클 등이 제거된 표면(101a)을 갖는 에피택셜 웨이퍼(101)를 대기가 차단된 분위기 내(제1 접속부(14))에 배치하는 것으로, 대기중의 불순물, 파티클 등이 세정후의 에피택셜 웨이퍼(101)의 표면(101a)에 재부착하는 것을 억제할 수 있기 때문에, 게이트 산화막(126) 형성 전의 에피택셜 웨이퍼(101)의 표면(101a)을 청정하게 유지할 수 있다. 게이트 산화막(126)을 형성하는 스텝 S6에 있어서, 이 상태의 에피택셜 웨이퍼(101)의 표면(101a)에, SiC 반도체 장치를 구성하는 게이트 산화막(126)을 형성할 수 있기 때문에, 에피택셜 웨이퍼(101)와 게이트 산화막(126)의 계면에 존재하는 불순물, 파티클 등을 저장할 수 있다. 또한, 에피택셜 웨이퍼(101)의 표면(101a)을 청정하게 유지할 수 있기 때문에, 표면(101a) 상에 형성하는 게이트 산화막(126) 중에 존재하는 불순물, 파티클 등도 저장할 수 있다. 또한, 게이트 산화막(126)의 막질도 향상시킬 수 있다. 따라서, MOSFET(102)의 역방향 전압 인가시의 내압을 향상시킬 수 있고, 순방향 전압 인가시의 동작의 안정성 및 장기간 신뢰성을 향상시킬 수 있다. 따라서, 특성을 향상시킬 수 있는 MOSFET(102)를 제조할 수 있다.
- [0099] 본 실시예에서는, 에피택셜 웨이퍼(100)의 표면에 제1 산화막(3)을 형성하고, 제1 산화막(3)을 제거함으로써 표면을 세정한 후에, 에피택셜 웨이퍼(101)가 대기에 노출되는 것에 기인한 재오염의 가능성을 저감하고 있다. SiC는 안정된 화합물이기 때문에, 에피택셜 웨이퍼(100)의 표면(100a)에 제1 산화막(3)을 형성하는 것은 Si와 비교해서 용이하지 않다. 이 때문에, SiC 반도체인 에피택셜 웨이퍼(100)의 표면(100a)을 세정한 후에, 에피택셜 웨이퍼(101)를 대기에 노출시키지 않고서 다음 스텝(게이트 산화막을 형성하는 스텝 S6)으로 반송하는 것은, 세정을 간략화할 수 있고, 제조하는 SiC 반도체 장치의 특성 향상에 크게 기여한다.
- [0100] 또한, 대기가 차단된 분위기의 제1 접속부(14) 내에 에피택셜 웨이퍼(101)를 배치하는 것에 의해, 제1 산화막(3)을 제거하는 제거부(12)와 제2 형성부(13) 사이에서 파티클, 불순물 등의 오염 물질이 서로 묻어 들어가기 어렵게 된다. 마찬가지로, 제1 산화막(3)을 제거하는 스텝 S5 및 게이트 산화막(126)을 형성하는 스텝 S6의 각 스텝 사이에서의 오염물이 묻어 들어갈 가능성을 저감할 수 있다. 따라서, 제거부(12) 및 제2 형성부(13)의 청정화를 유지할 수 있기 때문에, 제조하는 SiC 반도체 장치의 특성의 향상에 크게 기여한다.
- [0101] 본 실시예에서의 SiC 반도체 장치의 일레인 MOSFET(102)의 제조 방법에 있어서 바람직하게는, 제1 산화막(3)을 형성하는 스텝 S4와, 제1 산화막(3)을 제거하는 스텝 S5와, 게이트 산화막(126)을 형성하는 스텝 S6 사이에 있어서, 에피택셜 웨이퍼(100, 101)는 대기가 차단된 분위기 내에 배치된다.
- [0102] 본 실시예에서의 SiC 반도체 장치의 일레인 MOSFET(102)의 제조 장치(10)에 있어서 바람직하게는, 에피택셜 웨이퍼(100)를 반송 가능하게 제1 형성부(11)와 제거부(12)를 접속하는 제2 접속부(15)를 더 구비하고, 제2 접속부(15)에 있어서의 에피택셜 웨이퍼(101)를 반송시키는 영역은 대기의 차단이 가능하다.
- [0103] 이에 따라, 세정 공정 개시로부터 종료까지 에피택셜 웨이퍼가 대기에 노출되는 것을 억제할 수 있고, 또한 세정 공정 종료에서 게이트 산화막 형성까지 에피택셜 웨이퍼(101)가 대기에 노출되는 것을 억제할 수 있다. 따라서, 세정 중과 세정 후의 에피택셜 웨이퍼(100, 101)의 표면(100a, 101a)이 재오염되는 것을 억제할 수 있기 때문에, 특성을 더 향상시킬 수 있는 SiC 반도체 장치를 제조할 수 있다.
- [0104] 또한, 본 실시예에서는, SiC 반도체 장치로서 MOSFET의 제조 방법을 예를 들어 설명했지만, 본 발명은 표면을 갖는 SiC 에피택셜 웨이퍼와, 이 표면에 형성되는 SiC 반도체 장치를 구성하는 산화막(SiC 반도체 장치로서 남는 산화막)을 구비한 반도체 장치에 적용할 수 있다. SiC 에피택셜 웨이퍼는, 표면에 이온 주입된 것과, 이온 주입되어 있지 않은 것을 포함한다. 즉, 본 발명은 예를 들면 MOSFET이나 IGBT(Insulated Gate Bipolar Transistor : 절연 게이트 바이폴라 트랜지스터) 등의 절연 게이트형 전계 효과부를 갖는 반도체 장치나,

JFET(Junction Field-Effect Transistor : 접합 전계 효과 트랜지스터) 등의 산화막을 갖춘 SiC 반도체 장치 전반에 적용할 수 있다.

[0105] (실시예 2)

[0106] 도 11은 본 발명의 실시예 2에 있어서의 SiC 반도체 장치의 제조 장치의 모식도이다. 도 11 등을 참조하여, 본 실시예 2에 있어서의 SiC 반도체 장치의 제조 장치를 설명한다.

[0107] 도 11에 도시한 바와 같이, 본 실시예의 제조 장치(20)는, 챔버(21)와, 제1 가스 공급부(22)와, 제2 가스 공급부(23)와, 진공 펌프(24)를 구비하고 있다. 제1 가스 공급부(22), 제2 가스 공급부(23) 및 진공 펌프(24)는 챔버(21)와 접속되어 있다.

[0108] 챔버(21)는 내부에 에피택셜 웨이퍼(100, 101)(도 5~도 7 참조)를 수용한다. 챔버(21)는, 예를 들면 플라즈마 발생 장치를 이용할 수 있다.

[0109] 제1 가스 공급부(22)는, 에피택셜 웨이퍼(100)에 제1 산화막(3)(도 6 참조)을 형성하기 위해, 그리고 SiC 반도체 장치[본 실시예에서는 MOSFET(102)]를 구성하는 산화막[본 실시예에서는 게이트 산화막(126)]을 형성하기(도 8 참조) 위해, 이용되는 가스를 챔버(21)에 공급한다. 제1 가스 공급부(22)는, 예를 들면 산소를 포함하는 가스를 공급한다.

[0110] 제2 가스 공급부(23)는, 에피택셜 웨이퍼(100)에 형성한 제1 산화막(3)을 제거하기 위해서 이용되는 가스를 챔버(21)에 공급한다. 제2 가스 공급부(23)는, 예를 들면 H₂ 가스, HCl 가스 등의 규소(Si)와 산소를 환원하는 가스를 챔버(21)에 공급한다.

[0111] 진공 펌프(24)는, 챔버(21)의 내부를 진공으로 한다. 이 때문에, 제1 가스 공급부(22)에 의해 에피택셜 웨이퍼(100)에 제1 산화막(3)을 형성한 후에, 챔버(21)의 내부를 진공으로 하고, 제2 가스 공급부(23)에 의해 제1 산화막(3)을 제거할 수 있다. 또한, 제1 산화막(3)을 제거한 후에, 챔버(21)의 내부를 진공으로 하고, 제1 가스 공급부(22)에 의해 SiC 반도체 장치를 구성하는 제2 산화막[게이트 산화막(126)]을 에피택셜 웨이퍼(101)에 형성할 수 있다. 또한, 진공 펌프(24)는 생략되더라도 좋다.

[0112] 또한, 도 11에 도시하는 제조 장치(20)는 상기 이외의 여러 가지 요소를 포함하고 있더라도 좋지만, 설명의 편의상, 이들 요소의 도시 및 설명은 생략한다.

[0113] 본 실시예에 있어서의 SiC 반도체 장치의 제조 방법은, 도 9에 도시하는 MOSFET(102)를 제조하고, 기본적으로는 실시예 1과 마찬가지로이지만, 도 11에 도시하는 제조 장치(20)를 이용하는 점에서 다르다. 이 때문에, 제1 산화막을 형성하는 스텝 S4와 제1 산화막을 제거하는 스텝 S5의 사이, 및 제1 산화막을 제거하는 스텝 S5와 게이트 산화막(126)을 형성하는 스텝 S6의 사이에 있어서, 에피택셜 웨이퍼는 챔버(21) 내에 배치되기 때문에, 대기가 차단된 분위기 내에 배치된다.

[0114] 또한, 제1 산화막(3)을 제거하는 스텝 S5에서 이용하는 장치를 이용하여 제2 산화막으로서의 게이트 산화막(126)을 형성할 수 있다. 다시 말해서, 제1 산화막(3)을 제거하는 스텝 S5와 게이트 산화막(126)을 형성하는 스텝 S6은 동일한 장치로 실시된다. 이 때문에, 제1 산화막을 제거하는 스텝 S5와 게이트 산화막을 형성하는 스텝 S6의 사이에 있어서, 에피택셜 웨이퍼의 온도를 가능한 한 내려가지 않도록(예를 들면 500℃ 이하로) 유지할 수도 있다. 또한, 제1 산화막을 제거하는 스텝 S5와 게이트 산화막을 형성하는 스텝 S6의 사이에 있어서, 에피택셜 웨이퍼의 온도를 800℃ 이상으로, 바람직하게는 1000℃ 이상으로 유지할 수도 있다.

[0115] 또한, 본 실시예에서는, 제1 산화막(3)을 형성하는 스텝 S4와, 제1 산화막(3)을 제거하는 스텝 S5와, 게이트 산화막(126)을 형성하는 스텝 S6은, 동일한 장치로 실시된다. 이 때문에, 제1 산화막(3)을 형성하는 스텝 S4와 제1 산화막(3)을 제거하는 스텝 S5의 사이, 및 제1 산화막(3)을 제거하는 스텝 S5와 게이트 산화막(126)을 형성하는 스텝 S6의 사이에 있어서, 에피택셜 웨이퍼의 온도를 가능한 한 내려가지 않도록(예를 들면 500℃ 이하로) 유지할 수도 있다. 또한, 제1 산화막을 형성하는 스텝 S4와 제1 산화막을 제거하는 스텝 S5의 사이, 및 제1 산화막을 제거하는 스텝 S5와 게이트 산화막을 형성하는 스텝 S6의 사이에 있어서, 에피택셜 웨이퍼의 온도를 800℃ 이상, 바람직하게는 1000℃ 이상으로 유지할 수도 있다.

[0116] 또한, 제1 산화막(3)을 형성하는 스텝 S4 종료 후와, 제1 산화막(3)을 제거하는 스텝 S5 종료 후에, 챔버(21)의 내부를 진공 펌프(24)로 진공 상태(예를 들면 0.1 Pa 이하까지 진공 상태)로 하는 것이 바람직하다. 다시 말해서, 제1 산화막(3)을 형성하는 스텝 S4와 제1 산화막(3)을 제거하는 스텝 S5 사이의 가스 전환시와, 제1 산화막

(3)을 제거하는 스텝 S5와 게이트 산화막(126)을 형성하는 스텝 S6 사이의 가스 전환시에, 분위기의 압력을 감압(예를 들면 0.1 Pa 이하까지 감압)하는 것이 바람직하다. 이에 따라, 챔버(21) 내의 잔류 가스를 저장할 수 있기 때문에, 제2 또는 제1 가스 공급부(23, 22)를 이용한 치환 가스 도입시의 기상 반응에 의한 파티클의 발생을 저장할 수 있다. 예를 들면 제1 산화막(3)이 SiO_x 인 경우, 제1 산화막(3)을 제거하는 스텝 S5와 게이트 산화막(126)을 형성하는 스텝 S6의 전환시, 제1 산화막(3)을 제거하는 스텝 S5에서 분해된 Si를 저장함으로써, 이 잔류하는 Si와, 게이트 산화막(126)을 형성하기 위해서 도입하는 O_2 가스가 반응하여 일어나는 SiO_2 파티클의 발생을 저장할 수 있다. 이 때문에, 에피택셜 웨이퍼의 표면을 보다 청정하게 할 수 있다. 즉, 가스 전환에 따르는 파티클 발생을 억제할 수 있다.

[0117] 이상으로부터, 본 실시예에 있어서의 SiC 반도체의 제조 장치(20)에 의하면, 제1 산화막(3)을 제거하고, 또한 에피택셜 웨이퍼(100)에 있어서 제1 산화막(3)이 제거됨으로써 노출된 표면에, SiC 반도체 장치로서의 MOSFET(102)를 구성하는 제2 산화막으로서의 게이트 산화막(126)을 형성하기 위한 챔버(21)를 갖추고 있다. 이 때문에, 불순물, 파티클 등이 제거된 에피택셜 웨이퍼(101)를 대기가 차단된 분위기 내[챔버(21) 내]에 배치함으로써, 대기중의 불순물, 파티클 등이 에피택셜 웨이퍼(101)의 표면(101a)에 재부착하는 것을 억제할 수 있기 때문에, 게이트 산화막(126) 형성 전의 에피택셜 웨이퍼(101)의 표면(101a)을 청정하게 유지할 수 있다. 게이트 산화막(126)을 형성하는 스텝 S6에 있어서, 이 상태의 에피택셜 웨이퍼(101)의 표면(101a)에, SiC 반도체 장치로서의 MOSFET(102)를 구성하는 게이트 산화막(126)을 형성할 수 있기 때문에, 에피택셜 웨이퍼(101)와 게이트 산화막(126)의 계면에 존재하는 불순물, 파티클 등을 저장할 수 있다. 또한, 에피택셜 웨이퍼(101)의 표면(101a)을 청정하게 유지할 수 있기 때문에, 게이트 산화막(126) 중에 존재하는 불순물, 파티클 등도 저장할 수 있다. 또한, 표면(101a) 상에 형성하는 게이트 산화막(126)의 막질도 향상될 수 있다. 따라서, MOSFET(102)의 역방향 전압 인가시의 내압을 향상시킬 수 있고, 순방향 전압 인가시의 동작의 안정성 및 장기간 신뢰성을 향상시킬 수 있다. 따라서, 특성을 향상시킬 수 있는 MOSFET(102)를 제조할 수 있다.

[0118] 또한, 본 실시예에서는, 에피택셜 웨이퍼(100)의 표면(100a)에 제1 산화막(3)을 형성하기 위한 제1 형성부와, 제1 산화막(3)을 제거하고, 또한 에피택셜 웨이퍼(100)에 있어서 제1 산화막(3)이 제거됨으로써 노출된 표면(101a)에, MOSFET(102)를 구성하는 게이트 산화막(126)을 형성하기 위한 제2 형성부는 동일한 제조 장치(20)를 예로 들어 설명했다. 그러나, 본 발명은 제1 형성부와 제2 형성부는 다른 장치이더라도 좋다. 즉, 본 발명의 제조 장치는 제2 형성부가 도 11에 도시하는 구성이며, 제2 형성부와 다르게 제1 형성부가 배치되어 있더라도 좋다. 이 경우, 제조 장치는 SiC 반도체를 반송 가능하게 제1 형성부와 제2 형성부를 접속하는 접속부를 더 구비하고, 이 접속부에서의 SiC 반도체를 반송시키는 영역은, 대기의 차단이 가능한 것이 바람직하다.

[0119] 이상과 같이 본 발명의 실시예에 관해서 설명을 했지만, 각 실시예의 특징을 적절하게 조합하는 것도 당초부터 예정하고 있다. 또한, 본원에 개시된 실시예는 모든 점에서 예시로서 제한적인 것은 아니라고 고려되어야 한다. 본 발명의 범위는 상기한 실시예가 아니라 청구의 범위에 의해서 나타내어지며, 청구의 범위와 균등한 의미 및 범위 내에서의 모든 변경이 포함되도록 되어 있다.

부호의 설명

[0120] 2 : SiC 기판

2a, 100a, 101a : 표면

3 : 제1 산화막

10, 20 : 제조 장치

11 : 제1 형성부

12 : 제거부

13 : 제2 형성부

14 : 제1 접속부

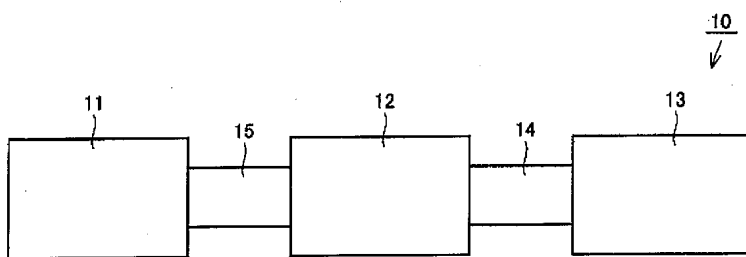
15 : 제2 접속부

21 : 챔버

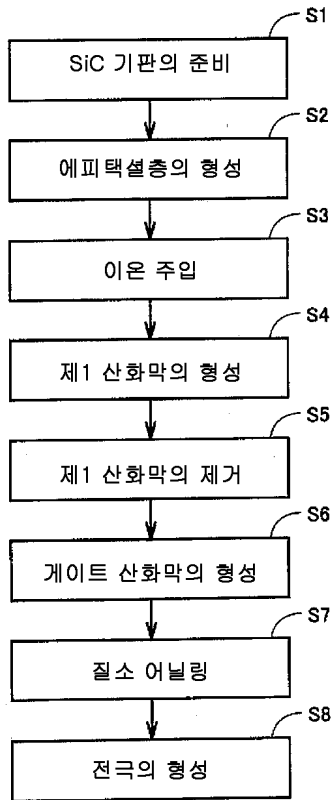
- 22 : 제1 가스 공급부
- 23 : 제2 가스 공급부
- 24 : 진공 펌프
- 100, 101 : 에피택셜 웨이퍼
- 102 : MOSFET
- 110 : 게이트 전극
- 111, 127 : 소스 전극
- 112 : 드레인 전극
- 120 : 에피택셜층
- 121 : 버퍼층
- 122 : 내압 유지층
- 123 : 웰 영역
- 124 : 소스 영역
- 125 : 컨택트 영역
- 126 : 게이트 산화막
- 126a : 개구부
- 129 : 드레인 영역
- 131 : p형 SiC층

도면

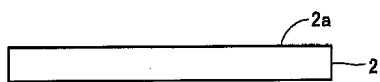
도면1



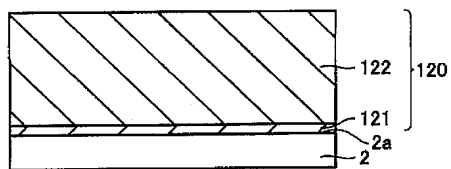
도면2



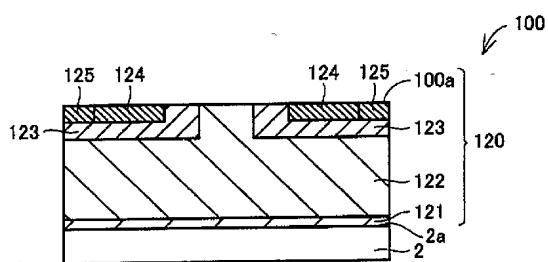
도면3



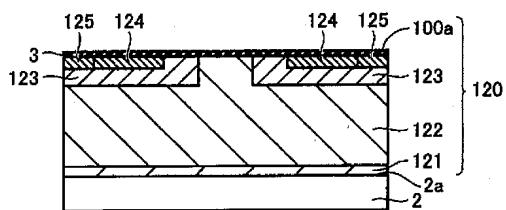
도면4



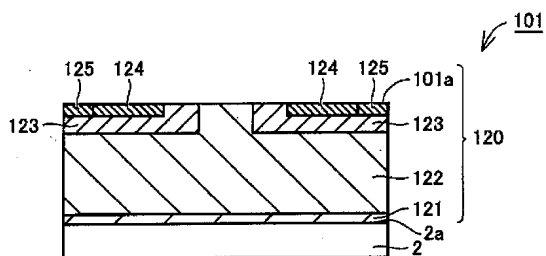
도면5



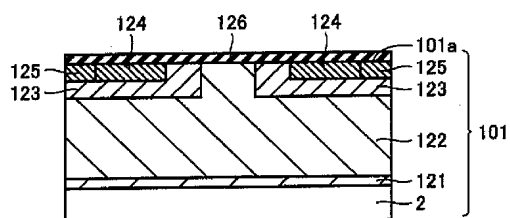
도면6



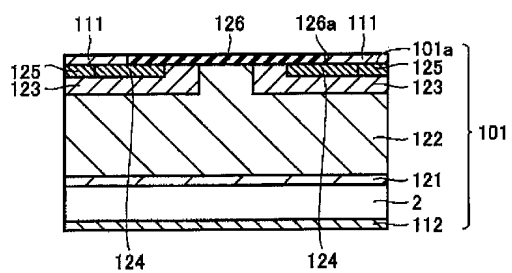
도면7



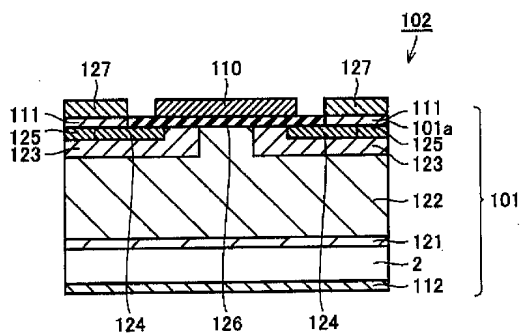
도면8



도면9



도면10



도면11

