[19]中华人民共和国国家知识产权局

[51]Int. Cl[7]
G11B 5/02

[12]发明专利说明书

[21] ZL 专利号 90109411.0

[45]授权公告日 2002 年 12 月 18 日

[11]授权公告号 CN 1096664C

[22]申请日 1990.11.20 [21]申请号 90109411.0

[30]优先权

[32]1989.11.20 [33]US [31]439,559

[73]专利权人 西加特科技有限责任公司

地址 美国加利福尼亚州

[72]发明人 罗伯特·D·克朗奇

拉里·J·库代里

审查员 王晓光

[74]专利代理机构 上海专利商标事务所

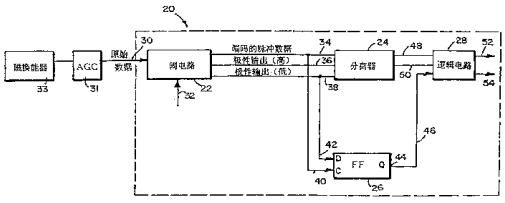
代理人 钱慰民

权利要求书 6 页 说明书 13 页 附图 5 页

[54]发明名称 检出磁换能器产生的原始数据信号中数据脉冲的方法和装置

[57]摘要

本发明提供检出由磁换能器产生的原始数据信号中数据峰值的方法和装置。按照本发明,峰值检测器(22、24)接收原始数据信号以检测原始数据信号中峰值的信号电平。原始数据信号有一极化周期且这也被检测。将选择装置(28)与峰值检测器及检测极化周期装置相连接以便选择在极化周期中原始数据信号中出现的第一最高峰值。



ISSN1008-4274

1.一种对磁换能器(33)所产生的具有一振幅和一极性周期的原始数据信号中的数据峰值进行检出的方法，其特征在于包括以下步骤:

将原始数据放大，并提供一放大数据信号(30);

提供至少两个正阈值参考电平(58,62) 和至少两个负阈值参考电平(60,64) ;

输出一编码脉冲数据输出(34)，它包括一表示在经放大的原始数据信号的一个极性周期内一单调增加振幅的峰值的发生的编码数据脉冲(68)，该数据信号超过所述正阈值电平(58,62) 的较低电平(58)或所说负阈值电平(60,64) 的较低电平(60);

输出一极性低输出(38)，它表示所述放大原始数据信号(30)的一振幅的发生，该信号超过所述正阈值电平(58,62) 的较低电平(58)或所述负阈值电平(60,64) 的较低电平(60);

输出一极性高输出(36)，它表示所述放大原始数据信号(30)的一振幅的发生，该信号超过所述正阈值电平(58,62) 的较高电平(62)或所述负阈值电平(60,64) 的较高电平(64);

接收编码脉冲数据输出、极性高输出和极性低输出，并输出一表示同步脉冲(72)的同步脉冲数据输出(48);

根据所述编码数据脉冲(68)输出一时钟脉冲输出(50)，该编数据脉冲是当极性低输出(38)和极性高输出(36)的逻辑状态相同时发生的;

提供一 计时极性输出(46,70),它表示根据极性低输出(38)和编码脉冲数据输出(34)的原始数据信号(30)的极性周期;和

接收所述同步脉冲数据输出(48)、时钟脉冲输出(50)和计时极性输出(46,70) ，并提供一选通同步脉冲输出(52,74),它表示当原始数

据信号(30)的一极性周期中所发生的一个最后的同步脉冲数据的发生。

2.根据权利要求1 所述的方法，其特征在于所提供的选通同步脉冲输出(52,74) 包括:

响应于时钟脉冲输出(50)，通过在移位寄存器(96)中的多个数据地址(6-0) 将同步数据脉冲(72)移位，并提供一包括移位同步数据脉冲的数据移位寄存器输出(104) ；

响应于时钟脉冲输出(50)，通过在极性移位寄存器中的多个数据地址(6-0) 将计时极性输出移位；和

检测数据移位寄存器(96)的多个数据地址(6-0) 和极性移位寄存器(98)的多个数据地址的内容，并且当数据移位寄存器输出(104) 表示原始数据信号(30)的极性周期内的最后同步数据脉冲的发生时，提供一起动信号(106) 到一输出门(102) 的起动输入。

3.根据权利要求2 所述的方法，其特征在于: 数据移位寄存器具有多个数据地址($A_{DS}1$, $A_{DS}2$…$A_{DS}N$)，极性移位寄存器具有多数据地址(A 1,A 2…A N)，而提供起动信号(106) 的步骤包括根据以下的关系式提供一起动信号:

起动＝ ($A_{DS}1 \times A_{PS}1$)＋ 〔$A_{DS}2 \times (A_{PS}1 \times A_{PS}2)$ 〕

……＋ 〔$A_{DS}N \times (A_{PS}1 \times A_{PS}2 \cdots \times A_{PS}N)$〕。

4.一种对磁数据存储系统中的磁换能器(33)所产生的原始数据的数据信号峰值进行检测的装置，该原始数据信号有一极性周期和一振幅，其特征在于，该装置包括:

一自动增益控制段电路(31)，连接到磁换能器(33)，用以接收原始数据信号和输出一放大原始数据信号(30)；

阈值检测装置(22)，用以接收来自所说自动增益控制段电路(31)的放大原始数据信号(30)，至少两个正阈值基准电平(58,62) 和至少两个负阈值基准电平(60,64) ，用以提供一编码脉冲数据输出(34)，

它包括编码脉冲(68)，表示在所说放大原始数据信号(30)的一个极性周期内单调增加的振幅的峰值的发生，这些峰值超过了所说正阈值电平(58,60) 的较低电平(58)或所述负阈值电平(60,64) 的较低电平(60)；提供一极性低输出(38)，表示所说原始数据信号(30)的一振幅的发生，该振幅超过所说正阈值电平(58,62) 的较低电平(58)或所说负阈值电平(60,64) 的较低电平(60)，以及提供一极性高输出(36)，表示所述原始数据信号(30)的一振幅的发生，该振幅超过所说正阈值电平(58,62) 的较高电平(62)或所说负阈值电平(60,64) 的较高电平(64)；

分隔器装置(24)，用以接收编码脉冲数据输出(34)、来自阈值检测装置(22)的极性高输出(36)和极性低输出(38)，提供表示同步数据脉冲(72)的同步脉冲数据输出(48)，和提供锁相环路电路所产生的一时钟脉冲输出(50)，其中该时钟脉冲输(50)是根据编码数据脉冲(68)产生的，而该编码数据脉冲是在极性低输(38)出和极性高输出(36)的逻辑状态相同时发生的；

一触发器(26)，具有一连接到阈值检测装置(22)的极性低输出(38)的D 输入端(42)，一连接到阈值检测装置(22)的编码脉冲数据输出(34)的时钟脉冲输入端(40)，和一Q 输出端(44)，用以提供一计时极性输出(46)；以及

一逻辑装置(28)，用以接收同步脉冲数据输出(48)、时钟脉冲输出(50)和计时极性输出(46)，并提供表示在原始数据信号(30)的极性周期内最后同步数据脉冲的发生的选通同步脉冲输出(52)。

5.一种对磁换能器(33)产生的原始数据信号(152,154) 中的峰值进行检出的方法，其特征在于包括以下步骤：

提供一高电平(V_H)、一中电平(V_M)和一低电平(V_L)的阈值电平；

产生比较器输出(122-126,130-134)，表示与各个阈值电平

(V_H, V_M, V_L)比较的原始数据信号(152,154) 的信号电平;

检测所述原始数据信号(152,154) 中的峰值, 以提供表示峰值的输出(128);和

提供处理装置(136-146,148,150),以处理所述比较器输出(122-126,130-134)和所述表示峰值的输出(128),以产生表示在原始数据信号(152,154) 的一给出的极性周期内的第一最高峰值的信号, 所述处理装置包括一锁相环路, 只有表示超过中阈值电平(V_M)的原始数据信号(152,154) 被输入于该锁相环路。

6.根据权利要求5 所述的方法, 其特征在于还包括:

计算所述原始数据信号(152,154) 的一次导数;

检测原始数据信号的一次导数中的零交叉, 并产生表示原始数据信号的一次导数中的零交叉的发生的零交叉输出(128) ; 和

应用所述零交叉输出(128) 以计算所述处理装置(136-146,148,150)的的比较器输出(122-126,130-134) 。

7.根据权利要求6 所述的方法, 其特征在于:

所述比较器输出(122-126,130-134) 是通过根据表示原始数据信号(152,154) 中的一峰值的原始数据信号的一次导数的零交叉的检出,提供一时钟信号(128) 而被计算的;

以记录了原始数据信号的一次导数的多个数据寄存器(136-146)闩锁所说比较器输出(122-126,130-134) , 并提供所说被闩锁的数据输出, 从而使比较器输出响应于根据原始数据信号(152,154) 中的一峰值的时钟信号而被闩锁;

使所述被闩锁的数据输出同步, 并提供同步数据输出(Q0-Q5) ;

响应于原始数据信号的极性周期以重置所说多个数据寄存器; 和

将同步数据输出(Q0-Q5) 编码, 并根据将原始数据信号的振幅与多个正和负的阈值电平(V_H, V_M, V_L)进行比较, 以提供表示原始数据信

号(152,154) 中的峰值的编码二进制输出。

8.根据权利要求5 至7 的任一项权利要求所述的方法，其特征在于：具有三个正的(V_H, V_M, V_L)和三个负的($-V_H$, $-V_M$, $-V_L$) 阈值电平。

9.一种对磁换能器(33)产生的原始数据信号(152,154) 中的数据峰值进行检测的装置，所说原始数据具有一极性周期，所说装置的特征在于：

至少三个比较器(122-134)，每一比较器分别与至少三个对应的数据寄存器(136至138) 之中一个和至少三个阈值基准电平(V_H, V_M, V_L)，包括一高电平，一中电平和一低电平之中的一个相连接，以比较原始数据信号和阈值基准电平，产生一表示原始数据信号的一闩锁输出；

用以检测原始数据信号中的峰值的装置；和

逻辑装置(148,150)，包括用以检测原始数据信号中的极性周期的装置，与数据寄存器(136-146) 相连接，用以在一极性周期内选择原始数据信号中发生的第一最高峰值，所述逻辑装置包括一锁相环路，只有表示超过中阈值电平的原始数据信被输入于该锁相环路。

10. 根据权利要求9 所述的装置，其特征在于，还包括一自动增益控制电路(31)，它与磁换能器(33)相连接，用以接收原始数据信号和输出一放大原始数据信号(30)。

11. 根据权利要求9 或10所述的装置，其特征在于还包括：

三个正的比较器(122-126) 和三个负的比较器，以及对应的阈值基准电平(V_H, V_M, V_L)；

时钟脉冲源比较器(128)，用以根据原始数据的一次导数中的零交叉提供非倒相或倒相的时钟脉冲输出；

多个正数据寄存器(136,138,140)，用以响应于时钟脉冲源比较器(128) 的非倒相时钟脉冲输出以寄存正的比较器(122-126) 的输出，并提供寄存数据输出；

多个负数据寄存器(142,144,146),用以响应于时钟脉冲源比较器(128)的倒相时钟脉冲输出以寄存负的比较器(130-134)的输出,并提供寄存数据输出;

同步装置(148),用以使来自多个正数据寄存器和多个负数据寄存器的寄存数据输出同步,以提供同步数据输出(Q0-Q6),以及响应于原始数据信号的极性周期的检测重置多个正数据寄存器和多个负数据寄存器。

12.根据权利要求11所述的装置,其特征在于还包括一个数据编码器(150),连接到同步装置(148),该数据编码器将同步数据输出编码成为编码二进制数据(b0+b2)。

检出磁换能器产生的原始数据信号中数据脉冲的方法和装置

本发明涉及对磁换能器产生的原始数据信号中的数据峰值加以检出的方法和装置。更具体地说，本发明涉及检出用于磁带或磁盘存储器中的磁头所产生的原始数据信号中出现的有效数据峰值。

在诸如计算机磁盘驱动器的磁存储系统中，数据信息是以磁的形式记录在磁盘表面上的。数字信息是由跨越旋转磁盘表面、有选择地极化的连续区域来表示的。当从存储磁盘上读回该信息时，检测出该介质的磁极化并将其转换为电输出信号，即原始数据信号。该原始数据信号能反映出磁盘上磁通量密度的相对强度的特征。可通过读／写磁头完成该读出和写入操作。

非常需要的是在磁盘上提供很高的信息存储密度。

记录系统的设计标准之一是在记录表面上提供尽可能高的面密度而且同时无须为此折衷系统性能。但是，增加存储密度导致在原始数据输出信号中显著的噪声电平。这种噪声信号源可包括磁盘表面的凹凸不平和附近电子设备引起的电磁噪声。而且，高密度数据编码方案，例如1、7码，会进一步增加原始数据输出信号对不需要的噪声的敏感度。1、7码在任意两个相邻磁通单元间使用单个零磁通单元并且邻近磁通单元不多于七个。使用宽“窗口”以增加磁盘容量的编码具有较大带宽和较长的基线因而导致对噪声和串音的敏感。如读出磁头少许偏离磁迹，则会进一步加剧该噪声问题。

对于那些旨在增加磁盘密度并且具有最小脉冲间隔 1 的数据编码方案，由于符号间干扰而对相隔很近的脉冲采用减低的幅度电平。这

使信噪比降低，也使脉冲检出电平不得不降低，并带来偏迹噪声问题。

将阈值以上的第一峰值取为数据“脉冲”位置的简单脉冲检出方法已不再适用。检出电平的设置一般是使得因原始数据输出信号中出现的噪声而有同样个数的“信号丢失”和同样个数的“额外”脉冲。然而可期望旨在增加数据密度的编码方案有很多这样的可能，即在降低的检出阈值以上出现多个峰值和(或)峰值位于长基线上分隔较宽的脉冲之间。用于否决其幅度不超过预定电平的数据峰值的阈值检测器当信号电平与噪声电平间的比率较小时，不适合否决错误的数据峰值。可以预料，“第一峰值”检出方法会将多个脉冲单元置于正确窗口之外。这不但带来数据译码问题，也造成读出电路所用的锁相环“抖晃”。

本发明试图提供对在读操作期间由读/写磁头产生的数据峰值信号进行检出的改进方法。

按照本发明的一个方面，提供一种从磁换能器产生的原始数据信号中检出数据峰值的检出方法，其特征在于包含以下步骤：监视原始数据信号峰值，检测原始数据信号峰值的信号电平，产生表示在原始数据信号中出现第一最高峰值的输出。

在以下描述的最佳实施例中，该方法包含在数据信号已通过确定的最小检出阈值后选择原始数据信号中第一最高峰值。降低最小检出阈值以避免大部分信号丢失(由于高密度编码方案例如1、7码中所提供的信号幅度降低)。由于“额外”脉冲个数增加而带来的问题通过只识别最高峰值而得以消除。该最高峰值一般呈现于正确窗口内。

按照本发明的另一方面，提供了一种用于对磁换能器产生的原始数据信号中数据峰值进行检出的装置，该原始数据信号有一极化周期，该装置的特征在于包含：用于接收原始数据信号并检测原始数据信号峰值电平的峰值检测器，用于检测原始数据信号极化周期的装置，和

峰值检测器及检测极化周期的装置相连接用以在极化周期内选择原始数据信号中出现的第一最高峰值的装置。

例如，峰值检测器可包含后接有比较器，用以对电容器充电的晶体管。在以下说明的实施例中，通过该晶体管将电容器电压充至最高峰值电平并在每个窗口起始处重新复位。然后提供逻辑来确定何时已找到最高峰值并输出一相应数据脉冲。该逻辑用来将延迟引入该电路，以保持锁相环同步，仅仅将高于阀值电平以上的脉冲送到锁相环相位检测器。这也许会导致与锁相环有关的许多信号丢失。但是，锁相环固有地对信号丢失比位置不当脉冲更不敏感。可将降低的阈值电平用于数据脉冲检出电路中。

用三级检出电路也可确定原始数据输出信号中第一最高电平的位置。原始数据信号中的每个峰值触发一组其输入与一组比较器相连的触发器，每个触发器有一相应的检出电平以产生总数为三个的阈值。借助触发器设置形式，该逻辑可确定何处出现数据峰值、它们的相对电平以及根据第一最高峰值的位置的实际峰值在原始数据信号中的位置。

本发明特别适用于具有大带宽和长基线的编码方案，例如高密度编码方案。本发明通过减小对噪声和串音的敏感度(当读磁头少许偏离磁道，该问题尤为显著) 而改进对数据信号的检出。

参考附图，通过实例进一步说明本发明，附图中:

图 1显示了在一基于第一峰值阈值检出法的系统中，编码脉冲数据信号、原始数据输出信号和检出的数据脉冲输出信号间的关系;

图 2是按照本发明的检出电路的方框图;

图 3用图形示出图2电路各个位置上电压和时间之间的关系;

图 4是图2电路中峰值检测器的原理图;

图 5是示出图2电路中移位寄存器逻辑的详细框图;

图 6是图5移位寄存器逻辑的时序图;

图 7是图5移位寄存器逻辑位模式的实例;

图 8是按照本发明的三级检出电路的框图;

图 9示出图8三级检出电路的原始数据信号及时序图。

图 1用图形示出编码脉冲数据信号10，相应的原始数据信号12和检出的输出信号14，其中，检出是基于已知的对检出电平以上给定极性的第一峰值的检测进行的。16和18两条虚线表示用于检出原始数据信号12的正的和负的电压阈值。

图1表示了先有技术的第一峰值阈值检出方法带来的问题。图1中，标以a到ℓ的12个点各自与信号14的不同时刻的点相关连。点 c、i 和j 尤为值得关注。点 c表示何谓“信号丢失”，即从存储在磁存储媒介的信息中产生的原始数据信号太弱以致不能达到电压阈值(16和18) 以及触发输出信号14。这样，应在图1中信号14的点c处出现的一数据脉冲丢失了。这种数据丢失例如是由于存储媒介表面的凹凸不平所致。

图1信号14中标以i 的点表示在信号12第一峰值超出上阈值16处出现额外脉冲。图 1表示的第一峰值检出方案错误地将该第一峰值识别为实际数据脉冲的位置，尽管该数据脉冲的正确位置在图1中j 点示出。

在本发明中，可降低用于检出原始数据信号的检出电平，从而使信号丢失(如图1中c 点) 较少出现。而且，本发明避免了由于额外脉冲的假触发，例如，图1中i 点。

图 2中框图20示出了本发明一实施例，该实施例包括: 阈电路22、分离器24，触发器26和逻辑电路28。阈电路22最好包括脉冲检测器、低电平门和极性检测电路(未示出) 。分离器24包括电路时序的锁相环(未示出) 。逻辑电路28包括移位寄存器(未示出) 用于识别原始数据信号中最高峰值的位置，这在以下将更详细加以说明。触发器26最好是D型触发器。

阈电路22通过线路30接受来自自动增益控制电路31的原始数据信号，该控制电路作用于由磁换能器33产生的信号。阈电路22也接收阈电压基准线路32上的阈电压基准。该阈电路22提供三个输出，即线路34上的编码脉冲数据，线路36上极性输出(高)信号和线路38上极性输出(低)信号；各信号由分离器24所接收。触发器26以其时钟输入40与编码脉冲数据线路34相连接，以其D输入42与极性输出(低)线路38相连接。触发器26的Q输出44连接到时钟极性线路46。分离器24将输出信号提供给同步脉冲线路48和与逻辑电路28相连的读时钟线路50。逻辑电路28在定时极性线路46上也接收来自触发器26的Q输出44的定时极性信号。逻辑电路28将输出提供给选通的同步脉冲数据线路52和时钟线路54。

图3是框图20在工作时的逻辑时序图。曲线图56示出图2线路30上所加载的原始数据信号。正和负低电平电压阈值在图3的曲线图56中分别由虚线58和60所示。在曲线图56中，正和负高电平电压阈值分别由虚线62和64所示。从图2中电压阈值基准线路32上提供的电压来产生这些电压阈值电平。在图3的图形66中，极性输出(低)信号的波形由实线示出，极性输出(高)信号由虚线示出。分别从极性输出(高)线路36和极性输出(低)线路38取得两个极性输出信号。图68示出图2中线路34所载编码脉冲数据的图形。图形70示出由触发器26在定时极性线路46上提供的定时极性信号。在图形72中示出从同步脉冲线路48上取得的同步脉冲数据。图形74示出由逻辑电路28从选通同步脉冲数据线路52取得的选通的同步脉冲数据。

由线路30提供的原始数据信号通过自动增益控制电路31被放大，使得原始数据信号足以触发阈电路22。可通过调整由电压阈值基准线路32提供给阈电路22的电压来设置电压阈值电平。基准线路32上电压的改变相应改变了曲线图56中所示阈值电平58到64。图形66中示出两

种极性信号，实线信号用正和负低电平电压阈值58和60产生，而虚线用正和负高电平电压阈值62和64产生。图形68所示编码数据信号由使用标准的dv／dt和零交叉检测的阈电路22产生使得只有那些零交叉检测有合适极性的信号才会引起线路34上的编码数据脉冲。而且，使用了一种峰值检测的方法使得只允许单调增加幅度的峰值产生图形68的编码脉冲数据。这种单调增加的峰值的检测在任何给定的恒定极性间隔内进行。

将编码的脉冲数据和极性信息发送到标准锁相环和分离器24中的数据分离器，该分离器24后接有移位寄存器和逻辑电路28中选通逻辑。该电路在任何恒定极性间隔内清除所有同步脉冲而只留下最后的同步脉冲。

由于只有在一个数据窗口内单调增加的脉冲在编码脉冲数据线路34上得到表示，所以，通过提供只与脉冲极化窗口内编码脉冲数据线路34上最后脉冲对应的选通同步脉冲数据线路52上的选通同步脉冲，使得在选通同步脉冲数据线路52上只有该窗口内出现的最高电平得到表示。

极性输出(高) 线路36和极性输出(低) 线路38中只有编码的脉冲数据同样处于高或低状态被锁相环作为相检测信息使用。这就消除了由较低数据峰值触发编码数据脉冲而引起的错误的相位信息。但所有编码脉冲数据为数据分离器24所用并重新定时到同步的脉冲数据。移位寄存器和逻辑电路28将图 3中76所示的时间延迟引入图形74所示选通同步脉冲数据。

图4示出峰值检测电路76的原理图，它包括用于图2阈电路22的晶体管78。晶体管78的集电极通过电阻82连接到电源电压80。晶体管78的发射极通过电容器86连接到接地端84。晶体管78的基极通过输入88接收来自自动增益控制电路31的原始数据信号。峰值检测器90连接到

晶体管78的集电极及基准电压92并提供一输出94。峰值检测器90和晶体管78用来检测来自输入88的数据信号中单调增加的峰值。

图 3中图形56所示出的原始数据信号包含许多峰值。晶体管78和峰值检测器90配合工作以产生数据脉冲信号，该数据脉冲信号的脉冲只表示图形56所示原始数据信号中那些在给定极化范围内高于或低于相应正的或负的低电平电压阈值58或60的单调增加的峰值。这样，未达到最小阈值58或60的那些峰值在峰值检测器90的输出94上不产生相应数据脉冲。

峰值检测电路76包括电容器86，该电容器保持着代表输入88上提供的最高信号值的充电值。随着输入信号增大，晶体管78导通对电容器86充电。当一个峰值到来时，只有当输入88上信号幅度在原始数据信号给定极化窗口内超出先有输入信号幅度时晶体管78才导通。这样，图 3中图形56中信号峰值没有以前峰值大，将不在峰值检测器90的输出94上产生脉冲(图 3中图形68所示) 。峰值检测电路76当原始数据信号中极性窗口反转时被重新复位。

阈电路22将输出94提供给分离器24，该输出94包含线路34上的编码脉冲数据以及分别在线路36和38上的极性输出(高) 和(低) 信号。

图5示出图2所示逻辑电路28的更为详细的电路图。逻辑电路28包括与移位逻辑 100相连接的移位寄存器96和98。移位寄存器96是数据移位寄存器而移位寄存器98是极性信号移位寄存器。“与”门 102和数据移位寄存器96的数据输出104及移位逻辑100的允许(enable) 输出106 相连接。数据移位寄存器96和极性移位寄存器98的时钟输入接收来自图 2中读出时钟线50的时钟脉冲。将数据从同步脉冲线48加载到数据移位寄存器96中。用触发器 108、“异或”门110和反相器112，根据由触发器26提供的信号在定时极性线46上产生极性移位寄存器98的数据。

极性移位寄存器98接收表示正极性的二进制 “1”和表示负极性的二进制 “0”。同样，将来自分离器24的同步脉冲线48上的数据装入数据移位寄存器96。使用读时钟线路50上的时钟脉冲，将两个移位寄存器96和98定时成相同的频率。从分离器24中锁相环导出该时钟频率。移位逻辑 100与数据移位寄存器96和极性移位寄存器98协同工作。移位逻辑 100查找定时极性线46上提供的极性脉冲出现跃迁之前在同步脉冲数据线48上读脉冲序列中的最后一个脉冲。然后，移位逻辑100屏蔽掉在与极性移位寄存器98导出的同一极性周期内出现的数据移位寄存器96中的所有数据脉冲，只保留该序列的最后数据脉冲。这可通过有选择地激活与“与”门102相连接的移位逻辑100的允许输出 106来实现，因为脉冲数据是由读出时钟线路50上的时钟脉冲通过数据移位寄存器96定时的。该最后的数据脉冲表示输入到阈电路22的原始数据信号在该原始数据信号给定极化周期内达到的第一最高峰值。

图3中图形74示出“与”门102的输出，该输出表明在原始数据信号给定极化区内只是将编码脉冲数据线34上提供的按时间顺序的最后数据脉冲通过逻辑28传送到选通同步输出52。

数据移位寄存器96的选通的同步输出52可通过相位比较器（未示出）和锁相环（未示出）的处理而恢复数据和时钟信号。

包含数据移位寄存器96、移位逻辑 100和移相寄存器98的逻辑电路28将时间延迟引入该电路。 为保持锁相环同步， 只是将高电平阈值（ 图 3中62和64）上出现的脉冲送至锁相环相位检测器。这可能对锁相环产生若干“信号丢失”，但这种电路固有地对信号丢失比对错误确定的脉冲更不敏感。这个问题可通过使用图 3所示的高和低电平阈值（ 58到64） 来加以改进。数据线36和38将高和低的阈值信息传送到分离器24中锁相环（ 未示出）。只有高和低阈值线36和38都为同一状态的编码脉冲数据（ 图 3中图形68中示出） 被锁相环用作相位检测

信息。此举旨在消除由较低峰值引起的不良相位信息，该相位信息可以提供给线路34上的编码脉冲数据。但是，图 3 中图形68以图形示出的所有脉冲数据被单调峰值检测电路所用。

该电路改进了偏离磁迹的性能，尤其当用于高密度编码例如1、7码时会同时出现长基线和低分辨率。使用移位寄存器96和98可超前所要求那样多而只取决于移位寄存器的容量。该电路可全部超前到下一相邻的极化峰值。这种存储特性比起只使用实际脉冲到脉冲检测的方法有显著优点。但该电路必须足够强度以容许由于移位寄存器96和98引入的延迟。对1、7代码，该延迟的最环情形是4.66个数据位的间隔。

图6中，示出用于图5逻辑电路28的逻辑图。同步脉冲信号如图形114所示，来自线54的时钟信号如图形116所示，而来自线46的定时的极性信号如图形 118所示。图形118中定时极性信号总是在图形114同步脉冲信号中同步脉冲之前改变状态。由于电路设计，将总是这种情形。图形 116中时钟信号上升沿将极性信息和数据分别移入移位寄存器96和98。不管何时检测到磁通反转，数据移位寄存器96就包含逻辑电平“1”。极性移位寄存器98一般包含逻辑电平“1”而原始数据信号只要有极性变化时，就包含逻辑电平 “0”。移位寄存器96和98以及移位逻辑 100的总操作就是只对在原始数据信号中给定极化区内最后一个磁通反转产生数据输出。较早出现的同样极性的磁通反转将被取消。

使用移位寄存器96和98以及移位逻辑 100，该脉冲取消可用以下规则实现:

(1) 极性移位寄存器98中“0”指出数据移位寄存器96中相应数据的极性已变化。

(2) 数据移位寄存器96一位中的“1”指出磁通反转位置。如果相应的极性移位寄存器98的位置中是 “0”，那么实际极性变化先于出现

磁通反转。所以，考虑图7示出的数据时，数据移位寄存器96位置A_1和A_4有不同极性，但数据位置A_4和A_6极性相同。

(3)，当数据移位寄存器96中的“1”到达A_6位置，移位寄存器96中所有后面的“1”在移位寄存器96中与极性移位寄存器98中它们自己的极性位置进行比较，而这些极性位置高 并包括数据移位寄存器96中“1”的位置。如果所有这些“1”看到至少单个极性变化(由“0”指出)则将位置A_0的“1”作为数据发送出去。如果数据移位寄存器96中后面的“1”看不到前面的“0”，则位置A_0的数据必须与另一较后的“1”有相同极性，并可由“与”门102消去。

数学上这可用以下布尔式表示:

$$\overline{Enable} = (A_{96}1 \times A_{98}1) + [A_{96}2 \times A_{98}1 \times A_{98}2)] +$$
$$[A_{96}3 \times (A_{98}1 \times A_{98}2 \times A_{98}3)] \ldots +$$
$$[A_{96}6 \times (A_{98}1 \times A_{98}2 \times A_{98}3 \times A_{98}4 \times A_{98}5 \times A_{98}6)]$$

其中$A_{96}1$到$A_{96}6$表示数据移位寄存器96中数据位置1到6，$A_{98}1$到$A_{98}6$表示移相寄存器98中存储的数据位置。

原始数据周期中最高峰值的位置可用三级检出方案加以检测。每个峰值触发一组其输入与一组比较器相接的触发器，每个比较器将检出电压基准电平作为一输入，将原始信号作为另一输入。这些比较器的输出触发这些触发器。原始数据信号的形状确定触发器状态使得通过检测触发器设置形式，逻辑可判定哪一个激发是由最高读信号引起。

该逻辑将时间延迟引入电路。以保持锁相环同步，仅仅将三个阈值电平的中间检出阈值上出现的脉冲送到锁相环检测器。这仍会对锁相环引起“信号丢失”，但锁相环固有地对信号丢失比对错误确定脉冲更不敏感。

图8示出三极检测电路120。电路120包括比较器122到134和D型触发器136到146。三极检测电路120也包括复位和同步逻辑148和编码器

逻辑150。将来自自动增益控制31的原始数据信号加到与比较器122到134的非反相输入端相连接的输入端152和154。将三级阈值电压V_{tH}、V_{tM}和V_{tL}加到比较器 122到134的反相端。V_{tH}表示高电平电压阈值并供给比较器 126和134的反相端。V_{tM}表示中电平电压阈值并送到比较器124和132的反相输入端。V_{tL}表示低电平电压阈值并供给比较器122和130的反相输入端。比较器128的输入接收表示磁传感器(未示出)提供的原始数据信号微分的零交叉。比较器 128的反相和非反相输出提供被触发器136到146所用的时钟信号。触发器 136到146的D输入与比较器122到134的输出相连接。触发器136到 146的Q输出连接到复位和同步逻辑 148。比较器122到134的复位输入也连接到复位和同步逻辑 148。复位和同步逻辑148在图8中线Q0至Q5上将二进制输出提供给编码器逻辑 150，该编码器逻辑在线b0到b2上给出编码的二进制输出。零交叉比较器 128的输入载有使用微分和零交叉的标准方法得出的电压信息以使只将正峰值重新定时序到正阈值以及只将负峰值重新定时序到负阈值上。使用这种技术，原始数据信号中每一峰值可通过读出原始数据信号微分的零交叉来加以检测。

图9是来自自动增益控制31(见图2) 的原始数据信号和相应的触发器136到146的Q输出的图形。原始数据信号标以$V_{152}-V_{154}$并表示图8所示输入152与154间的电压差。图9中虚线标示的正和负的V_{tH}、V_{tM}和V_{tL}表示三级检出电路120所用的三个电压阈值。触发器136到146的输出标以Q_{136}到Q_{146}。Q_{136}、Q_{138}和Q_{140}分别指出当原始数据信号已超过低电压阈值时的中间电压阈值和高电压阈值。标以Q_{142}、Q_{144}和Q_{146}的曲线分别指出何时在$V_{152}-V_{154}$取得的原始数据信号小于$-V_{tL}$、$-V_{tM}$和$-V_{tH}$。触发器136到146的输出与复位和同步逻辑148相连接，后者产生原始数据信号提供给输入152和154的每个脉冲电平的二进制表示。一旦原始数据信号极化周期结束，复位和同步逻辑 148也复位触发器

138到144。

编码器逻辑150接收来自逻辑148的数据线Q0到Q5上的二进制信号并在数据线b0到b2上给出编码的输出。然后编码的二进制输出b0到b2可直通诸如微处理器(未示出)的控制器单元，产生表示原始数据信号中超过原始数据信号给定极化周期内最先出现三个阈值中最大值的峰值输出。用于给触发器136到146定时的比较器128只使原始数据信号的峰值被比较器122到126及130到134所数字化并由触发器136到146锁存，由于比较器128的输入接收与原始数据信号微分相关的信号，以及触发器136到146具有边沿触发的时钟输入。该电路只将正峰值重计时到正阈值，只将负峰值重计时到负阈值。

图8中使用三级峰值检测的、由比较器控制的电路特别有用，因为峰值检测算法是用计算机软件实现的。通过对峰值阈值电平和它们按时间先后次序在来自磁头的原始数据信号极化周期内出现的各种组合的优先排序，很容易对给定的磁读回系统的检测信号加以优化。该通用性提供了系统根据对系统检出标准优化而无须反复对硬件部件重新设计的能力。

只将那些超过中间电平电压阈值的脉冲用作锁相环(未示出)的输入。超过高和低电压阈值的脉冲同步于锁相环否则就不能影响锁相环操作。

本发明提高了从磁存储介质例如磁盘上读回信息时的精度。本发明供增大磁盘存储量的高密度编码方案使用时优越性尤为显著。这些编码往往有较大的带宽和较长基线，尤其当读磁头少许偏离磁迹时这使得编码对噪声和串音较为敏感。本发明允许使用降低的电压检出阈值，尤为适用于检测低幅度原始数据信号，诸如那些最小脉冲间隔很小且幅度已降低以减少符号间干扰的信号。通过对读信号已通过最小检出阈值后第一最高峰值的检测，将该峰值指定为数据脉冲的实际位

置，就有可能用本发明降低检出阈值并仍可避免与信号丢失有关问题。

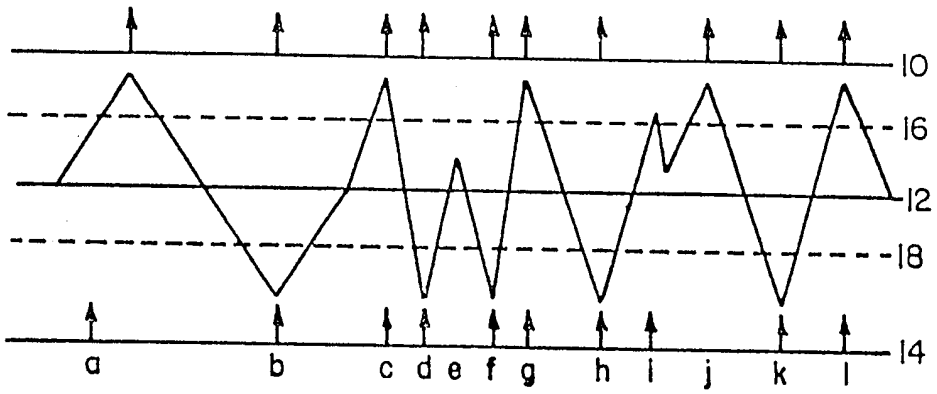


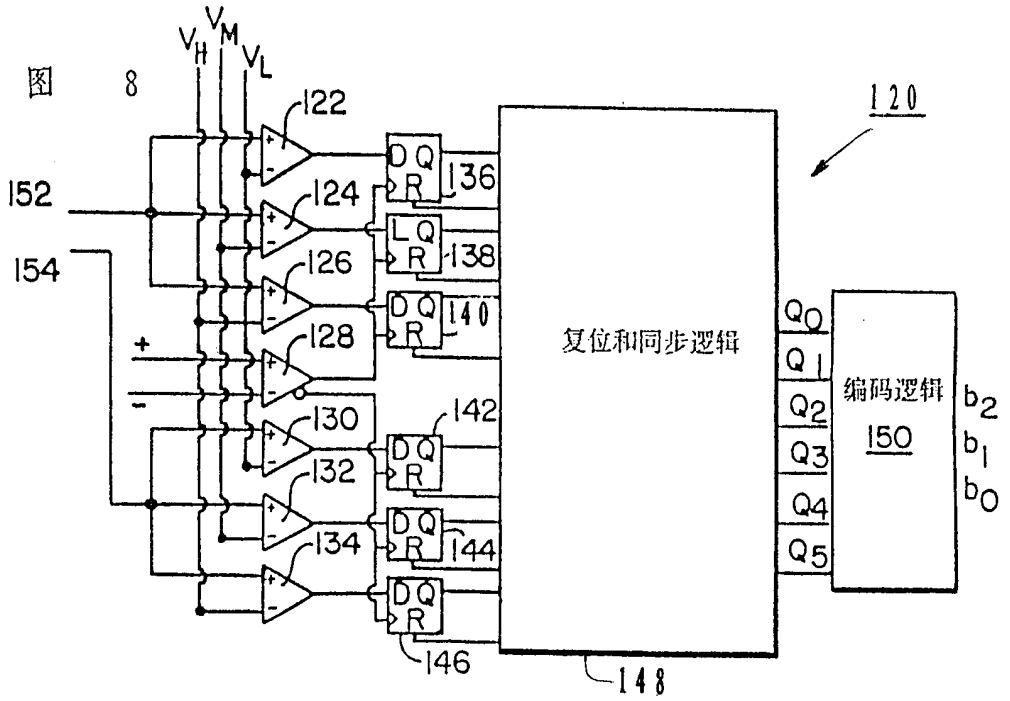
图 1

	A_6	A_5	A_4	A_3	A_2	A_1	A_0
96	1	0	1	0	0	0	1
98	1	1	0	1	1	1	0

数据输出

图 7

图 8



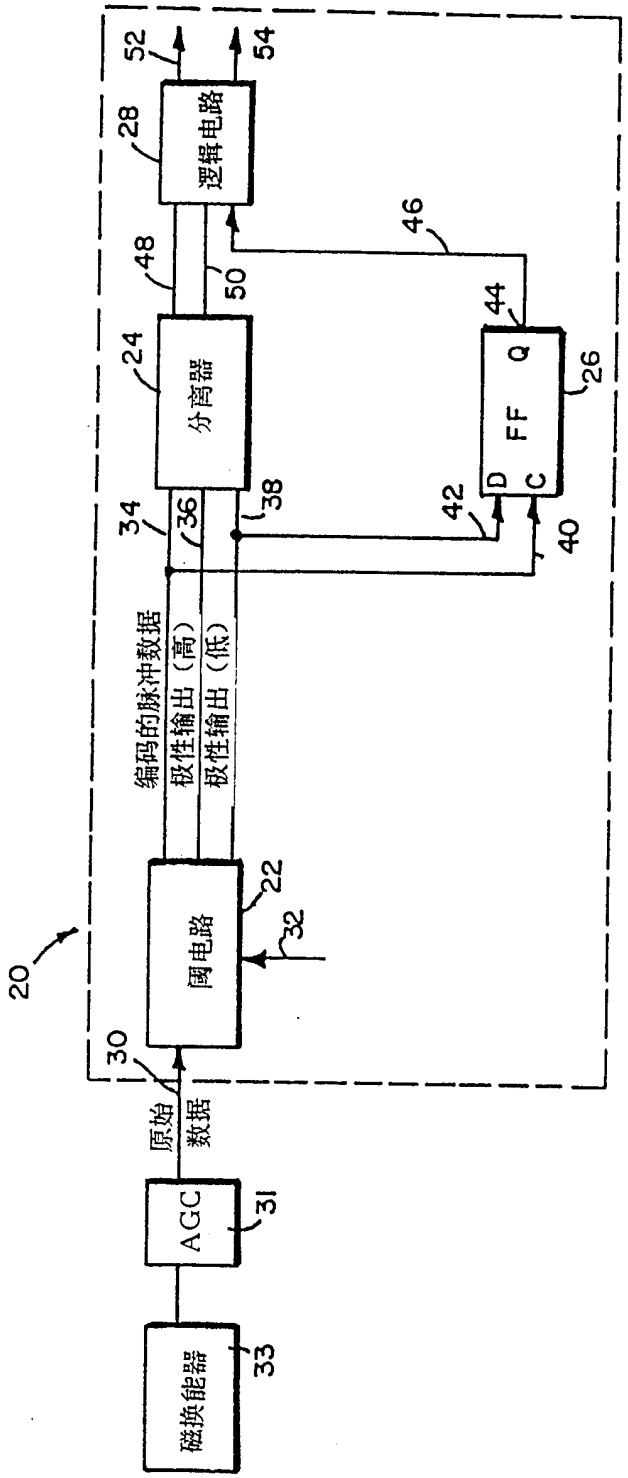

20
磁换能器
33
AGC
31
原始
数据
30
阈电路
22
32
编码的脉冲数据
极性输出（高）
极性输出（低）
34
36
38
分离器
24
48
50
逻辑电路
28
52
54
46
FF
D
C
Q
44
26
42
40

图 2

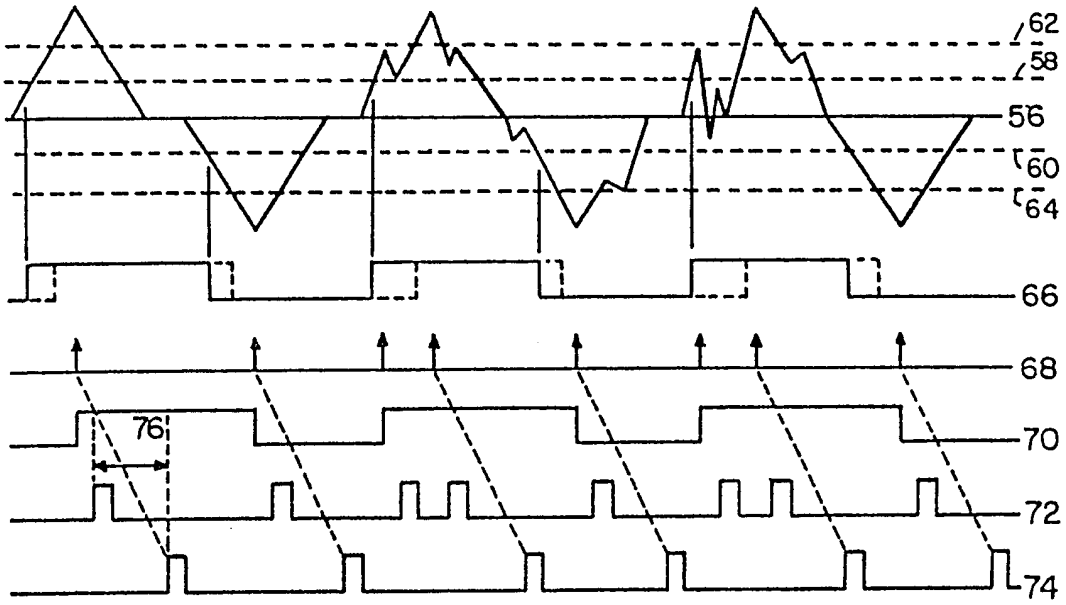


图 3

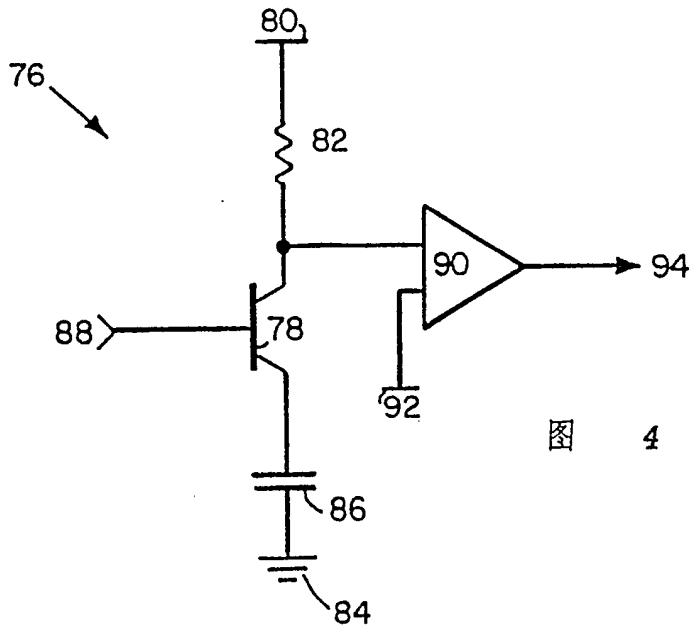


图 4

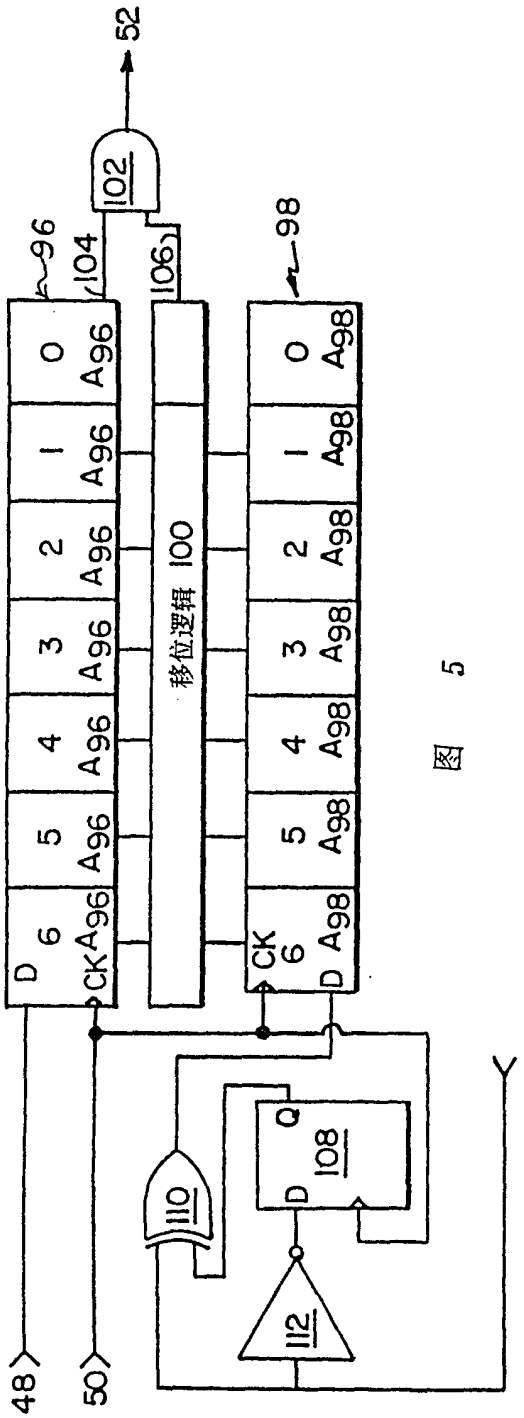

52
102
96
104
106
98
移位逻辑 100
D 6 CK A96
5 A96
4 A96
3 A96
2 A96
1 A96
0 A96
CK 6 D A98
5 A98
4 A98
3 A98
2 A98
1 A98
0 A98
110
Q
D
108
112
48
50

图 5

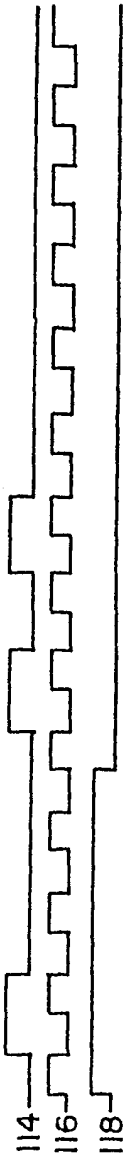

114
116
118

图 6

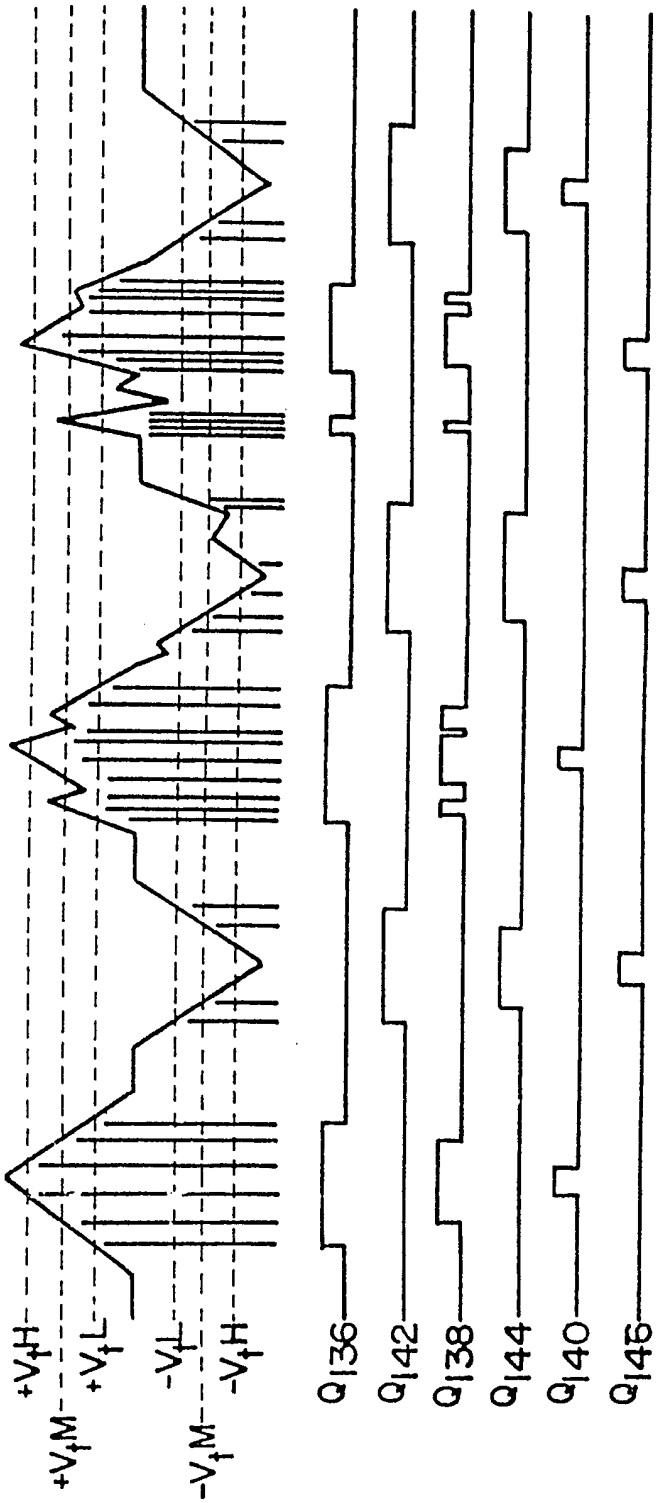


图 9