

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号

特開2023-22016
(P2023-22016A)

(43)公開日 令和5年2月14日(2023.2.14)

(51)国際特許分類

F I

H 0 4 N	25/76 (2023.01)	H 0 4 N	25/76	
H 0 1 L	27/146 (2006.01)	H 0 1 L	27/146	E
H 1 0 K	39/32 (2023.01)	H 0 1 L	27/30	
H 0 1 L	31/10 (2006.01)	H 0 1 L	31/10	G

審査請求 有 請求項の数 8 O L (全30頁)

(21)出願番号 特願2022-176072(P2022-176072)
 (22)出願日 令和4年11月2日(2022.11.2)
 (62)分割の表示 特願2020-184318(P2020-184318)の分割
 原出願日 平成28年11月11日(2016.11.11)
 (31)優先権主張番号 特願2015-236858(P2015-236858)
 (32)優先日 平成27年12月3日(2015.12.3)
 (33)優先権主張国・地域又は機関 日本国(JP)

(71)出願人 314012076
 パナソニックIPマネジメント株式会社
 大阪府大阪市中央区城見2丁目1番61号
 (74)代理人 100101683
 弁理士 奥田 誠司
 (74)代理人 100155000
 弁理士 喜多 修市
 (74)代理人 100188813
 弁理士 川喜田 徹
 (74)代理人 100184985
 弁理士 田中 悠
 (74)代理人 100202197
 弁理士 村瀬 成康
 (74)代理人 100218981

最終頁に続く

(54)【発明の名称】 撮像装置

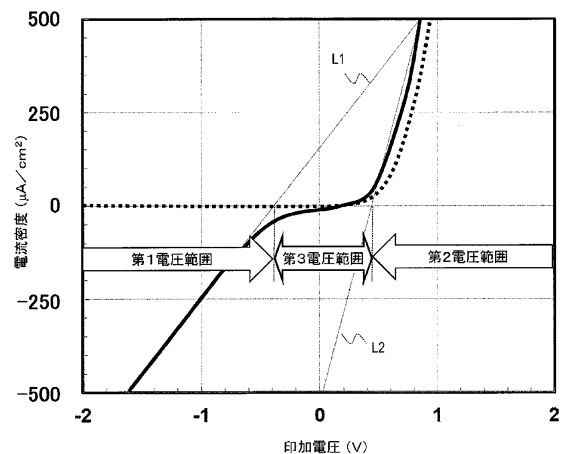
(57)【要約】

【課題】画素内における回路の複雑化を抑制しながらもグローバルシャッタ機能を実現し得る撮像装置を提供する。

【解決手段】本開示の撮像装置は、光を信号電荷に変換する光電変換層と、

信号電荷を収集する画素電極と、光電変換層と画素電極との間の第1電荷ブロッキング層と、第1電荷ブロッキング層と光電変換層とを介して画素電極に接続される対向電極と、画素電極と対向電極との間にバイアス電圧を印加する電圧供給回路とを備え、画素電極と対向電極との間に第1電圧範囲内のバイアス電圧が印加された第1状態にあるときに光の照射を受けることによって光電変換層が発生させる光電流の大きさは、画素電極と対向電極との間に第2電圧範囲内のバイアス電圧が印加された第2状態にあるときの光電流の大きさよりも小さい。

【選択図】図5



【特許請求の範囲】

【請求項 1】

光を信号電荷に変換する光電変換層と、
前記信号電荷を収集する画素電極と、
前記光電変換層を介して前記画素電極に接続される対向電極と、
前記画素電極と前記対向電極との間にバイアス電圧を印加する電圧供給回路と、
を備え、

前記電圧供給回路は、露光期間において第 1 電圧範囲内のバイアス電圧を前記画素電極と前記対向電極との間に印加し、非露光期間において第 2 電圧範囲内のバイアス電圧を前記画素電極と前記対向電極との間に印加し、

前記第 1 電圧範囲は、前記光電変換層から前記画素電極への前記信号電荷の移動が許容される電圧範囲であり、

前記第 2 電圧範囲は、前記画素電極と前記対向電極との間の電位差が前記第 1 電圧範囲における前記画素電極と前記対向電極との間の電位差よりも小さい電圧範囲であって、前記光電変換層から前記画素電極への前記信号電荷の移動が抑制される電圧範囲である、
撮像装置。

【請求項 2】

前記第 1 電圧範囲は、前記画素電極から前記光電変換層への前記信号電荷の移動が抑制される電圧範囲である、
請求項 1 に記載の撮像装置。

【請求項 3】

前記第 2 電圧範囲内のバイアス電圧は、 -1 V よりも大きく、かつ、 1 V よりも小さい、
請求項 1 または 2 に記載の撮像装置。

【請求項 4】

前記第 2 電圧範囲内のバイアス電圧が印加された状態において光が照射されたときの光電流の電流密度は、実質的に一定である、
請求項 1 から 3 のいずれか 1 項に記載の撮像装置。

【請求項 5】

前記第 2 電圧範囲内のバイアス電圧が印加された状態において光が照射されたときの光電流の電流密度の絶対値は、 $100\text{ }\mu\text{ A / cm}^2$ 以下である、
請求項 1 から 4 のいずれか 1 項に記載の撮像装置。

【請求項 6】

バイアス電圧に対する、光が照射されたときの光電流の電流密度の変化率は、前記第 2 電圧範囲の方が前記第 1 電圧範囲よりも小さい、
請求項 1 から 5 のいずれか 1 項に記載の撮像装置。

【請求項 7】

それぞれが、前記光電変換層、前記画素電極、および前記対向電極を含む複数の画素を備え、

前記複数の画素それぞれの前記対向電極は、互いに電氣的に接続されている、
請求項 1 から 6 のいずれか 1 項に記載の撮像装置。

【請求項 8】

それぞれが、前記光電変換層、前記画素電極、および前記対向電極を含み、行列状に配列する複数の画素を備え、

前記複数の画素において前記露光期間の開始および終了を共通とするグローバルシャッタ駆動と、行ごとに露光および前記信号電荷の読出しを順次に行うローリングシャッタ駆動とが切り替えられる、
請求項 1 から 6 のいずれか 1 項に記載の撮像装置。

【発明の詳細な説明】

【技術分野】

10

20

30

40

50

【 0 0 0 1 】

本開示は、撮像装置に関する。

【 背景技術 】

【 0 0 0 2 】

従来、光電変換を利用したイメージセンサが知られている。例えば、フォトダイオードを有するCMOS (Complementary Metal Oxide Semiconductor) 型イメージセンサが広く用いられている。CMOS型イメージセンサは、低消費電力、画素ごとのアクセスが可能という特長を有する。CMOS型イメージセンサには、一般的に、画素アレイの行ごとに露光および信号電荷の読み出しを順次に行う、いわゆるローリングシャッタが、信号の読み出し方式として適用される。

10

【 0 0 0 3 】

ローリングシャッタ動作においては、露光の開始および終了が画素アレイの行ごとに異なる。そのため、高速で移動する物体を撮像したときに、物体の像として歪んだ像が得られたり、フラッシュを使用したときに、画像内で明るさの差が生じたりすることがある。このような事情から、画素アレイ中の全画素において露光の開始および終了を共通とする、いわゆるグローバルシャッタ機能の要求がある。

【 0 0 0 4 】

例えば下記の特許文献1は、グローバルシャッタ動作が可能なCMOS型イメージセンサを開示している。特許文献1に記載の技術では、複数の画素のそれぞれに、転送トランジスタと、電荷蓄積ユニット(キャパシタまたはダイオード)とを設けている。各画素内において、電荷蓄積ユニットは、転送トランジスタを介してフォトダイオードに接続されている。

20

【 先行技術文献 】

【 特許文献 】

【 0 0 0 5 】

【 特許文献1 】 米国特許出願公開第2007/0013798号明細書

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 0 6 】

画素内における回路の複雑化を抑制しながらもグローバルシャッタ機能を実現可能な撮像装置を提供する。

30

【 課題を解決するための手段 】

【 0 0 0 7 】

本開示の限定的ではないある例示的な実施形態によれば、以下が提供される。

【 0 0 0 8 】

それぞれが、第1電極、第1電極に対向する第2電極、第1電極と第2電極との間の光電変換層、第1電極に電氣的に接続された電荷蓄積領域、および電荷蓄積領域に電氣的に接続された信号検出回路を含む複数の単位画素セルと、第2電極と電氣的に接続された電圧供給回路であって、光電変換により生成される電荷を電荷蓄積領域に蓄積するための期間である露光期間において第1電圧を第2電極に供給し、非露光期間において第1電圧とは異なる第2電圧を第2電極に供給する電圧供給回路と、を備え、露光期間の開始および終了は、複数の単位画素セルの間において共通である、撮像装置。

40

【 0 0 0 9 】

包括的または具体的な態様は、素子、デバイス、装置、システム、集積回路、方法またはコンピュータプログラムで実現されてもよい。また、包括的または具体的な態様は、素子、デバイス、装置、システム、集積回路、方法およびコンピュータプログラムの任意の組み合わせによって実現されてもよい。

【 0 0 1 0 】

開示された実施形態の追加的な効果および利点は、明細書および図面から明らかになる

50

。効果および/または利点は、明細書および図面に開示の様々な実施形態または特徴によって個々に提供され、これらの1つ以上を得るために全てを必要とはしない。

【発明の効果】

【0011】

本開示の実施形態によれば、画素内における回路の複雑化を抑制しながらもグローバルシャッタ機能を実現し得る。

【図面の簡単な説明】

【0012】

【図1】図1は、本開示の実施形態に係る撮像装置の例示的な回路構成を示す模式的な図である。

10

【図2】図2は、単位画素セル10の例示的なデバイス構造を示す模式的な断面図である。

【図3】図3は、スズナフタロシアニンを含む光電変換層における吸収スペクトルの一例を示す図である。

【図4】図4は、光電変換層15の構成の一例を示す模式的な断面図である。

【図5】図5は、光電変換層15が有する典型的な光電流特性を示すグラフである。

【図6】図6は、本開示の実施形態に係る撮像装置における動作の一例を説明するための図である。

【図7】図7は、多重露光画像を形成可能に構成された撮像システムの一例を示すブロック図である。

20

【図8】図8は、多重露光画像の形成の例を説明するための図である。

【図9】図9は、図7に示す撮像システム100Sによって取得される例示的な多重露光画像と、多重露光画像から時系列で取り出された、それぞれが動体の像を1つ含む複数の画像とをあわせて示す図である。

【図10】図10は、動体の位置の時間的な変化を示す識別子の画像が重畳された多重露光画像の例を示す図である。

【図11】図11は、動体の位置の時間的な変化を示す識別子の画像が重畳された多重露光画像の他の例を示す図である。

【図12】図12は、多重露光画像の形成の他の例を説明するための図である。

【図13】図13は、リセット期間におけるリセット電圧源34の例示的な動作を説明するためのタイミングチャートである。

30

【図14】図14は、リセット期間におけるリセット電圧源34の例示的な動作を説明するためのタイミングチャートである。

【図15】図15は、撮像装置100の改変例を示す模式的な図である。

【発明を実施するための形態】

【0013】

本開示の一態様の概要は以下のとおりである。

【0014】

[項目1]

それぞれが、第1電極、第1電極に対向する第2電極、第1電極と第2電極との間の光電変換層、第1電極に電氣的に接続された電荷蓄積領域、および電荷蓄積領域に電氣的に接続された信号検出回路を含む複数の単位画素セルと、記第2電極と電氣的に接続された電圧供給回路であって、光電変換により生成される電荷を電荷蓄積領域に蓄積するための期間である露光期間において第1電圧を第2電極に供給し、非露光期間において第1電圧とは異なる第2電圧を第2電極に供給する電圧供給回路と、を備え、露光期間の開始および終了は、複数の単位画素セルの間において共通である、撮像装置。

40

【0015】

[項目2]

複数の単位画素セルのそれぞれは、電荷蓄積領域に電氣的に接続されたリセットトランジスタであって、電荷蓄積領域を初期化するためのリセット電圧の供給および遮断を切り

50

替えるリセットトランジスタを含み、リセット電圧が供給されたときの第 1 電極と第 2 電極との間の電位差は、リセット電圧が遮断された後の第 1 電極と第 2 電極との間の電位差よりも大きい、項目 1 に記載の撮像装置。

【 0 0 1 6 】

[項目 3]

リセットトランジスタは、n チャンネルの電界効果トランジスタであり、リセット電圧は、第 2 電圧よりも大きい、項目 2 に記載の撮像装置。

【 0 0 1 7 】

[項目 4]

リセットトランジスタは、p チャンネルの電界効果トランジスタであり、リセット電圧は、第 2 電圧よりも小さい、項目 2 に記載の撮像装置。

10

【 0 0 1 8 】

[項目 5]

複数の単位画素セルは、行および列に沿って 2 次元に配置されており、複数の単位画素セルの信号検出回路によって検出された信号は、行ごとに異なるタイミングで読み出される、項目 1 から 4 のいずれか 1 項に記載の撮像装置。

【 0 0 1 9 】

[項目 6]

1 フレーム期間に、露光期間を複数回含む、項目 1 から 5 のいずれか 1 項に記載の撮像装置。

20

【 0 0 2 0 】

[項目 7]

電圧供給回路は、複数回の露光期間のそれぞれの間で、互いに異なる大きさの第 1 電圧を第 2 電極に供給する、項目 6 に記載の撮像装置。

【 0 0 2 1 】

[項目 8]

信号検出回路からの複数回の露光期間のそれぞれごとの出力に基づく複数の画像データを取得し、複数の画像データを重畳することにより多重露光画像を形成する画像形成回路をさらに備える、項目 6 または 7 に記載の撮像装置。

【 0 0 2 2 】

[項目 9]

信号検出回路から、1 フレーム期間において電荷蓄積領域に蓄積された信号電荷に対応する信号を取得し、信号に基づいて多重露光画像を形成する画像形成回路をさらに備える、項目 6 または 7 に記載の撮像装置。

30

【 0 0 2 3 】

[項目 1 0]

光電変換層は、逆方向のバイアス電圧の増大に従って出力電流密度の絶対値が増大する第 1 電圧範囲、順方向のバイアス電圧の増大に従って出力電流密度が増大する第 2 電圧範囲、および、第 1 電圧範囲と第 2 電圧範囲との間であって、バイアス電圧に対する出力電流密度の変化率の絶対値が第 1 電圧範囲および第 2 電圧範囲よりも小さい第 3 電圧範囲を有する光電流特性を有し、電圧供給回路は、非露光期間に、光電変換層に印加されるバイアス電圧が第 3 電圧範囲内となるように、第 2 電圧を第 2 電極に供給する、項目 1 から 9 のいずれか 1 項に記載の撮像装置。

40

【 0 0 2 4 】

[項目 1 1]

それぞれが、第 1 電極と、第 1 電極に電氣的に接続された電荷蓄積領域と、電荷蓄積領域に電氣的に接続された信号検出回路とを含む複数の単位画素セルと、

第 1 電極に対向する第 2 電極と、

第 1 電極および第 2 電極の間に配置された光電変換層と、

第 2 電極との接続を有する電圧供給回路であって、露光期間と非露光期間との間で、互

50

いに異なる電圧を第 2 電極に供給する電圧供給回路と、を備え、

光電変換層は、逆方向バイアス電圧の増大に従って出力電流密度の絶対値が増大する第 1 電圧範囲、順方向バイアス電圧の増大に従って出力電流密度が増大する第 2 電圧範囲、および、第 1 電圧範囲と第 2 電圧範囲との間の第 3 電圧範囲において、バイアス電圧に対する出力電流密度の変化率が互いに異なる光電流特性を有し、

第 3 電圧範囲における変化率は、第 1 電圧範囲における変化率および第 2 電圧範囲における変化率よりも小さく、

露光期間の開始および終了は、複数の単位画素セルの間において共通であり、

電圧供給回路は、非露光期間に、第 2 電極および信号検出回路の間に第 3 電圧範囲の電位差を与える電圧を第 2 電極に供給する、撮像装置。

10

【 0 0 2 5 】

項目 1 1 の構成によれば、単位画素セル内に転送トランジスタなどを別途設けることなく、グローバルシャッタを実現し得る。

【 0 0 2 6 】

[項目 1 2]

1 フレーム期間に、露光期間を複数回含む、項目 1 1 に記載の撮像装置。

【 0 0 2 7 】

[項目 1 3]

電圧供給回路は、複数回の露光期間のそれぞれの間で、互いに異なる大きさの電圧を第 2 電極に供給する、項目 1 2 に記載の撮像装置。

20

【 0 0 2 8 】

項目 1 3 の構成によれば、複数回の露光期間ごとに感度を変えた撮像が可能である。

【 0 0 2 9 】

[項目 1 4]

信号検出回路からの複数回の露光期間のそれぞれごとの出力に基づく複数の画像データを取得し、複数の画像データを重畳することにより多重露光画像を形成する画像形成回路をさらに備える、項目 1 2 または 1 3 に記載の撮像装置。

【 0 0 3 0 】

項目 1 4 の構成によれば、1 フレーム期間において移動していた物体の像の軌跡を多重露光画像から知ることが可能である。

30

【 0 0 3 1 】

[項目 1 5]

信号検出回路から、1 フレーム期間において電荷蓄積領域に蓄積された信号電荷に対応する信号を取得し、信号に基づいて多重露光画像を形成する画像形成回路をさらに備える、項目 1 2 または 1 3 に記載の撮像装置。

【 0 0 3 2 】

項目 1 5 の構成によれば、1 フレーム期間において移動していた物体の像の軌跡を多重露光画像から知ることが可能である。

【 0 0 3 3 】

[項目 1 6]

複数の単位画素セルのそれぞれは、電荷蓄積領域に電氣的に接続されたりセットトランジスタであって、電荷蓄積領域へのリセット電圧の供給および遮断を切り替えるリセットトランジスタを含み、

40

リセットトランジスタは、n チャンネルの電界効果トランジスタであり、

リセット電圧は、非露光期間において電圧供給回路が第 2 電極に印加する電圧よりも大きい、項目 1 1 から 1 5 のいずれかに記載の撮像装置。

【 0 0 3 4 】

項目 1 6 の構成によれば、寄生感度をより効果的に抑制し得る。

【 0 0 3 5 】

[項目 1 7]

50

複数の単位画素セルのそれぞれは、電荷蓄積領域に電氣的に接続されたりセットトランジスタであって、電荷蓄積領域へのリセット電圧の供給および遮断を切り替えるリセットトランジスタを含み、

リセットトランジスタは、pチャンネルの電界効果トランジスタであり、

リセット電圧は、第2の期間において電圧供給回路が第2電極に印加する電圧よりも小さい、項目11から15のいずれかに記載の撮像装置。

【0036】

項目17の構成によれば、寄生感度をより効果的に抑制し得る。

【0037】

[項目18]

リセット電圧と、非露光期間において電圧供給回路が第2電極に印加する電圧との差の絶対値は、光電変換層の破壊電圧よりも小さい、項目16または17に記載の撮像装置。

【0038】

項目18の構成によれば、過剰な電圧の印加に起因する、光電変換層の損傷を回避し得る。

【0039】

[項目19]

リセット電圧と、非露光期間において電圧供給回路が第2電極に印加する電圧との差の絶対値は、信号検出回路への入力電圧よりも小さい、項目16または17に記載の撮像装置。

【0040】

項目19の構成によれば、過剰な電圧の印加に起因する、光電変換層の損傷を回避し得る。

【0041】

以下、図面を参照しながら、本開示の実施形態を詳細に説明する。なお、以下で説明する実施形態は、いずれも包括的または具体的な例を示す。以下の実施形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態、ステップ、ステップの順序などは、一例であり、本開示を限定する主旨ではない。本明細書において説明される種々の態様は、矛盾が生じない限り互いに組み合わせることが可能である。また、以下の実施形態における構成要素のうち、最上位概念を示す独立請求項に記載されていない構成要素については、任意の構成要素として説明される。以下の説明において、実質的に同じ機能を有する構成要素は共通の参照符号で示し、説明を省略することがある。

【0042】

(撮像装置の実施形態)

図1は、本開示の実施形態に係る撮像装置の例示的な回路構成を示す。図1に示す撮像装置100は、2次元に配列された複数の単位画素セル10を含む画素アレイPAを有する。図1は、単位画素セル10が2行2列のマトリクス状に配置された例を模式的に示している。言うまでもないが、撮像装置100における単位画素セル10の数および配置は、図1に示す例に限定されない。

【0043】

各単位画素セル10は、光電変換部13および信号検出回路14を有する。後に図面を参照して説明するように、光電変換部13は、互いに対向する2つの電極の間に挟まれた光電変換層を有し、入射した光を受けて信号を生成する。光電変換部13は、その全体が、単位画素セル10ごとに独立した素子である必要はなく、光電変換部13の例えば一部分が複数の単位画素セル10にまたがっていてもよい。信号検出回路14は、光電変換部13によって生成された信号を検出する回路である。この例では、信号検出回路14は、信号検出トランジスタ24およびアドレスタランジスタ26を含んでいる。信号検出トランジスタ24およびアドレスタランジスタ26は、典型的には、電界効果トランジスタ(FET)であり、ここでは、信号検出トランジスタ24およびアドレスタランジスタ26としてNチャンネルMOSを例示する。

10

20

30

40

50

【 0 0 4 4 】

図 1 において模式的に示すように、信号検出トランジスタ 2 4 の制御端子（ここではゲート）は、光電変換部 1 3 との電氣的な接続を有する。光電変換部 1 3 によって生成される信号電荷（正孔または電子）は、信号検出トランジスタ 2 4 のゲートと光電変換部 1 3 との間の電荷蓄積ノード（「フローティングディフュージョンノード」とも呼ばれる。）4 1 に蓄積される。光電変換部 1 3 の構造の詳細は、後述する。

【 0 0 4 5 】

各单位画素セル 1 0 の光電変換部 1 3 は、さらに、感度制御線 4 2 との接続を有している。図 1 に例示する構成において、感度制御線 4 2 は、感度制御電圧供給回路 3 2（以下、単に「電圧供給回路 3 2」と呼ぶ。）に接続されている。この電圧供給回路 3 2 は、少なくとも 2 種類の電圧を供給可能に構成された回路である。電圧供給回路 3 2 は、撮像装置 1 0 0 の動作時、感度制御線 4 2 を介して光電変換部 1 3 に所定の電圧を供給する。電圧供給回路 3 2 は、特定の電源回路に限定されず、所定の電圧を生成する回路であってもよいし、他の電源から供給された電圧を所定の電圧に変換する回路であってもよい。後に詳しく説明するように、電圧供給回路 3 2 から光電変換部 1 3 に供給される電圧が、互いに異なる複数の電圧の間で切り替えられることにより、光電変換部 1 3 からの電荷蓄積ノード 4 1 への信号電荷の蓄積の開始および終了が制御される。換言すれば、本開示の実施形態では、電圧供給回路 3 2 から光電変換部 1 3 に供給される電圧を切り替えることによって、電子シャッタ動作が実行される。撮像装置 1 0 0 の動作の例は、後述する。

【 0 0 4 6 】

各单位画素セル 1 0 は、電源電圧 V D D を供給する電源線 4 0 との接続を有する。図示するように、電源線 4 0 には、信号検出トランジスタ 2 4 の入力端子（典型的にはドレイン）が接続されている。電源線 4 0 がソースフォロア電源として機能することにより、信号検出トランジスタ 2 4 は、光電変換部 1 3 によって生成された信号を増幅して出力する。

【 0 0 4 7 】

信号検出トランジスタ 2 4 の出力端子（ここではソース）には、アドレストランジスタ 2 6 の入力端子（ここではドレイン）が接続されている。アドレストランジスタ 2 6 の出力端子（ここではソース）は、画素アレイ P A の列ごとに配置された複数の垂直信号線 4 7 のうちの 1 つに接続されている。アドレストランジスタ 2 6 の制御端子（ここではゲート）は、アドレス制御線 4 6 に接続されており、アドレス制御線 4 6 の電位を制御することにより、信号検出トランジスタ 2 4 の出力を、対応する垂直信号線 4 7 に選択的に読み出すことができる。

【 0 0 4 8 】

図示する例では、アドレス制御線 4 6 は、垂直走査回路（「行走査回路」とも呼ばれる）3 6 に接続されている。垂直走査回路 3 6 は、アドレス制御線 4 6 に所定の電圧を印加することにより、各行に配置された複数の単位画素セル 1 0 を行単位で選択する。これにより、選択された単位画素セル 1 0 の信号の読み出しと、後述する、画素電極のリセットとが実行される。

【 0 0 4 9 】

垂直信号線 4 7 は、画素アレイ P A からの画素信号を周辺回路へ伝達する主信号線である。垂直信号線 4 7 には、カラム信号処理回路（「行信号蓄積回路」とも呼ばれる）3 7 が接続される。カラム信号処理回路 3 7 は、相関二重サンプリングに代表される雑音抑圧信号処理およびアナログ - デジタル変換（A D 変換）などを行う。図示するように、カラム信号処理回路 3 7 は、画素アレイ P A における単位画素セル 1 0 の各列に対応して設けられる。これらのカラム信号処理回路 3 7 には、水平信号読み出し回路（「列走査回路」とも呼ばれる）3 8 が接続される。水平信号読み出し回路 3 8 は、複数のカラム信号処理回路 3 7 から水平共通信号線 4 9 に信号を順次読み出す。

【 0 0 5 0 】

図 1 に例示する構成において、単位画素セル 1 0 は、リセットトランジスタ 2 8 を有す

10

20

30

40

50

る。リセットトランジスタ 28 は、例えば、信号検出トランジスタ 24 およびアドレスタランジスタ 26 と同様に、電界効果トランジスタであり得る。以下では、特に断りの無い限り、リセットトランジスタ 28 として N チャンネル MOS を適用した例を説明する。図示するように、このリセットトランジスタ 28 は、リセット電圧 V_r を供給するリセット電圧線 44 と、電荷蓄積ノード 41 との間に接続される。リセットトランジスタ 28 の制御端子（ここではゲート）は、リセット制御線 48 に接続されており、リセット制御線 48 の電位を制御することによって、電荷蓄積ノード 41 の電位をリセット電圧 V_r にリセットすることができる。この例では、リセット制御線 48 が、垂直走査回路 36 に接続されている。したがって、垂直走査回路 36 がリセット制御線 48 に所定の電圧を印加することにより、各行に配置された複数の単位画素セル 10 を行単位でリセットすることが可能である。 10

【0051】

この例では、リセットトランジスタ 28 にリセット電圧 V_r を供給するリセット電圧線 44 が、リセット電圧供給回路 34（以下、単に「リセット電圧源 34」と呼ぶ。）に接続されている。リセット電圧源 34 は、撮像装置 100 の動作時にリセット電圧線 44 に所定のリセット電圧 V_r を供給可能な構成を有していればよく、上述の電圧供給回路 32 と同様に、特定の電源回路に限定されない。電圧供給回路 32 およびリセット電圧源 34 の各々は、単一の電圧供給回路の一部であってもよいし、独立した別個の電圧供給回路であってもよい。なお、電圧供給回路 32 およびリセット電圧源 34 の一方または両方が、垂直走査回路 36 の一部であってもよい。あるいは、電圧供給回路 32 からの感度制御電圧および/またはリセット電圧源 34 からのリセット電圧 V_r が、垂直走査回路 36 を介して各单位画素セル 10 に供給されてもよい。 20

【0052】

リセット電圧 V_r として、信号検出回路 14 の電源電圧 V_{DD} を用いることも可能である。この場合、各单位画素セル 10 に電源電圧を供給する電圧供給回路（図 1 において不図示）と、リセット電圧源 34 とを共通化し得る。また、電源線 40 と、リセット電圧線 44 を共通化できるので、画素アレイ PA における配線を単純化し得る。ただし、リセット電圧 V_r と、信号検出回路 14 の電源電圧 V_{DD} とに互いに異なる電圧を用いることは、撮像装置 100 のより柔軟な制御を可能にする。 30

【0053】

（単位画素セルのデバイス構造）

図 2 は、単位画素セル 10 の例示的なデバイス構造を模式的に示す。図 2 に例示する構成では、上述の信号検出トランジスタ 24、アドレスタランジスタ 26 およびリセットトランジスタ 28 が、半導体基板 20 に形成されている。半導体基板 20 は、その全体が半導体である基板に限定されない。半導体基板 20 は、感光領域が形成される側の表面に半導体層が設けられた絶縁性基板などであってもよい。ここでは、半導体基板 20 として P 型シリコン（Si）基板を用いる例を説明する。 40

【0054】

半導体基板 20 は、不純物領域（ここでは N 型領域）26s、24s、24d、28d および 28s と、単位画素セル 10 間の電氣的な分離のための素子分離領域 20t とを有する。ここでは、素子分離領域 20t は、不純物領域 24d と不純物領域 28d との間にも設けられている。素子分離領域 20t は、例えば所定の注入条件のもとでアクセプターのイオン注入を行うことによって形成される。 40

【0055】

不純物領域 26s、24s、24d、28d および 28s は、典型的には、半導体基板 20 内に形成された拡散層である。図 2 に模式的に示すように、信号検出トランジスタ 24 は、不純物領域 24s および 24d と、ゲート電極 24g（典型的にはポリシリコン電極）とを含む。不純物領域 24s は、信号検出トランジスタ 24 の例えばソース領域として機能する。不純物領域 24d は、信号検出トランジスタ 24 の例えばドレイン領域として機能する。不純物領域 24s と 24d との間に、信号検出トランジスタ 24 のチャンネル 50

領域が形成される。

【 0 0 5 6 】

同様に、アドレストランジスタ 2 6 は、不純物領域 2 6 s および 2 4 s と、アドレス制御線 4 6 (図 1 参照) に接続されたゲート電極 2 6 g (典型的にはポリシリコン電極) とを含む。この例では、信号検出トランジスタ 2 4 およびアドレストランジスタ 2 6 は、不純物領域 2 4 s を共有することによって互いに電氣的に接続されている。不純物領域 2 6 s は、アドレストランジスタ 2 6 の例えばソース領域として機能する。不純物領域 2 6 s は、図 2 において不図示の垂直信号線 4 7 (図 1 参照) との接続を有する。

【 0 0 5 7 】

リセットトランジスタ 2 8 は、不純物領域 2 8 d および 2 8 s と、リセット制御線 4 8 (図 1 参照) に接続されたゲート電極 2 8 g (典型的にはポリシリコン電極) とを含む。不純物領域 2 8 s は、リセットトランジスタ 2 8 の例えばソース領域として機能する。不純物領域 2 8 s は、図 2 において不図示のリセット電圧線 4 4 (図 1 参照) との接続を有する。

【 0 0 5 8 】

半導体基板 2 0 上には、信号検出トランジスタ 2 4、アドレストランジスタ 2 6 およびリセットトランジスタ 2 8 を覆うように層間絶縁層 5 0 (典型的には二酸化シリコン層) が配置されている。図示するように、層間絶縁層 5 0 中には、配線層 5 6 が配置され得る。配線層 5 6 は、典型的には、銅などの金属から形成され、例えば、上述の垂直信号線 4 7 などの配線をその一部に含み得る。層間絶縁層 5 0 中の絶縁層の層数、および、層間絶縁層 5 0 中に配置される配線層 5 6 に含まれる層数は、任意に設定可能であり、図 2 に示す例に限定されない。

【 0 0 5 9 】

層間絶縁層 5 0 上には、上述の光電変換部 1 3 が配置される。別の言い方をすれば、本開示の実施形態では、画素アレイ P A (図 1 参照) を構成する複数の単位画素セル 1 0 が、半導体基板 2 0 上に形成されている。半導体基板 2 0 上に 2 次元に配列された複数の単位画素セル 1 0 は、感光領域 (画素領域) を形成する。隣接する 2 つの単位画素セル 1 0 間の距離 (画素ピッチ) は、例えば 2 μ m 程度であり得る。

【 0 0 6 0 】

光電変換部 1 3 は、画素電極 1 1 と、対向電極 1 2 と、これらの間に配置された光電変換層 1 5 とを含む。この例では、対向電極 1 2 および光電変換層 1 5 は、複数の単位画素セル 1 0 にまたがって形成されている。他方、画素電極 1 1 は、単位画素セル 1 0 ごとに設けられており、隣接する他の単位画素セル 1 0 の画素電極 1 1 と空間的に分離されることによって、他の単位画素セル 1 0 の画素電極 1 1 から電氣的に分離されている。

【 0 0 6 1 】

対向電極 1 2 は、典型的には、透明な導電性材料から形成される透明電極である。対向電極 1 2 は、光電変換層 1 5 において光が入射される側に配置される。したがって、光電変換層 1 5 には、対向電極 1 2 を透過した光が入射する。なお、撮像装置 1 0 0 によって検出される光は、可視光の波長範囲 (例えば、380 nm 以上 780 nm 以下) 内の光に限定されない。本明細書における「透明」は、検出しようとする波長範囲の光の少なくとも一部を透過することを意味し、可視光の波長範囲全体にわたって光を透過することは必須ではない。本明細書では、赤外線および紫外線を含めた電磁波全般を、便宜上「光」と表現する。対向電極 1 2 には、例えば、ITO、IZO、AZO、FTO、SnO₂、TiO₂、ZnO₂ などの透明導電性酸化物 (Transparent Conducting Oxide (TCO)) を用いることができる。

【 0 0 6 2 】

光電変換層 1 5 は、入射する光を受けて正孔 - 電子対を発生させる。光電変換層 1 5 は、典型的には、有機材料から形成される。光電変換層 1 5 を構成する材料の具体例は、後述する。

【 0 0 6 3 】

10

20

30

40

50

図 1 を参照して説明したように、対向電極 1 2 は、電圧供給回路 3 2 に接続された感度制御線 4 2 との接続を有する。また、ここでは、対向電極 1 2 は、複数の単位画素セル 1 0 にまたがって形成されている。したがって、感度制御線 4 2 を介して、電圧供給回路 3 2 から所望の大きさの感度制御電圧を複数の単位画素セル 1 0 の間に一括して印加することが可能である。なお、電圧供給回路 3 2 から所望の大きさの感度制御電圧を印加することができれば、対向電極 1 2 は、単位画素セル 1 0 ごとに分離して設けられていてもよい。同様に、光電変換層 1 5 が単位画素セル 1 0 ごとに分離して設けられていてもよい。

【 0 0 6 4 】

後に詳しく説明するように、電圧供給回路 3 2 は、露光期間と非露光期間との間で互いに異なる電圧を対向電極 1 2 に供給する。本明細書において、「露光期間」は、光電変換により生成される正および負の電荷の一方（信号電荷）を電荷蓄積領域に蓄積するための期間を意味し、「電荷蓄積期間」と呼んでもよい。また、本明細書では、撮像装置の動作中であって露光期間以外の期間を「非露光期間」と呼ぶ。なお、「非露光期間」は、光電変換部 1 3 への光の入射が遮断されている期間に限定されず、光電変換部 1 3 に光が照射されている期間を含んでいてもよい。また「非露光期間」は、寄生感度の発生により意図せず信号電荷が電荷蓄積領域に蓄積される期間を含む。

【 0 0 6 5 】

画素電極 1 1 の電位に対する対向電極 1 2 の電位を制御することにより、光電変換によって光電変換層 1 5 内に生じた正孔 - 電子対のうち、正孔および電子のいずれか一方を、画素電極 1 1 によって収集することができる。例えば信号電荷として正孔を利用する場合、画素電極 1 1 よりも対向電極 1 2 の電位を高くすることにより、画素電極 1 1 によって正孔を選択的に収集することが可能である。以下では、信号電荷として正孔を利用する場合を例示する。もちろん、信号電荷として電子を利用することも可能である。

【 0 0 6 6 】

対向電極 1 2 に対向する画素電極 1 1 は、対向電極 1 2 と画素電極 1 1 との間に適切なバイアス電圧が与えられることにより、光電変換層 1 5 において光電変換によって発生した正および負の電荷のうち一方を収集する。画素電極 1 1 は、アルミニウム、銅などの金属、金属窒化物、または、不純物がドーピングされることにより導電性が付与されたポリシリコンなどから形成される。

【 0 0 6 7 】

画素電極 1 1 を遮光性の電極としてもよい。例えば、画素電極 1 1 として、厚さが 1 0 0 n m の Ta N 電極を形成することにより、十分な遮光性を実現し得る。画素電極 1 1 を遮光性の電極とすることにより、半導体基板 2 0 に形成されたトランジスタ（この例では信号検出トランジスタ 2 4、アドレストランジスタ 2 6 およびリセットトランジスタ 2 8 の少なくともいずれか）のチャネル領域または不純物領域への、光電変換層 1 5 を通過した光の入射を抑制し得る。上述の配線層 5 6 を利用して層間絶縁層 5 0 内に遮光膜を形成してもよい。半導体基板 2 0 に形成されたトランジスタのチャネル領域への光の入射を抑制することにより、トランジスタの特性のシフト（例えば閾値電圧の変動）などを抑制し得る。また、半導体基板 2 0 に形成された不純物領域への光の入射を抑制することにより、不純物領域における意図しない光電変換によるノイズの混入を抑制し得る。このように、半導体基板 2 0 への光の入射の抑制は、撮像装置 1 0 0 の信頼性の向上に貢献する。

【 0 0 6 8 】

図 2 に模式的に示すように、画素電極 1 1 は、プラグ 5 2、配線 5 3 およびコンタクトプラグ 5 4 を介して、信号検出トランジスタ 2 4 のゲート電極 2 4 g に接続されている。言い換えれば、信号検出トランジスタ 2 4 のゲートは、画素電極 1 1 との電気的な接続を有する。プラグ 5 2、配線 5 3 は、例えば銅などの金属から形成される。プラグ 5 2、配線 5 3 およびコンタクトプラグ 5 4 は、信号検出トランジスタ 2 4 と光電変換部 1 3 との間の電荷蓄積ノード 4 1（図 1 参照）の少なくとも一部を構成する。配線 5 3 は、配線層 5 6 の一部であり得る。また、画素電極 1 1 は、プラグ 5 2、配線 5 3 およびコンタクトプラグ 5 5 を介して、不純物領域 2 8 d にも接続されている。図 2 に例示する構成におい

10

20

30

40

50

て、信号検出トランジスタ 24 のゲート電極 24 g、プラグ 52、配線 53、コンタクトプラグ 54 および 55、ならびに、リセットトランジスタ 28 のソース領域およびドレイン領域の一方である不純物領域 28 d は、画素電極 11 によって収集された信号電荷を蓄積する電荷蓄積領域として機能する。

【0069】

画素電極 11 によって信号電荷が収集されることにより、電荷蓄積領域に蓄積された信号電荷の量に応じた電圧が、信号検出トランジスタ 24 のゲートに印加される。信号検出トランジスタ 24 は、この電圧を増幅する。信号検出トランジスタ 24 によって増幅された電圧が、信号電圧としてアドレストランジスタ 26 を介して選択的に読み出される。

【0070】

(本発明者らの知見および光電変換層の構成の典型例)

上述したように、光電変換層 15 に光を照射し、画素電極 11 と対向電極 12 との間にバイアス電圧を印加することにより、光電変換によって生じる正および負の電荷のうち的一方を画素電極 11 によって収集し、収集された電荷を電荷蓄積領域に蓄積することができる。本発明者らは、以下に説明するような光電流特性を示す光電変換層 15 を光電変換部 13 に用い、かつ、画素電極 11 と対向電極 12 との間の電位差をある程度にまで小さくすることによって、電荷蓄積領域に既に蓄積された信号電荷が光電変換層 15 を介して対向電極 12 へ移動することを抑制できることを見出した。さらに本発明者らは、電位差を小さくした後における電荷蓄積領域への信号電荷のさらなる蓄積を抑制可能であることも見出した。つまり、光電変換層 15 に印加するバイアス電圧の大きさの制御により、特許文献 1 に記載の技術のように複数の画素のそれぞれに転送トランジスタなどの素子を別途設けることなく、グローバルシャッタ機能を実現し得ることを見出した。撮像装置 100 における動作の典型例は、後述する。

【0071】

以下、光電変換層 15 の構成の例および光電変換層 15 における光電流特性を説明する。

【0072】

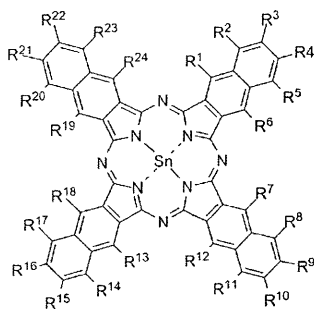
光電変換層 15 は、典型的には、半導体材料を含む。ここでは、半導体材料として、有機半導体材料を用いる。

【0073】

光電変換層 15 は、例えば、下記一般式 (1) で表されるスズナフタロシアニン (以下、単に「スズナフタロシアニン」と呼ぶことがある) を含む。

【0074】

【化 1】



(1)

【0075】

一般式 (1) 中、 $R^1 \sim R^{24}$ は、独立して、水素原子または置換基を表す。置換基は、特定の置換基に限定されない。置換基は、重水素原子、ハロゲン原子、アルキル基 (シクロアルキル基、ピシクロアルキル基、トリシクロアルキル基を含む)、アルケニル基 (シクロアルケニル基、ピシクロアルケニル基を含む)、アルキニル基、アリール基、複素環

10

20

30

40

50

基（ヘテロ環基といってもよい）、シアノ基、ヒドロキシ基、ニトロ基、カルボキシ基、アルコキシ基、アリールオキシ基、シリルオキシ基、ヘテロ環オキシ基、アシルオキシ基、カルバモイルオキシ基、アルコキシカルボニルオキシ基、アリールオキシカルボニルオキシ基、アミノ基（アニリノ基を含む）、アンモニオ基、アシルアミノ基、アミノカルボニルアミノ基、アルコキシカルボニルアミノ基、アリールオキシカルボニルアミノ基、スルファモイルアミノ基、アルキルスルホニルアミノ基、アリールスルホニルアミノ基、メルカプト基、アルキルチオ基、アリールチオ基、ヘテロ環チオ基、スルファモイル基、スルホ基、アルキルスルフィニル基、アリールスルフィニル基、アルキルスルホニル基、アリールスルホニル基、アシル基、アリールオキシカルボニル基、アルコキシカルボニル基、カルバモイル基、アリールアゾ基、ヘテロ環アゾ基、イミド基、ホスフィノ基、ホスフィニル基、ホスフィニルオキシ基、ホスフィニルアミノ基、ホスホノ基、シリル基、ヒドラジノ基、ウレイド基、ボロン酸基（ $-B(OH)_2$ ）、ホスファト基（ $-OP(O)(OH)_2$ ）、スルファト基（ $-OSO_3H$ ）、または、その他の公知の置換基であり得る。

10

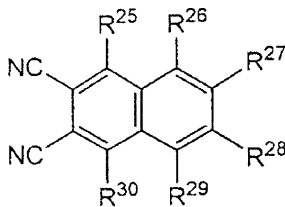
【0076】

上述の一般式（1）で表されるズナフトロシアニンとしては、市販されている製品を用いることができる。あるいは、上述の一般式（1）で表されるズナフトロシアニンは、例えば特開2010-232410号公報に示されているように、下記の一般式（2）で表されるナフタレン誘導体を出発原料として合成することができる。一般式（2）中の $R^{25} \sim R^{30}$ は、一般式（1）における $R^1 \sim R^{24}$ と同様の置換基であり得る。

【0077】

20

【化2】



(2)

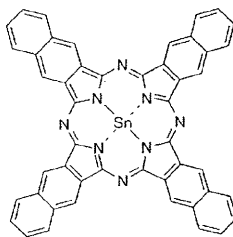
30

【0078】

上述の一般式（1）で表されるズナフトロシアニンにおいて、分子の凝集状態の制御のし易さの観点から、 $R^1 \sim R^{24}$ のうち、8個以上が水素原子または重水素原子であると有益であり、 $R^1 \sim R^{24}$ のうち、16個以上が水素原子または重水素原子であるとより有益であり、全てが水素原子または重水素原子であるとさらに有益である。さらに、以下の式（3）で表されるズナフトロシアニンは、合成の容易さの観点で有利である。

【0079】

【化3】



(3)

40

【0080】

上述の一般式（1）で表されるズナフトロシアニンは、概ね200nm以上1100

50

n m以下の波長帯域に吸収を有する。例えば、上述の式(3)で表されるスズナフトロシアニンは、図3に示すように、波長が概ね870 nmの位置に吸収ピークを有する。図3は、上述の式(3)で表されるスズナフトロシアニンを含む光電変換層における吸収スペクトルの一例である。なお、吸収スペクトルの測定においては、石英基板上に光電変換層(厚さ:30 nm)が積層されたサンプルを用いている。

【0081】

図3からわかるように、スズナフトロシアニンを含む材料から形成された光電変換層は、近赤外領域に吸収を有する。すなわち、光電変換層15を構成する材料として、スズナフトロシアニンを含む材料を選択することにより、例えば、近赤外線を検出可能な光センサを実現し得る。

【0082】

図4は、光電変換層15の構成の一例を模式的に示す。図4に例示する構成において、光電変換層15は、正孔ブロッキング層15hと、上述の一般式(1)で表されるスズナフトロシアニンを含む有機半導体材料を用いて形成された光電変換構造15Aと、電子ブロッキング層15eとを有する。正孔ブロッキング層15hは、光電変換構造15Aおよび対向電極12の間に配置されており、電子ブロッキング層15eは、光電変換構造15Aおよび画素電極11の間に配置されている。

【0083】

図4に示す光電変換構造15Aは、p型半導体およびn型半導体の少なくとも一方を含む。図4に例示する構成では、光電変換構造15Aは、p型半導体層150pと、n型半導体層150nと、p型半導体層150pおよびn型半導体層150nの間に挟まれた混合層150mとを有する。p型半導体層150pは、電子ブロッキング層15eと混合層150mとの間に配置されており、光電変換および/または正孔輸送の機能を有する。n型半導体層150nは、正孔ブロッキング層15hと混合層150mとの間に配置されており、光電変換および/または電子輸送の機能を有する。後述するように、混合層150mがp型半導体およびn型半導体の少なくとも一方を含んでいてもよい。

【0084】

p型半導体層150pおよびn型半導体層150nは、それぞれ、有機p型半導体および有機n型半導体を含む。すなわち、光電変換構造15Aは、上述の一般式(1)で表されるスズナフトロシアニンを含む有機光電変換材料と、有機p型半導体および有機n型半導体の少なくとも一方とを含む。

【0085】

有機p型半導体(化合物)は、ドナー性有機半導体(化合物)であり、主に正孔輸送性有機化合物に代表され、電子を供与しやすい性質がある有機化合物をいう。さらに詳しくは、有機p型半導体(化合物)は、2つの有機材料を接触させて用いたときにイオン化ポテンシャルの小さい方の有機化合物をいう。したがって、ドナー性有機化合物としては、電子供与性のある有機化合物であればいずれの有機化合物も使用可能である。例えば、トリアリアルアミン化合物、ベンジジン化合物、ピラゾリン化合物、スチリルアミン化合物、ヒドラゾン化合物、トリフェニルメタン化合物、カルバゾール化合物、ポリシラン化合物、チオフェン化合物、フトロシアニン化合物、シアニン化合物、メロシアニン化合物、オキソノール化合物、ポリアミン化合物、インドール化合物、ピロール化合物、ピラゾール化合物、ポリアリーレン化合物、縮合芳香族炭素環化合物(ナフトレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体、フルオランテン誘導体)、含窒素ヘテロ環化合物を配位子として有する金属錯体などを用いることができる。なお、ドナー性有機半導体は、これらに限らず、上述したように、n型(アクセプター性)化合物として用いた有機化合物よりもイオン化ポテンシャルの小さい有機化合物であればドナー性有機半導体として用い得る。上述のスズナフトロシアニンは、有機p型半導体材料の一例である。

【0086】

有機n型半導体(化合物)は、アクセプター性有機半導体(化合物)であり、主に電子

10

20

30

40

50

輸送性有機化合物に代表され、電子を受容しやすい性質がある有機化合物をいう。さらに詳しくは、有機 n 型半導体（化合物）は、2つの有機化合物を接触させて用いたときに電子親和力の大きい方の有機化合物をいう。したがって、アクセプター性有機化合物としては、電子受容性のある有機化合物であればいずれの有機化合物も使用可能である。例えば、フラレン、フラレン誘導体、縮合芳香族炭素環化合物（ナフタレン誘導体、アントラセン誘導体、フェナントレン誘導体、テトラセン誘導体、ピレン誘導体、ペリレン誘導体、フルオランテン誘導体）、窒素原子、酸素原子、硫黄原子を含有する5ないし7員のヘテロ環化合物（例えばピリジン、ピラジン、ピリミジン、ピリダジン、トリアジン、キノリン、キノキサリン、キナゾリン、フタラジン、シンノリン、イソキノリン、プテリジン、アクリジン、フェナジン、フェナントロリン、テトラゾール、ピラゾール、イミダゾール、チアゾール、オキサゾール、インダゾール、ベンズイミダゾール、ベンゾトリアゾール、ベンゾオキサゾール、ベンゾチアゾール、カルバゾール、プリン、トリアゾロピリダジン、トリアゾロピリミジン、テトラザインデン、オキサジアゾール、イミダゾピリジン、ピラリジン、ピロロピリジン、チアジアゾロピリジン、ジベンズアゼピン、トリベンズアゼピンなど）、ポリアリーレン化合物、フルオレン化合物、シクロペンタジエン化合物、シリル化合物、含窒素ヘテロ環化合物を配位子として有する金属錯体などを用いることができる。なお、これらに限らず、上述したように、p型（ドナー性）有機化合物として用いた有機化合物よりも電子親和力の大きな有機化合物であればアクセプター性有機半導体として用い得る。

10

20

【0087】

混合層150mは、例えば、p型半導体およびn型半導体を含むバルクヘテロ接合構造層であり得る。バルクヘテロ接合構造を有する層として混合層150mを形成する場合、上述の一般式(1)で表されるスズナフタロシアニンをp型半導体材料として用い得る。n型半導体材料としては、例えば、フラレンおよび/またはフラレン誘導体を用いることができる。p型半導体層150pを構成する材料が、混合層150mに含まれるp型半導体材料と同じであると有益である。同様に、n型半導体層150nを構成する材料が、混合層150mに含まれるn型半導体材料と同じであると有益である。バルクヘテロ接合構造は、特許第5553727号公報において詳細に説明されている。参考のため、特許第5553727号公報の開示内容の全てを本明細書に援用する。

【0088】

30

検出を行いたい波長域に応じて適切な材料を用いることにより、所望の波長域に感度を有する撮像装置を実現し得る。光電変換層15は、アモルファスシリコンなどの無機半導体材料を含んでいてもよい。光電変換層15は、有機材料から構成される層と無機材料から構成される層とを含んでいてもよい。以下では、スズナフタロシアニンとC₆₀とを共蒸着することによって得られたバルクヘテロ接合構造を光電変換層15に適用した例を説明する。

【0089】

（光電変換層における光電流特性）

図5は、光電変換層15が有する典型的な光電流特性を示す。図5中、太い実線のグラフは、光が照射された状態における、光電変換層15の例示的な電流-電圧特性（I-V特性）を示している。なお、図5には、光が照射されていない状態におけるI-V特性の一例も、太い破線によってあわせて示されている。

40

【0090】

図5は、一定の照度のもとで、光電変換層15の2つの主面の間に印加するバイアス電圧を変化させたときの主面間の電流密度の変化を示している。本明細書において、バイアス電圧における順方向および逆方向は、以下のように定義される。光電変換層15が、層状のp型半導体および層状のn型半導体の接合構造を有する場合には、n型半導体の層よりもp型半導体の層の電位が高くなるようなバイアス電圧を順方向のバイアス電圧と定義する。他方、n型半導体の層よりもp型半導体の層の電位が低くなるようなバイアス電圧を逆方向のバイアス電圧と定義する。有機半導体材料を用いた場合も、無機半導体材料を

50

用いた場合と同様に、順方向および逆方向を定義することができる。光電変換層 15 がバルクヘテロ接合構造を有する場合、上述の特許第 5 5 5 3 7 2 7 号公報の図 1 に模式的に示されるように、電極に対向する、バルクヘテロ接合構造の 2 つの主面のうちの一方の表面には、n 型半導体よりも p 型半導体が多く現れ、他方の表面には、p 型半導体よりも n 型半導体が多く現れる。したがって、n 型半導体よりも p 型半導体が多く現れた主面側の電位が、p 型半導体よりも n 型半導体が多く現れた主面側の電位よりも高くなるようなバイアス電圧を順方向のバイアス電圧と定義する。

【0091】

図 5 に示すように、光電変換層 15 の光電流特性は、概略的には、第 1 ~ 第 3 の 3 つの電圧範囲によって特徴づけられる。第 1 電圧範囲は、逆バイアスの電圧範囲であって、逆方向バイアス電圧の増大に従って出力電流密度の絶対値が増大する電圧範囲である。第 1 電圧範囲は、光電変換層 15 の主面間に印加されるバイアス電圧の増大に従って光電流が増大する電圧範囲といってもよい。第 2 電圧範囲は、順バイアスの電圧範囲であって、順方向バイアス電圧の増大に従って出力電流密度が増大する電圧範囲である。つまり、第 2 電圧範囲は、光電変換層 15 の主面間に印加されるバイアス電圧の増大に従って順方向電流が増大する電圧範囲である。第 3 電圧範囲は、第 1 電圧範囲と第 2 電圧範囲の間の電圧範囲である。

10

【0092】

第 1 ~ 第 3 の電圧範囲は、リニアな縦軸および横軸を用いたときにおける光電流特性のグラフの傾きによって区別され得る。参考のため、図 5 では、第 1 電圧範囲および第 2 電圧範囲のそれぞれにおけるグラフの平均的な傾きを、それぞれ、破線 L1 および破線 L2 によって示している。図 5 に例示されるように、第 1 電圧範囲、第 2 電圧範囲および第 3 電圧範囲における、バイアス電圧の増加に対する出力電流密度の変化率は、互いに異なっている。第 3 電圧範囲は、バイアス電圧に対する出力電流密度の変化率が、第 1 電圧範囲における変化率および第 2 電圧範囲における変化率よりも小さい電圧範囲として定義される。あるいは、I-V 特性を示すグラフにおける立ち上がり（立ち下がり）の位置に基づいて、第 3 電圧範囲が決定されてもよい。第 3 電圧範囲は、典型的には、-1V よりも大きく、かつ、+1V よりも小さい。第 3 電圧範囲では、バイアス電圧を変化させても、光電変換層 15 の主面間の電流密度は、ほとんど変化しない。図 5 に例示されるように、第 3 電圧範囲では、電流密度の絶対値は、典型的には $100 \mu A / cm^2$ 以下である。

20

30

【0093】

（撮像装置 100 の動作の例）

図 6 は、本開示の実施形態に係る撮像装置における動作の一例を説明するための図である。図 6 は、同期信号の立ち下がり（または立ち上がり）のタイミングと、光電変換層 15 に印加されるバイアス電圧の大きさの時間的变化と、画素アレイ PA（図 1 参照）の各行におけるリセットおよび露光のタイミングとを合わせて示している。より具体的には、図 6 中の一番上のグラフは、垂直同期信号 Vss の立ち下がり（または立ち上がり）のタイミングを示す。上から 2 番目のグラフは、水平同期信号 Hss の立ち下がり（または立ち上がり）のタイミングを示している。これらのグラフの下には、感度制御線 42 を介して電圧供給回路 32 から対向電極 12 に印加される電圧 Vb の時間的变化の一例が示されている。電圧 Vb の時間的变化のグラフの下には、画素電極 11 の電位を基準としたときの対向電極 12 の電位の時間的变化が示されている。電位のグラフにおける両矢印 G3 は、上述の第 3 電圧範囲を示している。さらにその下のチャートは、画素アレイ PA の各行におけるリセットおよび露光のタイミングを模式的に示す。

40

【0094】

以下、図 1、図 2 および図 6 を参照しながら、撮像装置 100 における動作の一例を説明する。簡単のため、ここでは、画素アレイ PA に含まれる画素の行数が、第 R0 行 ~ 第 R7 行の合計 8 行である場合における動作の例を説明する。

【0095】

画像の取得においては、まず、画素アレイ PA 中の各単位画素セル 10 の電荷蓄積領域

50

のリセットと、リセット後の画素信号の読み出しとが実行される。例えば、図 6 に示すように、垂直同期信号 V_{ss} に基づき、第 R 0 行に属する複数の画素のリセットを開始する（時刻 t_0 ）。なお、図 6 中の網点の付された矩形は、信号の読み出し期間を模式的に表している。この読み出し期間は、単位画素セル 10 の電荷蓄積領域の電位をリセットするためのリセット期間をその一部に含み得る。

【0096】

第 R 0 行に属する画素のリセットにおいては、第 R 0 行のアドレス制御線 46 の電位の制御により、そのアドレス制御線 46 にゲートが接続されているアドレストランジスタ 26 を ON とし、さらに、第 R 0 行のリセット制御線 48 の電位の制御により、そのリセット制御線 48 にゲートが接続されているリセットトランジスタ 28 を ON とする。これにより、電荷蓄積ノード 41 とリセット電圧線 44 とが接続され、電荷蓄積領域にリセット電圧 V_r が供給される。すなわち、信号検出トランジスタ 24 のゲート電極 24g および光電変換部 13 の画素電極 11 の電位が、リセット電圧 V_r にリセットされる。その後、垂直信号線 47 を介して、第 R 0 行の単位画素セル 10 からリセット後の画素信号を読み出す。このときに得られる画素信号は、リセット電圧 V_r の大きさに対応した画素信号である。画素信号の読み出し後、リセットトランジスタ 28 およびアドレストランジスタ 26 をオフとする。

10

【0097】

この例では、図 6 に模式的に示すように、水平同期信号 H_{ss} にあわせて、第 R 0 行～第 R 7 行の各行に属する画素のリセットを行単位で順次に実行する。以下では、水平同期信号 H_{ss} のパルスの間隔、換言すれば、ある行が選択されてから次の行が選択されるまでの期間を「1H 期間」と呼ぶことがある。この例では、時刻 t_0 から時刻 t_1 までの期間が 1H 期間に相当する。

20

【0098】

図 6 に示すように、画像取得の開始から、画素アレイ PA の全ての行のリセットおよび画素信号の読み出しが終了するまでの期間（時刻 $t_0 \sim t_9$ ）においては、画素電極 11 と対向電極 12 との間の電位差が上述の第 3 電圧範囲となるような電圧 V_3 が、電圧供給回路 32 から対向電極 12 に印加されている。すなわち、画像取得の開始から露光期間の開始（時刻 t_9 ）までの期間において、光電変換部 13 の光電変換層 15 は、第 3 電圧範囲のバイアス電圧が印加された状態にある。

30

【0099】

光電変換層 15 に第 3 電圧範囲のバイアス電圧が印加された状態では、光電変換層 15 からの電荷蓄積領域への信号電荷の移動は、ほとんど起こらない。これは、光電変換層 15 に第 3 電圧範囲のバイアス電圧が印加された状態では、光の照射によって生じた正および負の電荷のほとんどが、速やかに再結合し、画素電極 11 によって収集される前に消滅してしまうためであると推測される。したがって、光電変換層 15 に第 3 電圧範囲のバイアス電圧が印加された状態では、光電変換層 15 に光が入射しても、電荷蓄積領域への信号電荷の蓄積は、ほとんど起こらない。そのため、露光期間以外の期間における、意図しない感度（本明細書では、「寄生感度」と呼ぶことがある。）の発生が抑制される。このように、光電変換層 15 へのバイアス電圧を第 3 電圧範囲とすることによって感度を速やかに 0 に落とし得るということは、本発明者らによってはじめて見出された知見である。

40

【0100】

図 6 中、ある行（例えば第 R 0 行）に着目したとき、網点の付された矩形および斜線の付された矩形で示される期間が、非露光期間を表している。なお、光電変換層 15 に第 3 電圧範囲のバイアス電圧を印加するための電圧 V_3 は、0V に限定されない。

【0101】

画素アレイ PA の全ての行のリセットおよび画素信号の読み出しの終了後、水平同期信号 H_{ss} に基づき、露光期間を開始する（時刻 t_9 ）。図 6 中、白の矩形は、各行における露光期間を模式的に表している。露光期間は、電圧供給回路 32 が、対向電極 12 に印加する電圧を電圧 V_3 とは異なる電圧 V_e に切り替えることによって開始される。電圧 V

50

e は、典型的には、画素電極 1 1 と対向電極 1 2 との間の電位差が上述の第 1 電圧範囲となるような電圧（例えば 1 0 V 程度）である。対向電極 1 2 に電圧 V_e が印加されることにより、光電変換層 1 5 中の信号電荷（この例では正孔）が画素電極 1 1 によって収集され、電荷蓄積領域（電荷蓄積ノード 4 1 といってもよい。）に蓄積される。

【 0 1 0 2 】

電圧供給回路 3 2 が、対向電極 1 2 に印加する電圧を再び電圧 V_3 に切り替えることにより、露光期間が終了する（時刻 t_{13} ）。このように、本開示の実施形態では、対向電極 1 2 に印加する電圧が電圧 V_3 と電圧 V_e との間で切り替えられることによって、露光期間と非露光期間とが切り替えられる。図 6 からわかるように、この例における露光期間の開始（時刻 t_9 ）および終了（時刻 t_{13} ）は、画素アレイ P A に含まれる全ての画素において共通である。すなわち、ここで説明する動作は、撮像装置 1 0 0 にグローバルシャッタが適用された例である。

10

【 0 1 0 3 】

次に、水平同期信号 H_{ss} に基づき、画素アレイ P A の各行に属する画素からの信号電荷の読み出しを行う。この例では、時刻 t_{15} から、第 R 0 行～第 R 7 行の各行に属する画素からの信号電荷の読み出しが行単位で順次に実行されている。以下では、ある行に属する画素が選択されてからその行に属する画素が再び選択されるまでの期間を「1 V 期間」と呼ぶことがある。この例では、時刻 t_0 から時刻 t_{15} までの期間が 1 V 期間に相当する。

【 0 1 0 4 】

露光期間の終了後における、第 R 0 行に属する画素からの信号電荷の読み出しにおいては、第 R 0 行のアドレストランジスタ 2 6 を ON とする。これにより、露光期間において電荷蓄積領域に蓄積された電荷量に対応した画素信号が垂直信号線 4 7 に出力される。画素信号の読み出しに続けて、リセットトランジスタ 2 8 を ON として画素のリセットを行ってもよい。画素信号の読み出し後、アドレストランジスタ 2 6（およびリセットトランジスタ 2 8）をオフとする。画素アレイ P A の各行に属する画素からの信号電荷の読み出し後、時刻 t_0 と時刻 t_9 との間において読み出された信号との差分をとることにより、固定ノイズを除去した信号が得られる。

20

【 0 1 0 5 】

非露光期間においては、対向電極 1 2 には電圧 V_3 が印加されているので、光電変換部 1 3 の光電変換層 1 5 は、第 3 電圧範囲のバイアス電圧が印加された状態にある。そのため、光電変換層 1 5 に光が入射した状態であっても、電荷蓄積領域への信号電荷のさらなる蓄積はほとんど起こらない。したがって、意図しない電荷の混入に起因するノイズの発生が抑制される。

30

【 0 1 0 6 】

なお、電荷蓄積領域への信号電荷のさらなる蓄積を抑制するという観点からは、対向電極 1 2 に、上述の電圧 V_e の極性を反転させた電圧を印加することによって露光期間を終了させることも考えられる。しかしながら、対向電極 1 2 に印加する電圧の極性を単純に反転させると、既に蓄積された信号電荷の光電変換層 1 5 を介した対向電極 1 2 への移動が生じ得る。電荷蓄積領域からの光電変換層 1 5 を介した対向電極 1 2 への信号電荷の移動は、例えば、取得された画像中の黒点として観察される。つまり、電荷蓄積領域からの光電変換層 1 5 を介した対向電極 1 2 への信号電荷の移動は、マイナスの寄生感度の要因になり得る。

40

【 0 1 0 7 】

この例では、露光期間が終了した後、対向電極 1 2 に印加される電圧を再び電圧 V_3 に変更しているため、電荷蓄積領域への信号電荷の蓄積が終わった後の光電変換層 1 5 は、第 3 電圧範囲のバイアス電圧が印加された状態にある。第 3 電圧範囲のバイアス電圧が印加された状態では、電荷蓄積領域に既に蓄積された信号電荷の光電変換層 1 5 を介した対向電極 1 2 への移動を抑制することが可能である。換言すれば、光電変換層 1 5 への第 3 電圧範囲のバイアス電圧の印加により、露光期間において蓄積された信号電荷を電荷蓄積

50

領域に保持しておくことが可能である。つまり、電荷蓄積領域から信号電荷が失われることによるマイナスの寄生感度の発生を抑制し得る。

【0108】

このように、本開示の実施形態では、露光期間の開始および終了が、対向電極12に印加される電圧V_bによって制御される。すなわち、本開示の実施形態によれば、各单位画素セル10内に転送トランジスタなどを設けることなく、グローバルシャッタの機能を実現し得る。本開示の実施形態では、転送トランジスタを介した信号電荷の転送を行うことなく、電圧V_bの制御によって電子シャッタを実行するので、より高速な動作が可能である。また、各单位画素セル10内に別途転送トランジスタなどを設ける必要がないので、画素の微細化にも有利である。

10

【0109】

(応用例)

図6を参照して説明した動作の例においては、1V期間中に、全画素に共通して1回の露光期間を設け、その露光期間において蓄積された信号電荷に基づいて1つの画像を取得している。このような動作において、最終的な画像、すなわち1フレーム分の画像の形成に必要な画素信号の取得に要するトータルの時間は、(1V期間)+(画素アレイPA中の行数)×(信号の読み出し期間)におおよそ等しいといつてよい(「×」は、乗算を意味する。)。本明細書では、最終的な画像の形成に必要な画素信号の取得に要するトータルの時間を、「1フレーム期間」と呼ぶ。図6に示す例では、画素アレイPA中の各行における、信号の読み出し期間が1H期間に等しく設定されているので、1フレーム期間は、(1V+8×1H)であるといえる。

20

【0110】

図6に示す例では、1フレーム期間中に全画素に共通して1回の露光期間を設けている。しかしながら、1フレーム期間中において、全画素に共通して複数回の露光期間を設けてもよい。換言すれば、いわゆる多重露光を行い、最終的に1フレームの画像を形成してもよい。多重露光によれば、1フレーム期間内に移動した物体(以下、「動体」と呼ぶことがある。)の軌跡を1フレームの画像中に記録し得る。多重露光は、動体解析および高速現象の解析に有用である。以下では、多重露光を実行して得られた画素信号に基づいて形成される画像を「多重露光画像」と呼ぶ。

30

【0111】

図7は、多重露光画像を形成可能に構成された撮像システムの一例を模式的に示す。図7に例示する撮像システム100Sは、概略的には、カメラ部80と、表示部90とを有する。カメラ部80および表示部90は、単一の装置の2つの部分であってもよいし、それぞれが独立した別個の装置であってもよい。図7に例示する構成において、カメラ部80は、光学系110、撮像装置100、システムコントローラ120および画像形成回路130を有しており、表示部90は、信号処理回路150および表示装置160を有している。

【0112】

カメラ部80の光学系110は、絞り、手振れ補正レンズ、ズームレンズおよびフォーカスレンズなどを含む。光学系110が有するレンズの数は、要求される機能に応じて適宜決定される。システムコントローラ120は、カメラ部80における各部を制御する。システムコントローラ120は、典型的には、CPUなどの半導体集積回路であり、例えば、光学系110におけるレンズの駆動回路に制御信号を送出する。この例では、システムコントローラ120は、撮像装置100の動作の制御も行う。例えば、システムコントローラ120は、垂直走査回路36の駆動を制御する。システムコントローラ120の制御に基づいて、電圧供給回路32から感度制御線42に印加される電圧の切り替えが実行されてもよい。システムコントローラ120は、1以上のメモリを含み得る。画像形成回路130は、撮像装置100の出力に基づいて多重露光画像を形成するように構成されている。画像形成回路130は、例えばDSP(Digital Signal Processor)、FPGA(

40

50

field-programmable gate array) などであり得る。画像形成回路 130 は、メモリを含んでいてもよい。画像形成回路 130 の動作は、システムコントローラ 120 によって制御され得る。多重露光画像の形成の例は、後述する。

【0113】

図 7 に例示する構成では、画像形成回路 130 は、出力バッファ 140 を有している。画像形成回路 130 は、出力バッファ 140 を介して、多重露光画像のデータを表示部 90 に出力する。画像形成回路 130 から出力されるデータは、典型的には、RAW データであり、例えば 12 ビット幅の信号である。画像形成回路 130 から出力されるデータは、例えば H.264 規格に準拠して圧縮されたデータであってもよい。

10

【0114】

表示部 90 の信号処理回路 150 は、画像形成回路 130 からの出力を受け取る。画像形成回路 130 からの出力は、カメラ部 80 に対する接続および取り外しが自在に構成された外部記録媒体（例えばフラッシュメモリ）に一旦保存されてもよい。つまり、画像形成回路 130 からの出力が、外部記録媒体を介して表示部 90 に渡されてもよい。

【0115】

信号処理回路 150 は、例えば、ガンマ補正、色補間、空間補間およびオートホワイトバランスなどの処理を行う。信号処理回路 150 は、典型的には、DSP、ISP (Image Signal Processor) などである。表示部 90 の表示装置 160 は、液晶ディスプレイ、有機 EL (electroluminescence) ディスプレイなどである。表示装置 160 は、信号処理回路 150 からの出力信号に基づいて画像を表示する。表示部 90 は、パーソナルコンピュータ、スマートフォンなどであり得る。

20

【0116】

以下、図 8 ~ 図 12 を参照しながら、多重露光画像の形成の例を説明する。

【0117】

図 8 は、多重露光画像の形成の例を説明するための図である。ここでは、1 フレーム分の多重露光画像の形成において複数回の露光を実行する。図 8 に示すように、まず、垂直同期信号 V_{ss} に基づき、第 R0 行 ~ 第 R7 行の各行に属する画素のリセットおよび画素信号の読み出しを行単位で順次に実行する（時刻 t_{00} ）。このとき、電圧供給回路 32（図 1 参照）は、画素電極 11 と対向電極 12 との間の電位差が上述の第 3 電圧範囲となるような電圧 V_3 を対向電極 12 に印加する。

30

【0118】

次に、対向電極 12 に印加する電圧を電圧 V_{e1} に切り替えることにより、画素アレイ PA 中の全ての画素に共通して露光期間を開始する。電圧 V_{e1} は、画素電極 11 と対向電極 12 との間の電位差が例えば上述の第 1 電圧範囲となるような電圧である。対向電極 12 への電圧 V_{e1} の印加により、光電変換により生成された正および負の電荷の一方（信号電荷）が電荷蓄積領域に蓄積される。露光期間は、電圧供給回路 32 が、対向電極 12 に印加する電圧を再び電圧 V_3 に切り替えることにより終了する。

【0119】

次に、垂直同期信号 V_{ss} に基づき、第 R0 行 ~ 第 R7 行の各行に属する画素の画素信号の読み出しを行単位で順次に実行する（時刻 t_{01} ）。これにより、時刻 t_{00} と時刻 t_{01} との間の露光期間に対応した画像データが得られる。このときに得られた画像データは、例えば、画像形成回路 130（図 7 参照）のメモリに一時的に保存される。この例では、画素信号の読み出し後に、第 R0 行 ~ 第 R7 行の各行に属する画素のリセットを再度実行する。

40

【0120】

2 回目のリセットの実行後、対向電極 12 に印加する電圧を電圧 V_{e2} に切り替えることにより、画素アレイ PA 中の全ての画素に共通して、2 回目の露光期間を開始する。電圧供給回路 32 が、対向電極 12 に印加する電圧を再び電圧 V_3 に切り替えることにより

50

、2回目の露光期間が終了する。2回目の露光期間の終了後、第R0行～第R7行の各行に属する画素の画素信号の読み出しを行単位で順次に実行する(時刻t02)ことにより、2回目の露光期間に対応した画像データが得られる。このときに得られた画像データを例えば画像形成回路130のメモリに一時的に保存する点、および、画素信号の読み出し後に、第R0行～第R7行の各行に属する画素のリセットを再度実行する点は、1回目の露光期間に対応した画像データの取得と同様である。

【0121】

その後、同様の動作を所望の回数繰り返す。これにより、各露光期間に対応した複数の画像データが得られる。画像形成回路130は、例えば、これらの複数の画像データを重畳することにより、多重露光画像を形成する。

10

【0122】

図8に示すように、多重露光画像の形成のための複数の画像データの取得において、各露光期間ごとに互いに異なる大きさの電圧が電圧供給回路32から対向電極12に供給されてもよい。図8に示す例では、電圧供給回路32は、複数回の露光期間の間で、互いに異なる大きさの電圧 V_{e1} 、 V_{e2} および V_{e3} を対向電極12に印加している。ここでは、 $V_{e1} < V_{e2} < V_{e3}$ である。多重露光画像では、1フレーム期間中に移動を伴う被写体の像は、画像中の異なる位置に現れる。ここで説明する例のように、光電変換層15に印加されるバイアス電圧を露光期間ごとに変化させることにより、多重露光画像中に現れる、動体の像のそれぞれに表示属性の変化を付与することが可能である。例えば、多重露光画像中に現れる、動体の像のそれぞれの間で、明度を変化させることができる。動体の像において、露光期間ごとのバイアス電圧の変化によって変化を受ける表示属性は、典型的には、明度および色(色相または彩度)の少なくとも一方である。

20

【0123】

図9は、撮像システム100Sによって取得される例示的な多重露光画像と、多重露光画像から時系列で取り出された、それぞれが動体の像を1つ含む複数の画像とを合わせて示す。図9は、1フレーム期間に5回の露光期間を含めたときの例である。

【0124】

図9の左側に示すように、光電変換層15に印加されるバイアス電圧を露光期間ごとに変化させて得られる多重露光画像では、動体の像のそれぞれにおける表示属性が互いに異なる。そのため、図9の右側に示すように、動体の移動の様子を示す複数の画像の列を多重露光画像から構築することが可能である。このように、露光期間中のバイアス電圧を変えて得られる複数の画像データを重畳して多重露光画像を形成することにより、1フレーム期間中に移動した物体の移動の様子(経路、速度の変化など)を示す情報を多重露光画像に含めることが可能である。このような撮影方法によれば、各露光期間に対応した複数の画像データを送る場合と比較して、データ量の増加を抑制することができる。なお、各露光期間の間における電圧供給回路32が供給する電圧の変化は、図8に示すような単調増加であってもよいし、単調減少またはランダムであってもよい。

30

【0125】

図10および図11に例示するように、多重露光画像中に、動体の位置の時間的な変化を示す識別子の画像を重畳してもよい。図10に示す例では、動体の位置の時間的な変化を示す識別子として、複数の動体の像の中心を結ぶ矢印が重畳されている。図11に示す例では、識別子として、動体の位置の時間的な変化を示す数字が重畳されている。多重露光画像に含まれる動体の像は、各露光期間に応じた表示属性を示す。そのため、多重露光画像に含まれる動体の像の表示属性を解析することにより、多重露光画像の形成後に識別子を付与することも可能である。識別子として、数字に代えて、文字、記号などを用いてもよい。識別子の画像の重畳は、画像形成回路130によって実行され得る。

40

【0126】

図8を参照して説明した例では、各露光期間に対応して、電荷蓄積領域に蓄積された信号電荷の読み出しを行っている。しかしながら、複数回の露光を行い、1フレーム期間の全体において電荷蓄積領域に蓄積された信号電荷を読み出すことにより、多重露光画像

50

を形成してもよい。

【0127】

図12は、多重露光画像の形成の他の例を説明するための図である。図12に示す例では、まず、垂直同期信号 V_{ss} に基づき、第R0行～第R7行の各行に属する画素のリセットおよび画素信号の読み出しが行単位で順次に行われる(時刻 t_{00})。次に、対向電極12に電圧 V_{e1} を印加することによって1回目の露光が実行される。1回目の露光期間の終了後、画素の画素信号の読み出しを実行することなく、対向電極12に電圧 V_{e2} (ここでは $V_{e2} > V_{e1}$)を印加することによって2回目の露光を実行する。したがって、電荷蓄積領域には、既に蓄積されている信号電荷に加えて、2回目の露光期間に対応する信号電荷がさらに蓄積される。このような信号電荷の蓄積を、露光期間における対向電極12への印加電圧の大きさを変えながら、所望の回数だけ実行する。この例では、露光の回数は5回であり、5回目の露光期間においては、電圧 V_{e1} とも V_{e2} とも異なる電圧 V_{e5} ($V_{e1} < V_{e2} < \dots < V_{e5}$)が対向電極12に印加されている。

10

【0128】

5回の露光期間の終了後、垂直同期信号 V_{ss} に基づき、画素信号の読み出しを実行する(時刻 t_{04})。すなわち、この例では、複数回の露光期間に蓄積されたトータルの信号電荷の信号検出回路からの読み出しを、1フレーム期間中に1回行っている。このように、画像形成回路130は、各露光期間に対応した複数の画像データを合成することに代えて、最終的に得られた画素信号に基づいて多重露光画像を形成してもよい。

【0129】

画像形成回路130は、多重露光画像の形成に特化された処理回路に限定されない。多重露光画像の形成は、汎用の処理回路と、多重露光画像の形成のための処理が記述されたプログラムとの組み合わせによって実現されてもよい。このプログラムは、画像形成回路130中のメモリ、システムコントローラ120中のメモリなどに格納され得る。

20

【0130】

(撮像装置のその他の改変例)

再び図2を参照する。既に説明したように、本開示の実施形態では、露光期間と非露光期間との間で異なる電圧が対向電極12に印加されることにより、グローバルシャッタを実現している。非露光期間において、電圧供給回路32(図1参照)は、光電変換層15に印加されるバイアス電圧が上述の第3電圧範囲となるような電圧を、感度制御線42を介して対向電極12に供給する。他方、非露光期間における画素電極11の電位は、画素電極11および不純物領域28dをその一部に含む電荷蓄積領域に供給されるリセット電圧 V_r によって決まる。既に説明したように、リセット電圧 V_r は、不純物領域28dをドレイン領域(またはソース領域)として有するリセットトランジスタ28を介して電荷蓄積領域に供給される。リセットトランジスタ28は、電荷蓄積領域へのリセット電圧 V_r の供給および遮断を切り替える機能を有する。

30

【0131】

図2に例示する構成において、リセット電圧 V_r は、リセット電圧源34(図1参照)からリセットトランジスタ28のソース領域(またはドレイン領域)である不純物領域28sに供給される。リセット電圧源34と電圧供給回路32とが共通化されていてもよい。ただし、以下に説明するように、電圧供給回路32およびリセット電圧源34が、独立して異なる大きさの電圧を供給できると有益である。

40

【0132】

図13は、リセット期間におけるリセット電圧源34の例示的な動作を説明するためのタイミングチャートである。図13中、一番上のグラフは、電圧供給回路32から対向電極12に印加される電圧 V_b の時間的変化の一例を示し、2番目のグラフは、リセットトランジスタ28のゲートに接続されたリセット制御線48における電圧レベル V_{rst} の変化を示す。上から3番目のグラフは、電荷蓄積領域の電位 ϕ_d の時間的変化を示す。電位 ϕ_d の時間的変化は、画素電極11の電位の時間的変化を表しているといえる。電位 ϕ_d の時間的変化のグラフの下には、画素電極11の電位を基準としたときの対向電

50

極 1 2 の電位 の時間的变化が示されている。

【 0 1 3 3 】

図 1 3 において電圧 V_b のグラフに示されるように、リセット期間をその一部に含む信号の読み出し期間において対向電極 1 2 に印加される電圧 V_c は、典型的には、一定である。この状態において、リセット制御線 4 8 の電圧がハイレベルとされると、リセットトランジスタ 2 8 を介してリセット電圧 V_r が印加されることにより、電荷蓄積領域の電位 f_d が V_r にリセットされる。したがって、一見すると、 $V_c = V_r$ とすれば、すなわち、リセット電圧 V_r として、対向電極 1 2 に印加される電圧 V_c と同じ電圧を用いれば、リセット後における画素電極 1 1 と対向電極 1 2 との間の電位差を 0 とすることができると予想される。

10

【 0 1 3 4 】

しかしながら、現実には、リセット制御線 4 8 の電圧をローレベルとしてリセットトランジスタ 2 8 をオフとすると、電荷蓄積領域とリセットトランジスタ 2 8 との間のカップリングにより、電荷蓄積領域の電位 f_d が変動する。この例では、リセットトランジスタ 2 8 のオフによって電荷蓄積領域の電位 f_d が V ($V > 0$) 低下している。そのため、信号の読み出し期間において対向電極 1 2 に印加する電圧 V_c とリセット電圧 V_r とを等しく設定しただけでは、極端な場合には、リセット後における画素電極 1 1 と対向電極 1 2 との間の電位差が第 3 電圧範囲外となるおそれがある。リセット後における画素電極 1 1 と対向電極 1 2 との間の電位差が第 3 電圧範囲外となると、寄生感度が発生してしまう。

20

【 0 1 3 5 】

そのため、リセット電圧 V_r として、信号の読み出し期間において対向電極 1 2 に印加される電圧 V_c よりも大きな電圧を採用してもよい。例えば、カップリングによる電荷蓄積領域の電圧降下を考慮して、リセット電圧 V_r として、例えば、対向電極 1 2 に印加する電圧 V_c に V を加えた電圧を用いれば、リセット後の画素電極 1 1 および対向電極 1 2 の間の電位差を 0 に近づけて、電氣的なカップリングに起因する感度をキャンセルし得る。

【 0 1 3 6 】

V の具体的な値は、主にリセットトランジスタ 2 8 の特性（典型的にはソース - ゲート間の寄生容量）に依存し、あらかじめその値を知ることが可能である。例えば、製品の出荷前に V を測定しておき、得られた V を例えばシステムコントローラ 1 2 0（図 7 参照）に接続されたメモリ（例えば ROM）などに書き込んでおいてもよい。システムコントローラ 1 2 0 は、メモリに保持された V を参照することにより、リセット電圧源 3 4 から供給するリセット電圧 V_r の大きさを、 V の値に基づいて補正することが可能である。あるいは、出力される電圧が所望の電圧となるように、 V の値に応じてリセット電圧源 3 4 の回路構成を調整しておいてもよい。リセット電圧源 3 4 から供給するリセット電圧 V_r を補正することに代えて、あるいは、リセット電圧 V_r の補正とともに、電圧供給回路 3 2 から対向電極 1 2 に供給する電圧を補正してもよい。ただし、リセット電圧 V_r の補正は、画素ごとに行うことが可能である点で、電圧供給回路 3 2 から対向電極 1 2 に供給する電圧の補正よりも有利である。このようなリセット電圧 V_r （および/または対向電極 1 2 に供給する電圧）のキャリブレーションは、撮像装置 1 0 0 の出荷前に実行されてもよいし、撮像装置 1 0 0 のユーザによって実行されてもよい。

30

40

【 0 1 3 7 】

なお、リセットトランジスタ 2 8 が P チャンネルのトランジスタである場合には、図 1 4 に示すように、リセットトランジスタ 2 8 のオフにより、電荷蓄積領域の電位 f_d が V 上昇する。そのため、リセットトランジスタ 2 8 として P チャンネルのトランジスタを用いる場合には、リセット電圧 V_r として、信号の読み出し期間において対向電極 1 2 に印加される電圧 V_c よりも小さな電圧を採用すればよい。

【 0 1 3 8 】

図 1 3 および図 1 4 に示す例では、リセット期間よりも前の期間では、画素電極 1 1 の

50

電位を基準としたときの対向電極 1 2 の電位 が第 3 電圧範囲の外にある。これらの例のように、電圧供給回路 3 2 から対向電極 1 2 に印加される電圧 V_b は、非露光期間の全てにわたって、画素電極 1 1 と対向電極 1 2 との間の電位差が第 3 電圧範囲となるような電圧である必要はない。画素のリセットの前においては、画素電極 1 1 の電位を基準としたときの対向電極 1 2 の電位 は、第 3 電圧範囲の外であってもよい。

【 0 1 3 9 】

このように、補正された電圧をリセット電圧 V_r として用いることにより、電気的なカップリングに起因する寄生感度の発生を抑制し得る。このとき、補正值として大きすぎる値を採用すると、リセット時に画素電極 1 1 と対向電極 1 2 との間に大きな電位差が生じ、電荷蓄積領域中の電荷が光電変換層 1 5 を介して対向電極 1 2 に流れ込む可能性がある。言い換えれば、光電変換層 1 5 を介して電荷が逆流するおそれがある。このことから、リセット電圧 V_r と、電圧供給回路 3 2 が対向電極 1 2 に印加する電圧 V_c との差の絶対値が、光電変換層 1 5 の破壊電圧よりも小さいと有益である。例えば、リセットトランジスタ 2 8 が N チャンネルのトランジスタである場合には、リセット電圧 V_r が電圧 V_c を超えないことが有益である。光電変換層 1 5 の破壊電圧は、例えば、電荷蓄積領域中の電荷が光電変換層 1 5 を介して画素電極 1 1 から対向電極 1 2 に流れ込むことによって光電変換層 1 5 がその機能を失うような大きさの電圧として定義できる。あるいは、リセット電圧 V_r と、電圧供給回路 3 2 が対向電極 1 2 に印加する電圧 V_c との差の絶対値が、信号検出回路 1 4 への入力電圧（典型的には V_{DD} ）よりも小さいことが有益である。

【 0 1 4 0 】

図 1 5 は、撮像装置 1 0 0 の改変例を示す。図 1 5 に例示する構成において、半導体基板 2 0 は、所定の基板電圧 V_s を供給する基板電圧供給回路 3 5 との接続を有する。基板電圧供給回路 3 5 から印加される基板電圧 V_s は、0 V とは異なる電圧である。

【 0 1 4 1 】

リセット電圧 V_r を 0 V に近い電圧とすれば、電圧供給回路 3 2 から対向電極 1 2 に印加する電圧 V_c を 0 V、すなわち、対向電極 1 2 を接地とし得るので撮像装置 1 0 0 における回路構成をより簡略化し得る。しかしながら、リセット電圧 V_r が例えば 0 V であると、信号検出トランジスタ 2 4 がソースフォロアとして機能しないので、信号電圧の読み出しができない。

【 0 1 4 2 】

図 1 5 に例示する構成では、0 V とは異なる基板電圧 V_s を半導体基板 2 0 に印加している。例えば、基板電圧 V_s として負電圧を半導体基板 2 0 に印加することにより、基板電位をシフトさせる。基板電位をシフトさせることにより、リセット電圧 V_r と、電圧供給回路 3 2 から対向電極 1 2 に印加する電圧 V_c とを 0 V とした場合であっても、暗電流の抑制と、信号検出回路 1 4 におけるリニアリティとを両立させ得る。基板電圧供給回路 3 5 は、上述の電圧供給回路 3 2 および / またはリセット電圧源 3 4 と共通化されていてもよい。なお、電圧供給回路 3 2 から対向電極 1 2 に印加する電圧 V_c を正の電圧とすれば、半導体基板 2 0 に負電圧を印加することを回避しながら、リセット電圧 V_r および電圧 V_c とを 0 V とした場合と同様の効果を得ることが可能である。

【 0 1 4 3 】

以上に説明したように、本開示の実施形態によれば、対向電極 1 2 に印加する電圧の制御により、電荷蓄積領域への電荷の蓄積および保持を制御し得る。したがって、より簡単なデバイス構造でグローバルシャッタ機能を実現し得る。

【 0 1 4 4 】

本開示の実施形態による撮像装置は、上述した例のほかに種々の改変が可能である。例えば、被写体に応じて、グローバルシャッタ駆動とローリングシャッタ駆動との切り替えを行ってもよい。ローリングシャッタ駆動では、電圧供給回路 3 2 が対向電極 1 2 に印加する電圧を、露光期間、非露光期間ともに電圧 V_e に固定し得る。このとき、電荷蓄積ノード 4 1 のリセットのタイミングから信号読み出しまでの時間によって露光期間を規定することができる。

【 0 1 4 5 】

上述の信号検出トランジスタ 2 4、アドレスタランジスタ 2 6 およびリセットトランジスタ 2 8 の各々は、NチャンネルMOSであってもよいし、PチャンネルMOSであってもよい。これらの全てがNチャンネルMOSまたはPチャンネルMOSのいずれかに統一されている必要もない。信号検出トランジスタ 2 4 および / またはアドレスタランジスタ 2 6 として、電界効果トランジスタのほか、バイポーラトランジスタも用い得る。

【産業上の利用可能性】

【 0 1 4 6 】

本開示の撮像装置は、例えばイメージセンサなどに適用可能である。本開示の撮像装置は、医療用カメラ、ロボット用カメラ、セキュリティカメラ、車両に搭載されて使用されるカメラなどに用いることができる。車両搭載用カメラは、例えば、車両が安全に走行するための、制御装置に対する入力として利用され得る。あるいは、車両が安全に走行するための、オペレータの支援に利用され得る。

10

【符号の説明】

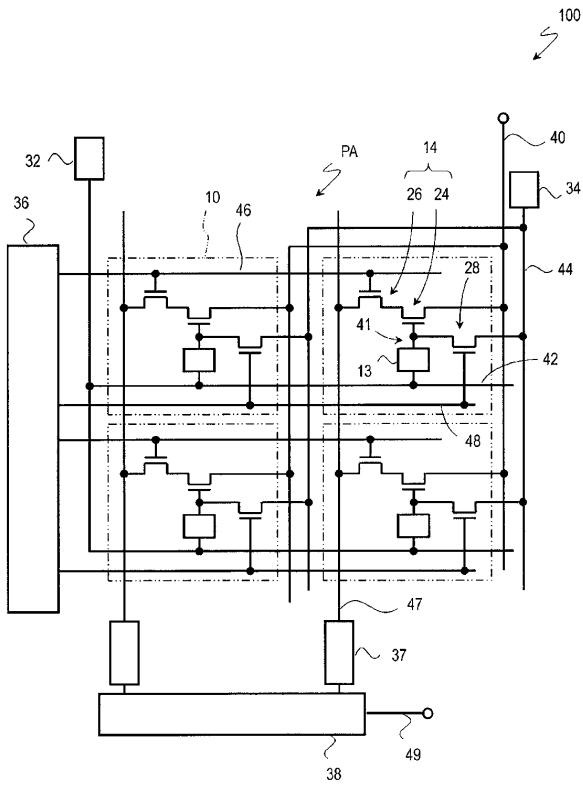
【 0 1 4 7 】

1 0	単位画素セル	
1 1	画素電極	
1 2	対向電極	
1 3	光電変換部	
1 4	信号検出回路	20
1 5	光電変換層	
1 5 A	光電変換構造	
1 5 e	電子ブロッキング層	
1 5 h	正孔ブロッキング層	
2 0	半導体基板	
2 0 t	素子分離領域	
2 4 d、2 4 s、2 6 s、2 8 d、2 8 s	不純物領域	
2 4	信号検出トランジスタ	
2 6	アドレスタランジスタ	
2 8	リセットトランジスタ	30
2 4 g、2 6 g、2 8 g	ゲート電極	
3 2	電圧供給回路（感度制御電圧供給回路）	
3 4	リセット電圧源（リセット電圧供給回路）	
3 5	基板電圧供給回路	
3 6	垂直走査回路	
4 0	電源線	
4 1	電荷蓄積ノード	
4 2	感度制御線	
5 0	層間絶縁層	
4 4	リセット電圧線	40
4 6	アドレス制御線	
4 7	垂直信号線	
4 8	リセット制御線	
8 0	カメラ部	
9 0	表示部	
1 0 0	撮像装置	
1 0 0 S	撮像システム	
1 3 0	画像形成回路	
P A	画素アレイ	50

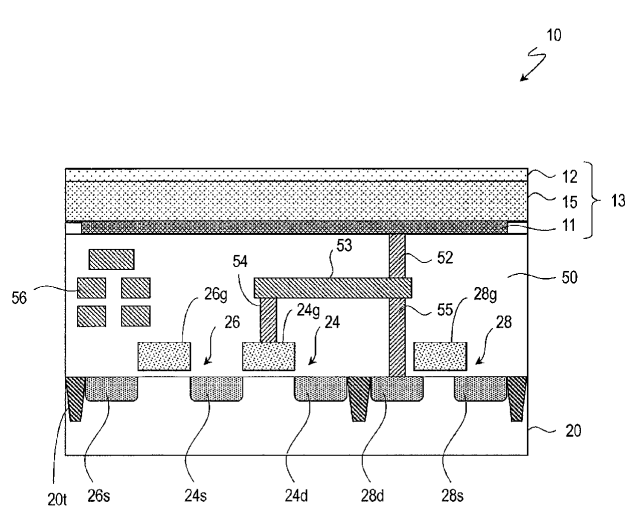
50

【 図面 】

【 図 1 】



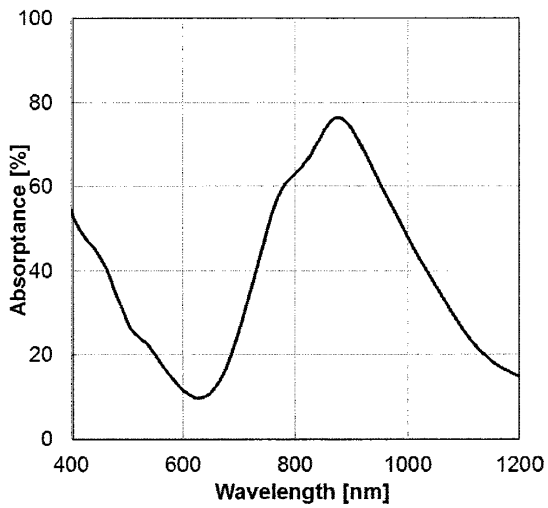
【 図 2 】



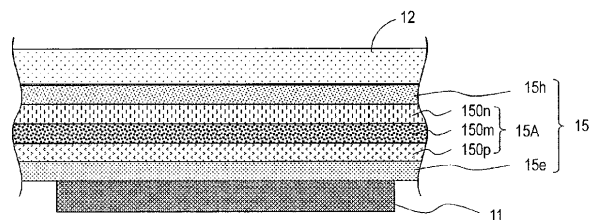
10

20

【 図 3 】



【 図 4 】

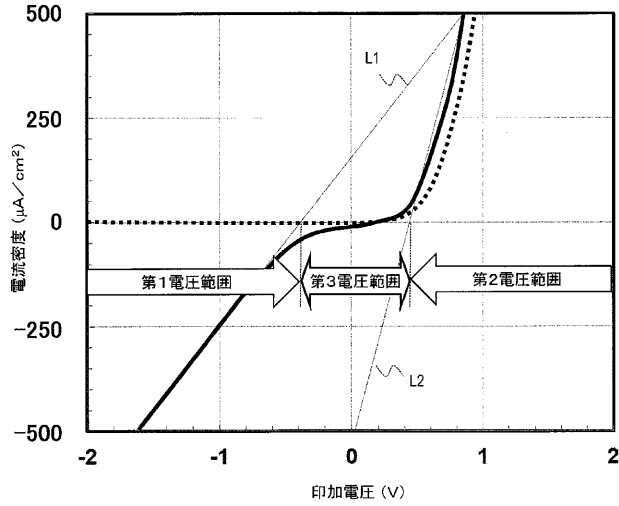


30

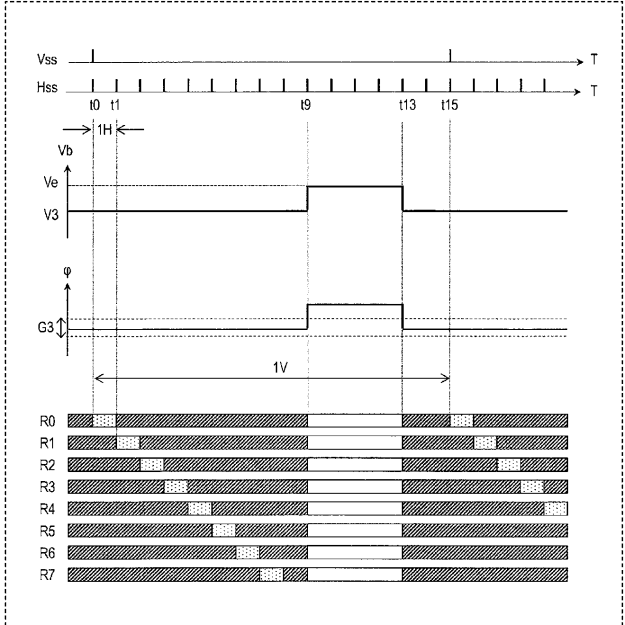
40

50

【図5】



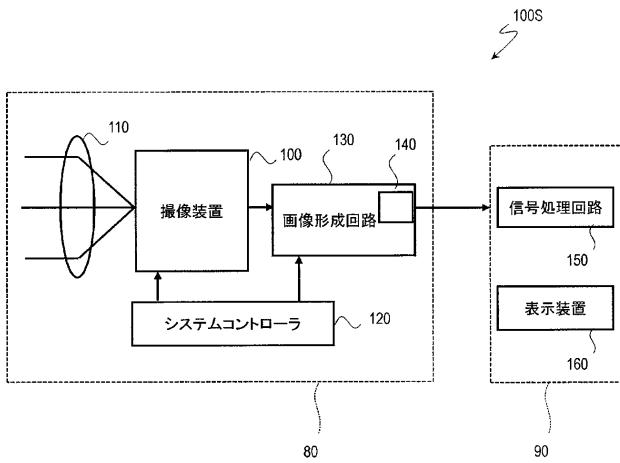
【図6】



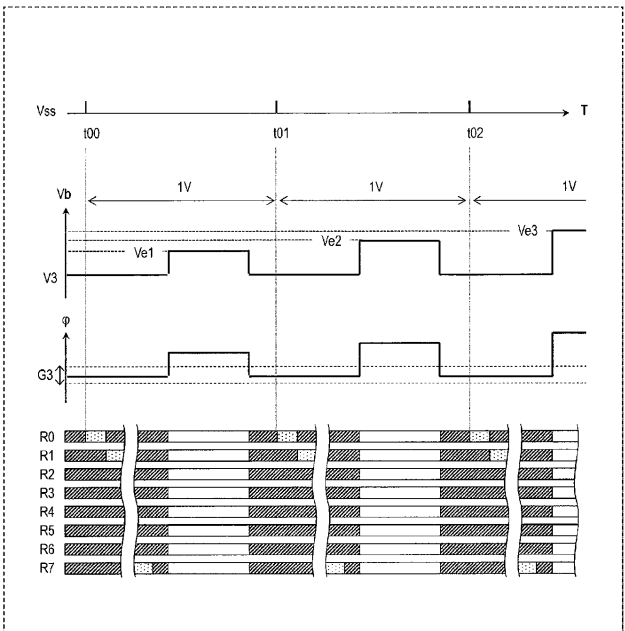
10

20

【図7】



【図8】

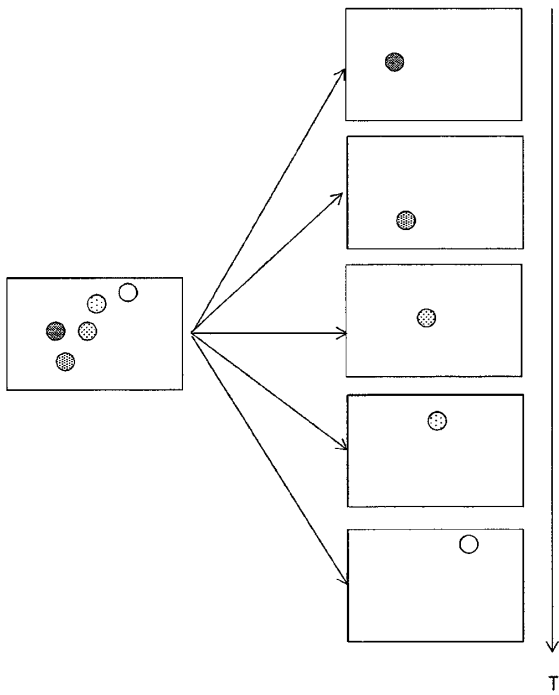


30

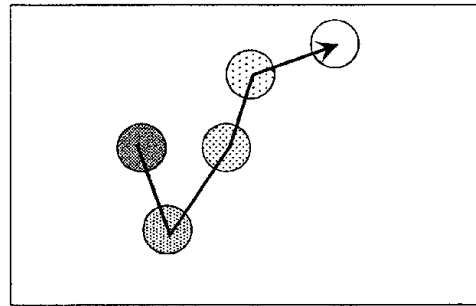
40

50

【 図 9 】



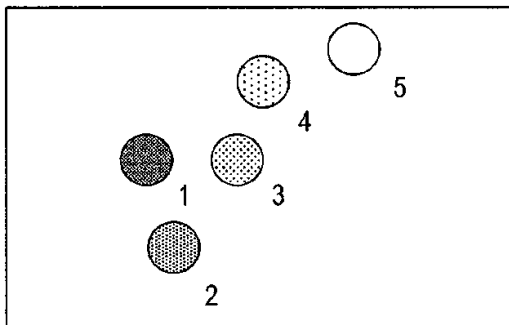
【 図 10 】



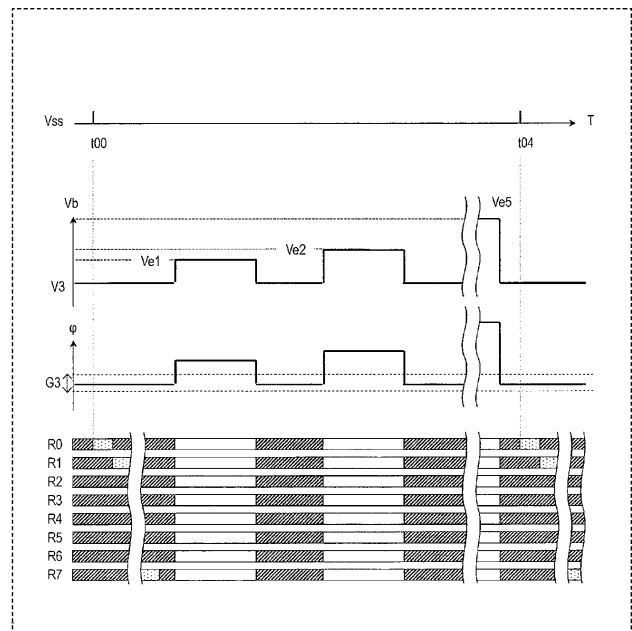
10

20

【 図 11 】



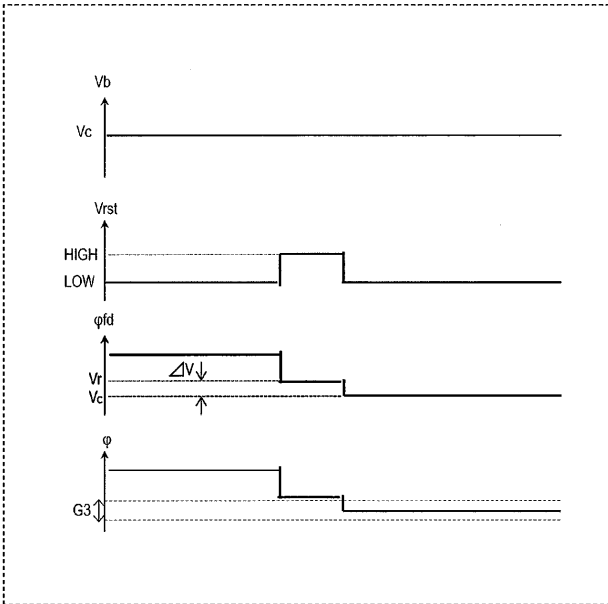
【 図 12 】



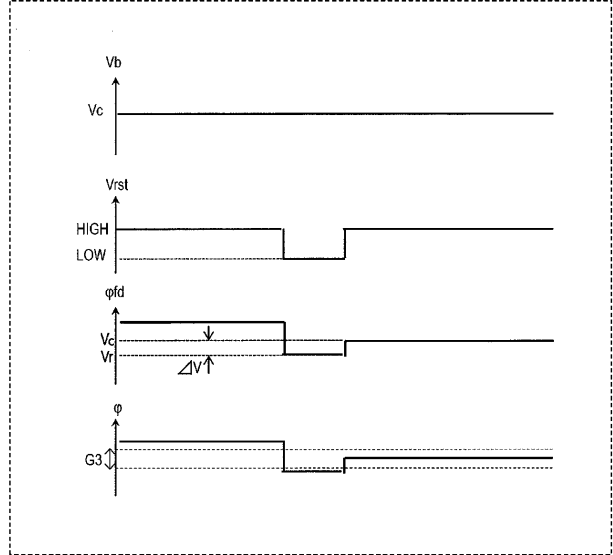
30

40

【 13 】

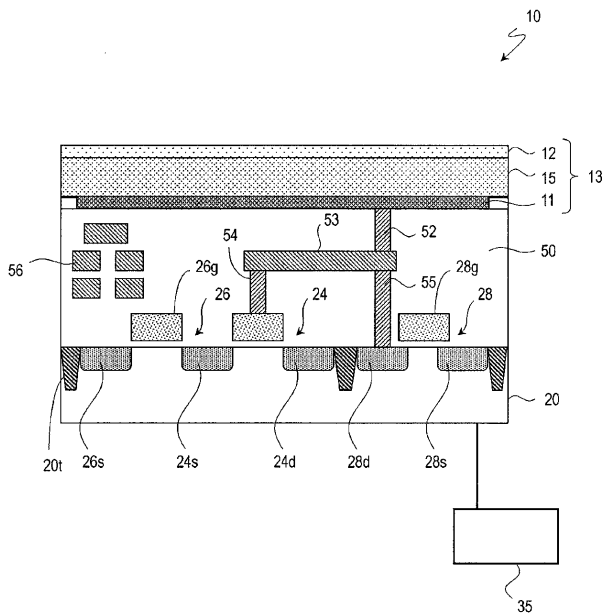


【 14 】



10

【 15 】



20

30

40

50

フロントページの続き

- 弁理士 武田 寛之
(72)発明者 三宅 康夫
大阪府門真市大字門真 1 0 0 6 番地 パナソニックホールディングス株式会社内
(72)発明者 村上 雅史
大阪府門真市大字門真 1 0 0 6 番地 パナソニックホールディングス株式会社内
(72)発明者 玉置 徳彦
大阪府門真市大字門真 1 0 0 6 番地 パナソニックホールディングス株式会社内
(72)発明者 佐藤 嘉晃
大阪府門真市大字門真 1 0 0 6 番地 パナソニックホールディングス株式会社内