

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 12 月 18 日(18.12.2014)

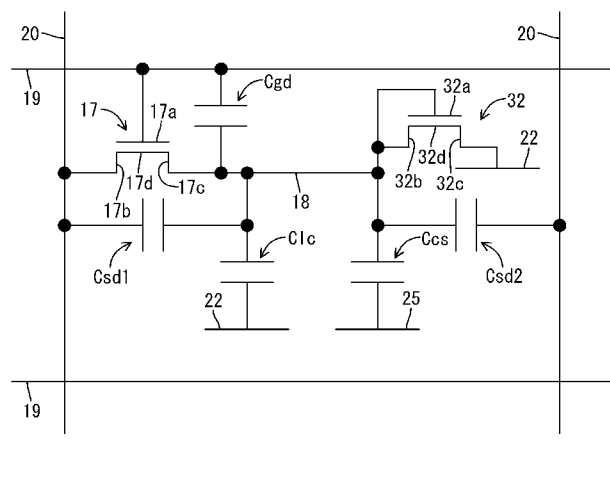


(10) 国際公開番号
WO 2014/199677 A1

- (51) 国際特許分類:
G09G 3/36 (2006.01) *G09G 3/20* (2006.01)
G02F 1/1368 (2006.01) *H01L 29/786* (2006.01)
G09F 9/30 (2006.01)
- (21) 国際出願番号: PCT/JP2014/055372
- (22) 国際出願日: 2014 年 3 月 4 日(04.03.2014)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2013-121970 2013 年 6 月 10 日(10.06.2013) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 Osaka (JP).
- (72) 発明者: 中谷 好博(NAKATANI Yoshihiro). 山下 祐樹(YAMASHITA Yuki). 高井 理義(TAKAI Masayoshi).
- (74) 代理人: 特許業務法人暁合同特許事務所(AKATSUKI UNION PATENT FIRM); 〒4600008 愛知県名古屋市中区栄二丁目 1 番 1 号 日土地名古屋ビル 5 階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: DISPLAY DEVICE

(54) 発明の名称 : 表示装置



(57) Abstract: A liquid crystal panel (display device) (11) is provided with: a pixel electrode unit (pixel unit) (18); a pixel TFT (switching element) (17) connected to the pixel electrode unit (18) and capable of charging the pixel electrode unit (18) with electricity; a common electrode unit (reference potential unit) (22) referenced as a reference potential; and a resistive TFT (32) which is a resistive element connected to the pixel electrode unit (18) and the common electrode unit (22) so as to be interposed therebetween and constituting a resistive component for an electric charge moving between the pixel electrode unit (18) and the common electrode unit (22).

(57) 要約:

[続葉有]

WO 2014/199677 A1

液晶パネル（表示装置）（１１）は、画素電極部（画素部）（１８）と、画素電極部（１８）に接続されて画素電極部（１８）を充電することが可能な画素用ＴＦＴ（スイッチング素子）（１７）と、基準電位とされる共通電極部（基準電位部）（２２）と、画素電極部（１８）と共通電極部（２２）とに対して間に介在する形で接続され、画素電極部（１８）と共通電極部（２２）との間を移動する電荷に対する抵抗成分を構成する抵抗性素子である抵抗性ＴＦＴ（３２）と、を備える。

明 細 書

発明の名称： 表示装置

技術分野

[0001] 本発明は、表示装置に関する。

背景技術

[0002] 液晶表示装置に用いられる液晶パネルは、一对のガラス基板間に液晶層が挟持された構成とされているが、そのうち一方のガラス基板は、スイッチング素子である T F T 及び画素電極を備えたアレイ基板として構成される。このアレイ基板は、ゲート配線とソース配線とが同基板上に格子状に設けられ、ゲート配線とソース配線との交差部に T F T 及び画素電極が設けられた構成を有している。このような構成の液晶パネルにおいて、近年では T F T のオフ特性が高まっているため、T F T により充電されることで画素電極に蓄えられた電荷が自然放電により減少し難くなっている。画素電極に蓄えられた電荷が長期間残存していると、表示画像に焼き付きやフリッカなどが生じるおそれがある。このような表示画像に焼き付きやフリッカが生じるのを防ぐ技術として下記特許文献 1 に記載されたものが知られている。

先行技術文献

特許文献

[0003] 特許文献1：国際公開第 2 0 1 2 / 1 6 1 0 2 2 号

[0004] (発明が解決しようとする課題)

上記した特許文献 1 では、液晶パネルにおける表示がオフされるときに、T F T を駆動して画素電極に蓄えられた電荷を解放するための電圧を印加するようにしている。しかしながら、このようにすると表示がオフされたときに T F T を駆動する、といった特殊な制御を行う必要が生じてしまう。

発明の概要

[0005] 本発明は上記のような事情に基づいて完成されたものであって、特殊な制御を行うことなく表示品位の低下を抑制することを目的とする。

[0006] (課題を解決するための手段)

本発明の表示装置は、画素部と、前記画素部に接続されて前記画素部を充電することが可能なスイッチング素子と、基準電位とされる基準電位部と、前記画素部と前記基準電位部とに対して間に介在する形で接続され、前記画素部と前記基準電位部との間を移動する電荷に対する抵抗成分を構成する抵抗性素子と、を備える。

[0007] このようにすれば、スイッチング素子により画素部が充電されると、画素部には電荷が蓄えられる。ここで、スイッチング素子のオフ特性が高い場合には、画素部に蓄えられた電荷の残存期間が長くなる傾向とされ、そうなるとう当該表示装置の表示画像に焼き付きやフリッカなどが生じるおそれがある。これに対して、例えばスイッチング素子を駆動して画素部に電荷を解放するような電圧を印加する、といった手法を採ることが考えられるものの、それでは特殊な制御を追加する必要性が生じてしまう。

[0008] その点、上記した画素部は、間に抵抗性素子を介在させる形で基準電位部に接続されているので、例えば画素部の電位が基準電位部の基準電位よりも高電位だった場合には、画素部から抵抗性素子を介して基準電位部へと電荷が移動し、逆に画素部の電位が基準電位部の基準電位よりも低電位だった場合には、基準電位部から抵抗性素子を介して画素部へと電荷が移動することで、いずれにしても画素部の電位が基準電位に近づけられ、もって上記のような特殊な制御を行わなくても、表示画像に焼き付きやフリッカなどを生じ難くさせることができる。しかも、抵抗性素子は、画素部と基準電位部との間を移動する電荷に対する抵抗成分を構成しているので、画素部の電位が基準電位に到達するまでの時間を稼ぐことができ、画素部の電位が瞬時に基準電位に到達する事態を避けることができる。これにより、当該表示装置に画像を表示するに際してスイッチング素子により充電された画素部の電位を一定期間維持する上で好適となり、もって表示画像に係る表示品位が損なわれる事態が生じ難いものとされる。

[0009] 本発明の実施態様として、次の構成が好ましい。

(1) 前記抵抗性素子には、ゲート電極部と、ソース電極部と、ドレイン電極部と、前記ソース電極部と前記ドレイン電極部とを接続するチャンネル部と、を少なくとも有していて、前記ゲート電極部が前記画素部と前記基準電位部とのいずれかに接続されるとともに、前記ソース電極部と前記ドレイン電極部とのうちのいずれか一方が前記画素部に、他方が前記基準電位部にそれぞれ接続されるトランジスタが含まれる。このようにすれば、ゲート電極部が画素部と基準電位部とのいずれかと同電位とされるとともに、ソース電極部とドレイン電極部とのうちのいずれか一方が画素部と同電位とされ、他方が基準電位部と同電位とされる。従って、スイッチング素子により画素部が充電された状態では、ソース電極部とドレイン電極部との間には電位差が生じるのに対し、ゲート電極部はソース電極部とドレイン電極部とのいずれかと同電位とされるので、トランジスタが実質的にダイオードとして機能し、チャンネル部を介してソース電極部とドレイン電極部との間で電荷が移動される。ここで、スイッチング素子によって画素部に充電される電位に応じて、トランジスタは順バイアスまたは逆バイアスとなるのであるが、順バイアスの場合には、トランジスタの閾値電圧を超えない限りは電荷の移動量がごく少なくなるのに対し、逆バイアスの場合には、トランジスタの漏れ電流程度の電荷しか流されず、電荷の移動量が極めて少なくなる。いずれにしても画素部と基準電位部との間を移動する電荷に対してトランジスタが抵抗成分を構成することになるので、画素部の電位が基準電位になるまでの時間を十分に稼ぐことができる。これにより、当該表示装置に画像を表示するに際して表示画像に係る表示品位が損なわれる事態がより生じ難いものとされる。

[0010] (2) 前記スイッチング素子は、画素用ゲート電極部と、画素用ソース電極部と、前記画素部に接続される画素用ドレイン電極部と、前記画素用ソース電極部と前記画素用ドレイン電極部とを接続する画素用チャンネル部と、を少なくとも有する画素用トランジスタからなるものとされており、前記抵抗性素子を構成する前記トランジスタは、前記チャンネル部が前記スイッチング素子を構成する前記画素用トランジスタの前記画素用チャンネル部と同一材料か

らなる。このようにすれば、スイッチング素子を構成する画素用トランジスタの画素用チャネル部と、抵抗性素子を構成するトランジスタのチャネル部とで材料を共通化することで、製造コストの低減などを図る上で有用となる。

[0011] (3) 前記抵抗性素子を構成する前記トランジスタは、前記チャネル部における前記ソース電極部と前記ドレイン電極部との間の距離である長さ寸法を幅寸法で除した比率が、前記スイッチング素子を構成する前記画素用トランジスタの前記画素用チャネル部における前記画素用ソース電極部と前記画素用ドレイン電極部との間の距離である長さ寸法を幅寸法で除した比率よりも大きくなるよう形成されている。このようにすれば、抵抗性素子を構成するトランジスタにおいてチャネル部を介してソース電極部とドレイン電極部との間を移動する電荷に係る抵抗値が、スイッチング素子を構成する画素用トランジスタにおいて画素用チャネル部を介して画素用ソース電極部と画素用ドレイン電極部との間を移動する電荷に係る抵抗値よりも大きなものとなる。これにより、抵抗性素子を構成するトランジスタによって画素部の電位が基準電位とされるまでの時間を十分に稼ぐことができ、もって当該表示装置に画像を表示するに際して表示画像に係る表示品位が損なわれる事態が一層生じ難いものとされる。

[0012] (4) 前記抵抗性素子を構成する前記トランジスタは、前記ゲート電極部及び前記ソース電極部が前記画素部に、前記ドレイン電極部が前記基準電位部にそれぞれ接続されている。このようにすれば、例えば画素部の電位が基準電位部の基準電位よりも高電位だった場合には、抵抗性素子を構成するトランジスタは順バイアスとなるので、ゲート電極部と同電位とされたソース電極部（画素部）からドレイン電極部（基準電位部）へと電荷が移動する。逆に、画素部の電位が基準電位部の基準電位よりも低電位だった場合には、抵抗性素子を構成するトランジスタは逆バイアスとなるので、ドレイン電極部（基準電位部）からゲート電極部と同電位とされたソース電極部（画素部）へと電荷が移動する。いずれにしても画素部と基準電位部との間を移動する

電荷に対してトランジスタが抵抗成分を構成することになるので、画素部の電位が基準電位になるまでの時間を十分に稼ぐことができる。これにより、当該表示装置に画像を表示するに際して表示画像に係る表示品位が損なわれる事態がより生じ難いものとされる。

[0013] (5) 前記抵抗性素子を構成する前記トランジスタは、前記ドレイン電極部が前記画素部に、前記ゲート電極部及び前記ソース電極部が前記基準電位部にそれぞれ接続されている。このようにすれば、例えば画素部の電位が基準電位部の基準電位よりも高電位だった場合には、抵抗性素子を構成するトランジスタは逆バイアスとなるので、ドレイン電極部（画素部）からゲート電極部と同電位とされたソース電極部（基準電位部）へと電荷が移動する。逆に、画素部の電位が基準電位部の基準電位よりも低電位だった場合には、抵抗性素子を構成するトランジスタは順バイアスとなるので、ゲート電極部と同電位とされたソース電極部（基準電位部）からドレイン電極部（画素部）へと電荷が移動する。いずれにしても画素部と基準電位部との間を移動する電荷に対してトランジスタが抵抗成分を構成することになるので、画素部の電位が基準電位になるまでの時間を十分に稼ぐことができる。これにより、当該表示装置に画像を表示するに際して表示画像に係る表示品位が損なわれる事態がより生じ難いものとされる。

[0014] (6) 前記抵抗性素子を構成する前記トランジスタには、第1ゲート電極部と、第1ソース電極部と、第1ドレイン電極部と、前記第1ソース電極部と前記第1ドレイン電極部とを接続する第1チャンネル部と、を少なくとも有していて、前記第1ゲート電極部及び前記第1ソース電極部が前記画素部にそれぞれ接続される第1トランジスタと、第2ゲート電極部と、第2ソース電極部と、第2ドレイン電極部と、前記第2ソース電極部と前記第2ドレイン電極部とを接続する第2チャンネル部と、を少なくとも有していて、前記第2ゲート電極部及び前記第2ソース電極部が前記基準電位部にそれぞれ接続され且つ前記前記第2ドレイン電極部が前記第1ドレイン電極部に接続される第2トランジスタと、が含まれている。このようにすれば、例えば画素部の

電位が基準電位部の基準電位よりも高電位だった場合には、第1トランジスタは順バイアスとなるものの、第2トランジスタは逆バイアスとなり、画素部の電荷は、第1ゲート電極部と同電位とされた第1ソース電極部から第1ドレイン電極部へと移動した後、第2ドレイン電極部から第2ゲート電極部と同電位とされた第2ソース電極部へと移動することで、基準電位部に達する。逆に、例えば画素部の電位が基準電位部の基準電位よりも低電位だった場合には、第2トランジスタは順バイアスとなるものの、第1トランジスタは逆バイアスとなり、基準電位部の電荷は、第2ゲート電極部と同電位とされた第2ソース電極部から第2ドレイン電極部へと移動した後、第1ドレイン電極部から第1ゲート電極部と同電位とされた第1ソース電極部へと移動することで、画素部に達する。いずれにしても第1トランジスタと第2トランジスタとのいずれかは逆バイアスとなるので、各トランジスタの漏れ電流程度の電荷しか流されず、電荷の移動量が極めて少なくなる。従って、画素部の電位が基準電位になるまでの時間をより多く稼ぐことができ、もって当該表示装置に画像を表示するに際して表示画像に係る表示品位が損なわれる事態が一層生じ難いものとされる。しかも、スイッチング素子によって画素部に充電される電位が基準電位よりも高い場合と低い場合とで、画素部の電位が各トランジスタによって基準電位に達するまでの時間が同等になり、もって画素部の電位に係る保持期間を一定に維持することができる。

[0015] (7) 前記抵抗性素子は、前記トランジスタを複数直列に接続してなる。このようにすれば、複数のトランジスタを介して画素部と基準電位部との間で電荷が移動されるので、電荷がより流れ難くなって画素部の電位が瞬時に基準電位に到達する事態を避けることができる。これにより、スイッチング素子により充電された画素部の電位を一定期間維持する上で一層好適となる。

[0016] (8) 前記抵抗性素子には、前記画素部と前記基準電位部との間を引き回される配線部が含まれる。このように、画素部と基準電位部との間に引き回される配線部が抵抗性素子に含まれているので、スイッチング素子によって画素部に充電される電位が基準電位よりも高い場合と低い場合とで、画素部の

電位が配線部によって基準電位に達するまでの時間が同等になる。これにより、画素部の電位に係る保持期間を一定に維持することができる。

[0017] (9) 前記画素部との間で静電容量を形成する共通電極部が備えられており、前記基準電位部は、前記共通電極部からなる。このようにすれば、抵抗性素子によって画素部との間で電荷が移動される基準電位部を、画素部との間で静電容量を形成する共通電極部としているから、抵抗性素子を介した電荷の移動に伴い、画素部と共通電極部との間の電位差を0に近づけることができる。これにより、表示画像に焼き付きやフリッカなどを一層生じ難くさせることができる。

[0018] (10) 前記画素部との間で静電容量を形成する補助容量配線部が備えられており、前記基準電位部は、前記補助容量配線部からなる。このようにすれば、抵抗性素子によって画素部との間で電荷が移動される基準電位部を、画素部との間で静電容量を形成する補助容量配線部としているから、抵抗性素子を介した電荷の移動に伴い、画素部と補助容量配線部との間の電位差を0に近づけることができる。これにより、表示画像に焼き付きやフリッカなどを一層生じ難くさせることができる。

[0019] (11) 前記スイッチング素子は、画素用ゲート電極部と、画素用ソース電極部と、前記画素部に接続される画素用ドレイン電極部と、前記画素用ソース電極部と前記画素用ドレイン電極部とを接続する画素用チャネル部と、を有する画素用トランジスタからなるものとされており、前記画素用チャネル部は、酸化物半導体からなる。このようにすれば、スイッチング素子を構成する画素用トランジスタの画素用チャネル部の材料として酸化物半導体を用いることで、仮に画素用チャネル部の材料としてアモルファスシリコンなどを用いた場合に比べると、画素用トランジスタのオフリーク電流が少なくなるので、画素部の電圧保持率が高いものとなる。画素部の電圧保持率が高くなると、画素部に蓄えられた電荷がより長期間にわたって残存しがちとなるものの、抵抗性素子を介して画素部と基準電位部との間で電荷が移動されることで、画素部の電位が基準電位に近づけられるようになっているので、特

殊な制御を行うことなく、表示画像に焼き付きやフリッカなどがより生じ難くなる。

[0020] (12) 前記酸化物半導体は、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、酸素 (O) を含んでいる。このようにすれば、画素用トランジスタの画素用チャネル部をなす酸化物半導体が、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、酸素 (O) を含んでいるので、画素用トランジスタのオフリーク電流がより少なくなって画素部の電圧保持率がより高くなるものの、抵抗性素子を介して画素部と基準電位部との間で電荷が移動されることで、画素部の電位が基準電位に近づけられるようになっているので、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどがさらに生じ難くなる。

[0021] (13) 前記酸化物半導体は、結晶性を有している。このようにすれば、画素用トランジスタの画素用チャネル部をなす酸化物半導体が、インジウム (In)、ガリウム (Ga)、亜鉛 (Zn)、酸素 (O) を含有し且つ結晶性を有しているので、画素用トランジスタのオフリーク電流が一層少なくなって画素部の電圧保持率がより高くなるものの、抵抗性素子を介して画素部と基準電位部との間で電荷が移動されることで、画素部の電位が基準電位に近づけられるようになっているので、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどがより一層生じ難くなる。

[0022] (14) 前記画素部、前記スイッチング素子、前記基準電位部、及び前記抵抗性素子が配されたアレイ基板と、前記アレイ基板と対向状をなすとともにカラーフィルタが配されたCF基板と、前記アレイ基板と前記CF基板との間に挟持される液晶層と、を備える。このような表示装置は液晶表示装置として、種々の用途、例えば車載型情報端末や携帯型情報端末などのディスプレイ等に適用可能である。

[0023] (発明の効果)

本発明によれば、特殊な制御を行うことなく表示品位の低下を抑制することができる。

図面の簡単な説明

- [0024] [図1]本発明の実施形態1に係るドライバを実装した液晶パネルとフレキシブル基板と制御回路基板との接続構成を示す概略平面図
- [図2]液晶表示装置の長辺方向に沿った断面構成を示す概略断面図
- [図3]液晶パネルの断面構成を示す概略断面図
- [図4]液晶パネルを構成するアレイ基板の配線構成を概略的に示す平面図
- [図5]アレイ基板の表示部における画素の回路構成を示す回路図
- [図6]アレイ基板の表示部における画素の平面構成を示す平面図
- [図7]図6における画素用TFT及び抵抗性TFT付近を拡大した平面図
- [図8]図7のviii-viii線断面図
- [図9]図7のix-ix線断面図
- [図10]画素用TFTの画素用ソース電極部に供給されるデータ信号の電圧値に関するフレーム毎の変化を表す図
- [図11]本発明の実施形態2に係るアレイ基板の表示部における画素の回路構成を示す回路図
- [図12]画素用TFTにより充電された画素電極に係る電圧の経時変化を表すグラフ
- [図13]本発明の実施形態3に係るアレイ基板の表示部における画素の回路構成を示す回路図
- [図14]アレイ基板の表示部における画素用TFT及び抵抗性TFT付近を拡大した平面図
- [図15]図14のxv-xv線断面図
- [図16]本発明の実施形態4に係るアレイ基板の表示部における画素の回路構成を示す回路図
- [図17]画素用TFTにより充電された画素電極に係る電圧の経時変化を表すグラフ
- [図18]本発明の実施形態5に係るアレイ基板の表示部における画素の回路構成を示す回路図

[図19]アレイ基板の表示部における画素用 T F T、第 1 抵抗性 T F T 及び第 2 抵抗性 T F T 付近を拡大した平面図

[図20]図 1 9 の xx-xx 線断面図

[図21]本発明の実施形態 6 に係るアレイ基板の表示部における画素の回路構成を示す回路図

[図22]画素用 T F T により充電された画素電極に係る電圧の経時変化を表すグラフ

[図23]本発明の実施形態 7 に係るアレイ基板の表示部における画素の回路構成を示す回路図

[図24]アレイ基板の表示部における画素用 T F T 及び抵抗性配線部付近を拡大した平面図

[図25]図 2 4 の xxv-xxv 線断面図

[図26]画素用 T F T により充電された画素電極に係る電圧の経時変化を表すグラフ

[図27]本発明の実施形態 8 に係るアレイ基板の表示部における画素の回路構成を示す回路図

[図28]アレイ基板の表示部における画素用 T F T 及び抵抗性 T F T 付近を拡大した平面図

[図29]図 2 8 の xxix-xxix 線断面図

[図30]本発明の実施形態 9 に係るアレイ基板の表示部における画素の回路構成を示す回路図

[図31]アレイ基板の表示部における画素用 T F T 及び抵抗性 T F T 付近を拡大した平面図

[図32]図 3 1 の xxxii-xxxii 線断面図

[図33]本発明の実施形態 1 0 に係るアレイ基板の表示部における画素用 T F T 及び抵抗性配線部付近を拡大した平面図

[図34]本発明の実施形態 1 1 に係るアレイ基板の表示部における画素の回路構成を示す回路図

[図35]本発明の実施形態１２に係るアレイ基板の表示部における画素の回路構成を示す回路図

[図36]本発明の実施形態１３に係るアレイ基板の表示部における画素の回路構成を示す回路図

発明を実施するための形態

[0025] <実施形態１>

本発明の実施形態１を図１から図１０によって説明する。本実施形態では、液晶表示装置１０について例示する。なお、各図面の一部にはＸ軸、Ｙ軸及びＺ軸を示しており、各軸方向が各図面で示した方向となるように描かれている。また、上下方向については、図２などを基準とし、且つ同図上側を表側とするとともに同図下側を裏側とする。

[0026] 液晶表示装置１０は、図１及び図２に示すように、画像を表示可能な表示部ＡＡ及び表示部ＡＡ外の非表示部ＮＡＡを有する液晶パネル（表示装置）１１と、液晶パネル１１を駆動するドライバ（パネル駆動部）２１と、ドライバ２１に対して各種入力信号を外部から供給する制御回路基板（外部の信号供給源）１２と、液晶パネル１１と外部の制御回路基板１２とを電氣的に接続するフレキシブル基板（外部接続部品）１３と、液晶パネル１１に光を供給する外部光源であるバックライト装置（照明装置）１４とを備える。また、液晶表示装置１０は、相互に組み付けた液晶パネル１１及びバックライト装置１４を収容・保持するための表裏一対の外装部材１５，１６をも備えており、このうち表側の外装部材１５には、液晶パネル１１の表示部ＡＡに表示された画像を外部から視認させるための開口部１５ａが形成されている。本実施形態に係る液晶表示装置１０は、ノートパソコン（タブレット型ノートパソコンなどを含む）、携帯電話（スマートフォンなどを含む）、携帯型情報端末（電子ブックやＰＤＡなどを含む）、デジタルフォトフレーム、携帯型ゲーム機、電子インクペーパーなどの各種電子機器（図示せず）に用いられるものである。このため、液晶表示装置１０を構成する液晶パネル１１の画面サイズは、数インチ～１０数インチ程度とされ、一般的には小型また

は中小型に分類される大きさとされている。

[0027] 先にバックライト装置 14 について簡単に説明する。バックライト装置 14 は、図 2 に示すように、表側（液晶パネル 11 側）に向けて開口した略箱形をなすシャーシ 14a と、シャーシ 14a 内に配された図示しない光源（例えば冷陰極管、LED、有機ELなど）と、シャーシ 14a の開口部を覆う形で配される図示しない光学部材とを備える。光学部材は、光源から発せられる光を面状に変換するなどの機能を有するものである。

[0028] 続いて、液晶パネル 11 について説明する。液晶パネル 11 は、図 1 に示すように、全体として縦長な方形状（矩形状）をなしており、その長辺方向における一方の端部側（図 1 に示す上側）に片寄った位置に表示部（アクティブエリア）AA が配されるとともに、長辺方向における他方の端部側（図 1 に示す下側）に片寄った位置にドライバ 21 及びフレキシブル基板 13 がそれぞれ取り付けられている。この液晶パネル 11 において表示部 AA 外の領域が、画像が表示されない非表示部（ノンアクティブエリア）NAA とされ、この非表示部 NAA は、表示部 AA を取り囲む略枠状の領域（後述する CF 基板 11a における額縁部分）と、長辺方向の他方の端部側に確保された領域（後述するアレイ基板 11b のうち CF 基板 11a とは重畳せずに露出する部分）とからなり、このうちの長辺方向の他方の端部側に確保された領域にドライバ 21 及びフレキシブル基板 13 の実装領域（取付領域）が含まれている。液晶パネル 11 における短辺方向が各図面の X 軸方向と一致し、長辺方向が各図面の Y 軸方向と一致している。なお、図 1 では、CF 基板 11a よりも一回り小さな枠状の一点鎖線が表示部 AA の外形を表しており、当該実線よりも外側の領域が非表示部 NAA となっている。

[0029] 続いて、液晶パネル 11 に接続される部材について説明する。制御回路基板 12 は、図 1 及び図 2 に示すように、バックライト装置 14 におけるシャーシ 14a の裏面（液晶パネル 11 側とは反対側の外面）にネジなどにより取り付けられている。この制御回路基板 12 は、紙フェノールないしはガラスエポキシ樹脂製の基板上に、ドライバ 21 に各種入力信号を供給するため

の電子部品が実装されるとともに、図示しない所定のパターンの配線（導電路）が配線形成されている。この制御回路基板 12 には、フレキシブル基板 13 の一方の端部（一端側）が図示しない ACF（Anisotropic Conductive Film）を介して電氣的に且つ機械的に接続されている。

[0030] フレキシブル基板（FPC 基板）13 は、図 2 に示すように、絶縁性及び可撓性を有する合成樹脂材料（例えばポリイミド系樹脂等）からなる基材を備え、その基材上に多数本の配線パターン（図示せず）を有しており、長さ方向についての一方の端部が既述した通りシャーシ 14a の裏面側に配された制御回路基板 12 に接続されるのに対し、他方の端部（他端側）が液晶パネル 11 におけるアレイ基板 11b に接続されているため、液晶表示装置 10 内では断面形状が略 U 型となるよう折り返し状に屈曲されている。フレキシブル基板 13 における長さ方向についての両端部においては、配線パターンが外部に露出して端子部（図示せず）を構成しており、これらの端子部がそれぞれ制御回路基板 12 及び液晶パネル 11 に対して電氣的に接続されている。これにより、制御回路基板 12 側から供給される入力信号を液晶パネル 11 側に伝送することが可能とされている。

[0031] ドライバ 21 は、図 1 に示すように、内部に駆動回路を有する LSI チップからなるものとされ、信号供給源である制御回路基板 12 から供給される信号に基づいて作動することで、信号供給源である制御回路基板 12 から供給される入力信号を処理して出力信号を生成し、その出力信号を液晶パネル 11 の表示部 AA へ向けて出力するものとされる。このドライバ 21 は、平面に視て横長の方形状をなす（液晶パネル 11 の短辺に沿って長手状をなす）とともに、液晶パネル 11（後述するアレイ基板 11b）の非表示部 NAA に対して直接実装され、つまり COG（Chip On Glass）実装されている。なお、ドライバ 21 の長辺方向が X 軸方向（液晶パネル 11 の短辺方向）と一致し、同短辺方向が Y 軸方向（液晶パネル 11 の長辺方向）と一致している。

[0032] 改めて、液晶パネル 11 について説明する。液晶パネル 11 は、図 3 に示

すように、一对の基板 11a, 11b と、両基板 11a, 11b 間に介在し、電界印加に伴って光学特性が変化する物質である液晶分子を含む液晶層（液晶）11c とを備え、両基板 11a, 11b が液晶層 11c の厚さ分のギャップを維持した状態で図示しないシール剤によって貼り合わせられている。本実施形態に係る液晶パネル 11 は、動作モードが IPS（In-Plane Switching）モードをさらに改良した FFS（Fringe Field Switching）モードであり、一对の基板 11a, 11b のうちのアレイ基板 11b 側に後述する画素電極部（画素部）18 及び共通電極部（対向電極部、コモン電極部）22 を共に形成し、且つこれら画素電極部 18 と共通電極部 22 とを異なる層に配してなるものである。一对の基板 11a, 11b のうち表側（正面側）が CF 基板（対向基板）11a とされ、裏側（背面側）がアレイ基板（表示素子）11b とされる。これら CF 基板 11a 及びアレイ基板 11b は、ほぼ透明な（高い透光性を有する）ガラス基板 GS を備えており、当該ガラス基板 GS 上に各種の膜を積層形成してなるものとされる。このうち、CF 基板 11a は、図 1 及び図 2 に示すように、短辺寸法がアレイ基板 11b と概ね同等であるものの、長辺寸法がアレイ基板 11b よりも小さなものとされるとともに、アレイ基板 11b に対して長辺方向について的一方（図 1 に示す上側）の端部を揃えた状態で貼り合わせられている。従って、アレイ基板 11b のうち長辺方向についての他方（図 1 に示す下側）の端部は、所定範囲にわたって CF 基板 11a が重なり合うことがなく、表裏両板面が外部に露出した状態とされており、ここにドライバ 21 及びフレキシブル基板 13 の実装領域が確保されている。両基板 11a, 11b の内面側には、液晶層 11c に含まれる液晶分子を配向させるための配向膜 11d, 11e がそれぞれ形成されている。配向膜 11d, 11e は、例えばポリイミドからなるものとされており、両基板 11a, 11b における板面に沿ってそのほぼ全域にわたってベタ状に形成されている。この配向膜 11d, 11e は、特定の波長領域の光（例えば紫外線など）が照射されることで、その光の照射方向に沿って液晶分子を配向させることが可能な光配向膜とされる。また、両基

板 1 1 a, 1 1 b の外面側には、それぞれ偏光板 1 1 f, 1 1 g が貼り付けられている。

[0033] まず、アレイ基板 1 1 b の内面側（液晶層 1 1 c 側、C F 基板 1 1 a との対向面側）に既知のフォトリソグラフィ法によって積層形成された各種の膜について説明する。アレイ基板 1 1 b には、図 6 から図 8 に示すように、下層（ガラス基板 G S）側から順に第 1 金属膜（第 1 導電膜、ゲート金属膜）3 4、ゲート絶縁膜（絶縁膜、第 1 絶縁膜）3 5、半導体膜 3 6、保護膜（絶縁膜、エッチングストoppa膜）3 7、第 2 金属膜（第 1 導電膜、ソース金属膜）3 8、第 1 層間絶縁膜（絶縁膜、第 2 絶縁膜）3 9、有機絶縁膜（絶縁膜）4 0、第 1 透明電極膜 2 3、第 2 層間絶縁膜（第 3 絶縁膜）4 1、第 2 透明電極膜（第 2 導電膜）2 4 が積層形成されている。なお、図 6 及び図 7 では、第 1 金属膜 3 4、半導体膜 3 6、及び第 2 金属膜 3 8 については、それぞれ網掛け状にして図示している。

[0034] 第 1 金属膜 3 4 は、チタン（T i）及び銅（C u）の積層膜により形成されている。ゲート絶縁膜 3 5 は、少なくとも第 1 金属膜 3 4 の上層側に積層されるものであり、例えば酸化珪素（S i O 2）からなるものとされる。半導体膜 3 6 は、材料として酸化物半導体を用いた薄膜からなるものとされており、具体的な酸化物半導体として、例えば、インジウム（I n）、ガリウム（G a）、亜鉛（Z n）、酸素（O）を主成分とした I n-G a-Z n-O 系半導体（酸化インジウムガリウム亜鉛）が用いられている。ここで、I n-G a-Z n-O 系半導体は、I n（インジウム）、G a（ガリウム）、Z n（亜鉛）の三元系酸化物であって、I n、G a 及び Z n の割合（組成比）は特に限定されず、例えば I n : G a : Z n = 2 : 2 : 1、I n : G a : Z n = 1 : 1 : 1、I n : G a : Z n = 1 : 1 : 2 等を含む。本実施形態では、I n、G a および Z n を 1 : 1 : 1 の割合で含む I n-G a-Z n-O 系半導体を用いる。半導体膜 3 6 をなす酸化物半導体（I n-G a-Z n-O 系半導体）は、アモルファスでもよいが、好ましくは結晶質部分を含む結晶性を有するものとされる。結晶性を有する酸化物半導体としては、例えば

、 c 軸が層面に概ね垂直に配向した結晶質 In-Ga-Zn-O 系半導体が好ましい。このような酸化物半導体 (In-Ga-Zn-O 系半導体) の結晶構造は、例えば、特開 2012-134475 号公報に開示されている。参考のために、特開 2012-134475 号公報の開示内容の全てを本明細書に援用する。

[0035] 保護膜 37 は、酸化シリコン (SiO_2) からなるものとされている。第 2 金属膜 38 は、チタン (Ti) 及び銅 (Cu) の積層膜により形成されている。第 1 層間絶縁膜 39 は、酸化シリコン (SiO_2) からなるものとされている。有機絶縁膜 40 は、有機材料であるアクリル系樹脂材料 (例えばポリメタクリル酸メチル樹脂 (PMMA)) からなり、平坦化膜として機能するものである。第 1 透明電極膜 23 及び第 2 透明電極膜 24 は、共に ITO (Indium Tin Oxide) 或いは ZnO (Zinc Oxide) といった透明電極材料からなる。第 2 層間絶縁膜 41 は、窒化シリコン (SiN_x) からなるものとされる。上記した各膜のうち、第 1 透明電極膜 23 及び第 2 透明電極膜 24 は、アレイ基板 11b の表示部 AA にのみ形成され、非表示部 NAA には形成されていないのに対し、ゲート絶縁膜 35、保護膜 37、第 1 層間絶縁膜 39、有機絶縁膜 40 及び第 2 層間絶縁膜 41 といった絶縁材料からなる各絶縁膜については、アレイ基板 11b のほぼ全面にわたるベタ状のパターン (一部に開口を有する) として形成されている。また、第 1 金属膜 34、半導体膜 36 及び第 2 金属膜 38 は、アレイ基板 11b の表示部 AA 及び非表示部 NAA の双方に所定のパターンでもって形成されている。

[0036] 続いて、アレイ基板 11b における表示部 AA 内に存在する構成について順次に詳しく説明する。アレイ基板 11b の表示部 AA には、図 5 及び図 6 に示すように、スイッチング素子である画素用 TFT (画素用トランジスタ) 17、及び画素電極部 18 が多数個ずつマトリクス状に並んで設けられるとともに、これら画素用 TFT 17 及び画素電極部 18 の周りには、格子状をなすゲート配線 (走査信号線、行制御線) 19 及びソース配線 (データ信号線、列制御線) 20 が取り囲むようにして配設されている。言い換えると

、格子状をなすゲート配線 19 及びソース配線 20 の交差部に、画素用 TFT 17 及び画素電極部 18 が行列状に並列配置されている。ゲート配線 19 は、第 1 金属膜 34 からなるのに対し、ソース配線 20 は、第 2 金属膜 38 からなり、相互の交差部位間にはゲート絶縁膜 35 及び保護膜 37 が介在する形で配されている。詳しくは次述するが、ゲート配線 19 とソース配線 20 とが、それぞれ画素用 TFT 17 の画素用ゲート電極部 17a と画素用ソース電極部 17b とに接続され、画素電極部 18 が画素用 TFT 17 の画素用ドレイン電極部 17c に接続されている（図 8）。ゲート配線 19 は、画素電極部 18 における一方（図 6 に示す下側）の端部に対して平面に視て（アレイ基板 11b の板面に対する法線方向から視て）重畳する配置とされる。このため、ゲート配線 19 と画素電極部 18 との間には、静電容量 C_{gd} が形成されている（図 5 を参照）。また、ソース配線 20 と、ソース配線 20 が接続された画素用 TFT 17 に対して接続された画素電極部 18 との間には、静電容量 C_{sd1} が形成されている（図 5 を参照）。それ以外にも、画素電極部 18 に接続された画素用 TFT 17 に対して接続されたソース配線 20 に対して上記画素電極部 18 を挟んで隣り合うソース配線 20 と、画素電極部 18 との間には、静電容量 C_{sd2} が形成されている（図 5 を参照）。

[0037] さらに、アレイ基板 11b には、図 6 に示すように、ゲート配線 19 に並行するとともに画素電極部 18 の一部に対して平面に視て重畳する補助容量配線部（蓄積容量配線部、 C_s 配線部）25 が設けられている。補助容量配線部 25 は、ゲート配線 19 と同じ第 1 金属膜 34 からなり、画素電極部 18 における他方（図 6 に示す上側）の端部に対して平面に視て重畳する配置、つまり Y 軸方向についてゲート配線 19 との間に画素電極部 18 の中央側部分を挟んで反対側に配されている。言い換えると、補助容量配線部 25 は、自身が重畳した画素電極部 18 に対して図 6 に示す上側に隣り合う画素電極部 18 に画素用 TFT 17 を介して接続されたゲート配線 19 との間に、Y 軸方向について所定の間隔を空けつつ隣り合う配置とされる。補助容量

配線部 25 は、Y 軸方向についてゲート配線 19 と交互に配されている。この補助容量配線部 25 には、所定の基準電位が印加されるようになっている。また、補助容量配線部 25 と画素電極部 18 との間には、静電容量 C_{cs} が形成されている（図 5 を参照）。なお、図 5 では、補助容量配線部 25 の図示を省略している。

[0038] 画素用 TFT 17 は、図 7 に示すように、ゲート配線 19 上に載る形、つまりその全体がゲート配線 19 と平面に視て重畳する形で配されており、ゲート配線 19 の一部が画素用 TFT 17 の画素用ゲート電極部 17a を構成するとともに、ソース配線 20 のうちゲート配線 19 と平面に視て重畳する部分が画素用 TFT 17 の画素用ソース電極部 17b を構成している。画素用 TFT 17 は、画素用ソース電極部 17b との間に X 軸方向について所定の間隔を空けつつ対向状に配されることで島状をなす画素用ドレイン電極部 17c を有している。画素用ドレイン電極部 17c は、画素用ソース電極部 17b（ソース配線 20）と同じ第 2 金属膜 38 からなり、画素電極部 18 における一方の端部（後述するスリット 18a の非形成部位）と平面に視て重畳する配置とされる。また、画素用ドレイン電極部 17c には、同じ第 2 金属膜 38 からなるドレイン配線 29 が連ねられており、このドレイン配線 29 は、連ねられた画素用ドレイン電極部 17c から Y 軸方向に沿って図 7 に示す下側、つまり補助容量配線部 25 側に向けて延出するとともにその延出端には、補助容量配線部 25 及び隣の画素電極部 18（詳しくは当該画素用ドレイン電極部 17c に接続された画素電極部 18 に対して図 7 に示す下側に隣り合う画素電極部 18）に対して平面に視て重畳することで静電容量 C_{cs} を形成する容量形成部 29a が形成されている。なお、ゲート配線 19 のうちソース配線 20 とは平面に視て非重畳とされる部分は、ソース配線 20 と平面に視て重畳する部分に比べて線幅が広くなるよう形成されているのに対し、ソース配線 20 のうちゲート配線 19 及び補助容量配線部 25 と平面に視て重畳する部分は、ゲート配線 19 及び補助容量配線部 25 とは平面に視て非重畳とされる部分に比べて線幅が広くなるよう形成されている。

[0039] 画素用TFT17は、図8に示すように、第1金属膜34からなる画素用ゲート電極部17aと、半導体膜36からなり画素用ゲート電極部17aと平面に視て重畳する画素用チャネル部17dと、保護膜37からなり画素用チャネル部17dと平面に視て重畳する位置に2つの開口部17e1, 17e2が貫通して形成されてなる保護部17eと、第2金属膜38からなり2つの開口部17e1, 17e2のうちの一方の開口部17e1を通して画素用チャネル部17dに接続される画素用ソース電極部17bと、第2金属膜38からなり2つの開口部17e1, 17e2のうちの他方の開口部17e2を通して画素用チャネル部17dに接続される画素用ドレイン電極部17cとを有している。このうち、画素用ゲート電極部17aは、ゲート配線19のうち少なくとも画素用ソース電極部17b、画素用ドレイン電極部17c及び画素用チャネル部17dと平面に視て重畳する部分を含んでいる。画素用チャネル部17dは、X軸方向に沿って延在するとともに画素用ソース電極部17bと画素用ドレイン電極部17cとを架け渡して両電極部17b, 17c間での電子の移動を可能としている。ここで、画素用チャネル部17dをなす半導体膜36は、例えば、インジウム(In)、ガリウム(Ga)、亜鉛(Zn)、酸素(O)を主成分としたIn-Ga-Zn-O系(酸化物)半導体(酸化インジウムガリウム亜鉛)などからなる酸化物半導体薄膜であり、この酸化物半導体薄膜は、電子移動度がアモルファスシリコン薄膜などに比べると、例えば20倍～50倍程度と高くなっているため、画素用TFT17を容易に小型化して画素電極部18の透過光量を極大化することができ、もって高精細化及び低消費電力化などを図る上で好適とされる。しかも、画素用チャネル部17dの材料を酸化物半導体とすることで、仮に画素用チャネル部の材料としてアモルファスシリコンを用いた場合に比べると、画素用TFT17のオフ特性が高く、オフリーク電流が例えば100分の1程度と極めて少なくなるので、画素電極部18の電圧保持率が高いものとなり、もって低消費電力化などを図る上で有用とされる。このような酸化物半導体薄膜を有する画素用TFT17は、画素用ゲート電極部17aが最

下層に配され、その上層側にゲート絶縁膜 35 を介して画素用チャネル部 17 d が積層されてなる、逆スタガ型とされており、一般的なアモルファスシリコン薄膜を有する画素用 T F T と同様の積層構造とされる。

[0040] 画素電極部 18 は、図 7 及び図 8 に示すように、第 2 透明電極膜 24 からなり、ゲート配線 19 とソース配線 20 とに囲まれた領域において全体として平面に視て縦長の略方形状（略矩形状）をなしている。画素電極部 18 における一方の端部がゲート配線 19 と平面に視て重畳するのに対し、この重畳部分を除いた部分は、ゲート配線 19 とは平面に視て非重畳とされるとともに、この非重畳部分には、縦長のスリット 18 a が複数本（図 7 では 2 本）設けられることで略櫛歯状に形成されている。なお、このスリット 18 a は、画素電極部 18 のうちゲート配線 19 と平面に視て重畳される部分の一部にまで延びている。また、画素電極部 18 における図 7 に示す下端位置は、ゲート配線 19 の同下端位置と、画素用ドレイン電極部 17 c の同下端位置との間とされ、詳細には画素用ドレイン電極部 17 c の同下端位置寄りの配置とされる。画素電極部 18 は、第 2 層間絶縁膜 41 上に形成されており、次述する共通電極部 22 との間に第 2 層間絶縁膜 41 が介在している。画素電極部 18 の下層側に配された第 1 層間絶縁膜 39、有機絶縁膜 40 及び第 2 層間絶縁膜 41 のうち、画素用ドレイン電極部 17 c 及び画素電極部 18 と平面に視て重畳する位置には、画素用コンタクトホール（コンタクトホール）26 が上下に貫通する形で形成されており、この画素用コンタクトホール 26 を通して画素電極部 18 が画素用ドレイン電極部 17 c に接続されている。これにより、画素用 T F T 17 の画素用ゲート電極部 17 a を通電すると、画素用チャネル部 17 d を介して画素用ソース電極部 17 b と画素用ドレイン電極部 17 c との間に電流が流されるとともに画素電極部 18 に電荷が蓄えられて所定の電位まで充電される。この画素用コンタクトホール 26 は、第 1 層間絶縁膜 39 及び有機絶縁膜 40 に貫通形成された下層側コンタクトホール 30 と、第 2 層間絶縁膜 41 に貫通形成されるとともに下層側コンタクトホール 30 と部分的に平面に視て重畳する上層側コンタクトホ

ール31とからなり、詳しくは後に説明するが、両コンタクトホール30、31の平面形状が互いに異なるものとされる。画素電極部18のうち下層側コンタクトホール30及び上層側コンタクトホール31内に配される部分が、画素用ドレイン電極部17cに接続される画素電極側接続部とされる。これに対し、画素用ドレイン電極部17cのうち下層側コンタクトホール30及び上層側コンタクトホール31を通して表側に臨む部分が、画素電極部18の画素電極側接続部に接続されるドレイン電極側接続部17c1とされる。

[0041] 共通電極部22は、図7及び図8に示すように、第1透明電極膜23からなり、アレイ基板11bの表示部AAにおけるほぼ全面にわたる、いわゆるベタ状のパターンとされる。共通電極部22は、有機絶縁膜40と第2層間絶縁膜41との間に挟まれる形で配されている。共通電極部22は、第2層間絶縁膜41を介して画素電極部18と対向状をなすとともに、その間に静電容量C1cを形成している。共通電極部22には、図示しない共通配線から基準電位（共通電位） V_{com} が印加されるので、上記のように画素用TFT17により画素電極部18に印加する電位を制御することで、両電極部18、22間に所定の電位差を生じさせることができる。両電極部18、22間に電位差が生じると、液晶層11cには、画素電極部18のスリット18aによってアレイ基板11bの板面に沿う成分に加えて、アレイ基板11bの板面に対する法線方向の成分を含むフリンジ電界（斜め電界）が印加されるので、液晶層11cに含まれる液晶分子のうち、スリット18aに存在するものに加えて、画素電極部18上に存在するものもその配向状態を適切にスイッチングすることができる。もって、液晶パネル11の開口率が高くなって十分な透過光量が得られるとともに、高い視野角性能を得ることができる。なお、共通電極部22には、画素用TFT17の一部と平面に視て重畳する部分に開口部22aが形成されている（図8を参照）。また、本実施形態では、補助容量配線部25の基準電位が共通電極部22の基準電位 V_{com} と同電位とされる。

[0042] 続いて、CF基板11aにおける表示部AA内に存在する構成について詳しく説明する。CF基板11aには、図3に示すように、R（赤色）、G（緑色）、B（青色）等の各着色部が、アレイ基板11b側の各画素電極部18と平面に視て重畳するよう多数個マトリクス状に並列して配置されたカラーフィルタ11hが設けられている。カラーフィルタ11hをなす各着色部間には、混色を防ぐための略格子状の遮光層（ブラックマトリクス）11iが形成されている。遮光層11iは、上記したゲート配線19及びソース配線20と平面に視て重畳する配置とされる。カラーフィルタ11h及び遮光層11iの表面には、配向膜11dが設けられている。なお、当該液晶パネル11においては、R（赤色）、G（緑色）、B（青色）の3色の着色部及びそれらと対向する3つの画素電極部18の組によって表示単位である1つの表示画素が構成されている。表示画素は、Rの着色部を有する赤色画素と、Gの着色部を有する緑色画素と、Bの着色部を有する青色画素とからなる。これら各色の画素は、液晶パネル11の板面において行方向（X軸方向）に沿って繰り返し並べて配されることで、画素群を構成しており、この画素群が列方向（Y軸方向）に沿って多数並んで配されている。

[0043] 次に、アレイ基板11bにおける非表示部NAA内に存在する構成について説明する。アレイ基板11bの非表示部NAAのうち、表示部AAにおける短辺部に隣り合う位置には、図4に示すように、列制御回路部27が設けられているのに対し、表示部AAにおける長辺部に隣り合う位置には、行制御回路部28が設けられている。列制御回路部27及び行制御回路部28は、ドライバ21からの出力信号を画素用TF T 17に供給するための制御を行うことが可能とされている。列制御回路部27及び行制御回路部28は、画素用TF T 17と同じ酸化物半導体からなる半導体膜36をベースとしてアレイ基板11b上にモノリシックに形成されており、それにより画素用TF T 17への出力信号の供給を制御するための制御回路を有している。列制御回路部27及び行制御回路部28は、アレイ基板11bの製造工程において画素用TF T 17などをパターンニングする際に既知のフォトリソグラフィ

法により同時にアレイ基板 11b 上にパターニングされている。

[0044] このうち、列制御回路部 27 は、図 4 に示すように、表示部 A A における図 4 に示す下側の短辺部に隣り合う位置、言い換えると Y 軸方向について表示部 A A とドライバ 21 との間となる位置に配されており、X 軸方向（ソース配線 20 の並び方向）に沿って延在する横長な方形状の範囲に形成されている。この列制御回路部 27 は、表示部 A A に配されたソース配線 20 に接続されるとともに、ドライバ 21 からの出力信号に含まれるデータ信号を、各ソース配線 20 に振り分けるスイッチ回路（RGB スイッチ回路）を有している。具体的には、ソース配線 20 は、アレイ基板 11b の表示部 A A において X 軸方向に沿って多数本が並列配置されるとともに、R（赤色）、G（緑色）、B（青色）の各色の画素をなす各画素用 TFT 17 にそれぞれ接続されているのに対して、列制御回路部 27 は、スイッチ回路によってドライバ 21 からのデータ信号を R、G、B の各ソース配線 20 に振り分けて供給している。また、列制御回路部 27 は、レベルシフト回路や ESD 保護回路などの付属回路を備えることも可能である。

[0045] これに対し、行制御回路部 28 は、図 4 に示すように、表示部 A A における図 4 に示す左側の長辺部に隣り合う位置に配されており、Y 軸方向（ゲート配線 19 の並び方向）に沿って延在する縦長な範囲に形成されている。行制御回路部 28 は、表示部 A A に配されたゲート配線 19 に接続されるとともに、ドライバ 21 からの出力信号に含まれる走査信号を、各ゲート配線 19 に所定のタイミングで供給して各ゲート配線 19 を順次に走査する走査回路を有している。具体的には、ゲート配線 19 は、アレイ基板 11b の表示部 A A において Y 軸方向に沿って多数本が並列配置されているのに対して、行制御回路部 28 は、走査回路によってドライバ 21 からの制御信号（走査信号）を、表示部 A A において図 4 に示す上端位置のゲート配線 19 から下端位置のゲート配線 19 に至るまで順次に供給することで、ゲート配線 19 の走査を行っている。行制御回路部 28 が有する走査回路には、走査信号を増幅するためのバッファ回路が含まれている。また、行制御回路部 28 は、

レベルシフト回路やESD保護回路などの付属回路を備えることも可能である。なお、列制御回路部27及び行制御回路部28は、アレイ基板11b上に形成された接続配線によってドライバ21に接続されている。

[0046] ところで、上記のような構成の液晶パネル11を構成するアレイ基板11bの製造に際しては、製造工程において画素電極部18に電荷が蓄積されたり、或いは製造工程間などにおいて行われる検査工程において画素用TFT17を試験的に作動させるのに伴って画素電極部18に電荷が蓄積される場合がある。その場合であっても、画素用TFT17は、画素用チャンネル部17dをなす半導体膜36として酸化物半導体を用いられているから、そのオフ特性が高いものとされている。このため、上記のように製造工程や検査工程で画素電極部18に蓄積された電荷が長期間残存し易い傾向にあり、そうになると表示画像に焼き付きやフリッカなどの表示不良が生じやすくなっていた。その対策として、例えば液晶パネル11における表示がオフされるときに、画素用TFT17を駆動して画素電極部18に蓄えられた電荷を解放するための電圧を印加することが考えられるのであるが、そうすると特殊な制御を追加する必要が生じる、という問題が生じていた。

[0047] そこで、本実施形態に係る液晶パネル11を構成するアレイ基板11bには、図5及び図6に示すように、画素電極部18と共通電極部22とに対して間に介在する形で接続される抵抗性素子として抵抗性TFT（トランジスタ）32が形成されている。抵抗性TFT32は、ゲート電極部32aと、ソース電極部32bと、ドレイン電極部32cと、ソース電極部32bとドレイン電極部32cとを接続するチャンネル部32dと、を少なくとも有しており、このうちのゲート電極部32a及びソース電極部32bが画素電極部18に、ドレイン電極部32cが共通電極部22にそれぞれ接続されている。つまり、この抵抗性TFT32は、ドレイン電極部32cが共通電極部22と同電位とされるのに対してゲート電極部32a及びソース電極部32bが共に画素電極部18と同電位とされるので、実質的にダイオードとして機能するものとされ、「ダイオード型トランジスタ」とであると言える。抵抗性

TFT32は、図6に示すように、平面に視て画素用TFT17に隣接する位置、具体的には画素用TFT17に接続されたゲート配線19と、画素用TFT17に接続されたソース配線20と、画素用TFT17に対して画素用TFT17に接続された画素電極部18側とは反対側に配された補助容量配線部25と、画素用TFT17に接続されたドレイン配線29とにより取り囲まれた位置に配されている。抵抗性TFT32は、ゲート電極部32aがソース電極部32b、ドレイン電極部32c、及びチャネル部32dの全域に対して平面に視て重畳するとともにソース電極部32bに対してドレイン電極部32c側とは反対側に延出するゲート延出部32a1を有する形で形成されている。画素電極部18には、抵抗性TFT32の一部、具体的にはドレイン電極部32cと、ゲート電極部32aにおけるゲート延出部32a1とに対して平面に視て重畳する画素延出部18bが形成されている。

[0048] 詳しくは、抵抗性TFT32は、図7及び図9に示すように、第1金属膜34からなるゲート電極部32aと、半導体膜36からなりゲート電極部32aと平面に視て重畳するチャネル部32dと、保護膜37からなりチャネル部32dと平面に視て重畳する位置に2つの開口部32e1, 32e2が貫通して形成されてなる保護部32eと、第2金属膜38からなり2つの開口部32e1, 32e2のうちの一方の開口部32e1を通してチャネル部32dに接続されるソース電極部32bと、第2金属膜38からなり2つの開口部32e1, 32e2のうちの他方の開口部32e2を通してチャネル部32dに接続されるドレイン電極部32cとを有している。このうち、ゲート電極部32aは、ゲート配線19及び補助容量配線部25からは分離（独立）する形で配されている。チャネル部32dは、X軸方向に沿って延在するとともにソース電極部32bとドレイン電極部32cとを架け渡して両電極部32b, 32c間での電子の移動を可能としている。ここで、チャネル部32dをなす半導体膜36は、画素用TFT17を構成する画素用チャネル部17dと同一の酸化物半導体（In-Ga-Zn-O系半導体）からなるものとされる。チャネル部32dは、ソース電極部32bとドレイン電

極部 3 2 c との間の X 軸方向に沿う距離をチャンネル長（長さ寸法）とし、ソース電極部 3 2 b からドレイン電極部 3 2 c に向かう方向（X 軸方向）と直交する Y 軸方向に沿う寸法をチャンネル幅（幅寸法）としたとき、そのチャンネル長をチャンネル幅で除して得られる比率（ L/W ）が、画素用 T F T 1 7 を構成する画素用チャンネル部 1 7 d における同様のチャンネル長をチャンネル幅で除して得られる比率よりも大きくなるよう形成されるよう形成されている。従って、このチャンネル部 3 2 d を通してソース電極部 3 2 b とドレイン電極部 3 2 c との間を移動する電荷に係る抵抗値は、画素用 T F T 1 7 を構成する画素用チャンネル部 1 7 d を通して画素用ソース電極部 1 7 b と画素用ドレイン電極部 1 7 c との間を移動する電荷に係る抵抗値よりも相対的に大きなものとされている。なお、チャンネル部 3 2 d は、そのチャンネル長及びチャンネル幅が、画素用チャンネル部 1 7 d におけるチャンネル長及びチャンネル幅よりもそれぞれ小さいものとされる。

[0049] 画素電極部 1 8 における画素延出部 1 8 b の下層側に配された第 1 層間絶縁膜 3 9、有機絶縁膜 4 0 及び第 2 層間絶縁膜 4 1 のうち、画素延出部 1 8 b 及びゲート延出部 3 2 a 1 と平面に視て重畳する位置には、図 9 に示すように、ゲート用コンタクトホール 4 2 が上下に貫通する形で形成されており、このゲート用コンタクトホール 4 2 を通して画素延出部 1 8 b がゲート電極部 3 2 a に接続されている。同様に、画素延出部 1 8 b の下層側に配された第 1 層間絶縁膜 3 9、有機絶縁膜 4 0 及び第 2 層間絶縁膜 4 1 のうち、画素延出部 1 8 b 及びドレイン電極部 3 2 c と平面に視て重畳する位置には、ドレイン用コンタクトホール 4 3 が上下に貫通する形で形成されており、このドレイン用コンタクトホール 4 3 を通して画素延出部 1 8 b がドレイン電極部 3 2 c に接続されている。また、共通電極部 2 2 には、ゲート用コンタクトホール 4 2 及びドレイン用コンタクトホール 4 3 を取り囲む形で開口部が形成されている。さらには、共通電極部 2 2 の下層側に配された第 1 層間絶縁膜 3 9 及び有機絶縁膜 4 0 のうち、共通電極部 2 2 及びソース電極部 3 2 b と平面に視て重畳する位置には、ソース用コンタクトホール 4 4 が上下

に貫通する形で形成されており、このソース用コンタクトホール44を通して共通電極部22がソース電極部32bに接続されている。

[0050] 以上の構成によれば、例えば、画素用TFT17により画素電極部18が充電された場合には、図5に示すように、その画素電極部18と同電位とされた抵抗性TFT32のゲート電極部32a及びソース電極部32bと、共通電極部22と同電位とされたドレイン電極部32cとの間に電位差が生じる。従って、抵抗性TFT32は、実質的にダイオードとして機能し、チャンネル部32dを介してソース電極部32bとドレイン電極部32cとの間に電流が流される（電荷が移動される）ようになっており、それにより画素電極部18と共通電極部22との間で電荷が移動し、やがては画素電極部18と共通電極部22とが同電位となる。これにより、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどが生じ難いものとなる。

[0051] ここで、画素用TFT17の駆動方法について詳しく説明すると、ゲート配線19を介して画素用ゲート電極部17aに所定のタイミングで供給される走査信号により画素用TFT17がONされると、ソース配線20を介して画素用ソース電極部17bに供給されるデータ信号が画素用チャンネル部17dを介して画素用ドレイン電極部17cへと伝達される。これに対して、共通電極部22に供給される基準電位 V_{com} は、常時一定の値とされる。このとき、画素用TFT17は、図10に示すように、1フレーム表示期間毎に極性を反転させる、いわゆる「フレーム反転駆動」により駆動されており、共通電極部22の基準電位 V_{com} よりも相対的に高い電位 $+V$ と、共通電極部22の基準電位 V_{com} よりも相対的に低い電位 $-V$ と、が1フレーム表示期間毎に交互に画素用TFT17を介して画素電極部18に供給されるようになっている。なお、フレームレートは、例えば60fpsとされる。画素用TFT17により充電された画素電極部18の電位 $+V$ が共通電極部22の基準電位 V_{com} よりも相対的に高い場合には、上記抵抗性TFT32には順バイアスとなるものの、画素電極部18の電位 $+V$ が抵抗性TFT32の閾値電圧を超えない設定とされているので、ソース電極部32b

とドレイン電極部 32c との間を移動する電荷の移動量がごく少なくなっている。逆に、画素用 TFT 17 により充電された画素電極部 18 の電位 $-V$ が共通電極部 22 の基準電位 V_{com} よりも相対的に低い場合には、上記抵抗性 TFT 32 には逆バイアスとなるため、ソース電極部 32b とドレイン電極部 32c との間を漏れ電流程度の電荷しか流れないものとされる。いずれにしても、抵抗性 TFT 32 を介して画素電極部 18 と共通電極部 22 との間を移動する電荷における単位時間当たりの移動量は、ごく僅かなものとなるため、上記電荷に対して抵抗性 TFT 32 が大きな抵抗成分を構成することになる。従って、画素電極部 18 の電位が共通電極部 22 の基準電位 V_{com} に到達するまでの時間を十分に稼ぐことができ、画素電極部 18 の電位が瞬時に共通電極部 22 の基準電位 V_{com} に到達する事態を避けることができる。これにより、通常の使用時において、液晶パネル 11 に画像を表示するに際して画素用 TFT 17 により充電された画素電極部 18 の電位を一定期間（例えば 1 フレーム表示期間）維持する上で好適となり、もって表示画像に係る表示品位が損なわれる事態が生じ難くなる。なお、画素用 TFT 17 により画素電極部 18 を充電する場合に限らず、例えば液晶パネル 11 の製造工程において何らかの事情（例えば静電気など）により画素電極部 18 に電荷が蓄積し、画素電極部 18 と共通電極部 22 との間に電位差が生じた場合であっても、上記と同様に抵抗性 TFT 32 を介して画素電極部 18 と共通電極部 22 との間を電荷が移動することで、所定の期間を経て画素電極部 18 と共通電極部 22 とが同電位に達するようになっている。

[0052] 以上説明したように本実施形態の液晶パネル（表示装置）11は、画素電極部（画素部）18と、画素電極部18に接続されて画素電極部18を充電することが可能な画素用TFT（スイッチング素子）17と、基準電位とされる共通電極部（基準電位部）22と、画素電極部18と共通電極部22とに対して間に介在する形で接続され、画素電極部18と共通電極部22との間を移動する電荷に対する抵抗成分を構成する抵抗性素子である抵抗性TFT32と、を備える。

[0053] このようにすれば、画素用 T F T 1 7 により画素電極部 1 8 が充電されると、画素電極部 1 8 には電荷が蓄えられる。ここで、画素用 T F T 1 7 のオフ特性が高い場合には、画素電極部 1 8 に蓄えられた電荷の残存期間が長くなる傾向とされ、そうすると当該液晶パネル 1 1 の表示画像に焼き付きやフリッカなどが生じるおそれがある。これに対して、例えば画素用 T F T 1 7 を駆動して画素電極部 1 8 に電荷を解放するような電圧を印加する、といった手法を採ることが考えられるものの、それでは特殊な制御を追加する必要が生じてしまう。

[0054] その点、上記した画素電極部 1 8 は、間に抵抗性素子である抵抗性 T F T 3 2 を介在させる形で共通電極部 2 2 に接続されているので、例えば画素電極部 1 8 の電位が共通電極部 2 2 の基準電位よりも高電位だった場合には、画素電極部 1 8 から抵抗性素子である抵抗性 T F T 3 2 を介して共通電極部 2 2 へと電荷が移動し、逆に画素電極部 1 8 の電位が共通電極部 2 2 の基準電位よりも低電位だった場合には、共通電極部 2 2 から抵抗性素子である抵抗性 T F T 3 2 を介して画素電極部 1 8 へと電荷が移動することで、いずれにしても画素電極部 1 8 の電位が基準電位に近づけられ、もって上記のような特殊な制御を行わなくても、表示画像に焼き付きやフリッカなどを生じ難くさせることができる。しかも、抵抗性素子である抵抗性 T F T 3 2 は、画素電極部 1 8 と共通電極部 2 2 との間を移動する電荷に対する抵抗成分を構成しているので、画素電極部 1 8 の電位が基準電位に到達するまでの時間を稼ぐことができ、画素電極部 1 8 の電位が瞬時に基準電位に到達する事態を避けることができる。これにより、当該液晶パネル 1 1 に画像を表示するに際して画素用 T F T 1 7 により充電された画素電極部 1 8 の電位を一定期間維持する上で好適となり、もって表示画像に係る表示品位が損なわれる事態が生じ難いものとされる。

[0055] また、抵抗性素子には、ゲート電極部 3 2 a と、ソース電極部 3 2 b と、ドレイン電極部 3 2 c と、ソース電極部 3 2 b とドレイン電極部 3 2 c とを接続するチャンネル部 3 2 d と、を少なくとも有していて、ゲート電極部 3 2

aが画素電極部18と共通電極部22とのいずれかに接続されるとともに、ソース電極部32bとドレイン電極部32cとのうちのいずれか一方が画素電極部18に、他方が共通電極部22にそれぞれ接続される抵抗性TFT（トランジスタ）32が含まれる。このようにすれば、ゲート電極部32aが画素電極部18と共通電極部22とのいずれかと同電位とされるとともに、ソース電極部32bとドレイン電極部32cとのうちのいずれか一方が画素電極部18と同電位とされ、他方が共通電極部22と同電位とされる。従って、画素用TFT17により画素電極部18が充電された状態では、ソース電極部32bとドレイン電極部32cとの間には電位差が生じるのに対し、ゲート電極部32aはソース電極部32bとドレイン電極部32cとのいずれかと同電位とされるので、抵抗性TFT32が実質的にダイオードとして機能し、チャンネル部32dを介してソース電極部32bとドレイン電極部32cとの間で電荷が移動される。ここで、画素用TFT17によって画素電極部18に充電される電位に応じて、抵抗性TFT32は順バイアスまたは逆バイアスとなるのであるが、順バイアスの場合には、抵抗性TFT32の閾値電圧を超えない限りは電荷の移動量がごく少なくなるのに対し、逆バイアスの場合には、抵抗性TFT32の漏れ電流程度の電荷しか流されず、電荷の移動量が極めて少なくなる。いずれにしても画素電極部18と共通電極部22との間を移動する電荷に対して抵抗性TFT32が抵抗成分を構成することになるので、画素電極部18の電位が基準電位になるまでの時間を十分に稼ぐことができる。これにより、当該液晶パネル11に画像を表示するに際して表示画像に係る表示品位が損なわれる事態がより生じ難いものとされる。

[0056] また、スイッチング素子は、画素用ゲート電極部17aと、画素用ソース電極部17bと、画素電極部18に接続される画素用ドレイン電極部17cと、画素用ソース電極部17bと画素用ドレイン電極部17cとを接続する画素用チャンネル部17dと、を少なくとも有する画素用TFT17からなるものとされており、抵抗性素子を構成する抵抗性TFT32は、チャンネル部

３２ｄがスイッチング素子を構成する画素用ＴＦＴ１７の画素用チャンネル部１７ｄと同一材料からなる。このようにすれば、スイッチング素子を構成する画素用ＴＦＴ１７の画素用チャンネル部１７ｄと、抵抗性素子を構成する抵抗性ＴＦＴ３２のチャンネル部３２ｄとで材料を共通化することで、製造コストの低減などを図る上で有用となる。

[0057] また、抵抗性素子を構成する抵抗性ＴＦＴ３２は、チャンネル部３２ｄにおけるソース電極部３２ｂとドレイン電極部３２ｃとの間の距離である長さ寸法（チャンネル長）を幅寸法（チャンネル幅）で除した比率が、スイッチング素子を構成する画素用ＴＦＴ１７の画素用チャンネル部１７ｄにおける画素用ソース電極部１７ｂと画素用ドレイン電極部１７ｃとの間の距離である長さ寸法を幅寸法で除した比率よりも大きくなるよう形成されている。このようにすれば、抵抗性素子を構成する抵抗性ＴＦＴ３２においてチャンネル部３２ｄを介してソース電極部３２ｂとドレイン電極部３２ｃとの間を移動する電荷に係る抵抗値が、スイッチング素子を構成する画素用ＴＦＴ１７において画素用チャンネル部１７ｄを介して画素用ソース電極部１７ｂと画素用ドレイン電極部１７ｃとの間を移動する電荷に係る抵抗値よりも大きなものとなる。これにより、抵抗性素子を構成する抵抗性ＴＦＴ３２によって画素電極部１８の電位が基準電位とされるまでの時間を十分に稼ぐことができ、もって当該液晶パネル１１に画像を表示するに際して表示画像に係る表示品位が損なわれる事態が一層生じ難いものとされる。

[0058] また、抵抗性素子を構成する抵抗性ＴＦＴ３２は、ゲート電極部３２ａ及びソース電極部３２ｂが画素電極部１８に、ドレイン電極部３２ｃが共通電極部２２にそれぞれ接続されている。このようにすれば、例えば画素電極部１８の電位が共通電極部２２の基準電位よりも高電位だった場合には、抵抗性素子を構成する抵抗性ＴＦＴ３２は順バイアスとなるので、ゲート電極部３２ａと同電位とされたソース電極部３２ｂ（画素電極部１８）からドレイン電極部３２ｃ（共通電極部２２）へと電荷が移動する。逆に、画素電極部１８の電位が共通電極部２２の基準電位よりも低電位だった場合には、抵抗

性素子を構成する抵抗性TFT32は逆バイアスとなるので、ドレイン電極部32c（共通電極部22）からゲート電極部32aと同電位とされたソース電極部32b（画素電極部18）へと電荷が移動する。いずれにしても画素電極部18と共通電極部22との間を移動する電荷に対して抵抗性TFT32が抵抗成分を構成することになるので、画素電極部18の電位が基準電位になるまでの時間を十分に稼ぐことができる。これにより、当該液晶パネル11に画像を表示するに際して表示画像に係る表示品位が損なわれる事態がより生じ難いものとされる。

[0059] また、画素電極部18との間で静電容量を形成する共通電極部22が備えられており、基準電位部は、共通電極部22からなる。このようにすれば、抵抗性素子である抵抗性TFT32によって画素電極部18との間で電荷が移動される基準電位部を、画素電極部18との間で静電容量を形成する共通電極部22としているから、抵抗性素子である抵抗性TFT32を介した電荷の移動に伴い、画素電極部18と共通電極部22との間の電位差を0に近づけることができる。これにより、表示画像に焼き付きやフリッカなどを一層生じ難くさせることができる。

[0060] また、スイッチング素子は、画素用ゲート電極部17aと、画素用ソース電極部17bと、画素電極部18に接続される画素用ドレイン電極部17cと、画素用ソース電極部17bと画素用ドレイン電極部17cとを接続する画素用チャネル部17dと、を有する画素用TFT17からなるものとされており、画素用チャネル部17dは、酸化物半導体からなる。このようにすれば、スイッチング素子を構成する画素用TFT17の画素用チャネル部17dの材料として酸化物半導体を用いることで、仮に画素用チャネル部17dの材料としてアモルファスシリコンなどを用いた場合に比べると、画素用TFT17のオフリーク電流が少なくなるので、画素電極部18の電圧保持率が高いものとなる。画素電極部18の電圧保持率が高くなると、画素電極部18に蓄えられた電荷がより長期間にわたって残存しがちとなるものの、抵抗性素子である抵抗性TFT32を介して画素電極部18と共通電極部2

2との間で電荷が移動されることで、画素電極部18の電位が基準電位に近づけられるようになっているので、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどがより生じ難くなる。

[0061] また、酸化物半導体は、インジウム（I n）、ガリウム（G a）、亜鉛（Z n）、酸素（O）を含んでいる。このようにすれば、画素用T F T 1 7の画素用チャネル部1 7 dをなす酸化物半導体が、インジウム（I n）、ガリウム（G a）、亜鉛（Z n）、酸素（O）を含んでいるので、画素用T F T 1 7のオフリーク電流がより少なくなって画素電極部18の電圧保持率がより高くなるものの、抵抗性素子である抵抗性T F T 3 2を介して画素電極部18と共通電極部22との間で電荷が移動されることで、画素電極部18の電位が基準電位に近づけられるようになっているので、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどがさらに生じ難くなる。

[0062] また、酸化物半導体は、結晶性を有している。このようにすれば、画素用T F T 1 7の画素用チャネル部1 7 dをなす酸化物半導体が、インジウム（I n）、ガリウム（G a）、亜鉛（Z n）、酸素（O）を含有し且つ結晶性を有しているので、画素用T F T 1 7のオフリーク電流が一層少なくなって画素電極部18の電圧保持率がより高くなるものの、抵抗性素子である抵抗性T F T 3 2を介して画素電極部18と共通電極部22との間で電荷が移動されることで、画素電極部18の電位が基準電位に近づけられるようになっているので、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどがより一層生じ難くなる。

[0063] また、画素電極部18、画素用T F T 1 7、共通電極部22、及び抵抗性素子である抵抗性T F T 3 2が配されたアレイ基板11bと、アレイ基板と対向状をなすとともにカラーフィルタ11hが配されたC F基板11aと、アレイ基板11bとC F基板11aとの間に挟持される液晶層11cと、を備える。このような表示装置は液晶表示装置10として、種々の用途、例えば車載型情報端末や携帯型情報端末などのディスプレイ等に適用可能である。

[0064] <実施形態 2>

本発明の実施形態 2 を図 1 1 または図 1 2 によって説明する。この実施形態 2 では、上記した実施形態 1 に記載した抵抗性 T F T 1 3 2 を複数直列接続した形で配したものを示す。なお、上記した実施形態 1 と同様の構造、作用及び効果について重複する説明は省略する。

[0065] 本実施形態に係る抵抗性 T F T 1 3 2 は、図 1 1 に示すように、画素電極部 1 1 8 と共通電極部 1 2 2 との間に介在するとともに、5 つが直列接続された形で配されている。以下では、これら 5 つの抵抗性 T F T 1 3 2 を区別する場合には、画素電極部 1 1 8 に対して直接接続されたものを第 1 抵抗性 T F T 1 3 2 A、画素電極部 1 1 8 に 2 番目に近いものを第 2 抵抗性 T F T 1 3 2 B、画素電極部 1 1 8 に 3 番目に近いものを第 3 抵抗性 T F T 1 3 2 C、画素電極部 1 1 8 に 4 番目に近いものを第 4 抵抗性 T F T 1 3 2 D、共通電極部 1 2 2 に対して直接接続されたものを第 5 抵抗性 T F T 1 3 2 E とする。第 1 抵抗性 T F T 1 3 2 A は、ゲート電極部 1 3 2 a 及びソース電極部 1 3 2 b が共に画素電極部 1 1 8 に接続されるのに対し、ドレイン電極部 1 3 2 c が第 2 抵抗性 T F T 1 3 2 B をなすゲート電極部 1 3 2 a 及びソース電極部 1 3 2 b に対して接続されている。第 2 抵抗性 T F T 1 3 2 B をなすドレイン電極部 1 3 2 c は、第 3 抵抗性 T F T 1 3 2 C をなすゲート電極部 1 3 2 a 及びソース電極部 1 3 2 b に、第 3 抵抗性 T F T 1 3 2 C をなすドレイン電極部 1 3 2 c は、第 4 抵抗性 T F T 1 3 2 D をなすゲート電極部 1 3 2 a 及びソース電極部 1 3 2 b に、第 4 抵抗性 T F T 1 3 2 D をなすドレイン電極部 1 3 2 c は、第 5 抵抗性 T F T 1 3 2 E をなすゲート電極部 1 3 2 a 及びソース電極部 1 3 2 b に、それぞれ接続されている。そして、第 5 抵抗性 T F T 1 3 2 E をなすドレイン電極部 1 3 2 c は、共通電極部 1 2 2 に接続されている。

[0066] 上記のような構成によれば、例えば、画素用 T F T 1 1 7 により画素電極部 1 1 8 が充電されて画素電極部 1 1 8 が共通電極部 1 2 2 よりも高電位にされると、第 1 抵抗性 T F T 1 3 2 A をなすソース電極部 1 3 2 b から第 1

抵抗性TF T 1 3 2 Aをなすドレイン電極部1 3 2 cへと電荷が移動されるのであるが、このとき第2抵抗性TF T 1 3 2 Bをなすゲート電極部1 3 2 a及びソース電極部1 3 2 bが、第1抵抗性TF T 1 3 2 Aをなすドレイン電極部1 3 2 cと同電位とされるので、第2抵抗性TF T 1 3 2 Bをなすソース電極部1 3 2 bから第2抵抗性TF T 1 3 2 Bをなすドレイン電極部1 3 2 cへと電荷が移動される。第2抵抗性TF T 1 3 2 Bをなすドレイン電極部1 3 2 cに移動された電荷は、これと同様にして第3抵抗性TF T 1 3 2 C、第4抵抗性TF T 1 3 2 D、及び第5抵抗性TF T 1 3 2 Eを介して共通電極部1 2 2に達する。一方、画素用TF T 1 1 7により画素電極部1 1 8が充電されて画素電極部1 1 8が共通電極部1 2 2よりも低電位にされた場合には、上記とは逆に共通電極部1 2 2の電荷が、第5抵抗性TF T 1 3 2 E、第4抵抗性TF T 1 3 2 D、第3抵抗性TF T 1 3 2 C、第2抵抗性TF T 1 3 2 B、第1抵抗性TF T 1 3 2 Aの順で移動して画素電極部1 1 8に到達する。これにより、画素電極部1 1 8と共通電極部1 2 2との間を電荷が5つの抵抗性TF T 1 3 2を介して移動され、もって画素電極部1 1 8と共通電極部1 2 2とが所定の期間を経て同電位となる。

[0067] ここで、上記のように相互に直列接続した5つの抵抗性TF T 1 3 2を、画素電極部1 1 8と共通電極部1 2 2との間に介在させる構成により奏される効果に関して知見を得るべく、以下の比較実験1を行った。比較実験1では、画素電極部と共通電極部とを接続しない（抵抗性素子が存在しない）構成を比較例とし、本実施形態のように5つの抵抗性TF T 1 3 2を直列接続した構成（図1 1を参照）を実施例1とし、比較例及び実施例1において画素電極部の電位における時間変化を測定し、その結果を図1 2に示す。図1 2では、縦軸が画素電極部の電位（単位は「V」）であり、横軸が画素電極部が所定の電位にまで充電されてから経過した時間（単位は「sec」）であり、同図に示される実線が実施例1の実験結果を、一点鎖線が比較例の実験結果をそれぞれ表している。なお、比較実験1では、例えば比較例及び実施例1において画素電極部を約3. 6 Vまで充電してから時間が約1 sec

経過するまで、画素電極部の電位を測定している。

[0068] 比較実験 1 の実験結果について説明する。図 1 2 に示されるグラフから、比較例及び実施例 1 において、画素電極部が充電されてから同じ時間が経過したときの画素電極部の電位を比較すると、実施例 1 の方が比較例よりも相対的に低くなっている。比較例及び実施例 1 において、画素電極部の電位が同じになるまでに経過した時間を比較すると、実施例 1 の方が比較例よりも相対的に短くなっている。つまり、実施例 1 の方が比較例よりも画素電極部の電位に係る減少率が相対的に高いことが分かる。これは、実施例 1 のように、相互に直列接続した 5 つの抵抗性 T F T 1 3 2 を、画素電極部 1 1 8 と共通電極部 1 2 2 との間に介在させる構成を採れば、画素電極部と共通電極部とを接続しない構成の比較例に比べて、画素電極部 1 1 8 と共通電極部 1 2 2 との間を電荷が直接移動するので、画素電極部 1 1 8 の電位がより短い時間でもって共通電極部 1 2 2 の基準電位に近づくものと考えられる。なお、実施例 1 のように抵抗性 T F T 1 3 2 を 5 つ直列接続した構成を、上記した実施形態 1 のように抵抗性 T F T 3 2 を 1 つのみ配した構成（図 5 を参照）に比べると、画素電極部 1 1 8 と共通電極部 1 2 2 との間を移動する電荷における単位時間あたりの移動量が相対的に少なくなると考えられる。従って、実施例 1 に係る直列接続した 5 つの抵抗性 T F T 1 3 2 は、上記した実施形態 1 に係る 1 つの抵抗性 T F T 3 2 よりも大きな抵抗成分として機能する、と言える。これにより、通常の使用時において、液晶パネルに画像を表示するに際して画素用 T F T 1 1 7 により充電された画素電極部 1 1 8 の電位を一定期間維持する上でより好適となり、もって表示画像に係る表示品位が損なわれる事態がより生じ難くなる。

[0069] 以上説明したように本実施形態によれば、抵抗性素子は、抵抗性 T F T 1 3 2 を複数直列に接続してなる。このようにすれば、複数の抵抗性 T F T 1 3 2 を介して画素電極部 1 1 8 と共通電極部 1 2 2 との間で電荷が移動されるので、電荷がより流れ難くなって画素電極部 1 1 8 の電位が瞬時に基準電位に到達する事態を避けることができる。これにより、画素用 T F T 1 1 7

により充電された画素電極部 118 の電位を一定期間維持する上で一層好適となる。

[0070] <実施形態 3>

本発明の実施形態 3 を図 13 から図 15 によって説明する。この実施形態 3 では、接続態様を変更した抵抗性 TFT 33 を用いた場合を示す。なお、上記した実施形態 1 と同様の構造、作用及び効果について重複する説明は省略する。

[0071] 本実施形態に係る抵抗性 TFT (抵抗性素子、トランジスタ) 33 は、図 13 に示すように、画素電極部 218 と共通電極部 222 とに対して間に介在する形で接続されている。この抵抗性 TFT 33 は、ゲート電極部 33a と、ソース電極部 33b と、ドレイン電極部 33c と、ソース電極部 33b とドレイン電極部 33c とを接続するチャネル部 33d と、を少なくとも有しており、このうちのソース電極部 33b が画素電極部 218 に、ゲート電極部 33a 及びドレイン電極部 33c が共通電極部 222 にそれぞれ接続されている。つまり、この抵抗性 TFT 33 は、ゲート電極部 33a 及びドレイン電極部 33c が共に共通電極部 222 と同電位とされるのに対してソース電極部 33b が画素電極部 218 と同電位とされるので、実質的にダイオードとして機能するものとされ、「ダイオード型トランジスタ」であると言える。抵抗性 TFT 33 は、図 14 に示すように、平面に視て画素用 TFT 217 に隣接する位置、具体的には画素用 TFT 217 に接続されたゲート配線 219 と、画素用 TFT 217 に接続されたソース配線 220 と、画素用 TFT 217 に対して画素用 TFT 217 に接続された画素電極部 218 側とは反対側に配された補助容量配線部 225 と、画素用 TFT 217 に接続されたドレイン配線 229 とにより取り囲まれた位置に配されている。抵抗性 TFT 33 は、ゲート電極部 33a がソース電極部 33b、ドレイン電極部 33c、及びチャネル部 33d の全域に対して平面に視て重畳するとともにドレイン電極部 33c に対してソース電極部 33b 側とは反対側に延出するゲート延出部 33a1 を有する形で形成されている。画素電極部 218

には、抵抗性TF T 3 3の一部、具体的にはソース電極部3 3 bに対して平面に視て重畳する画素延出部2 1 8 bが形成されている。

[0072] 詳しくは、抵抗性TF T 3 3は、図1 4及び図1 5に示すように、第1金属膜2 3 4からなるゲート電極部3 3 aと、半導体膜2 3 6からなりゲート電極部3 3 aと平面に視て重畳するチャネル部3 3 dと、保護膜2 3 7からなりチャネル部3 3 dと平面に視て重畳する位置に2つの開口部3 3 e 1, 3 3 e 2が貫通して形成されてなる保護部3 3 eと、第2金属膜2 3 8からなり2つの開口部3 3 e 1, 3 3 e 2のうちの一方の開口部3 3 e 1を通してチャネル部3 3 dに接続されるソース電極部3 3 bと、第2金属膜2 3 8からなり2つの開口部3 3 e 1, 3 3 e 2のうちの他方の開口部3 3 e 2を通してチャネル部3 3 dに接続されるドレイン電極部3 3 cとを有している。このうち、ゲート電極部3 3 aは、ゲート配線2 1 9及び補助容量配線部2 2 5からは分離（独立）する形で配されている。チャネル部3 3 dは、X軸方向に沿って延在するとともにソース電極部3 3 bとドレイン電極部3 3 cとを架け渡して両電極部3 3 b, 3 3 c間での電子の移動を可能としている。ここで、チャネル部3 3 dをなす半導体膜2 3 6は、画素用TF T 2 1 7を構成する画素用チャネル部2 1 7 d（図1 3を参照）と同一の酸化物半導体（In-Ga-Zn-O系半導体）からなるものとされる。チャネル部3 3 dは、ソース電極部3 3 bとドレイン電極部3 3 cとの間のX軸方向に沿う距離をチャネル長（長さ寸法）とし、ソース電極部3 3 bからドレイン電極部3 3 cに向かう方向（X軸方向）と直交するY軸方向に沿う寸法をチャネル幅（幅寸法）としたとき、そのチャネル長をチャネル幅で除して得られる比率（ L/W ）が、画素用TF T 2 1 7を構成する画素用チャネル部2 1 7 dにおける同様のチャネル長をチャネル幅で除して得られる比率よりも大きくなるよう形成なるよう形成されている。従って、このチャネル部3 3 dを通してソース電極部3 3 bとドレイン電極部3 3 cとの間を移動する電荷に係る抵抗値は、画素用TF T 2 1 7を構成する画素用チャネル部2 1 7 dを通して画素用ソース電極部2 1 7 bと画素用ドレイン電極部2 1 7 cと

の間を移動する電荷に係る抵抗値よりも相対的に大きなものとされている（図 13 を参照）。なお、チャンネル部 33 d は、そのチャンネル長及びチャンネル幅が、画素用チャンネル部 217 d におけるチャンネル長及びチャンネル幅よりもそれぞれ小さいものとされる。

[0073] 共通電極部 222 の下層側に配された第 1 層間絶縁膜 239 及び有機絶縁膜 240 のうち、共通電極部 222 及びゲート延出部 33 a 1 と平面に視て重畳する位置には、図 15 に示すように、ゲート用コンタクトホール 45 が上下に貫通する形で形成されており、このゲート用コンタクトホール 45 を通して共通電極部 222 がゲート電極部 33 a に接続されている。同様に、共通電極部 222 の下層側に配された第 1 層間絶縁膜 239 及び有機絶縁膜 240 のうち、共通電極部 222 及びドレイン電極部 33 c と平面に視て重畳する位置には、ドレイン用コンタクトホール 46 が上下に貫通する形で形成されており、このドレイン用コンタクトホール 46 を通して共通電極部 222 がドレイン電極部 33 c に接続されている。さらには、画素電極部 218 における画素延出部 218 b の下層側に配された第 1 層間絶縁膜 239、有機絶縁膜 240 及び第 2 層間絶縁膜 241 のうち、画素延出部 218 b 及びソース電極部 33 b と平面に視て重畳する位置には、ソース用コンタクトホール 47 が上下に貫通する形で形成されており、このソース用コンタクトホール 47 を通して画素延出部 218 b がソース電極部 33 b に接続されている。また、共通電極部 222 には、ソース用コンタクトホール 47 を取り囲む形で開口部が形成されている。

[0074] 以上の構成によれば、例えば、画素用 TFT 217 により画素電極部 218 が充電された場合には、図 13 に示すように、その画素電極部 218 と同電位とされた抵抗性 TFT 33 のソース電極部 33 b と、共通電極部 222 と同電位とされたゲート電極部 33 a 及びドレイン電極部 33 c との間に電位差が生じる。従って、抵抗性 TFT 33 は、実質的にダイオードとして機能し、チャンネル部 33 d を介してソース電極部 33 b とドレイン電極部 33 c との間に電流が流される（電荷が移動される）ようになっており、それに

より画素電極部 218 と共通電極部 222 との間で電荷が移動し、やがては画素電極部 218 と共通電極部 222 とが同電位となる。これにより、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどが生じ難いものとなる。

[0075] ここで、画素用 T F T 217 の駆動方法について詳しく説明すると、ゲート配線 219 を介して画素用ゲート電極部 217 a に所定のタイミングで供給される走査信号により画素用 T F T 217 が ON されると、ソース配線 220 を介して画素用ソース電極部 217 b に供給されるデータ信号が画素用チャネル部 217 d を介して画素用ドレイン電極部 217 c へと伝達される。これに対して、共通電極部 222 に供給される基準電位 V_{com} は、常時一定の値とされる。このとき、画素用 T F T 217 は、1 フレーム表示期間毎に極性を反転させる、いわゆる「フレーム反転駆動」により駆動されており、共通電極部 222 の基準電位 V_{com} よりも相対的に高い電位 $+V$ と、共通電極部 222 の基準電位 V_{com} よりも相対的に低い電位 $-V$ と、が 1 フレーム表示期間毎に交互に画素用 T F T 217 を介して画素電極部 218 に供給されるようになっている（図 10 を参照）。なお、フレームレートは、例えば 60 f p s とされる。画素用 T F T 217 により充電された画素電極部 218 の電位 $+V$ が共通電極部 222 の基準電位 V_{com} よりも相対的に高い場合には、上記抵抗性 T F T 33 には逆バイアスとなるため、ソース電極部 33 b とドレイン電極部 33 c との間を漏れ電流程度の電荷しか流れないものとされる。逆に、画素用 T F T 217 により充電された画素電極部 218 の電位 $-V$ が共通電極部 222 の基準電位 V_{com} よりも相対的に低い場合には、上記抵抗性 T F T 33 には順バイアスとなるものの、共通電極部 222 の基準電位 V_{com} が抵抗性 T F T 33 の閾値電圧を超えない設定とされているので、ソース電極部 33 b とドレイン電極部 33 c との間を移動する電荷の移動量がごく少なくなっている。いずれにしても、抵抗性 T F T 33 を介して画素電極部 218 と共通電極部 222 との間を移動する電荷における単位時間当たりの移動量は、ごく僅かなものとなるため、上記電荷

に対して抵抗性TFT33が大きな抵抗成分を構成することになる。従って、画素電極部218の電位が共通電極部222の基準電位Vcomに到達するまでの時間を十分に稼ぐことができ、画素電極部218の電位が瞬時に共通電極部222の基準電位Vcomに到達する事態を避けることができる。これにより、通常の使用時において、液晶パネルに画像を表示するに際して画素用TFT217により充電された画素電極部218の電位を一定期間（例えば1フレーム表示期間）維持する上で好適となり、もって表示画像に係る表示品位が損なわれる事態が生じ難くなる。なお、画素用TFT217により画素電極部218を充電する場合に限らず、例えば液晶パネルの製造工程において何らかの事情（例えば静電気など）により画素電極部218に電荷が蓄積し、画素電極部218と共通電極部222との間に電位差が生じた場合であっても、上記と同様に抵抗性TFT33を介して画素電極部218と共通電極部222との間を電荷が移動することで、所定の期間を経て画素電極部218と共通電極部222とが同電位に達するようになっている。

[0076] 以上説明したように本実施形態によれば、抵抗性素子を構成する抵抗性TFT33は、ドレイン電極部33cが画素電極部218に、ゲート電極部33a及びソース電極部33bが共通電極部222にそれぞれ接続されている。このようにすれば、例えば画素電極部218の電位が共通電極部222の基準電位よりも高電位だった場合には、抵抗性素子を構成する抵抗性TFT33は逆バイアスとなるので、ドレイン電極部33c（画素電極部218）からゲート電極部33aと同電位とされたソース電極部33b（共通電極部222）へと電荷が移動する。逆に、画素電極部218の電位が共通電極部222の基準電位よりも低電位だった場合には、抵抗性素子を構成する抵抗性TFT33は順バイアスとなるので、ゲート電極部33aと同電位とされたソース電極部33b（共通電極部222）からドレイン電極部33c（画素電極部218）へと電荷が移動する。いずれにしても画素電極部218と共通電極部222との間を移動する電荷に対して抵抗性TFT33が抵抗成分を構成することになるので、画素電極部218の電位が基準電位になるま

での時間を十分に稼ぐことができる。これにより、当該液晶パネルに画像を表示するに際して表示画像に係る表示品位が損なわれる事態がより生じ難いものとされる。

[0077] <実施形態４＞

本発明の実施形態４を図１６または図１７によって説明する。この実施形態４では、上記した実施形態３に記載した抵抗性ＴＦＴ３３３を複数直列接続した形で配したものを示す。なお、上記した実施形態３と同様の構造、作用及び効果について重複する説明は省略する。

[0078] 本実施形態に係る抵抗性ＴＦＴ３３３は、図１６に示すように、画素電極部３１８と共通電極部３２２との間に介在するとともに、５つが直列接続された形で配されている。以下では、これら５つの抵抗性ＴＦＴ３３３を区別する場合には、画素電極部３１８に対して直接接続されたものを第１抵抗性ＴＦＴ３３３Ａ、画素電極部３１８に２番目に近いものを第２抵抗性ＴＦＴ３３３Ｂ、画素電極部３１８に３番目に近いものを第３抵抗性ＴＦＴ３３３Ｃ、画素電極部３１８に４番目に近いものを第４抵抗性ＴＦＴ３３３Ｄ、共通電極部３２２に対して直接接続されたものを第５抵抗性ＴＦＴ３３３Ｅとする。第１抵抗性ＴＦＴ３３３Ａは、ソース電極部３３３ｂが画素電極部３１８に接続されるのに対し、ゲート電極部３３３ａ及びドレイン電極部３３３ｃが共に第２抵抗性ＴＦＴ３３３Ｂをなすソース電極部３３３ｂに対して接続されている。第２抵抗性ＴＦＴ３３３Ｂをなすゲート電極部３３３ａ及びドレイン電極部３３３ｃは、第３抵抗性ＴＦＴ３３３Ｃをなすソース電極部３３３ｂに、第３抵抗性ＴＦＴ３３３Ｃをなすゲート電極部３３３ａ及びドレイン電極部３３３ｃは、第４抵抗性ＴＦＴ３３３Ｄをなすソース電極部３３３ｂに、第４抵抗性ＴＦＴ３３３Ｄをなすゲート電極部３３３ａ及びドレイン電極部３３３ｃは、第５抵抗性ＴＦＴ３３３Ｅをなすソース電極部３３３ｂに、それぞれ接続されている。そして、第５抵抗性ＴＦＴ３３３Ｅをなすゲート電極部３３３ａ及びドレイン電極部３３３ｃは、共に共通電極部３２２に接続されている。

[0079] 上記のような構成によれば、例えば、画素用 T F T 3 1 7 により画素電極部 3 1 8 が充電されて画素電極部 3 1 8 が共通電極部 3 2 2 よりも高電位にされると、第 1 抵抗性 T F T 3 3 3 A をなすソース電極部 3 3 3 b から第 1 抵抗性 T F T 3 3 3 A をなすドレイン電極部 3 3 3 c へと電荷が移動されるのであるが、このとき第 2 抵抗性 T F T 3 3 3 B をなすソース電極部 3 3 3 b が、第 1 抵抗性 T F T 3 3 3 A をなすゲート電極部 3 3 3 a 及びドレイン電極部 3 3 3 c と同電位とされるので、第 2 抵抗性 T F T 3 3 3 B をなすソース電極部 3 3 3 b から第 2 抵抗性 T F T 3 3 3 B をなすドレイン電極部 3 3 3 c へと電荷が移動される。第 2 抵抗性 T F T 3 3 3 B をなすドレイン電極部 3 3 3 c に移動された電荷は、これと同様にして第 3 抵抗性 T F T 3 3 3 C、第 4 抵抗性 T F T 3 3 3 D、及び第 5 抵抗性 T F T 3 3 3 E を介して共通電極部 3 2 2 に達する。一方、画素用 T F T 3 1 7 により画素電極部 3 1 8 が充電されて画素電極部 3 1 8 が共通電極部 3 2 2 よりも低電位にされた場合には、上記とは逆に共通電極部 3 2 2 の電荷が、第 5 抵抗性 T F T 3 3 3 E、第 4 抵抗性 T F T 3 3 3 D、第 3 抵抗性 T F T 3 3 3 C、第 2 抵抗性 T F T 3 3 3 B、第 1 抵抗性 T F T 3 3 3 A の順で移動して画素電極部 3 1 8 に到達する。これにより、画素電極部 3 1 8 と共通電極部 3 2 2 との間を電荷が 5 つの抵抗性 T F T 3 3 3 を介して移動され、もって画素電極部 3 1 8 と共通電極部 3 2 2 とが所定の期間を経て同電位となる。

[0080] ここで、上記のように相互に直列接続した 5 つの抵抗性 T F T 3 3 3 を、画素電極部 3 1 8 と共通電極部 3 2 2 との間に介在させる構成により奏される効果に関して知見を得るべく、以下の比較実験 2 を行った。比較実験 2 では、画素電極部と共通電極部とを接続しない（抵抗性素子が存在しない）構成を比較例とし、本実施形態のように 5 つの抵抗性 T F T 3 3 3 を直列接続した構成（図 1 6 を参照）を実施例 2 とし、比較例及び実施例 2 において画素電極部の電位における時間変化を測定し、その結果を図 1 7 に示す。図 1 7 では、縦軸が画素電極部の電位（単位は「V」）であり、横軸が画素電極部が所定の電位にまで充電されてから経過した時間（単位は「s e c」）で

あり、同図に示される実線が実施例 2 の実験結果を、一点鎖線が比較例の実験結果をそれぞれ表している。なお、比較実験 2 では、例えば比較例及び実施例 2 において画素電極部を約 3.6 V まで充電してから時間が約 1 s e c 経過するまで、画素電極部の電位を測定している。

[0081] 比較実験 2 の実験結果について説明する。図 17 に示されるグラフから、比較例及び実施例 2 において、画素電極部が充電されてから同じ時間が経過したときの画素電極部の電位を比較すると、実施例 2 の方が比較例よりも相対的に低くなっている。比較例及び実施例 2 において、画素電極部の電位が同じになるまでに経過した時間を比較すると、実施例 2 の方が比較例よりも相対的に短くなっている。つまり、実施例 2 の方が比較例よりも画素電極部の電位に係る減少率が相対的に高いことが分かる。これは、実施例 2 のように、相互に直列接続した 5 つの抵抗性 T F T 3 3 3 を、画素電極部 3 1 8 と共通電極部 3 2 2 との間に介在させる構成を採れば、画素電極部と共通電極部とを接続しない構成の比較例に比べて、画素電極部 3 1 8 と共通電極部 3 2 2 との間を電荷が直接移動するので、画素電極部 3 1 8 の電位がより短い時間でもって共通電極部 3 2 2 の基準電位に近づくものと考えられる。なお、実施例 2 のように抵抗性 T F T 3 3 3 を 5 つ直列接続した構成を、上記した実施形態 3 のように抵抗性 T F T 3 3 を 1 つのみ配した構成（図 13 を参照）に比べると、画素電極部 3 1 8 と共通電極部 3 2 2 との間を移動する電荷における単位時間あたりの移動量が相対的に少なくなると考えられる。従って、実施例 2 に係る直列接続した 5 つの抵抗性 T F T 3 3 3 は、上記した実施形態 3 に係る 1 つの抵抗性 T F T 3 3 よりも大きな抵抗成分として機能する、と言える。これにより、通常の使用時において、液晶パネルに画像を表示するに際して画素用 T F T 3 1 7 により充電された画素電極部 3 1 8 の電位を一定期間維持する上でより好適となり、もって表示画像に係る表示品位が損なわれる事態がより生じ難くなる。

[0082] <実施形態 5>

本発明の実施形態 5 を図 18 から図 20 によって説明する。この実施形態

5では、2つの抵抗性TF T 48, 49を直列に接続した構成としたものを示す。なお、上記した実施形態1, 3と同様の構造、作用及び効果について重複する説明は省略する。

[0083] 本実施形態に係る抵抗性TF T (抵抗性素子) 48には、図18に示すように、画素電極部418に直接接続された第1抵抗性TF T (第1トランジスタ) 49と、共通電極部422に直接接続された第2抵抗性TF T (第2トランジスタ) 50と、が含まれており、これら第1抵抗性TF T 49と第2抵抗性TF T 50とが直列に接続されている。第1抵抗性TF T 49は、第1ゲート電極部49aと、第1ソース電極部49bと、第1ドレイン電極部49cと、第1ソース電極部49bと第1ドレイン電極部49cとを接続する第1チャンネル部49dと、を少なくとも有しており、このうちの第1ゲート電極部49a及び第1ソース電極部49bが画素電極部418に接続されている。これに対し、第2抵抗性TF T 50は、第2ゲート電極部50aと、第2ソース電極部50bと、第2ドレイン電極部50cと、第2ソース電極部50bと第2ドレイン電極部50cとを接続する第2チャンネル部50dと、を少なくとも有しており、このうちの第2ゲート電極部50a及び第2ソース電極部50bが共通電極部422に接続されている。そして、第1抵抗性TF T 49をなす第1ドレイン電極部49cと、第2抵抗性TF T 50をなす第2ドレイン電極部50cとが直接接続されている。従って、第1抵抗性TF T 49をなす第1ゲート電極部49a及び第1ソース電極部49bが画素電極部418と同電位に、第2抵抗性TF T 50をなす第2ゲート電極部50a及び第2ソース電極部50bが共通電極部422と同電位に、第1抵抗性TF T 49をなす第1ドレイン電極部49cが第2抵抗性TF T 50をなす第2ドレイン電極部50cと同電位にされている。このように、第1抵抗性TF T 49及び第2抵抗性TF T 50は、共に実質的にダイオードとして機能するものとされ、「ダイオード型トランジスタ」であると言える。

[0084] 第1抵抗性TF T 49及び第2抵抗性TF T 50は、図19に示すように

、平面に視て画素用TFT417に隣接する位置、具体的には画素用TFT417に接続されたゲート配線419と、画素用TFT417に接続されたソース配線420と、画素用TFT417に対して画素用TFT417に接続された画素電極部418側とは反対側に配された補助容量配線部425と、画素用TFT417に接続されたドレイン配線429とにより取り囲まれた位置に配されている。第1抵抗性TFT49及び第2抵抗性TFT50は、平面に視てX軸方向に沿って並ぶとともに第1ドレイン電極部49cと第2ソース電極部50bとが隣り合う形で配されている。第1抵抗性TFT49は、第1ゲート電極部49aが第1ソース電極部49b、第1ドレイン電極部49c、及び第1チャネル部49dの全域に対して平面に視て重畳するとともに第1ソース電極部49bに対して第1ドレイン電極部49c側とは反対側に延出する第1ゲート延出部49a1を有する形で形成されている。画素電極部418には、第1抵抗性TFT49の一部、具体的には第1ソース電極部49bと、第1ゲート電極部49aにおける第1ゲート延出部49a1とに対して平面に視て重畳する画素延出部418bが形成されている。一方、第2抵抗性TFT50は、第2ゲート電極部50aが第2ソース電極部50b、第2ドレイン電極部50c、及び第2チャネル部50dの全域に対して平面に視て重畳するとともに第2ソース電極部50bに対して第2ドレイン電極部50c側とは反対側に延出する第2ゲート延出部50a1を有する形で形成されている。

[0085] 詳しくは、第1抵抗性TFT49は、図19及び図20に示すように、第1金属膜434からなる第1ゲート電極部49aと、半導体膜436からなり第1ゲート電極部49aと平面に視て重畳する第1チャネル部49dと、保護膜437からなり第1チャネル部49dと平面に視て重畳する位置に2つの第1開口部49e1、49e2が貫通して形成されてなる第1保護部49eと、第2金属膜438からなり2つの第1開口部49e1、49e2のうちの一方の第1開口部49e1を通して第1チャネル部49dに接続される第1ソース電極部49bと、第2金属膜438からなり2つの第1開口部

4 9 e 1, 4 9 e 2 のうちの他方の第 1 開口部 4 9 e 2 を通して第 1 チャネル部 4 9 d に接続される第 1 ドレイン電極部 4 9 c とを有している。このうち、第 1 ゲート電極部 4 9 a は、ゲート配線 4 1 9 及び補助容量配線部 4 2 5 からは分離（独立）する形で配されている。第 1 チャネル部 4 9 d は、X 軸方向に沿って延在するとともに第 1 ソース電極部 4 9 b と第 1 ドレイン電極部 4 9 c とを架け渡して両電極部 4 9 b, 4 9 c 間での電子の移動を可能としている。ここで、第 1 チャネル部 4 9 d をなす半導体膜 4 3 6 は、画素用 T F T 4 1 7 を構成する画素用チャネル部 4 1 7 d と同一の酸化物半導体（I n - G a - Z n - O 系半導体）からなるものとされる。第 1 チャネル部 4 9 d は、第 1 ソース電極部 4 9 b と第 1 ドレイン電極部 4 9 c との間の X 軸方向に沿う距離をチャネル長（長さ寸法）とし、第 1 ソース電極部 4 9 b から第 1 ドレイン電極部 4 9 c に向かう方向（X 軸方向）と直交する Y 軸方向に沿う寸法をチャネル幅（幅寸法）としたとき、そのチャネル長をチャネル幅で除して得られる比率（ L/W ）が、画素用 T F T 4 1 7 を構成する画素用チャネル部 4 1 7 d における同様のチャネル長をチャネル幅で除して得られる比率よりも大きくなるよう形成されるよう形成されている。従って、この第 1 チャネル部 4 9 d を通して第 1 ソース電極部 4 9 b と第 1 ドレイン電極部 4 9 c との間を移動する電荷に係る抵抗値は、画素用 T F T 4 1 7 を構成する画素用チャネル部 4 1 7 d を通して画素用ソース電極部 4 1 7 b と画素用ドレイン電極部 4 1 7 c との間を移動する電荷に係る抵抗値よりも相対的に大きなものとされている。なお、第 1 チャネル部 4 9 d は、そのチャネル長及びチャネル幅が、画素用チャネル部 4 1 7 d におけるチャネル長及びチャネル幅よりもそれぞれ小さいものとされる。

[0086] 画素電極部 4 1 8 における画素延出部 4 1 8 b の下層側に配された第 1 層間絶縁膜 4 3 9、有機絶縁膜 4 4 0 及び第 2 層間絶縁膜 4 4 1 のうち、画素延出部 4 1 8 b 及び第 1 ゲート延出部 4 9 a 1 と平面に視て重畳する位置には、図 2 0 に示すように、第 1 ゲート用コンタクトホール 5 1 が上下に貫通する形で形成されており、この第 1 ゲート用コンタクトホール 5 1 を通して

画素延出部418bが第1ゲート電極部49aに接続されている。同様に、画素延出部418bの下層側に配された第1層間絶縁膜439、有機絶縁膜440及び第2層間絶縁膜441のうち、画素延出部418b及び第1ソース電極部49bと平面に視て重畳する位置には、第1ソース用コンタクトホール52が上下に貫通する形で形成されており、この第1ソース用コンタクトホール52を通して画素延出部518bが第1ソース電極部49bに接続されている。また、共通電極部422には、第1ゲート用コンタクトホール51及び第1ソース用コンタクトホール52を取り囲む形で開口部が形成されている。

[0087] これに対し、第2抵抗性TF T50は、図19及び図20に示すように、第1金属膜434からなる第2ゲート電極部50aと、半導体膜436からなり第2ゲート電極部50aと平面に視て重畳する第2チャネル部50dと、保護膜437からなり第2チャネル部50dと平面に視て重畳する位置に2つの第2開口部50e1, 50e2が貫通して形成されてなる第2保護部50eと、第2金属膜438からなり2つの第2開口部50e1, 50e2のうちの一方の第2開口部50e1を通して第2チャネル部50dに接続される第2ソース電極部50bと、第2金属膜438からなり2つの第2開口部50e1, 50e2のうちの他方の開口部50e2を通して第2チャネル部50dに接続される第2ドレイン電極部50cとを有している。このうち、第2ゲート電極部50aは、ゲート配線419及び補助容量配線部425からは分離（独立）する形で配されている。第2チャネル部50dは、X軸方向に沿って延在するとともに第2ソース電極部50bと第2ドレイン電極部50cとを架け渡して両電極部50b, 50c間での電子の移動を可能としている。ここで、第2チャネル部50dをなす半導体膜436は、画素用TF T417を構成する画素用チャネル部417dと同一の酸化物半導体（In-Ga-Zn-O系半導体）からなるものとされる。第2チャネル部50dは、第2ソース電極部50bと第2ドレイン電極部50cとの間のX軸方向に沿う距離をチャネル長（長さ寸法）とし、第2ソース電極部50bか

ら第2ドレイン電極部50cに向かう方向(X軸方向)と直交するY軸方向に沿う寸法をチャネル幅(幅寸法)としたとき、そのチャネル長をチャネル幅で除して得られる比率(L/W)が、画素用TF T 417を構成する画素用チャネル部417dにおける同様のチャネル長をチャネル幅で除して得られる比率よりも大きくなるよう形成されるよう形成されている。従って、この第2チャネル部50dを通して第2ソース電極部50bと第2ドレイン電極部50cとの間を移動する電荷に係る抵抗値は、画素用TF T 417を構成する画素用チャネル部417dを通して画素用ソース電極部417bと画素用ドレイン電極部417cとの間を移動する電荷に係る抵抗値よりも相対的に大きなものとされている。なお、第2チャネル部50dは、そのチャネル長及びチャネル幅が、画素用チャネル部417dにおけるチャネル長及びチャネル幅よりもそれぞれ小さいものとされる。また、第2チャネル部50d及び第1チャネル部49dは、材料、チャネル長、及びチャネル幅がそれぞれ同一とされているので、各チャネル部49d、50dを移動する電荷に対する抵抗値が互いにほぼ等しいものとされている。

[0088] 共通電極部422の下層側に配された第1層間絶縁膜439及び有機絶縁膜440のうち、共通電極部422及び第2ゲート延出部50a1と平面に視て重畳する位置には、図20に示すように、第2ゲート用コンタクトホール53が上下に貫通する形で形成されており、この第2ゲート用コンタクトホール53を通して共通電極部422が第2ゲート電極部50aに接続されている。同様に、共通電極部422の下層側に配された第1層間絶縁膜439及び有機絶縁膜440のうち、共通電極部422及び第2ソース電極部50bと平面に視て重畳する位置には、第2ソース用コンタクトホール54が上下に貫通する形で形成されており、この第2ソース用コンタクトホール54を通して共通電極部442が第2ソース電極部50bに接続されている。そして、第2ドレイン電極部50cと第1ドレイン電極部49cとを繋ぐ形で、TF T間接続配線部55が形成されている。TF T間接続配線部55は、第1ドレイン電極部49c及び第2ドレイン電極部50cと同じ第2金属

膜438からなるものとされる。TF T間接続配線部55は、第1ドレイン電極部49cと第2ドレイン電極部50cとを結ぶ形でX軸方向に沿ってほぼ真っ直ぐに延在することで、第1抵抗性TF T49と第2抵抗性TF T50との間を架け渡す形で配されている。

[0089] 以上の構成によれば、例えば、画素用TF T417により画素電極部418が充電された場合には、図18に示すように、その画素電極部418と同電位とされた第1抵抗性TF T49の第1ゲート電極部49a及び第1ソース電極部49bと、共通電極部22と同電位とされた第2抵抗性TF T50の第2ゲート電極部50a及び第2ソース電極部50bとの間に電位差が生じる。従って、第1抵抗性TF T49及び第2抵抗性TF T50は、実質的にダイオードとして機能し、第1チャンネル部49dを介して第1ソース電極部49bと第1ドレイン電極部49cとの間に電流が流される（電荷が移動される）とともに、第2チャンネル部50dを介して第2ソース電極部50bと第2ドレイン電極部50cとの間に電流が流されるようになっており、それにより画素電極部418と共通電極部422との間で電荷が移動し、やがては画素電極部418と共通電極部422とが同電位となる。これにより、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどが生じ難いものとなる。

[0090] ここで、画素用TF T417の駆動方法について詳しく説明すると、ゲート配線419を介して画素用ゲート電極部417aに所定のタイミングで供給される走査信号により画素用TF T417がONされると、ソース配線420を介して画素用ソース電極部417bに供給されるデータ信号が画素用チャンネル部417dを介して画素用ドレイン電極部417cへと伝達される。これに対して、共通電極部422に供給される基準電位 V_{com} は、常時一定の値とされる。このとき、画素用TF T417は、1フレーム表示期間毎に極性を反転させる、いわゆる「フレーム反転駆動」により駆動されており、共通電極部422の基準電位 V_{com} よりも相対的に高い電位 $+V$ と、共通電極部422の基準電位 V_{com} よりも相対的に低い電位 $-V$ と、が1

フレーム表示期間毎に交互に画素用 T F T 4 1 7 を介して画素電極部 4 1 8 に供給されるようになっている（図 10 を参照）。なお、フレームレートは、例えば 60 f p s とされる。画素用 T F T 4 1 7 により充電された画素電極部 4 1 8 の電位 + V が共通電極部 4 2 2 の基準電位 V_{com} よりも相対的に高い場合には、第 1 抵抗性 T F T 4 9 には順バイアスとなるものの、画素電極部 4 1 8 の電位 + V が第 1 抵抗性 T F T 4 9 の閾値電圧を超えない設定とされているので、第 1 ソース電極部 4 9 b と第 1 ドレイン電極部 4 9 c との間を移動する電荷の移動量がごく少なくなっている。一方、画素電極部 4 1 8 の電位 + V が共通電極部 4 2 2 の基準電位 V_{com} よりも相対的に高い場合には、第 2 抵抗性 T F T 5 0 には逆バイアスとなるため、第 2 ソース電極部 5 0 b と第 2 ドレイン電極部 5 0 c との間を漏れ電流程度の電荷しか流れないものとされる。逆に、画素用 T F T 4 1 7 により充電された画素電極部 4 1 8 の電位 - V が共通電極部 4 2 2 の基準電位 V_{com} よりも相対的に低い場合には、第 1 抵抗性 T F T 4 9 には逆バイアスとなるため、第 1 ソース電極部 4 9 b と第 1 ドレイン電極部 4 9 c との間を漏れ電流程度の電荷しか流れないものとされる。一方、画素電極部 4 1 8 の電位 - V が共通電極部 4 2 2 の基準電位 V_{com} よりも相対的に低い場合には、上記第 2 抵抗性 T F T 5 0 には順バイアスとなるものの、共通電極部 4 2 2 の基準電位 V_{com} が第 2 抵抗性 T F T 5 0 の閾値電圧を超えない設定とされているので、第 2 ソース電極部 5 0 b と第 2 ドレイン電極部 5 0 c との間を移動する電荷の移動量がごく少なくなっている。

[0091] 以上のように、画素電極部 4 1 8 の電位 + V が共通電極部 4 2 2 の基準電位 V_{com} よりも相対的に高い場合と、画素電極部 4 1 8 の電位 - V が共通電極部 4 2 2 の基準電位 V_{com} よりも相対的に低い場合とのいずれにおいても、第 1 抵抗性 T F T 4 9 と第 2 抵抗性 T F T 5 0 とのいずれか一方が順バイアスとなり、他方が逆バイアスとなる。第 1 抵抗性 T F T 4 9 と第 2 抵抗性 T F T 5 0 とのうち、逆バイアスとされた他方は、順バイアスとされた一方に比べると、電荷に対してより大きな抵抗成分を構成する。従って、フ

レーム反転駆動を行うに際して常に逆バイアスとなる抵抗性TF T 4 9, 5 0が存在することで、画素電極部4 1 8の電位が共通電極部4 2 2の基準電位V c o mに到達するまでの時間をより多く稼ぐことができ、画素電極部4 1 8の電位が瞬時に共通電極部4 2 2の基準電位V c o mに到達する事態をより好適に回避することができる。これにより、通常の使用時において、液晶パネルに画像を表示するに際して画素用TF T 4 1 7により充電された画素電極部4 1 8の電位を一定期間（例えば1フレーム表示期間）維持する上で好適となり、もって表示画像に係る表示品位が損なわれる事態が生じ難くなる。しかも、フレーム反転駆動を行うに際して常に順バイアスとなる抵抗性TF T 4 9, 5 0と、逆バイアスとなる抵抗性TF T 4 9, 5 0とがそれぞれ存在することで、画素電極部4 1 8と共通電極部4 2 2との間を移動する電荷に対する抵抗値がほぼ一定に保たれる。これにより、画素電極部4 1 8の電位が共通電極部4 2 2の基準電位V c o mに到達するまでの時間が一定となり、もって画素電極部4 1 8の電位に係る保持期間を一定に維持することができる。なお、画素用TF T 4 1 7により画素電極部4 1 8を充電する場合に限らず、例えば液晶パネルの製造工程において何らかの事情（例えば静電気など）により画素電極部4 1 8に電荷が蓄積し、画素電極部4 1 8と共通電極部4 2 2との間に電位差が生じた場合であっても、上記と同様に第1抵抗性TF T 4 9及び第2抵抗性TF T 5 0を介して画素電極部4 1 8と共通電極部4 2 2との間を電荷が移動することで、所定の期間を経て画素電極部4 1 8と共通電極部4 2 2とが同電位に達するようになっている。

[0092] 以上説明したように本実施形態によれば、抵抗性素子を構成する抵抗性TF T 4 8には、第1ゲート電極部4 9 aと、第1ソース電極部4 9 bと、第1ドレイン電極部4 9 cと、第1ソース電極部4 9 bと第1ドレイン電極部4 9 cとを接続する第1チャネル部4 9 dと、を少なくとも有していて、第1ゲート電極部4 9 a及び第1ソース電極部4 9 bが画素電極部4 1 8にそれぞれ接続される第1抵抗性TF T 4 9と、第2ゲート電極部5 0 aと、第2ソース電極部5 0 bと、第2ドレイン電極部5 0 cと、第2ソース電極部

50bと第2ドレイン電極部50cとを接続する第2チャンネル部50dと、を少なくとも有していて、第2ゲート電極部50a及び第2ソース電極部50bが共通電極部422にそれぞれ接続され且つ第2ドレイン電極部50cが第1ドレイン電極部49cに接続される第2抵抗性TF T50と、が含まれている。このようにすれば、例えば画素電極部418の電位が共通電極部422の基準電位よりも高電位だった場合には、第1抵抗性TF T49は順バイアスとなるものの、第2抵抗性TF T50は逆バイアスとなり、画素電極部418の電荷は、第1ゲート電極部49aと同電位とされた第1ソース電極部49bから第1ドレイン電極部49cへと移動した後、第2ドレイン電極部50cから第2ゲート電極部50aと同電位とされた第2ソース電極部50bへと移動することで、共通電極部422に達する。逆に、例えば画素電極部418の電位が共通電極部422の基準電位よりも低電位だった場合には、第2抵抗性TF T50は順バイアスとなるものの、第1抵抗性TF T49は逆バイアスとなり、共通電極部422の電荷は、第2ゲート電極部50aと同電位とされた第2ソース電極部50bから第2ドレイン電極部50cへと移動した後、第1ドレイン電極部49cから第1ゲート電極部49aと同電位とされた第1ソース電極部49bへと移動することで、画素電極部418に達する。いずれにしても第1抵抗性TF T49と第2抵抗性TF T50とのいずれかは逆バイアスとなるので、各抵抗性TF T49, 50の漏れ電流程度の電荷しか流されず、電荷の移動量が極めて少なくなる。従って、画素電極部418の電位が基準電位になるまでの時間をより多く稼ぐことができ、もって当該液晶パネルに画像を表示するに際して表示画像に係る表示品位が損なわれる事態が一層生じ難いものとされる。しかも、画素用TF T417によって画素電極部418に充電される電位が基準電位よりも高い場合と低い場合とで、画素電極部418の電位が各抵抗性TF T49, 50によって基準電位に達するまでの時間が同等になり、もって画素電極部418の電位に係る保持期間を一定に維持することができる。

本発明の実施形態6を図21または図22によって説明する。この実施形態6では、上記した実施形態5に記載した第1抵抗性TF T 5 4 9及び第2抵抗性TF T 5 5 0を複数ずつ直列接続した形で配したものを示す。なお、上記した実施形態2, 4, 5と同様の構造、作用及び効果について重複する説明は省略する。

[0094] 本実施形態に係る抵抗性TF T 5 4 8は、図21に示すように、画素電極部5 1 8と共通電極部5 2 2との間に介在するとともに、相互に直列接続された5つの第1抵抗性TF T 5 4 9と、相互に直列接続された5つの第2抵抗性TF T 5 5 0と、を備えている。このうち、5つの第1抵抗性TF T 5 4 9に係る接続態様は、上記した実施形態2に記載した5つの抵抗性TF T 1 3 2に係る接続態様（図11を参照）とほぼ同様であり、5つの第2抵抗性TF T 5 5 0に係る接続態様は、上記した実施形態4に記載した5つの抵抗性TF T 3 3 3に係る接続態様（図16を参照）とほぼ同様であるため、重複する説明については割愛する。5つの第1抵抗性TF T 5 4 9のうち、画素電極部5 1 8側とは反対側の端位置に配された第1抵抗性TF T 5 4 9をなす第1ドレイン電極部5 4 9 cと、5つの第2抵抗性TF T 5 5 0のうち、共通電極部5 2 2側とは反対側の端位置に配された第2抵抗性TF T 5 5 0をなす第2ドレイン電極部5 5 0 cとが、TF T間接続配線部5 5 5により接続されている。

[0095] 上記のような構成によれば、例えば、画素用TF T 5 1 7により画素電極部5 1 8が充電されて画素電極部5 1 8が共通電極部5 2 2よりも高電位にされると、5つの第1抵抗性TF T 5 4 9がいずれも順バイアスとなるのに対し、5つの第2抵抗性TF T 5 5 0がいずれも逆バイアスとなり、画素電極部5 1 8に存在する電荷が、5つの第1抵抗性TF T 5 4 9を経由した後に5つの第2抵抗性TF T 5 5 0を経由して共通電極部5 2 2にまで移動されることで、画素電極部5 1 8の電位が所定の期間を経て共通電極部5 2 2の基準電位に達する。一方、画素用TF T 5 1 7により画素電極部5 1 8が充電されて画素電極部5 1 8が共通電極部5 2 2よりも低電位にされた場合

には、上記とは逆に、5つの第1抵抗性TF T 5 4 9がいずれも逆バイアスとなるのに対し、5つの第2抵抗性TF T 5 5 0がいずれも順バイアスとなり、共通電極部5 2 2に存在する電荷が、5つの第2抵抗性TF T 5 5 0を経由した後に5つの第1抵抗性TF T 5 4 9を経由して画素電極部5 1 8にまで移動されることで、画素電極部5 1 8の電位が所定の期間を経て共通電極部5 2 2の基準電位に達する。

[0096] ここで、上記のように相互に直列接続した5つずつの第1抵抗性TF T 5 4 9及び第2抵抗性TF T 5 5 0を、画素電極部5 1 8と共通電極部5 2 2との間に介在させる構成により奏される効果に関して知見を得るべく、以下の比較実験3を行った。比較実験3では、画素電極部と共通電極部とを接続しない（抵抗性素子が存在しない）構成を比較例とし、本実施形態のように5つずつの第1抵抗性TF T 5 4 9及び第2抵抗性TF T 5 5 0を直列接続した構成（図21を参照）を実施例3とし、比較例及び実施例3において画素電極部の電位における時間変化を測定し、その結果を図22に示す。図22では、縦軸が画素電極部の電位（単位は「V」）であり、横軸が画素電極部が所定の電位にまで充電されてから経過した時間（単位は「sec」）であり、同図に示される実線が実施例3の実験結果を、一点鎖線が比較例の実験結果をそれぞれ表している。なお、比較実験3では、例えば比較例及び実施例3において画素電極部を約3.6Vまで充電してから時間が約1sec経過するまで、画素電極部の電位を測定している。

[0097] 比較実験3の実験結果について説明する。図22に示されるグラフから、比較例及び実施例3において、画素電極部が充電されてから同じ時間が経過したときの画素電極部の電位を比較すると、実施例3の方が比較例よりも相対的に低くなっている。比較例及び実施例3において、画素電極部の電位が同じになるまでに経過した時間を比較すると、実施例3の方が比較例よりも相対的に短くなっている。つまり、実施例3の方が比較例よりも画素電極部の電位に係る減少率が相対的に高いことが分かる。これは、実施例3のように、相互に直列接続した5つずつの第1抵抗性TF T 5 4 9及び第2抵抗性

TFT550を、画素電極部518と共通電極部522との間に介在させる構成を採れば、画素電極部と共通電極部とを接続しない構成の比較例に比べて、画素電極部518と共通電極部522との間を電荷が直接移動するので、画素電極部518の電位がより短い時間でもって共通電極部522の基準電位に近づくものと考えられる。なお、実施例3のように第1抵抗性TFT549及び第2抵抗性TFT550を5つずつ直列接続した構成を、上記した実施形態5のように第1抵抗性TFT49及び第2抵抗性TFT50を1つずつのみ配した構成（図18を参照）に比べると、画素電極部518と共通電極部522との間を移動する電荷における単位時間あたりの移動量が相対的に少なくなると考えられる。従って、実施例3に係る直列接続した5つずつの第1抵抗性TFT549及び第2抵抗性TFT550は、上記した実施形態5に係る1つずつの第1抵抗性TFT49及び第2抵抗性TFT50よりも大きな抵抗成分として機能する、と言える。これにより、通常の使用時において、液晶パネルに画像を表示するに際して画素用TFT517により充電された画素電極部518の電位を一定期間維持する上でより好適となり、もって表示画像に係る表示品位が損なわれる事態がより生じ難くなる。

[0098] <実施形態7>

本発明の実施形態7を図23から図26によって説明する。この実施形態7では、抵抗性素子として抵抗性配線部56を設けたものを示す。なお、上記した実施形態1と同様の構造、作用及び効果について重複する説明は省略する。

[0099] 本実施形態に係る抵抗性素子は、図23に示すように、画素電極部618と共通電極部622との間を引き回されるとともに両者618, 622に接続される抵抗性配線部（配線部）56からなるものとされる。具体的には、抵抗性配線部56は、図24に示すように、画素電極部618に接続される第1配線部56aと、共通電極部622に接続される第2配線部56bとを有しており、これら第1配線部56aと第2配線部56bとにおける端部同士が接続されている。抵抗性配線部56は、平面に視て画素用TFT617

に隣接する位置、具体的には画素用 T F T 6 1 7 に接続されたゲート配線 6 1 9 と、画素用 T F T 6 1 7 に接続されたソース配線 6 2 0 と、画素用 T F T 6 1 7 に対して画素用 T F T 6 1 7 に接続された画素電極部 6 1 8 側とは反対側に配された補助容量配線部 6 2 5 と、画素用 T F T 6 1 7 に接続されたドレイン配線 6 2 9 とにより取り囲まれた位置に配されている。画素電極部 6 1 8 には、抵抗性配線部 5 6 の一部、具体的には第 1 配線部 5 6 a の端部に対して平面に視て重畳する画素延出部 6 1 8 b が形成されている。

[0100] 第 1 配線部 5 6 a は、図 2 4 及び図 2 5 に示すように、第 1 金属膜 6 3 4 からなる第 1 下層側配線部 5 6 a 1 と、第 2 金属膜 6 3 8 からなる第 1 上層側配線部 5 6 a 2 とからなる。このうちの第 1 下層側配線部 5 6 a 1 は、X 軸方向に沿って直線的に延在するとともにその一方（第 2 配線部 5 6 b 側とは反対側）の端部に対して平面に視て重畳する形で島状をなす第 1 上層側配線部 5 6 a 2 が積層されている。第 1 下層側配線部 5 6 a 1 の上層側に配されるゲート絶縁膜 6 3 5 及び保護膜 6 3 7 には、第 1 下層側配線部 5 6 a 1 と第 1 上層側配線部 5 6 a 2 とを接続するための第 1 下層側コンタクトホール 5 7 が上下に貫通する形で形成されている。そして、第 1 上層側配線部 5 6 a 2 の上層側に配される第 1 層間絶縁膜 6 3 9 及び有機絶縁膜 6 4 0 には、共通電極部 6 2 2 と第 1 上層側配線部 5 6 a 2 とを接続するための第 1 上層側コンタクトホール 5 8 が上下に貫通する形で形成されている。これに対し、第 2 配線部 5 6 b は、第 1 金属膜 6 3 4 からなる第 2 下層側配線部 5 6 b 1 と、第 2 金属膜 6 3 8 からなる第 2 上層側配線部 5 6 b 2 とからなる。このうちの第 2 上層側配線部 5 6 b 2 は、X 軸方向に沿って直線的に延在するとともにその一方（第 1 配線部 5 6 a 側とは反対側）の端部に対して平面に視て重畳する形で島状をなす第 2 下層側配線部 5 6 b 1 が積層されている。第 2 下層側配線部 5 6 b 1 の上層側に配されるゲート絶縁膜 6 3 5 及び保護膜 6 3 7 には、第 2 下層側配線部 5 6 b 1 と第 2 上層側配線部 5 6 b 2 とを接続するための第 2 下層側コンタクトホール 5 9 が上下に貫通する形で形成されている。そして、第 2 上層側配線部 5 6 b 2 の上層側に配される第 1

層間絶縁膜 639、有機絶縁膜 640 及び第 2 層間絶縁膜 641 には、画素電極部 618 の画素延出部 618b と第 2 上層側配線部 56b2 とを接続するための第 2 上層側コンタクトホール 60 が上下に貫通する形で形成されている。さらには、第 1 配線部 56a をなす第 1 下層側配線部 56a1 における他方（第 2 配線部 56b 側）の端部と、第 2 配線部 56b をなす第 2 上層側配線部 56b2 における他方（第 1 配線部 56a 側）の端部とは、互いに平面に視て重畳する形で配されており、その重畳部位の間に介在する第 1 層間絶縁膜 639 及び有機絶縁膜 640 には、第 1 下層側配線部 56a1 と第 2 上層側配線部 56b2 とを接続するための配線接続用コンタクトホール 61 が上下に貫通する形で形成されている。

[0101] 以上により、画素電極部 618 と共通電極部 622 とが抵抗性配線部 56 を介して電氣的に接続されている。従って、例えば、画素用 TFT 617 により画素電極部 618 が充電された場合には、図 23 に示すように、画素電極部 618 と共通電極部 622 との間を、電荷が抵抗性配線部 56 を通して移動されるようになっている。このとき、電荷が通る抵抗性配線部 56 は、それぞれ X 軸方向に沿って延在する第 1 配線部 56a と第 2 配線部 56b とを有するとともに、これら第 1 配線部 56a と第 2 配線部 56b とが配線接続用コンタクトホール 61 を介して接続された構成とされているから、画素電極部 618 と共通電極部 622 との間を移動する電荷に対して抵抗性配線部 56 が抵抗成分を構成することになる。これにより、画素電極部 618 と共通電極部 622 との間を移動する電荷における単位時間あたりの移動量が少なくなり、もって画素電極部 618 の電位が瞬時に共通電極部 622 の基準電位に到達する事態をより好適に回避することができる。従って、通常の使用時において、液晶パネルに画像を表示するに際して画素用 TFT 617 により充電された画素電極部 618 の電位を一定期間（例えば 1 フレーム表示期間）維持する上で好適となり、もって表示画像に係る表示品位が損なわれる事態が生じ難くなる。なお、抵抗性配線部 56 に係る具体的な抵抗値としては、数十 Ω ～数百 $k\Omega$ の範囲で適宜に設定することができ、本実施形態

では例えば $1\text{ T}\Omega$ 程度とされている。

[0102] ここで、上記のように抵抗性配線部 56 を、画素電極部 618 と共通電極部 622 との間に介在させる構成により奏される効果に関して知見を得るべく、以下の比較実験 4 を行った。比較実験 4 では、画素電極部と共通電極部とを接続しない（抵抗性素子が存在しない）構成を比較例とし、本実施形態のように画素電極部 618 と共通電極部 622 との間に抵抗性配線部 56 を介在させた構成（図 23 を参照）を実施例 4 とし、比較例及び実施例 4 において画素電極部の電位における時間変化を測定し、その結果を図 26 に示す。図 26 では、縦軸が画素電極部の電位（単位は「V」）であり、横軸が画素電極部が所定の電位にまで充電されてから経過した時間（単位は「sec」）であり、同図に示される実線が実施例 4 の実験結果を、一点鎖線が比較例の実験結果をそれぞれ表している。なお、比較実験 4 では、例えば比較例及び実施例 4 において画素電極部を約 3.6 V まで充電してから時間が約 1 sec 経過するまで、画素電極部の電位を測定している。

[0103] 比較実験 4 の実験結果について説明する。図 26 に示されるグラフから、比較例及び実施例 4 において、画素電極部が充電されてから同じ時間が経過したときの画素電極部の電位を比較すると、実施例 4 の方が比較例よりも相対的に低くなっている。比較例及び実施例 4 において、画素電極部の電位が同じになるまでに経過した時間を比較すると、実施例 4 の方が比較例よりも相対的に短くなっている。つまり、実施例 4 の方が比較例よりも画素電極部の電位に係る減少率が相対的に高いことが分かる。これは、実施例 4 のように、抵抗性配線部 56 を、画素電極部 618 と共通電極部 622 との間に介在させる構成を採れば、画素電極部と共通電極部とを接続しない構成の比較例に比べて、画素電極部 618 と共通電極部 622 との間を電荷が直接移動するので、画素電極部 618 の電位がより短い時間でもって共通電極部 622 の基準電位に近づくものと考えられる。

[0104] 以上説明したように本実施形態によれば、抵抗性素子には、画素電極部 618 と共通電極部 622 との間を引き回される抵抗性配線部（配線部）56

が含まれる。このように、画素電極部 6 1 8 と共通電極部 6 2 2 との間に引き回される抵抗性配線部 5 6 が抵抗性素子に含まれているので、画素用 T F T 6 1 7 によって画素電極部 6 1 8 に充電される電位が基準電位よりも高い場合と低い場合とで、画素電極部 6 1 8 の電位が配線部によって基準電位に達するまでの時間が同等になる。これにより、画素電極部 6 1 8 の電位に係る保持期間を一定に維持することができる。

[0105] <実施形態 8>

本発明の実施形態 8 を図 2 7 から図 2 9 によって説明する。この実施形態 8 では、上記した実施形態 1 に記載したものと同様の抵抗性 T F T 7 3 2 を、画素電極部 7 1 8 と補助容量配線部 7 2 5 との間に介在させた構成を示す。なお、上記した実施形態 1 と同様の構造、作用及び効果について重複する説明は省略する。

[0106] 本実施形態に係る抵抗性 T F T 7 3 2 は、図 2 7 に示すように、画素電極部 7 1 8 と補助容量配線部 7 2 5 とに対して間に介在する形で接続されている。抵抗性 T F T 7 3 2 は、ゲート電極部 7 3 2 a と、ソース電極部 7 3 2 b と、ドレイン電極部 7 3 2 c と、ソース電極部 7 3 2 b とドレイン電極部 7 3 2 c とを接続するチャネル部 7 3 2 d と、を少なくとも有しており、このうちのゲート電極部 7 3 2 a 及びソース電極部 7 3 2 b が画素電極部 7 1 8 に、ドレイン電極部 7 3 2 c が補助容量配線部 7 2 5 にそれぞれ接続されている。

[0107] 抵抗性 T F T 7 3 2 は、図 2 8 及び図 2 9 に示すように、平面に視て Y 軸方向について画素用 T F T 7 1 7 と補助容量配線部 7 2 5 との間に配されるとともに、その一部が、画素用 T F T 7 1 7 に対して画素用 T F T 7 1 7 に接続された画素電極部 7 1 8 側とは反対側に配された補助容量配線部 7 2 5 と重畳する形で配されている。また、抵抗性 T F T 7 3 2 は、平面に視て X 軸方向について画素用 T F T 7 1 7 に接続されたソース配線 7 2 0 と、画素用 T F T 7 1 7 に接続されたドレイン配線 7 2 9 との間に配されている。抵抗性 T F T 7 3 2 をなすゲート電極部 7 3 2 a は、Y 軸方向に沿って延在す

るとともにソース電極部 7 3 2 b、ドレイン電極部 7 3 2 c、及びチャンネル部 7 3 2 d の全域に対して平面に視て重畳し且つソース電極部 7 3 2 b に対してドレイン電極部 7 3 2 c 側とは反対側に延出するゲート延出部 7 3 2 a 1 を有する形で形成されている。画素電極部 7 1 8 には、抵抗性 T F T 7 3 2 の一部、具体的にはドレイン電極部 7 3 2 c と、ゲート電極部 7 3 2 a におけるゲート延出部 7 3 2 a 1 とに対して平面に視て重畳する画素延出部 7 1 8 b が形成されている。チャンネル部 7 3 2 d は、Y 軸方向に沿って延在するとともにソース電極部 7 3 2 b とドレイン電極部 7 3 2 c とを架け渡して両電極部 7 3 2 b, 7 3 2 c 間での電子の移動を可能としている。ソース電極部 7 3 2 b は、ゲート電極部 7 3 2 a における略中央位置に配されるとともに島状に形成されているのに対し、ドレイン電極部 7 3 2 c は、ゲート電極部 7 3 2 a におけるゲート延出部 7 3 2 a 1 側とは反対側の端部に配されている。上記した説明を除いては、抵抗性 T F T 7 3 2 の詳しい構成（例えば、チャンネル部 7 3 2 d とソース電極部 7 3 2 b 及びドレイン電極部 7 3 2 c との接続構造、ゲート延出部 7 3 2 a 1 と画素延出部 7 1 8 b との接続構造、ソース電極部 7 3 2 b と画素延出部 7 1 8 b との接続構造など）は、上記した実施形態 1 に記載した抵抗性 T F T 3 2 と同様である。

[0108] そして、ドレイン電極部 7 3 2 c には、同じ第 2 金属膜 7 3 8 からなる補助容量接続配線部 6 2 が接続されている。補助容量接続配線部 6 2 は、Y 軸方向に沿って延在するとともに、一方の端部がドレイン電極部 7 3 2 c に接続されるのに対して他方の端部が抵抗性 T F T 7 3 2 に対して隣り合う補助容量配線部 7 2 5 と平面に視て重畳する形で配されており、この他方の端部が補助容量配線部 7 2 5 に対する補助容量接続部 6 2 a とされている。互いに重畳する補助容量接続部 6 2 a と補助容量配線部 7 2 5 との間に介在するゲート絶縁膜 7 3 5 及び保護膜 7 3 7 には、補助容量接続部 6 2 a と補助容量配線部 7 2 5 とを接続するための補助容量配線接続用コンタクトホール 6 3 が上下に貫通する形で形成されている。これにより、ドレイン電極部 7 3 2 c は、補助容量配線部 7 2 5 の基準電位と同電位とされる。

[0109] 以上の構成によれば、例えば、画素用TF717により画素電極部718が充電された場合には、図27に示すように、その画素電極部718と同電位とされた抵抗性TF732のゲート電極部732a及びソース電極部732bと、補助容量配線部725と同電位とされたドレイン電極部732cとの間に電位差が生じる。従って、抵抗性TF732は、実質的にダイオードとして機能し、チャンネル部732dを介してソース電極部732bとドレイン電極部732cとの間に電流が流される（電荷が移動される）ようになっており、それにより画素電極部718と補助容量配線部725との間で電荷が移動し、やがては画素電極部718と補助容量配線部725とが同電位となる。これにより、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどが生じ難いものとなる。なお、画素用TF717の詳しい駆動方法、及びそれに伴う作用及び効果に関しては、上記した実施形態1と同様であり、重複する説明は割愛する。

[0110] 以上説明したように本実施形態によれば、画素電極部718との間で静電容量を形成する補助容量配線部725が備えられており、基準電位部は、補助容量配線部725からなる。このようにすれば、抵抗性素子である抵抗性TF732によって画素電極部718との間で電荷が移動される基準電位部を、画素電極部718との間で静電容量を形成する補助容量配線部725としているから、抵抗性素子である抵抗性TF732を介した電荷の移動に伴い、画素電極部718と補助容量配線部725との間の電位差を0に近づけることができる。これにより、表示画像に焼き付きやフリッカなどを一層生じ難くさせることができる。

[0111] <実施形態9>

本発明の実施形態9を図30から図32によって説明する。この実施形態9では、上記した実施形態3に記載したものと同様の抵抗性TF833を、画素電極部818と補助容量配線部825との間に介在させた構成を示す。なお、上記した実施形態3、8と同様の構造、作用及び効果について重複する説明は省略する。

[0112] 本実施形態に係る抵抗性TF T 8 3 3は、図30に示すように、画素電極部7 1 8と補助容量配線部8 2 5とに対して間に介在する形で接続されている。抵抗性TF T 8 3 3は、ゲート電極部8 3 3 aと、ソース電極部8 3 3 bと、ドレイン電極部8 3 3 cと、ソース電極部8 3 3 bとドレイン電極部8 3 3 cとを接続するチャンネル部8 3 3 dと、を少なくとも有しており、このうちのソース電極部8 3 3 bが画素電極部8 1 8に、ゲート電極部8 3 3 a及びドレイン電極部8 3 3 cが補助容量配線部8 2 5にそれぞれ接続されている。

[0113] 補助容量配線部8 2 5には、図31及び図32に示すように、Y軸方向に沿って隣り合う画素用TF T 8 1 7に向けて延出する補助容量延出部8 2 5 aが分岐する形で形成されている。抵抗性TF T 8 3 3は、この補助容量延出部8 2 5 aに対して平面に視て重畳する形で形成されている。そして、抵抗性TF T 8 3 3をなすゲート電極部8 3 3 aは、補助容量延出部8 2 5 aにより構成されている。画素電極部8 1 8には、抵抗性TF T 8 3 3の一部、具体的にはソース電極部8 3 3 bに対して平面に視て重畳する画素延出部8 1 8 bが形成されている。チャンネル部8 3 3 dは、Y軸方向に沿って延在するとともにソース電極部8 3 3 bとドレイン電極部8 3 3 cとを架け渡して両電極部8 3 3 b, 8 3 3 c間での電子の移動を可能としている。ソース電極部8 3 3 bは、ゲート電極部8 3 3 aにおける補助容量配線部8 2 5側とは反対側の端部に配されるとともに島状に形成されているのに対し、ドレイン電極部8 3 3 cは、ゲート電極部8 3 3 aにおける補助容量配線部8 2 5側の端部に配されている。上記した説明を除いては、抵抗性TF T 8 3 3の詳しい構成（例えば、チャンネル部8 3 3 dとソース電極部8 3 3 b及びドレイン電極部8 3 3 cとの接続構造、ソース電極部8 3 3 bと画素延出部8 1 8 bとの接続構造など）は、上記した実施形態3に記載した抵抗性TF T 8 3 3と同様である。

[0114] そして、ドレイン電極部8 3 3 cには、同じ第2金属膜8 3 8からなる補助容量接続配線部8 6 2が接続されている。補助容量接続配線部8 6 2は、

Y軸方向に沿って延在するとともに、その全域が補助容量延出部825a及び補助容量配線部825と平面に視て重畳する形で配されている。補助容量接続配線部862は、一方の端部がドレイン電極部833cに接続されるのに対して他方の端部が補助容量配線部825に接続されており、この他方の端部が補助容量配線部825に対する補助容量接続部862aとされている。互いに重畳する補助容量接続部862aと補助容量配線部825との間に介在するゲート絶縁膜835及び保護膜837には、補助容量接続部862aと補助容量配線部825とを接続するための補助容量配線接続用コンタクトホール863が上下に貫通する形で形成されている。これにより、ドレイン電極部833cは、補助容量配線部825の基準電位と同電位とされる。

[0115] 以上の構成によれば、例えば、画素用TF T817により画素電極部818が充電された場合には、図30に示すように、その画素電極部818と同電位とされた抵抗性TF T833のソース電極部833bと、補助容量配線部825と同電位とされたゲート電極部833a及びドレイン電極部833cとの間に電位差が生じる。従って、抵抗性TF T833は、実質的にダイオードとして機能し、チャネル部833dを介してソース電極部833bとドレイン電極部833cとの間に電流が流される（電荷が移動される）ようになっており、それにより画素電極部818と補助容量配線部825との間で電荷が移動し、やがては画素電極部818と補助容量配線部825とが同電位となる。これにより、特殊な制御を行うことなく、表示画像に焼き付きやフリッカなどが生じ難いものとなる。なお、画素用TF T817の詳しい駆動方法、及びそれに伴う作用及び効果に関しては、上記した実施形態3と同様であり、重複する説明は割愛する。

[0116] <実施形態10>

本発明の実施形態10を図33によって説明する。この実施形態10では、上記した実施形態7に記載した抵抗性配線部956の配素形態を変更したものを示す。なお、上記した実施形態7と同様の構造、作用及び効果について重複する説明は省略する。

[0117] 本実施形態に係る抵抗性配線部 9 5 6 は、図 3 3 に示すように、第 1 配線部 9 5 6 a 及び第 2 配線部 9 5 6 b が共に平面に視て蛇行形状となるよう形成されている。詳しくは、第 1 配線部 9 5 6 a をなす第 1 下層側配線部 9 5 6 a 1 は、第 1 上層側配線部 9 5 6 a 2 との接続箇所と、第 2 配線部 9 5 6 b との接続箇所との間に配される部分が、平面に視て蛇行した形状とされており、それにより上記した実施形態 7 に記載した第 1 配線部 5 6 a に比べて延面距離及び配線抵抗値が共に大きなものとなっている。第 2 配線部 9 5 6 b をなす第 2 上層側配線部 9 5 6 b 2 は、第 2 下層側配線部 9 5 6 b 1 との接続箇所と、第 1 配線部 9 5 6 a との接続箇所との間に配される部分が、平面に視て蛇行した形状とされており、それにより上記した実施形態 7 に記載した第 2 配線部 5 6 b に比べて延面距離及び配線抵抗値が共に大きなものとなっている。以上により、抵抗性配線部 9 5 6 の配線抵抗値は、上記した実施形態 7 に記載した抵抗性配線部 5 6 の配線抵抗値に比べて大きなものとされており、それにより通常の使用時において、液晶パネルに画像を表示するに際して画素用 T F T 9 1 7 により充電された画素電極部 9 1 8 の電位を一定期間（例えば 1 フレーム表示期間）維持する上でより好適となり、もって表示画像に係る表示品位が損なわれる事態がより生じ難くなる。

[0118] <実施形態 1 1>

本発明の実施形態 1 1 を図 3 4 によって説明する。この実施形態 1 1 では、上記した実施形態 1 に記載したものと同様の抵抗性 T F T 1 0 3 2 と、上記した実施形態 7 に記載したものと同様の抵抗性配線部 1 0 5 6 とを直列に接続した構成を示す。なお、上記した実施形態 1, 7 と同様の構造、作用及び効果について重複する説明は省略する。

[0119] 本実施形態では、図 3 4 に示すように、画素電極部 1 0 1 8 と共通電極部 1 0 2 2 との間に介在する抵抗性素子が、互いに直列接続される抵抗性 T F T 1 0 3 2 と抵抗性配線部 1 0 5 6 とから構成されている。抵抗性 T F T 1 0 3 2 は、そのゲート電極部 1 0 3 2 a 及びソース電極部 1 0 3 2 b が画素電極部 1 0 1 8 に接続されるのに対し、ドレイン電極部 1 0 3 2 c が抵抗性

配線部 1056 の一端側に接続されている。抵抗性配線部 1056 は、一端側がドレイン電極部 1032c に接続されるのに対し、他端側が共通電極部 1022 に接続されている。このような構成であっても、画素電極部 1018 と共通電極部 1022 との間に電位差が生じた場合には、抵抗性 TFT 1032 及び抵抗性配線部 1056 を介して電荷が画素電極部 1018 と共通電極部 1022 との間を移動して、やがては画素電極部 1018 の電位が共通電極部 1022 と同電位に達するものとされるとともに、その電荷に対して抵抗性 TFT 1032 及び抵抗性配線部 1056 が抵抗成分を構成することで、画素電極部 1018 の電位が瞬時に共通電極部 1022 と同電位に達することが回避される。そして、画素電極部 1018 と共通電極部 1022 との間を移動する電荷に対する抵抗値は、上記した実施形態 1 に記載したものや、上記した実施形態 7 に記載したものよりも高いものとされ、それにより通常の使用時において、液晶パネルに画像を表示するに際して画素用 TFT 1017 により充電された画素電極部 1018 の電位を一定期間維持する上でより好適となり、もって表示画像に係る表示品位が損なわれる事態がより生じ難くなる。

[0120] <実施形態 12>

本発明の実施形態 12 を図 35 によって説明する。この実施形態 12 では、上記した実施形態 3 に記載したものと同様の抵抗性 TFT 1133 と、上記した実施形態 7 に記載したものと同様の抵抗性配線部 1156 とを直列に接続した構成を示す。なお、上記した実施形態 3, 7 と同様の構造、作用及び効果について重複する説明は省略する。

[0121] 本実施形態では、図 35 に示すように、画素電極部 1118 と共通電極部 1122 との間に介在する抵抗性素子が、互いに直列接続される抵抗性 TFT 1133 と抵抗性配線部 1156 とから構成されている。抵抗性 TFT 1133 は、そのソース電極部 1133b が画素電極部 1118 に接続されるのに対し、ゲート電極部 1133a 及びドレイン電極部 1133c が抵抗性配線部 1156 の一端側に接続されている。抵抗性配線部 1156 は、一端

側がゲート電極部 1 1 3 3 a 及びドレイン電極部 1 1 3 3 c に接続されるのに対し、他端側が共通電極部 1 1 2 2 に接続されている。このような構成であっても、画素電極部 1 1 1 8 と共通電極部 1 1 2 2 との間に電位差が生じた場合には、抵抗性 T F T 1 1 3 3 及び抵抗性配線部 1 1 5 6 を介して電荷が画素電極部 1 1 1 8 と共通電極部 1 1 2 2 との間を移動して、やがては画素電極部 1 1 1 8 の電位が共通電極部 1 1 2 2 と同電位に達するものとされるとともに、その電荷に対して抵抗性 T F T 1 1 3 3 及び抵抗性配線部 1 1 5 6 が抵抗成分を構成することで、画素電極部 1 1 1 8 の電位が瞬時に共通電極部 1 1 2 2 と同電位に達することが回避される。そして、画素電極部 1 1 1 8 と共通電極部 1 1 2 2 との間を移動する電荷に対する抵抗値は、上記した実施形態 3 に記載したものや、上記した実施形態 7 に記載したものよりも高いものとされ、それにより通常の使用時において、液晶パネルに画像を表示するに際して画素用 T F T 1 1 1 7 により充電された画素電極部 1 1 1 8 の電位を一定期間維持する上でより好適となり、もって表示画像に係る表示品位が損なわれる事態がより生じ難くなる。

[0122] <実施形態 1 3>

本発明の実施形態 1 3 を図 3 6 によって説明する。この実施形態 1 3 では、上記した実施形態 5 に記載したものと同様の抵抗性 T F T 1 2 4 8 と、上記した実施形態 7 に記載したものと同様の抵抗性配線部 1 2 5 6 とを直列に接続した構成を示す。なお、上記した実施形態 5, 7 と同様の構造、作用及び効果について重複する説明は省略する。

[0123] 本実施形態では、図 3 6 に示すように、画素電極部 1 2 1 8 と共通電極部 1 2 2 2 との間に介在する抵抗性素子が、互いに直列接続される抵抗性 T F T 1 2 4 8 と抵抗性配線部 1 2 5 6 とから構成されている。抵抗性 T F T 1 2 4 8 は、第 1 ゲート電極部 1 2 4 9 a 及び第 1 ソース電極部 1 2 4 9 b が画素電極部 1 2 1 8 に接続された第 1 抵抗性 T F T 1 2 4 9 と、第 2 ドレイン電極部 1 2 5 0 c が第 1 抵抗性 T F T 1 2 4 9 をなす第 1 ドレイン電極部 1 2 4 9 c に接続され且つ第 2 ゲート電極部 1 2 5 0 a 及び第 2 ソース電極

部 1 2 5 0 b が抵抗性配線部 1 1 5 6 の一端側に接続された第 2 抵抗性 T F T 1 2 5 0 とからなるものとされる。抵抗性配線部 1 2 5 6 は、一端側が第 2 抵抗性 T F T 1 2 5 0 をなす第 2 ゲート電極部 1 2 5 0 a 及び第 2 ソース電極部 1 2 5 0 b に接続されるのに対し、他端側が共通電極部 1 2 2 2 に接続されている。このような構成であっても、画素電極部 1 2 1 8 と共通電極部 1 2 2 2 との間に電位差が生じた場合には、抵抗性 T F T 1 2 4 8 をなす第 1 抵抗性 T F T 1 2 4 9 及び第 2 抵抗性 T F T 1 2 5 0 と、抵抗性配線部 1 2 5 6 とを介して電荷が画素電極部 1 2 1 8 と共通電極部 1 2 2 2 との間を移動して、やがては画素電極部 1 2 1 8 の電位が共通電極部 1 2 2 2 と同電位に達するものとされるとともに、その電荷に対して抵抗性 T F T 1 2 4 8 をなす第 1 抵抗性 T F T 1 2 4 9 及び第 2 抵抗性 T F T 1 2 5 0 と、抵抗性配線部 1 2 5 6 とが抵抗成分を構成することで、画素電極部 1 2 1 8 の電位が瞬時に共通電極部 1 2 2 2 と同電位に達することが回避される。そして、画素電極部 1 2 1 8 と共通電極部 1 2 2 2 との間を移動する電荷に対する抵抗値は、上記した実施形態 5 に記載したものや、上記した実施形態 7 に記載したものよりも高いものとされ、それにより通常の使用時において、液晶パネルに画像を表示するに際して画素用 T F T 1 2 1 7 により充電された画素電極部 1 2 1 8 の電位を一定期間維持する上でより好適となり、もって表示画像に係る表示品位が損なわれる事態がより生じ難くなる。

[0124] <他の実施形態>

本発明は上記記述及び図面によって説明した実施形態に限定されるものではなく、例えば次のような実施形態も本発明の技術的範囲に含まれる。

(1) 上記した各実施形態以外にも、アレイ基板における抵抗性素子（抵抗性 T F T 及び抵抗性配線部）の平面配置は適宜に変更可能である。例えば、抵抗性素子を画素用 T F T と、画素用 T F T に接続されたゲート配線と、画素用 T F T に接続されたソース配線に対してその画素用 T F T を挟んで隣り合うソース配線と、画素用 T F T に接続された画素電極部側とは反対側に配された補助容量配線部と、画素用 T F T に接続されたドレイン配線とによ

り取り囲まれた位置に抵抗性素子を配置することも可能である。それ以外にも、X軸方向について画素電極部とソース配線との間に挟まれた位置に抵抗性素子を配置することも可能である。

[0125] (2) 上記した各実施形態（実施形態7，10を除く）では、抵抗性TF_Tをなすチャネル部におけるチャネル長及びチャネル幅が、画素用TF_Tをなす画素用チャネル部におけるチャネル長及びチャネル幅よりもそれぞれ小さくなる構成のものを示したが、抵抗性TF_Tをなすチャネル部におけるチャネル長とチャネル幅とのいずれか一方または両方を、画素用TF_Tをなす画素用チャネル部におけるチャネル長とチャネル幅とのいずれか一方または両方よりも大きくなる構成とすることも可能である。それ以外にも、抵抗性TF_Tをなすチャネル部におけるチャネル長とチャネル幅とのいずれか一方を、画素用TF_Tをなす画素用チャネル部におけるチャネル長とチャネル幅とのいずれか一方と同じ大きさとすることも可能である。その場合であっても、抵抗性TF_Tをなすチャネル部におけるチャネル長をチャネル幅で除した比率が、画素用TF_Tをなす画素用チャネル部におけるチャネル長をチャネル幅で除した比率よりも大きくなる構成とするのが好ましい。

[0126] (3) 上記した各実施形態（実施形態7，10を除く）では、抵抗性TF_Tをなすチャネル部が、画素用TF_Tをなす画素用チャネル部と同一材料からなる場合を例示したが、抵抗性TF_Tをなすチャネル部の材料を、画素用TF_Tをなす画素用チャネル部の材料とは異ならせることも可能である。その場合、抵抗性TF_Tをなすチャネル部に電子移動度の低い半導体材料を用いるようにすれば、抵抗性TF_Tをなすチャネル部におけるチャネル長をチャネル幅で除した比率を、画素用TF_Tをなす画素用チャネル部におけるチャネル長をチャネル幅で除した比率と同等にしたり、或いは小さくすることが可能である。

[0127] (4) 上記した各実施形態では、共通電極部または補助容量配線部における基準電位が常時一定とされる構成のものを例示したが、共通電極部または補助容量配線部における基準電位が変動する構成においても本発明は適用可

能である。

- [0128] (5) 上記した実施形態 2, 4, 6 では、5 つの抵抗性 T F T を直列に接続した構成を例示したが、直列に接続する抵抗性 T F T の数は適宜に変更可能であり、例えば 2 つ～4 つとしたり、6 つ以上とすることが可能である。
- [0129] (6) 上記した実施形態 7, 10 では、抵抗性配線部が第 1 配線部と第 2 配線部との 2 本から構成される場合を例示したが、抵抗性配線部が 3 本以上の配線部からなる構成とすることも可能である。また、抵抗性配線部の具体的な配索経路などは適宜に変更可能である。
- [0130] (7) 上記した実施形態 11, 12 の変形例として、抵抗性 T F T を複数直列に接続することも可能である。その場合、複数の抵抗性 T F T の間に抵抗性配線部を介在させることも可能である。
- [0131] (8) 上記した実施形態 11, 12 の変形例として、画素電極部と抵抗性 T F T との間に抵抗性配線部を介在させる形で配置することも可能である。
- [0132] (9) 上記した実施形態 13 の変形例として、画素電極部と第 1 抵抗性 T F T との間に抵抗性配線部を介在させる形で配置することも可能である。
- [0133] (10) 上記した実施形態 13 の変形例として、第 1 抵抗性 T F T をなす第 1 ドレイン電極部と第 2 抵抗性 T F T をなす第 2 ソース電極部との間に抵抗性配線部を介在させる形で配置することも可能である。
- [0134] (11) 上記した実施形態 13 の変形例として、第 1 抵抗性 T F T と第 2 抵抗性 T F T とのうちのいずれか一方または両方を複数形成することも可能である。
- [0135] (12) 上記した各実施形態では、抵抗性素子として抵抗性 T F T や抵抗性配線部を用いた場合を例示したが、他の素子を用いることも可能である。例えば、電極部を 2 つ備え、それら 2 つの電極部間に半導体膜が介在する形で配される抵抗性ダイオードを抵抗性素子として用いることも可能である。その場合でも、抵抗性ダイオードの半導体膜として画素用 T F T をなす画素用チャネル部と同じ材料を用いるのが好ましい。
- [0136] (13) 上記した各実施形態では、共通電極部に印加される基準電位と、

補助容量配線部に印加される基準電位とが同電位とされる場合を示したが、共通電極部に印加される基準電位と、補助容量配線部に印加される基準電位とが異なる電位とされるものにも本発明は適用可能である。

[0137] (14) 上記した各実施形態以外にも、液晶パネルを駆動するに際して適用するフレームレートは適宜に変更可能であり、例えば120fpsや240fpsなどとすることも可能である。

[0138] (15) 上記した各実施形態では、FFS型の液晶パネルについて例示したが、それ以外にも例えばIPS型の液晶パネルにも本発明は適用可能である。さらには、共通電極部がCF基板側に形成されたVA型の液晶パネルやMVA型の液晶パネルにも本発明は適用可能である。

[0139] (16) 上記した各実施形態では、画素用TFTをなす画素用チャネル部や抵抗性TFTをなすチャネル部に用いる酸化物半導体としてIn-Ga-Zn-O系半導体を例示したが、他の酸化物半導体を用いることも可能である。例えばZn-O系半導体(ZnO)、In-Zn-O系半導体(IZO(登録商標))、Zn-Ti-O系半導体(ZTO)、Cd-Ge-O系半導体、Cd-Pb-O系半導体、CdO(酸化カドニウム)、Mg-Zn-O系半導体、In-Sn-Zn-O系半導体(例えばIn₂O₃-SnO₂-ZnO)、In-Ga-Sn-O系半導体などを含んでいてもよい。

[0140] (17) 上記した各実施形態では、画素用TFTをなす画素用チャネル部や抵抗性TFTをなすチャネル部の材料として酸化物半導体を用いた場合を示したが、それ以外にもアモルファスシリコンや多結晶シリコンを用いることも可能である。多結晶シリコンを用いる場合には、CGシリコン(Continuous Grain Silicon)を用いるのが好ましい。

[0141] (18) 上記した各実施形態では、第1金属膜及び第2金属膜がチタン(Ti)及び銅(Cu)の積層膜により形成される場合を示したが、例えばチタンに代えてモリブデン(Mo)、窒化モリブデン(MoN)、窒化チタン(TiN)、タングステン(W)、ニオブ(Nb)、モリブデン-チタン合金(MoTi)、モリブデン-タングステン合金(MoW)などを用いるこ

とも可能である。それ以外にも、チタン、銅、アルミニウムなどの単層の金属膜を用いることも可能である。

[0142] (19) 上記した各実施形態では、液晶表示装置のスイッチング素子としてTFT（画素用TFT）を用いたが、TFT以外のスイッチング素子（例えば薄膜ダイオード（TFD））を用いた液晶表示装置にも適用可能であり、またカラー表示する液晶表示装置以外にも、白黒表示する液晶表示装置にも適用可能である。

[0143] (20) 上記した各実施形態では、アレイ基板の非表示部に列制御回路部及び行制御回路部を設けるようにした場合を示したが、列制御回路部と行制御回路部とのいずれかまたは双方を省略し、その機能をドライバに担わせることも可能である。行制御回路部を省略した場合には、非表示部側コンタクトホールについても省略されることになる。

[0144] (21) 上記した各実施形態では、ドライバをアレイ基板上に直接COG実装したものを示したが、アレイ基板に対してACFを介して接続したフレキシブル基板上にドライバを実装するようにしたものも本発明に含まれる。

[0145] (22) 上記した各実施形態では、縦長な方形状をなす液晶パネルを例示したが、横長な方形状をなす液晶パネルや正方形をなす液晶パネルにも本発明は適用可能である。

[0146] (23) 上記した各実施形態に記載した液晶パネルに対して、タッチパネルや視差バリアパネル（スイッチ液晶パネル）などの機能性パネルを積層する形で取り付けようにしたものも本発明に含まれる。また、液晶パネルに直接タッチパネルパターンを形成するようにしたものも本発明に含まれる。

[0147] (24) 上記した各実施形態では、液晶表示装置が備えるバックライト装置としてエッジライト型のものを例示したが、直下型のバックライト装置を用いるようにしたものも本発明に含まれる。

[0148] (25) 上記した各実施形態では、外部光源であるバックライト装置を備えた透過型の液晶表示装置を例示したが、本発明は、外光を利用して表示を行う反射型液晶表示装置にも適用可能であり、その場合はバックライト装置

を省略することができる。

[0149] (26) 上記した各実施形態では、液晶表示装置のスイッチング素子としてTFTを用いたが、TFT以外のスイッチング素子（例えば薄膜ダイオード(TFD)）を用いた液晶表示装置にも適用可能であり、またカラー表示する液晶表示装置以外にも、白黒表示する液晶表示装置にも適用可能である。

[0150] (27) 上記した各実施形態では、一对の基板間に液晶層が挟持された構成とされる液晶パネルについて例示したが、一对の基板間に液晶材料以外の機能性有機分子を挟持した表示パネルについても本発明は適用可能である。

[0151] (28) 上記した各実施形態では、表示パネルとして液晶パネルを例示したが、それ以外にも例えばPDP（プラズマディスプレイパネル）や有機ELパネルなどの表示パネルにも本発明は適用可能である。

[0152] (29) 上記した各実施形態では、小型または中小型に分類され、携帯型情報端末、携帯電話（スマートフォンを含む）、ノートパソコン（タブレット型ノートパソコンを含む）、デジタルフォトフレーム、携帯型ゲーム機、電子インクペーパーなどの各種電子機器などに用いられる液晶パネルを例示したが、画面サイズが例えば20インチ～90インチで、中型または大型（超大型）に分類される液晶パネルにも本発明は適用可能である。その場合、液晶パネルをテレビ受信装置、電子看板（デジタルサイネージ）、電子黒板などの電子機器に用いることが可能とされる。

符号の説明

[0153] 11…液晶パネル（表示装置）、11a…アレイ基板、11b…CF基板、11c…液晶層、11h…カラーフィルタ、17, 117, 217, 317, 417, 517, 617, 817, 917, 1017, 1117, 1217…画素用TFT（スイッチング素子、画素用トランジスタ）、17a, 217a, 417a…画素用ゲート電極部、17b, 217b, 417b…画素用ソース電極部、17c, 217c, 417c…画素用ドレイン電極部、17d, 217d, 417d…画素用チャネル部、18, 118, 218

, 3 1 8, 4 1 8, 5 1 8, 6 1 8, 7 1 8, 8 1 8, 9 1 8, 1 0 1 8, 1 1 1 8, 1 2 1 8…画素電極部（画素部）、2 2, 1 2 2, 2 2 2, 3 2 2, 4 2 2, 5 2 2, 6 2 2, 1 0 2 2, 1 1 2 2, 1 2 2 2…共通電極部（基準電位部）、3 2, 1 3 2, 7 3 2, 1 0 3 2…抵抗性ＴＦＴ（抵抗性素子、トランジスタ）、3 2 a, 1 3 2 a, 7 3 2 a, 1 0 3 2 a…ゲート電極部、3 2 b, 1 3 2 b, 7 3 2 b, 1 0 3 2 b…ソース電極部、3 2 c, 1 3 2 c, 7 3 2 c, 1 0 3 2 c…ドレイン電極部、3 2 d, 7 3 2 d…チャネル部、3 3, 3 3 3, 8 3 3, 1 1 3 3…抵抗性ＴＦＴ（抵抗性素子、トランジスタ）、3 3 a, 3 3 3 a, 8 3 3 a, 1 1 3 3 a…ゲート電極部、3 3 b, 3 3 3 b, 8 3 3 b, 1 1 3 3 b…ソース電極部、3 3 c, 3 3 3 c, 8 3 3 c, 1 1 3 3 c…ドレイン電極部、3 3 d, 8 3 3 d…チャネル部、4 8, 5 4 8, 1 2 4 8…抵抗性ＴＦＴ（抵抗性素子、トランジスタ）、4 9, 5 4 9, 1 2 4 9…第１抵抗性ＴＦＴ（第１トランジスタ）、4 9 a, 1 2 4 9 a…第１ゲート電極部、4 9 b, 1 2 4 9 b…第１ソース電極部、4 9 c, 5 4 9 c, 1 2 4 9 c…第１ドレイン電極部、4 9 d…第１チャネル部、5 0, 5 5 0, 1 2 5 0…第２抵抗性ＴＦＴ（第２トランジスタ）、5 0 a, 1 2 5 0 a…第２ゲート電極部、5 0 b, 1 2 5 0 b…第２ソース電極部、5 0 c, 5 5 0 c, 1 2 5 0 c…第２ドレイン電極部、5 0 d…第２チャネル部、5 6, 9 5 6, 1 0 5 6, 1 1 5 6, 1 2 5 6…抵抗性配線部（配線部）、7 2 5, 8 2 5…補助容量配線部（基準電位部）

請求の範囲

- [請求項1] 画素部と、
前記画素部に接続されて前記画素部を充電することが可能なスイッチング素子と、
基準電位とされる基準電位部と、
前記画素部と前記基準電位部とに対して間に介在する形で接続され、前記画素部と前記基準電位部との間を移動する電荷に対する抵抗成分を構成する抵抗性素子と、を備える表示装置。
- [請求項2] 前記抵抗性素子には、ゲート電極部と、ソース電極部と、ドレイン電極部と、前記ソース電極部と前記ドレイン電極部とを接続するチャンネル部と、を少なくとも有していて、前記ゲート電極部が前記画素部と前記基準電位部のいずれかに接続されるとともに、前記ソース電極部と前記ドレイン電極部のうちのいずれか一方が前記画素部に、他方が前記基準電位部にそれぞれ接続されるトランジスタが含まれる請求項1記載の表示装置。
- [請求項3] 前記スイッチング素子は、画素用ゲート電極部と、画素用ソース電極部と、前記画素部に接続される画素用ドレイン電極部と、前記画素用ソース電極部と前記画素用ドレイン電極部とを接続する画素用チャンネル部と、を少なくとも有する画素用トランジスタからなるものとされており、
前記抵抗性素子を構成する前記トランジスタは、前記チャンネル部が前記スイッチング素子を構成する前記画素用トランジスタの前記画素用チャンネル部と同一材料からなる請求項2記載の表示装置。
- [請求項4] 前記抵抗性素子を構成する前記トランジスタは、前記チャンネル部における前記ソース電極部と前記ドレイン電極部との間の距離である長さ寸法を幅寸法で除した比率が、前記スイッチング素子を構成する前記画素用トランジスタの前記画素用チャンネル部における前記画素用ソース電極部と前記画素用ドレイン電極部との間の距離である長さ寸法

を幅寸法で除した比率よりも大きくなるよう形成されている請求項3記載の表示装置。

[請求項5] 前記抵抗性素子を構成する前記トランジスタは、前記ゲート電極部及び前記ソース電極部が前記画素部に、前記ドレイン電極部が前記基準電位部にそれぞれ接続されている請求項2から請求項4のいずれか1項に記載の表示装置。

[請求項6] 前記抵抗性素子を構成する前記トランジスタは、前記ドレイン電極部が前記画素部に、前記ゲート電極部及び前記ソース電極部が前記基準電位部にそれぞれ接続されている請求項2から請求項4のいずれか1項に記載の表示装置。

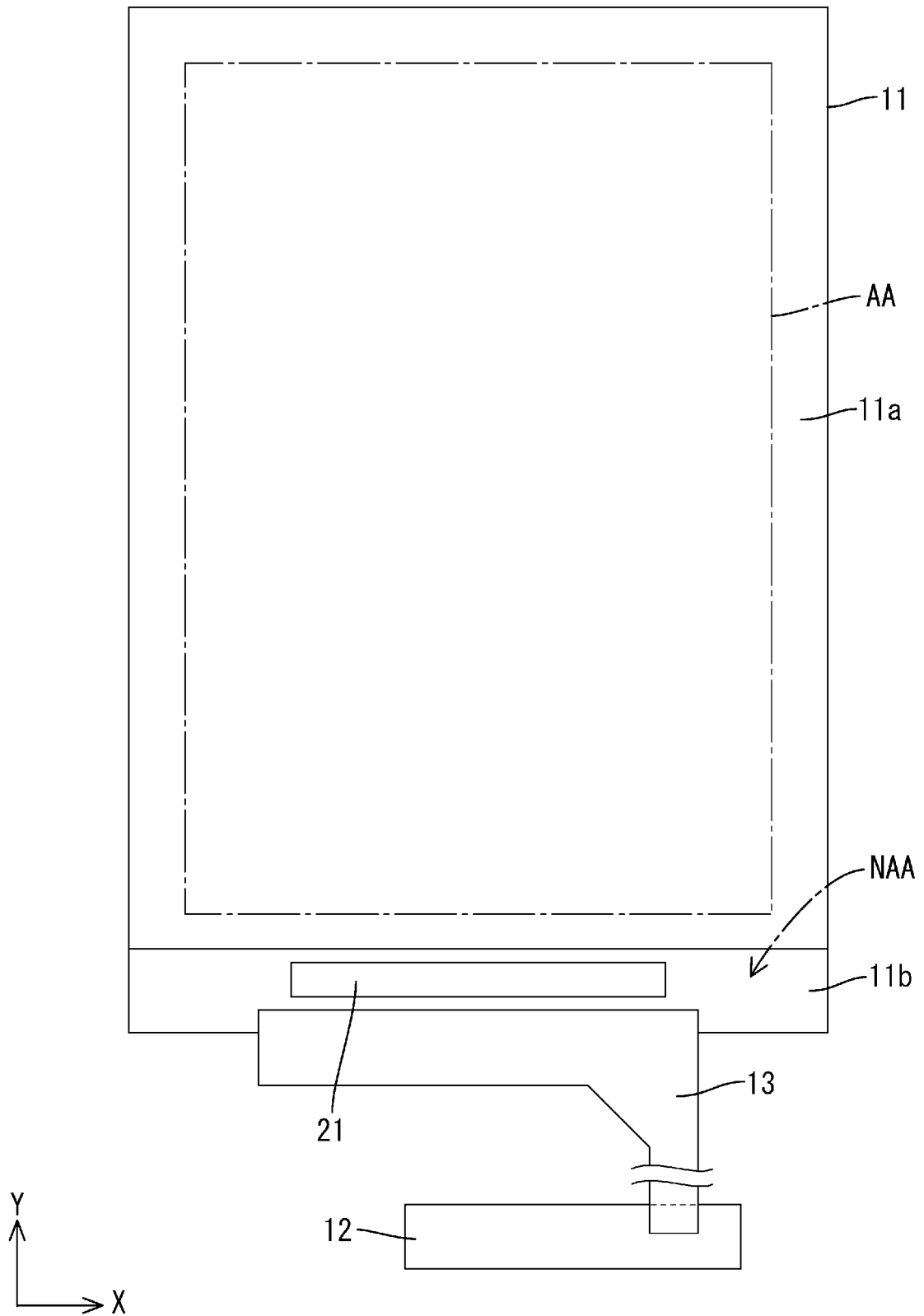
[請求項7] 前記抵抗性素子を構成する前記トランジスタには、
第1ゲート電極部と、第1ソース電極部と、第1ドレイン電極部と、前記第1ソース電極部と前記第1ドレイン電極部とを接続する第1チャンネル部と、を少なくとも有していて、前記第1ゲート電極部及び前記第1ソース電極部が前記画素部にそれぞれ接続される第1トランジスタと、
第2ゲート電極部と、第2ソース電極部と、第2ドレイン電極部と、前記第2ソース電極部と前記第2ドレイン電極部とを接続する第2チャンネル部と、を少なくとも有していて、前記第2ゲート電極部及び前記第2ソース電極部が前記基準電位部にそれぞれ接続され且つ前記前記第2ドレイン電極部が前記第1ドレイン電極部に接続される第2トランジスタと、が含まれている請求項2から請求項4のいずれか1項に記載の表示装置。

[請求項8] 前記抵抗性素子は、前記トランジスタを複数直列に接続してなる請求項2から請求項7のいずれか1項に記載の表示装置。

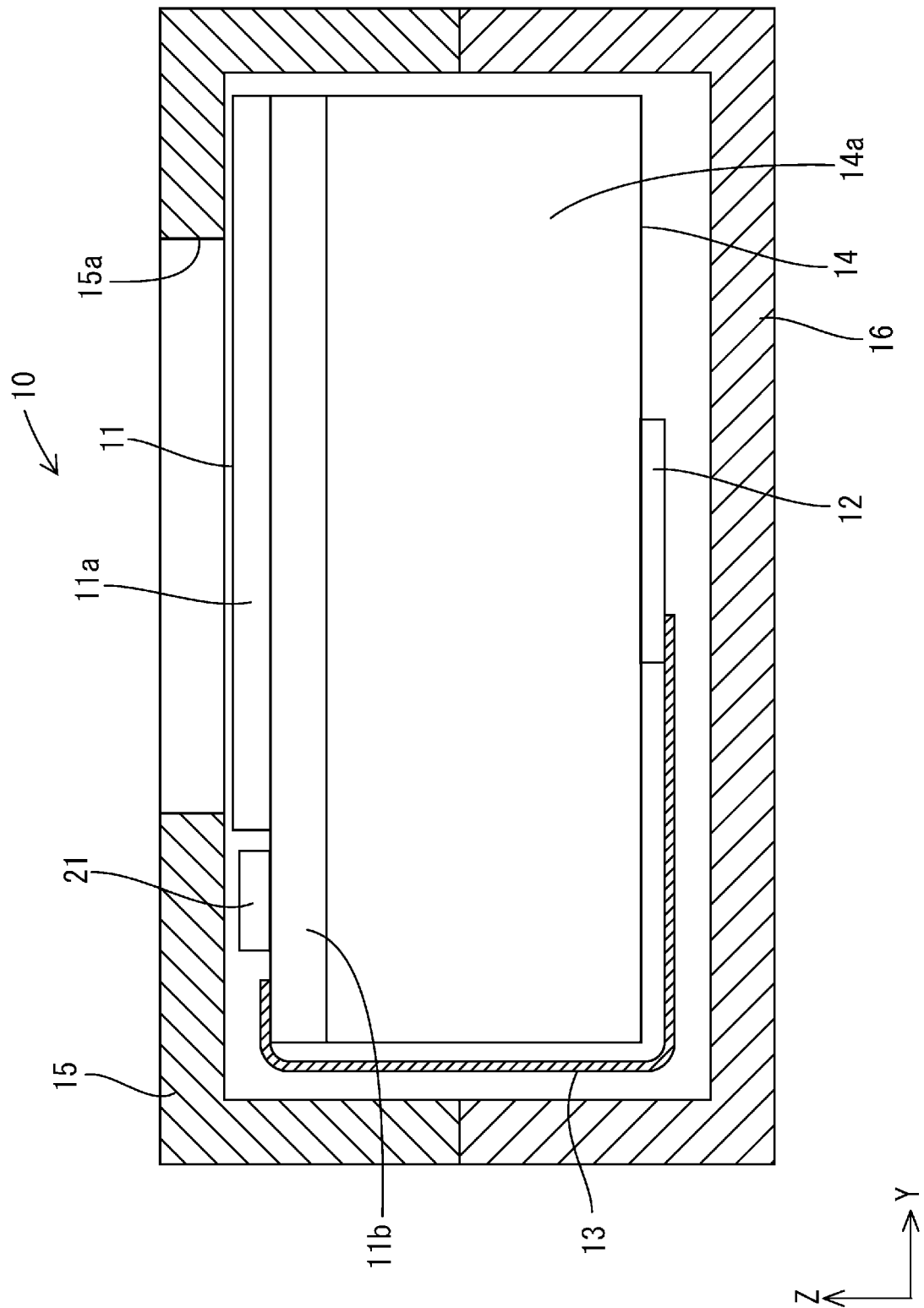
[請求項9] 前記抵抗性素子には、前記画素部と前記基準電位部との間を引き回される配線部が含まれる請求項1から請求項8のいずれか1項に記載の表示装置。

- [請求項10] 前記画素部との間で静電容量を形成する共通電極部が備えられており、
前記基準電位部は、前記共通電極部からなる請求項 1 から請求項 9 のいずれか 1 項に記載の表示装置。
- [請求項11] 前記画素部との間で静電容量を形成する補助容量配線部が備えられており、前記基準電位部は、前記補助容量配線部からなる請求項 1 から請求項 9 のいずれか 1 項に記載の表示装置。
- [請求項12] 前記スイッチング素子は、画素用ゲート電極部と、画素用ソース電極部と、前記画素部に接続される画素用ドレイン電極部と、前記画素用ソース電極部と前記画素用ドレイン電極部とを接続する画素用チャネル部と、を有する画素用トランジスタからなるものとされており、
前記画素用チャネル部は、酸化物半導体からなる請求項 1 から請求項 11 のいずれか 1 項に記載の表示装置。
- [請求項13] 前記酸化物半導体は、インジウム（I n）、ガリウム（G a）、亜鉛（Z n）、酸素（O）を含んでいる請求項 12 記載の表示装置。
- [請求項14] 前記酸化物半導体は、結晶性を有している請求項 13 記載の表示装置。
- [請求項15] 前記画素部、前記スイッチング素子、前記基準電位部、及び前記抵抗性素子が配されたアレイ基板と、前記アレイ基板と対向状をなすとともにカラーフィルタが配された C F 基板と、前記アレイ基板と前記 C F 基板との間に挟持される液晶層と、を備える導光板 1 から請求項 14 のいずれか 1 項に記載の表示装置。

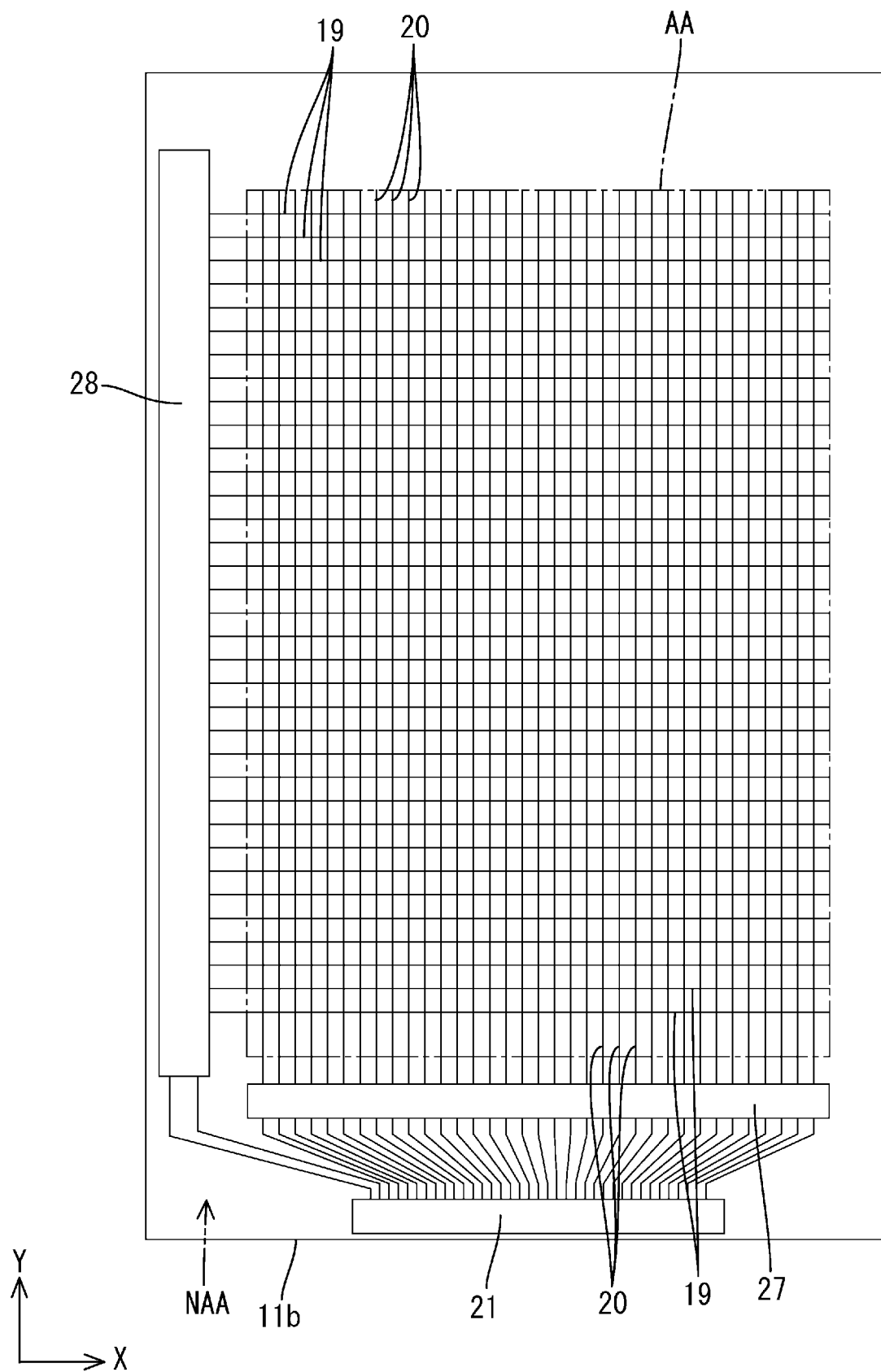
[図1]

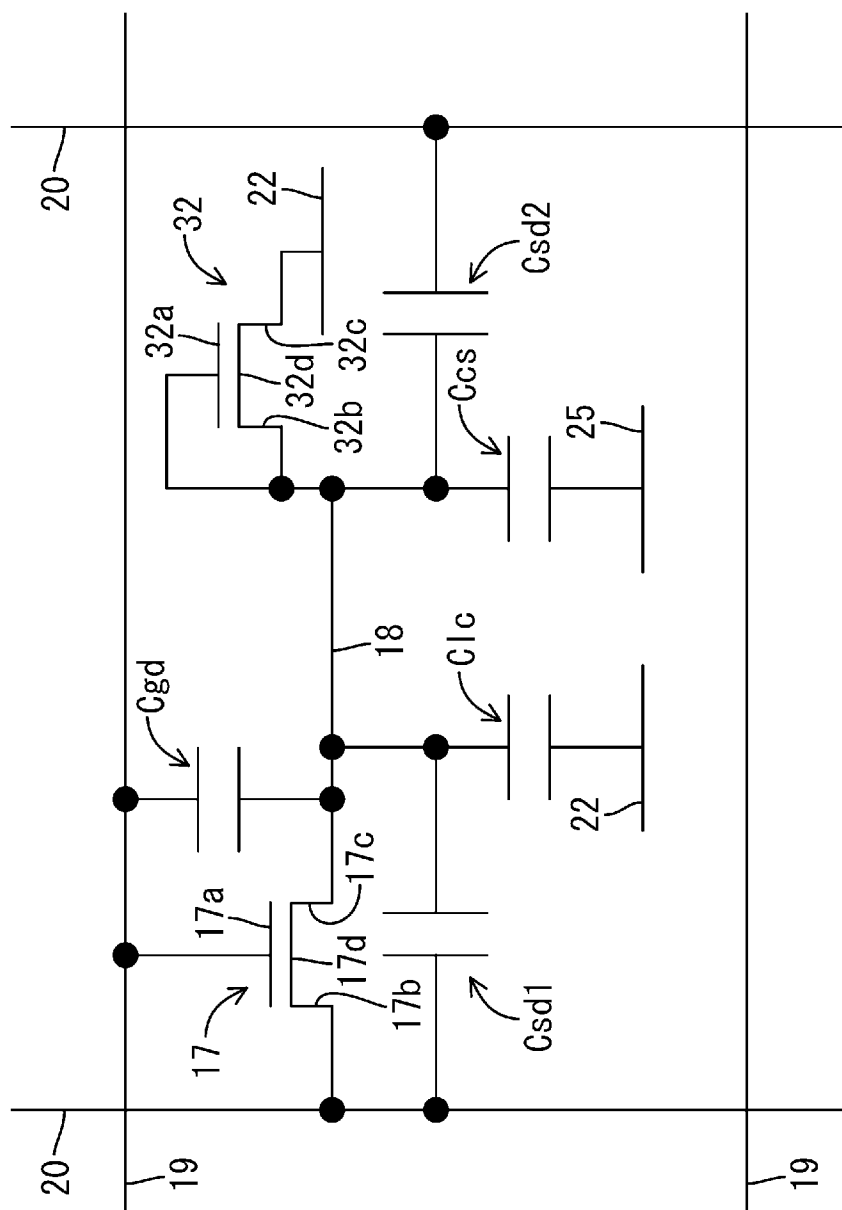


[図2]

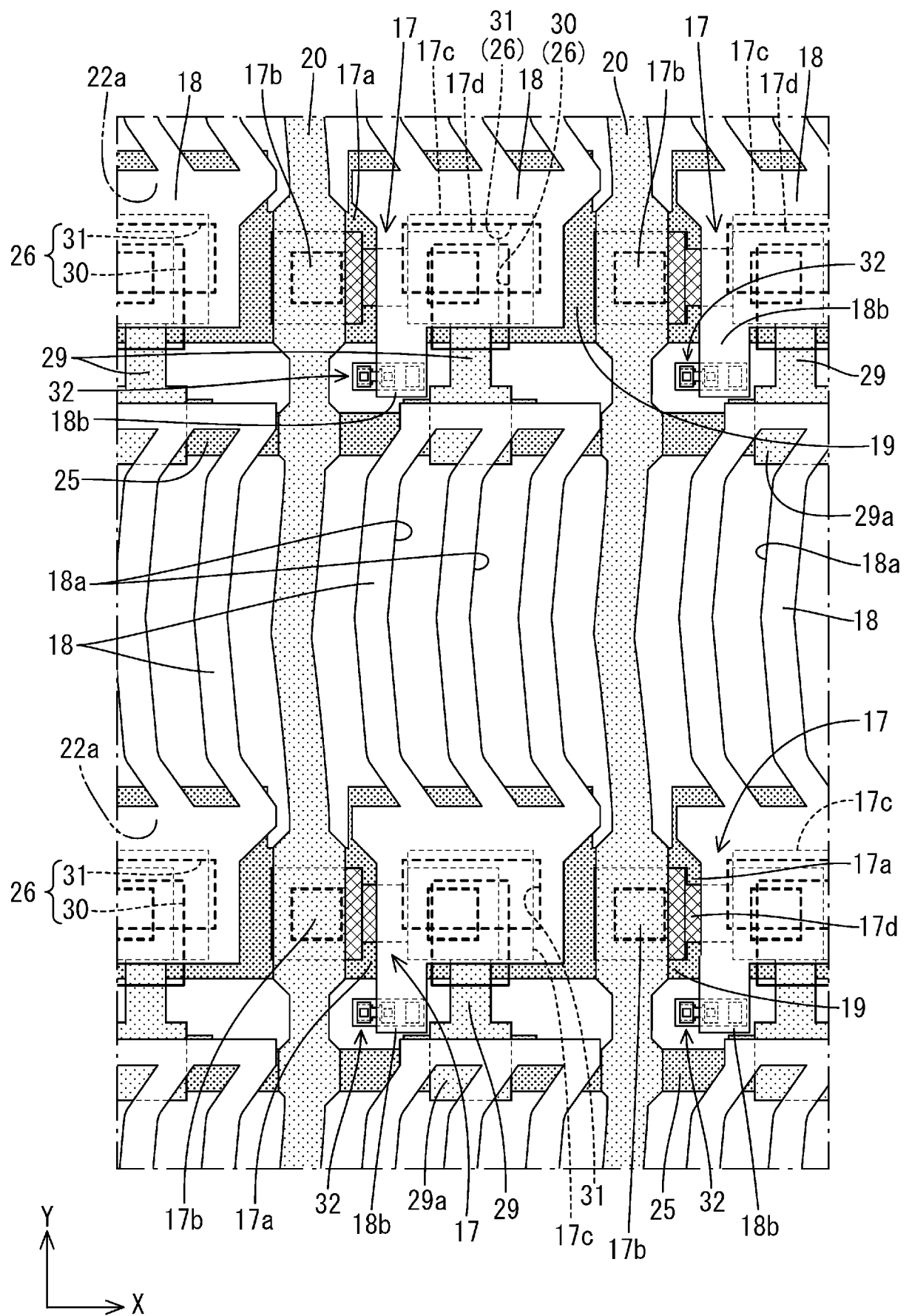


[図4]



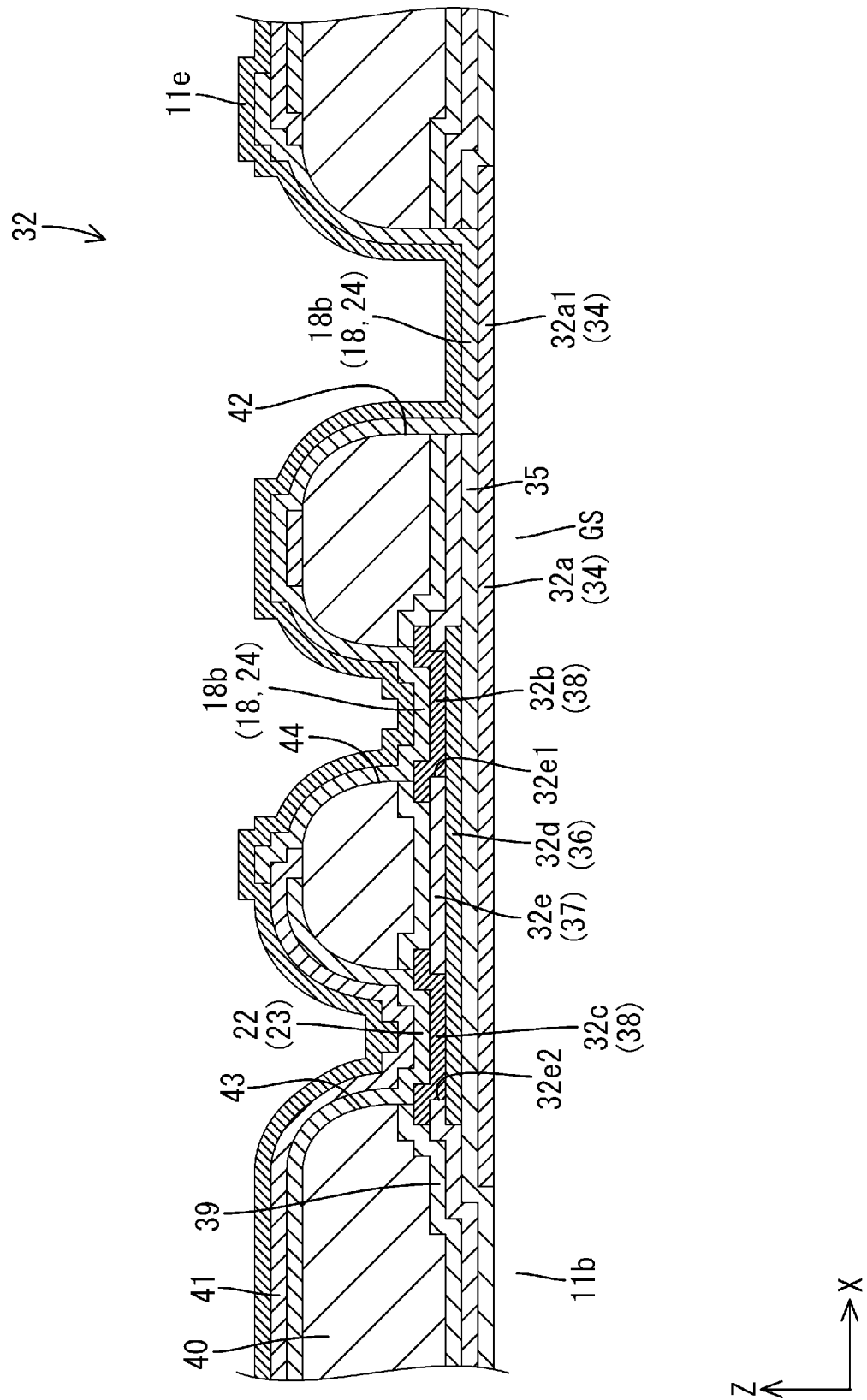


[図6]

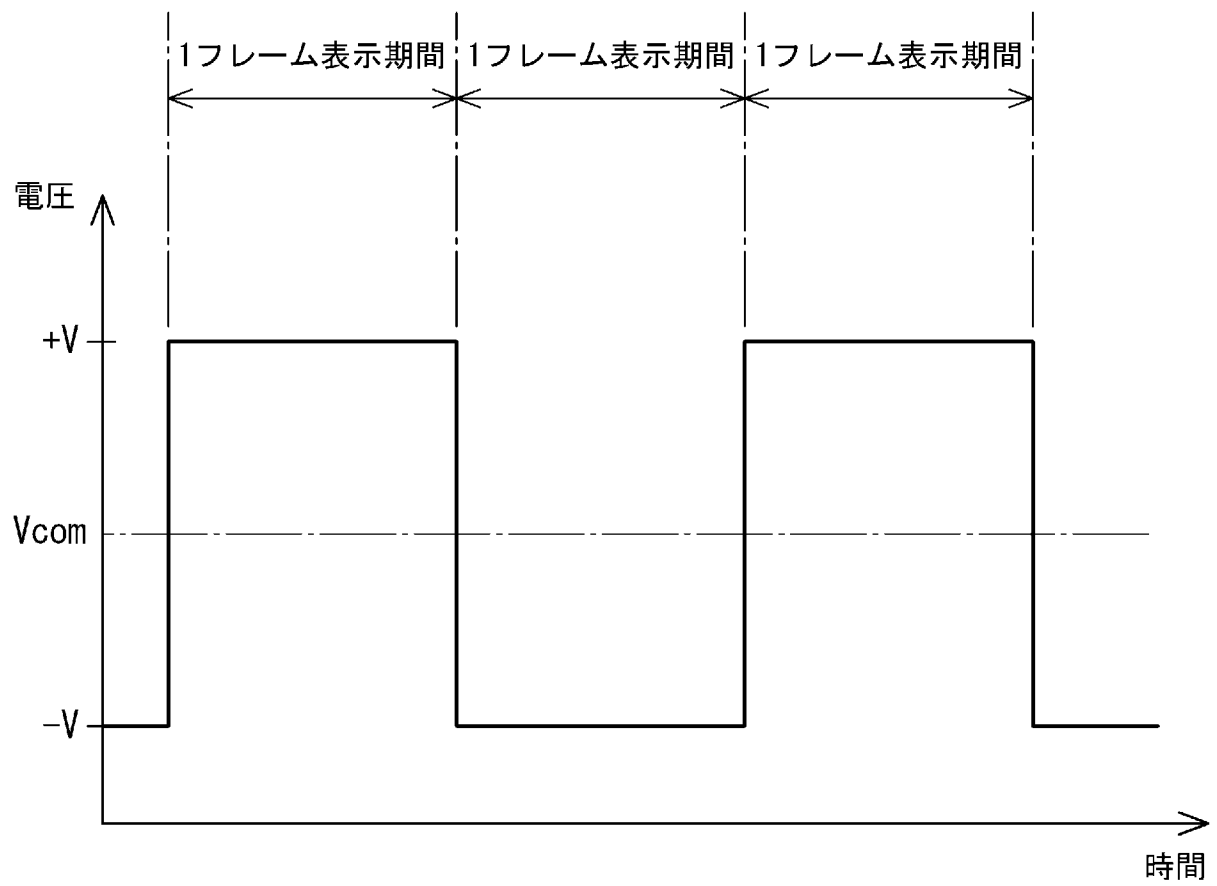


[illegible]

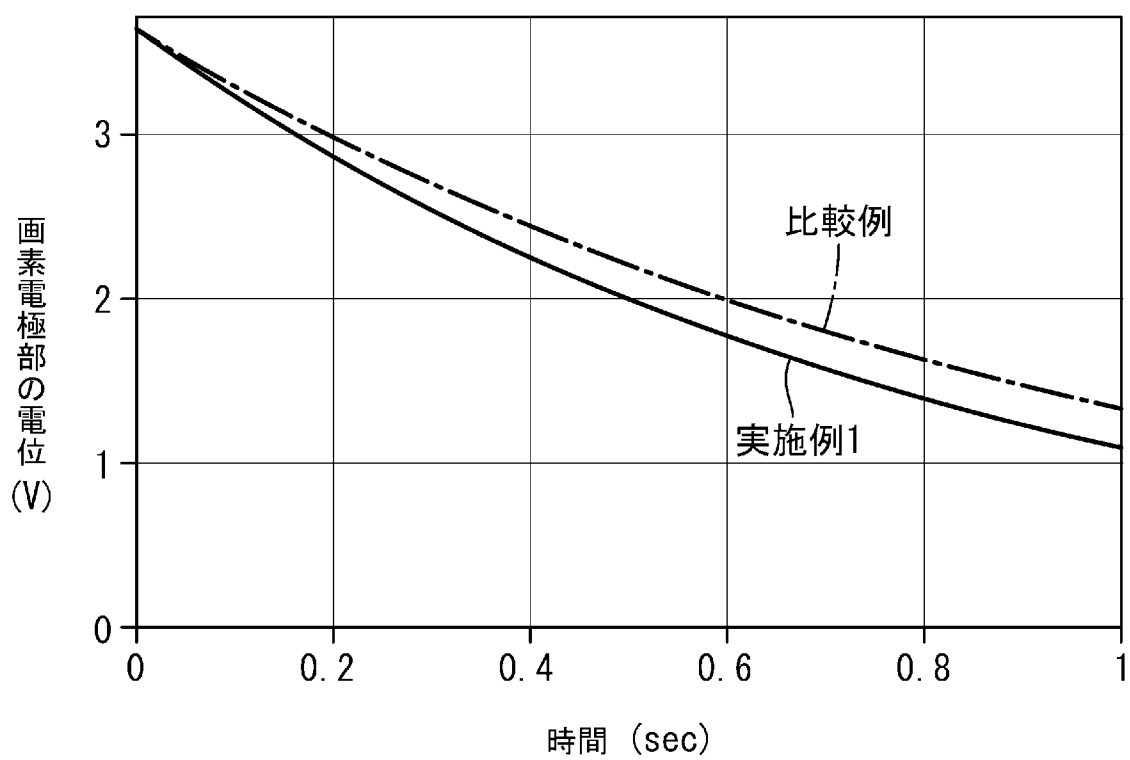
[図9]

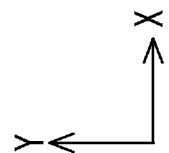


[図10]

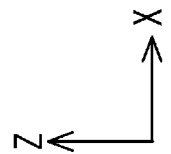
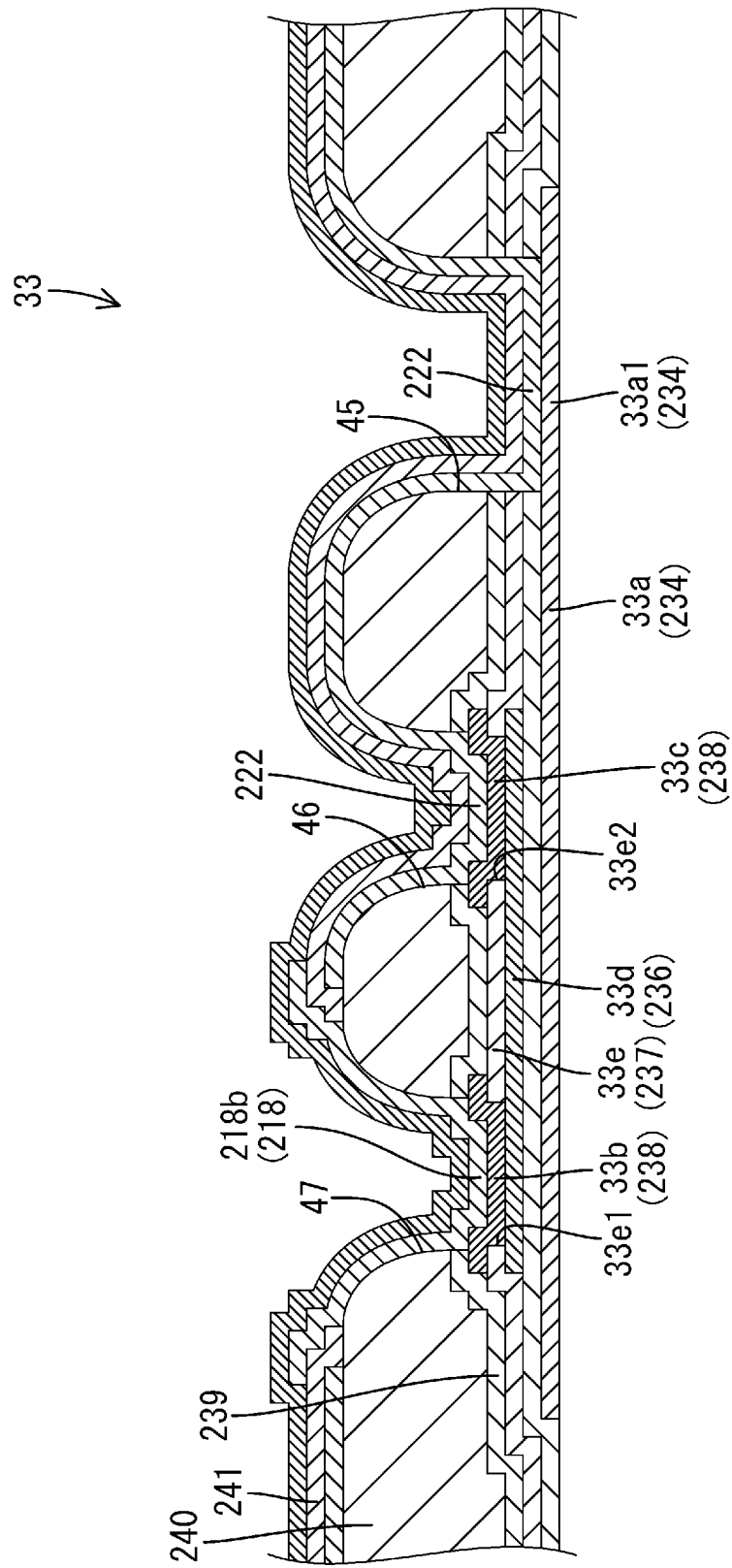


[図12]

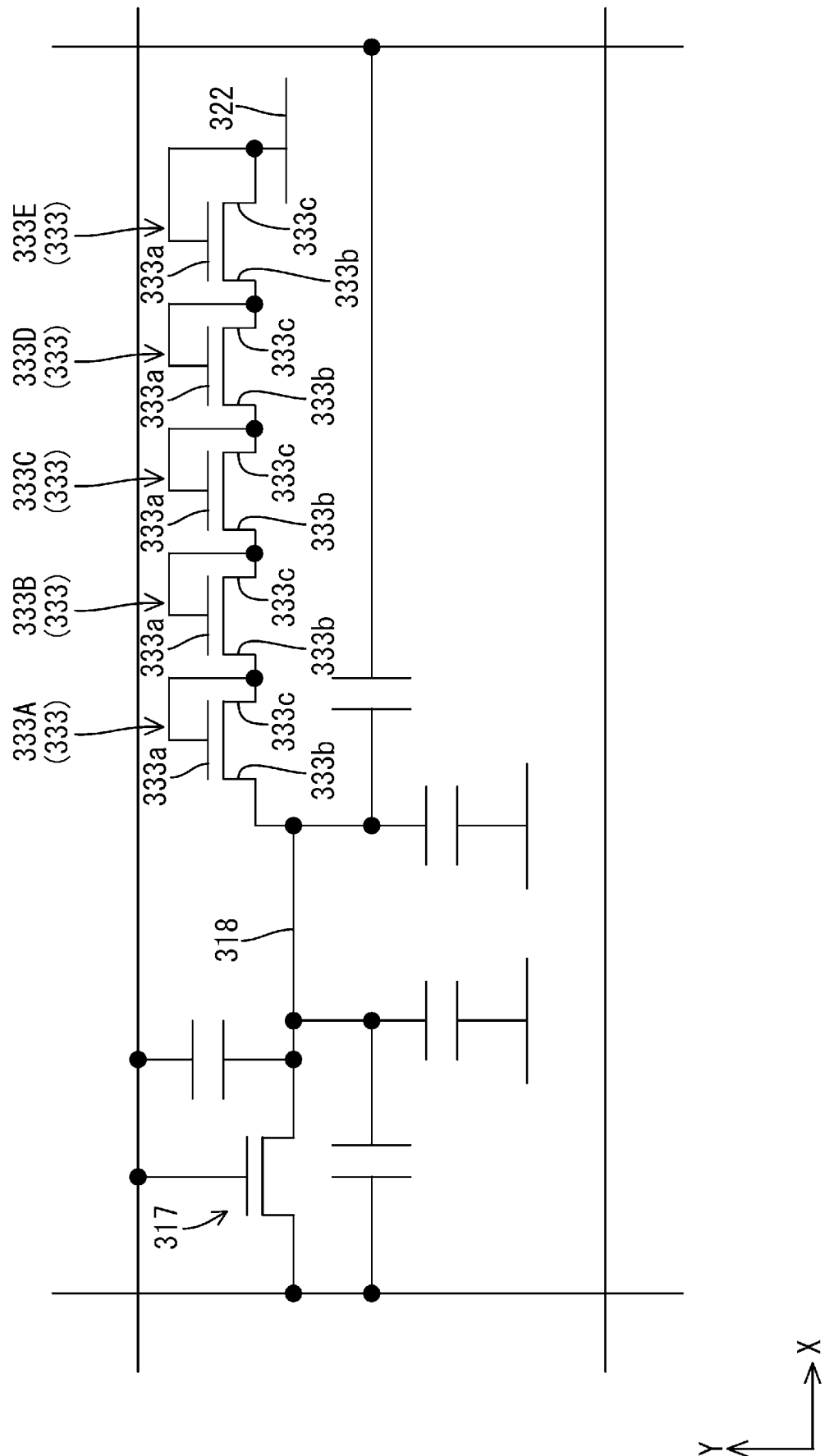


[illegible]

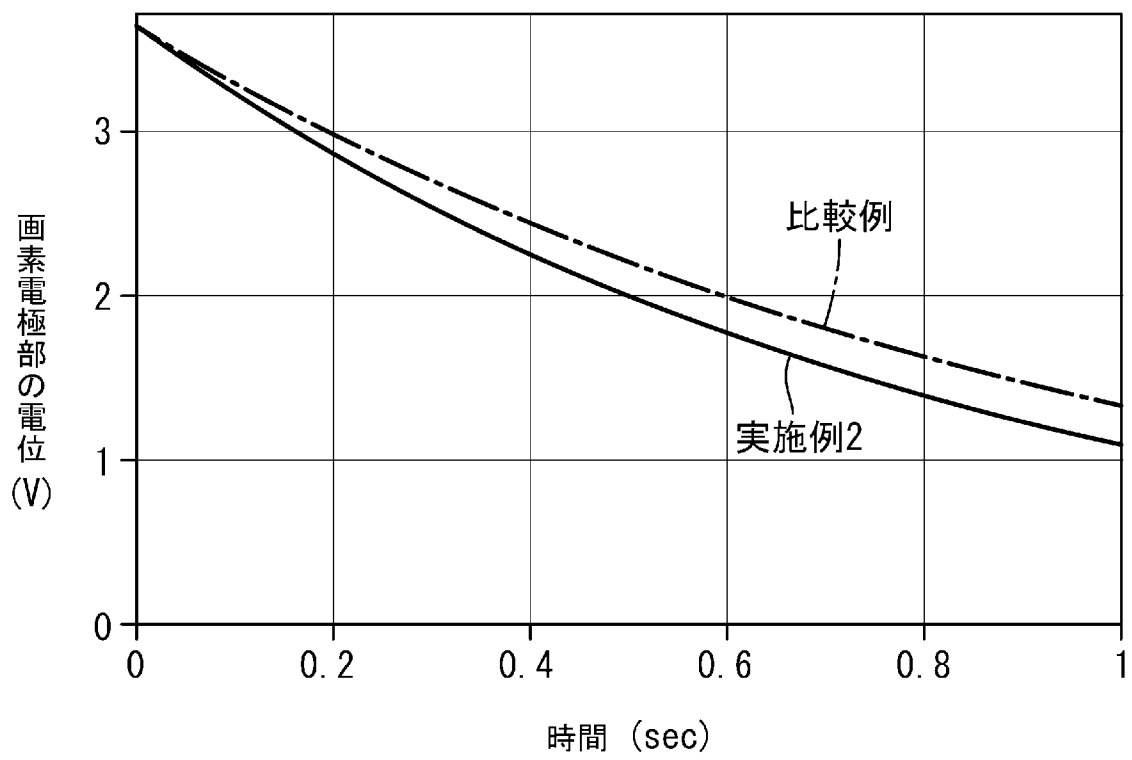
[図15]



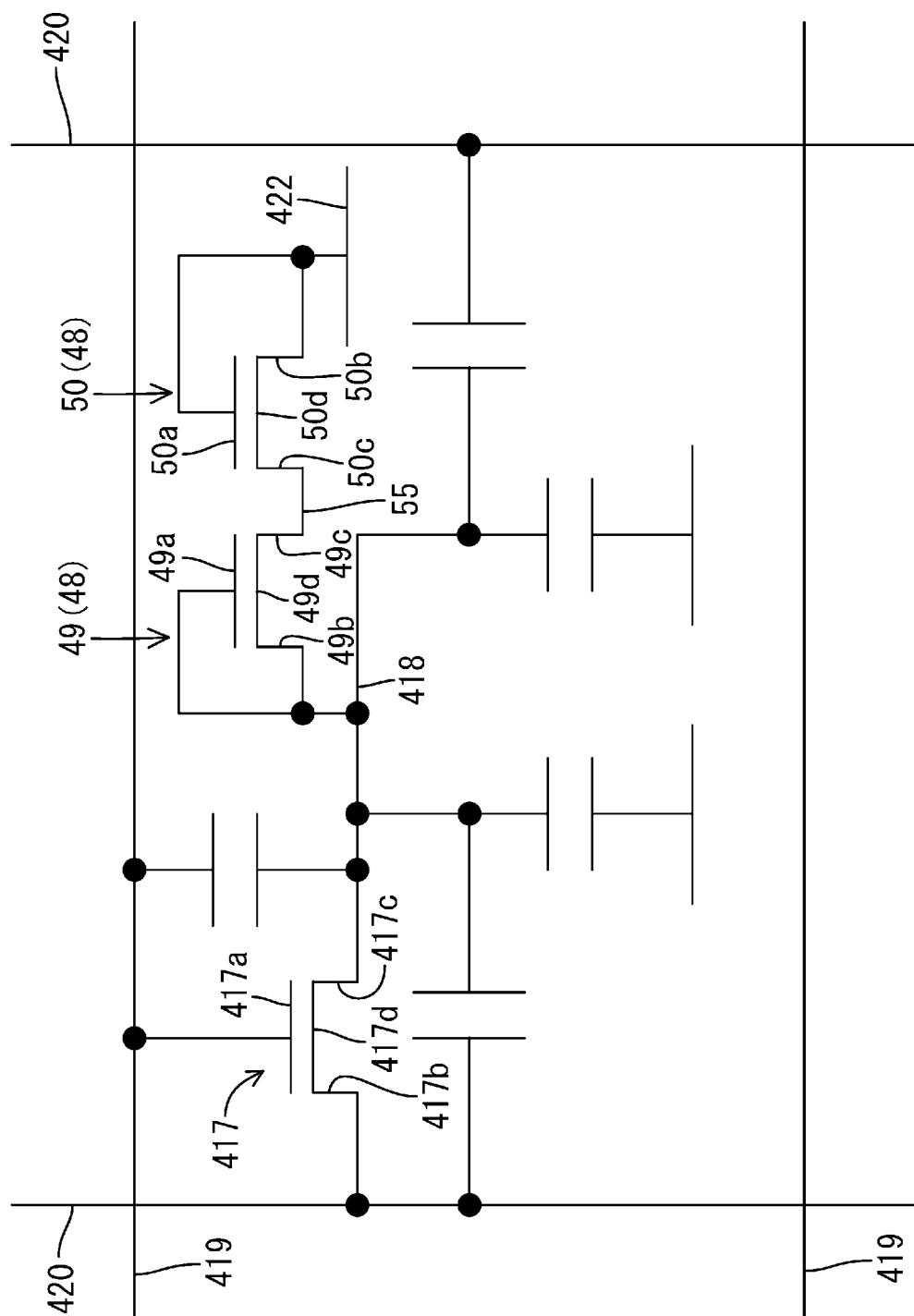
[図16]



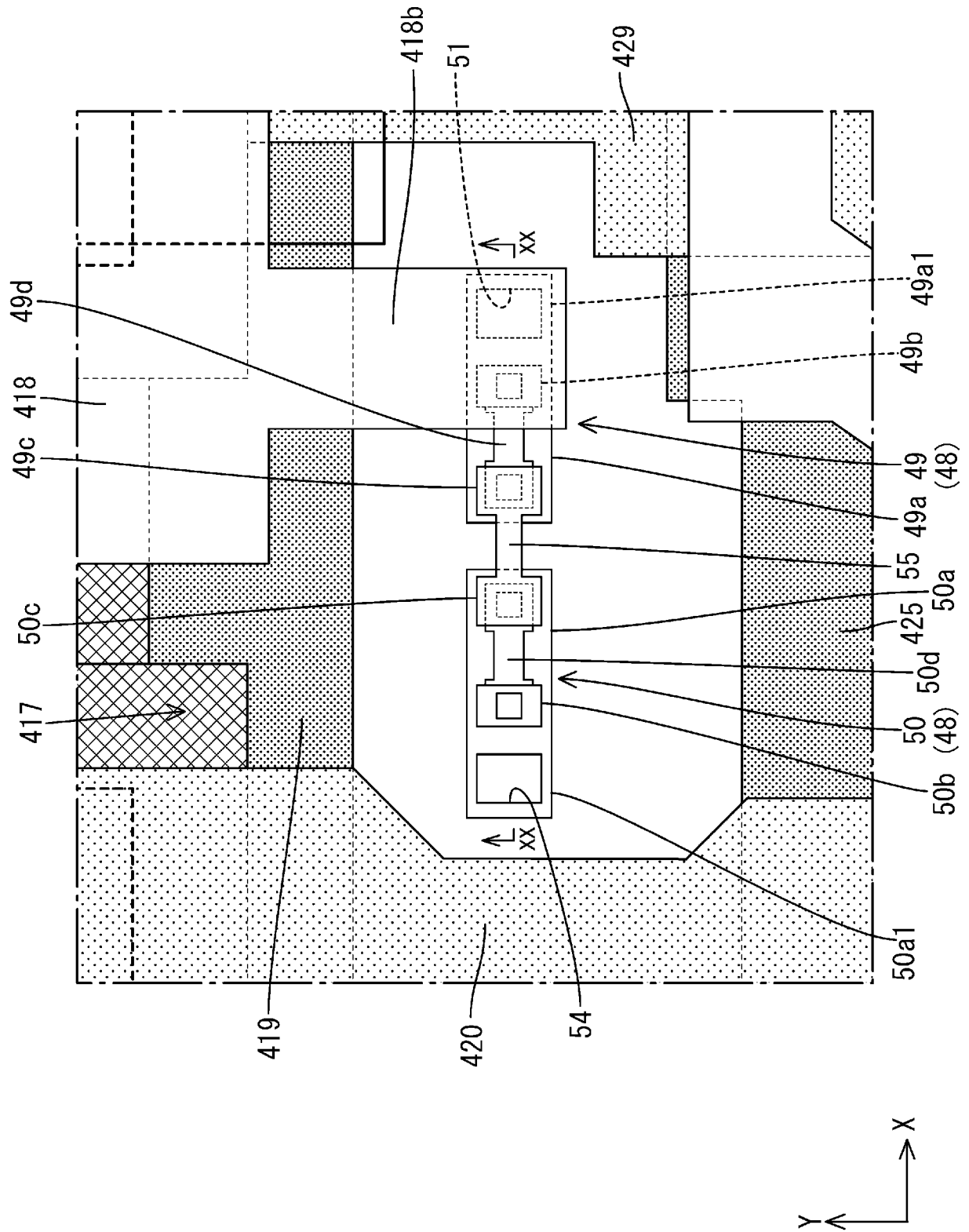
[図17]



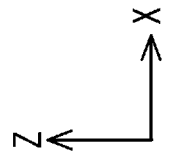
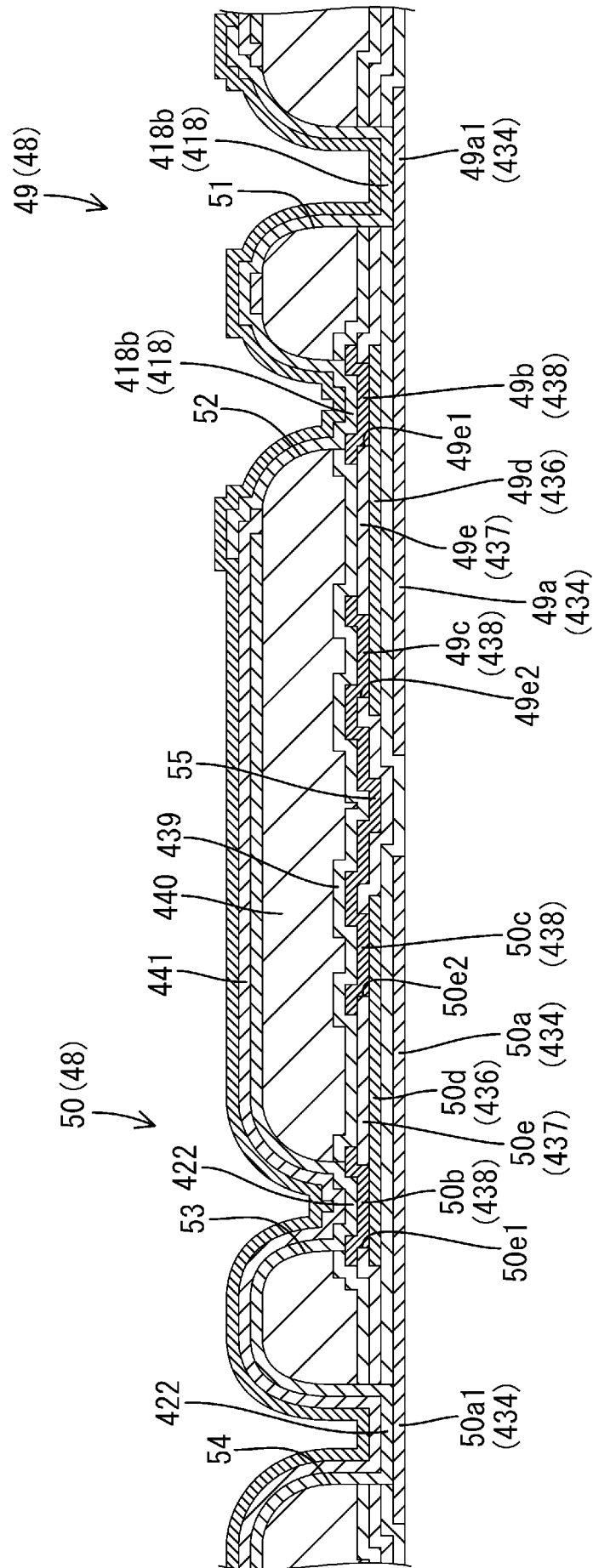
A 2D Cartesian coordinate system with a horizontal x-axis and a vertical y-axis. The x-axis is labeled with 'x' at its positive end, and the y-axis is labeled with 'y' at its positive end. The origin is at the intersection of the two axes.



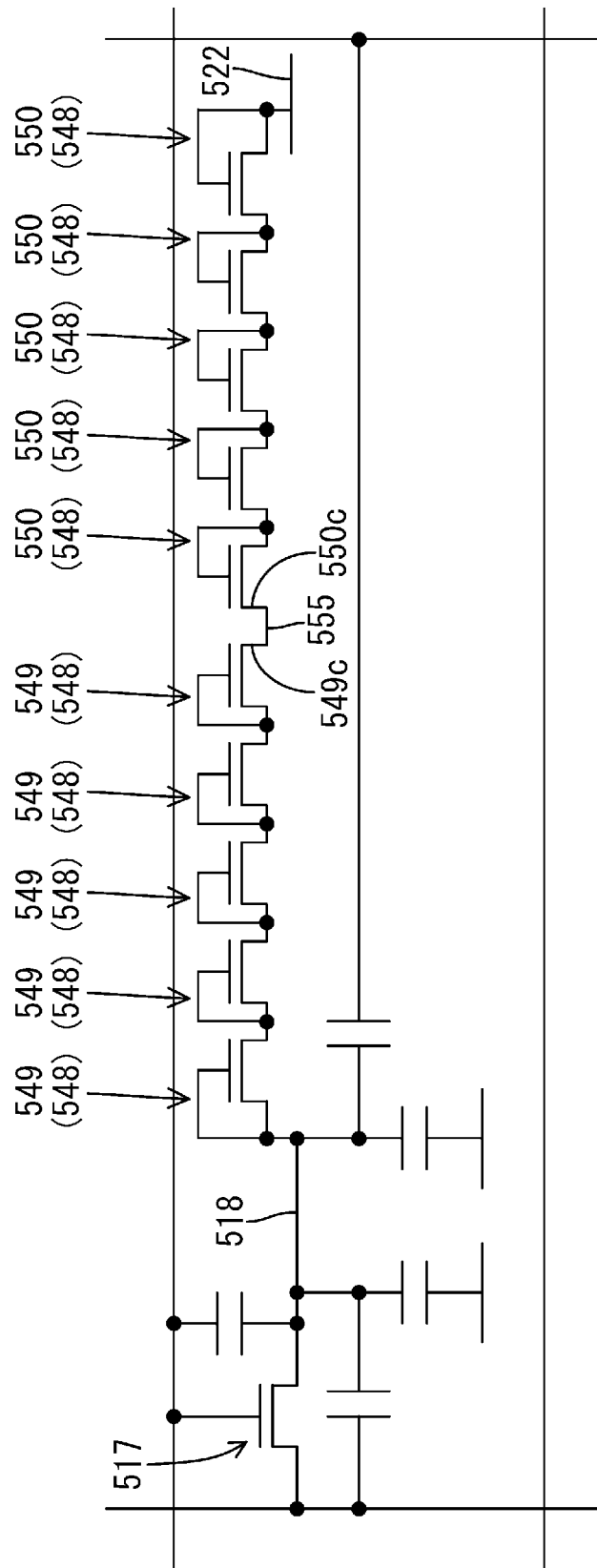
[図19]



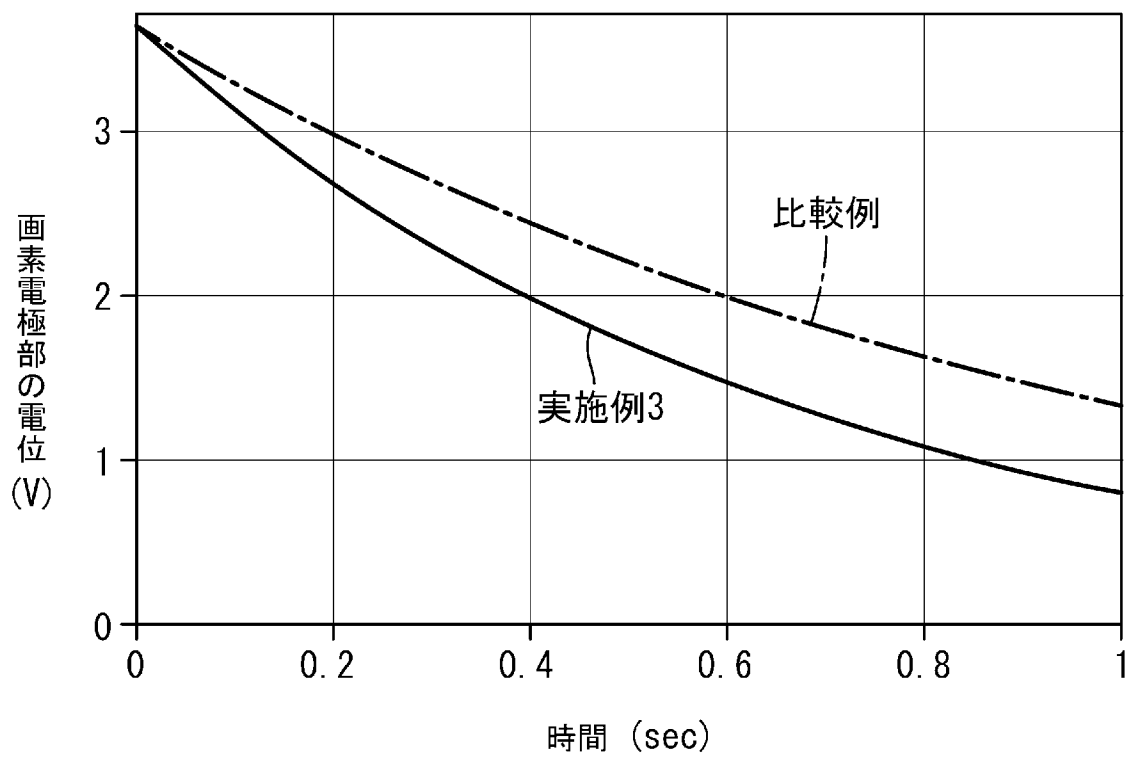
[図20]

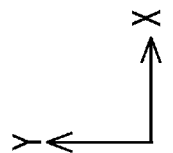


[図21]

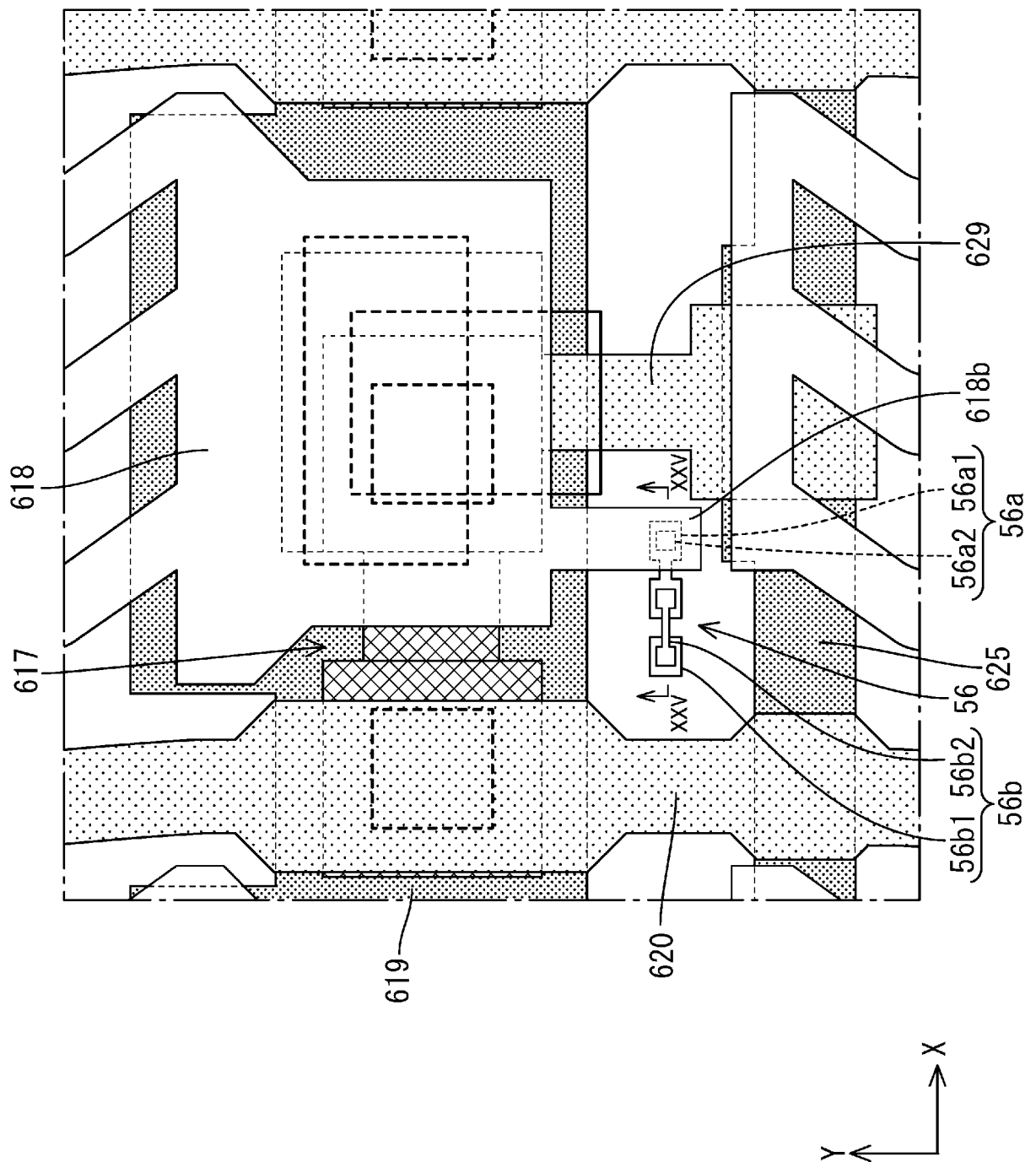


[図22]

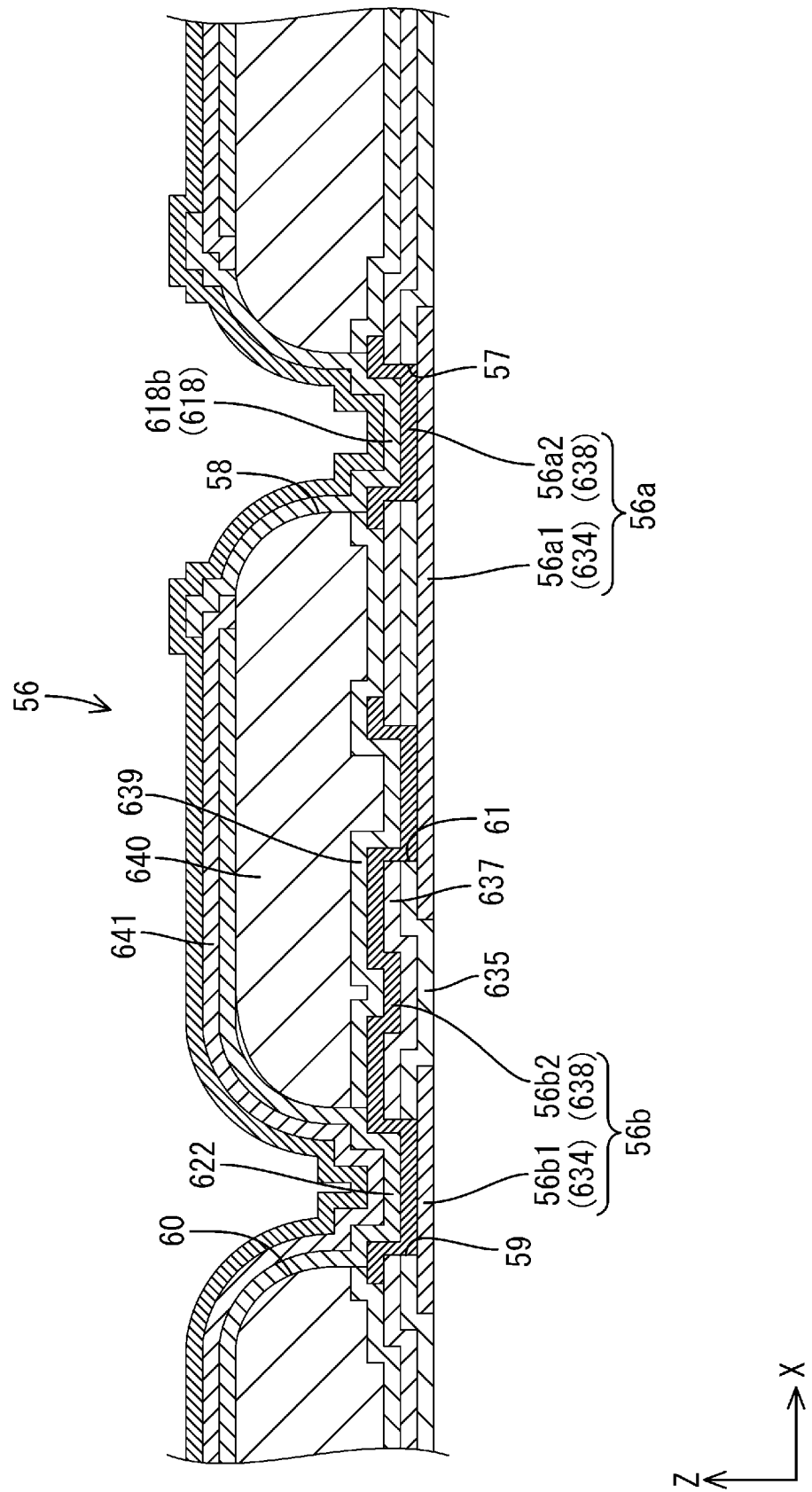


[illegible]

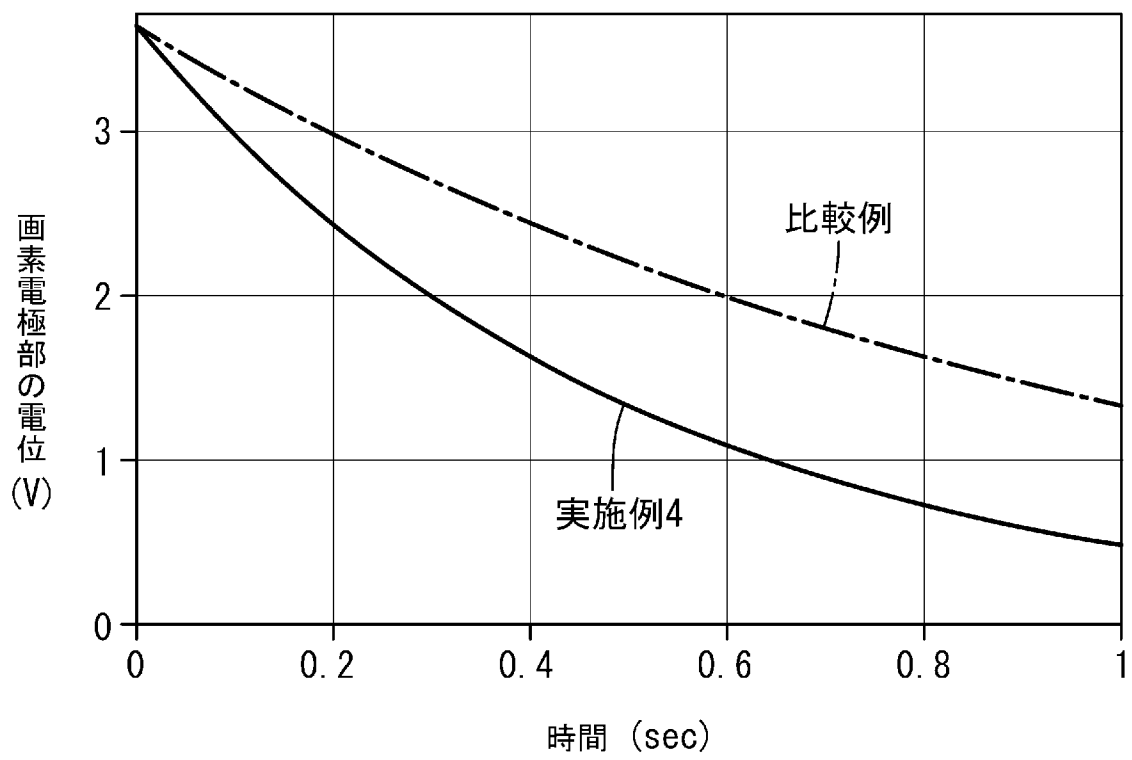
[図24]



[図25]



[図26]



[図27]

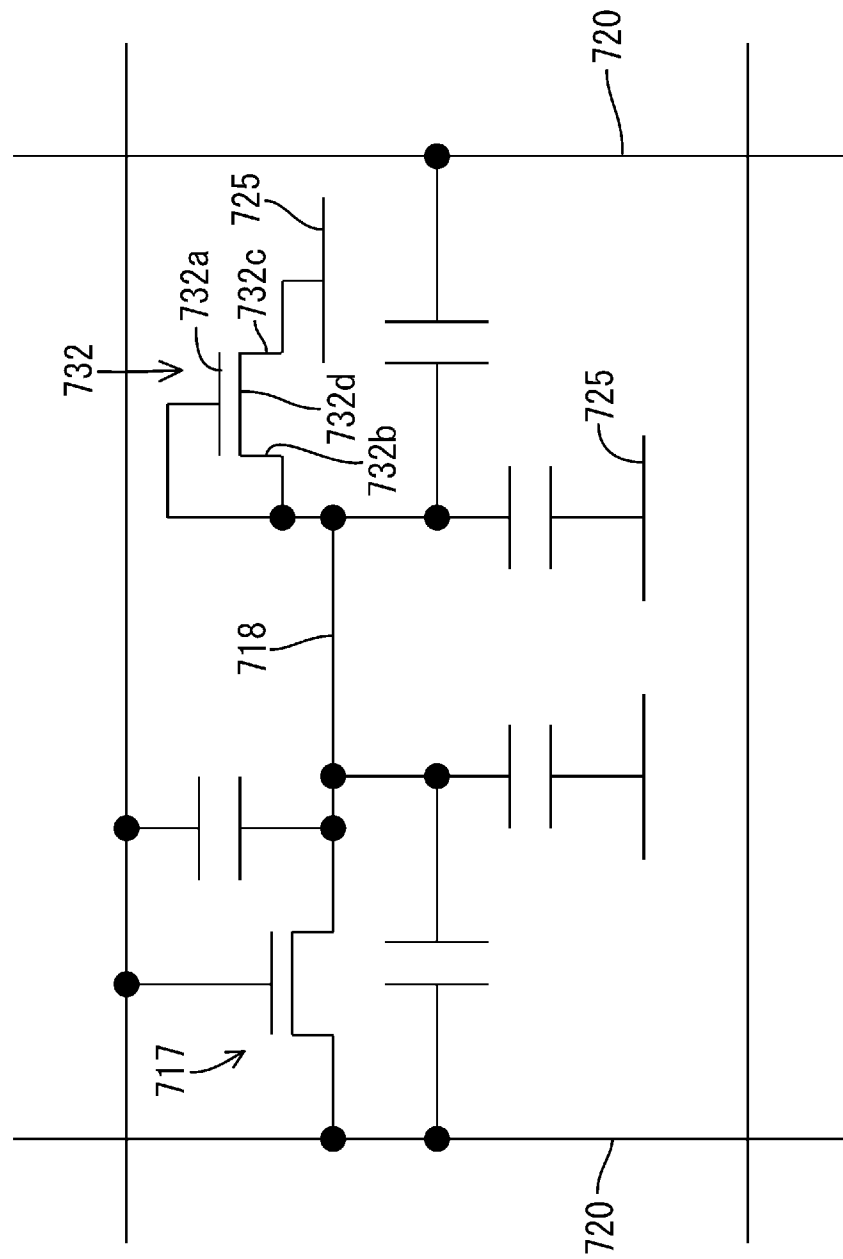
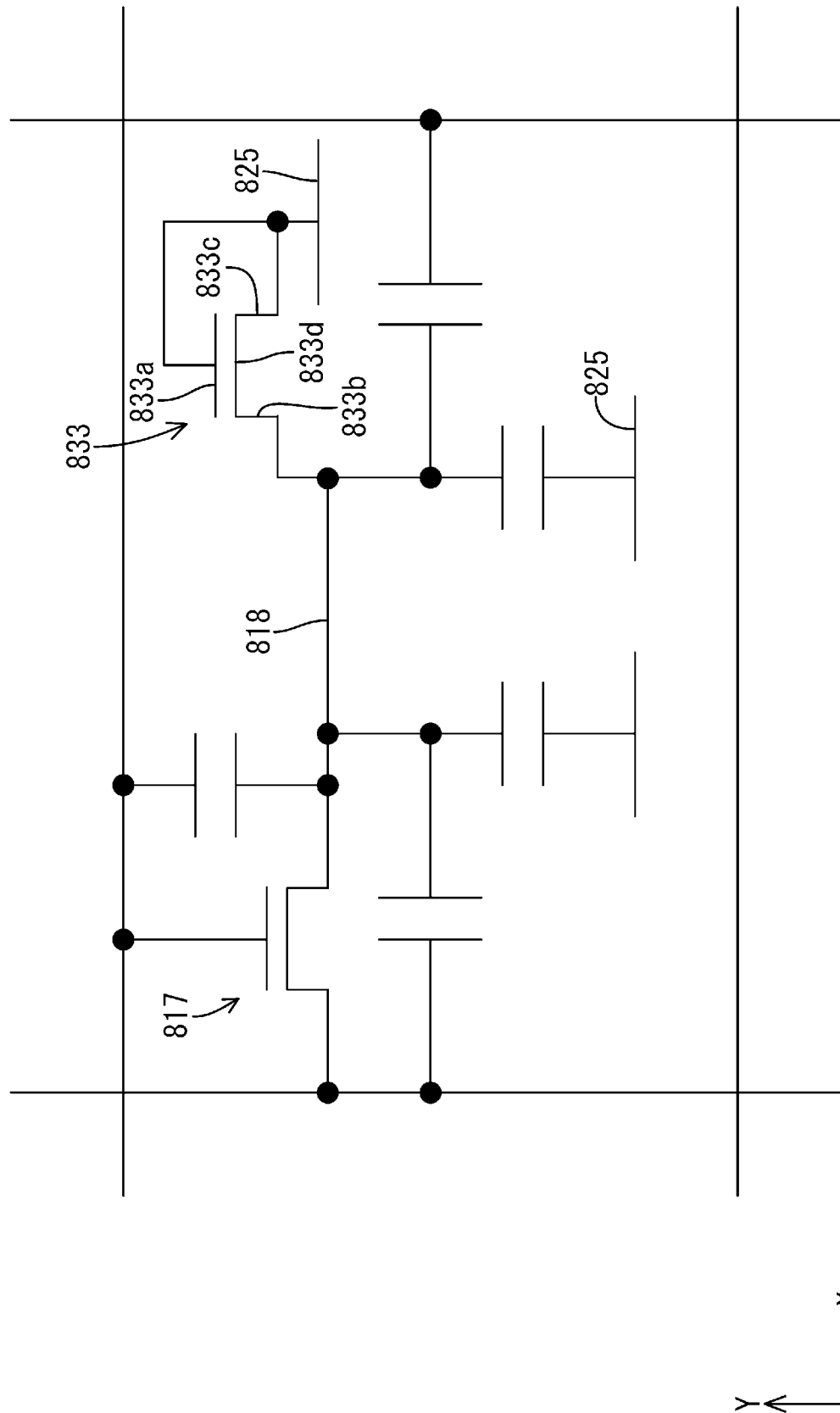


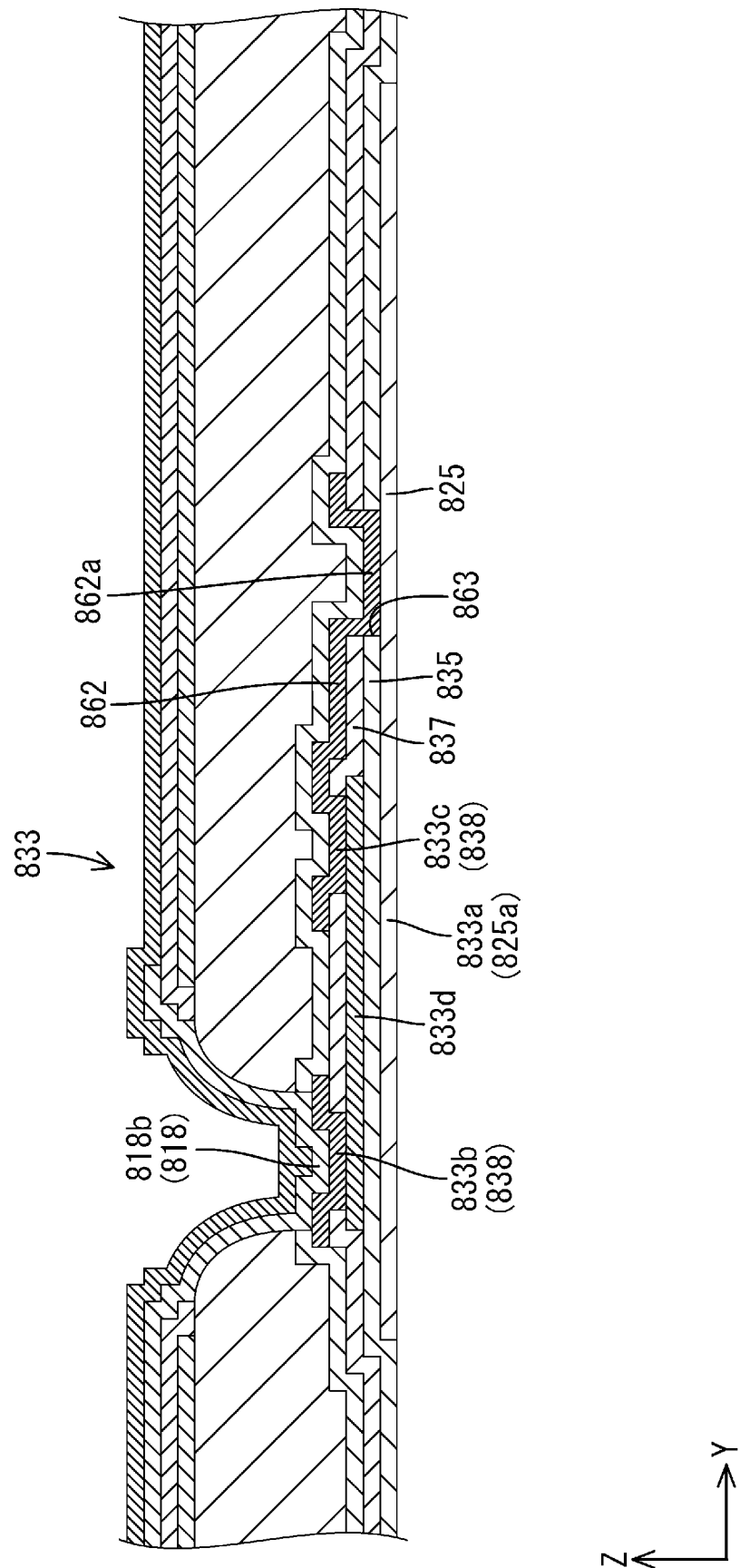
FIG. 7 is a plan view of a semiconductor device. It shows a central region 720 surrounded by a patterned layer 717 and 718. A dashed box 732a1 indicates a region of interest. A cross-section line XXIX is shown. Labels include 717, 718, 720, 732a1, 732b, 732c, 732d, 725, 62, 62a, 62a, 729, and 732.

[図30]

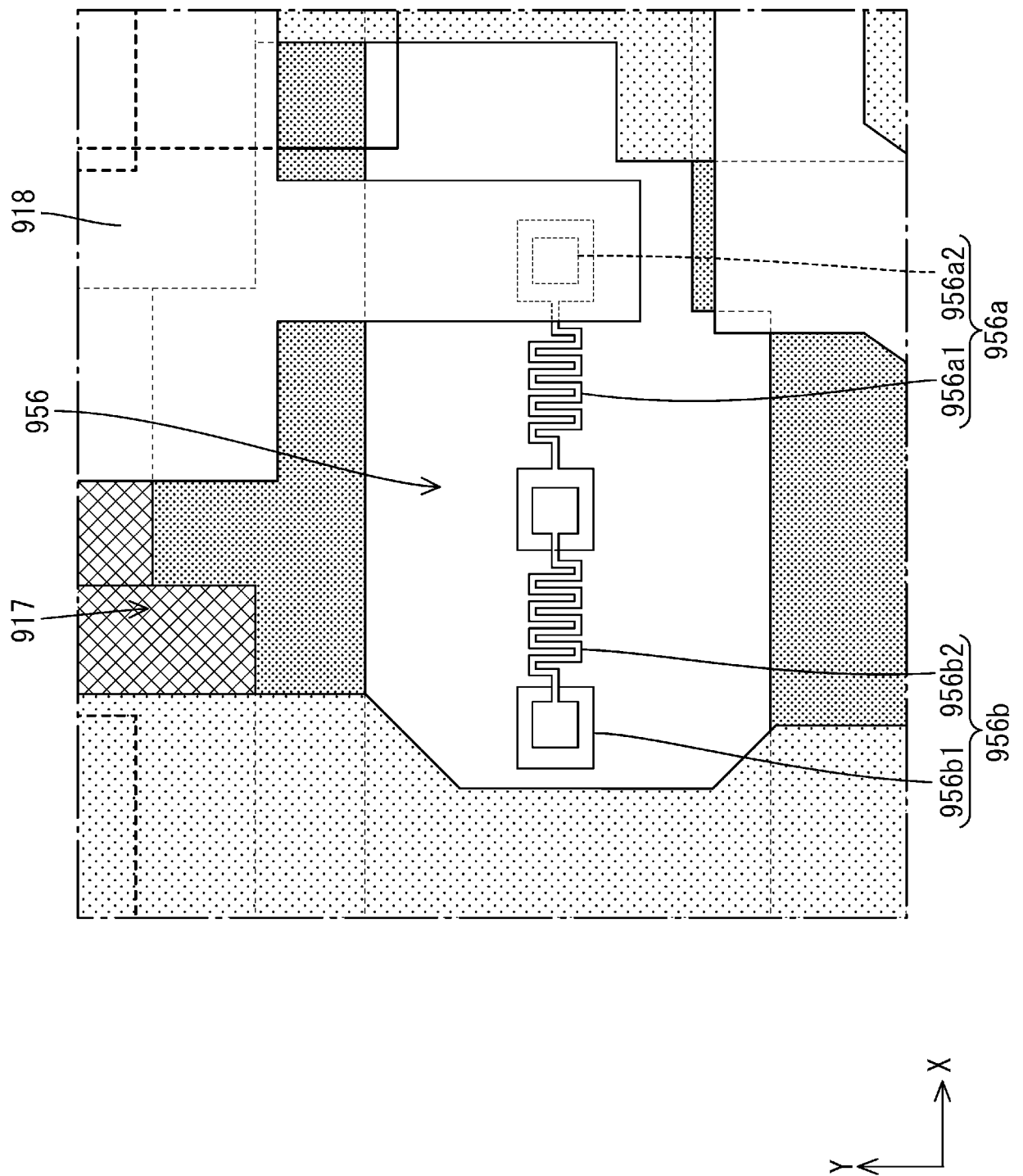


[illegible]

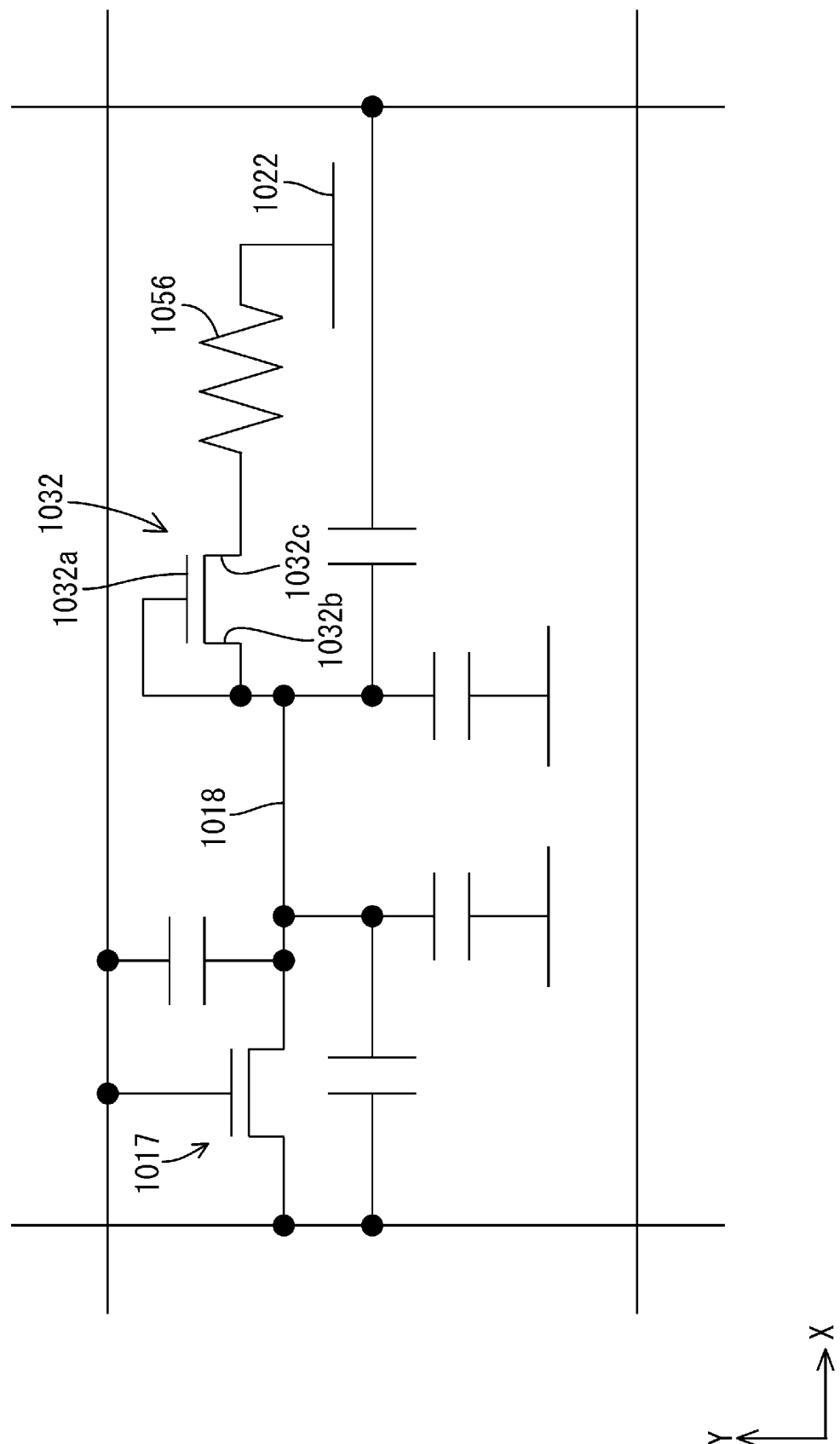
[図32]



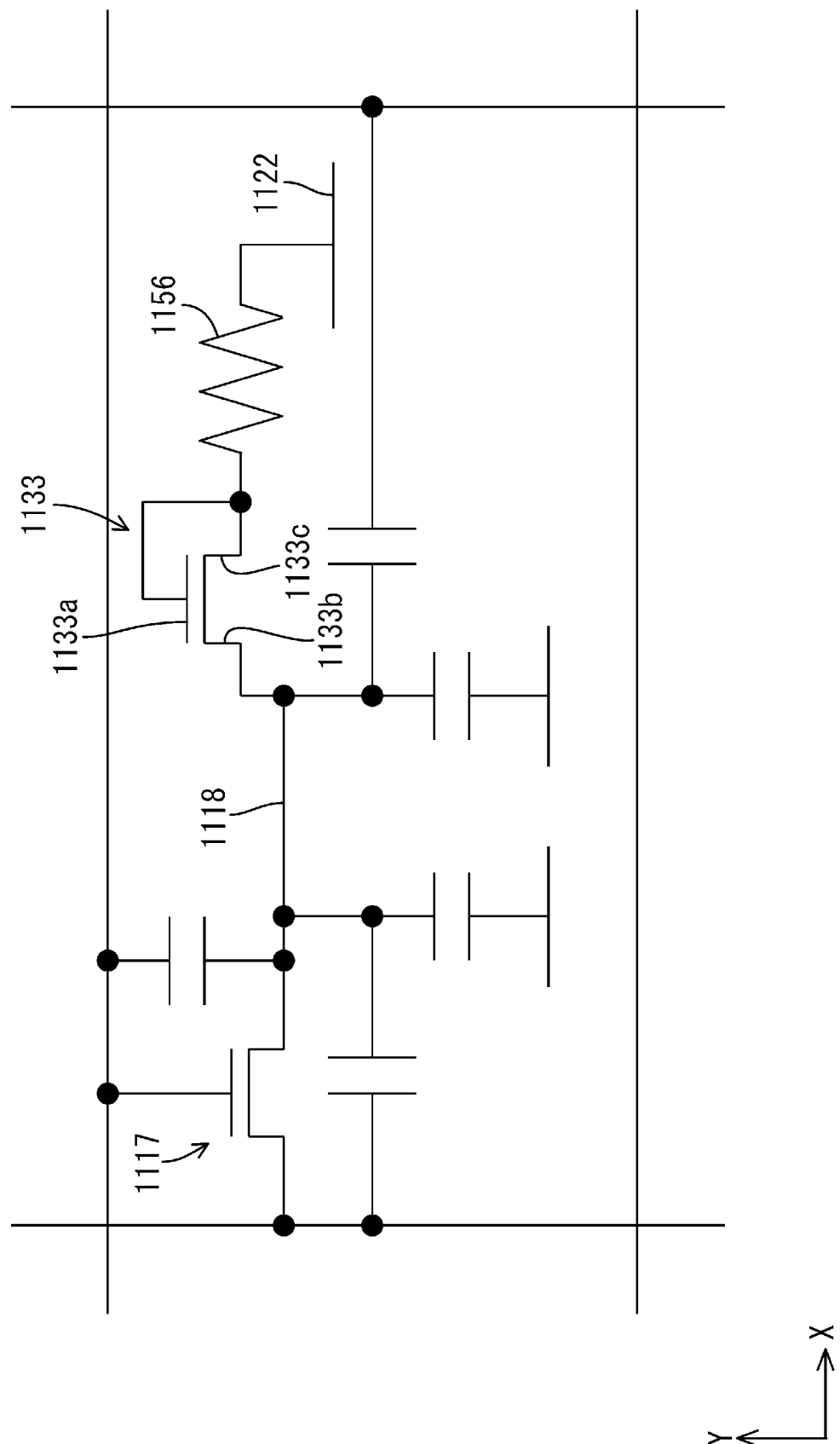
[図33]



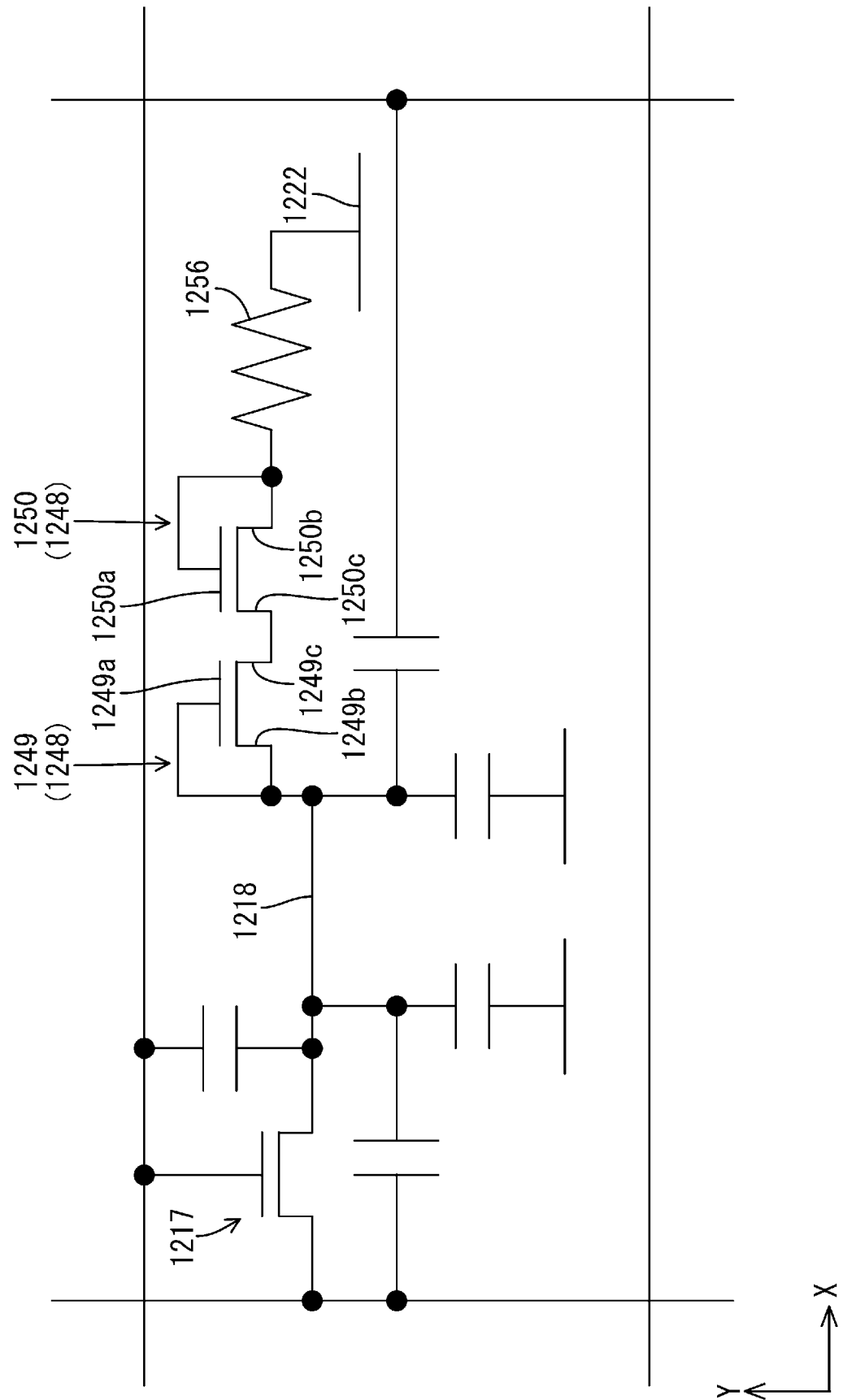
[図34]



[図35]



[図36]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055372

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/36(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L29/786(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G3/00-3/38, G02F1/1368

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2014
Kokai Jitsuyo Shinan Koho	1971-2014	Toroku Jitsuyo Shinan Koho	1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 9-15641 A (NEC Corp.), 17 January 1997 (17.01.1997), entire text; fig. 1 to 19 (Family: none)	1-6, 9-11 7-8, 12-15
X Y	JP 10-239662 A (Toshiba Corp.), 11 September 1998 (11.09.1998), entire text; fig. 1 to 25 (Family: none)	1, 9-11 2-8, 12-15
X Y	JP 2003-330425 A (Casio Computer Co., Ltd.), 19 November 2003 (19.11.2003), paragraphs [0044] to [0048]; fig. 5 (Family: none)	1, 9-11 2-8, 12-15

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
27 May, 2014 (27.05.14)

Date of mailing of the international search report
10 June, 2014 (10.06.14)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2014/055372

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2-183565 A (Hitachi, Ltd.), 18 July 1990 (18.07.1990), page 6, lower left column to page 6, lower right column (Family: none)	2-8, 12-15
Y	JP 2009-290490 A (Nihon Micronics Inc.), 10 December 2009 (10.12.2009), paragraphs [0032], [0061] to [0062], [0104], [0132] to [0133] & US 2009/0295480 A1	2-8, 12-15
Y	WO 2012/133281 A1 (Sharp Corp.), 04 October 2012 (04.10.2012), paragraphs [0108] to [0109] (Family: none)	12-15
Y	JP 2012-134475 A (Semiconductor Energy Laboratory Co., Ltd.), 12 July 2012 (12.07.2012), paragraphs [0023] to [0044]; fig. 1 to 2 & JP 2013-102171 A & JP 2013-149994 A & JP 2013-149995 A & US 2012/0138922 A1 & US 2013/0214273 A1 & WO 2012/073844 A1 & DE 112011104002 T & TW 201236157 A	12-15
Y	JP 2011-237671 A (Mitsubishi Electric Corp.), 24 November 2011 (24.11.2011), entire text; fig. 1 to 9 (Family: none)	15

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G09G3/36(2006.01)i, G02F1/1368(2006.01)i, G09F9/30(2006.01)i, G09G3/20(2006.01)i, H01L29/786(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G09G3/00-3/38, G02F1/1368

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 4 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 4 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 4 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 9-15641 A（日本電気株式会社）1997.01.17, 全文, 図 1-19 (ファミリーなし)	1-6, 9-11 7-8, 12-15
X Y	JP 10-239662 A（株式会社東芝）1998.09.11, 全文, 図 1-25 (ファミリーなし)	1, 9-11 2-8, 12-15

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 5 . 2 0 1 4

国際調査報告の発送日

1 0 . 0 6 . 2 0 1 4

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

中村 直行

2 G

9 2 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 2 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2003-330425 A (カシオ計算機株式会社) 2003. 11. 19, 【0044】 - 【0048】 , 図 5 (ファミリーなし)	1, 9-11 2-8, 12-15
Y	JP 2-183565 A (株式会社日立製作所) 1990. 07. 18, 第 6 頁左下欄-第 6 頁右下欄 (ファミリーなし)	2-8, 12-15
Y	JP 2009-290490 A (株式会社日本マイクロニクス) 2009. 12. 10, 【0032】 , 【0061】 - 【0062】 , 【0104】 , 【0132】 - 【0133】 & US 2009/0295480 A1	2-8, 12-15
Y	WO 2012/133281 A1 (シャープ株式会社) 2012. 10. 04, [0108]-[0109] (ファミリーなし)	12-15
Y	JP 2012-134475 A (株式会社半導体エネルギー研究所) 2012. 07. 12, 【0023】 - 【0044】 , 図 1-2 & JP 2013-102171 A & JP 2013-149994 A & JP 2013-149995 A & US 2012/0138922 A1 & US 2013/0214273 A1 & WO 2012/073844 A1 & DE 112011104002 T & TW 201236157 A	12-15
Y	JP 2011-237671 A (三菱電機株式会社) 2011. 11. 24, 全文, 図 1-9 (ファミリーなし)	15