

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7564985号
(P7564985)

(45)発行日 令和6年10月10日(2024.10.10)

(24)登録日 令和6年10月2日(2024.10.2)

(51)国際特許分類

A 6 3 F 7/02 (2006.01)

F I

A 6 3 F

7/02

3 2 6 Z

A 6 3 F

7/02

3 2 0

請求項の数 1 (全124頁)

(21)出願番号 特願2020-135249(P2020-135249)
 (22)出願日 令和2年8月7日(2020.8.7)
 (65)公開番号 特開2022-30919(P2022-30919A)
 (43)公開日 令和4年2月18日(2022.2.18)
 審査請求日 令和5年7月31日(2023.7.31)

(73)特許権者 391010943
 株式会社藤商事
 大阪府大阪市中央区内本町一丁目1番4号
 (74)代理人 110004495
 弁理士法人ティクオフ
 井上 孝司
 大阪市中央区内本町一丁目1番4号 株式会社藤商事内
 審査官 西田 光宏

最終頁に続く

(54)【発明の名称】 遊技機

(57)【特許請求の範囲】

【請求項1】

液晶表示手段の表示制御を行う表示制御手段と、
 電子部品が搭載された複数の基板と、を備え、
 前記基板は、複数の配線層と、それら複数の配線層を互いに導通させるための板厚方向の
 層間導通部とを有し、
 前記電子部品は第1電子部品と第2電子部品とを含み、
 前記表示制御手段は、前記第1電子部品により構成され、

前記液晶表示手段に、位置に対して連続的又は段階的に色情報が変化するグラデーション画像を表示可能な

遊技機において、
 複数の前記層間導通部のうち、前記第2電子部品の配置領域に対応する領域内に配置される特定層間導通部を介して前記第1電子部品と前記第2電子部品とを接続し、
 前記特定層間導通部を、前記複数の配線層のうち表層の第1面側から反対側の第2面側まで貫通させ、
 前記基板の前記第2面における前記第2電子部品の配置領域に対応する領域内に所定電子部品を配置し、
 前記基板の前記第2面における前記第2電子部品の配置領域に対応する領域内で前記特定層間導通部と前記所定電子部品とを接続し、
 前記表示制御手段は、奇数画素に対応する奇数画像データと、前記奇数画素に隣接する

偶数画素に対応する偶数画像データと、互いに異なる配線路を介して前記液晶表示手段へと出力するように構成し、

前記表示制御手段が搭載され、前記液晶表示手段に対して前記奇数画像データ及び前記偶数画像データを送信するための第1信号線が形成された第1基板と、

前記奇数画像データ及び前記偶数画像データを送信するための第2信号線が形成され、当該奇数画像データ及び当該偶数画像データを前記液晶表示手段に出力するための出力コネクタが搭載された第2基板と、

前記第1基板の前記第1信号線と前記第2基板の前記第2信号線とを接続する接続コネクタと、を備え、

前記第2基板の前記第2信号線に対して保護回路及び／又はテストポイントを接続し、

前記グラデーション画像に対応する前記奇数画像データに設定される複数種類の色情報と、前記グラデーション画像に対応する前記偶数画像データに設定される複数種類の色情報とが略共通することにより、

前記奇数画像データと前記偶数画像データの何れが欠落した場合であっても、前記グラデーション画像を識別可能となるように構成した

ことを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パチンコ機、スロットマシン等の遊技機に関するものである。

20

【背景技術】

【0002】

パチンコ機等の遊技機では、演出画像等を表示するための液晶表示手段を搭載したものが主流となっている。この液晶表示手段は、制御基板に搭載されたVDP(Video Display Processor)回路から出力される画像データ信号、その他の制御信号に基づいて表示制御される(特許文献1)。

【先行技術文献】

【特許文献】

【0003】

【文献】特開2017-093632号公報

30

【発明の概要】

【発明が解決しようとする課題】

【0004】

従来の遊技機では、何らかのトラブルにより液晶制御に係る制御信号が一部でも欠落してしまうと、液晶表示手段には遊技者が識別不可能な画像が表示される等、遊技を正常に継続できない可能性があった。

本発明は上記事情に鑑みてなされたものであり、液晶制御関連のトラブル発生による遊技進行への悪影響を極力抑制することが可能な遊技機を提供することを目的とする。

【課題を解決するための手段】

【0005】

本発明は、液晶表示手段の表示制御を行う表示制御手段と、電子部品が搭載された複数の基板と、を備え、前記基板は、複数の配線層と、それら複数の配線層を互いに導通させるための板厚方向の層間導通部とを有し、前記電子部品は第1電子部品と第2電子部品とを含み、前記表示制御手段は、前記第1電子部品により構成され、前記液晶表示手段に、位置に対して連続的又は段階的に色情報が変化するグラデーション画像を表示可能な遊技機において、複数の前記層間導通部のうち、前記第2電子部品の配置領域に対応する領域内に配置される特定層間導通部を介して前記第1電子部品と前記第2電子部品とを接続し、前記特定層間導通部を、前記複数の配線層のうち表層の第1面側から反対側の第2面側まで貫通させ、前記基板の前記第2面における前記第2電子部品の配置領域に対応する領域内に所定電子部品を配置し、前記基板の前記第2面における前記第2電子部品の配置領

40

50

域に対応する領域内で前記特定層間導通部と前記所定電子部品とを接続し、前記表示制御手段は、奇数画素に対応する奇数画像データと、前記奇数画素に隣接する偶数画素に対応する偶数画像データとを、互いに異なる配線路を介して前記液晶表示手段へと出力するよう構成し、前記表示制御手段が搭載され、前記液晶表示手段に対して前記奇数画像データ及び前記偶数画像データを送信するための第1信号線が形成された第1基板と、前記奇数画像データ及び前記偶数画像データを送信するための第2信号線が形成され、当該奇数画像データ及び当該偶数画像データを前記液晶表示手段に出力するための出力コネクタが搭載された第2基板と、前記第1基板の前記第1信号線と前記第2基板の前記第2信号線とを接続する接続コネクタと、を備え、前記第2基板の前記第2信号線に対して保護回路及び/又はテストポイントを接続し、前記グラデーション画像に対応する前記奇数画像データに設定される複数種類の色情報と、前記グラデーション画像に対応する前記偶数画像データに設定される複数種類の色情報とが略共通することにより、前記奇数画像データと前記偶数画像データの何れが欠落した場合であっても、前記グラデーション画像を識別可能となるように構成したものである。

【発明の効果】

【0006】

本発明によれば、液晶制御関連のトラブル発生による遊技進行への悪影響を極力抑制することが可能となる。

【図面の簡単な説明】

【0007】

【図1】本発明の第1の実施形態に係るパチンコ機の全体正面図である。

【図2】同パチンコ機の分解斜視図である。

【図3】同パチンコ機のガラス扉の分解斜視図である。

【図4】同パチンコ機の操作演出手段、十字操作ボタン、音量調整ボタン、光量調整ボタン等を示す要部平面図である。

【図5】同パチンコ機の遊技盤の正面図である。

【図6】同パチンコ機の遊技情報表示手段の正面図である。

【図7】同パチンコ機の背面図である。

【図8】同パチンコ機の演出基板ケース及び演出制御部の分解斜視図である。

【図9】同パチンコ機の演出基板ケース及び演出制御部の平面断面図である。

【図10】同パチンコ機の全体回路構成を示すブロック図である。

【図11】同パチンコ機における液晶表示手段の仕様に関する説明図である。

【図12】同パチンコ機における液晶制御信号の仕様に関する説明図である。

【図13】同パチンコ機における液晶表示手段の構成を示すブロック図である。

【図14】同パチンコ機における複合チップの全体構成を示すブロック図である。

【図15】同パチンコ機における複合チップの主要構成を示すブロック図である。

【図16】同パチンコ機におけるインデックス空間、インデックステーブル、仮想描画空間及び描画領域に関する説明図である。

【図17】同パチンコ機におけるデータ転送回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図18】同パチンコ機における表示回路の内部構成を、関連する回路構成と共に記載したブロック図である。

【図19】同パチンコ機におけるデータ有効信号E N A Bの説明図である。

【図20】同パチンコ機の液晶制御基板における第1配線層を示す図である。

【図21】同液晶制御基板における第2配線層を示す図である。

【図22】同液晶制御基板における第3配線層を示す図である。

【図23】同液晶制御基板における第4配線層を示す図である。

【図24】同液晶制御基板における第5配線層を示す図である。

【図25】同液晶制御基板における第6配線層を示す図である。

【図26】同液晶制御基板に配置された複合チップの端子情報を示す図である。

10

20

30

40

50

- 【図 2 7】同液晶制御基板に配置された制御 ROM の端子情報を示す図である。
- 【図 2 8】同液晶制御基板の第 1 配線層から配線路 P 1 ~ P 7 1 を抽出した図である。
- 【図 2 9】同液晶制御基板の第 2 配線層から配線路 P 1 ~ P 7 1 を抽出した図である。
- 【図 3 0】同液晶制御基板の第 3 配線層から配線路 P 1 ~ P 7 1 を抽出した図である。
- 【図 3 1】同液晶制御基板の第 4 配線層から配線路 P 1 ~ P 7 1 を抽出した図である。
- 【図 3 2】同液晶制御基板の第 5 配線層から配線路 P 1 ~ P 7 1 を抽出した図である。
- 【図 3 3】同液晶制御基板の第 6 配線層から配線路 P 1 ~ P 7 1 を抽出した図である。
- 【図 3 4】図 2 8 における領域 E 1 a の拡大図である。
- 【図 3 5】図 2 8 における領域 E 1 b の拡大図である。
- 【図 3 6】図 2 8 における領域 E 1 c の拡大図である。
- 【図 3 7】図 3 0 における領域 E 3 a の拡大図である。
- 【図 3 8】図 3 0 における領域 E 3 b の拡大図である。
- 【図 3 9】図 3 0 における領域 E 3 c の拡大図である。
- 【図 4 0】図 3 1 における領域 E 4 の拡大図である。
- 【図 4 1】図 3 3 における領域 E 6 a の拡大図である。
- 【図 4 2】図 3 3 における領域 E 6 b の拡大図である。
- 【図 4 3】図 3 3 における領域 E 6 c の拡大図である。
- 【図 4 4】図 3 3 における領域 E 6 d の拡大図である。
- 【図 4 5】本発明の第 1 の実施形態に係るパチンコ機の液晶制御基板における配線路 P 1 ~ P 8 の配線経路を模式的に示す図である。
- 【図 4 6】同液晶制御基板における配線路 P 9 ~ P 1 7 を模式的に示す図である。
- 【図 4 7】同液晶制御基板における配線路 P 1 8 ~ P 2 6 を模式的に示す図である。
- 【図 4 8】同液晶制御基板における配線路 P 2 7 ~ P 3 4 を模式的に示す図である。
- 【図 4 9】同液晶制御基板における配線路 P 3 5 ~ P 4 2 を模式的に示す図である。
- 【図 5 0】同液晶制御基板における配線路 P 4 3 ~ P 4 7 を模式的に示す図である。
- 【図 5 1】同液晶制御基板における配線路 P 4 8 ~ P 5 1 を模式的に示す図である。
- 【図 5 2】同液晶制御基板における配線路 P 5 2 ~ P 6 1 を模式的に示す図である。
- 【図 5 3】同液晶制御基板における配線路 P 6 2 ~ P 7 1 を模式的に示す図である。
- 【図 5 4】同液晶制御基板におけるデコード回路の回路図である。
- 【図 5 5】同液晶制御基板におけるリセット回路の回路図である。
- 【図 5 6】同液晶制御基板における第 1 配線層側のシルク印刷パターンを示す図である。
- 【図 5 7】同パチンコ機の液晶インターフェース基板における第 1 配線層を示す図である。
- 【図 5 8】同液晶インターフェース基板における第 2 , 第 5 配線層を示す図である。
- 【図 5 9】同液晶インターフェース基板における第 3 配線層を示す図である。
- 【図 6 0】同液晶インターフェース基板における第 4 配線層を示す図である。
- 【図 6 1】同液晶インターフェース基板における第 6 配線層を示す図である。
- 【図 6 2】同液晶インターフェース基板における第 1 配線層から配線路 P 1 0 1 ~ P 1 2 4 のみを抽出した図である。
- 【図 6 3】同液晶インターフェース基板の第 2 , 第 5 配線層から配線路 P 1 0 1 ~ P 1 2 4 を抽出した図である。
- 【図 6 4】同液晶インターフェース基板の第 3 配線層から配線路 P 1 0 1 ~ P 1 2 4 を抽出した図である。
- 【図 6 5】同液晶インターフェース基板の第 4 配線層から配線路 P 1 0 1 ~ P 1 2 4 を抽出した図である。
- 【図 6 6】同液晶インターフェース基板の第 6 配線層から配線路 P 1 0 1 ~ P 1 2 4 を抽出した図である。
- 【図 6 7】図 6 2 における領域 E 1 1 a の拡大図である。
- 【図 6 8】図 6 2 における領域 E 1 1 b の拡大図である。
- 【図 6 9】図 6 2 における領域 E 1 1 c の拡大図である。
- 【図 7 0】図 6 6 における領域 E 1 6 a の拡大図である。

10

20

30

40

50

【図 7 1】図 6 6 における領域 E 1 6 b の拡大図である。

【図 7 2】図 6 6 における領域 E 1 6 c の拡大図である。

【図 7 3】本発明の第 1 の実施形態に係るパチンコ機の液晶インターフェース基板における配線路 P 1 0 1 ~ P 1 1 0 を模式的に示す図である。

【図 7 4】同液晶インターフェース基板における配線路 P 1 1 1 ~ P 1 2 0 を模式的に示す図である。

【図 7 5】同液晶インターフェース基板における配線路 P 1 2 1 ~ P 1 2 4 を模式的に示す図である。

【図 7 6】同液晶インターフェース基板における液晶 I F 第 3 コネクタ近傍の回路図である。

【図 7 7】同液晶インターフェース基板における液晶 I F 第 2 コネクタ近傍の回路図である。

【図 7 8】同パチンコ機の液晶インターフェース基板における主要部の回路図である。

【図 7 9】同パチンコ機の演出制御部の概略構成を示すブロック図である。

【図 8 0】同パチンコ機における保留報知画像の種類と大当たり信頼度とを示す図である。

【図 8 1】同パチンコ機における保留報知画像の表示開始時、表示中及び表示終了時の動的表示の説明図である。

【図 8 2】同パチンコ機で奇数画像データと偶数画像データの何れかが欠落した場合の保留報知画像の表示状態を示す説明図である。

【図 8 3】同パチンコ機で奇数画像データと偶数画像データの何れかが欠落した場合の画素単位での色情報の分布を示す図であり、(a)は複数種類の色情報が縦方向に分布している場合を、(b)は同じく横方向に分布している場合を示している。

【図 8 4】同パチンコ機における保留報知画像のシフト時の動的表示の説明図である。

【図 8 5】同パチンコ機における装飾図柄の色分布を示す図である。

【図 8 6】同パチンコ機における装飾図柄の動的表示を示す図である。

【図 8 7】同パチンコ機の操作誘導画像を示す図である。

【図 8 8】同パチンコ機の全面レインボー画像演出で用いられるレインボー背景画像の例を示す図である。

【図 8 9】同パチンコ機のレインボー背景画像の時間変化を示す図である。

【図 9 0】同パチンコ機の当落分岐ボタン演出 N B 1 の具体例を示す図である。

【図 9 1】同パチンコ機における帯演出画像の時間変化を示す図である。

【図 9 2】同パチンコ機における操作誘導画像の種類を示す図である。

【図 9 3】同パチンコ機における操作有効期間報知画像の境界近傍での時間変化(1フレーム毎に2ドットずつ移動する場合)を示す図であり、(a)は画像データの欠落がない場合を、(b)は奇数画像データと偶数画像データの何れかが欠落した場合を示している。

【図 9 4】操作有効期間報知画像の境界が1フレーム毎に1ドットずつ移動する場合の時間変化を示す図であり、(a)は画像データの欠落がない場合を、(b)は奇数画像データと偶数画像データの何れかが欠落した場合を示している。

【図 9 5】同パチンコ機の部分レインボー画像演出において上下方向に色情報が変化する場合を示す図である。

【図 9 6】同パチンコ機の部分レインボー画像演出において左右方向に色情報が変化する場合を示す図である。

【図 9 7】同パチンコ機の設定示唆演出選択テーブルを示す図である。

【図 9 8】同パチンコ機の設定示唆演出における画面表示例を示す図である。

【図 9 9】同パチンコ機の位置及び時間に対して左右方向に変化するレインボー演出において1フレーム毎に所定ドットずつ移動する場合の正常時と偶数/奇数画素欠落時の画素単位での色分布を示す説明図である。

【図 1 0 0】本発明の第 2 の実施形態に係るパチンコ機における帯演出画像の時間変化を示す図である。

【図 1 0 1】(a)はリーチ演出中に表示される星形図形をレインボー画像とした例を、

10

20

30

40

50

(b) はリーチタイトル文字をレインボー画像とした例を示す図である。

【発明を実施するための最良の形態】

【0008】

以下、発明の実施形態を図面に基づいて詳述する。図1～図9は本発明をパチンコ機に採用した第1の実施形態を例示している。図1及び図2において、遊技機本体1は、外枠2と、この外枠2の前側に配置された前枠3とを備えている。前枠3は、左右方向一端側、例えば左端側に配置された上下方向の第1ヒンジ4を介して外枠2を開閉自在及び着脱自在に枢着されており、左右方向における第1ヒンジ4と反対側、例えば右端側に設けられた施錠手段5によって外枠2に対して閉状態で施錠可能となっている。

【0009】

前枠3は、内枠6と、その内枠6の前側に配置された前扉7とを備えている。前扉7は、左右方向一端側、例えば左端側に配置された上下方向の第2ヒンジ8を介して内枠6を開閉自在及び着脱自在に枢着されており、施錠手段5によって内枠6に対して閉状態で施錠可能となっている。

【0010】

外枠2は、図2に示すように左右一対の縦枠材2a, 2bと上下一対の横枠材2c, 2dとで矩形状に形成されている。外枠2の前側下部には、例えば合成樹脂製の前カバー部材9が、下横枠材2dの前縁に沿って左右の縦枠材2a, 2bの前側下部を連結するように装着されている。前カバー部材9は、左右の縦枠材2a, 2bよりも前側に突出しており、その上側に内枠6が配置されている。また外枠2には、第1ヒンジ4を構成する外枠上ヒンジ金具11が例えば左上部に、同じく外枠下ヒンジ金具12が左下部における前カバー部材9の上側に夫々配置されている。

【0011】

内枠6は合成樹脂製で、前カバー部材9の上側で外枠2の前縁側に略当接可能な矩形状の枠部13と、この枠部13内の上部側に設けられた遊技盤装着部14と、枠部13内の下部側に設けられた下部装着部15とを例えば一体に備えている。遊技盤装着部14には、遊技盤16が例えば前側から着脱自在に装着され、下部装着部15には、その前側に発射手段17、下部スピーカ18等が配置されている。また内枠6には、第1ヒンジ4を構成する本体枠上ヒンジ金具19と第2ヒンジ8を構成する本体枠上ヒンジ金具20とが例えば左上部に、第1, 第2ヒンジ4, 8を構成する本体枠下ヒンジ金具21が例えば左下部に夫々配置されている。

【0012】

前扉7は、内枠6の前面側に対応する矩形状に形成された樹脂製の扉ベース22を備えている。この扉ベース22には、遊技盤16に形成された遊技領域23の前側に対応してガラス窓24の窓孔24aが形成されると共に、例えば窓孔24aの周囲に複数（ここでは4つ）の上部スピーカ25、枠第1可動演出手段26、枠第2可動演出手段27、送風手段28等の各種演出手段が配置されている。

【0013】

扉ベース22の上部前側には、窓孔24aの外周の少なくとも一部、例えば窓孔24aの上側から右側に対応する正面視逆L字型の部分にサイドユニット30が装着されている（図1, 図3）。サイドユニット30は、図2, 図3等に示すように、前枠3を開いた状態で、特殊な工具を使用することなく、前枠3の裏側の固定ネジ30a、固定レバー30b等を操作することにより容易に着脱が可能となっている。サイドユニット30の前面側には、図1に示すように、枠第1可動体26aを有する枠第1可動演出手段26、枠第2可動体27aを有する枠第2可動演出手段27、送風手段28等の演出手段が搭載されている。

【0014】

枠第1可動演出手段26の枠第1可動体26aは、任意の立体形状（ここでは蝶をモチーフとした形状）に形成され、図外の駆動手段の駆動によって略前後方向へのスライド移動が可能となっている。枠第2可動演出手段27の枠第2可動体27aは、図外の駆動手

10

20

30

40

50

段の駆動による略前後方向へのスライド移動と、把持部 27b 内に配置された図外の振動手段による振動動作とが可能であり、また遊技者による把持部 27b の押し込み操作が可能となっている。また送風手段 28 は、遊技者が把持部 27b を把持するタイミングで、遊技者の手に向けて送風することが可能となっている。また、サイドユニット 30 を含む前扉 7 の前面側には、多数の LED 301a ~ 301d よりなる枠ランプ 304 が、ガラス窓（表示窓）24 を略取り囲むように配置されている。

【0015】

扉ベース 22 の下部前側には、内枠 6 の後側に配置された払出手段 32 から払い出された遊技球を貯留して発射手段 17 に供給する上皿 33、その上皿 33 が満杯のときの余剰球等を貯留する下皿 34、発射手段 17 を作動させるために操作する発射ハンドル 35 等が配置され、更に上皿 33、下皿 34 等を前側から略覆う下装飾カバー 36 が装着されている。下装飾カバー 36 は、例えば前向きの膨出状に形成されており、例えばその上部側に、操作演出手段 37、十字操作ボタン 38、音量調整ボタン 39、光量調整ボタン 40 等の各種操作手段が設けられている（図 4）。操作演出手段 37 は、図柄変動中の予告演出、その他の演出に用いられるもので、遊技者が押下操作可能な上下動式の演出ボタン 41 を備えている。

10

【0016】

扉ベース 22 の背面側には、図 2 に示すように窓孔 24a を後側から略塞ぐガラスユニット 50 が着脱自在に装着されると共に、第 1、第 2 ヒンジ 4、8 側の縁部に沿って配置される上下方向のヒンジ端側補強板金 51a と、開閉端側の縁部に沿って配置される上下方向の開閉端側補強板金 51b と、窓孔 24a の下側に配置される左右方向の下部補強板金 51c とがねじ止め等により着脱自在に固定されている。また扉ベース 22 には、第 2 ヒンジ 8 を構成するガラス扉上ヒンジ金具 52a が例えば左上部に、同じくガラス扉下ヒンジ金具 52b が例えば左下部に夫々配置されている。

20

【0017】

また、例えば下部補強板金 51c の背面側には、球送りユニット 53a、下皿案内ユニット 53b 等が装着されている。球送りユニット 53a は、上皿 33 内の遊技球を発射手段 17 に供給するためのもので、内枠 6 側に配置された発射手段 17 の前側に対応して配置されており、発射手段 17 の発射動作と同期して球送りソレノイド 53c を作動させることにより、上皿 33 内の遊技球を 1 個ずつ発射手段 17 の発射レール 17a 上に供給するようになっている。

30

【0018】

なお発射手段 17 は、正面視で左上がりの傾斜状に配置された発射レール 17a と、球送りユニット 53a により発射レール 17a 上に供給された遊技球を発射待機位置で支持する発射球ストッパ 17b と、発射レール 17a 上の発射待機位置に対応して配置され且つ前後方向の駆動軸廻りに搖動可能な打撃槌 17c と、打撃槌 17c を搖動駆動するロータリソレノイド等の発射駆動手段 17d とを備え、発射ハンドル 35 が回転操作されたときに、その操作量に応じた発射強度で発射駆動手段 17d により打撃槌 17c を打撃方向（時計方向）に連続的に駆動するようになっている。

40

【0019】

下皿案内ユニット 53b は、上皿 33 が満杯となったときの余剰球、及び発射手段 17 により発射されたにも拘わらず遊技領域 23 に達することなく戻ってきたファール球を下皿 34 に案内するためのもので、例えば球送りユニット 53a に隣接してその第 1、第 2 ヒンジ 4、8 側に配置されている。

【0020】

遊技盤 16 は、図 5 に示すように、ベニヤ板、ポリカーボネート板等よりなるベース板 55 を備え、そのベース板 55 の前側に、発射手段 17 から発射された遊技球を案内するガイドレール 56 が環状に配置されると共に、そのガイドレール 56 の内側の遊技領域 23 に、中央表示枠ユニット 57、始動入賞ユニット 58、普通入賞ユニット 59 等のユニット部品の他、多数の遊技釘（図示省略）が配置され、また、例えば遊技領域 23 の外側

50

下部には遊技情報表示手段 6 0 が配置されている。

【 0 0 2 1 】

遊技情報表示手段 6 0 は、図 6 に示すように、8 個の L E D 7 0 で構成される L E D グループを 4 つ備えており、それら計 3 2 個の L E D 7 0 が普通図柄表示手段 6 1、普通保留個数表示手段 6 2、第 1 特別図柄表示手段 6 3、第 2 特別図柄表示手段 6 4、第 1 特別保留個数表示手段 6 5、第 2 特別保留個数表示手段 6 6、変動短縮報知手段 6 7、右打ち報知手段 6 8 及びラウンド数報知手段 6 9 に所定個数ずつ割り当てられている。即ち、第 1、第 2 L E D グループ 6 0 a, 6 0 b に属する各 8 個の L E D 7 0 は夫々第 1、第 2 特別図柄表示手段 6 3, 6 4 を構成し、第 3 L E D グループ 6 0 c に属する 8 個の L E D 7 0 は、2 個ずつに分けられて夫々第 1 特別保留個数表示手段 6 5、第 2 特別保留個数表示手段 6 6、普通保留個数表示手段 6 2、変動短縮報知手段 6 7 を構成し、第 4 L E D グループ 6 0 d に属する 8 個の L E D 7 0 は、2 個が普通図柄表示手段 6 1 を、他の 2 個が右打ち報知手段 6 8 を、残りの 4 個がラウンド数報知手段 6 9 を夫々構成している。

【 0 0 2 2 】

遊技盤 1 6 の複数のユニット部品 5 7 ~ 5 9 上には、普通図柄始動手段 7 1、第 1 特別図柄始動手段 7 2、第 2 特別図柄始動手段 7 3、大入賞手段 7 4、複数の普通入賞手段 7 5 等が設けられている。またベース板 5 5 の後側には、液晶表示手段（画像表示手段）7 6 の他、液晶表示手段 7 6 の前側を移動可能な可動役物 7 7 a を備えた盤可動演出手段 7 7 等が配置されている。

【 0 0 2 3 】

可動役物 7 7 a は、横長状の矩形箱形に形成され、その左右両端側が、液晶表示手段 7 6 の側縁部外側で上下動可能に支持されており、図外の駆動手段の駆動により、液晶表示手段 7 6 の上側の原点位置（図 5 参照）と液晶表示手段 7 6 の前側の動作位置との間で昇降移動可能となっている。また、可動役物 7 7 a の前面側には、複数の L E D 3 1 1 よりなる可動役物ランプ 3 1 4 が配置されている。

【 0 0 2 4 】

中央表示枠ユニット 5 7 は、液晶表示手段 7 6 及び可動役物 7 7 a の表示枠を構成するもので、後側の液晶表示手段 7 6 に対応する開口窓 8 0 が略中央に形成されており、ベース板 5 5 に形成された前後方向貫通状の装着孔（図示省略）に対して前側から着脱自在に装着されている。この中央表示枠ユニット 5 7 は、図 5 に示すように、ベース板 5 5 の前面に沿って装着孔の外側に配置され且つその前側を遊技球が通過可能な前面装着板 8 1 と、液晶表示手段 7 6 の前側における左右両側から上部側にわたる正面視略門形状に配置され且つ前面装着板 8 1 の内周側で前向きに突設された装飾枠 8 2 と、その装飾枠 8 2 の左右の下端部間に配置されるステージ 8 3 とを備えている。発射手段 1 7 により発射され、遊技領域 2 3 の上部側に進入した遊技球は、装飾枠 8 2 の頂部で左右に振り分けられ、中央表示枠ユニット 5 7 の左側の左流下経路 8 4 a と右側の右流下経路 8 4 b との何れかを流下する。

【 0 0 2 5 】

中央表示枠ユニット 5 7 には、左流下経路 8 4 a 側と右流下経路 8 4 b 側との少なくとも一方側、例えば左流下経路 8 4 a 側に、遊技球が流入可能なワープ入口 8 5 が設けられている。左流下経路 8 4 a を流下中にワープ入口 8 5 に流入した遊技球は、ステージ 8 3 上で左右方向に自由に転動した後、遊技領域 2 3 の左右方向中央に対応して設けられた中央落下部 8 6 とそれ以外の部分との何れかから前側に落下する。

【 0 0 2 6 】

また、中央表示枠ユニット 5 7 の前面側には、多数の L E D 3 2 1 a ~ 3 2 1 c よりなる盤ランプ 3 2 4 が、液晶表示手段 7 6 の外周の少なくとも一部、例えば左右両側及び上側に対応して配置されている。なお、始動入賞ユニット 5 8、普通入賞ユニット 5 9 等にも盤ランプ 3 2 4 の一部を配置してもよい。

【 0 0 2 7 】

始動入賞ユニット 5 8 は、図 5 に示すように中央表示枠ユニット 5 7 の下側にガイドレ

10

20

30

40

50

ール 5 6 に沿って配置され、ベース板 5 5 に対して前側から着脱自在に装着されている。普通入賞ユニット 5 9 は、図 5 に示すように中央表示枠ユニット 5 7 の下側で始動入賞ユニット 5 8 の左側にガイドレール 5 6 に沿って配置され、ベース板 5 5 に対して前側から着脱自在に装着されている。

【 0 0 2 8 】

普通図柄始動手段 7 1 は、普通図柄表示手段 6 1 による普通図柄の変動表示を開始させるためのもので、遊技球が通過可能な通過ゲート等により構成され、遊技球の通過を検出する遊技球検出スイッチ（図示省略）を備えている。この普通図柄始動手段 7 1 は、図 5 に示すように例えば中央表示枠ユニット 5 7 の右部における前面装着板 8 1 の前側に設けられており、右流下経路 8 4 b を流下する遊技球が通過可能となっている。

10

【 0 0 2 9 】

普通図柄表示手段 6 1 は、普通図柄を変動表示するためのもので、図 6 に示すように遊技情報表示手段 6 0 における所定個数（ここでは 2 個）の LED 7 0 で構成されており、普通図柄始動手段 7 1 が遊技球を検出することに基づいて、普通図柄を構成するそれら 2 個の LED 7 0 が普通変動中発光パターンで発光した後、普通図柄始動手段 7 1 による遊技球検出時に取得された普通乱数情報に含まれる当り判定乱数値が予め定められた当り判定値と一致する場合には当り態様で、それ以外の場合にははずれ態様で変動を停止する。なお、普通図柄を構成する 2 個の LED 7 0 は、それらの発光態様（例えば点灯 / 消灯）の組み合わせにより一又は複数の当り態様と一又は複数のはずれ態様とを表示可能であり、また普通変動中発光パターンは、例えば特定の複数種類（ここでは 2 種類）の発光態様を所定時間（例えば 128 ms）毎に切り替えるようになっている。

20

【 0 0 3 0 】

また、普通図柄表示手段 6 1 の図柄変動中と普通利益状態中とを含む普通保留期間中に普通図柄始動手段 7 1 が遊技球を検出した場合には、それによって取得された普通乱数情報が予め定められた上限保留個数、例えば 4 個を限度として保留記憶され、普通保留期間が終了する毎に 1 個ずつ消化されて普通図柄の変動が行われる。普通乱数情報の記憶個数（普通保留個数）は、普通保留個数表示手段 6 2 等によって遊技者に報知される。普通保留個数表示手段 6 2 は、図 6 に示すように遊技情報表示手段 6 0 における所定個数（ここでは 2 個）の LED 7 0 で構成されており、それら 2 個の LED 7 0 の夫々の発光態様（例えば点灯 / 点滅 / 消灯）の組み合わせにより、0 ~ 4 個の 5 種類の普通保留個数を表示可能となっている。

30

【 0 0 3 1 】

第 1 特別図柄始動手段 7 2 は、第 1 特別図柄表示手段 6 3 による図柄変動を開始させるためのもので、開閉手段を有しない非開閉式入賞手段により構成され、入賞した遊技球を検出する遊技球検出スイッチ（図示省略）を備えている。この第 1 特別図柄始動手段 7 2 は、図 5 に示すように例えば始動入賞ユニット 5 8 に設けられ、ステージ 8 3 の中央落下部 8 6 に対応してその下側に上向き開口状に配置されており、左流下経路 8 4 a 側のワープ入口 8 5 からステージ 8 3 を経て入賞するルートが存在すること等により、右流下経路 8 4 b を流下してきた遊技球よりも左流下経路 8 4 a を流下してきた遊技球の方が高い確率で入賞可能となっている。なお、この第 1 特別図柄始動手段 7 2 に遊技球が入賞すると、一入賞当り所定個数の遊技球が賞球として払い出される。

40

【 0 0 3 2 】

第 2 特別図柄始動手段 7 3 は、第 2 特別図柄表示手段 6 4 による図柄変動を開始させるためのもので、開閉部 8 8 の作動によって遊技球が入賞可能な開状態と入賞不可能（又は開状態よりも入賞困難）な閉状態とに変化可能な開閉式入賞手段により構成され、入賞した遊技球を検出する遊技球検出スイッチ（図示省略）と、開閉部 8 8 を開閉する電磁ソレノイド等の開閉駆動手段とを備えており、普通図柄表示手段 6 1 の変動後の停止図柄が当り態様となって普通利益状態が発生した場合に、開閉部 8 8 が所定時間閉状態から開状態に変化するようになっている。

【 0 0 3 3 】

50

この第2特別図柄始動手段73は、図5に示すように例えば中央表示枠ユニット57の右部における前面装着板81上で且つ普通図柄始動手段71の下流側に配置されており、右流下経路84bを流下してきた遊技球が入賞可能となっている。なお、開閉部88は例えば下部側に設けられた左右方向の回転軸廻りに揺動可能であり、閉状態では前面装着板81と略面一となって遊技球が前側を通過可能となり、開状態では前面装着板81の前側で後ろ下がりの傾斜状となって遊技球を後向きに入賞させるようになっている。この第2特別図柄始動手段73に遊技球が入賞すると、一入賞当たり所定個数の遊技球が賞球として払い出される。

【0034】

第1特別図柄表示手段(図柄表示手段)63は、図6に示すように遊技情報表示手段60における所定個数(ここでは8個)のLED70で構成されており、第1特別図柄始動手段72が遊技球を検出することを条件に、第1特別図柄を構成するそれら8個のLED70が特別変動中発光パターンで発光した後、第1特別図柄始動手段72による遊技球検出時(図柄始動条件が成立した場合)に取得された第1特別乱数情報に含まれる大当たり判定乱数値が予め定められた大当たり判定値と一致する場合(乱数抽選で大当たりとなった場合)には大当たり態様で、同じく小当たり判定値と一致する場合(乱数抽選で小当たりとなった場合)には小当たり態様で、それ以外の場合にははずれ態様で変動を停止するようになっている。第1特別図柄表示手段63の変動後の停止図柄が大当たり態様となった場合には大当たり遊技が、小当たり態様となった場合には小当たり遊技が実行される(利益状態発生手段)。

【0035】

第2特別図柄表示手段(図柄表示手段)64は、図6に示すように遊技情報表示手段60における所定個数(ここでは8個)のLED70で構成されており、第2特別図柄始動手段73が遊技球を検出することを条件に、第2特別図柄を構成するそれら8個のLED70が特別変動中発光パターンで発光した後、第2特別図柄始動手段73による遊技球検出時(図柄始動条件が成立した場合)に取得された第2特別乱数情報に含まれる大当たり判定乱数値が予め定められた大当たり判定値と一致する場合(乱数抽選で大当たりとなった場合)には大当たり態様で、同じく小当たり判定値と一致する場合(乱数抽選で小当たりとなった場合)には小当たり態様で、それ以外の場合にははずれ態様で変動を停止するようになっている。第2特別図柄表示手段64の変動後の停止図柄が大当たり態様となった場合には大当たり遊技が、小当たり態様となった場合には小当たり遊技が実行される(利益状態発生手段)。

【0036】

第1,第2特別図柄表示手段63,64は、各8個のLED70の発光態様(例えば点灯/消灯)の組み合わせにより一又は複数の大当たり態様、一又は複数の小当たり態様、一又は複数のはずれ態様を表示可能であり、また特別変動中発光パターンは、特定の複数種類(ここでは2種類)の発光態様を所定時間(例えば128ms)毎に切り替えるようになっている。

【0037】

また、第1特別図柄表示手段63の図柄変動中、第2特別図柄表示手段64の図柄変動中及び大当たり遊技中を含む特別保留期間中に第1,第2特別図柄始動手段72,73が遊技球を検出した場合には、それによって取得された第1,第2特別乱数情報が夫々予め定められた上限保留個数、例えば各4個を限度として保留記憶手段に保留記憶される。そして、特別保留期間が終了した時点で第2特別図柄側の保留記憶が1以上の場合にはその第2特別図柄の保留記憶を1個消化して第2特別図柄の変動を行い、第1特別図柄側の保留記憶のみが1以上の場合にはその第1特別図柄の保留記憶を1個消化して第1特別図柄の変動を行う。このように本実施形態では、第1特別図柄と第2特別図柄とが共に変動になることはなく、また第1特別図柄側と第2特別図柄側との両方に保留記憶がある場合には、第2特別図柄の変動を優先的に行うようになっている。

【0038】

なお本実施形態の場合、遊技者は後述する特別遊技状態中以外の通常遊技状態中は第1特別図柄始動手段72を狙って左打ちをし、特別遊技状態中は普通図柄始動手段71及び

10

20

30

40

50

第2特別図柄始動手段73を狙って右打ちをするため、通常遊技状態中は主として第1特別図柄が変動し、特別遊技状態中は主として第2特別図柄が変動する。

【0039】

保留記憶手段に保留記憶されている第1、第2特別乱数情報の個数（第1、第2特別保留個数）は、第1、第2特別保留個数表示手段65、66、液晶表示手段76等によって遊技者に報知される。ここで、第1、第2特別保留個数表示手段65、66は、図6に示すように遊技情報表示手段60における所定個数（ここでは各2個）のLED70で構成され、それらの発光態様（例えば点灯／点滅／消灯）の組み合わせにより、0～4個の5種類の第1、第2特別保留個数を表示可能となっている。

【0040】

また、第1、第2特別図柄始動手段72、73による遊技球検出に基づいて行われる大当たり判定（乱数抽選）で大当たりとなる確率（大当たり確率）には低確率と高確率の2種類があり、後述する特別遊技状態のうちの確変状態中は高確率に、それ以外は低確率に夫々設定される。また本実施形態では、設定値を複数段階（ここでは6段階）の何れかに設定可能であり、その設定値（設定1～6）に応じて大当たり確率（低確率及び高確率）が変化する。大当たり確率は、例えば設定値が大きいほど高くなっている。

【0041】

また、大当たり判定結果がはずれとなった場合には一又は複数種類のはずれの何れかを選択し、大当たり判定結果が小当たりとなった場合には一又は複数種類の小当たりの何れかを選択し、大当たり判定結果が大当たりとなった場合には一又は複数種類の大当たり（例えば確変大当たり、非確変大当たりの2種類）の何れかを選択するようになっている。ここで、確変大当たりは、大当たり遊技の終了後に特別遊技状態として確変状態（第1特別遊技状態）を発生させることとなる大当たり、非確変大当たりは、大当たり遊技の終了後に特別遊技状態として例えば時短状態（第2特別遊技状態）を発生させることとなる大当たりで、それらの振り分けは大当たり図柄乱数値等に基づいて行われる。

【0042】

時短状態中は、例えば第1、第2特別図柄に関して第1、第2特別図柄表示手段63、64の変動時間が通常変動時間よりも短い短縮変動時間に切り換えられる他、普通図柄に関して、当たり確率が通常確率から高確率へ、変動時間が通常変動時間から短縮変動時間へ、普通利益状態における第2特別図柄始動手段73の開閉パターンが通常開閉パターン（例えば0.2秒×1回開放）から特別開閉パターン（例えば2秒×3回開放）へ、夫々切り換えられるようになっている。なお、時短状態は大当たり遊技が終了した時点で開始し、例えば第1、第2特別図柄が所定回数（例えば50回）変動するか、それまでに次の大当たり遊技が発生した時点で終了する。また確変状態中は、例えば時短状態と同様の切り換えに加えて、大当たり確率が低確率から高確率に切り換えられるようになっている。なお、確変状態は大当たり遊技が終了した時点で開始し、例えば次の大当たり遊技が発生した時点で終了する。

【0043】

大入賞手段74は、遊技球が入賞可能な開状態と入賞不可能な閉状態とに切り換え可能な開閉板89を備えた開閉式入賞手段で、図5に示すように例えば中央表示枠ユニット57に設けられ、入賞した遊技球を検出する遊技球検出スイッチ（図示省略）と、開閉板89を開閉する電磁ソレノイド等の開閉駆動手段とを備えており、第2特別図柄始動手段73の下流側で且つ第1特別図柄始動手段72の上流側に配置されていることにより、左流下経路84aを流下してきた遊技球よりも右流下経路84bを流下してきた遊技球の方が高い確率で入賞可能となっている。この大入賞手段74は、第1、第2特別図柄表示手段63、64の第1、第2特別図柄が変動後に大当たり態様（特定態様）で停止した場合には所定の大当たり開放パターンで開放し（大当たり遊技）、同じく小当たり態様で停止した場合には所定の小当たり開放パターンで開放する（小当たり遊技）。この大入賞手段74に遊技球が入賞すると、一入賞当たり所定個数の遊技球が賞球として払い出される。

【0044】

10

20

30

40

50

また液晶表示手段 7 6 には、第 1 , 第 2 特別図柄表示手段 6 3 , 6 4 による第 1 , 第 2 特別図柄の変動表示と並行して装飾図柄 9 0 を変動表示可能である他、第 1 , 第 2 特別保留個数を示す第 1 , 第 2 保留報知画像 X 1 ~ X 4 , Y 1 ~ Y 4 , 変動中保留報知画像 Z 等の各種画像を表示可能となっている。

【 0 0 4 5 】

ここで装飾図柄 9 0 は、数字図柄その他の複数個の図柄で構成される図柄列を複数（図 5 の例では左右方向に 3 つ）備えており、またそれら各図柄列を構成する各図柄は、図 5 に示すように、1 ~ 8 等の数字、その他で構成される図柄本体部 9 0 a と、この図柄本体部 9 0 a に付随するキャラクタその他の装飾部 9 0 b との結合で構成されている。なお装飾図柄 9 0 は、拡大又は縮小、表示位置の変更、装飾部 9 0 b の消去等、表示態様を任意に変化させることが可能である。

10

【 0 0 4 6 】

装飾図柄 9 0 は、例えば第 1 , 第 2 特別図柄の変動開始と略同時に所定の変動パターンに従って図柄列毎に縦スクロール、横スクロール等による変動を開始すると共に、所定の有効ライン上の停止図柄が所定態様となるように例えば第 1 , 第 2 特別図柄の変動停止と略同時に最終停止する。なお装飾図柄 9 0 では、例えば有効ライン上の全ての停止図柄が同じ場合が大当たり演出態様、それ以外が小当たり演出態様又ははずれ演出態様となっており、第 1 , 第 2 特別図柄が大当たり態様となる場合には装飾図柄 9 0 は大当たり演出態様となり、第 1 , 第 2 特別図柄が小当たり態様となる場合には装飾図柄 9 0 は小当たり演出態様となり、第 1 , 第 2 特別図柄がはずれ態様となる場合には装飾図柄 9 0 ははずれ演出態様となる。

20

【 0 0 4 7 】

また第 1 , 第 2 保留報知画像 X 1 ~ X 4 , Y 1 ~ Y 4 , 変動中保留報知画像 Z に関しては、第 1 , 第 2 特別図柄始動手段 7 2 , 7 3 が遊技球を検出することに基づいて第 1 , 第 2 特別保留個数が増加した場合に、第 1 , 第 2 保留報知画像 X 1 ~ , Y 1 ~ を液晶表示手段 7 6 上に 1 個追加表示し、また第 1 , 第 2 特別図柄表示手段 6 3 , 6 4 による第 1 , 第 2 特別図柄の新たな変動が開始することに基づいて第 1 , 第 2 特別保留個数が減少した場合に、例えば変動中保留報知画像 Z を消去し、第 1 , 第 2 保留報知画像 X 1 ~ , Y 1 ~ を待ち行列の前側（例えば画面右側）に向けて 1 個分ずつシフトすると共に、押し出された先頭の第 1 , 第 2 保留報知画像 X 1 , Y 1 を例えば所定位置まで移動させて新たな変動中保留報知画像 Z に変化させるようになっている。

30

【 0 0 4 8 】

また遊技盤 1 6 の裏側には、図 7 に示すように、液晶表示手段 7 6 を遊技盤 1 6 の後側で支持するための裏ケース 9 1 が装着され、この裏ケース 9 1 の背面側に、主制御部 9 2 を構成する主制御基板 9 3 が格納された主基板ケース 9 4 、演出制御部 9 5 を構成する演出インターフェース基板 9 6 、液晶インターフェース基板 9 7 、液晶制御基板 9 8 及び ROM 基板 9 9 が格納された演出基板ケース 1 0 0 等が着脱自在に装着されている。

30

【 0 0 4 9 】

ここで、演出インターフェース基板 9 6 、液晶インターフェース基板 9 7 、液晶制御基板 9 8 及び ROM 基板 9 9 について、演出基板ケース 1 0 0 への格納状態の詳細について図 8 , 図 9 を参照しつつ説明する。

40

【 0 0 5 0 】

演出インターフェース基板 9 6 と液晶インターフェース基板 9 7 とは、夫々の表面 9 6 a , 9 7 a が後側となる向きで、左右に互いに近接した状態で配置されている。そして、演出インターフェース基板 9 6 と液晶インターフェース基板 9 7 とは、演出インターフェース基板 9 6 における液晶インターフェース基板 9 7 側の縁部に沿って配置された演出 IF 第 1 , 第 2 コネクタ C N 1 1 , C N 1 2 と、液晶インターフェース基板 9 7 における演出インターフェース基板 9 6 側の縁部に沿って配置された液晶 IF 第 1 , 第 2 コネクタ C N 2 1 , C N 2 2 とを夫々左右方向に直結することによって互いに一体化されている。なお、演出インターフェース基板 9 6 では、その表裏両面に各種電子部品が配置されているが、音声プロセッサ 1 0 1 、デジタルアンプ 1 0 2 等の各種 I C 、液晶 IF 第 1 ~ 第 3 コ

50

ネクタCN21～CN23等の各種コネクタ、音声ROM103等は表面96a側に配置されている。また液晶インターフェース基板97についても、その表裏両面に各種電子部品が配置されているが、液晶IF第1～第3コネクタCN21～CN23の他、液晶表示手段76を接続するための液晶接続第1，第2コネクタCN24，CN25等の各種コネクタについては表面97a側に配置されている。

【0051】

また液晶制御基板98は、その表面98aが後向きとなり、裏面98bが演出インターフェース基板96及び液晶インターフェース基板97の表面96a，97aと対向するように、演出インターフェース基板96及び液晶インターフェース基板97の後側に配置されている。そして液晶制御基板98は、その裏面98b側に設けられた液晶制御第1コネクタCN31を演出インターフェース基板96側の演出IF第3コネクタCN13に、同じく裏面98b側に設けられた液晶制御第2コネクタCN32を液晶インターフェース基板97側の液晶IF第3コネクタCN23に夫々直結することにより、演出インターフェース基板96及び液晶インターフェース基板97と一体化されている。なお、液晶制御基板98では、その表裏両面に各種電子部品が配置されており、表面98a側には複合チップ104、制御ROM105、DRAM106、液晶制御第3コネクタCN33等が配置され、裏面98b側には液晶制御第1，第2コネクタCN31，CN32等が配置されている。

【0052】

またROM基板99は、表面99aが後向きとなり、裏面99bが演出インターフェース基板96、液晶インターフェース基板97のうちの例えは液晶インターフェース基板97の表面97aと対向するように、液晶制御基板98に隣接して例えはその下側に配置されている。そしてROM基板99は、その表面99a側の上縁部に配置されているROM第1コネクタCN41を、液晶制御基板98の下縁部に配置されている液晶制御第3コネクタCN33に直結することにより液晶制御基板98と一体化されている。なお、ROM基板99では、その表裏両面に各種電子部品が配置されているが、CGROM107、ROM第1コネクタCN41等については表面99a側に配置されている。

【0053】

以上説明したように、基板96～99は、互いのコネクタ同士を直結することにより、演出インターフェース基板96及び液晶インターフェース基板97の表面96a，97aと液晶制御基板98及びROM基板99の裏面98b，99bとを、所定の隙間を空けて対向させた状態で接続され、一体化される。従って、それら基板96～99を互いに接続した状態では、液晶制御基板98の裏面98b側は、演出インターフェース基板96及び液晶インターフェース基板97の陰になって目視することができない。

【0054】

演出基板ケース100は透明な合成樹脂製で、基板96～99の裏面側を覆うベース体111と、基板96～99の表面側を覆うカバー体112とで略箱形に形成されている。基板96～99を演出基板ケース100に格納する際には、まず液晶制御基板98とROM基板99とを、コネクタの直結により互いに連結した状態で、カバー体112の内側の所定位置にねじ止めにより固定する。このとき、液晶制御基板98、ROM基板99の表面98a，99aが、カバー体112の背壁113の内面側に所定の隙間を挟んで対向する。

【0055】

次に、演出インターフェース基板96と液晶インターフェース基板97とを、コネクタの直結により互いに連結した状態で、液晶制御基板98及びROM基板99の背面側からカバー体112の内側の所定位置に嵌め込む。このとき、演出インターフェース基板96側の演出IF第3コネクタCN13が液晶制御基板98側の液晶制御第1コネクタCN31に、液晶インターフェース基板97側の液晶IF第3コネクタCN23が液晶制御基板98側の液晶制御第2コネクタCN32に夫々結合される。

【0056】

10

20

30

40

50

続いて、ベース体 111 を、演出インターフェース基板 96 及び液晶インターフェース基板 97 の裏面 96b, 97b 側からカバー体 112 に嵌め合わせる。そして更に、ベース体 111 の外側から演出インターフェース基板 96、液晶インターフェース基板 97 の通孔 114 を介してカバー体 112 側のねじ止め基部 115 に対してねじ止めすることにより、基板 96 ~ 99 は演出基板ケース 100 内の所定位置に固定される。基板 96 ~ 99 が格納された演出基板ケース 100 は、ベース体 111 を前側、カバー体 112 を後側に向けた状態で、裏ケース 91 の背面側に着脱自在に装着される。

【0057】

また前枠 3 の裏側には、図 7 に示すように、遊技盤 16 の裏側を開閉自在に覆う裏カバー 121 が着脱自在に装着されると共に、その上側に遊技球タンク 122 とタンクレール 123 とが、左右一側に払出手段 32 と払出通路 124 とが夫々装着されており、遊技球が大入賞手段 74 等の入賞口に入賞したとき、又は国外の自動球貸し機から球貸し指令があったときに、遊技球タンク 122 内の遊技球をタンクレール 123 経由で払出手段 32 により払い出し、その遊技球を払出通路 124 経由で上皿 33 に案内するようになっている。なお、裏カバー 121 は、演出基板ケース 100 の略全体と主基板ケース 94 の上部側の一部分とを後側から覆うように配置されている。

10

【0058】

また、前枠 3 の裏側下部には、基板装着台 125 が着脱自在に装着されており、この基板装着台 125 の背面側に、電源基板 126 が格納された電源基板ケース 127、払出発射制御基板 128 が格納された払出発射基板ケース 129 が夫々着脱自在に装着されている。

20

【0059】

図 10 は本パチンコ機の制御系の全体構成を示すブロック図である。図 10 に示すように、本パチンコ機の全体回路構成は、遊技盤 16 側に搭載される盤側部材 131 と、前枠 3 側に搭載される枠側部材 132 とで構成されている。

20

【0060】

まず盤側部材 131 の概要を説明する。盤側部材 131 は、主制御部 92 を構成する主制御基板 93、演出制御部 95 を構成する演出インターフェース基板 96、液晶インターフェース基板 97、液晶制御基板 98 及び ROM 基板 99 の他、遊技盤中継基板 133、LED 接続基板 134、主制御中継基板 135、電源中継基板 136、枠 LED 中継基板 137 等で構成されている。

30

【0061】

主制御基板 93 は、遊技制御を統括的に行うもので、普通図柄始動手段 71 や大入賞手段 74 等に設けられた遊技球検出スイッチ、大入賞手段 74 等に設けられた開閉駆動手段、遊技盤 16 の各部に配置された磁気、電波、振動等の各種センサ、遊技情報表示手段 60 等が、遊技盤中継基板 133 等の中継基板を介して、或いは中継基板を介すことなく直接的に接続されている。また主制御基板 93 は、演出制御ハーネス 138 を介して演出インターフェース基板 96 に接続されており、制御コマンド CMD とストローブ信号 STB とを送信可能となっている。

【0062】

主制御中継基板 135、電源中継基板 136 及び枠 LED 中継基板 137 は、盤側部材 131 を枠側部材 132 に接続するためのもので、主制御基板 93 は主制御中継基板 135 を介して払出発射制御基板 128 に接続され、演出インターフェース基板 96 は電源中継基板 136 を介して電源基板 126 に、枠 LED 中継基板 137 を介して枠下 LED 接続基板 139 に夫々接続されている。遊技盤 16 側の主制御中継基板 135、電源中継基板 136、枠 LED 中継基板 137 には、盤側第 1 ~ 第 3 コネクタ CN1a ~ CN3a が夫々遊技盤 16 の後側に対応して配置され、また内枠 6 側の遊技盤装着部 14 (図 2) には、枠側第 1 ~ 第 3 コネクタ CN1b ~ CN3b が夫々盤側第 1 ~ 第 3 コネクタ CN1a ~ CN3a に対向するように配置されており、遊技盤 16 が内枠 6 の遊技盤装着部 14 に前側から装着されたとき、盤側第 1 ~ 第 3 コネクタ CN1a ~ CN3a が枠側第 1 ~ 第 3

40

50

コネクタ C N 1 b ~ C N 3 b に夫々結合されるようになっている。なお、枠側第 1 コネクタ C N 1 b は、拡出発射制御基板 1 2 8 に接続される拡出発射制御中継ハーネス 1 4 1 の一端側に設けられ、枠側第 2 コネクタ C N 2 b は、電源基板 1 2 6 に接続される演出制御電源ハーネス 1 4 2 の一端側に設けられ、枠側第 3 コネクタ C N 3 b は、枠下 L E D 接続基板 1 3 9 に接続される枠下 L E D 接続ハーネス 1 4 3 の一端側に設けられている。

【 0 0 6 3 】

演出制御部 9 5 を構成する演出インターフェース基板 9 6 、液晶インターフェース基板 9 7 、液晶制御基板 9 8 及び R O M 基板 9 9 は、既に説明したようにハーネスを介することなくコネクタ同士を直結することによって互いに一体化されている。

【 0 0 6 4 】

また、液晶インターフェース基板 9 7 には、液晶接続第 1 , 第 2 コネクタ C N 2 4 , C N 2 5 から液晶接続第 1 , 第 2 ハーネス 1 4 4 , 1 4 5 を介して液晶表示手段 7 6 が接続されている。また演出インターフェース基板 9 6 には、L E D 接続ハーネス 1 4 6 を介して L E D 接続基板 1 3 4 が接続されている。L E D 接続基板 1 3 4 には、可動役物ランプ 3 1 4 を構成する L E D 基板 3 1 2 、盤ランプ 3 2 4 を構成する L E D 基板 3 2 2 a ~ 3 2 2 c 等の各種 L E D 基板の他、可動役物 7 7 a の駆動制御に使用するモータ、ソレノイド等の可動体駆動手段、位置検出スイッチ等が接続されている。

【 0 0 6 5 】

ここで、図 1 1 等に基づいて、液晶表示手段 7 6 の仕様について説明する。液晶表示手段 7 6 は、横 1 2 8 0 画素 × 縦 1 0 2 4 画素の液晶カラーディスプレイであるが、左右方向に隣接する奇数画素 (O D D) 、偶数画素 (E V E N) に対応する制御信号 (O D D 信号、 E V E N 信号) を、別々の L V D S (Low Voltage Differential Signaling) 伝送路を介して受信部 R V (R V a + R V b) で受ける構成となっている。そこで本実施形態では、この仕様に対応して、液晶接続第 1 コネクタ C N 2 4 , 液晶接続第 1 ハーネス 1 4 4 等による第 1 伝送路 L V D S 1 を経由して O D D 信号 (第 1 信号) を伝送し、同じく第 2 伝送路 L V D S 2 を経由して E V E N 信号 (第 2 信号) を伝送している (図 1 0 の左下部) 。

【 0 0 6 6 】

また、この液晶表示手段 7 6 では、内部動作を規定する動作クロック C K は、その周波数を 4 0 M H z ~ 7 0 M H z の範囲とするべく規定されている (典型値は 5 4 M H z) 。この動作クロック C K はドットクロック D C K に対応するが、以下の説明では、便宜上、動作クロック C K の周波数は典型値である 5 4 M H z とする。その 5 4 M H z の動作クロック C K において、一フレームの画像更新に要する更新時間 (フレームレート) を約 1 / 6 0 秒とする構成について説明する。

【 0 0 6 7 】

液晶表示手段 7 6 は、その仕様として、第 1 伝送路 L V D S 1 から受けた O D D 信号と、第 2 伝送路 L V D S 2 から受けた E V E N 信号とに基づき、表示画面の左右方向に隣接する二画素を、一の動作クロック C K で同時に処理するように構成されている。その結果、水平方向一ラインに対応する 1 2 8 0 画素の画素データは、 $6 4 0 / 5 4 \text{ M H z} = 1 1 . 8 5 \mu \text{ s}$ の動作時間で更新され、この動作が垂直方向 1 0 2 4 ライン分繰り返されることで、一フレーム分 $1 2 8 0 \times 1 0 2 4$ 画素の画像表示が更新される。なお、第 1 ライン 第 2 ライン . . . 第 1 0 2 4 ラインのように、一ラインごとにノンインタラース方式で画像が更新される。

【 0 0 6 8 】

但し、図 1 1 に示す通り、液晶表示手段 7 6 の仕様として、水平方向に典型値としては 2 0 4 クロック分の待機時間 (ブランク期間) W T h を設けること、及び垂直方向に典型値としては 4 2 行分の待機時間 (ブランク期間) W T v を設けることが規定されている。従って、これらの待機時間 W T h , W T v を考慮した実際の画面更新周期は、上述した典型値に基づく計算において、 $(2 0 4 + 6 4 0) \times (4 2 + 1 0 2 4) / 5 4 \text{ M H z} = 1 6 . 6 6 \text{ m s}$ となるため、フレームレートは約 6 0 H z となる。

【0069】

なお、水平方向待機時間W T hと垂直方向待機時間W T vには、各々典型値に対する許容幅が規定されており、実際には上述した典型値とは異なる値を選択可能である。但し、フレームレートを1/60秒とするため、(W T h + 640) × (W T v + 1024) / 54 MHz = 1/60秒となるよう、水平、垂直方向待機時間W T h、W T vを正確に設定する必要がある。

【0070】

また液晶表示手段76では、水平同期信号H Sと垂直同期信号V Sとが不要である一方、O D D信号とE V E N信号の伝送時にはHレベルのデータ有効信号E N A Bの伝送が要求される。即ち、第1、第2伝送路L V D S 1、L V D S 2に対して、有意な信号(O D D/E V E N信号)を伝送しているタイミングでは、データ有効信号E N A Bがアクティブレベル(Hレベル)である必要がある。

10

【0071】

そこで本実施形態では、上述した液晶表示手段76の仕様に基づき、液晶制御基板(表示制御手段)98と液晶表示手段76とを、ドットクロック(ピクセルクロック)D C Kが54 MHzのデュアルリンク伝送路でL V D S接続している(図13、図18)。また、液晶制御基板98に搭載されるV D P回路172(図14等)では、液晶表示手段76の仕様を満たす水平方向待機時間W T hと垂直方向待機時間W T vとを設けるとともに、画像データ(O D D/E V E N信号)の出力時は、データ有効信号E N A Bがアクティブレベル(Hレベル)になるようにしている。

20

【0072】

即ち、データ有効信号E N A Bは、図12(b)に示すように、水平同期周期T Hのうち、水平表示期間T H dだけがHレベルとなるよう構成されている。従って、データ有効信号E N A Bは、垂直同期周期T Vのうち、垂直表示期間T V d以外は必ずLレベルとなる(図12(c))。なお、水平方向待機時間W T hと垂直方向待機時間W T vは、各々の典型値(W T hは204、W T vは42)とは異なる値を採用しているが、具体的な設計値については図19に基づいて後述する。

【0073】

何れにしても、データ有効信号E N A Bは、図12(a)に示すように、差動信号ラインR A 2、R B 2を経由して、ドットクロックD C Kの各動作サイクルにおいて離散的なD E信号として繰り返し伝送される。図12(b)、(c)に示すデータ有効信号E N A Bは、L V D S伝送された離散データであるD E信号を復調したもので、離散的なD E信号を時間軸上に連続させたものである。なお、差動信号ラインR A 2、R B 2では、図12(a)に示すように、垂直同期信号V Sと水平同期信号H SについてもD E信号(データ有効信号E N A B)に続いて繰り返し伝送されているが、本実施形態の液晶表示手段76では同期信号V S、H Sを活用しておらず、これらの同期信号H S、V Sに関する内部動作は実行されることはない。

30

【0074】

即ち、本実施形態の液晶表示手段76における表示ラインの水平改行タイミングは、受信した水平同期信号H Sとは無関係に、データ有効信号E N A Bの立下りタイミングや、データ有効信号E N A Bの立上りタイミング後の動作クロックC K(ドットクロックD C Kに対応)の個数(本実施形態では640個)等に基づいて、液晶表示手段76の内部回路にとって最適なタイミングに規定される(図12(b)の下向き矢印)。

40

【0075】

この点は、一フレーム分の画像表示後の垂直改行タイミングについても同様であり、所定パルス幅のデータ有効信号E N A Bの連続個数(本実施形態では1024個)等に基づいて、液晶表示手段76の内部回路にとって最適なタイミングに規定され(図12(c)の下向き矢印)、受信した垂直同期信号V Sには影響されない。このように本実施形態では、液晶表示手段76に水平同期信号H Sや垂直同期信号V Sを伝送する必要がないため、同期信号H S、V Sのパルス幅P W h、P W v、フロントポーチF P h、F P v、バッ

50

クポーチ B P h , B P v 等を最適に設定する必要がなく、 V D P 回路 1 7 2 等の制御負担が大きく軽減される。

【 0 0 7 6 】

また、液晶表示手段 7 6 の内部動作としても、自らの内部構成に基づく最適タイミングで水平改行や垂直改行の動作が実行されるため、不自然な表示動作のおそれが解消される。因みに、外部から受ける水平同期信号 H S や垂直同期信号 V S に基づいて動作する表示手段の場合には、同期信号 H S , V S のパルス幅や、同期信号 H S , V S に前後するフレームトポート期間、バックポート期間が不適切であれば正常な表示動作が損なわれるおそれがある。

【 0 0 7 7 】

ところで、図 1 2 (a)において、差動信号ライン R A 0 ~ R A 3 , R A C L K を使用する第 1 伝送路 L V D S 1 は、奇数番目の画素に対応する信号を伝送しており (A サイドの O D D 信号) 、差動信号ライン R B 0 ~ R B 3 , R B C L K を使用する第 2 伝送路 L V D S 2 は、偶数番目の画素に対応する信号を伝送している (B サイドの E V E N 信号) 。このように、本実施形態では O D D 信号と E V E N 信号とをデュアルリンク伝送路で伝送することで、ドットクロック D C K の周波数を実質的に 1 / 2 に低下させることができ、その分だけ耐ノイズ性を向上させ、また伝送距離を上げることもできる。

【 0 0 7 8 】

一方、液晶表示手段 7 6 には、デュアルリンク伝送路で伝送された O D D 信号と E V E N 信号とを受信する受信部 R V が内蔵されており、二つの L V D S 信号 (O D D 信号と E V E N 信号) から R G B 信号を復元して、一フレーム分 (1 2 8 0 × 1 0 2 4 画素) の画像を表示している。 R G B 信号は各々 8 b i t で構成されているので、液晶表示手段 7 6 には階調度 $2^8 \times 2^8 \times 2^8$ のフルカラー画像が表示される。

【 0 0 7 9 】

図 1 3 は、液晶表示手段 7 6 の内部構成を、 V D P 回路 1 7 2 の関連部分と共に図示したブロック図である。図示の通り、 O D D 信号は、第 1 伝送路 L V D S 1 (A サイド) を経由して L V D S - パラレル変換部 R V a に伝送され、 E V E N 信号は、第 2 伝送路 L V D S 2 (B サイド) を経由して L V D S - パラレル変換部 R V b に伝送される。なお、第 1 伝送路 L V D S 1 は 5 本の差動信号ライン R A 0 ~ R A 3 , R A C L K を備え、また第 2 伝送路 L V D S 2 は、 5 本の差動信号ライン R B 0 ~ R B 3 , R B C L K を備えている。

【 0 0 8 0 】

そして、差動信号ライン R A 0 / R B 0 からは、各 8 ピット長の R G B データのうち、画像データ R 0 ~ R 5 , G 0 が注出され、差動信号ライン R A 1 / R B 1 からは、同じく画像データ G 1 ~ G 5 , B 0 , B 1 が注出され、差動信号ライン R A 2 / R B 2 からは、同じく画像データ B 2 ~ B 5 , D E 信号 (即ちデータ有効信号 E N A B) , V S 信号及び H S 信号が注出され、差動信号ライン R A 3 / R B 3 からは、同じく画像データ G 6 , G 7 , B 6 , B 7 , R 6 , R 7 が注出される。なお、注出された V S 信号と H S 信号が利用されないことは上述した通りである。

【 0 0 8 1 】

また、差動信号ライン R A C L K / R B C L K のドットクロック D C K は、 P L L 回路に供給されることで、ドットクロック D C K と同一の周波数 5 4 M H z の動作クロック C K が生成される。この動作クロック C K は、液晶コントローラ L C D _ C T L の内部動作を規定するもので、液晶コントローラ L C D _ C T L は、液晶パネル L C D における左右方向に隣接する 2 個の R G B 画素 (8 ピット × 3 × 2) に対応する画像データを、一の動作クロック C K に同期してまとめて処理している。

【 0 0 8 2 】

そのため、横方向 1 2 8 0 (= 6 4 0 × 2) ドットの画素は、動作クロック C K 6 4 0 個分の処理時間 1 1 . 8 5 μ S (= 6 4 0 / 5 4 M H z) で処理を完了することになる。なお、一の画素に対応する画像データは、 R G B 各々 1 バイト長 (階調度 $2^8 \times 2^8 \times 2^8$) であるから、一ラインを構成する全画素 (1 2 8 0 ドット) の画像データは、全体とし

10

20

30

40

50

て 3×1280 バイト長となる。

【0083】

図13に示す通り、液晶コントローラLCD_CTLは、1280本のソース信号ラインを各々 2^8 (=256)階調の駆動信号で駆動するソースドライバSDVと、1024本のゲート信号ラインをON/OFF制御するゲートドライバGDVとを適宜制御している。具体的には、液晶コントローラLCD_CTLは、LVDS伝送路から注出したDE信号(データ有効信号ENAB)と動作クロックCKとに基づいて、各部を適宜に動作させることで、フレームレート60Hzの画像更新動作を実現している。

【0084】

液晶パネルLCDの画素は夫々RGB三色の基本画素で構成されており、一ライン分の全画素(1280ドット)に対応する基本画素数は 3×1280 個となるため、ソースドライバSDVは、384本の出力端子を有するドライバ素子を10個配置して構成されている。なお、これら10個のドライバ素子には、液晶コントローラLCD_CTLから画像データDATが順番に供給され、これがスタート信号SPや転送クロックDCLKに基づいて適宜転送される。そして、ラッチ信号LTに同期して、アナログ変換された駆動信号が3840本のソース信号ラインに供給される。先に説明した通り、液晶パネルLCDの一ラインの全画素(1280ドット)の更新に要する時間は $11.85\mu\text{s}$ (=640/54MHz)である。

10

【0085】

一方、液晶コントローラLCD_CTLは、ゲートドライバGDVに対して、ゲートスタート信号GSやゲートクロック信号GCLKを供給することで、駆動対象となるゲート信号ラインを更新している。ここで、ゲートドライバGDVは、256本の出力端子を有するドライバ素子を4個配置して構成されている。

20

【0086】

なお、ゲート信号ラインの更新タイミングは、DE信号の立下りタイミングと動作クロックCKとに基づいて規定され、ゲート信号ラインの水平改行周期は、動作クロックCKでカウントして、典型値計算では $640 + 204$ クロックとされる(図11参照)。また、DE信号の個数(1024)に基づいて、駆動対象のゲート信号ラインが初期状態にリセットされ、最適なタイミングでゲートスタート信号GSが出力され、ゲートクロック信号GCLKの出力が再開される。ゲート信号ラインの垂直改行周期は、動作クロックCKでカウントして、典型値計算では $42 + 1024$ クロックである(図11参照)。但し、先に説明した通り、本実施形態では典型値とは異なる設計で液晶表示手段76を動作させている(図19参照)。

30

【0087】

続いて、図10に戻って枠側部材132の概要を説明する。枠側部材132は、電源基板126、拡出発射制御基板128を中心に構成されている。電源基板126は、AC24Vを受けて各種の直流電圧を出力するもので、拡出発射制御基板128にDC5V, DC12V, DC35Vを、枠下LED接続基板139にDC12Vを夫々出力する他、電源中継基板136を介して演出インターフェース基板96にDC5V, DC12V, DC35Vを出力するようになっている。拡出発射制御基板128にはバックアップ基板147が接続されており、拡出発射制御基板128から主制御基板93に対しては、電源基板126から受けたDC5V, DC12V, DC35Vの他、バックアップ電源、電源異常信号等が主制御中継基板135を介して出力される。

40

【0088】

また拡出発射制御基板128には、発射手段17を構成する発射駆動手段17d、外部のホストコンピュータ等に各種情報を出力するための外部端子板148、外部の遊技球貸出装置を接続するための貸出装置接続端子板149の他、枠中継基板150、受け皿中継基板151等が接続されている。

【0089】

枠中継基板150は、内枠6側に配置された拡出モータ32a、拡出計数スイッチ32

50

b、前扉・内枠開放スイッチ152等と拡出発射制御基板128との接続を中継するものである。また受け皿中継基板151は、前扉7側の発射接続基板153、球詰まり検出基板154、度数表示基板155等と拡出発射制御基板128との接続を中継するものである。発射接続基板153には、発射ハンドル35を構成する可変抵抗器35a、発射停止スイッチ35b、タッチセンサ35cの他、球送りユニット53aに設けられた球送りソレノイド53c等が接続されている。

【0090】

また、枠下LED接続基板139には、内枠6側の下部スピーカ18の他、前扉7側の枠左下LED接続基板156が接続されている。枠左下LED接続基板156には、枠ランプ304を構成するLED基板302a～302d、発射ハンドル35に配置されるハンドルLED基板158、演出ボタン41やその内部のLED基板等が接続される演出ボタンLED接続基板159、音量/光量調整ボタン39, 40等が接続される音量光量ボタン基板160、上部スピーカ25、サイドユニット30に接続されるサイドユニット中継基板161等が接続されている。

10

【0091】

続いて、演出制御部95を構成する演出インターフェース基板96、液晶インターフェース基板97、液晶制御基板98及びROM基板99の回路構成について、図10, 図14等を参照しつつ詳細に説明する。

【0092】

図10に示すように、演出インターフェース基板96は、各種入出力バッファの他、液晶制御基板98の複合チップ104に搭載されているCPU回路171(図14)から受ける指示に基づいて音声信号を再生する音声プロセッサ101、再生される音声信号の元データである圧縮音声データ等を記憶する音声ROM103、音声プロセッサ101から出力される音声信号を受けるデジタルアンプ102等を備えている。音声プロセッサ101は、内部回路の異常動作時に内部回路の設定値を自動的にデフォルト値にリセットするWDT回路と、音声制御レジスタSRGとを内蔵しており、音声制御レジスタSRGが、複合チップ104のCPU回路171から受ける動作パラメータに基づいて音声ROM103にアクセスし、必要な音声信号を再生してデジタルアンプ102に出力するようになっている。

20

【0093】

演出インターフェース基板96に搭載されている各種入出力バッファには、主制御基板93から制御コマンドCMDとストローブ信号STBとを受けて液晶制御基板98の複合チップ104に転送するための入力バッファ、枠LED中継基板137を経由して演出ボタン41等のスイッチ信号を受けて液晶制御基板98の複合チップ104に転送するための入力バッファ、液晶制御基板98から受けたシリアル信号を枠LED中継基板137を経由してLED基板等のドライバICに転送するための出力バッファ、LED接続基板134を経由して可動体の位置検出スイッチ等のスイッチ信号を受けて液晶制御基板98の複合チップ104に転送するための入力バッファ、液晶制御基板98から受けたシリアル信号をLED接続基板134を経由してLED基板等のドライバICに転送するための出力バッファ等がある。

30

【0094】

また液晶制御基板98には、CPU回路171、VDP回路172等を内蔵する複合チップ(チップ)104と、CPU回路171の制御プログラムを記憶する制御ROM(チップと接続されるROM)105と、大量のデータを高速にアクセス可能なDRAM(Dynamic Random Access Memory)106等が搭載されており、その液晶制御基板98に接続されているROM基板99には、演出制御に必要な大量のCGデータを記憶するCGRAM107が搭載されている。

40

【0095】

制御ROM105は、チップセレクト信号CS0で選択されるアドレス空間CS0に位置付けされている。またDRAM106は、チップセレクト信号CS5で選択されるアド

50

レス空間 C S 5 に位置付けされている。

【 0 0 9 6 】

図 1 4 は、液晶制御基板 9 8 に搭載される複合チップ 1 0 4 について、関連する回路素子も含めて図示した回路ブロック図である。図示の通り、複合チップ 1 0 4 には、所定時間毎にディスプレイリスト D L を発行する C P U 回路 1 7 1 と、発行されたディスプレイリスト D L に基づいて画像データを生成し、液晶表示手段 7 6 を駆動する V D P 回路 1 7 2 とが内蔵されている。そして、C P U 回路 1 7 1 と V D P 回路 1 7 2 とは、互いの送受信データを中継する C P U I F 回路 1 7 3 を介して接続されている。

【 0 0 9 7 】

C P U 回路 1 7 1 は、複合チップ 1 0 4 の H C L K I 端子で受けた発振器 O S C 1 からの発振出力（例えば 1 0 0 / 3 M H z ）を周波数倍（例えば 8 倍）して、2 6 6 . 7 M H z 程度の C P U 動作クロックとしている。ここで、発振器 O S C 1 は、スペクトラムス拡散波を出力するように構成されることで、電波障害 / 電磁妨害を防止する E M I (Electromagnetic Interference) 対策を図っている。

10

【 0 0 9 8 】

一方、V D P 回路 1 7 2 は、複合チップ 1 0 4 の P L L R E F 端子で受けた発振器 O S C 2 からの発振出力（例えば 4 0 M H z ）を、必要に応じて周波数倍した上で、V D P 回路 1 7 2 のシステムクロック、表示装置用の表示クロック（ドットクロックなど）、及び外付けの D R A M 1 0 6 の D D R クロックとして使用している。即ち、発振器 O S C 2 の出力は、V D P 回路 1 7 2 全体のリファレンスクロックとして機能している。

20

【 0 0 9 9 】

そこで、このリファレンスクロックの重要性を考慮して、発振器 O S C 2 を V D P 回路 1 7 2 と同じ電源電圧 3 . 3 V で動作させると共に、出力イネーブル端子 O E が H レベル (= 3 . 3 V) であることを条件に、リファレンスクロックを発振出力し、電源電圧 3 . 3 V が所定レベル以下に低下した場合には、マスク不能の割込み (N M I) が生じるよう構成されている。

【 0 1 0 0 】

また複合チップ 1 0 4 には H B T S L 端子が設けられており、この H B T S L 端子の論理レベルに基づいて、電源投入 (C P U リセット) 後に実行されるブートプログラム（初期設定プログラム）を記憶する R O M を特定している。図示の通り、本実施形態では H B T S L = L に設定されており、C P U 回路 1 7 1 のアドレス空間 C S 0 のゼロ番地が制御 R O M 1 0 5 に割り当てられている。

30

【 0 1 0 1 】

C P U I F 回路 1 7 3 には、制御プログラムや必要な制御データを不揮発的に記憶する制御 R O M 1 0 5 と、2 M バイト程度の記憶容量を有するワークメモリ (R A M) 1 7 4 とが接続されており、各々 C P U 回路 1 7 1 、V D P 回路 1 7 2 からアクセス可能となっている。

【 0 1 0 2 】

なお、制御 R O M 1 0 5 は、チップセレクト信号 C S 0 で選択されるアドレス空間 C S 0 に位置付けられ、ワークメモリ 1 7 4 は、チップセレクト信号 C S 6 で選択されるアドレス空間 C S 6 に位置付けられている。このワークメモリ 1 7 4 には、液晶表示手段 7 6 の一フレームを特定する一連の指示コマンドが記載されたディスプレイリスト D L を一次的に記憶する D L バッファ B U F が確保されている。

40

【 0 1 0 3 】

C P U 回路 1 7 1 は、汎用のワンチップマイコンと同等の性能を有する回路であり、制御 R O M 1 0 5 の制御プログラムに基づいて画像演出を統括的に制御する演出制御 C P U 1 8 1 と、1 6 k バイト程度の記憶容量を有して C P U の作業領域として使用される内蔵 R A M 1 8 2 と、演出制御 C P U 1 8 1 を経由しないでデータ転送を実現するための D M A C (Direct Memory Access Controller) 1 8 3 と、複数の入力ポート S i 及び出力ポート S o を有するシリアル入出力ポート (S I O) 1 8 4 と、複数の入力ポート P i 及

50

び出力ポート P o を有するパラレル入出力ポート (P I O) 1 8 5 と、それら各部の動作を制御するべく設定値が設定される制御レジスタ (R E G) 1 8 6 等を備えている。

【 0 1 0 4 】

パラレル入出力ポート 1 8 5 は、入出力回路 1 8 7 等を介して外部機器 (演出インターフェース基板 9 6) に接続されており、演出制御 C P U 1 8 1 は、入出力回路 1 8 7 を経て、演出ボタン 4 1 等のスイッチ信号、制御コマンド C M D 、割込み信号 S T B 等を受信するようになっている。

【 0 1 0 5 】

次に、 V D P 回路 1 7 2 について説明する。 V D P 回路 1 7 2 には、画像演出等で利用する静止画や動画の構成要素となる圧縮データを記憶する C G R O M 1 0 7 と、 4 G b i t 程度の記憶容量を有する外付け D R A M 1 0 6 と、液晶表示手段 7 6 とが接続されている。本実施形態では、 D R A M 1 0 6 は D D R 3 (Double-Data-Rate3 SDRAM) で構成され、 C G R O M 1 0 7 は N A N D 型フラッシュメモリよりなるフラッシュ S S D (solid state drive) で構成されている。

10

【 0 1 0 6 】

V D P 回路 1 7 2 は、図 1 4 に示すように、 V D P (Video Display Processor) の動作を規定する各種の動作パラメータを演出制御 C P U 1 8 1 によって設定可能な制御レジスタ群 2 0 1 と、液晶表示手段 7 6 に表示すべき画像データの生成時に使用される 4 8 M バイト程度の内蔵 V R A M (video RAM) 2 0 2 と、チップ内部の各部間のデータ送受信及びチップ外部とのデータ送受信を実行するデータ転送回路 2 0 3 と、内蔵 V R A M 2 0 2 に関して、 S o u r c e や D e s t i n a t i o n のアドレス情報を特定可能なインデックステーブル I D X T B L と、描画動作に先行して C G R O M 1 0 7 に R E A D アクセスするプリロード動作を実行可能なプリローダ 2 0 4 と、 C G R O M 1 0 7 から読み出した圧縮データをデコード (復号伸長 / 展開) するグラフィックスデコーダ (G D E C) 2 0 5 と、デコード (展開) 後の静止画データや動画データを適宜に組み合わせて液晶表示手段 7 6 の一フレーム分の画像データを生成する描画回路 2 0 6 と、描画回路 2 0 6 の動作の一部として、適宜な座標変換によって立体画像を生成するジオメトリエンジン 2 0 7 と、描画回路 2 0 6 が生成したフレームバッファ F B a の画像データを読み出して、適宜な画像処理を並列的に実行可能な複数系統、例えば 3 系統 (A / B / C) の表示回路 2 0 8 A ~ 2 0 8 C と、 3 系統 (A / B / C) の表示回路 2 0 8 A ~ 2 0 8 C の出力を適宜選択する出力選択部 2 0 9 と、出力選択部 2 0 9 が出力する画像データを L V D S 信号に変換する L V D S 部 2 1 0 と、シリアルデータ送受信可能な S M C 部 2 1 1 と、 C P U I F 回路 1 7 3 とのデータ送受信を中継する C P U I F 部 2 1 2 と、 C G R O M 1 0 7 からのデータ受信を中継する C G バス I F 部 2 1 3 と、外付け D R A M 1 0 6 とのデータ送受信を中継する D R A M I F 部 2 1 4 と、内蔵 V R A M 2 0 2 とのデータ送受信を中継する V R A M I F 部 2 1 5 と、音声回路 S N D とを備えている。

20

【 0 1 0 7 】

図 1 5 には、 C P U I F 部 2 1 2 、 C G バス I F 部 2 1 3 、 D R A M I F 部 2 1 4 及び V R A M I F 部 2 1 5 と、制御レジスタ群 2 0 1 、 C G R O M 1 0 7 、 D R A M 1 0 6 及び内蔵 V R A M 2 0 2 との関係が図示されている。同図の通り、 C G R O M 1 0 7 から取得した C G データは、例えばプリロードデータとして、データ転送回路 2 0 3 及び D R A M I F 部 2 1 4 を経由して外付け D R A M 1 0 6 のプリロード領域に転送される。なお、このプリロード動作は必須ではなく、またデータ転送先についても外付け D R A M 1 0 6 に限定されるものではなく、内蔵 V R A M 2 0 2 であってもよい。例えばプリロード動作を実行しないように構成する場合には、 C G データは、データ転送回路 2 0 3 、 V R A M I F 部 2 1 5 を経由して内蔵 V R A M 2 0 2 に転送される。

30

【 0 1 0 8 】

ところで、内蔵 V R A M 2 0 2 には、 C G R O M 1 0 7 から読み出した圧縮データの展開領域、表示装置の W × H 個の表示ピクセルの各 A R G B 情報 (3 2 b i t = 8 × 4) を特定する画像データを格納するフレームバッファ領域、及び各表示ピクセルの深度情報を

40

50

記憶する Z バッファ領域などが必要となる。なお、 A R G B 情報において、 A は 8 b i t の プレーンデータ、 R G B は三原色の 8 b i t データを意味する。

【 0 1 0 9 】

ここで、内蔵 V R A M 2 0 2 の上記した各領域は、演出制御 C P U 1 8 1 がディスプレイリスト D L に記載した各種の指示コマンド（テクスチャやスプライトなど）に基づいて間接的にアクセスされるが、その R E A D / W R I T E アクセスにおいて、一々、内蔵 V R A M 2 0 2 の D e s t i n a t i o n アドレスや S o u r c e アドレスを特定するのでは煩雑である。そこで本実施形態では、 C P U リセット後の初期処理において、描画動作で必要となる一次元または二次元の論理アドレス空間（以下、インデックス空間という）を確保して、各インデックス空間にインデックス番号を付与することで、インデックス番号に基づくアクセスを可能にしている。

10

【 0 1 1 0 】

具体的には、 C P U リセット後、内蔵 V R A M 2 0 2 を 3 種類のメモリ領域に大別すると共に、各メモリ領域に、必要数のインデックス空間を確保している。そして、インデックス空間とインデックス番号とを紐付けて記憶するインデックステーブル I D X T B L (図 1 6 (a) 参照) を構築することで、その後のインデックス番号に基づく動作を実現している。

【 0 1 1 1 】

このインデックス空間は、（ 1 ）初期処理後に追加することや、逆に（ 2 ）開放することも必要となる。そこで、これら追加 / 開放の演出制御 C P U 1 8 1 の動作時に、追加 / 開放の処理が可能なタイミングか否か、また追加 / 開放などの処理が実際に完了したか否か等を判定可能なフラグ領域 F G をインデックステーブル I D X T B L に設けている。なお、内蔵 V R A M 2 0 2 は、以下に説明する 2 つの A A C 領域 (a 1 , a 2) 、ページ領域 (b) 、任意領域 (c) の三種類のメモリ領域に大別され、この三種類のメモリ領域 (a 1 , a 2) (b) (c) に対応して、インデックステーブル I D X T B L が 3 区分されている（図 1 6 (a) ）。図示の通り、この実施形態では、 A A C 領域 (a) として、第一 A A C 領域 (a 1) と第二 A A C 領域 (a 2) が確保されているが、これに限定されるものではなく、何れか一方だけでもよい。なお以下の説明では、第一と第二の A A C 領域 (a 1 , a 2) を総称する場合には、 A A C 領域 (a) と称する場合がある。

20

【 0 1 1 2 】

本実施形態の場合、内蔵 V R A M 2 0 2 は、（ a ）インデックス空間とそのインデックス番号が内部処理によって自動付与され、且つメモリキャッシュ機能を有する A A C 領域と、（ b ）例えば 4 0 9 6 b i t × 1 2 8 ラインの二次元空間を単位空間として、その整数倍の範囲でインデックス空間が確保可能なページ領域と、（ c ）先頭アドレス（空間先頭アドレス） S T x と水平サイズ H x が任意に設定できる任意領域とに区分可能に構成されている（図 1 6 (b) 参照）。但し、 V D P 回路 1 7 2 の内部動作を円滑化するため、任意領域 (c) において任意設定されるインデックス空間の空間先頭アドレス S T x は、その下位 1 1 b i t が 0 であって、所定ビット (2 0 4 8 b i t = 2 5 6 バイト) 単位とする必要がある。

30

【 0 1 1 3 】

そして、 C P U リセット後、各々に必要なアドレス空間の最大値と、領域先頭アドレス（下位 1 1 b i t = 0 ）を規定して、 A A C 領域 (a 1) と、第二 A A C 領域 (a 2) と、ページ領域 (b) とが確保され、その残りのメモリ領域が任意領域 (c) となる。 V D P 回路 1 7 2 の内部動作を円滑化するため、 A A C 領域のアドレス空間の最大値は 2 0 4 8 b i t 単位で規定され、ページ領域のアドレス空間の最大値は、上記した 4 0 9 6 b i t × 1 2 8 ラインの単位空間の整数倍とされる。

40

【 0 1 1 4 】

次に、このように確保された各領域 (a 1 , a 2) (b) (c) に必要個数のインデックス空間が設定される。なお、任意領域 (c) を使用する場合、 V D P 回路 1 7 2 の内部動作を円滑化するため、二次元データを扱うインデックス空間の水平サイズ H x は、 2 5

50

6 bit の倍数として任意に設定可能である一方、その垂直サイズは固定値（例えば 2048 ライン）となっている。

【 0115 】

何れにしても、第一と第二の AAC 領域 (a1 , a2) は、 VDP 回路 172 によってインデックス空間とインデックス番号が自動的に付与されるので、例えばテクスチャ設定系コマンドの SET INDEX コマンドによって、デコード先を AAC 領域 (a) に指定すれば、 CGROM107 から CG データを読み出す TXLOAD (テクスチャロード) コマンドでは、 CGROM107 の Source アドレスと、展開 (デコード) 後の水平・垂直サイズなどを指定するだけで足りることになる。そこで本実施形態では、予告演出時などに一時的に出現するキャラクタなどの静止画 (テクスチャ) やイストリーム動画については、そのデコード先を AAC 領域 (a) にしている。

10

【 0116 】

この AAC 領域 (a) は、いずれもメモリキャッシュ機能が付与されているので、例えば、 CGROM107 の同一のテクスチャを複数回、 AAC 領域 (a) に読み出すような場合には、二度目以降は AAC 領域 (a) にキャッシュされているデコードデータが活用可能となり、余分な READ アクセスとデコード処理が抑制可能となる。もっとも、 AAC 領域 (a) を使い切った場合には、古いデータが自動的に破壊されるので、本実施形態では、 AAC 領域 (a) を使用する場合、原則として第一 AAC 領域 (a1) を使用することとし、繰り返し使用する特定のテクスチャだけを第二 AAC 領域 (a2) に取得するようになっている。

20

【 0117 】

繰り返し使用するテクスチャとして、例えば所定の予告演出時に繰り返し出現するキャラクタや、背景画面を静止画で構築する場合の背景画などを例示することができる。このような場合、テクスチャ設定系コマンドの SET INDEX コマンドによって、デコード先を第二 AAC 領域 (a2) に設定し、 TXLOAD コマンドによって、キャラクタや背景画などのテクスチャを第二 AAC 領域 (a2) にデコードした後は、第二 AAC 領域 (a2) を使用しないことで、デコード結果を保護する。

【 0118 】

そしてその後、 SET INDEX コマンドによって、デコード先を第二 AAC 領域 (a2) に指定した上で、取得済みのテクスチャを再取得する同一の TXLOAD コマンドを実行させると、取得済みのテクスチャがキャッシュヒットするので、 CGROM107 への READ アクセスとデコード処理に要する時間を削除することができる。このようなキャッシュヒット機能は、プリロード領域に先読みされたプリロードデータでも発揮されるが、プリロード領域でキャッシュヒットするプリロードデータは、デコード前の圧縮データであるのに対して、 AAC 領域でキャッシュヒットするのはデコード後の展開データである点に意義がある。

30

【 0119 】

ところで、テクスチャ (texture) とは、一般に物の表面の質感、手触りなどを指す概念であるが、本実施形態では、静止画を構成するスプライト画像データ、動画一フレームを構成する画像データ、三角形や四角形などの描画プリミティブ (primitive) に貼り付ける画像データだけでなく、デコード後の画像データも含む概念として使用している。そして、内蔵 VRAM202 の内部で画像データをコピーする（以下、便宜上、移動と称する）場合には、テクスチャ設定系コマンドの SET INDEX コマンドによって、移動元の画像データをテクスチャとして設定した上で、 SPRITE コマンドを実行することになる。

40

【 0120 】

なお、 SPRITE コマンドの実行により、移動元の Source 画像データが、形式上は図 16 (c) に示す仮想描画空間に描画されるが、表示装置に実際に描画される仮想描画空間内の描画領域と、フレームバッファとなるインデックス空間との対応関係を、予め環境設定コマンド (SETDAVR , SETDAVF) や、テクスチャ設定系コマンド

50

(SET INDEX)によって設定しておけば、例えばSPRITEコマンドによる仮想描画空間への描画により、所定のインデックス空間（フレームバッファ）には、移動元のSource画像データが描画されることになる（図16（c）参照）。

【0121】

何れにしても、本実施形態では内蔵VRAM202がAAC領域（a1, a2）とページ領域（b）と任意領域（c）とに大別され、各々に適當数のインデックス空間を確保することができ、各インデックス空間は、各領域（a）（b）（c）ごとに独立のインデックス番号によって特定される。インデックス番号は、例えば1バイト長であり、（内部回路によって自動付与されるAAC領域（a）を除いた）ページ領域（b）と任意領域（c）については、0～255の範囲で演出制御CPU181がインデックス番号を自由に付与することができる。

10

【0122】

そこで本実施形態では、図16（a）に示す通り、液晶表示手段76用として、任意領域（c）に一对のフレームバッファFBaを確保して、ダブルバッファ構造の双方に、インデックス番号255, 254を付与している。すなわち、液晶表示手段76用のフレームバッファFBaとして、トグル的に切り換えて使用されるインデックス空間255と、インデックス空間254を確保している。特に限定されないが、このインデックス空間255, 254は、液晶表示手段76の横方向ピクセル数に対応して水平サイズ1280をしている。なお、各ピクセルはARGB情報32bitで特定されるので、水平サイズ1280は、 $32 \times 1280 = 40960$ bit（256bitの倍数）を意味する。

20

【0123】

なお、フレームバッファFBaを任意領域（c）に確保するのは、任意領域（c）には、32バイト（=256bit=8ピクセル分）の倍数として、任意の水平サイズに設定することができ、上記のように液晶表示手段76の水平ピクセル数に一致させれば、確保領域に無駄が生じないからである。一方、ページ領域（b）には128ピクセル×128ラインの単位空間の整数倍の水平／垂直サイズしか設定できない。但し、任意領域（c）に確保される二次元のインデックス空間は、その垂直サイズが固定値（例えば、2048ライン）となっている。そのため、フレームバッファFBaにおいて、水平サイズ1280×垂直サイズ1024の領域だけが、液晶表示手段76にとって有効データ領域となる。

30

【0124】

また本実施形態では、フレームバッファFBaが確保された任意領域（c）に追加のインデックス空間（メモリ領域）を確保する場合には、0から始まるインデック番号を付与するようにしている。何ら限定されないが、本実施形態では、キャラクタやその他の静止画で構成された演出画像を、必要に応じて、適宜な回転姿勢で表示画面の一部に出現させる予告演出用の作業領域として、任意領域（c）にインデックス空間（0）を確保している。

【0125】

但し、作業領域の使用は必須ではなく、また任意領域（c）に代えて、ページ領域（b）に作業領域としてのインデックス空間を確保してもよい。ページ領域（b）を使用すれば、水平サイズ128（=4096bit）×垂直サイズ128の正方形形状の単位空間の倍数寸法のインデックス空間を確保できるので、小型の演出画像を扱うには好適である。

40

【0126】

ところで、本実施形態では、画像演出は背景画像も含めてほぼ動画のみで実現されている。特に変動演出時には、多数（通常10個以上）の動画が同時に描画される。これらの動画は、何れも一連の動画フレームとして、圧縮状態でGROM107に格納されているが、Iフレームのみで構成されたIストリーム動画と、IフレームとPフレームとで構成されたIPストリーム動画とに区分される。ここで、Iフレーム（Intra coded frame）とは、他画面とは独立して、入力画像をそのまま圧縮するフレームを意味する。一方、Pフレーム（Predictive coded frame）とは、前方向予測符号化を行うフレームを意味し、時間的に過去に位置するIフレームまたはPフレームが必要となる。

50

【0127】

そこで本実施形態では、IPストリーム動画については、旧データの破壊が懸念されるAAC領域(a)ではなく、ページ領域(b)に展開している。すなわち、水平サイズ128×垂直サイズ128の倍数寸法のインデックス空間を確保可能なページ領域(b)に多数のインデックス空間(IDX0～IDXN)を確保して、一連の動画フレームは、各動画MViに対応する、常に同一のインデックス空間IDXiを使用してデコードするようしている。すなわち、動画MV1はインデックス空間IDX1に展開され、動画MV2はインデックス空間IDX2に展開され、以下同様に、動画MViはインデックス空間IDXiに展開されるよう構成されている。

【0128】

動画MViについて、更に具体的に説明すると、SETINDEXコマンドによって、「IPストリーム動画MViのデコード先は、ページ領域(b)におけるインデックス番号iのインデックス空間(i)である」と予め指定した上で、IPストリーム動画MViの動画フレームを取得するTXLOADコマンドを実行させている。

【0129】

すると、TXLOADコマンドが特定するCGRM107上の動画フレーム(一連の動画フレームの何れか)が、先ずAAC領域(a)に取得され、その後、自動的に起動するグラフィックスデコーダ(GDEC)205によって、ページ領域(b)のインデックス空間(i)に、取得した動画フレームがデコードされて展開されることになる。

【0130】

一方、本実施形態では、ESTRIM動画については、静止画と同一扱いとしており、SETINDEXコマンドによって、「ESTRIM動画MVjのデコード先は、第一AAC領域(a1)である」と指定して、TXLOADコマンドを実行させる。その結果、動画フレームは第一AAC領域(a1)に取得され、その後、自動的に起動するグラフィックスデコーダ205が、第一ACC領域(a1)にデコードデータを展開している。先に説明した通り、AAC領域(a)のインデックス空間は自動的に生成されるので、インデックス番号を指定する必要はない。なお、インデックス空間に必要となる展開ボリューム、つまりデコードされたテクスチャ(動画フレーム)の水平サイズと垂直サイズは、展開先がAAC領域(a)かページ領域(b)かに拘らず、TXLOADコマンドによって特定される。

【0131】

ところで、IPストリーム動画MViやESTRIM動画MVjは、一般にN枚の動画フレーム(IフレームやPフレーム)で構成されている。そのため、TXLOADコマンドでは、例えばk枚目(1～k～N)の動画フレームが記憶されているCGRM107のSourceアドレスと、展開後の水平・垂直サイズなどを指定することになる。何ら限定されないが、静止画を殆ど使用しない本実施形態では、内蔵VRAM202のアドレス空間48Mバイトの大部分(30Mバイト程度)をページ領域(b)に割り当てている。そして、静止画を殆ど使用しない本実施形態では、AAC領域として、第一AAC領域(a1)だけを確保し、第二AAC領域(a2)を確保せず、また前記したAAC領域のキャッシュヒット機能も活用しない。

【0132】

なお、圧縮動画データのデコード処理を高速化するため、専用のGDEC(グラフィックスデコーダ)回路を設けることも考えられる。そして、専用のGDEC回路をVDP回路172に内蔵されれば、N枚の圧縮動画フレームで構成された圧縮動画データのデコード処理において、動画圧縮データの先頭アドレスをGDEC回路に指示すれば足りるので、N枚の圧縮動画フレームについて、1枚ごとに先頭アドレスを指定する必要がなくなる。

【0133】

しかし、このような専用のGDEC回路を、圧縮アルゴリズム毎に複数個内蔵せると、VDP回路172の内部構成が更に複雑化する。そこで本実施形態では、ソフトウェアGDECとし、IPストリーム動画、ESTRIM動画、静止画、その他 値などのデータ

10

20

30

40

50

タについて、各圧縮アルゴリズムに対応するソフトウェア処理によってデコード処理を実現している。なお、ハードウェア処理とソフトウェア処理の処理時間差はあまり問題にならず、処理時間が問題になるのは、もっぱら、CGROM107からのアクセス(READ)タイムである。

【0134】

図14に戻って説明を続ける。データ転送回路203は、VDP回路内部のリソース(記憶媒体)と外部記憶媒体とを、転送元ポート又は転送先ポートとして、これらの間でDMA(Direct Memory Access)的にデータ転送動作を実行する回路である。図17は、このデータ転送回路203の内部構成を、関連する回路構成と共に記載したブロック図である。

10

【0135】

図17に示す通り、データ転送回路203は、ルータ機能を有する統合接続バスICMを経由して、CGROM107、DRAM106及び内蔵VRAM202とデータを送受信するよう構成されている。なお、CGROM107とDRAM106は、CGバスIF部213やDMAIF部214を経由してアクセスされる。

【0136】

一方、CPU回路171は、データ転送回路203に内蔵された転送ポートレジスタTR_PORTを経由して、描画回路206やプリローダ204にディスプレイリストDLを発行している。なお、CPU回路171とデータ転送回路203は双方向に接続されているが、ディスプレイリストDLの発行時には、転送ポートレジスタTR_PORTは、ディスプレイリストDLを構成する一単位のデータを受け入れるデータ書き込みポートとして機能する。なお、転送ポートレジスタTR_PORTの書き込み単位(一単位データ長)は、CPUバス制御部203dの FIFO構造に対応して32bitとなる。

20

【0137】

図示の通り、演出制御CPU181は、CPUIF部212を経由して転送ポートレジスタTR_PORTをWRITEアクセスできる一方、DMAC回路183を活用する場合には、DMAC回路183が転送ポートレジスタTR_PORTを直接的にWRITEアクセスすることになる。そして、転送ポートレジスタTR_PORTに書き込まれた一連の指示コマンド(つまり、ディスプレイリストDLを構成する指示コマンド列)は、32bit単位で、FIFO構造(32bit×130段)のFIFOバッファを内蔵したCPUバス制御部203dに自動蓄積されるように構成されている。

30

【0138】

また、このデータ転送回路203は、3チャンネルChA～ChCの伝送経路でデータの送受信動作を実行しており、FIFO構造(64bit×N段)のFIFOバッファを有するChA制御回路203a(N=130段)と、ChB制御回路203b(N=1026段)と、ChC制御回路203c(N=130段)とを有している。

【0139】

そして、CPUバス制御部203dに蓄積された指示コマンド列(ディスプレイリストDL)は、演出制御CPU181によるデータ転送レジスタRGij(各種制御レジスタ201の一種)への設定値に基づき、描画回路206又はプリローダ204に転送される。矢印で示す通り、ディスプレイリストDLは、CPUバス制御部203dからChB制御回路203bのFIFOバッファを経由して描画回路206に転送され、ChC制御回路203cのFIFOバッファを経由してプリローダ204に転送されるように構成されている。

40

【0140】

なお本実施形態では、ChB制御回路203bとChC制御回路203cは、ディスプレイリストDLの転送動作に特化されており、CPUバス制御部203dのFIFOバッファに蓄積されたデータは、ChB制御回路203bかChC制御回路203cのFIFOバッファを経由して、各々ディスプレイリストDLの一部として、描画回路206かプリローダ204のディスプレイリストアナライザ(Display List Analyzer)に転送され

50

る。

【0141】

そして、描画回路206は、転送されたディスプレイリストDLに基づいた描画動作を開始する。一方、プリローダ204は、転送されたディスプレイリストDLに基づき、必要なプリロード動作を実行する。プリロード動作によって、CGROM107のCGデータが、DRAM106に確保されたプリロード領域に先読みされ、TXLOADコマンドなどに関して、テクスチャのSourceアドレスを変更したディスプレイリストDL（以下、書換えリストDLという）が、DRAM106に確保されたDLバッファ領域BUFに保存される。

【0142】

一方、CGROM107、DRAM106、内蔵VRAM202等の記憶媒体の間のデータ転送には、ChA制御回路203aと接続バスアクセス調停回路203eとが機能する。また、インデックステーブルIDX_TBLのアドレス情報が必要になる内蔵VRAM202のアクセス時には、IDX_TBLアクセス調停回路203fが機能する。具体的には、ChA制御回路203aは、例えば（a）CGROM107の圧縮データを内蔵VRAM202に転送する場合や、（b）CGROM107の圧縮データをプリロード（先読み）して外付けDRAM106に転送する場合や、（c）プリロード領域の先読みデータを内蔵VRAM202に転送する場合に機能する。

【0143】

ここで、ChA制御回路203aは、ChB制御回路203bやChC制御回路203cと並行して動作可能に構成されており、上記した（a）～（c）の動作は、ディスプレイリストDLの発行動作や書換えリストDL'の転送動作と並行して実行可能である。また、ChB制御回路203bとChC制御回路203cも同時実行可能である。但し、転送ポートレジスタTR_PORTは単一であるので、何れか一方（203b/203c）が転送ポートレジスタTR_PORTを使用しているタイミングでは、他方（203c/203b）は転送ポートレジスタTR_PORTにアクセスすることはできない。

【0144】

なお、ChA制御回路203aの動作時に、接続バスアクセス調停回路203eは、統合接続バスICMを経由する各記憶素子（CGROM107、DRAM106）とのデータ伝送を調停（Arbitration）している。一方、IDX_TBLアクセス調停回路203fは、インデックステーブルIDX_TBLに基づいてChA制御回路203aを制御することで、内蔵VRAM202とのデータ交信を調停している。なお、プリローダ204が機能する本実施形態の場合、DRAM106のDLバッファ領域BUFに保存された書換えリストDLは、接続バスアクセス調停回路203eとChB制御回路203bとを経由して描画回路206に転送される。

【0145】

上記の通り、本実施形態のデータ転送回路203は、各種の記憶リソース（Resource）から任意に選択されたデータ転送元と、各種の記憶リソース（Resource）から任意に選択されたデータ転送先との間で、高速のデータ転送を実現している。なお、データ転送回路203が機能する記憶リソースには、内蔵VRAM202だけでなく、CPUIF部212、CGバスIF部213、DRAMIF部214を経由する外部デバイスも含まれる。

【0146】

そして、CGROM107から1回に取得すべきデータ量（メモリシーケンシャルREAD）のように、ChA制御回路203aが機能する外部デバイスとのデータ転送量は、ChB制御回路203bやChC制御回路203cが機能するディスプレイリストDLの場合と比較して膨大であり、互いにデータ転送量が大きく相違する。

【0147】

ここで、これら各種のデータ転送について、単位データ量や総転送データ量を細かく設定可能に構成することも考えらえるが、これではVDP内部の制御動作が煩雑化し、円滑

10

20

30

40

50

な転送動作が阻害される。そこで本実施形態では、データ転送の最低データ量 D_{min} を一意に規定すると共に、総転送データ量を、最低データ量 D_{Tmin} の整数倍となるよう制限することで、高速で円滑なデータ転送動作を実現している。特に限定されないが、本実施形態のデータ転送回路 203 では、最低データ量 D_{min} (単位データ量) を 256 バイトとし、総転送データ量をこの整数倍に制限することにしている。

【 0148 】

したがって、32bit 毎に CPU バス制御部 203d の FIFO バッファに蓄積されたディスプレイリスト DL の指示コマンド列は、その総量が最低データ量 D_{min} に達したタイミングで ChB 制御回路 203b や ChC 制御回路 203b に転送され、各々の FIFO バッファに蓄積される。

10

【 0149 】

ディスプレイリスト DL は、一連の指示コマンドで構成されているが、本実施形態では、転送ポートレジスタ TR_PORT の書き込み単位 (32bit) に対応して、ディスプレイリスト DL は、コマンド長が 32bit の整数 N 倍 ($N > 0$) の指示コマンドのみで構成されている。したがって、データ転送回路 203 を経由して、ディスプレイリスト DL の指示コマンドを受ける描画回路 206 やプリローダ 204 は、素早く円滑にコマンド解析処理 (DL analyze) を開始することができる。なお、32bit の整数 N 倍のコマンド長は、その全てが有意ビットとは限らず、無意ビット (Don't care bit) も含んで 32bit の整数 N 倍という意味である。

【 0150 】

次に、プリローダ 204 について説明する。プリローダ 204 は、データ転送回路 203 (ChC 制御回路 203b) から転送されたディスプレイリスト DL を解釈して、 TXLOAD コマンドが参照している CGROM107 上の CG データを、予め DRAM106 のプリロード領域に転送する回路である。またプリローダ 204 は、この TXLOAD コマンドに関し、 CG データの参照先を転送後のアドレスに書換えた書換えリスト DL を、 DRAM106 の DL バッファ BUF に記憶する。なお、 DL バッファ BUF やプリロード領域は、 CPU リセット後の初期処理時に予め確保されている。

20

【 0151 】

そして、書換えリスト DL は、描画回路 206 の描画動作の開始時に、データ転送回路 203 の接続バスアクセス調停回路 203e や ChB 制御回路 203b を経由して描画回路 206 のディスプレイリストアナライザ (DL Analyzer) に転送される。そして、描画回路 206 は、書換えリスト DL に基づいて描画動作を実行する。したがって、 TCOLLOAD コマンドなどに基づき、本来は CGROM107 から取得すべき CG データが、プリロード領域に先読みされているプリロードデータとして DRAM106 のプリロード領域から取得される。この場合、プリロードデータは、上書き消去されない限り繰り返し使用可能であり、プリロード領域にキャッシュヒットしたプリロードデータは繰り返し再利用される。

30

【 0152 】

本実施形態では、十分な記憶容量を有する外付け DRAM106 にプリロード領域を設定しているので、上記のキャッシュヒット機能が有効に機能する。また、外付け DRAM106 の記憶容量が大きいので、例えば複数フレーム分の CG データを一気にプリロードする多重プリロードも可能である。すなわち、プリローダ 204 の動作期間に関し、 CG データの先読み動作を含んだ一連のプリロード動作の動作期間を、 VDP 回路 172 の間欠動作時の動作周期 の整数倍の範囲内で適宜に設定することで多重プリロードが実現される。

40

【 0153 】

但し以下の説明では、便宜上、多重プリロードのない構成について説明するので、本実施形態のプリローダ 204 は、一動作周期 () の間に一フレーム分のプリロード動作を完了することとする。なお本実施形態では、 VDP 回路 172 の間欠動作時の動作周期は、液晶表示手段 76 の垂直同期信号の 2 倍周期である 1 / 30 秒である。

50

【0154】

次に、描画回路206は、データ転送回路203を経由して転送されたディスプレイリストDLや書換えリストDLの指示コマンド列を順番に解析して、グラフィックスデコーダ205やジオメトリエンジン207等と協働して、VRAM202に形成されたフレームバッファに液晶表示手段76の一フレーム分の画像を描画する回路である。

【0155】

上記の通り、プリローダ204を機能させる場合には、書換えリストDLのCGデータの参照先は、CGROM107ではなくDRAM106に設定されたプリロード領域である。そのため、描画回路206による描画の実行中に生じるCGデータへのシーケンシャルアクセスを迅速に実行することができ、動きの激しい高解像度の動画についても問題なく描画することができる。すなわち、本実施形態によれば、CGROM107として安価なSATAモジュールを活用しつつ、複雑高度な画像演出を実行することができる。

10

【0156】

ところで、プリローダ204を機能させるか否かに拘らず、ディスプレイリストDLや書換えリストDLの転送時に仮にデータ化けが発生しても、描画回路206はこれを検出することはできない。また、ノイズなどの影響で、描画回路206がフリーズして、内蔵VRAM202のREAD/WRITEアクセスが異常停止することも有り得る。そこで本実施形態では、描画回路206が不合理な指示コマンド(analyze不能のビット並び)を検出した場合や、一定期間、内蔵VRAM202に対してREAD/WRITEアクセスがない場合には、描画異常割込みを発生させるように構成されている(描画異常割込みが許可状態)。

20

【0157】

次に、図16に関して説明した通り、VRAM202の任意領域(c)に確保されたフレームバッファFBは、描画領域と読出領域に区分されたダブルバッファであり、2つの領域を、交互に用途を切り替えて使用する。また本実施形態では、1つの液晶表示手段76が接続されているので、図16に示す通り、1区画のフレームバッファFBaが確保されている。したがって、描画回路206は、液晶表示手段76用のフレームバッファFBaの描画領域(書き込み領域)に、一フレーム分の画像データを描画することになる。

【0158】

表示回路208A～208Cは、フレームバッファFBa～FBcの画像データを読み出して、最終的な画像処理を施した上で出力する回路である(図18参照)。最終的な画像処理には、例えば、画像を拡大/縮小するスケーラのスケーリング処理、微妙なカラー補正処理、画像全体の量子化誤差が最小化するディザリング処理が含まれている。そして、これらの画像処理を経たデジタルRGB信号(合計24bit)が、通常は、水平同期信号HSや垂直同期信号VSなどと共に出力される。

30

【0159】

図18に示す通り、本実施形態では、上記の動作を並列的に実行する3系統の表示回路A/B/Cが設けられており、各表示回路208A～208Cは、各々に対応するフレームバッファFBa/FBb/FBcの画像データを読み出して、上記の最終画像処理を実行する。但し、本実施形態では表示装置は1個であるので、フレームバッファFBb, FBcは確保されておらず、表示回路208B, 208Cが機能することもない。

40

【0160】

ここで、液晶表示手段76の仕様を確認すると、液晶表示手段76は、左右方向に隣接する奇数ピクセル(ODD)と偶数ピクセル(EVEN)とを、別々のLVDS(Low Voltage Differential Signaling)伝送路を通して受信部RV(RVa, RVb)で受け必要がある。また、液晶表示手段76のドットクロックDCKの周波数は、40～70MHz程度(典型値は54MHz)にする必要があり、(WTh+640)×(WTv+1024)/54MHz 1/60秒となるよう、水平/垂直方向の待機時間WTh/WTvを設定する必要がある。更に、液晶表示手段76に対して画像データ(ODD/EVEN信号)を出力するタイミングでは、アクティブルのデータ有効信号ENABLEを出

50

力する必要がある。

【0161】

そこで、表示回路208Aは、上記した全ての仕様を満たす信号を出力する必要がある。図19(a)～図19(e)は、表示回路208Aから出力される各種の信号を図示したものである。まず、ドットクロックDCKの周波数を決定する必要があるが、本実施形態では、液晶表示手段76を、典型値54MHzの動作クロックCKで動作させて、これに対応して、VDP回路172における設計上のドットクロックDCKを108MHz($= 54 \times 2$)としている。

【0162】

それは、横1280ドット×縦1024ラインの表示パネルLCD(図19(f)参照)において、左右に隣接する2つの画素が54MHzの動作クロックCKに同期して一気に処理されるので、実質的に108MHzのドットクロックDCKで動作するのと等価だからである。

【0163】

そして、表示回路208Aの動作を規定する各種の動作パラメータは、周波数108MHzのドットクロックDCKに基づいて規定される。先ず、 $(WT_h + 640) \times (WT_v + 1024) / 54\text{MHz} = 1/60\text{秒}$ となるよう、水平/垂直方向の待機時間WT_h/WT_vを設定する必要があるが、表示回路208Aについての動作パラメータWT_h/WT_vとしては、 $(WT_h + 1280) \times (WT_v + 1024) / 108\text{MHz} = 1/60\text{秒}$ を満たす必要がある。

【0164】

また、水平/垂直方向の待機時間WT_h/WT_vについて、液晶表示手段76の仕様上の許容範囲も考慮する必要がある。そこで本実施形態では、水平方向待機時間WT_hを、108MHzのドットクロックDCKでカウントして382クロックとし、垂直方向待機時間WT_vを59ラインとしている。したがって、一フレームの画像更新に要する時間は、 $(382 + 1280) \times (59 + 1024) / 108\text{MHz} = 16.666\text{mS}$ となり、フレームレートが1/60秒となる。

【0165】

この設定に対応して、データ有効信号ENABは、各ラインの画像更新動作において、382クロックに対応する待機時間WT_h($= 382 / 108\text{MHz}$)はLレベルであり、その後、1280クロックに対応するアクティブ区間($= 1280 / 108\text{MHz}$)はアクティブ(H)レベルとなる(図19(c))。なお、図19(d), (e)に示す通り、データ有効信号ENABのアクティブ区間では、一ライン1280ドットの画素について、所定の時間($11.85\mu\text{S} = 1280 / 108\text{MHz}$)で画像更新動作が完了するように画像データが outputされる。すなわち、1280個のドットクロックDCKに同期して、1280個の画素データ(Pixel Data)が outputされる。なお、液晶表示手段76には階調度 $2^8 \times 2^8 \times 2^8$ のフルカラー画像が表示されるので、1画素の画素データは 3×8 ビット長である。

【0166】

ところで本実施形態では、液晶表示手段76では必要とはされないものの、垂直同期信号VSと水平同期信号HSを出力している。垂直同期信号VSは垂直方向待機時間WT_vの時間内に出力され、水平同期信号HSは水平方向待機時間WT_hの時間内に出力される。なお、図19(a), (b)には、理解の便宜上、各々の動作周期が示されている。また、図19(f)には、TH×TV($= 1083 \times 1662$ クロック)で特定される矩形枠の左上と右下の頂点に○印を示して、夫々「表示動作の開始」「表示動作の終了」と記載されているが、この○印は1/60秒ごとに開始される「Vブランク開始」を意味する。表示動作を規定する 1083×1662 クロックが1/60秒に一致するので、「表示動作の開始」から「表示動作の終了」までの経過時間は1/60秒である。

【0167】

図18に戻って説明を続けると、本実施形態の出力選択部209は、表示回路208A

10

20

30

40

50

の出力信号を、108MHzのドットクロックDCKを2分周するデュアルリンクに分割して、各々LVDS部210aとLVDS部210bとに伝送している（図18、図13参照）。そして、各LVDS部210a, 210bは、画像データ（合計24bitのデジタルRGB信号）を第1, 第2LVDS信号に変換し、これにクロック信号（54MHz = 108 / 2）を伝送する一対を加えて、全五対の差動信号LVDS1, LVDS2として、2つの経路を経由して液晶表示手段76に出力している（図18, 図12参照）。

【0168】

先に説明した通り、液晶表示手段76では、一画素分のODD信号と、隣接する一画素分の EVEN信号とが同じタイミングで処理されるので、実質的なドットクロックDCKの周波数は、表示回路208Aが出力する108MHzのドットクロックDCKに一致する。

10

【0169】

ところで本実施形態の場合、表示回路208A～208Cには、表示タイミングに対して表示データの生成が間に合わなかったアンダーラン異常をカウントするアンダーランカウンタURCNTa～URCNTcが設けられている（図18参照）。そして、このアンダーランカウンタURCNTa～URCNTcのカウンタ値は、アンダーラン異常が発生するとVBLANK毎に自動的に加算されるよう構成されている。

【0170】

次に、SMC（Serial Management Controller）部211は、LEDコントローラとMotorコントローラとを内蔵した複合コントローラである。そして、外部基板に搭載したLED/Motorドライバ（シフトレジスタを内蔵するドライバI/C）に対して、クロック信号に同期してLED駆動信号やモータ駆動信号を出力する一方、適宜なタイミングでラッチパルスを出力可能に構成されている。

20

【0171】

上記したVDP回路172の内部回路及びその動作に関し、内部回路が実行すべき動作内容は、演出制御CPU181が制御レジスタ群201に設定する動作パラメータ（設定値）で規定され、VDP回路172の実行状態は、制御レジスタ群201の動作ステータス値をREADすることで特定できるようになっている。制御レジスタ群201は、演出制御CPU181のメモリマップ上、1Mバイト程度のアドレス空間（0～FFFFFH）にマッピングされた多数のVDPレジスタRGijを意味し、CPU回路171の演出制御CPU181は、CPUIF部212を経由して動作パラメータのWRITE（設定）動作と動作ステータス値のREAD動作とを実行するようになっている（図15参照）。

30

【0172】

制御レジスタ群201（VDPレジスタRGij）には、図15に示すように、割り込み動作などシステム動作に関する初期設定値が書き込まれる「システム制御レジスタ」と、内蔵VRAM202にAAC領域（a）やページ領域（b）を確定すると共にインデックステーブルIDXTBLを構築又は変更するための「インデックステーブルレジスタ」と、演出制御CPU181とVDP回路172の内部回路との間のデータ転送回路203によるデータ転送処理に関する設定値などが書き込まれる「データ転送レジスタ」と、グラフィックスデコーダ205の実行状況を特定する「GDECレジスタ」と、指示コマンドや描画回路206に関する設定値が書き込まれる「描画レジスタ」と、プリローダ204の動作に関する設定値が書き込まれる「プリローダレジスタ」と、表示回路208の動作に関する設定値が書き込まれる「表示レジスタ」と、LEDコントローラ（SMC部211）に関する設定値が書き込まれる「LED制御レジスタ」と、Motorコントローラ（SMC部211）に関する設定値が書き込まれる「モータ制御レジスタ」と、音声回路SNDに関する設定値が書き込まれる「音声制御レジスタSRG」と、が含まれている。但し、本実施形態では音声回路SNDを活用していない。

40

【0173】

何れにしても、演出制御CPU181は、所定のVDPレジスタRGijに適宜な設定値を書込むことでVDP回路172の内部動作を制御している。具体的には、演出制御C

50

P U 1 8 1 は、適宜な時間間隔で更新するディスプレイリスト D L と、所定の V D P レジスタ R G i j への設定値とに基づいて所定の画像演出を実現している。なお、本実施形態では、ランプ演出やモータ演出も含めて演出制御 C P U 1 8 1 が担当するので、V D P レジスタ R G i j には L E D 制御レジスタやモータ制御レジスタも含まれる。

【 0 1 7 4 】

続いて、演出制御部 9 5 を構成する液晶制御基板 9 8 及び液晶インターフェース基板 9 7 について、配線パターン等の詳細を説明する。まずは液晶制御基板 9 8 について説明する。

【 0 1 7 5 】

液晶制御基板 9 8 は、基板本体 1 9 0 (図 8 参照) に複数の配線層、具体的には表面 (第 1 面) 9 8 a 側の第 1 配線層 L a 1 と、裏面 (第 2 面) 9 8 b 側の第 6 配線層 L a 6 と、それらの間に配置される第 2 ~ 第 5 配線層 L a 2 ~ L a 5 とよりなる計 6 層の第 1 ~ 第 6 配線層 L a 1 ~ L a 6 (図 2 0 ~ 図 2 5) を備えている。なお、第 2 配線層 L a 2 (図 2 1) はグランドに接続されるベタ配線層、第 5 配線層 L a 5 (図 2 4) は電源に接続されるベタ配線層となっている。また、液晶制御基板 9 8 の基板本体 1 9 0 には多数のビア (層間導通部) が板厚方向に設けられており、複数の配線層 L a 1 ~ L a 6 はそれらのビア (層間導通部) を介して互いに導通されている。本実施形態で使用されるビアは、スルーホールにメッキを施したスルーホール型のビアで、基板本体 1 9 0 の表面 (第 1 面) 9 8 a から裏面 (第 2 面) 9 8 b まで貫通している。

【 0 1 7 6 】

なお以下の説明では、各配線層 L a 1 ~ L a 6 の面内での方向や向きについては、図 2 0 ~ 図 2 5 に座標系で示すように、同図における左右方向を X 方向、同じく上下方向を Y 方向とし、右向き / 左向きを夫々 + X / - X 方向 (側) 、上向き / 下向きを夫々 + Y / - Y 方向 (側) とする。また、斜め方向についても斜め + X - Y 方向、斜め - X - Y 方向のように表現する。なお図 7 , 図 8 等より明らかなように、液晶制御基板 9 8 を遊技機本体 1 に装着した状態では、液晶制御基板 9 8 の + X 方向が上向き、同じく + Y 方向が遊技機本体 1 に向かって右向き (背面視で左向き) となる。

【 0 1 7 7 】

図 2 0 に示すように、表面 9 8 a 側の第 1 配線層 (甲配線層) L a 1 には、複合チップ (第 1 電子部品) 1 0 4 が配置される複合チップ配置領域 (第 1 配置領域) 1 9 1 と、制御 R O M (第 2 電子部品、特定電子部品) 1 0 5 が配置される制御 R O M 配置領域 (第 2 配置領域) 1 9 2 とが設けられている。複合チップ配置領域 1 9 1 は、複合チップ 1 0 4 の形状に対応する略正方形で、液晶制御基板 9 8 の表面 9 8 a における中央部付近に配置されている。複合チップ配置領域 1 9 1 内には、複合チップ 1 0 4 の各端子に対応するドット状の端子接続部が略等間隔でマトリックス状に配置されている。なお複合チップ 1 0 4 は、3 2 行 3 2 列 (但し四隅の 4 個は欠落) で配列される計 1 0 2 0 個の端子を底面側に備えており、それら各端子を夫々対応する端子接続部に接続させた状態で複合チップ配置領域 1 9 1 に装着されている。

【 0 1 7 8 】

制御 R O M 配置領域 1 9 2 は、制御 R O M 1 0 5 を装着する R O M ソケット 1 9 3 (図 8 参照) の形状に対応して Y 方向に長い略長方形で、その長辺の長さが複合チップ配置領域 1 9 1 の一辺の長さと同程度となっている。制御 R O M 配置領域 1 9 2 は、複合チップ配置領域 1 9 1 に対して + X 側の近傍に配置されており、制御 R O M 配置領域 1 9 2 の - X 側 , + X 側の長辺である第 1 , 第 2 縁部 1 9 2 a , 1 9 2 b のうちの第 1 縁部 1 9 2 a が、複合チップ配置領域 1 9 1 の + X 側 , - Y 側 , - X 側 , + Y 側の第 1 ~ 第 4 縁部 1 9 1 a ~ 1 9 1 d のうちの第 1 縁部 1 9 1 a に対して、 - Y 方向にずれた状態で所定距離をあいて対向している。

【 0 1 7 9 】

制御 R O M 配置領域 1 9 2 には、その両長辺、即ち第 1 , 第 2 縁部 1 9 2 a , 1 9 2 b に沿って夫々複数個 (ここでは各 3 5 個) の端子接続部 (R O M 端子接続部) が配列され

10

20

30

40

50

ている。また制御 ROM 配置領域 192 には、制御 ROM105 を着脱可能に支持する ROM ソケット 193 が固定されており、その ROM ソケット 193 に制御 ROM105 が着脱自在に装着されている(図 8)。制御 ROM105 には、その両端部に沿って夫々複数(ここでは各 35 個)の端子が配列されており、それら各端子が、ROM ソケット 193 を介して制御 ROM 配置領域 192 の各端子接続部に接続されている。

【0180】

なお ROM ソケット 193 は、図 8 に示すように、制御 ROM 配置領域 192 に対応する略長方形の底壁 193a と、その底壁 193a 上に装着された制御 ROM105 の両縁部を係脱可能に保持する一対の ROM 保持部 193b とを備えており、底壁 193a が制御 ROM 配置領域 192 の略全体を覆う状態で液晶制御基板 98 の表面 98a に固定されている。従って、第 1 配線層 La1 における制御 ROM 配置領域 192 内の配線パターン(ビア等)については、ROM ソケット 193 から制御 ROM105 を取り外した状態でも ROM ソケット 193 の底壁(遮蔽壁) 193a によって遮蔽され、外部から視認することはできない。これにより、複合チップ 104 と制御 ROM105 とを接続する配線パターンを不正改造するなどのゴト行為に対する予防性を高めることが可能となる。また、制御 ROM 配置領域 192 内に配線パターンを引くことで、それ以外の領域に配線スペースを確保することが可能となる。

【0181】

また図 25 に示すように、裏面 98b 側の第 6 配線層(乙配線層) La6 には、液晶制御第 1 コネクタ CN31 が配置される第 1 コネクタ配置領域 194 と、液晶制御第 2 コネクタ CN32 が配置される第 2 コネクタ配置領域 195 とが設けられている。第 1 コネクタ配置領域 194 は、X 方向に長い略長方形で、液晶制御基板 98 の裏面 98b における +Y 側の縁部近傍に配置されている。第 1 コネクタ配置領域 194 内には、液晶制御第 1 コネクタ CN31 の各端子に対応する端子接続部が、一対の長辺に沿って夫々複数(ここでは各 70 個)配列されている。また第 2 コネクタ配置領域 195 は、X 方向に長い略長方形で、液晶制御基板 98 の裏面 98b における -Y 側の縁部近傍に配置されている。第 2 コネクタ配置領域 195 内には、液晶制御第 2 コネクタ CN32 の各端子に対応する端子接続部が、一対の長辺に沿って夫々複数(ここでは各 50 個)配列されている。

【0182】

複合チップ 104 の全ての端子のうち、制御 ROM105 に接続される端子については、複合チップ配置領域 191 における制御 ROM105 側の第 1 縁部 191a の近傍に集中的に配置されている。図 26 は、複合チップ 104 の全ての端子のうち、第 1 縁部 191a 近傍及び第 2 縁部 192b 近傍の各一部の端子についてその種類(端子情報)を示している。なお、図 26 における各端子の配列は、図 20 における複合チップ配置領域 191 内の端子接続部の配列と一致させている。

【0183】

図 26(a)において、HAD0 ~ HAD25 がアドレス情報を出力するためのアドレス出力端子、HDT0 ~ HDT15 がデータ情報を入出力するためのデータ入出力端子、HCS0 がチップセレクト信号を出力するためのチップセレクト出力端子、HRD がリードストローブ信号を出力するためのリードストローブ出力端子、HRESET がシステムリセット信号を入力するためのシステムリセット端子である。

【0184】

また図 26(b)において、RA0+, RA0- が、第 1 伝送路 LVDS1 側の差動信号ライン RA0 に対応するデータ出力端子、RA1+, RA1- が、第 1 伝送路 LVDS1 側の差動信号ライン RA1 に対応するデータ出力端子、RA2+, RA2- が、第 1 伝送路 LVDS1 側の差動信号ライン RA2 に対応するデータ出力端子、RA3+, RA3- が、第 1 伝送路 LVDS1 側の差動信号ライン RA3 に対応するデータ出力端子、RACLK+, RACLK- が、第 1 伝送路 LVDS1 側の差動信号ライン RACLK に対応するクロック出力端子、RB0+, RB0- が、第 2 伝送路 LVDS2 側の差動信号ライン RB0 に対応するデータ出力端子、RB1+, RB1- が、第 2 伝送路 LVDS2 側の

差動信号ライン R B 1 に対応するデータ出力端子、R B 2 + , R B 2 - が、第 2 伝送路 L V D S 2 側の差動信号ライン R B 2 に対応するデータ出力端子、R B 3 + , R B 3 - が、第 2 伝送路 L V D S 2 側の差動信号ライン R B 3 に対応するデータ出力端子、R B C L K + , R B C L K - が、第 2 伝送路 L V D S 2 側の差動信号ライン R B C L K に対応するクロック出力端子である。

【 0 1 8 5 】

なお以下の説明では、複合チップ配置領域 1 9 1 内の端子接続部に、対応する複合チップ 1 0 4 の端子の符号 H A D 0 ~ H A D 2 5 , H D T 0 ~ H D T 1 5 , R A 1 + , R A 1 - , R B C L K + , R B C L K - 等をそのまま用いるものとする。例えば、端子接続部 H R D は、リードストローブ出力端子 H R D に対応する端子接続部を示している。

10

【 0 1 8 6 】

また図 2 7 は、制御 R O M 1 0 5 の各端子についてその種類（端子情報）を示している。図 2 7 に示す各端子のうち、A 0 ~ A 2 4 はアドレス情報を入力するためのアドレス入力端子、Q 0 ~ Q 1 5 はデータ情報を入出力するためのデータ入出力端子で、夫々複合チップ 1 0 4 のアドレス出力端子、データ入出力端子と接続される。C E # はチップセレクト信号を入力するためのチップセレクト入力端子で、複合チップ 1 0 4 のチップセレクト出力端子と接続される。W E # は書き込み可能入力端子で、電源と接続して常に H レベルとすることにより、O E # 端子の値（H / L ）に応じてモードを切り替えることが可能となっている。なお、O E # は出力可能入力端子で、複合チップ 1 0 4 のリードストローブ出力端子と接続される。

20

【 0 1 8 7 】

R E S E T # はリセット端子で、複合チップ 1 0 4 のシステムリセット入力端子 H R E S E T と共に電源電圧監視用集積回路（リセット I C ）と接続される。W P # / A C C は書き込み禁止 / プログラムインプット端子で、グランド（L レベル）又は電源（H レベル）に接続することで、書き込みの禁止 / 許容、プログラムの実行禁止 / 許容を切り替えることが可能となっている。本実施形態では、W P # / A C C 端子は電源に接続され、H レベルに設定されている。B Y T E # は 8 / 1 6 b i t モード選択端子で、グランド（L レベル）又は電源（H レベル）に接続することで、8 b i t 通信モードと 1 6 b i t 通信モードとの何れかを選択することが可能となっている。

30

【 0 1 8 8 】

なお以下の説明では、制御 R O M 配置領域 1 9 2 に対応する端子接続部についても、対応する制御 R O M 1 0 5 の端子の符号 A 0 ~ A 2 4 , Q 0 ~ Q 1 5 , C E # 等をそのまま用いるものとする。例えば、端子接続部 R E S E T # は、リセット端子 R E S E T # に対応する端子接続部を示している。

【 0 1 8 9 】

以下、液晶制御基板 9 8 上に設けられた多数の配線路のうち、複合チップ 1 0 4 と制御 R O M 1 0 5 、液晶制御第 1 コネクタ C N 3 1 、液晶制御第 2 コネクタ C N 3 2 等を接続している複数種類の配線路 P 1 ~ P 7 1 に着目し、その詳細について図面を参照しつつ説明する。なお、図 2 8 ~ 図 3 3 は、図 2 0 ~ 図 2 5 に示す第 1 ~ 第 6 配線層 L a 1 ~ L a 6 の各配線パターンから夫々配線路 P 1 ~ P 7 1 を構成する部分のみを抽出して示したもので、図 3 4 ~ 図 4 4 はその部分拡大図である。また、図 4 5 ~ 図 5 3 は、配線路 P 1 ~ P 7 1 の配線経路を模式的に示したものである。なお、図 4 5 ~ 図 5 0 において、グレーで表示したビア（例えば図 4 5 の配線路 P 1 におけるビア v 8 6 ）は、制御 R O M 配置領域 1 9 2 内に配置されているビア（特定層間導通部）を示し、太線で表示した配線路（例えば図 4 5 の配線路 P 2 における配線路 c p 1 3 ）は、制御 R O M 1 0 5 側の端子接続部に対して制御 R O M 配置領域 1 9 2 の内側から接続されている配線路を示している。

40

【 0 1 9 0 】

まず初めに、複合チップ 1 0 4 のアドレス出力端子 H A D 0 ~ H A D 2 5 に接続される配線路 P 1 ~ P 2 6 について説明する。本実施形態では、アドレス出力端子 H A D 0 ~ H A D 2 5 のうち、H A D 1 ~ H A D 2 5 については、制御 R O M 1 0 5 側のアドレス入力

50

端子 A 0 ~ A 2 4 に夫々接続されるとともに、液晶制御第 1 コネクタ C N 3 1 にも接続されている。一方、アドレス出力端子 H A D 0 については、液晶制御第 1 コネクタ C N 3 1 には接続されているが、制御 R O M 1 0 5 側の端子とは接続されていない。

【 0 1 9 1 】

なお、複合チップ 1 0 4 のアドレス出力端子 H A D 1 ~ H A D 2 5 の配列（図 2 6 (a)）と、それに対応する制御 R O M 1 0 5 のアドレス入力端子 A 0 ~ A 2 4 の配列（図 2 7 ）とを比較すると、両者は明らかに相違している。即ち、複合チップ 1 0 4 のアドレス出力端子 H A D 1 ~ H A D 2 5 は、図 2 6 (a) に示すように 6 行に分けて配列されており、行毎に列数は異なるが並び順は一定しているのに対し、制御 R O M 1 0 5 のアドレス入力端子 A 0 ~ A 2 4 は、図 2 7 に示すように 2 列に分けて配列されており、各列における並び順に一定の規則性はない。しかも、複合チップ 1 0 4 と制御 R O M 1 0 5 の配置位置や配線パターンの数の多さが関係してくることで、配線パターンの引き回しが非常に複雑なものとなる。そのため、複合チップ 1 0 4 と制御 R O M 1 0 5 とを接続する配線パターンの引き回しを最適化することは非常に重要であり、それによって配線パターンの線長を短くすることができ、ノイズ低減や基板全体のスリム化を図ることにつながる。また、これらは複合チップ 1 0 4 と制御 R O M 1 0 5 との間の関係だけでなく、複合チップ 1 0 4 と各種コネクタ等の電子部品との関係性においても同様のことが言える。特に、H A D 1 ~ H A D 2 5 や H D T 1 ~ H D T 2 5 などの複合チップ 1 0 4 や制御 R O M 1 0 5 、各種コネクタなどの複数の電子部品と接続される配線パターンについては、上述の課題が大きい分、最適化することによる効果も大きいものとなる。

10

【 0 1 9 2 】

配線路 P 1 ~ P 2 6 のうち、配線路 P 1 (図 4 5) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 0 が、配線路 c p 0 により、斜め - X - Y 方向の近傍に配置されたビア v 0 に接続されている。ビア v 0 は、その周囲に配置されている 4 つの端子接続部（端子接続部 H A D 0 を含む）の略中央に配置されている。このビア v 0 は、図 3 7 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 1 によりビア v 4 1 と接続されている。このビア v 4 1 は、複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されている。そしてビア v 4 1 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 8 6 と接続されている。このように、第 1 配線層 L a 1 で端子接続部 H A D 0 から引き出された配線路は、2 つの配線層 L a 3 , L a 4 を経て制御 R O M 配置領域 1 9 2 内のビア v 8 6 に接続されている。

20

【 0 1 9 3 】

端子接続部 H A D 0 からビア v 8 6 に達した配線路は、このビア v 8 6 で 2 つに分岐している。第 1 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 により、ビア v 8 6 からテストポイント T P 2 8 を構成するビア v 2 0 5 を経て第 1 コネクタ配置領域 1 9 4 内のビア v 1 4 6 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 4 により、端子接続部 h a d 0 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 5 により、ビア v 8 6 から終端抵抗 R A 1 6 に接続されている。この終端抵抗 R A 1 6 は、他端側が所定のビアを介して第 2 配線層 L a 2 のベタ配線層 (G N D) に接続されている（配線図では省略）。

30

【 0 1 9 4 】

配線路 P 2 (図 4 5) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 1 が、配線路 c p 1 1 により、斜め - X - Y 方向の近傍に配置されたビア v 5 に接続されている。ビア v 5 は、その周囲に配置されている 4 つの端子接続部（端子接続部 H A D 1 を含む）の略中央に配置されている。このビア v 5 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 1 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 8 5 に接続されている。このように、端子接続部 H A D 1 から引き出された配線路は、端子接続部 H A D 0 から引き出された配線路

40

50

とは異なり、第3配線層L a 3は経由せず、第4配線層L a 4を経て制御ROM配置領域192内のビアv 8 5に接続されている。

【0195】

端子接続部HAD1からビアv 8 5に達した配線路は、このビアv 8 5で4つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路cp 1 3により、ビアv 8 5から制御ROM105の端子接続部A 0に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路cp 1 4により、ビアv 8 5から終端抵抗RA16に接続されている。

【0196】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路cp 1 5により、ビアv 8 5から第1コネクタ配置領域194内のビアv 1 4 5に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路cp 1 6により、端子接続部had1に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層L a 3に設けられた配線路cp 1 7により、ビアv 8 5からビアv 1 8 2に接続され、更に図43に示すように、第6配線層L a 6に設けられた配線路cp 1 8により、デコード回路を構成するデコーダIC12に接続されている。

【0197】

なお、図43等の配線図では一部省略しているが、デコーダIC12～IC14を含むデコード回路は図54に示すように構成されている。図54に示すように、デコーダIC13、IC14は、液晶IF第3コネクタCN23等を介して液晶表示手段76等に接続されており、電源投入時に、複合チップ104のデータ入出力端子HDT0～HDT15からデータ情報が入力される。そしてデコーダIC13、IC14は、デコーダIC12から入力されるCPUと同期したクロックに基づいて、液晶表示手段76等にデータ情報を出力するため、固定のデータ情報をCPUが毎回送信する必要がない。これにより、CPUから所定時間毎に同一のデータ情報を出力する必要がなく、CPUはデータ情報の内容を変更する場合にのみ新たなデータ情報を送信するようにすればよいため、制御プログラムを簡素化することが可能となる。

【0198】

配線路P3(図45)では、図34に示すように、第1配線層L a 1の複合チップ配置領域191に設けられた端子接続部HAD2が、配線路cp 2 1により、斜め+X-Y方向の近傍に配置されたビアv 4に接続されている。ビアv 4は、その周囲に配置されている4つの端子接続部(端子接続部HAD2を含む)の略中央に配置されている。このビアv 4は、図40に示すように、第4配線層L a 4に設けられた配線路cp 2 2により、制御ROM配置領域192内に配置されるビアv 8 4に接続されている。

【0199】

端子接続部HAD2からビアv 8 4に達した配線路は、このビアv 8 4で4つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路cp 2 3により、ビアv 8 4から制御ROM105の端子接続部A 1に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路cp 2 4により、ビアv 8 4から終端抵抗RA16に接続されている。

【0200】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路cp 2 5により、ビアv 8 4から第1コネクタ配置領域194内のビアv 1 4 4に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路cp 2 6により、端子接続部had2に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層L a 3に設けられた配線路cp 2 7により、ビアv 8 4からビアv 1 8 4に接続され、更に図43に示すように、

10

20

30

40

50

第6配線層L a 6に設けられた配線路c p 2 8により、デコード回路を構成するデコーダI C 1 2に接続されている。

【0201】

配線路P 4(図45)では、図34に示すように、第1配線層L a 1の複合チップ配置領域191に設けられた端子接続部H A D 3が、配線路c p 3 1により、斜め+X-Y方向の近傍に配置されたビアv 1 3に接続されている。ビアv 1 3は、その周囲に配置されている4つの端子接続部(端子接続部H A D 3を含む)の略中央に配置されている。このビアv 1 3は、図40に示すように、第4配線層L a 4に設けられた配線路c p 3 2により、制御ROM配置領域192内に配置されるビアv 8 3に接続されている。

【0202】

端子接続部H A D 3からビアv 8 3に達した配線路は、このビアv 8 3で4つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 3 3により、ビアv 8 3から制御ROM105の端子接続部A 2に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 3 4により、ビアv 8 3から終端抵抗R A 1 6に接続されている。

【0203】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 3 5により、ビアv 8 3から第1コネクタ配置領域194内のビアv 1 4 3に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 3 6により、端子接続部h a d 3に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層L a 3に設けられた配線路c p 3 7により、ビアv 8 3からビアv 1 8 1に接続され、更に図43に示すように、第6配線層L a 6に設けられた配線路c p 3 8により、デコード回路を構成するデコーダI C 1 2に接続されている。

【0204】

配線路P 5(図45)では、図34に示すように、第1配線層L a 1の複合チップ配置領域191に設けられた端子接続部H A D 4が、配線路c p 4 1により、斜め+X-Y方向の近傍に配置されたビアv 2 0に接続されている。ビアv 2 0は、その周囲に配置されている4つの端子接続部(端子接続部H A D 4を含む)の略中央に配置されている。このビアv 2 0は、図40に示すように、第4配線層L a 4に設けられた配線路c p 4 2により、制御ROM配置領域192内に配置されるビアv 8 2に接続されている。

【0205】

端子接続部H A D 4からビアv 8 2に達した配線路は、このビアv 8 2で3つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 4 3により、ビアv 8 2から制御ROM105の端子接続部A 3に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 4 4により、ビアv 8 2から終端抵抗R A 1 5に接続されている。この終端抵抗R A 1 5は、他端側が所定のビアを介して第2配線層L a 2のベタ配線層(G N D)に接続されている(配線図では省略)。

【0206】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 4 5により、ビアv 8 2から第1コネクタ配置領域194内のビアv 1 4 2に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 4 6により、端子接続部h a d 4に対して第1コネクタ配置領域194の内側から接続されている。

【0207】

配線路P 6(図45)では、図34に示すように、第1配線層L a 1の複合チップ配置領域191に設けられた端子接続部H A D 5が、配線路c p 5 1により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域192との間に配置されたビアv 3 4に接続されている。なお、端子接続部H A D 5は、複合チッ

10

20

30

40

50

配置領域 191 の外周側から 2 列目に配置されている。ビア v34 は、図 40 に示すように、第 4 配線層 La4 に設けられた配線路 cp52 により、制御 ROM 配置領域 192 内に配置されるビア v81 に接続されている。

【0208】

端子接続部 HAD5 からビア v81 に達した配線路は、このビア v81 で 3 つに分岐している。第 1 の分岐路は、図 35 に示すように、第 1 配線層 La1 に設けられた配線路 cp53 により、ビア v81 から制御 ROM105 の端子接続部 A4 に対して制御 ROM 配置領域 192 の内側から接続されている。また第 2 の分岐路は、図 41 に示すように、第 6 配線層 La6 に設けられた配線路 cp54 により、ビア v81 から終端抵抗 RA15 に接続されている。

10

【0209】

また第 3 の分岐路は、図 37, 図 38 に示すように、第 3 配線層 La3 に設けられた配線路 cp55 により、ビア v81 から第 1 コネクタ配置領域 194 内のビア v141 に接続され、更に図 42 に示すように、第 6 配線層 La6 に設けられた配線路 cp56 により、端子接続部 had5 に対して第 1 コネクタ配置領域 194 の内側から接続されている。

【0210】

配線路 P7 (図 45) では、図 34 に示すように、第 1 配線層 La1 の複合チップ配置領域 191 に設けられた端子接続部 HAD6 が、配線路 cp61 により、複合チップ配置領域 191 の外側、具体的には複合チップ配置領域 191 と制御 ROM 配置領域 192 との間に配置されたビア v39 に接続されている。なお、端子接続部 HAD6 は、複合チップ配置領域 191 の最も外周側に配置されている。ビア v39 は、図 40 に示すように、第 4 配線層 La4 に設けられた配線路 cp62 により、制御 ROM 配置領域 192 内に配置されるビア v80 に接続されている。

20

【0211】

端子接続部 HAD6 からビア v80 に達した配線路は、このビア v80 で 3 つに分岐している。第 1 の分岐路は、図 35 に示すように、第 1 配線層 La1 に設けられた配線路 cp63 により、ビア v80 から制御 ROM105 の端子接続部 A5 に対して制御 ROM 配置領域 192 の内側から接続されている。また第 2 の分岐路は、図 41 に示すように、第 6 配線層 La6 に設けられた配線路 cp64 により、ビア v80 から終端抵抗 RA15 に接続されている。

30

【0212】

また第 3 の分岐路は、図 37, 図 38 に示すように、第 3 配線層 La3 に設けられた配線路 cp65 により、ビア v80 から第 1 コネクタ配置領域 194 内のビア v140 に接続され、更に図 42 に示すように、第 6 配線層 La6 に設けられた配線路 cp66 により、端子接続部 had6 に対して第 1 コネクタ配置領域 194 の内側から接続されている。

【0213】

配線路 P8 (図 45) では、図 34 に示すように、第 1 配線層 La1 の複合チップ配置領域 191 に設けられた端子接続部 HAD7 が、配線路 cp71 により、斜め + X - Y 方向の近傍に配置されたビア v3 に接続されている。ビア v3 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HAD7 を含む) の略中央に配置されている。このビア v3 は、図 40 に示すように、第 4 配線層 La4 に設けられた配線路 cp72 により、制御 ROM 配置領域 192 内に配置されるビア v79 に接続されている。

40

【0214】

端子接続部 HAD7 からビア v79 に達した配線路は、このビア v79 で 3 つに分岐している。第 1 の分岐路は、図 35 に示すように、第 1 配線層 La1 に設けられた配線路 cp73 により、ビア v79 から制御 ROM105 の端子接続部 A6 に対して制御 ROM 配置領域 192 の内側から接続されている。また第 2 の分岐路は、図 41 に示すように、第 6 配線層 La6 に設けられた配線路 cp74 により、ビア v79 から終端抵抗 RA15 に接続されている。

【0215】

50

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 7 5により、ビアv 7 9から第1コネクタ配置領域1 9 4内のビアv 1 3 9に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 7 6により、端子接続部h a d 7に対して第1コネクタ配置領域1 9 4の内側から接続されている。

【0216】

配線路P 9(図46)では、図34に示すように、第1配線層L a 1の複合チップ配置領域1 9 1に設けられた端子接続部H A D 8が、配線路c p 8 1により、斜め+X-Y方向の近傍に配置されたビアv 1 2に接続されている。ビアv 1 2は、その周囲に配置されている4つの端子接続部(端子接続部H A D 8を含む)の略中央に配置されている。このビアv 1 2は、図40に示すように、第4配線層L a 4に設けられた配線路c p 8 2により、制御ROM配置領域1 9 2内に配置されるビアv 7 8に接続されている。

10

【0217】

端子接続部H A D 8からビアv 7 8に達した配線路は、このビアv 7 8で3つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 8 3により、ビアv 7 8から制御ROM1 0 5の端子接続部A 7に対して制御ROM配置領域1 9 2の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 8 4により、ビアv 7 8から終端抵抗R A 1 3に接続されている。この終端抵抗R A 1 3は、他端側が所定のビアを介して第2配線層L a 2のベタ配線層(GND)に接続されている(配線図では省略)。

20

【0218】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 8 5により、ビアv 7 8から第1コネクタ配置領域1 9 4内のビアv 1 3 8に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 8 6により、端子接続部h a d 8に対して第1コネクタ配置領域1 9 4の内側から接続されている。

【0219】

配線路P 1 0(図46)では、図34に示すように、第1配線層L a 1の複合チップ配置領域1 9 1に設けられた端子接続部H A D 9が、配線路c p 9 1により、複合チップ配置領域1 9 1の外側、具体的には複合チップ配置領域1 9 1と制御ROM配置領域1 9 2との間に配置されたビアv 3 3に接続されている。なお、端子接続部H A D 9は、複合チップ配置領域1 9 1の外周側から2列目に配置されている。ビアv 3 3は、図40に示すように、第4配線層L a 4に設けられた配線路c p 9 2により、制御ROM配置領域1 9 2内に配置されるビアv 7 7に接続されている。

30

【0220】

端子接続部H A D 9からビアv 7 7に達した配線路は、このビアv 7 7で3つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 9 3により、ビアv 7 7から制御ROM1 0 5の端子接続部A 8に対して制御ROM配置領域1 9 2の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 9 4により、ビアv 7 7から終端抵抗R A 1 3に接続されている。

40

【0221】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 9 5により、ビアv 7 7から第1コネクタ配置領域1 9 4内のビアv 1 3 7に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 9 6により、端子接続部h a d 9に対して第1コネクタ配置領域1 9 4の内側から接続されている。

【0222】

配線路P 1 1(図46)では、図34に示すように、第1配線層L a 1の複合チップ配置領域1 9 1に設けられた端子接続部H A D 1 0が、配線路c p 1 0 1により、複合チップ配置領域1 9 1の外側、具体的には複合チップ配置領域1 9 1と制御ROM配置領域1 9 2との間に配置されたビアv 3 8に接続されている。なお、端子接続部H A D 1 0は、複合チップ配置領域1 9 1の最も外周側に配置されている。ビアv 3 8は、図40に示す

50

ように、第4配線層L a 4に設けられた配線路c p 1 0 2により、制御ROM配置領域192内に配置されるビアv 7 6に接続されている。

【0223】

端子接続部HAD10からビアv 7 6に達した配線路は、このビアv 7 6で3つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 1 0 3により、ビアv 7 6から制御ROM105の端子接続部A 9に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 1 0 4により、ビアv 7 6から終端抵抗RA13に接続されている。

【0224】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 1 0 5により、ビアv 7 6から第1コネクタ配置領域194内のビアv 1 3 6に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 1 0 6により、端子接続部had10に対して第1コネクタ配置領域194の内側から接続されている。

【0225】

配線路P12(図46)では、図34に示すように、第1配線層L a 1の複合チップ配置領域191に設けられた端子接続部HAD11が、配線路c p 1 1 1により、斜め-X+Y方向の近傍に配置されたビアv 2に接続されている。ビアv 2は、その周囲に配置されている4つの端子接続部(端子接続部HAD11を含む)の略中央に配置されている。このビアv 2は、図40に示すように、第4配線層L a 4に設けられた配線路c p 1 1 2により、制御ROM配置領域192内に配置されるビアv 7 5に接続されている。

【0226】

端子接続部HAD11からビアv 7 5に達した配線路は、このビアv 7 5で3つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 1 1 3により、ビアv 7 5から制御ROM105の端子接続部A 1 0に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 1 1 4により、ビアv 7 5から終端抵抗RA13に接続されている。

【0227】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 1 1 5により、ビアv 7 5から第1コネクタ配置領域194内のビアv 1 3 5に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 1 1 6により、端子接続部had11に対して第1コネクタ配置領域194の内側から接続されている。

【0228】

配線路P13(図46)では、図34に示すように、第1配線層L a 1の複合チップ配置領域191に設けられた端子接続部HAD12が、配線路c p 1 2 1により、斜め+X-Y方向の近傍に配置されたビアv 1 9に接続されている。ビアv 1 9は、その周囲に配置されている4つの端子接続部(端子接続部HAD12を含む)の略中央に配置されている。このビアv 1 9は、図40に示すように、第4配線層L a 4に設けられた配線路c p 1 2 2により、制御ROM配置領域192内に配置されるビアv 7 4に接続されている。

【0229】

端子接続部HAD12からビアv 7 4に達した配線路は、このビアv 7 4で3つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 1 2 3により、ビアv 7 4から制御ROM105の端子接続部A 1 1に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 1 2 4により、ビアv 7 4から終端抵抗RA11に接続されている。この終端抵抗RA11は、他端側が所定のビアを介して第2配線層L a 2のベタ配線層(GND)に接続されている(配線図では省略)。

10

20

30

40

50

【0230】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 1 2 5により、ビアv 7 4から第1コネクタ配置領域1 9 4内のビアv 1 3 4に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 1 2 6により、端子接続部h a d 1 2に対して第1コネクタ配置領域1 9 4の内側から接続されている。

【0231】

配線路P 1 4(図46)では、図34に示すように、第1配線層L a 1の複合チップ配置領域1 9 1に設けられた端子接続部H A D 1 3が、配線路c p 1 3 1により、複合チップ配置領域1 9 1の外側、具体的には制御ROM配置領域1 9 2の+Y側に配置されたビアv 4 9に接続されている。なお、端子接続部H A D 1 3は、複合チップ配置領域1 9 1の外周側から2列目に配置されている。ビアv 4 9は、図40に示すように、第4配線層L a 4に設けられた配線路c p 1 3 2により、制御ROM配置領域1 9 2内に配置されるビアv 7 3に接続されている。

10

【0232】

端子接続部H A D 1 3からビアv 7 3に達した配線路は、このビアv 7 3で2つに分岐している。第1の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 1 3 3により、ビアv 7 3から終端抵抗R A 1 1に接続されている。

【0233】

また第2の分岐路は、図37に示すように、第3配線層L a 3に設けられた配線路c p 1 3 4により、ビアv 7 3から、制御ROM配置領域1 9 2内に配置されるビアv 1 0 7に接続されており、ここで更に2つに分岐している。その1つ目の第2aの分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 1 3 5により、ビアv 1 0 7から制御ROM1 0 5の端子接続部A 1 2に対して制御ROM配置領域1 9 2の内側から接続されている。また2つ目の第2bの分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 1 3 6により、ビアv 1 0 7から第1コネクタ配置領域1 9 4内のビアv 1 3 3に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 1 3 7により、端子接続部h a d 1 3に対して第1コネクタ配置領域1 9 4の内側から接続されている。

20

【0234】

配線路P 1 5(図46)では、図34に示すように、第1配線層L a 1の複合チップ配置領域1 9 1に設けられた端子接続部H A D 1 4が、配線路c p 1 4 1により、複合チップ配置領域1 9 1の外側、具体的には制御ROM配置領域1 9 2の+Y側に配置されたビアv 5 0に接続されている。なお、端子接続部H A D 1 4は、複合チップ配置領域1 9 1の最も外周側に配置されている。ビアv 5 0は、図40に示すように、第4配線層L a 4に設けられた配線路c p 1 4 2により、制御ROM配置領域1 9 2内に配置されるビアv 7 2に接続されている。

30

【0235】

端子接続部H A D 1 4からビアv 7 2に達した配線路は、このビアv 7 2で2つに分岐している。第1の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 1 4 3により、ビアv 7 2から終端抵抗R A 1 1に接続されている。

40

【0236】

また第2の分岐路は、図37に示すように、第3配線層L a 3に設けられた配線路c p 1 4 4により、ビアv 7 2から、制御ROM配置領域1 9 2内に配置されるビアv 1 0 6に接続されており、ここで更に2つに分岐している。その1つ目の第2aの分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 1 4 5により、ビアv 1 0 6から制御ROM1 0 5の端子接続部A 1 3に対して制御ROM配置領域1 9 2の内側から接続されている。また2つ目の第2bの分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 1 4 6により、ビアv 1 0 6から第1コネクタ配置領域1 9 4内のビアv 1 3 2に接続され、更に図42に示すように、第6配線層L a 6に

50

設けられた配線路 c p 1 4 7 により、端子接続部 h a d 1 4 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 2 3 7 】

配線路 P 1 6 (図 4 6) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 1 5 が、配線路 c p 1 5 1 により、斜め + X - Y 方向の近傍に配置されたビア v 1 1 に接続されている。ビア v 1 1 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H A D 1 5 を含む) の略中央に配置されている。このビア v 1 1 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 1 5 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 7 1 に接続されている。

【 0 2 3 8 】

端子接続部 H A D 1 5 からビア v 7 1 に達した配線路は、このビア v 7 1 で 2 つに分岐している。第 1 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 1 5 3 により、ビア v 7 1 から終端抵抗 R A 1 1 に接続されている。

【 0 2 3 9 】

また第 2 の分岐路は、図 3 7 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 1 5 4 により、ビア v 7 1 から、制御 R O M 配置領域 1 9 2 内に配置されるビア v 1 0 5 に接続されており、ここで更に 2 つに分岐している。その 1 つ目の第 2 a の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 1 5 5 により、ビア v 1 0 5 から制御 R O M 1 0 5 の端子接続部 A 1 4 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また 2 つ目の第 2 b の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 1 5 6 により、ビア v 1 0 5 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 3 1 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 1 5 7 により、端子接続部 h a d 1 5 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 2 4 0 】

配線路 P 1 7 (図 4 6) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 1 6 が、配線路 c p 1 6 1 により、斜め + X - Y 方向の近傍に配置されたビア v 1 8 に接続されている。ビア v 1 8 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H A D 1 6 を含む) の略中央に配置されている。このビア v 1 8 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 1 6 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 7 0 に接続されている。

【 0 2 4 1 】

端子接続部 H A D 1 6 からビア v 7 0 に達した配線路は、このビア v 7 0 で 2 つに分岐している。第 1 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 1 6 3 により、ビア v 7 0 から終端抵抗 R A 1 0 に接続されている。この終端抵抗 R A 1 0 は、他端側が所定のビアを介して第 2 配線層 L a 2 のベタ配線層 (G N D) に接続されている (配線図では省略) 。

【 0 2 4 2 】

また第 2 の分岐路は、図 3 7 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 1 6 4 により、ビア v 7 0 から、制御 R O M 配置領域 1 9 2 内に配置されるビア v 1 0 4 に接続されており、ここで更に 2 つに分岐している。その 1 つ目の第 2 a の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 1 6 5 により、ビア v 1 0 4 から制御 R O M 1 0 5 の端子接続部 A 1 5 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また 2 つ目の第 2 b の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 1 6 6 により、ビア v 1 0 4 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 3 0 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 1 6 7 により、端子接続部 h a d 1 6 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 2 4 3 】

配線路 P 1 8 (図 4 7) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配

10

20

30

40

50

置領域 191 に設けられた端子接続部 HAD17 が、配線路 c p 171 により、複合チップ配置領域 191 の外側、具体的には制御 ROM 配置領域 192 の +Y 側に配置されたビア v51 に接続されている。なお、端子接続部 HAD17 は、複合チップ配置領域 191 の外周側から 2 列目に配置されている。ビア v51 は、図 40 に示すように、第 4 配線層 La4 に設けられた配線路 c p 172 により、制御 ROM 配置領域 192 内に配置されるビア v69 に接続されている。

【0244】

端子接続部 HAD17 からビア v69 に達した配線路は、このビア v69 で 2 つに分岐している。第 1 の分岐路は、図 41 に示すように、第 6 配線層 La6 に設けられた配線路 c p 173 により、ビア v69 から終端抵抗 RA10 に接続されている。

10

【0245】

また第 2 の分岐路は、図 37 に示すように、第 3 配線層 La3 に設けられた配線路 c p 174 により、ビア v69 から、制御 ROM 配置領域 192 内に配置されるビア v103 に接続されており、ここで更に 2 つに分岐している。その 1 つ目の第 2a の分岐路は、図 35 に示すように、第 1 配線層 La1 に設けられた配線路 c p 175 により、ビア v103 から制御 ROM 105 の端子接続部 A16 に対して制御 ROM 配置領域 192 の外側から接続されている。また 2 つ目の第 2b の分岐路は、図 37、図 38 に示すように、第 3 配線層 La3 に設けられた配線路 c p 176 により、ビア v103 から第 1 コネクタ配置領域 194 内のビア v129 に接続され、更に図 42 に示すように、第 6 配線層 La6 に設けられた配線路 c p 177 により、端子接続部 had17 に対して第 1 コネクタ配置領域 194 の内側から接続されている。

20

【0246】

配線路 P19 (図 47) では、図 34 に示すように、第 1 配線層 La1 の複合チップ配置領域 191 に設けられた端子接続部 HAD18 が、配線路 c p 181 により、複合チップ配置領域 191 の外側、具体的には制御 ROM 配置領域 192 の +Y 側に配置されたビア v52 に接続されている。なお、端子接続部 HAD18 は、複合チップ配置領域 191 の最も外周側に配置されている。ビア v52 は、図 40 に示すように、第 4 配線層 La4 に設けられた配線路 c p 182 により、制御 ROM 配置領域 192 内に配置されるビア v68 に接続されている。

30

【0247】

端子接続部 HAD18 からビア v68 に達した配線路は、このビア v68 で 3 つに分岐している。第 1 の分岐路は、図 35 に示すように、第 1 配線層 La1 に設けられた配線路 c p 183 により、ビア v68 から制御 ROM 105 の端子接続部 A17 に対して制御 ROM 配置領域 192 の内側から接続されている。また第 2 の分岐路は、図 41 に示すように、第 6 配線層 La6 に設けられた配線路 c p 184 により、ビア v68 から終端抵抗 RA10 に接続されている。

【0248】

また第 3 の分岐路は、図 37、図 38 に示すように、第 3 配線層 La3 に設けられた配線路 c p 185 により、ビア v68 から第 1 コネクタ配置領域 194 内のビア v128 に接続され、更に図 42 に示すように、第 6 配線層 La6 に設けられた配線路 c p 186 により、端子接続部 had18 に対して第 1 コネクタ配置領域 194 の内側から接続されている。

40

【0249】

配線路 P20 (図 47) では、図 34 に示すように、第 1 配線層 La1 の複合チップ配置領域 191 に設けられた端子接続部 HAD19 が、配線路 c p 191 により、斜め +X -Y 方向の近傍に配置されたビア v1 に接続されている。ビア v1 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HAD19 を含む) の略中央に配置されている。このビア v1 は、図 40 に示すように、第 4 配線層 La4 に設けられた配線路 c p 192 により、制御 ROM 配置領域 192 内に配置されるビア v67 に接続されている。

【0250】

50

端子接続部 H A D 1 9 からビア v 6 7 に達した配線路は、このビア v 6 7 で 3 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 1 9 3 により、ビア v 6 7 から制御 R O M 1 0 5 の端子接続部 A 1 8 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 1 9 4 により、ビア v 6 7 から終端抵抗 R A 1 0 に接続されている。

【 0 2 5 1 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 1 9 5 により、ビア v 6 7 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 7 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 1 9 6 により、端子接続部 h a d 1 9 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 2 5 2 】

配線路 P 2 1 (図 4 7) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 2 0 が、配線路 c p 2 0 1 により、斜め + X - Y 方向の近傍に配置されたビア v 1 0 に接続されている。ビア v 1 0 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H A D 2 0 を含む) の略中央に配置されている。このビア v 1 0 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 2 0 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 6 6 に接続されている。

【 0 2 5 3 】

端子接続部 H A D 2 0 からビア v 6 6 に達した配線路は、このビア v 6 6 で 3 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 2 0 3 により、ビア v 6 6 から制御 R O M 1 0 5 の端子接続部 A 1 9 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 2 0 4 により、ビア v 6 6 から終端抵抗 R A 9 に接続されている。この終端抵抗 R A 9 は、他端側が所定のビアを介して第 2 配線層 L a 2 のベタ配線層 (G N D) に接続されている (配線図では省略) 。

【 0 2 5 4 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 2 0 5 により、ビア v 6 6 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 6 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 2 0 6 により、端子接続部 h a d 2 0 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 2 5 5 】

配線路 P 2 2 (図 4 7) では、図 3 4 , 図 3 5 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 2 1 が、配線路 c p 2 1 1 により、複合チップ配置領域 1 9 1 の外側、具体的には制御 R O M 配置領域 1 9 2 の + Y 側に配置されたビア v 5 4 に接続されている。なお、端子接続部 H A D 2 1 は、複合チップ配置領域 1 9 1 の最も外周側に配置されている。ビア v 5 4 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 2 1 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 6 5 に接続されている。

【 0 2 5 6 】

端子接続部 H A D 2 1 からビア v 6 5 に達した配線路は、このビア v 6 5 で 3 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 2 1 3 により、ビア v 6 5 から制御 R O M 1 0 5 の端子接続部 A 2 0 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 2 1 4 により、ビア v 6 5 から終端抵抗 R A 9 に接続されている。

【 0 2 5 7 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配

10

20

30

40

50

線路 c p 2 1 5 により、ビア v 6 5 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 5 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 2 1 6 により、端子接続部 h a d 2 1 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 2 5 8 】

配線路 P 2 3 (図 4 7) では、図 3 4 , 図 3 5 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 2 2 が、配線路 c p 2 2 1 により、複合チップ配置領域 1 9 1 の外側、具体的には制御 R O M 配置領域 1 9 2 の + Y 側に配置されたビア v 5 3 に接続されている。なお、端子接続部 H A D 2 2 は、複合チップ配置領域 1 9 1 の外周側から 2 列目に配置されている。ビア v 5 3 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 2 2 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 6 4 に接続されている。

【 0 2 5 9 】

端子接続部 H A D 2 2 からビア v 6 4 に達した配線路は、このビア v 6 4 で 3 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 2 2 3 により、ビア v 6 4 から制御 R O M 1 0 5 の端子接続部 A 2 1 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 2 2 4 により、ビア v 6 4 から終端抵抗 R A 9 に接続されている。

【 0 2 6 0 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 2 2 5 により、ビア v 6 4 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 4 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 2 2 6 により、端子接続部 h a d 2 2 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 2 6 1 】

配線路 P 2 4 (図 4 7) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H A D 2 3 が、配線路 c p 2 3 1 により、斜め + X + Y 方向の近傍に配置されたビア v 2 1 に接続されている。ビア v 2 1 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H A D 2 3 を含む) の略中央に配置されている。このビア v 2 1 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 2 3 2 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 3 6 に接続され、更に図 3 4 , 図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 2 3 3 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 6 3 に接続されている。

【 0 2 6 2 】

端子接続部 H A D 2 3 からビア v 6 3 に達した配線路は、このビア v 6 3 で 3 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 2 3 4 により、ビア v 6 3 から制御 R O M 1 0 5 の端子接続部 A 2 2 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 2 3 5 により、ビア v 6 3 から終端抵抗 R A 9 に接続されている。

【 0 2 6 3 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 2 3 6 により、ビア v 6 3 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 2 3 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 2 3 7 により、端子接続部 h a d 2 3 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。

【 0 2 6 4 】

配線路 P 2 5 (図 4 7) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配

10

20

30

40

50

置領域 191 に設けられた端子接続部 HAD24 が、配線路 c p 241 により、斜め + X + Y 方向の近傍に配置されたビア v14 に接続されている。ビア v14 は、その周囲に配置されている 4 つの端子接続部（端子接続部 HAD24 を含む）の略中央に配置されている。このビア v14 は、図 40 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 242 により、複合チップ配置領域 191 の外側、具体的には複合チップ配置領域 191 と制御 ROM 配置領域 192 との間に配置されたビア v35 に接続され、更に図 34, 図 35 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 243 により、制御 ROM 配置領域 192 内に配置されるビア v62 に接続されている。

【0265】

端子接続部 HAD24 からビア v62 に達した配線路は、このビア v62 で 4 つに分岐している。第 1 の分岐路は、図 35 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 244 により、ビア v62 から制御 ROM105 の端子接続部 A23 に対して制御 ROM 配置領域 192 の外側から接続されている。また第 2 の分岐路は、図 41 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 245 により、ビア v62 から終端抵抗 R45 に接続されている。この終端抵抗 R45 は、他端側が所定のビアを介して第 2 配線層 L a 2 のベタ配線層（GND）に接続されている（配線図では省略）。

10

【0266】

また第 3 の分岐路は、図 37, 図 38 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 246 により、ビア v62 から第 1 コネクタ配置領域 194 内のビア v122 に接続され、更に図 42 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 247 により、端子接続部 had24 に対して第 1 コネクタ配置領域 194 の内側から接続されている。また第 4 の分岐路は、図 37, 図 39 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 248 により、ビア v62 からビア v183 に接続され、更に図 43 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 249 により、デコード回路を構成するデコーダ I C 12 に接続されている。

20

【0267】

配線路 P26（図 47）では、図 34 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 191 に設けられた端子接続部 HAD25 が、配線路 c p 251 により、斜め + X + Y 方向の近傍に配置されたビア v6 に接続されている。ビア v6 は、その周囲に配置されている 4 つの端子接続部（端子接続部 HAD25 を含む）の略中央に配置されている。このビア v6 は、図 40 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 252 により、複合チップ配置領域 191 の外側、具体的には複合チップ配置領域 191 と制御 ROM 配置領域 192 との間に配置されたビア v40 に接続され、更に図 34, 図 35 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 253 により、制御 ROM 配置領域 192 内に配置されるビア v61 に接続されている。

30

【0268】

端子接続部 HAD25 からビア v61 に達した配線路は、このビア v61 で 3 つに分岐している。第 1 の分岐路は、図 35 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 254 により、ビア v61 から制御 ROM105 の端子接続部 A24 に対して制御 ROM 配置領域 192 の外側から接続されている。また第 2 の分岐路は、図 41 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 255 により、ビア v61 から終端抵抗 R44 に接続されている。この終端抵抗 R44 は、他端側が所定のビアを介して第 2 配線層 L a 2 のベタ配線層（GND）に接続されている（配線図では省略）。

40

【0269】

また第 3 の分岐路は、図 37, 図 38 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 256 により、ビア v61 から第 1 コネクタ配置領域 194 内のビア v121 に接続され、更に図 42 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 257 により、端子接続部 had25 に対して第 1 コネクタ配置領域 194 の内側から接続されている。

【0270】

50

続いて、複合チップ104のデータ入出力端子HDT0～HDT15に接続される配線路P27～P42について説明する。データ入出力端子HDT0～HDT15は、制御ROM105側のデータ入出力端子Q0～Q15に夫々接続されるとともに、液晶制御第1コネクタCN31にも接続されている。

【0271】

なお、複合チップ104のデータ入出力端子HDT0～HDT15の配列（図26（a））と、それに対応する制御ROM105のデータ入出力端子Q0～Q15の配列（図27）とを比較すると、両者は明らかに相違している。即ち、複合チップ104のデータ入出力端子HDT0～HDT15は、図26（a）に示すように4行に分けて配列されており、行毎に列数は異なるが並び順は一定しているのに対し、制御ROM105のデータ入出力端子Q0～Q15は、図27に示すように2列に分けて配列されており、各列における並び順に一定の規則性はない。しかも、複合チップ104と制御ROM105の配置位置や配線パターンの数の多さが関係してくることで、配線パターンの引き回しが非常に複雑なものとなる。そのため、複合チップ104と制御ROM105とを接続する配線パターンの引き回しを最適化することは非常に重要であり、それによって配線パターンの線長を短くすることができ、ノイズ低減や基板全体のスリム化を図ることにつながる。また、これらは複合チップ104と制御ROM105との間の関係だけでなく、複合チップ104と各種コネクタ等の電子部品との関係性においても同様のことが言える。特に、HAD1～HAD25やHDT1～HDT25などの複合チップ104や制御ROM105、各種コネクタなどの複数の電子部品と接続される配線パターンについては、上述の課題が大きい分、最適化することによる効果も大きいものとなる。

10

20

【0272】

配線路P27～P42のうち、配線路P27（図48）では、図34に示すように、第1配線層La1の複合チップ配置領域191に設けられた端子接続部HDT0が、配線路cp301により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域192との間に配置されたビアv32に接続されている。なお、端子接続部HDT0は、複合チップ配置領域191の最も外周側に配置されている。ビアv32は、図40に示すように、第4配線層La4に設けられた配線路cp302により、制御ROM配置領域192内に配置されるビアv102に接続されている。

30

【0273】

端子接続部HDT0からビアv102に達した配線路は、このビアv102で4つに分岐している。第1の分岐路は、図35に示すように、第1配線層La1に設けられた配線路cp303により、ビアv102から制御ROM105の端子接続部Q0に対して制御ROM配置領域192の外側から接続されている。また第2の分岐路は、図41に示すように、第6配線層La6に設けられた配線路cp304により、ビアv102から終端抵抗RA34に接続されている。この終端抵抗RA34は、他端側が所定のビアを介して第2配線層La2のベタ配線層（GND）に接続されている（配線図では省略）。

【0274】

また第3の分岐路は、図37、図38に示すように、第3配線層La3に設けられた配線路cp305により、ビアv102から第1コネクタ配置領域194内のビアv162に接続され、更に図42に示すように、第6配線層La6に設けられた配線路cp306により、端子接続部hdt0に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層La3に設けられた配線路cp307により、ビアv102からビアv197に接続され、更に図43に示すように、第6配線層La6に設けられた配線路cp308により、デコード回路を構成するデコーダIC13に接続されている。

40

【0275】

配線路P28（図48）では、図34に示すように、第1配線層La1の複合チップ配置領域191に設けられた端子接続部HDT1が、配線路cp311により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域19

50

2との間に配置されたビア v 3 1 に接続されている。なお、端子接続部 H D T 1 は、複合チップ配置領域 1 9 1 の外周側から 2 列目に配置されている。ビア v 3 1 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 3 1 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 1 0 1 に接続されている。

【 0 2 7 6 】

端子接続部 H D T 1 からビア v 1 0 1 に達した配線路は、このビア v 1 0 1 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 3 1 3 により、ビア v 1 0 1 から制御 R O M 1 0 5 の端子接続部 Q 1 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 1 4 により、ビア v 1 0 1 から終端抵抗 R A 3 4 に接続されている。

10

【 0 2 7 7 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 1 5 により、ビア v 1 0 1 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 6 1 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 1 6 により、端子接続部 h d t 1 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7 , 図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 1 7 により、ビア v 1 0 1 からビア v 1 9 8 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 1 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

20

【 0 2 7 8 】

配線路 P 2 9 (図 4 8) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 2 が、配線路 c p 3 2 1 により、斜め + X + Y 方向の近傍に配置されたビア v 2 4 に接続されている。ビア v 2 4 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H D T 2 を含む) の略中央に配置されている。このビア v 2 4 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 3 2 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 1 0 0 に接続されている。

【 0 2 7 9 】

端子接続部 H D T 2 からビア v 1 0 0 に達した配線路は、このビア v 1 0 0 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 3 2 3 により、ビア v 1 0 0 から制御 R O M 1 0 5 の端子接続部 Q 2 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 2 4 により、ビア v 1 0 0 から終端抵抗 R A 3 4 に接続されている。

30

【 0 2 8 0 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 2 5 により、ビア v 1 0 0 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 6 0 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 2 6 により、端子接続部 h d t 2 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7 , 図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 2 7 により、ビア v 1 0 0 からビア v 1 9 9 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 2 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

40

【 0 2 8 1 】

配線路 P 3 0 (図 4 8) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 3 が、配線路 c p 3 3 1 により、斜め - X - Y 方向の近傍に配置されたビア v 8 に接続されている。ビア v 8 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H D T 3 を含む) の略中央に配置されている。このビア v 8 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 3 3 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 9 9 に接続されている。

50

【0282】

端子接続部 H D T 3 からビア v 9 9 に達した配線路は、このビア v 9 9 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 3 3 3 により、ビア v 9 9 から制御 R O M 1 0 5 の端子接続部 Q 3 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 3 4 により、ビア v 9 9 から終端抵抗 R A 3 4 に接続されている。

【0283】

また第 3 の分岐路は、図 3 7、図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 3 5 により、ビア v 9 9 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 5 9 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 3 6 により、端子接続部 h d t 3 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7、図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 3 7 により、ビア v 9 9 からビア v 2 0 0 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 3 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

10

【0284】

配線路 P 3 1 (図 4 8) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 4 が、配線路 c p 3 4 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 3 7 に接続されている。なお、端子接続部 H D T 4 は、複合チップ配置領域 1 9 1 の最も外周側に配置されている。ビア v 3 7 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 3 4 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 9 8 に接続されている。

20

【0285】

端子接続部 H D T 4 からビア v 9 8 に達した配線路は、このビア v 9 8 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 3 4 3 により、ビア v 9 8 から制御 R O M 1 0 5 の端子接続部 Q 4 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 4 4 により、ビア v 9 8 から終端抵抗 R A 3 2 に接続されている。この終端抵抗 R A 3 2 は、他端側が所定のビアを介して第 2 配線層 L a 2 のベタ配線層 (G N D) に接続されている (配線図では省略) 。

30

【0286】

また第 3 の分岐路は、図 3 7、図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 4 5 により、ビア v 9 8 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 5 8 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 4 6 により、端子接続部 h d t 4 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7、図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 4 7 により、ビア v 9 8 からビア v 1 8 9 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 4 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

40

【0287】

配線路 P 3 2 (図 4 8) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 5 が、配線路 c p 3 5 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 4 6 に接続されている。なお、端子接続部 H D T 5 は、複合チップ配置領域 1 9 1 の外周側から 2 列目に配置されている。ビア v 4 6 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 3 5 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 9 7 に接続されている。

【0288】

50

端子接続部 H D T 5 からビア v 9 7 に達した配線路は、このビア v 9 7 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 3 5 3 により、ビア v 9 7 から制御 R O M 1 0 5 の端子接続部 Q 5 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 5 4 により、ビア v 9 7 から終端抵抗 R A 3 2 に接続されている。

【 0 2 8 9 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 5 5 により、ビア v 9 7 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 5 7 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 5 6 により、端子接続部 h d t 5 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7 , 図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 5 7 により、ビア v 9 7 からビア v 1 9 0 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 5 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

【 0 2 9 0 】

配線路 P 3 3 (図 4 8) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 6 が、配線路 c p 3 6 1 により、斜め + X + Y 方向の近傍に配置されたビア v 1 7 に接続されている。ビア v 1 7 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H D T 6 を含む) の略中央に配置されている。このビア v 1 7 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 3 6 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 9 6 に接続されている。

【 0 2 9 1 】

端子接続部 H D T 6 からビア v 9 6 に達した配線路は、このビア v 9 6 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 3 6 3 により、ビア v 9 6 から制御 R O M 1 0 5 の端子接続部 Q 6 に対して制御 R O M 配置領域 1 9 2 の外側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 6 4 により、ビア v 9 6 から終端抵抗 R A 3 2 に接続されている。

【 0 2 9 2 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 6 5 により、ビア v 9 6 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 5 6 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 6 6 により、端子接続部 h d t 6 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7 , 図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 3 6 7 により、ビア v 9 6 からビア v 1 9 5 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 3 6 8 により、デコード回路を構成するデコーダ I C 1 3 に接続されている。

【 0 2 9 3 】

配線路 P 3 4 (図 4 8) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 7 が、配線路 c p 3 7 1 により、複合チップ配置領域 1 9 1 の外側、具体的には複合チップ配置領域 1 9 1 と制御 R O M 配置領域 1 9 2 との間に配置されたビア v 4 5 に接続されている。なお、端子接続部 H D T 7 は、複合チップ配置領域 1 9 1 の最も外周側に配置されている。ビア v 4 5 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 3 7 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 9 5 に接続されている。

【 0 2 9 4 】

端子接続部 H D T 7 からビア v 9 5 に達した配線路は、このビア v 9 5 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 3 7 3 により、ビア v 9 5 から制御 R O M 1 0 5 の端子接続部 Q 7 に対して制御 R O M

10

20

30

40

50

配置領域 192 の外側から接続されている。また第2の分岐路は、図41に示すように、第6配線層 La6 に設けられた配線路 c p 374 により、ビア v 95 から終端抵抗 RA30 に接続されている。

【0295】

また第3の分岐路は、図37、図38に示すように、第3配線層 La3 に設けられた配線路 c p 375 により、ビア v 95 から第1コネクタ配置領域 194 内のビア v 155 に接続され、更に図42に示すように、第6配線層 La6 に設けられた配線路 c p 376 により、端子接続部 hdt7 に対して第1コネクタ配置領域 194 の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層 La3 に設けられた配線路 c p 377 により、ビア v 95 からビア v 196 に接続され、更に図43に示すように、第6配線層 La6 に設けられた配線路 c p 378 により、デコード回路を構成するデコーダ I C 13 に接続されている。

10

【0296】

配線路 P35 (図49) では、図34に示すように、第1配線層 La1 の複合チップ配置領域 191 に設けられた端子接続部 HDT8 が、配線路 c p 381 により、複合チップ配置領域 191 の外側、具体的には複合チップ配置領域 191 と制御 ROM 配置領域 192 との間に配置されたビア v 44 に接続されている。なお、端子接続部 HDT8 は、複合チップ配置領域 191 の外周側から 2 列目に配置されている。ビア v 44 は、図40に示すように、第4配線層 La4 に設けられた配線路 c p 382 により、制御 ROM 配置領域 192 内に配置されるビア v 94 に接続されている。

20

【0297】

端子接続部 HDT8 からビア v 94 に達した配線路は、このビア v 94 で 4 つに分岐している。第1の分岐路は、図35に示すように、第1配線層 La1 に設けられた配線路 c p 383 により、ビア v 94 から制御 ROM 105 の端子接続部 Q8 に対して制御 ROM 配置領域 192 の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層 La6 に設けられた配線路 c p 384 により、ビア v 94 から終端抵抗 RA30 に接続されている。この終端抵抗 RA30 は、他端側が所定のビアを介して第2配線層 La2 のベタ配線層 (GND) に接続されている (配線図では省略)。

【0298】

また第3の分岐路は、図37、図38に示すように、第3配線層 La3 に設けられた配線路 c p 385 により、ビア v 94 から第1コネクタ配置領域 194 内のビア v 154 に接続され、更に図42に示すように、第6配線層 La6 に設けられた配線路 c p 386 により、端子接続部 hdt8 に対して第1コネクタ配置領域 194 の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層 La3 に設けられた配線路 c p 387 により、ビア v 94 からビア v 191 に接続され、更に図43に示すように、第6配線層 La6 に設けられた配線路 c p 388 により、デコード回路を構成するデコーダ I C 14 に接続されている。

30

【0299】

配線路 P36 (図49) では、図34に示すように、第1配線層 La1 の複合チップ配置領域 191 に設けられた端子接続部 HDT9 が、配線路 c p 391 により、斜め + X + Y 方向の近傍に配置されたビア v 23 に接続されている。ビア v 23 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 HDT9 を含む) の略中央に配置されている。このビア v 23 は、図40に示すように、第4配線層 La4 に設けられた配線路 c p 392 により、制御 ROM 配置領域 192 内に配置されるビア v 93 に接続されている。

40

【0300】

端子接続部 HDT9 からビア v 93 に達した配線路は、このビア v 93 で 4 つに分岐している。第1の分岐路は、図35に示すように、第1配線層 La1 に設けられた配線路 c p 393 により、ビア v 93 から制御 ROM 105 の端子接続部 Q9 に対して制御 ROM 配置領域 192 の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層 La6 に設けられた配線路 c p 394 により、ビア v 93 から終端抵抗 RA30 に接続されている。

50

0に接続されている。

【0301】

また第3の分岐路は、図37、図38に示すように、第3配線層La3に設けられた配線路cp395により、ビアv93から第1コネクタ配置領域194内のビアv153に接続され、更に図42に示すように、第6配線層La6に設けられた配線路cp396により、端子接続部hdt9に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層La3に設けられた配線路cp397により、ビアv93からビアv192に接続され、更に図43に示すように、第6配線層La6に設けられた配線路cp398により、デコード回路を構成するデコーダIC14に接続されている。

10

【0302】

配線路P37(図49)では、図34に示すように、第1配線層La1の複合チップ配置領域191に設けられた端子接続部HDT10が、配線路cp401により、斜め+X+Y方向の近傍に配置されたビアv16に接続されている。ビアv16は、その周囲に配置されている4つの端子接続部(端子接続部HDT10を含む)の略中央に配置されている。このビアv16は、図40に示すように、第4配線層La4に設けられた配線路cp402により、制御ROM配置領域192内に配置されるビアv92に接続されている。

【0303】

端子接続部HDT10からビアv92に達した配線路は、このビアv92で4つに分岐している。第1の分岐路は、図35に示すように、第1配線層La1に設けられた配線路cp403により、ビアv92から制御ROM105の端子接続部Q10に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層La6に設けられた配線路cp404により、ビアv92から終端抵抗RA30に接続されている。

20

【0304】

また第3の分岐路は、図37、図38に示すように、第3配線層La3に設けられた配線路cp405により、ビアv92から第1コネクタ配置領域194内のビアv152に接続され、更に図42に示すように、第6配線層La6に設けられた配線路cp406により、端子接続部hdt10に対して第1コネクタ配置領域194の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層La3に設けられた配線路cp407により、ビアv92からビアv193に接続され、更に図43に示すように、第6配線層La6に設けられた配線路cp408により、デコード回路を構成するデコーダIC14に接続されている。

30

【0305】

配線路P38(図49)では、図34に示すように、第1配線層La1の複合チップ配置領域191に設けられた端子接続部HDT11が、配線路cp411により、斜め+X+Y方向の近傍に配置されたビアv7に接続されている。ビアv7は、その周囲に配置されている4つの端子接続部(端子接続部HDT11を含む)の略中央に配置されている。このビアv7は、図40に示すように、第4配線層La4に設けられた配線路cp412により、制御ROM配置領域192内に配置されるビアv91に接続されている。

40

【0306】

端子接続部HDT11からビアv91に達した配線路は、このビアv91で4つに分岐している。第1の分岐路は、図35に示すように、第1配線層La1に設けられた配線路cp413により、ビアv91から制御ROM105の端子接続部Q11に対して制御ROM配置領域192の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層La6に設けられた配線路cp414により、ビアv91から終端抵抗RA30に接続されている。

【0307】

また第3の分岐路は、図37、図38に示すように、第3配線層La3に設けられた配線路cp415により、ビアv91から第1コネクタ配置領域194内のビアv151に

50

接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 4 1 6により、端子接続部h d t 1 1に対して第1コネクタ配置領域1 9 4の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層L a 3に設けられた配線路c p 4 1 7により、ビアv 9 1からビアv 1 9 4に接続され、更に図43に示すように、第6配線層L a 6に設けられた配線路c p 4 1 8により、デコード回路を構成するデコーダI C 1 4に接続されている。

【0308】

配線路P 3 9(図49)では、図34に示すように、第1配線層L a 1の複合チップ配置領域1 9 1に設けられた端子接続部H D T 1 2が、配線路c p 4 2 1により、複合チップ配置領域1 9 1の外側、具体的には複合チップ配置領域1 9 1と制御R O M配置領域1 9 2との間に配置されたビアv 4 3に接続されている。なお、端子接続部H D T 1 2は、複合チップ配置領域1 9 1の最も外周側に配置されている。ビアv 4 3は、図40に示すように、第4配線層L a 4に設けられた配線路c p 4 2 2により、制御R O M配置領域1 9 2内に配置されるビアv 9 0に接続されている。

10

【0309】

端子接続部H D T 1 2からビアv 9 0に達した配線路は、このビアv 9 0で4つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 4 2 3により、ビアv 9 0から制御R O M 1 0 5の端子接続部Q 1 2に対して制御R O M配置領域1 9 2の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 4 2 4により、ビアv 9 0から終端抵抗R A 1 7に接続されている。この終端抵抗R A 1 7は、他端側が所定のビアを介して第2配線層L a 2のベタ配線層(G N D)に接続されている(配線図では省略)。

20

【0310】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 4 2 5により、ビアv 9 0から第1コネクタ配置領域1 9 4内のビアv 1 5 0に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 4 2 6により、端子接続部h d t 1 2に対して第1コネクタ配置領域1 9 4の内側から接続されている。また第4の分岐路は、図37、図39に示すように、第3配線層L a 3に設けられた配線路c p 4 2 7により、ビアv 9 0からビアv 1 8 5に接続され、更に図43に示すように、第6配線層L a 6に設けられた配線路c p 4 2 8により、デコード回路を構成するデコーダI C 1 4に接続されている。

30

【0311】

配線路P 4 0(図49)では、図34に示すように、第1配線層L a 1の複合チップ配置領域1 9 1に設けられた端子接続部H D T 1 3が、配線路c p 4 3 1により、複合チップ配置領域1 9 1の外側、具体的には複合チップ配置領域1 9 1と制御R O M配置領域1 9 2との間に配置されたビアv 4 2に接続されている。なお、端子接続部H D T 1 3は、複合チップ配置領域1 9 1の外周側から2列目に配置されている。ビアv 4 2は、図40に示すように、第4配線層L a 4に設けられた配線路c p 4 3 2により、制御R O M配置領域1 9 2内に配置されるビアv 8 9に接続されている。

30

【0312】

端子接続部H D T 1 3からビアv 8 9に達した配線路は、このビアv 8 9で4つに分岐している。第1の分岐路は、図35に示すように、第1配線層L a 1に設けられた配線路c p 4 3 3により、ビアv 8 9から制御R O M 1 0 5の端子接続部Q 1 3に対して制御R O M配置領域1 9 2の内側から接続されている。また第2の分岐路は、図41に示すように、第6配線層L a 6に設けられた配線路c p 4 3 4により、ビアv 8 9から終端抵抗R A 1 7に接続されている。

40

【0313】

また第3の分岐路は、図37、図38に示すように、第3配線層L a 3に設けられた配線路c p 4 3 5により、ビアv 8 9から第1コネクタ配置領域1 9 4内のビアv 1 4 9に接続され、更に図42に示すように、第6配線層L a 6に設けられた配線路c p 4 3 6に

50

より、端子接続部 h d t 1 3 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7 , 図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 4 3 7 により、ビア v 8 9 からビア v 1 8 6 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 4 3 8 により、デコード回路を構成するデコーダ I C 1 4 に接続されている。

【 0 3 1 4 】

配線路 P 4 1 (図 4 9) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 1 4 が、配線路 c p 4 4 1 により、斜め + X + Y 方向の近傍に配置されたビア v 2 2 に接続されている。ビア v 2 2 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H D T 1 4 を含む) の略中央に配置されている。このビア v 2 2 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 4 4 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 8 8 に接続されている。

10

【 0 3 1 5 】

端子接続部 H D T 1 4 からビア v 8 8 に達した配線路は、このビア v 8 8 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 4 4 3 により、ビア v 8 8 から制御 R O M 1 0 5 の端子接続部 Q 1 4 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 4 4 4 により、ビア v 8 8 から終端抵抗 R A 1 7 に接続されている。

20

【 0 3 1 6 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 4 4 5 により、ビア v 8 8 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 4 8 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 4 4 6 により、端子接続部 h d t 1 4 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7 , 図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 4 4 7 により、ビア v 8 8 からビア v 1 8 7 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 4 4 8 により、デコード回路を構成するデコーダ I C 1 4 に接続されている。

【 0 3 1 7 】

配線路 P 4 2 (図 4 9) では、図 3 4 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 H D T 1 5 が、配線路 c p 4 5 1 により、斜め + X + Y 方向の近傍に配置されたビア v 1 5 に接続されている。ビア v 1 5 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 H D T 1 5 を含む) の略中央に配置されている。このビア v 1 5 は、図 4 0 に示すように、第 4 配線層 L a 4 に設けられた配線路 c p 4 5 2 により、制御 R O M 配置領域 1 9 2 内に配置されるビア v 8 7 に接続されている。

30

【 0 3 1 8 】

端子接続部 H D T 1 5 からビア v 8 7 に達した配線路は、このビア v 8 7 で 4 つに分岐している。第 1 の分岐路は、図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 4 5 3 により、ビア v 8 7 から制御 R O M 1 0 5 の端子接続部 Q 1 5 / A - 1 に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。また第 2 の分岐路は、図 4 1 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 4 5 4 により、ビア v 8 7 から終端抵抗 R A 1 7 に接続されている。

40

【 0 3 1 9 】

また第 3 の分岐路は、図 3 7 , 図 3 8 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 4 5 5 により、ビア v 8 7 から第 1 コネクタ配置領域 1 9 4 内のビア v 1 4 7 に接続され、更に図 4 2 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 4 5 6 により、端子接続部 h d t 1 5 に対して第 1 コネクタ配置領域 1 9 4 の内側から接続されている。また第 4 の分岐路は、図 3 7 , 図 3 9 に示すように、第 3 配線層 L a 3 に設けられた配線路 c p 4 5 7 により、ビア v 8 7 からビア v 1 8 8 に接続され、更に図 4 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 4 5 8 によりデコーダ I C 1 4 に接続

50

されている。

【0320】

続いて、複合チップ104のチップセレクト出力端子HCS0、リードストローブ出力端子HRD、システムリセット端子RESETに夫々接続される配線路P43～P45について説明する。

【0321】

配線路P43(図50)では、図34に示すように、第1配線層La1の複合チップ配置領域191に設けられた端子接続部HCS0が、配線路cp501により、斜め-X+Y方向の近傍に配置されたビアv9に接続され、ここで2つに分岐している。なおビアv9は、その周囲に配置されている4つの端子接続部(端子接続部HCS0を含む)の略中央に配置されている。ビアv9における第1の分岐路は、図33に示すように、第6配線層La6に設けられた配線路cp502により、制御ROM配置領域192内に配置されるビアv60に接続され、更に図35に示すように、第1配線層La1に設けられた配線路cp503により、端子接続部CE#に対して制御ROM配置領域192の内側から接続されている。

10

【0322】

またビアv9における第2の分岐路は、図31に示すように、第4配線層La4に設けられた配線路cp504によってビアv173に接続され、ここで更に2つに分岐している。このビアv173における第2aの分岐路は、図33に示すように、第6配線層La6に設けられた配線路cp505によってビアv201に接続されている。このビアv201はテストポイントTP33を構成している。またビアv173における第2bの分岐路は、図28に示すように、第1配線層La1に設けられた配線路cp506により、抵抗RA12を経てDC3.3V(第5配線層La5)に接続されている。

20

【0323】

配線路P44(図50)では、図28に示すように、第1配線層La1の複合チップ配置領域191に設けられた端子接続部HRDが、配線路cp511により、斜め+X-Y方向の近傍に配置されたビアv25に接続され、ここで2つに分岐している。なおビアv25は、その周囲に配置されている4つの端子接続部(端子接続部HRDを含む)の略中央に配置されている。ビアv25における第1の分岐路は、図33に示すように、第6配線層La6に設けられた配線路cp512により、複合チップ配置領域191の外側、具体的には複合チップ配置領域191と制御ROM配置領域192との間に配置されたビアv47に接続され、更に図35に示すように、第1配線層La1に設けられた配線路cp513により、端子接続部OE#に対して制御ROM配置領域192の外側から接続されている。

30

【0324】

またビアv25における第2の分岐路は、図30に示すように、第3配線層La3に設けられた配線路cp514によってビアv172に接続され、ここで更に2つに分岐している。このビアv172における第2aの分岐路は、図30に示すように、第3配線層La3に設けられた配線路cp515により、第1コネクタ配置領域194の外側近傍に配置されたビアv171に接続され、更に図33に示すように、第6配線層La6に設けられた配線路cp516により、端子接続部hrdに対して第1コネクタ配置領域194の外側から接続されている。またビアv172における第2bの分岐路は、図28に示すように、第1配線層La1に設けられた配線路cp517により、抵抗RA8を経てDC3.3V(第5配線層La5)に接続されている。

40

【0325】

配線路P45(図50)では、図28に示すように、第1配線層La1の複合チップ配置領域191に設けられた端子接続部RESETが、配線路cp521により、複合チップ配置領域191の外側(+X側)に配置されたビアv26に接続されている。なお、端子接続部RESETは、複合チップ配置領域191の最も外周側に配置されている。ビアv26は、図31に示すように、第4配線層La4に設けられた配線路cp522に

50

よってビア v 2 0 2 に接続され、更に図 3 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 5 2 3 によってビア v 1 7 4 に接続され、ここで 2 つに分岐している。

【 0 3 2 6 】

ビア v 1 7 4 における第 1 の分岐路は、図 3 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 5 2 4 により、制御 R O M 配置領域 1 9 2 の外側 (+ X 側) 近傍に配置されたビア v 1 0 8 に接続され、更に図 3 5 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 5 2 5 により、端子接続部 R E S E T # に対して制御 R O M 配置領域 1 9 2 の内側から接続されている。なお図 3 3 に示すように、第 6 配線層 L a 6 の配線路 c p 5 2 4 は、抵抗 R 4 0 を介して D C 3 . 3 V (第 5 配線層 L a 5) に接続され、またコンデンサ C 1 5 1 を介してグランド (第 2 配線層 L a 2) に接続されている。

【 0 3 2 7 】

またビア v 1 7 4 における第 2 の分岐路は、図 2 8 に示すように、第 1 配線層 L a 1 に設けられた配線路 c p 5 2 6 によってビア v 2 0 4 に接続されている。なお、このビア v 2 0 4 はテストポイント T P 1 7 を構成している。そしてビア v 2 0 4 は、第 6 配線層 L a 6 側のリセット回路に接続されている。即ち図 3 3 に示すように、ビア v 2 0 4 は、第 6 配線層 L a 6 に設けられた配線路 c p 5 2 7 によって抵抗内蔵トランジスタ T 1 に接続され、更に配線路 c p 5 2 8 によって論理集積回路 I C 7 に接続され、更に配線路 c p 5 2 9 により、テストポイント T P 2 3 を構成するビア v 2 0 3 を経て W D T 内蔵リセット集積回路 (リセット I C) I C 1 0 に接続されている。なお、配線路 c p 5 2 8 は、抵抗 R 1 9 を介して D C 3 . 3 V (第 5 配線層 L a 5) に接続され、配線路 c p 5 2 9 は、コンデンサ C 4 0 を介してグランド (第 2 配線層 L a 2) に、また抵抗 R 2 6 を介して D C 3 . 3 V (第 5 配線層 L a 5) に夫々接続されている。

【 0 3 2 8 】

なお、この第 6 配線層 L a 6 側のリセット回路は図 5 5 に示すように構成されている。論理集積回路 I C 7 には、液晶制御第 1 コネクタ C N 3 1 を介してシステムリセット信号が、また W D T 内蔵リセット集積回路 (リセット I C) I C 1 0 からリセット信号が夫々入力可能となっており、それらの何れかのリセット信号が入力されたとき、ノイズ対策用の抵抗内蔵トランジスタ T 1 を介して複合チップ 1 0 4 及び制御 R O M 1 0 5 にリセット信号が送信されるようになっている。なお、W D T 内蔵リセット集積回路 (リセット I C) I C 1 0 には、W D T リセット用として例えば複合チップ 1 0 4 の L E D 用データ出力端子 A S I B L D T B が接続されている。

【 0 3 2 9 】

ここで、テストポイント T P 2 3 はリセット集積回路 I C 1 0 が作動した場合にチェックを行うためのもので、図 3 3 に示すように、第 6 配線層 L a 6 側の配線路 c p 4 2 1 上で且つリセット集積回路 I C 1 0 の近傍に配置されているため、テストポイント T P 2 3 を示す識別情報である " T P 2 3 " の表示は、シルク印刷により、配線路 c p 4 2 1 が設けられている第 6 配線層 L a 6 側、即ち裏面 9 8 b 側に配置するのが通常である。一方、テストポイント T P 2 3 によるチェック作業は基板を組み上げた状態 (図 8 , 図 9 参照) 、又は基板を遊技機本体に組み付けた (設置した) 状態で行う必要があるが、その状態では液晶制御基板 9 8 の裏面 9 8 b は、対向する演出インターフェース基板 9 6 、液晶インターフェース基板 9 7 の陰になってテスターを当てることができない。そこで本実施形態では、図 5 6 に示すように、テストポイント T P 2 3 を示す識別情報である " T P 2 3 " の表示を、そのテストポイント T P 2 3 が配置されている配線路 c p 4 2 1 側、即ち裏面 9 8 b 側ではなく表面 9 8 a 側に配置している。なお、テストポイント T P 2 3 は、基板本体 1 9 0 を貫通するビア v 2 0 3 により構成されているため、基板本体 1 9 0 の表面 9 8 a 側からもテスターを当てることが可能である。

【 0 3 3 0 】

また、テストポイント T P 1 7 は、第 1 配線層 L a 1 側の配線路 c p 4 1 8 と、第 6 配線層 L a 6 側の配線路 c p 4 1 9 とを接続するビア v 2 0 4 に設けられているが、このテストポイント T P 1 7 を示す識別情報である " T P 1 7 " の表示についても、テストポイン

10

20

30

40

50

ト T P 2 3 と同じく表面 9 8 a 側に配置されている。

【 0 3 3 1 】

また、上述したその他のテストポイント T P 2 8 , T P 3 3 についても同様である。即ち、テストポイント T P 2 8 は、第 3 配線層 L a 3 の配線路 c p 3 上に設けられているが、このテストポイント T P 2 8 を示す識別情報である " T P 2 8 " の表示は表面 9 8 a 側に配置されている。またテストポイント T P 3 3 は、第 6 配線層 L a 6 の配線路 c p 5 0 5 上に設けられているが、このテストポイント T P 3 3 を示す識別情報である " T P 3 3 " の表示は表面 9 8 a 側に配置されている。

【 0 3 3 2 】

続いて、制御 R O M 1 0 5 の 8 / 1 6 b i t モード選択端子 B Y T E # 、書き込み可能入力端子 W E # 、書き込み禁止 / プログラムインプット端子 W P # / A C C に夫々接続される配線路 P 4 6 , P 4 7 について説明する。なお、これらの配線路 P 4 6 , P 4 7 は複合チップ 1 0 4 には接続されない。

10

【 0 3 3 3 】

配線路 P 4 6 (図 5 0) では、図 3 5 に示すように、第 1 配線層 L a 1 の制御 R O M 配置領域 1 9 2 に設けられた端子接続部 B Y T E # が、配線路 c p 5 3 1 によってビア v 4 8 と接続されている。このビア v 4 8 は、制御 R O M 配置領域 1 9 2 の外側 (- X 側) における端子接続部 B Y T E # の近傍に配置されており、図 3 2 に示すように、第 5 配線層 L a 5 を介して D C 3 . 3 V に接続されている。このように本実施形態では、制御 R O M 1 0 5 の 8 / 1 6 b i t モード選択端子 B Y T E # が電源 (H レベル) に接続されることにより、1 6 ビット通信モードが選択されている。

20

【 0 3 3 4 】

配線路 P 4 7 (図 5 0) では、図 3 5 に示すように、第 1 配線層 L a 1 の制御 R O M 配置領域 1 9 2 に設けられた端子接続部 W E # (第 1 所定端子) が、配線路 c p 5 4 1 によってビア v 1 1 1 と接続されている。このビア v 1 1 1 (第 1 所定層間導通部) は、制御 R O M 配置領域 1 9 2 の外側 (+ X 側) における端子接続部 W E # の近傍に配置されており、図 3 2 に示すように、第 5 配線層 L a 5 を介して D C 3 . 3 V に接続されている。このように本実施形態では、制御 R O M 1 0 5 の書き込み可能入力端子 W E # が電源 (H レベル) に接続されることにより、 H レベル (非読み込み時) のときは出力不能モード、 L レベル (読み込み時) のときは出力モードとするなど、出力可能入力端子 O E # の値 (H / L) に応じてモードを切り替えることが可能となっている。なお、出力可能入力端子 O E # は、上述したように複合チップ 1 0 4 のリードストローブ出力端子 H R D と接続されている。

30

【 0 3 3 5 】

また配線路 P 4 7 では、図 3 5 に示すように、第 1 配線層 L a 1 の制御 R O M 配置領域 1 9 2 に設けられた端子接続部 W P # / A C C (第 2 所定端子) が、配線路 c p 5 4 2 によってビア v 1 1 2 と接続されている。このビア v 1 1 2 は、制御 R O M 配置領域 1 9 2 の外側 (+ X 側) における端子接続部 W P # / A C C の近傍に配置されている。またビア v 1 1 2 (第 2 所定層間導通部) は、図 3 3 に示すように、第 6 配線層 L a 6 に設けられた配線路 c p 5 4 3 により、抵抗 R 4 3 を介してビア v 1 1 1 に接続されている。このビア v 1 1 1 は、上述したように第 5 配線層 L a 5 を介して D C 3 . 3 V に接続されている。このように本実施形態では、制御 R O M (特定電子部品) 1 0 5 の書き込み禁止 / プログラムインプット端子 W P # / A C C が電源 (H レベル) に接続されることにより、書き込み可能且つプログラム実行可能に設定されている。また、抵抗 R 4 3 を介して電源と接続することにより、 H レベルを超える入力を排除して安定的に H レベルとなるようにしている。

40

【 0 3 3 6 】

例えば、制御 R O M の種類によって、 H レベルを超える入力があった場合に、書き込みの禁止 / 許容、プログラムの実行禁止 / 許容とは異なるモード設定が行われる場合には、このように抵抗を介して安定的に H レベルとなるように構成することで、ノイズ等により

50

Hレベルを超える入力された場合であっても、制御ROMが書き込みの禁止／許容、プログラムの実行禁止／許容とは異なるモード設定となってしまうことを防止することが可能となる。

【0337】

続いて、デコーダIC13と液晶制御第2コネクタCN32とを接続することにより、電源制御信号PS1, PS2, バックライトON/OFF制御信号XSTABY1, バックライト調光用PWM信号VBR1を夫々伝送するための配線路P48～P51について説明する。なお、複合チップ104のデータ入出力端子HDT0～HDT7とデコーダIC13との接続については、配線路P27～P34(図48)として既に説明したとおりである。また、液晶制御第2コネクタCN32では、多数の端子が長手方向(X方向)に沿って二列状に配列されており、コネクタ端子ps1, ps2, xstab1, vbr1は、第2コネクタ配置領域195の-Y側の第2縁部195bに沿って配列されている。

【0338】

配線路P48(図51)は、電源制御信号PS1を伝送するもので、図43に示すように、第6配線層La6のデコーダIC13から配線路cp551が-Y側に引き出され、ビアv211と接続されている。このビアv211は、図30に示すように、第3配線層La3に配置された配線路cp552を介してビアv212と接続されている。そしてこのビアv212は、図44に示すように、第6配線層La6に配置された配線路cp553を介して、液晶制御第2コネクタCN32の端子接続部ps1に対して第2コネクタ配置領域195の外側(-Y側)から接続されている。

【0339】

配線路P49(図51)は、電源制御信号PS2を伝送するもので、図43に示すように、第6配線層La6のデコーダIC13から配線路cp561が-Y側に引き出され、ビアv221と接続されている。このビアv221は、図30に示すように、第3配線層La3に配置された配線路cp562を介してビアv222と接続されている。そしてこのビアv222は、図44に示すように、第6配線層La6に配置された配線路cp563を介して、液晶制御第2コネクタCN32の端子接続部ps2に対して第2コネクタ配置領域195の外側(-Y側)から接続されている。

【0340】

配線路(乙配線路)P50(図51)は、バックライトON/OFF制御信号XSTA BY1を伝送するもので、図43に示すように、第6配線層La6のデコーダIC13から配線路cp571が-Y側に引き出され、ビアv231と接続されている。このビアv231は、図30に示すように、第3配線層La3に配置された配線路cp572を介してビアv232と接続されている。そしてこのビアv232は、図44に示すように、第6配線層La6に配置された配線路cp573を介して、液晶制御第2コネクタCN32の端子接続部xstab1に対して第2コネクタ配置領域195の外側(-Y側)から接続されている。

【0341】

配線路(乙配線路)P51(図51)は、バックライト調光用PWM信号VBR1を伝送するもので、図43に示すように、第6配線層La6のデコーダIC13から配線路cp581が-Y側に引き出され、ビアv241と接続されている。このビアv241は、図30に示すように、第3配線層La3に配置された配線路cp582を介してビアv242と接続されている。そしてこのビアv242は、図44に示すように、第6配線層La6に配置された配線路cp583を介して、液晶制御第2コネクタCN32の端子接続部vbr1に対して第2コネクタ配置領域195の外側(-Y側)から接続されている。

【0342】

続いて、複合チップ104のデータ出力端子RA0+, RA0-, RA1+, RA1-, RA2+, RA2-, RA3+, RA3-, RACK+, RACK-(以下、ODD側データ出力端子群と称する)と液晶制御第2コネクタCN32とを接続する配線路(第1配線路、甲配線路)P52～P61、同じくデータ出力端子RB0+, RB0-, R

10

20

30

40

50

B 1 + , R B 1 - , R B 2 + , R B 2 - , R B 3 + , R B 3 - , R B C L K + , R B C L K - (以下、E V E N 側データ出力端子群と称する)と液晶制御第2コネクタC N 3 2とを接続する配線路(第2配線路、甲配線路)P 6 2 ~ P 7 1について説明する。なお、配線路P 5 2 ~ P 6 1は、O D D 信号を伝送する第1伝送路L V D S 1を構成し、配線路P 6 2 ~ P 7 1は、E V E N 信号を伝送する第2伝送路L V D S 2を構成している。

【0 3 4 3】

複合チップ104のO D D 側データ出力端子群(第1チップ端子)は、図26(b)、図36等に示すように、複合チップ配置領域191の第2縁部191bに沿って二列状に配列されている。即ち、複合チップ配置領域191の最も外周側に、データ出力端子R A 0 - , R A 1 - , R A 2 - , R A C L K - , R A 3 - がその順序で-X方向に配列され、更にそれらの内側に、データ出力端子R A 0 + , R A 1 + , R A 2 + , R A C L K + , R A 3 + がその順序で-X方向に配列されている。

10

【0 3 4 4】

また、複合チップ104のE V E N 側データ出力端子群(第2チップ端子)は、図26(b)、図36等に示すように、O D D 側データ出力端子群に対して複合チップ配置領域191の内側に二列状に配列されている。即ち、O D D 側データ出力端子群の内側に、G N D 端子列を挟んで、データ出力端子R B 0 - , R B 1 - , R B 2 - , R B C L K - , R B 3 - がその順序で-X方向に配列され、更にそれらの内側に、データ出力端子R B 0 + , R B 1 + , R B 2 + , R B C L K + , R B 3 + がその順序で-X方向に配列されている。

20

【0 3 4 5】

また、液晶制御第2コネクタC N 3 2が配置される第2コネクタ配置領域195は、図33、図36等に示すように、複合チップ配置領域191の第2縁部191b側に、第2縁部191bと平行な細長状に配置されている。液晶制御第2コネクタC N 3 2では、多数の端子が長手方向(X方向)に沿って二列状に配列されており、図44に示すように、O D D 側データ出力端子群に対応するコネクタ端子r a 0 - , r a 0 + , r a 1 - , r a 1 + , r a 2 - , r a 2 + , r a c l k - , r a c l k + , r a 3 - , r a 3 + が、第2コネクタ配置領域195の-Y側の第1縁部195aに沿って-X方向に配列され、E V E N 側データ出力端子群に対応するコネクタ端子r b 0 - , r b 0 + , r b 1 - , r b 1 + , r b 2 - , r b 2 + , r b c l k - , r b c l k + , r b 3 - , r b 3 + が、第2コネクタ配置領域195の+Y側の第2縁部195bに沿って-X方向に配列されている。

30

【0 3 4 6】

まず、第1伝送路L V D S 1を構成する配線路(第1配線路)P 5 2 ~ P 6 1(図52)について説明する。配線路P 5 2(図52)では、図36に示すように、第1配線層L a 1の複合チップ配置領域191に設けられた端子接続部R A 0 - が、配線路c p 6 0 1により、第2コネクタ配置領域195内(コネクタの近傍)に配置されたビア(特定層間導通部)v 2 5 1に接続されている。ビアv 2 5 1は、図44に示すように、第6配線層L a 6の配線路c p 6 0 2により、端子接続部r a 0 - に対して第2コネクタ配置領域195の内側から接続されている。

30

【0 3 4 7】

配線路P 5 3(図52)では、図36に示すように、第1配線層L a 1の複合チップ配置領域191に設けられた端子接続部R A 0 + が、配線路c p 6 0 3により、第2コネクタ配置領域195内(コネクタの近傍)に配置されたビア(特定層間導通部)v 2 5 2に接続されている。なお、配線路c p 6 0 3は、端子接続部R A 0 - とその隣の端子接続部R A 1 -との間を経て複合チップ配置領域191の外側に引き出されている。即ち、作動信号ラインR A 0を構成する二本の配線路c p 6 0 1, c p 6 0 3は、互いに隣り合わせで並行するように配設されている。そしてビアv 2 5 2は、図44に示すように、第6配線層L a 6の配線路c p 6 0 4により、端子接続部r a 0 + に対して第2コネクタ配置領域195の内側から接続されている。

40

【0 3 4 8】

配線路P 5 4(図52)では、図36に示すように、第1配線層L a 1の複合チップ配

50

置領域 191 に設けられた端子接続部 R A 1 - が、配線路 c p 6 0 5 により、第2コネクタ配置領域 195 内（コネクタの近傍）に配置されたビア（特定層間導通部）v 2 5 3 に接続されている。ビア v 2 5 3 は、図 4 4 に示すように、第6配線層 L a 6 の配線路 c p 6 0 6 により、端子接続部 r a 1 - に対して第2コネクタ配置領域 195 の内側から接続されている。

【 0 3 4 9 】

配線路 P 5 5 (図 5 2) では、図 3 6 に示すように、第1配線層 L a 1 の複合チップ配置領域 191 に設けられた端子接続部 R A 1 + が、配線路 c p 6 0 7 により、第2コネクタ配置領域 195 内（コネクタの近傍）に配置されたビア（特定層間導通部）v 2 5 4 に接続されている。なお、配線路 c p 6 0 7 は、端子接続部 R A 1 - とその隣の端子接続部 R A 2 - との間を経て複合チップ配置領域 191 の外側に引き出されている。即ち、作動信号ライン R A 1 を構成する二本の配線路 c p 6 0 5 , c p 6 0 7 は、互いに隣り合わせで並行するように配設されている。そしてビア v 2 5 4 は、図 4 4 に示すように、第6配線層 L a 6 の配線路 c p 6 0 8 により、端子接続部 r a 1 + に対して第2コネクタ配置領域 195 の内側から接続されている。

【 0 3 5 0 】

配線路 P 5 6 (図 5 2) では、図 3 6 に示すように、第1配線層 L a 1 の複合チップ配置領域 191 に設けられた端子接続部 R A 2 - が、配線路 c p 6 0 9 により、第2コネクタ配置領域 195 内（コネクタの近傍）に配置されたビア（特定層間導通部）v 2 5 5 に接続されている。ビア v 2 5 5 は、図 4 4 に示すように、第6配線層 L a 6 の配線路 c p 6 1 0 により、端子接続部 r a 2 - に対して第2コネクタ配置領域 195 の内側から接続されている。

【 0 3 5 1 】

配線路 P 5 7 (図 5 2) では、図 3 6 に示すように、第1配線層 L a 1 の複合チップ配置領域 191 に設けられた端子接続部 R A 2 + が、配線路 c p 6 1 1 により、第2コネクタ配置領域 195 内（コネクタの近傍）に配置されたビア（特定層間導通部）v 2 5 6 に接続されている。なお、配線路 c p 6 1 1 は、端子接続部 R A 2 - とその隣の端子接続部 R A C L K - との間を経て複合チップ配置領域 191 の外側に引き出されている。即ち、作動信号ライン R A 2 を構成する二本の配線路 c p 6 0 9 , c p 6 1 1 は、互いに隣り合わせで並行するように配設されている。そしてビア v 2 5 6 は、図 4 4 に示すように、第6配線層 L a 6 の配線路 c p 6 1 2 により、端子接続部 r a 2 + に対して第2コネクタ配置領域 195 の内側から接続されている。

【 0 3 5 2 】

配線路 P 5 8 (図 5 2) では、図 3 6 に示すように、第1配線層 L a 1 の複合チップ配置領域 191 に設けられた端子接続部 R A C L K - が、配線路 c p 6 1 3 により、第2コネクタ配置領域 195 内（コネクタの近傍）に配置されたビア（特定層間導通部）v 2 5 7 に接続されている。ビア v 2 5 7 は、図 4 4 に示すように、第6配線層 L a 6 の配線路 c p 6 1 4 により、端子接続部 r a c l k - に対して第2コネクタ配置領域 195 の内側から接続されている。

【 0 3 5 3 】

配線路 P 5 9 (図 5 2) では、図 3 6 に示すように、第1配線層 L a 1 の複合チップ配置領域 191 に設けられた端子接続部 R A C L K + が、配線路 c p 6 1 5 により、第2コネクタ配置領域 195 内（コネクタの近傍）に配置されたビア（特定層間導通部）v 2 5 8 に接続されている。なお、配線路 c p 6 1 5 は、端子接続部 R A C L K - とその隣の端子接続部 R A 3 - との間を経て複合チップ配置領域 191 の外側に引き出されている。即ち、作動信号ライン R A C L K を構成する二本の配線路 c p 6 1 3 , c p 6 1 5 は、互いに隣り合わせで並行するように配設されている。そしてビア v 2 5 8 は、図 4 4 に示すように、第6配線層 L a 6 の配線路 c p 6 1 6 により、端子接続部 r a c l k + に対して第2コネクタ配置領域 195 の内側から接続されている。

【 0 3 5 4 】

10

20

30

40

50

配線路 P 6 0 (図 5 2) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R A 3 - が、配線路 c p 6 1 7 により、第 2 コネクタ配置領域 1 9 5 内 (コネクタの近傍) に配置されたビア (特定層間導通部) v 2 5 9 に接続されている。ビア v 2 5 9 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 1 8 により、端子接続部 r a 3 - に対して第 2 コネクタ配置領域 1 9 5 の内側から接続されている。

【 0 3 5 5 】

配線路 P 6 1 (図 5 2) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R A 3 + が、配線路 c p 6 1 9 により、第 2 コネクタ配置領域 1 9 5 内 (コネクタの近傍) に配置されたビア (特定層間導通部) v 2 6 0 に接続されている。なお、配線路 c p 6 1 9 は、端子接続部 R A 3 - の - X 側を経て複合チップ配置領域 1 9 1 の外側に引き出されている。即ち、作動信号ライン R A 3 を構成する二本の配線路 c p 6 1 7 , c p 6 1 9 は、互いに隣り合わせで並行するように配設されている。そしてビア v 2 6 0 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 2 0 により、端子接続部 r a 3 + に対して第 2 コネクタ配置領域 1 9 5 の内側から接続されている。

【 0 3 5 6 】

なお、第 1 配線層 L a 1 には、図 3 6 に示すように、作動信号ライン R A 0 を構成する配線路 c p 6 0 1 , c p 6 0 3 と作動信号ライン R A 1 を構成する配線路 c p 6 0 5 , c p 6 0 7 との間、作動信号ライン R A 1 を構成する配線路 c p 6 0 5 , c p 6 0 7 と作動信号ライン R A 2 を構成する配線路 c p 6 0 9 , c p 6 1 1 との間、作動信号ライン R A 2 を構成する配線路 c p 6 0 9 , c p 6 1 1 と作動信号ライン R A C L K を構成する配線路 c p 6 1 3 , c p 6 1 5 との間、作動信号ライン R A C L K を構成する配線路 c p 6 1 3 , c p 6 1 5 と作動信号ライン R A 3 を構成する配線路 c p 6 1 7 , c p 6 1 9 との間に、夫々グランド配線路 g p 1 ~ g p 4 が配置されている。グランド配線路 g p 1 ~ g p 4 は、略一定幅の細長状に形成されている。

【 0 3 5 7 】

続いて、第 2 伝送路 L V D S 2 を構成する配線路 (第 2 配線路) P 6 2 ~ P 7 1 (図 5 3) について説明する。配線路 P 6 2 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B 0 - が、配線路 c p 6 2 1 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 1 に接続されている。ビア v 2 6 1 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B 0 - を含む) の略中央に配置されている。このビア v 2 6 1 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 2 2 により、端子接続部 r b 0 - に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。

【 0 3 5 8 】

配線路 P 6 3 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B 0 + が、配線路 c p 6 2 3 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 2 に接続されている。ビア v 2 6 2 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B 0 + を含む) の略中央に配置されている。このビア v 2 6 2 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 2 4 により、端子接続部 r b 0 + に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。なお、配線路 c p 6 2 4 は、ビア v 2 6 1 の + X 側を経て複合チップ配置領域 1 9 1 の外側に引き出されている。即ち、作動信号ライン R B 0 を構成する二本の配線路 c p 6 2 2 , c p 6 2 4 は、互いに隣り合わせで並行するように配設されている。

【 0 3 5 9 】

配線路 P 6 4 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B 1 - が、配線路 c p 6 2 5 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 3 に接続されている。ビア v 2 6 3 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B 1 - を含む) の略中央に配置されてい

10

20

30

40

50

る。このビア v 2 6 3 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 2 6 により、端子接続部 r b 1 - に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。

【 0 3 6 0 】

配線路 P 6 5 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B 1 + が、配線路 c p 6 2 7 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 4 に接続されている。ビア v 2 6 4 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B 1 + を含む) の略中央に配置されている。このビア v 2 6 4 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 2 8 により、端子接続部 r b 1 + に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。なお、配線路 c p 6 2 8 は、ビア v 2 6 3 とその隣のビア v 2 6 1 との間を経て複合チップ配置領域 1 9 1 の外側に引き出されている。即ち、作動信号ライン R B 1 を構成する二本の配線路 c p 6 2 6 , c p 6 2 8 は、互いに隣り合わせで並行するように配設されている。

10

【 0 3 6 1 】

配線路 P 6 6 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B 2 - が、配線路 c p 6 2 9 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 5 に接続されている。ビア v 2 6 5 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B 2 - を含む) の略中央に配置されている。このビア v 2 6 5 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 3 0 により、端子接続部 r b 2 - に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。

20

【 0 3 6 2 】

配線路 P 6 7 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B 2 + が、配線路 c p 6 3 1 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 6 に接続されている。ビア v 2 6 6 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B 2 + を含む) の略中央に配置されている。このビア v 2 6 6 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 3 2 により、端子接続部 r b 2 + に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。なお、配線路 c p 6 3 2 は、ビア v 2 6 5 とその隣のビア v 2 6 3 との間を経て複合チップ配置領域 1 9 1 の外側に引き出されている。即ち、作動信号ライン R B 2 を構成する二本の配線路 c p 6 3 0 , c p 6 3 2 は、互いに隣り合わせで並行するように配設されている。

30

【 0 3 6 3 】

配線路 P 6 8 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B C L K - が、配線路 c p 6 3 3 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 7 に接続されている。ビア v 2 6 7 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B C L K - を含む) の略中央に配置されている。このビア v 2 6 7 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 3 4 により、端子接続部 r b c l k - に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。

40

【 0 3 6 4 】

配線路 P 6 9 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B C L K + が、配線路 c p 6 3 5 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 8 に接続されている。ビア v 2 6 8 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B C L K + を含む) の略中央に配置されている。このビア v 2 6 8 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 3 6 により、端子接続部 r b c l k + に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。なお、配線路 c p 6 3 6 は、ビア v 2 6 7 とその隣のビア v 2 6 5 との間を経て複合チップ配置領域 1 9 1 の外側に引き出されている。即ち、作動信号ライン R

50

B C L K を構成する二本の配線路 c p 6 3 4 , c p 6 3 6 は、互いに隣り合わせで並行するように配設されている。

【 0 3 6 5 】

配線路 P 7 0 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B 3 - が、配線路 c p 6 3 7 により、斜め + X - Y 方向の近傍に配置されたビア v 2 6 9 に接続されている。ビア v 2 6 9 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B 3 - を含む) の略中央に配置されている。このビア v 2 6 9 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 3 8 により、端子接続部 r b 3 - に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。

10

【 0 3 6 6 】

配線路 P 7 1 (図 5 3) では、図 3 6 に示すように、第 1 配線層 L a 1 の複合チップ配置領域 1 9 1 に設けられた端子接続部 R B 3 + が、配線路 c p 6 3 9 により、斜め + X - Y 方向の近傍に配置されたビア v 2 7 0 に接続されている。ビア v 2 7 0 は、その周囲に配置されている 4 つの端子接続部 (端子接続部 R B 3 + を含む) の略中央に配置されている。このビア v 2 7 0 は、図 4 4 に示すように、第 6 配線層 L a 6 の配線路 c p 6 4 0 により、端子接続部 r b 3 + に対して第 2 コネクタ配置領域 1 9 5 の外側から接続されている。なお、配線路 c p 6 4 0 は、ビア v 2 6 9 とその隣のビア v 2 6 7 との間を経て複合チップ配置領域 1 9 1 の外側に引き出されている。即ち、作動信号ライン R B 3 を構成する二本の配線路 c p 6 3 8 , c p 6 4 0 は、互いに隣り合わせで並行するように配設されている。

20

【 0 3 6 7 】

なお、第 6 配線層 L a 6 には、図 4 4 に示すように、作動信号ライン R B 0 を構成する配線路 c p 6 2 2 , c p 6 2 4 と作動信号ライン R B 1 を構成する配線路 c p 6 2 6 , c p 6 2 8 との間、作動信号ライン R B 1 を構成する配線路 c p 6 2 6 , c p 6 2 8 と作動信号ライン R B 2 を構成する配線路 c p 6 3 0 , c p 6 3 2 との間、作動信号ライン R B 2 を構成する配線路 c p 6 3 0 , c p 6 3 2 と作動信号ライン R B C L K を構成する配線路 c p 6 3 4 , c p 6 3 6 との間、作動信号ライン R B C L K を構成する配線路 c p 6 3 4 , c p 6 3 6 と作動信号ライン R B 3 を構成する配線路 c p 6 3 8 , c p 6 4 0 との間に、夫々グランド配線路 g p 1 1 ~ g p 1 4 が配置されている。グランド配線路 g p 1 1 ~ g p 1 4 は、略一定幅の細長状に形成されている。

30

【 0 3 6 8 】

以上のように、図 3 6 、 4 4 に示す配線パターンでは、作動信号ラインを構成する複数組 (各 5 組) の配線路ペアの間に夫々グランド配線路 g p 1 ~ g p 4 , g p 1 1 ~ g p 1 4 が配置されているが、これはそれらグランド配線路 g p 1 ~ g p 4 , g p 1 1 ~ g p 1 4 の周囲の配線路 c p 6 0 1 , c p 6 2 2 等へのノイズを低減するためである。なお、それらグランド配線路 g p 1 ~ g p 4 , g p 1 1 ~ g p 1 4 は、図 3 6 、図 4 4 に示すように、周囲の配線路 c p 6 0 1 , c p 6 2 2 等よりも広幅とすることが望ましい。それは、周囲の配線路 c p 6 0 1 , c p 6 2 2 等は画像データを送信するための配線路であるため、画面上の図柄画像などがノイズにより視認困難とならないように、よりノイズに強い設計としておくためである。

40

【 0 3 6 9 】

また、第 1 配線層 L a 1 側のグランド配線路 g p 1 ~ g p 4 と第 6 配線層 L a 6 側のグランド配線路 g p 1 1 ~ g p 1 4 とは、図 3 6 、図 4 4 に示すように、夫々複数のスルーホール (ビア) を介して互いに接続されており、それによってよりノイズを低減することが可能となっている。

【 0 3 7 0 】

また図 3 6 、図 4 4 に示すように、第 1 配線層 L a 1 側のグランド配線路 g p 1 ~ g p 4 と第 6 配線層 L a 6 側のグランド配線路 g p 1 1 ~ g p 1 4 は、夫々周囲の配線パターンに応じて互いに異なる形状となっているが、部分的に互いに対応する箇所 (領域) を通

50

過するように構成され、その対応する箇所（ここでは夫々複数箇所）においてスルーホール（ビア）を介して接続されているため、周囲の配線パターンに応じた形状を採用しつつ、よりノイズに強く効率的な配線パターンとすることが可能となっている。

【0371】

以上説明した配線路 P 1 ~ P 7 1 の構成を総括すると、まず複合チップ 104 と制御 ROM 105 とを接続する配線路 P 2 ~ P 4 5 のうち、配線路 P 2 ~ P 4 3 , P 4 5 (特定配線路) については、図 35 , 図 45 ~ 図 50 に示すように、制御 ROM 配置領域 (第 2 配置領域) 192 内に配置されたビア v 60 ~ v 108 (特定層間導通部；図 45 ~ 図 50 にグレーで表示したビア) を経て制御 ROM 105 側の端子接続部に接続されており、更にそれらのうちの配線路 P 2 ~ P 16 , P 19 ~ P 23 , P 35 ~ P 43 , P 45 (第 1 特定配線路) については、制御 ROM 105 側の端子接続部 A 0 ~ A 14 , A 17 ~ A 21 , Q 8 ~ Q 15 , C E # , R E S E T # に対して制御 ROM 配置領域 192 の内側から接続されている (図 45 ~ 図 50 に太線で表示した配線路)。このように、複合チップ 104 と制御 ROM 105 とを接続する配線路を、比較的スペースに余裕のある制御 ROM 配置領域 192 内を経由するように配置し、しかも制御 ROM 105 の端子に対してはできる限り制御 ROM 配置領域 192 の内側から接続することにより、基板上の配線パターンをより効率的に配置することができ、限られたスペースをより有効に利用することが可能となる。

【0372】

なお、制御 ROM 配置領域 (第 2 配置領域) 192 内に配置されたビア v 60 ~ v 108 (特定層間導通部) から制御 ROM 105 側の端子接続部に対して制御 ROM 配置領域 192 の外側から接続する配線路、具体的には配線路 c p 165 , c p 175 , c p 234 , c p 244 , c p 254 , c p 343 , c p 353 , c p 363 , c p 373 , c p 303 , c p 313 , c p 323 , c p 333 については、図 35 に示すように、制御 ROM 配置領域 192 の長辺 192a , 192b を各端子接続部の外側で横切るように配置されている。このように構成することにより、制御 ROM 配置領域 192 を避けて配線する場合に比べて、配線長を短く構成することができるため、配線効率が高まるとともに、ノイズを低減することが可能となる。また、制御 ROM 配置領域 192 で示した範囲については、実際には制御 ROM 105 が位置するため、配線パターンを目視することができず、よって配線パターンに対して不正アクセスされることを防止することが可能である。

【0373】

また、制御 ROM 配置領域 (第 2 配置領域) 192 内に配置されたビア v 60 ~ v 108 (特定層間導通部) に対して第 1 配線層 L a 1 で接続される配線路、具体的には配線路 c p 233 , c p 243 , c p 253 についても、図 35 に示すように、制御 ROM 配置領域 192 の長辺 192a を各端子接続部の外側で横切るように配置されている。前段の構成と合わせて、複数箇所でこのような構成とすることで、前段に記載した効果がより効果的なものとなる。

【0374】

また、制御 ROM 配置領域 192 には ROM ソケット 193 (図 8) が固定され、その ROM ソケット 193 の底壁 (特定層間導通部に対応する遮蔽壁) 193a が制御 ROM 配置領域 192 を遮蔽するため、ROM ソケット 193 から制御 ROM 105 を取り外した状態でも、ビア v 60 ~ v 108 (特定層間導通部) を含む制御 ROM 配置領域 192 内の配線パターンを外部から視認することはできず、またアクセスすることもできない。

【0375】

制御 ROM 配置領域 192 内のビア v 60 ~ v 108 (特定層間導通部) は、基板本体 190 の表面 (第 1 面) 98a から裏面 (第 2 面) 98b まで貫通させることで放熱効果を高めている。また、制御 ROM 配置領域 192 内のビア v 60 ~ v 108 (特定層間導通部) は、裏面 98b 側、即ち第 6 配線層 L a 6 側で I C 、抵抗、コンデンサ、コネクタ等の所定電子部品と接続されている。

【0376】

10

20

30

40

50

また、複合チップ104と制御ROM105とを接続する配線路P2～P45については、複合チップ104と所定のビア（所定層間導通部）とを接続する第1配線部から、所定のビアと制御ROM105とを接続する第2配線部と、所定のビアと液晶制御第1コネクタCN31等の他の電子部品とを接続する第3配線部とに分岐している。そして、第2配線部は第1配線層La1等の第1所定配線層に、第3配線部は第1所定配線層とは異なる第3配線層La3、第6配線層La6等の第2所定配線層に夫々配置されている。

【0377】

またそれら配線路P2～P45のうち、アドレス／データ情報の伝送を行う配線路P2～P42については、分岐箇所である所定のビア（所定層間導通部）が、制御ROM配置領域（第2配置領域）192内に配置された特定層間導通部（図45～図50にグレーで表示したビア）となっており、しかも第2配線部を第1配線層La1に、第1配線部の少なくとも一部を第4配線層La4（第1配線層とは別の所定配線層の一例）に、第3配線部を第1配線層La1（第1所定配線層）に夫々設けている。これにより、アドレス／データ情報の伝送を行う配線パターン及びビアを不正改造するなどのゴト行為に対する予防性を高めることが可能となる。また、制御ROM配置領域192内に配線パターンを引くことで、それ以外の領域に配線スペースを確保することが可能となる。また、特に分岐箇所に関しては、基板の複数層にわたって配線パターンが密集しやすい傾向にあるため、分岐箇所を設ける部分には十分な配線スペースが必要となるが、その点からも、配線スペースに余裕のある制御ROM配置領域192内に分岐箇所を配置することは効果的である。

10

【0378】

また、制御ROM配置領域192内のビアv60～v107（特定層間導通部）のうち、アドレス情報を伝送するための配線路P2～P26（アドレス配線）の一部を構成するビアv61～v85、v103～v107（第1特定層間導通部）と、データ情報を伝送するための配線路P27～P42（データ配線）の一部を構成するビアv87～v102（第2特定層間導通部）とを、制御ROM105における端子の配列方向であるY方向（第1方向）に配列している。

20

【0379】

また、複合チップ104側のアドレス出力端子HAD1～HAD25、データ入出力端子HDT0～HDT15（第1端子）と、それらに対応する制御ROM105側のアドレス入力端子A0～A24、データ入出力端子Q0～Q15（第2端子）とは配列が相違しており、それらを接続する配線路P2～P42は、制御ROM配置領域192内のビアv60～v85、v87～v107（特定層間導通部）を有し、それら制御ROM配置領域192内のビアv60～v85、v87～v107（特定層間導通部）の配列を、対応する制御ROM105側の端子（特定第2端子）の配列と近似させている。これにより、特定層間導通部と制御ROMの端子とを接続する配線パターンを整頓することができ、例えば複数の配線パターン同士の位置関係が変わる（捻れる）ようにパターンの引き回しを行う必要がないので、接続方法がより容易で、制御ROM配置領域192内のスペースをより有効に活用できる。このように、複合チップ104の端子配列と制御ROM105の端子配列とが異なる場合に、制御ROM105の配置領域内の特定層間導通部から制御ROM105の端子に至るまでの比較的配線距離の短い配線パターンの引き回しを工夫するよりも、複合チップ104から特定層間導通部までの比較的配線距離の長い配線パターンの引き回しを工夫することにより、特定層間導通部の配列を制御ROM105の端子配列と近似させる方が配線効率の面ではより効果的であると言える。

30

40

【0380】

具体的には、図35に示すように、例えばアドレス入力端子A0～A6とそれに対応するビアv85～v79、アドレス入力端子A17～A20とそれに対応するビアv68～v64、データ入出力端子Q12～Q15とそれに対応するビアv90～v87については、夫々Y方向に略同じ順序で配列されており、アドレス入力端子A23、A22、A24、A16、A15とそれに対応するビアv62、v63、v61、v103、v104、データ入出力端子Q0～Q3とそれに対応するビアv102～v99、データ入出力端

50

子 Q 8 ~ Q 11 とそれに対応するビア v 9 4 ~ v 9 1 、データ入出力端子 Q 4 ~ Q 7 とそれに対応するビア v 9 8 ~ v 9 5 については、夫々 Y 方向に略逆の順序で配列されている。このように、制御 ROM 105 の端子配列のみを考慮して特定層間導通部の配列を工夫するのではなく、同じく接続関係にある複合チップ 104 側の端子配列や液晶制御第 1 コネクタ CN 31 側の端子配列を考慮して、特定層間導通部を配列させるようにしてもよい。これにより、部分的には制御 ROM 105 との接続関係は複雑化してしまうが、特定層間導通部を基準として、制御 ROM 105 の端子よりも遠方に位置する複合チップ 104 、液晶制御第 1 コネクタ CN 31 側の端子との接続関係は簡素化されるため、基板全体の配線効率を向上させることができる。即ち、制御 ROM 配置領域 192 内において、必要に応じて特定層間導通部の配列を工夫することで、基板全体の配線効率を高めることができる。また、制御 ROM 配置領域 192 内に限らず、分岐箇所となるビアの配列を前述のように工夫することでも基板全体の配線効率を高めることができる。

【 0381 】

また、複合チップ 104 側のアドレス出力端子 HAD 1 ~ HAD 25 、データ入出力端子 HDT 0 ~ HDT 15 (第 1 端子) は、それらに対応する制御 ROM 105 側のアドレス入力端子 A 0 ~ A 24 、データ入出力端子 Q 0 ~ Q 15 (第 2 端子) だけでなく、液晶制御第 1 コネクタ CN 31 の各端子 had 1 ~ had 25 , hdt 0 ~ hdt 15 (第 3 端子) とも配列が相違しており、ビア v 6 1 ~ v 8 5 , v 8 7 ~ v 10 2 (特定層間導通部) の配列を、液晶制御第 1 コネクタ CN 31 の各端子 had 1 ~ had 25 , hdt 0 ~ hdt 15 (第 3 端子) の配列と一致 (近似) させている。即ち、図 37 , 図 38 , 図 42 に示すように、ビア v 6 1 ~ v 8 5 , v 8 7 ~ v 10 2 (特定層間導通部) の Y 方向の配列は、それに対応する液晶制御第 1 コネクタ CN 31 の各端子 had 1 ~ had 25 , hdt 0 ~ hdt 15 の X 方向の配列と一致しているため、それらを接続する配線路群 (第 3 配線路群) を捻れなく並列に配列することができる。なおこれにより、ビア v 6 1 ~ v 8 5 , v 8 7 ~ v 10 2 (特定層間導通部) と制御 ROM 105 側のアドレス入力端子 A 0 ~ A 24 、データ入出力端子 Q 0 ~ Q 15 (第 2 端子) とを接続する配線路群 (第 2 配線路群) については捻れを含む複雑な配線パターンとなるが、こちらは比較的スペースに余裕のある制御 ROM 配置領域 192 内に配置することで容易に実現可能である。

【 0382 】

なお、アドレス / データ情報の伝送を行う配線路 P 2 ~ P 42 のうち、配線路 P 2 ~ P 13 , P 19 ~ P 42 については、制御 ROM 配置領域 192 内のビア v 6 1 ~ v 6 8 , v 7 4 ~ v 8 5 , v 8 7 ~ v 10 2 (特定層間導通部) において制御 ROM 105 側と液晶制御第 1 コネクタ CN 31 側とに分岐しているが、配線路 P 14 ~ P 18 については、制御 ROM 配置領域 192 内のビア v 6 9 ~ v 7 3 では制御 ROM 105 側には分岐せず、ビア v 6 9 ~ v 7 3 と液晶制御第 1 コネクタ CN 31 とを接続する配線路上で且つ制御 ROM 配置領域 192 内に別途ビア v 10 3 ~ v 10 7 を設け、そのビア v 10 3 ~ v 10 7 から制御 ROM 105 側に分岐している。このように構成することで、液晶制御第 1 コネクタ CN 31 への配線については他の配線路と調和させて捻れなく並列に配列させつつ、制御 ROM 105 への配線についても他の配線路との干渉を回避しつつ効率的に配列することが可能である。

【 0383 】

また、制御 ROM (第 2 電子部品) 105 の一端側に配置された一端側端子に含まれる特定一端側端子 A 0 ~ A 7 , A 17 , A 18 , A 20 , A 21 , Q 0 ~ Q 3 , Q 8 ~ Q 11 とそれらに対応する複合チップ (第 1 電子部品) 104 側の第 1 特定端子 HAD 0 ~ HAD 7 , HAD 17 , HAD 18 , HAD 20 , HAD 21 、 HDT 0 ~ HDT 3 , HDT 8 ~ HDT 11 をビア v 6 5 ~ v 6 8 , v 7 8 ~ v 8 5 , v 9 1 ~ v 9 4 , v 9 9 ~ v 10 2 (第 1 層間導通部) を介して夫々接続する複数の一端側配線路 P 2 ~ P 9 , P 19 , P 20 , P 22 , P 23 , P 27 ~ P 30 , P 35 ~ P 38 と、制御 ROM (第 2 電子部品) 105 の他端側に配置された他端側端子に含まれる特定他端側端子 A 8 ~ A 16 , A 19 , A 22 ~ A 24 , Q 4 ~ Q 7 , Q 12 ~ Q 15 とそれらに対応する複合チップ

10

20

30

40

50

(第1電子部品)104側の第2特定端子HAD8～HAD16, HAD19, HAD22～HAD24, HDT4～HDT7, HDT12～HDT15とをビアv61～v63, v66, v74～v77, v87～v90, v95～v98(第2層間導通部)を介して夫々接続する複数の他端側配線路P10～P18, P21, P24～P26, P31～P34, P39～P42とを備え、第1層間導通部と第2層間導通部とを、夫々第1特定端子、第2特定端子とは異なる配列であって、特定一端側端子、特定他端側端子に対応する配列となるように互いに近傍に配置している。

【0384】

また、一列状に配列された複数のROM端子接続部に対し、制御ROM配置領域192の内側から接続する内接続配線部と外側から接続する外接続配線部とを交互に配置している。即ち図35に示すように、制御ROM配置領域192の端子接続部Q0, Q8, Q1, Q9, Q2, Q10, Q3, Q11に対しては、外接続配線部cp303, cp313, cp323, cp333と内接続配線部cp383, cp393, cp403, cp413とが交互に接続されている。しかも、それら外接続配線部cp303, cp313, cp323, cp333の他端側のビアv102～v99は互いに近傍に配置され、内接続配線部cp383, cp393, cp403, cp413の他端側のビアv94～v91についても互いに近傍に配置されている。同様に、制御ROM配置領域192の端子接続部Q15/A-1, Q7, Q14, Q6, Q13, Q5, Q12, Q4に対しては、内接続配線部cp453, cp443, cp433, cp423と外接続配線部cp373, cp363, cp353, cp343とが交互に接続されている。しかも、それら内接続配線部cp453, cp443, cp433, cp423の他端側のビアv87～v90は互いに近傍に配置され、外接続配線部cp373, cp363, cp353, cp343の他端側のビアv95～v98についても互いに近傍に配置されている。このように、制御ROM105の端子配列ではなく、内接続配線部と外接続配線部とをそれぞれ近傍に配置してグルーピングすることで、配線パターンの引き回しが簡素化され、配線効率を高めることができる。

【0385】

また、アドレス情報又はデータ情報を伝送する第1配線路P2～P42と、チップセレクト情報を伝送する第2配線路P43とは、互いに異なる配線層、即ち第1配線層P2～P42は第4配線層La4、第2配線路P43は第6配線層La6において複合チップ104側から制御ROM配置領域192内のビアv61～v85, v87～v101, v60(特定層間導通部)に接続されている。このように、データ伝送において重要なチップセレクト信号を、アドレス情報又はデータ情報を伝送する配線パターンとは異なる配線層を使用して配線することで、アドレス情報又はデータ情報を伝送する配線パターンの伝送ノイズがチップセレクト信号に乗りにくくすることができ、ノイズに強い構成とすることが可能となる。また、チップセレクト信号の配線路のパターンを他の配線路と異ならせることにより、チップセレクト信号の配線を特定することが比較的容易となり、配線パターンをショートさせるなどのゴトがなされていないかのチェックや通電チェックを比較的容易に行うことが可能となる。

【0386】

また、リセット回路を構成する配線路P45においては、リセット集積回路(リセットIC)IC10とビアv174(所定層間導通部)とを接続する配線路cp418～cp421(リセット第1配線路)と、ビアv174(所定層間導通部)と複合チップ104のリセット端子RESETとを接続する配線路cp413～cp415(リセット第2配線路)と、ビアv174(所定層間導通部)と制御ROM105のリセット端子RESET#とを接続する配線路cp416, cp417(リセット第3配線路)とを備え、配線路cp418～cp421(リセット第1配線路)上に、液晶制御基板98を板厚方向に貫通するテストポイントTP17(第1テストポイント)及びテストポイントTP23(第2テストポイント)を配置し、それらテストポイントTP17, TP23を示す識別情報"TP17", "TP23"を、液晶制御基板98を他の演出インターフェース基板96

10

20

30

40

50

、液晶インターフェース基板 97 等とともに組み上げたときに表側、即ち基板 96, 97 とは反対側の表面（第1面）98a に表示している。なお、リセット集積回路（リセット IC）IC10 は裏面（第2面）98b 側に配置している。これにより、基板を組み上げた状態（図8, 図9 参照）、又は基板を遊技機本体に組み付けた（設置した）状態では、テストポイント TP17, TP23 が配置されている配線路の部分は視認できないにも拘わらず、視認可能な表面 98a 側に表示された識別情報に基づいてテストポイント TP17, TP23 によるチェック作業を容易に行うことが可能である。

【0387】

また配線路 c p 418 ~ c p 421（リセット第1配線路）は、表面（第1面）98a 側に配置された配線路 c p 418（第1配線路）と、裏面（第2面）98b 側に配置された配線路 c p 420, c p 421（第2配線路）と、それらを接続するビア v 204（リセット第1層間導通部）とを有し、テストポイント TP17（第1テストポイント）をそのビア v 204 に配置し、テストポイント TP23（第2テストポイント）を配線路 c p 421（第2配線路）上に配置している。

10

【0388】

また、制御 ROM（特定電子部品）105 は、書き込み禁止／プログラムインプット端子 WP#/ACC（第2所定端子）の電圧レベルに応じた動作モードにて動作し、書き込み可能入力端子 WE#（第1所定端子）は、ビア v 111（第1所定層間導通部）を介して第5配線層 La5 の電源配線路に接続され、書き込み禁止／プログラムインプット端子 WP#/ACC（第2所定端子）は、抵抗 R43 を介してビア v 111（第1所定層間導通部）に接続されている。また、液晶制御基板 98 の表面（第1面）98a に制御 ROM（特定電子部品）105 が、裏面（第2面）98b に抵抗 R43 が夫々配置され、ビア v 112（第2所定層間導通部）を介して書き込み禁止／プログラムインプット端子 WP#/ACC（第2所定端子）と抵抗 R43 とが接続されている。このように、WP#/ACC（第2所定端子）を抵抗 R43 を介して電源配線路に接続するビアを、WE#（第1所定端子）を電源配線路に接続するためのビアとして共通的に利用することで、個別にビアを介して接続する場合に比べてビアの数を削減することができる。

20

【0389】

また、複合チップ 104 の底面側には複数の端子がマトリックス状に配置されており、それら複数の端子のうち、複合チップ配置領域（第1配置領域）191 の外周近傍に配置される外側端子、例えば最外周側とその内側の2列目に配置された端子 HDT0, HDT1, HDT4, HDT5 等は第1配線路 P27, P28, P31, P32 等により制御 ROM 105 と接続され、外側端子よりも内側に配置される内側端子、例えば端子 HDT2, HDT3, HDT6 等は第2配線路 P29, P30, P33 等により制御 ROM 105 と接続され、第1配線路 P27, P28, P31, P32 等は、複合チップ配置領域 191 の外側に配置されたビア v32, v31, v37, v46 等（第1層間導通部）と外側端子 HDT0, HDT1, HDT4, HDT5 等とを第1配線層 La1 で接続し、第2配線路 P29, P30, P33 等は、複合チップ配置領域 191 の内側に配置されたビア v24, v8, v17 等（第2層間導通部）と内側端子 HDT2, HDT3, HDT6 等とを第1配線層 La1 で接続している。また、内側端子 HDT2, HDT3, HDT6 等からビア v24, v8, v17 等（第2層間導通部）までの距離を、外側端子 HDT0, HDT1, HDT4, HDT5 等からビア v32, v31, v37, v46 等（第1層間導通部）までの距離よりも短くしている。

30

【0390】

このように、複数の端子がマトリックス状に配置された複合チップ 104 において、複合チップ 104 の配置領域の外周近傍に配置される外側端子に関しては、複合チップ 104 の外側に配置したビアと接続させることで、複合チップ 104 の外周近傍に配線スペースが生じ、複合チップ 104 の内側端子の配線パターンを複合チップに外側へと引き回しやすくなるため、配線効率を高めることができる。また、上述の配線スペースに関しては、基板の複数の配線層において、複合チップの外周近傍の配線スペースが生じるので、複

40

50

数の配線層のうちのどの配線層を利用したとしても、複合チップの外側へと配線パターンを配線し易くなることは言うまでもない。

【0391】

また、奇数画素に対応するO D D信号（第1信号）を伝送する配線路（第1配線路）P 5 2 ~ P 6 1は、複数の配線層L a 1 ~ L a 6のうち第1配線層（甲配線層）L a 1への配線比率が最も高くなるように配置され、偶数画素に対応するE V E N信号（第2信号）を伝送するc複数の配線層L a 1 ~ L a 6のうち第6配線層（乙配線層）L a 6への配線比率が最も高くなるように配置されている。

【0392】

即ち、配線路（第1配線路）P 5 2 ~ P 6 1が接続されるO D D側データ出力端子群（第1チップ端子）は、配線路（第2配線路）P 6 2 ~ P 7 1が接続されるE V E N側データ出力端子群（第2チップ端子）よりも複合チップ104における外周側に配置され、液晶制御第2コネクタC N 3 2が、複合チップ104とは反対の第6配線層（乙配線層）L b 6側に配置されている。そして、そのO D D側データ出力端子群（第1チップ端子）に接続される配線路（第1配線路）P 5 2 ~ P 6 1は、液晶制御第2コネクタC N 3 2の近傍に配置されたビア（特定層間導通部）v 2 5 1 ~ v 2 6 0を介して液晶制御第2コネクタC N 3 2に接続され、E V E N側データ出力端子群（第2チップ端子）に接続されるE V E N側データ出力端子群（第2チップ端子）は、E V E N側データ出力端子群の近傍に配置されたビア（非特定層間導通部）v 2 6 1 ~ v 2 7 0を介して液晶制御第2コネクタC N 3 2に接続されている。このような構成により、O D D信号（第1信号）を伝送する配線路（第1配線路）P 5 2 ~ P 6 1と、E V E N信号（第2信号）を伝送する配線路（第2配線路）P 6 2 ~ P 7 1とに対して同時に断線やノイズによる不具合が発生する可能性を低くし、リスクを分散することが可能である。

10

20

30

【0393】

また、複合チップ104に対する第2縁部（第1辺）191b側に液晶制御第2コネクタC N 3 2が配置されており、液晶表示手段76に対する画像データ信号を伝送可能な配線路（甲配線路）P 5 2 ~ P 7 1は、複合チップ104における第2縁部（第1辺）191b側から引き出されて液晶制御第2コネクタC N 3 2の第1コネクタ端子に接続され、バックライトに関する制御信号を伝送可能な配線路（乙配線路）P 5 0 , P 5 1は、複合チップ104における第1縁部（第2辺）191a側から引き出されて液晶制御第2コネクタC N 3 2の第2コネクタ端子に接続されている。これにより、配線路（甲配線路）P 5 2 ~ P 7 1の配線長を短くしつつ、配線路（甲配線路）P 5 2 ~ P 7 1と配線路（乙配線路）P 5 0 , P 5 1とを分離して効率的な配線が可能である。

【0394】

続いて、液晶インターフェース基板97について配線パターン等の詳細を説明する。液晶インターフェース基板97は、基板本体220（図8参照）に複数の配線層、具体的には表面（第1面）97a側の第1配線層L b 1と、裏面（第2面）97b側の第6配線層L b 6と、それらの間に配置される第2 ~ 第5配線層L b 2 ~ L b 5とよりなる計6層の第1 ~ 第6配線層L b 1 ~ L b 6（図57 ~ 図61）を備えている。なお、第2 , 第5配線層L b 2 , L b 5（図58）はグランドに接続されるベタ配線層、第4配線層L b 4（図60）は電源に接続されるベタ配線層となっている。また、液晶インターフェース基板97の基板本体220には、液晶制御基板98と同様、スルーホール型のビア（層間導通部）が多数設けられており、複数の配線層L b 1 ~ L b 6はそれらのビア（層間導通部）を介して互いに導通されている。

40

【0395】

なお以下の説明では、各配線層L b 1 ~ L b 6の面内での方向や向きについては、液晶制御基板98と共にX Y座標系（図8参照）に基づいて、図57 ~ 図61における上下方向をX方向、同じく左右方向をY方向とし、上向き / 下向きを夫々+X / -X方向（側）、左向き / 右向きを夫々+Y / -Y方向（側）とする。

【0396】

50

図57に示すように、液晶インターフェース基板97の第1配線層Lb1には、液晶IF第1～第3コネクタCN21～CN23が配置される液晶IF第1～第3コネクタ配置領域221～223と、液晶接続第1，第2コネクタCN24，CN25が配置される液晶接続第1，第2コネクタ配置領域224，225とが設けられている。

【0397】

液晶IF第1コネクタ配置領域221は、X方向に長い細長状で、第1配線層Lb1の+Y側の縁部近傍における+X側に配置されている。液晶IF第2コネクタ配置領域222は、X方向に長い細長状で、第1配線層Lb1の+Y側の縁部近傍における-X側に配置されている。液晶IF第3コネクタ配置領域223は、X方向に長い細長状で、第1配線層Lb1における中央部よりも若干+X，-Y側の位置に配置されている。また、液晶接続第1，第2コネクタCN24，CN25は、何れもY方向に長い細長状で、第1配線層Lb1における-X側の縁部近傍における-Y寄りの位置に、-Y側が液晶接続第2コネクタCN25となるように隣接して配置されている。

【0398】

以下、液晶インターフェース基板97上に設けられた多数の配線路のうち、液晶接続第1，第2コネクタCN24，CN25を介して液晶表示手段76に接続される複数種類の配線路P101～P124に着目し、その詳細について図面を参照しつつ説明する。なお、図62～図66は、図57～図61に示す第1～第6配線層Lb1～Lb6の各配線パターンから夫々配線路P101～P124を構成する部分のみを抽出して示したもので、図67～図72はその部分拡大図である。また、図73～図75は、配線路P101～P124の配線経路を模式的に示したもので、図76～図78は、配線路P101～P124に対応する回路図を示したものである。

【0399】

まず初めに、ODD信号を伝送する第1伝送路LVDS1を構成する配線路P101～P110について説明する。なお、配線路P101～P110は、液晶IF第3コネクタCN23におけるODD側端子ra0-，ra0+，ra1-，ra1+，ra2-，ra2+，rac1k-，rac1k+，ra3-，ra3+と、液晶接続第1コネクタCN24におけるODD側端子ra0-，ra0+，ra1-，ra1+，ra2-，ra2+，rac1k-，rac1k+，ra3-，ra3+とを接続するように配設される。

【0400】

液晶IF第3コネクタCN23は、図62等に示すようにX方向の細長状に配置され、その一対の長辺に沿って多数の端子が配列されており、図67に示すように、ODD側端子ra0-，ra0+，ra1-，ra1+，ra2-，ra2+，rac1k-，rac1k+，ra3-，ra3+は、その順序で-Y側の長辺に沿って-X方向に配列されている。なお、端子ra0-と端子ra0+、端子ra1-と端子ra1+、端子ra2-と端子ra2+、端子rac1k-と端子rac1k+、端子ra3-と端子ra3+は夫々隣り合わせで配置されているが、それら5組の間には夫々所定数（ここでは各1つ）のGND端子が配置されている（図67では省略）。

【0401】

また、液晶接続第1コネクタCN24は、図62等に示すようにY方向の細長状で、液晶IF第3コネクタCN23に対して-X側に配置され、その+X側の長辺に沿って多数の端子が配列されており、図69に示すように、ODD側端子ra0-，ra0+，ra1-，ra1+，ra2-，ra2+，rac1k-，rac1k+，ra3-，ra3+は、その順序で+Y方向に配列されている。

【0402】

配線路P101～P110（図73）では、図67に示すように、第1配線層Lb1において、液晶IF第3コネクタ配置領域223側の端子接続部ra0-，ra0+，ra1-，ra1+，ra2-，ra2+，rac1k-，rac1k+，ra3-，ra3+から夫々配線路cp701～cp710が-Y方向に引き出されている。そして、それらの配線路cp701～cp710は、液晶接続第1コネクタCN24側（-X側）へと

10

20

30

40

50

向きを変えた後、図68、図69に示すように、テストポイントTP101～TP110を経て液晶接続第1コネクタCN24側の端子接続部ra0-、ra0+、ra1-、ra1+、ra2-、ra2+、rak1k-、rak1k+、ra3-、ra3+に接続されている。

【0403】

このように、配線路P101～P110では、液晶IF第3コネクタCN23側の端子配列と液晶接続第1コネクタCN24側の端子配列とが、互いに向かい合わせた状態で一致しているため、配線層を切り替えることなく、第1配線層Lb1のみで捻れなく配設することが可能となっている。

【0404】

なお、配線路cp701とcp702、配線路cp703とcp704、配線路cp705とcp706、配線路cp707とcp708、配線路cp709とcp710は、夫々略一定の間隔を保ったまま並行しており、それら5組の配線路の間には夫々グランドパターンが配設されている。また、それら5組の配線路は、配線長を均一化するべく、夫々異なる長さの蛇行部を備えている。テストポイントTP101～TP110は、直径が各配線路の最小間隔よりも大となっているため、各配線路cp701～cp710に対して軸をずらし、間隔を広げて配置されている。そして、隣接する2個一組、計5組のテストポイントが、互いの干渉を避けるべく、交互にX方向に位置をずらして配置されている。

【0405】

また、配線路P101～P110は、テストポイントTP101～TP110において配線路cp701～cp710から分岐し、第6配線層Lb6側に配置された保護ダイオードを経てグランド（第2配線層Lb2）に接続されている。即ち、配線路P101、P102は保護ダイオードD103に、配線路P103、P104は保護ダイオードD105に、配線路P105、P106は保護ダイオードD102に、配線路P107、P108は保護ダイオードD104に、配線路P109、P110は保護ダイオードD101に夫々接続されている。

【0406】

続いて、EVEN信号を伝送する第2伝送路LVDS2を構成する配線路P111～P120について説明する。なお、配線路P111～P120は、液晶IF第3コネクタCN23におけるEVEN側端子rb0-、rb0+、rb1-、rb1+、rb2-、rb2+、rbc1k-、rbc1k+、rb3-、rb3+と、液晶接続第1コネクタCN24におけるEVEN側端子rb0-、rb0+、rb1-、rb1+、rb2-、rb2+、rbc1k-、rbc1k+、rb3-、rb3+とを接続するように配設される。

【0407】

液晶IF第3コネクタCN23におけるEVEN側端子の配列は、ODD側端子の配列と比較して+/-が逆になっている。即ち、図67に示すように、液晶IF第3コネクタCN23におけるEVEN側端子は、+Y側の長辺に沿ってrb0+、rb0-、rb1+、rb1-、rb2+、rb2-、rbc1k+、rbc1k-、rb3+、rb3-の順序で-X方向に配列されている。なお、端子rb0+と端子rb0-、端子rb1+と端子rb1-、端子rb2+と端子rb2-、端子rbc1k+と端子rbc1k-、端子rb3+と端子rb3-は夫々隣り合わせで配置されているが、それら5組の間には夫々所定数（ここでは各1つ）のGND端子が配置されている（図67では省略）。

【0408】

一方、液晶接続第1コネクタCN24におけるEVEN側端子の配列は、ODD側端子の配列と共通となっている。即ち、図69に示すように、液晶IF第3コネクタCN23におけるEVEN側端子は、ODD側端子の+Y側に、rb0-、rb0+、rb1-、rb1+、rb2-、rb2+、rbc1k-、rbc1k+、rb3-、rb3+の順序で+Y方向に配列されている。

【0409】

10

20

30

40

50

液晶IF第3コネクタCN23側のEVEN側端子(図67)と、液晶接続第1コネクタCN24側のEVEN側端子(図69)とを向かい合わせで比較してみると、両者の配列は、rb0, rb1, rb2, rbclk, rb3の5組の端子対の配列順序が互いに逆向きになっている。従って、それらを接続する配線路は互いに捻れを生じることになるため、ODD側の配線路とは異なり、複数の配線層に跨がるように配線を行う必要がある。

【0410】

配線路P111～P120(図74)では、図67に示すように、第1配線層Lb1において、液晶IF第3コネクタ配置領域223側の端子接続部rb0-, rb0+, rb1-, rb1+, rb2-, rb2+, rbclk-, rbclk+, rb3-, rb3+から夫々配線路cp711, cp714, cp717, cp720, cp723, cp726, cp729, cp732, cp735, cp738が+Y方向に引き出されている。そして、それらの配線路cp711, cp714, cp717, cp720, cp723, cp726, cp729, cp732, cp735, cp738は、液晶接続第1コネクタCN24側(-X側)へと向きを変えた後、ビアv301～v310に接続されている。

【0411】

配線路cp711とcp714、配線路cp717とcp720、配線路cp723とcp726、配線路cp729とcp732、配線路cp735とcp738は、夫々略一定の間隔を保ったまま並行しており、それら5組の配線路の間には夫々グランドパターンが配設されている。

【0412】

ここで、v301～v310は、rb0, rb1, rb2, rbclk, rb3の5組の端子対に対応して、2個ずつX方向に隣接するように配置されるとともに、最も+Y側の配線路cp711, cp714に対応するビアv301, v302が最も-X側、最も-Y側の配線路cp735, cp738に対応するビアv309, v310が最も+Y側となるように、5対のビアがX方向に位置をずらして配置されている。

【0413】

なお、配線路cp717, cp720, cp723, cp726, cp729, cp732, cp735, cp738に対応するビアv303～v310については、-信号側のビアv303, v305, v307, v309が、+信号側のビアv304, v306, v308, v310に対して-X側となるように配置されるとともに、配線路cp717, cp720, cp723, cp726, cp729, cp732, cp735, cp738が夫々-Y側から接続されているのに対し、配線路cp711, cp714に対応するビアv301, v302については、-信号側のビアv301が+信号側のビアv302に対して+X側となるように配置されるとともに、配線路cp711, cp714が夫々+Y側から接続されている。

【0414】

また、v301～v310は、図70に示すように、第6配線層Lb6側の配線路cp712, cp715, cp718, cp721, cp724, cp727, cp730, cp733, cp736, cp739に接続されている。それら配線路cp712, cp715, cp718, cp721, cp724, cp727, cp730, cp733, cp736, cp739は、最も-X側のビアv301, v302に対応する配線路cp712, cp715が最も-Y側、最も+X側のビアv309, v310に対応する配線路cp736, cp739が最も+Y側となるように、液晶接続第1コネクタCN24側(-X側)へと向きを変えた後、テストポイントTP111～TP120に接続されている。これにより、第6配線層Lb6側の配線路cp712, cp715, cp718, cp721, cp724, cp727, cp730, cp733, cp736, cp739の並び順は、第1配線層Lb1側の配線路cp711, cp714, cp717, cp720, cp723, cp726, cp729, cp732, cp735, cp738の並び順から変更され、液晶接続第1コネクタCN24におけるEVEN側端子の配列と一致

10

20

30

40

50

している。

【0415】

なお、c p 718, c p 721, c p 724, c p 727, c p 730, c p 733, c p 736, c p 739については、ビアv303～v310に対して+Y方向に引き出されているのに対し、c p 712, c p 715については、ビアv301, v302に対して-Y方向に引き出されているため、第1配線層Lb1側と第6配線層Lb6側とで+/-の配線路の並びに変化はない。

【0416】

テストポイントTP111～TP120は、直径が各配線路の最小間隔よりも大となっているため、テストポイントTP101～TP110と同様、各配線路c p 712, c p 715, c p 718, c p 721, c p 724, c p 727, c p 730, c p 733, c p 736, c p 739に対して軸をずらし、間隔を広げて配置されている。そして、隣接する2個一組、計5組のテストポイントが、互いの干渉を避けるべく、交互にX方向に位置をずらして配置されている。

10

【0417】

また、テストポイントTP111～TP120は、図69に示すように、第1配線層Lb1側の配線路c p 713, c p 716, c p 719, c p 722, c p 725, c p 728, c p 731, c p 734, c p 737, c p 740を介して液晶接続第1コネクタCN24側の端子接続部rb0-, rb0+, rb1-, rb1+, rb2-, rb2+, rbclk-, rbclk+, rb3-, rb3+に接続されている。

20

【0418】

また、第6配線層Lb6側の配線路c p 712, c p 715, c p 718, c p 721, c p 724, c p 727, c p 730, c p 733, c p 736, c p 739は、夫々テストポイントTP111～TP120から保護ダイオードD110, D111, D112, D108, D109を経てグランド(第2配線層Lb2)に接続されている。即ち、図70に示すように、配線路c p 712, c p 715は保護ダイオードD110に、配線路c p 718, c p 721は保護ダイオードD111に、配線路c p 724, c p 727は保護ダイオードD112に、配線路c p 730, c p 733は保護ダイオードD108に、配線路c p 736, c p 739は保護ダイオードD109に夫々接続されている。

【0419】

以上説明したように、本実施形態の配線路P101～P120では、テストポイントTP101～TP120に達するよりも前(上流側、即ち液晶IF第3コネクタCN23側)の配線パターンを図62, 図70等に示すように蛇行させることにより、各配線路の配線長を略均等にしている。これにより、テストポイントTP101～TP120を使用したテスト時に、それぞれの伝送速度を均等に測ることが可能となる。もちろん、図69に示すように、テストポイントTP101～TP120を通過した後(下流側、即ち液晶接続第1コネクタCN24側)の配線パターンに関しても各配線路の配線長を略均等とすることが望ましい。これは各配線路における画像データの伝送速度を均等にするためである。また、ノイズ源がダイオードなどの電子部品にあるか否かを確認可能という点でも、これらのテストポイントTP101～TP120は、ダイオードなどの電子部品よりも前(上流側)に設けることが望ましい。

30

【0420】

続いて、液晶IF第3コネクタCN23から液晶接続第2コネクタCN25に対してバックライトON/OFF制御信号XSTABY1を伝送するための配線路P121について説明する。なお、液晶表示手段76のバックライトは、縦横に整列配置された発光ダイオード(LED)と、駆動信号を出力して発光ダイオードを同期的に点灯駆動する駆動ドライバとで構成されており、液晶制御CPU(内蔵CPU回路171)は、この駆動ドライバに対してバックライトON/OFF制御信号XSTABY1を出力することで、駆動ドライバの内部動作が可能となるように制御している。

40

【0421】

50

配線路 P 1 2 1 (図 7 5) では、図 6 7 に示すように、第 1 配線層 L b 1 において、液晶 I F 第 3 コネクタ配置領域 2 2 3 (液晶 I F 第 3 コネクタ C N 2 3) 側の端子接続部 x s t a b y 1 から配線路 c p 8 0 1 が - Y 方向に引き出され、ビア v 3 1 1 に接続されている。このビア v 3 1 1 は、図 7 1 に示すように、第 6 配線層 L b 6 において、抵抗 R A 1 1 3 を介してグランドに接続されるとともに、配線路 c p 8 0 2 によりビア v 3 1 2 と接続されており、その配線路 c p 8 0 2 上に、論理集積回路 I C 1 0 1、テストポイント T P 1 2 1、抵抗内蔵トランジスタ Q 1 0 2、抵抗 R 1 0 6、トランジスタ Q 1 0 4、抵抗 R 1 0 5、テストポイント T P 1 2 2 が配置されている。なお、トランジスタ Q 1 0 4 と抵抗 R 1 0 5 とを接続する配線路上にはビア v 3 3 1 が配置されている。このビア v 3 3 1 は、後述する D C 1 2 V 供給用の配線路 P 1 2 3 に接続されている。

10

【 0 4 2 2 】

そしてビア v 3 1 2 は、図 6 4 に示すように、第 3 配線層 L b 3 側の配線路 c p 8 0 3 を介してビア v 3 1 3 に接続され、更に図 6 9 に示すように、第 1 配線層 L b 1 側の配線路 c p 8 0 4 を介して液晶接続第 2 コネクタ配置領域 2 2 5 (液晶接続第 2 コネクタ C N 2 5) 側の端子接続部 x s t a b y 1 に接続されている。

【 0 4 2 3 】

続いて、液晶 I F 第 3 コネクタ C N 2 3 から液晶接続第 2 コネクタ C N 2 5 に対してバックライト調光用 P W M 信号 V B R 1 を伝送するための配線路 P 1 2 2 について説明する。なお、液晶制御 C P U は、上述したバックライト O N / O F F 制御信号 X S T A B Y 1 によって内部動作が可能となった駆動ドライバに対して、バックライト調光用 P W M 信号 V B R 1 を出力することで、駆動ドライバが動作して発光ダイオードを点灯駆動するよう構成されている。

20

【 0 4 2 4 】

配線路 P 1 2 2 (図 7 5) では、図 6 7 に示すように、第 1 配線層 L b 1 において、液晶 I F 第 3 コネクタ配置領域 2 2 3 (液晶 I F 第 3 コネクタ C N 2 3) 側の端子接続部 v b r 1 から配線路 c p 8 1 1 が - Y 方向に引き出され、ビア v 3 1 4 に接続されている。このビア v 3 1 4 は、図 7 1 に示すように、第 6 配線層 L b 6 において、抵抗 R A 1 1 3 を介してグランドに接続されるとともに、配線路 c p 8 1 2 によりビア v 3 1 5 と接続されており、その配線路 c p 8 1 2 上に、論理集積回路 I C 1 0 1、テストポイント T P 1 2 3、抵抗内蔵トランジスタ Q 1 0 1、抵抗 R 1 0 4、トランジスタ Q 1 0 3、抵抗 R 1 1 1、テストポイント T P 1 2 4 が配置されている。なお、トランジスタ Q 1 0 3 と抵抗 R 1 1 1 とを接続する配線路上にはビア v 3 3 2 が配置されている。このビア v 3 3 2 は、後述する D C 1 2 V 供給用の配線路 P 1 2 3 に接続されている。

30

【 0 4 2 5 】

そして、ビア v 3 1 5 は、図 6 4 に示すように、第 3 配線層 L b 3 側の配線路 c p 8 1 3 を介してビア v 3 1 6 に接続され、更に図 6 9 に示すように、第 1 配線層 L b 1 側の配線路 c p 8 1 4 を介して液晶接続第 2 コネクタ配置領域 2 2 5 (液晶接続第 2 コネクタ C N 2 5) 側の端子接続部 x s t a b y 1 に接続されている。

【 0 4 2 6 】

続いて、液晶 I F 第 3 コネクタ C N 2 3 からの電源制御信号 P S 1 に基づいて、液晶 I F 第 2 コネクタ C N 2 2 から液晶接続第 2 コネクタ C N 2 5 等に対して D C 1 2 V を供給するための配線路 P 1 2 3 について説明する。なお、この電源制御信号 P S 1 に基づいて 1 2 V 電源を液晶表示手段 7 6 のバックライト電源部へと供給するように構成されている。

40

【 0 4 2 7 】

配線路 P 1 2 3 (図 7 5) では、図 6 7 に示すように、第 1 配線層 L b 1 において、液晶 I F 第 3 コネクタ配置領域 2 2 3 (液晶 I F 第 3 コネクタ C N 2 3) 側の端子接続部 p s 1 から配線路 c p 8 2 1 が - Y 方向に引き出され、ビア v 3 1 7 に接続されている。このビア v 3 1 7 は、図 7 1 に示すように、第 6 配線層 L b 6 において、抵抗 R A 1 1 3 を介してグランドに接続されるとともに、配線路 c p 8 2 2 によりビア v 3 1 8 と接続されており、その配線路 c p 8 2 2 上に、論理集積回路 I C 1 0 1、抵抗内蔵トランジスタ Q

50

107、抵抗 R 109 が配置されている。

【0428】

そして、ビア v 318 は、図 68 に示すように、第 1 配線層 L b 1 において c p 823 を介して抵抗 R 103 とトランジスタ Q 106 とに接続されている。

【0429】

また配線路 P 123 (図 75) では、図 68 に示すように、第 1 配線層 L b 1 において、液晶 I F 第 2 コネクタ配置領域 222 (液晶 I F 第 2 コネクタ C N 22) 側の一又は複数 (ここでは 8 個) の端子接続部 d c 12v からベタ配線路 c p 824 が -Y 側に引き出され、一又は複数 (ここでは 6 個) のビア v 321 に接続されている。なお、そのベタ配線路 c p 824 は、コンデンサ C 107, C 110, C 114 を介して夫々グランドに接続されている。

10

【0430】

そしてビア v 321 は、図 65 に示すように、第 4 配線層 L b 4 のベタ配線路 c p 825 を介して一又は複数 (ここでは 6 個) のビア v 322 に接続され、更に図 68 に示すように、第 1 配線層 L b 1 側の配線路 c p 826 を介して抵抗 R 103 とトランジスタ Q 106 とに接続されている。

【0431】

更にトランジスタ Q 106 は、図 68 に示すように、ベタ配線路 c p 827 を介して一又は複数 (ここでは 5 個) のビア v 341 と一又は複数 (ここでは 1 個) のビア v 332 に接続されている。なお、既に説明したように、このビア v 332 は、第 6 配線層 L b 6 において、配線路 P 122 側のトランジスタ Q 103 及び抵抗 R 111 に接続されている。

20

【0432】

またビア v 341 は、図 65 に示すように、第 4 配線層 L b 4 のベタ配線路 c p 828 を介して一又は複数 (ここでは 1 個) のビア v 331 と、一又は複数 (ここでは 5 個) のビア v 342 と、ビア v 332 とに接続されている。なお、既に説明したように、ビア v 331 は、第 6 配線層 L b 6 において、配線路 P 121 側のトランジスタ Q 104 及び抵抗 R 105 に接続されている。

【0433】

そしてビア v 342 は、図 72 に示すように、第 6 配線層 L b 6 においてベタ配線路 c p 829 を介してコンデンサ C 112, C 104, 抵抗 R 112, ダイオード D 106、テストポイント T P 125, T P 126 が接続され、また図 69 に示すように、第 1 配線層 L b 1 においてベタ配線路 c p 830 を介して液晶接続第 2 コネクタ配置領域 225 (液晶接続第 2 コネクタ C N 25) 側の複数 (ここでは 4 個) の端子接続部 d c 12v に接続されている。

30

【0434】

続いて、液晶 I F 第 3 コネクタ C N 23 からの電源制御信号 P S 2 に基づいて、液晶 I F 第 2 コネクタ C N 22 から液晶接続第 1 コネクタ C N 24 に対して D C 5 V を供給するための配線路 P 124 について説明する。なお、この電源制御信号 P S 2 に基づいて 5 V 電源を液晶表示手段 76 の表示制御部へと供給するように構成されている。

【0435】

配線路 P 124 (図 75) では、図 67 に示すように、第 1 配線層 L b 1 において、液晶 I F 第 3 コネクタ配置領域 223 (液晶 I F 第 3 コネクタ C N 23) 側の端子接続部 p s 2 から配線路 c p 831 が -Y 方向に引き出され、ビア v 351 に接続されている。このビア v 351 は、図 71 に示すように、第 6 配線層 L b 6 において、抵抗 R A 113 を介してグランドに接続されるとともに、配線路 c p 832 によりビア v 352 と接続されており、その配線路 c p 832 上に、論理集積回路 I C 101、抵抗内蔵トランジスタ Q 105、抵抗 R 107 が配置されている。

40

【0436】

そして、ビア v 352 は、図 68 に示すように、第 1 配線層 L b 1 において配線路 c p 833 を介して抵抗 R 108 に接続されている。また、抵抗 R 108 は、配線路 c p 83

50

4を介してトランジスタQ108に接続されている。

【0437】

また配線路P124(図75)では、図68に示すように、第1配線層Lb1において、液晶IF第2コネクタ配置領域222(液晶IF第2コネクタCN22)側の複数(ここでは8個)の端子接続部dc5vからベタ配線路cp835が-Y側に引き出され、一又は複数(ここでは4個)のビアv353に接続されている。なお、そのベタ配線路cp835は、コンデンサC108,C109を介して夫タグランドに接続されている。

【0438】

そして、ビアv353は、図65に示すように、第4配線層Lb4のベタ配線路cp836を介して一又は複数(ここでは3個)のビアv354に接続され、更に図68に示すように、第1配線層Lb1側の配線路cp837を介して抵抗R108とトランジスタQ108とに接続されている。

10

【0439】

更にトランジスタQ108は、図68に示すように、第1配線層Lb1側のベタ配線路cp838を介して一又は複数(ここでは4個)のビアv355に接続されている。このビアv355は、図65に示すように、第4配線層Lb4のベタ配線路cp839を介して複数(ここでは4個)のビアv356に接続されている。

【0440】

そしてビアv356は、図72に示すように、第6配線層Lb6においてベタ配線路cp840に接続されている。ベタ配線路cp840には、コンデンサC113,C105,抵抗R110、ダイオードD107、テストポイントTP127,TP128が接続されると共に、一又は複数(ここでは4個)のビアv357に接続されている。ビアv357は、図69に示すように、第1配線層Lb1においてベタ配線路cp841を介して液晶接続第1コネクタ配置領域224(液晶接続第1コネクタCN24)側の複数(ここでは4個)の端子接続部dc5vに接続されている。

20

【0441】

以上のように本実施形態では、電源制御信号PS1,PS2により液晶表示手段への電源供給をソフト的に制御する構成となっているが、これに限らず、ドライバ等を使用してハード的に液晶表示手段への電源供給を制御する構成としてもよい。この場合、12V電源と5V電源は、それぞれ遊技機の電源投入時にバックライト電源部と表示制御部へと供給される。

30

【0442】

ここで、液晶制御CPUによる電源投入時の処理について説明する。液晶制御CPUは、電源投入時の処理として、電源制御信号PS1,PS2により液晶表示手段へ電源供給を行った後、駆動ドライバに対してバックライトON/OFF制御信号XSTABY1及びバックライト調光用PWM信号VBR1を出力する前に、以下の処理を行うように構成されている。

【0443】

まず、内臓VRAMの初期化及びリフレッシュ周期を設定する。ここで設定した所定周期に基づいてリフレッシュ処理を行うことで、メモリの電荷消失を未然に防止している。したがって、VRAMに長時間アクセスされないメモリセルが存在しても、そのデータが消失するおそれがない。

40

【0444】

続いて、所定のレジスタ設定により、表示回路の初期化と表示回路の動作を規定する表示クロックの初期設定を行う。そして、所定のレジスタ設定により、LVDS出力に関する初期設定を行う。更に、所定のレジスタ設定により、指定した表示回路から画像データのLVDS出力を行う。その際、出力される画像データに関しては、レジスタ設定によりランダムデータ(全て0のデータ)を出力するように設定する。これにより液晶表示手段側で壊れたような不自然な画像データが表示されることを防止することができるとともに、LVDS出力処理自体が正常に動作することを確認することができる。また、ここで画

50

像データを出力するように設定しているが、このタイミングでは未だ駆動ドライバに対してバックライトON/OFF制御信号XSTABY1及びバックライト調光用PWM信号VBR1を出力していないので、実際には液晶表示手段側にランダムデータ（全て0のデータ）に基づく画像が表示されることはない。こうすることで（表示上）無意味な画像データが視認可能とならないように構成している。

【0445】

ここで、レジスタ設定によりランダムデータ（全て0のデータ）を出力するように設定するとしたが、前述の通りこのタイミングでは実際には出力された画像データを視認することは困難なので、ランダムデータを指定することなく、画像データ（未指定の不確定なデータ）の出力処理のみを行うようにしてもよい。この場合にはレジスタの設定処理を少なくできるので、電源投入時に行う処理を削減でき、液晶表示手段が実際に点灯するまでの時間を少しでも短縮することができる。

10

【0446】

また、本実施形態ではデュアルリンク伝送方式を採用しているため、ODD信号に関するLVDS出力の設定およびEVEN信号に関するLVDS出力の設定を各レジスタに対してそれぞれ行う。この時、設定される各パラメータは共通の設定値が設定されることになる。

【0447】

続いて、所定のレジスタを参照して、初期設定を行った表示クロックのクロック動作が安定状態となっているかを確認する。その際、レジスタの値が安定状態を示す値となるまで、液晶制御CPUをリセットするためのウォッチドッグタイマをクリアしながら待機する。

20

【0448】

続いて、所定のレジスタを参照して、初期設定を行った表示回路の初期化が完了しているかを確認する。その際、レジスタの値が初期化完了を示す値となるまで、液晶制御CPUをリセットするためのウォッチドッグタイマをクリアしながら待機する。

【0449】

続いて、所定のレジスタを参照して、初期設定を行ったLVDS出力の初期化が完了しているかを確認する。その際、レジスタの値が初期化完了を示す値となるまで、液晶制御CPUをリセットするためのウォッチドッグタイマをクリアしながら待機する。

30

【0450】

続いて、内臓VRAMに関してAAC領域、ページ領域、任意領域の定義を設定する（その際、任意領域に各フレームバッファが確保される）。更に、使用する液晶表示手段についての表示ライン数や水平画素数の設定、水平同期サイクル、水平方向待機時間の設定、垂直同期のライン数や垂直方向待機時間の設定、水平同期信号HSのパルス幅とVブランク開始からのサイクル数の設定、垂直同期信号VSのパルス幅とVブランク開始からのサイクル数の設定、Vブランク割り込み許可の設定、各フレームバッファについて垂直・水平の表示開始位置の設定、表示領域の設定等を行う。

【0451】

続いて、所定のレジスタを参照して、初期設定を行った内臓VRAMの初期化が完了しているかを確認する。その際、レジスタの値が初期化完了を示す値となるまで、液晶制御CPUをリセットするためのウォッチドッグタイマをクリアしながら待機する。

40

【0452】

最後に、所定のレジスタ設定により、表示回路が内臓VRAMにアクセスして、画像データを生成するよう動作許可を行うための設定、LVDS出力の動作を許可するための設定を行う。

【0453】

そして、これらの処理が完了した後に、駆動ドライバに対してバックライトON/OFF制御信号XSTABY1の出力を行い、所定時間（約300ms）待機した後、バックライト調光用PWM信号VBR1の出力を行い、液晶表示手段の点灯制御を完了させる。

50

【0454】

このように、電源制御信号 P S 1 , P S 2 により液晶表示手段へ電源供給を行った後、実際に点灯制御を開始する前に、表示回路や出力回路、画像データの生成に関する諸々の設定を行うことで、設定時に誤って画面上に不適切なデータが出力されてしまう恐れがない。また、これらの設定がすべて完了した後に液晶表示手段のバックライトの点灯が開始されるので、液晶表示手段の点灯時には、すでに表示に関する設定はすべて完了しているように構成することが可能となる。そのため、液晶表示手段の点灯時点から即時に画像データの出力処理が可能となるように構成することができる。

【0455】

なお本実施形態では、駆動ドライバに対してバックライト ON / OFF 制御信号 X S T A B Y 1 及びバックライト調光用 PWM 信号 V B R 1 を出力する前に、各種設定処理を行うようにしたが、これに限らず、バックライト ON / OFF 制御信号 X S T A B Y 1 の出力後、バックライト調光用 PWM 信号 V B R 1 を出力する前に行うようにしてもよい。

10

【0456】

続いて、演出制御部 9 5 によって実行される演出の具体例について説明する。図 7 9 は、演出制御部 9 5 により実現される演出制御に関する構成を概念的に示したものである。

【0457】

特別保留個数表示制御手段 9 5 a は、液晶表示手段 7 6 への第 1 , 第 2 特別保留個数の表示制御を行うもので、第 1 , 第 2 特別保留個数の増減に対応して、第 1 特別保留個数分（最大 4 個）の第 1 保留報知画像 X 1 ~ X 4 と、第 2 特別保留個数分（最大 4 個）の第 2 保留報知画像 Y 1 ~ Y 4 と、変動中の第 1 , 第 2 特別図柄に対応する変動中保留報知画像 Z を液晶表示手段 7 6 に表示するように構成されている。

20

【0458】

第 1 , 第 2 特別図柄始動手段 7 2 , 7 3 が遊技球を検出することに基づいて、主制御基板 9 3 から第 1 , 第 2 特別保留個数に関する保留加算コマンドを受信した場合には、特別保留個数表示制御手段 9 5 a は、第 1 , 第 2 保留報知画像 X 1 ~ , Y 1 ~ を待ち行列の最後尾に 1 個追加表示する。また、第 1 , 第 2 特別図柄表示手段 6 3 , 6 4 による第 1 , 第 2 特別図柄の変動が開始することに基づいて、主制御基板 9 3 から第 1 , 第 2 特別保留個数に関する保留減算コマンドを受信した場合には、特別保留個数表示制御手段 9 5 a は、第 1 , 第 2 保留報知画像 X 1 ~ , Y 1 ~ を待ち行列の前側に向けて 1 個分ずつシフトすると共に、押し出された先頭の第 1 , 第 2 保留報知画像 X 1 , Y 1 を例えば所定位置まで移動させて変動中保留報知画像 Z に変化させる。なお本実施形態では、第 1 , 第 2 保留報知画像 X 1 ~ , Y 1 ~ 、変動中保留報知画像 Z の表示色（表示態様）については例えば「（白丸）」をデフォルトとし、後述する保留変化予告を実行する場合には先読み予告演出制御手段 9 5 b で選択されたシナリオに従って変化させるようになっている。

30

【0459】

先読み予告演出制御手段 9 5 b は、先読み予告演出を制御するもので、主制御基板 9 3 による先読み判定結果に基づいて、第 1 , 第 2 特別図柄の変動後の停止図柄が大当たり態様となって大当たり遊技が発生するか否か等を予告する先読み予告演出を実行可能に構成されている。なお、主制御基板 9 3 では、第 1 , 第 2 特別図柄始動手段 7 2 , 7 3 が遊技球を検出したときに取得される第 1 , 第 2 特別乱数情報について、図柄変動に供されるよりも前の所定のタイミング、例えば第 1 , 第 2 特別乱数情報の取得時に、その第 1 , 第 2 特別乱数情報に含まれる大当たり判定乱数値が大当たり判定値と一致するか否か等を判定する先読み判定処理を実行可能である。先読み判定結果は、例えば保留加算コマンドにより主制御基板 9 3 から伝達される。

40

【0460】

先読み予告演出には、「連続予告」、「保留変化予告」等がある。「連続予告」は、先読み判定結果に基づいて、その先読み判定の対象となった特別乱数情報に対応する図柄変動（ターゲット変動）までの複数回の図柄変動（先読みゾーン中）において例えば同一態様の演出を実行するものである。

50

【0461】

また「保留変化予告」は、先読み判定結果に基づいて、第1，第2保留報知画像X1～X4，Y1～Y4，変動中保留報知画像Zを所定の表示態様で表示するものである。本実施形態では、図80に示すように、保留報知画像の表示態様として、デフォルトの「（白丸）」以外に3種類用意されており、予告演出制御手段95bによる抽選でそれらの何れかに当選した場合には、例えば新たに第1，第2保留報知画像を追加表示するとき、或いはその後の所定のタイミングで、その保留報知画像が当選した「ゾウ」等の表示態様で表示される。保留報知画像の表示態様は先読み判定に基づく大当たり信頼度等に応じて選択されるようになっており、図80に示すように、例えば「キリン」、「ゾウ」、「ライオン」の順に大当たり信頼度が高くなるように設定されている。また、例えば大当たり信頼度が100%に設定された「レインボー」等の表示態様を設けてもよい。なお、先読み禁止の場合や、保留変化予告に当選しなかった場合には、保留報知画像は「（白丸）」で表示される。

【0462】

また本実施形態の保留報知画像は、その表示開始時、表示中、表示終了時の夫々において、上下方向への変化を主体とする動作（動的表示）を行うようになっている。図81（a）～（c）は、「ゾウ」の保留報知画像について、表示開始時、表示中、表示終了時の夫々の動作の一例を示したものである。なお、他の「ライオン」、「キリン」の保留報知画像についても同様である。図81（a）に示すように、保留報知画像を新たに表示する際（表示開始時）には、保留報知画像が表示された直後に上下方向に一回バウンドするようになっている。即ち、表示開始時の保留報知画像に対しては、上下方向の移動動作が行われる。

【0463】

また図81（b）に示すように、保留報知画像の表示中（表示開始後、表示終了前まで）については、保留報知画像が横軸廻りに三次元的に回転しているように表示される。このとき、実際に二次元の画面上で行われているのは上下方向の変形動作である。なお、この表示中の保留報知画像の動作は繰り返し行われるが、連続的に行うようにしてもよいし、間欠的に行うようにしてもよい。

【0464】

また図81（c）に示すように、保留報知画像の表示を終了する際（表示終了時）には、保留報知画像が下向き（或いは上向き）に順次消去されるように表示される。即ち、表示終了時の保留報知画像に対しては、上下方向の変形動作が行われる。

【0465】

また本実施形態の保留報知画像は、図80に示すように、色情報の種類が横方向よりも縦方向に多く分布するように構成されており、更に大当たり信頼度が高いほど色情報の種類が多くなっている。例えば「ゾウ」の保留報知画像については、キャラクタの背景部分の表示色が縦方向に三段階で変化しているが、横方向には表示色の変化はない。これにより、保留報知画像を画素単位で見ると、横方向の各ピクセルライン上で使用されている色情報の種類数よりも、縦方向の各ピクセルライン上で使用されている色情報の種類数が相対的に多くなっている。

【0466】

ところで、既に説明したとおり、本実施形態のパチンコ機では、液晶表示手段76の表示制御を行う液晶制御基板（表示制御手段）98から液晶表示手段76に対して、左右方向の奇数画素に対応する奇数画像データと、左右方向の偶数画素に対応する偶数画像データとを、互いに異なる配線路、即ち第1伝送路LVD\\$1と第2伝送路LVD\\$2とを介して並行して出力するように構成されている。従って、例えばそれら第1，第2伝送路LVD\\$1，LVD\\$2の何れか一方が断線等により伝送不能となったとしても、他方の伝送路が生きている限り、奇数画像データと偶数画像データの一方のみで液晶表示手段76の表示を継続することが可能である。但しこの場合、液晶表示手段76の画面上では縦のピクセルラインが1ライン毎に欠落した状態となるため、正常な表示状態と比較すると、

遊技者が表示内容を十分に識別できない可能性がある。

【0467】

その点、本実施形態の保留報知画像は、その表示開始時、表示中、表示終了時の夫々において、上下方向への変化を主体とする動作を行うようになっているため、奇数画像データと偶数画像データの何れかが欠落した場合であっても、図82(a), (b)に示すように、保留報知画像の動的表示（移動、変形等）は、連続的に表示されている（欠落のない）縦のピクセルラインに沿ったものとなり、遊技者はその保留報知画像の動的表示を正常表示時と同様に識別することが可能となる。

【0468】

また、本実施形態の保留報知画像は、色情報の種類が横方向よりも縦方向に多く分布するように構成されているため、奇数画像データと偶数画像データの何れかが欠落した場合であっても、図83(a)に示すように色の変化は正常に表示されている縦のピクセルラインに沿ったものとなり、遊技者はピクセル単位で色変化を明確に認識できることによりその保留報知画像を正常表示時と同様に識別することが可能となる。ちなみに、色情報の種類が横方向に分布する場合、奇数画像データと偶数画像データの何れかが欠落すると、図83(b)に示すように色の変化位置が曖昧となり、遊技者は保留報知画像を正常表示時のように識別することができない可能性がある。

10

【0469】

なお、保留報知画像の動作は表示開始時、表示中、表示終了時の全てにおいて行う必要はなく、それらの何れかについては行わないようにしてもよい。また、保留報知画像の動作は上下方向への変化を主体とするものであればよく、左右方向への変化を伴うものであってもよい。また、保留報知画像の縦方向への変化を主体とする動的表示は図81に示したものに限られるものではなく、例えば上下方向への変化を主体とするエフェクト（例えば上下方向に光るエフェクト）を表示してもよい。

20

【0470】

また、新たな図柄変動の開始時に保留報知画像をシフトする場合には、図84に示すように、保留報知画像を左右方向に移動するだけでなく、その際に上下方向への移動動作（例えばパウンド動作）を行うようになっている。これにより、奇数画像データと偶数画像データの何れかが欠落した場合であっても、保留報知画像のシフト動作は、連続的に表示されている（欠落のない）縦のピクセルラインに沿った動作を伴うものとなるため、遊技者はその保留報知画像のシフト動作をより明確且つ容易に認識することが可能となる。なお、上下方向への移動に代えて、或いは加えて、上下方向への変形を伴うようにしてもよい。

30

【0471】

図79に戻って説明を続ける。図柄変動演出制御手段95cは、装飾図柄90の表示制御及びそれに伴う音声出力、ランプ発光等の制御を行うもので、第1, 第2特別図柄表示手段63, 64による第1, 第2特別図柄の変動開始に際し、主制御基板93から変動パターンコマンドを受信した場合に、指定された変動パターンに対応する変動パターンシナリオ、後述する通常予告演出制御手段95dによって選択された予告演出シナリオ等の各種シナリオに基づいて装飾図柄90の変動及びそれに伴う音声出力、ランプ発光等を開始させると共に、第1, 第2特別図柄の変動終了に際し、主制御基板93から変動停止コマンドを受信した場合に、停止図柄コマンドと変動パターンコマンドとにに基づいて選択された停止図柄で装飾図柄90の変動を停止させ、またそれに伴う音声出力、ランプ発光等を停止させるようになっている。

40

【0472】

装飾図柄90は、図85(a)に示すように、図柄本体部90aが複数色の何れか、例えば奇数図柄が赤色、偶数図柄が青色で表示されるようになっている。但し、その図柄本体部90aの色は厳密には単色ではなく、立体感等を表現するために多種類の同系色が用いられている。そして本実施形態では、図柄本体部90a内の色情報の種類が横方向よりも縦方向に多く分布するように、図85(a)に示すように縦方向のグラデーションを

50

形成している。これにより、奇数画像データと偶数画像データの何れかが欠落した場合であっても、図85(b)に示すように、図柄本体部90a内の色の変化は正常に表示されている縦のピクセルラインに沿ったものとなり、遊技者はピクセル単位で色変化を明確に認識できることによりその装飾図柄90の色情報を正常表示時と同様に識別することができる。なお、装飾図柄90内では、色情報の種類が横方向よりも縦方向に多く分布していればよく、必ずしもグラデーションである必要はない。

【0473】

また装飾図柄90は、図86に示すように、縦方向への変化を伴う動的表示（ここでは縦方向への拡縮変形）を、変動開始時、変動停止時、リーチ成立時、特定態様（大当たり演出態様）成立時等の所定のタイミングで実行するようになっている。このように、所定のタイミングで行う動的表示を縦方向の変化を伴うものとすることにより、奇数画像データと偶数画像データの何れかが欠落した場合であっても、図82に示した保留報知画像の場合と同様、動的表示は、連続的に表示されている（欠落のない）縦のピクセルラインに沿ったものとなり、遊技者はその装飾図柄90の動的表示を正常表示時と同様に識別することが可能となる。

【0474】

なお、装飾図柄90に関し、縦方向への変化を伴う動的表示は拡縮等の変形に限られるものではなく、移動、回転等どのようなものでもよい。また、図柄変動もその動的表示に含まれるため、奇数画像データと偶数画像データの何れかが欠落した場合を考えると、図柄変動の方向（スクロール方向）についても横方向より縦方向の方が望ましい。また、縦方向ではなく横方向への変化を伴う動的表示を実行する場合には、1フレーム毎に2ドット以上移動（変化）するように構成することが望ましい。これにより、奇数画像データと偶数画像データの何れかが欠落した場合でも、装飾図柄90の横方向の変化が1フレーム毎に必ず表れるため、遊技者はその装飾図柄90の動的表示を正常表示時と同様に識別することが可能となる。

【0475】

図79に戻って説明を続ける。通常予告演出制御手段95dは、通常予告演出を制御するものである。通常予告演出は、主制御基板93側の大当たり判定処理による大当たり判定結果等に基づいて、当該図柄変動中に、所定事象が発生する可能性（例えば大当たり信頼度）を報知するもので、例えば「S U予告」、「タイマ予告」、「疑似連演出」、「ボタン演出」、「セリフ予告」、「インフォメーション予告」、「レインボー演出」等がある。

【0476】

それらの中で、例えば「ボタン演出」（操作演出）は、遊技者に演出ボタン（所定操作手段）41の操作を要求する演出で、演出ボタン41による操作が有効となる操作有効期間中に演出ボタン41による操作が所定操作条件を満たした場合に所定の操作後演出を実行することにより、大当たり信頼度等を報知するようになっている。もちろん、操作演出における操作対象は、遊技者が操作可能なものであればよく、操作レバーやタッチパネル等でもよい。操作有効期間中は、演出ボタン41内に設けられたLED（図示省略）が発光すると共に、遊技者に演出ボタン41の操作を促すための操作誘導画像231が液晶表示手段76に表示される。操作誘導画像231は、図87に示すように、操作対象である演出ボタン（所定操作手段）41を示すボタン画像（操作対象画像）232と、操作対象である演出ボタン41に対する操作態様を示す操作態様報知画像233と、操作有効期間の経過状況を示す操作有効期間報知画像234とを備えている。

【0477】

操作有効期間報知画像234は、左右方向に長い細長状に形成されており、その長手方向における一方側（ここでは左側）の経過済表示部234aと他方側（ここでは右側）の非経過表示部234bとの境界234cが、操作有効期間中の時間経過に応じて横向き（ここでは右向き）に移動することにより、操作有効期間の経過状況を報知するようになっている。即ち、操作有効期間の開始時には経過済表示部234aと非経過表示部234bの長さ比が0:10となるように境界234cが左端側に位置し、操作有効期間中の時間

経過に応じて境界 234c が一定速度で右向きに移動した後、操作有効期間の満了時に境界 234c が右端側に到達して経過済表示部 234a と非経過表示部 234b の長さ比が 10:0 となるように制御される。

【0478】

このボタン演出（操作演出）としては、例えば遊技者に要求する操作態様の違いにより、演出ボタン 41 が 1 回操作されたときに所定操作条件が満たされたと判定する「一撃ボタン演出」、演出ボタン 41 が複数回連続的に押下（操作）されたときに所定操作条件が満たされたと判定する「連打ボタン演出」、演出ボタン 41 の押下（操作）状態が所定期間継続されたときに所定操作条件が満たされたと判定する「長押しボタン演出」等が考えられる。なお、操作態様報知画像 233 は、一撃ボタン演出の場合は「PUSH」、連打ボタン演出の場合は「連打」、長押しボタン演出の場合は「長押し」等の文字情報で構成される。もちろん、ボタン演出の種類が一撃ボタン演出に限られる場合等については操作態様報知画像 233 は一種類でよいし、操作態様報知画像 233 を表示しなくてもよい。また、操作態様報知画像 233 は、図 87 に示すようにボタン画像（操作対象画像）232 と一体化し、例えば「PUSH」等、操作態様を示す文字情報等をボタン画像上に表示するように構成してもよいし、ボタン画像（操作対象画像）232 とは別に表示してもよい。

10

【0479】

また「レインボー演出」は、遊技者に対する特典付与の確定（例えば、大当たり遊技を実行するか否かの当落抽選の結果に関する当選確定（大当たり確定））を報知するもので、液晶表示手段 76 にレインボー画像（グラデーション画像）を表示するレインボー画像演出と、枠ランプ 304、盤ランプ 324、可動役物ランプ 314 等、前枠 3 を含む所定部位に配置された発光体をレインボー発光パターンで発光させるレインボー発光演出とがある。それらレインボー画像演出とレインボー発光演出は、互いに並行して実行することはもちろん、何れか一方を単独で実行することも可能である。

20

【0480】

レインボー画像演出には、液晶表示手段 76 の略全面に表示される全面画像（例えば背景画像）を虹色で表示する場合と、液晶表示手段 76 の画面の一部分に表示される文字、図形、キャラクタ等よりなる部分画像を虹色で表示する場合とがある。なお、特許図面ではカラー表示ができないため、本出願の図面ではレインボー画像を白黒の階調で簡易的に表現している。

30

【0481】

レインボー画像は、画面上の所定点を中心として周方向に色変化するもの（図 88(a)）、画面上の所定点を中心として半径方向に色変化するもの（図 88(b)）、縦方向、横方向等の任意の方向に色変化するもの（図 88(c), (d)）等が考えられる。また、図 88(a)～(c) に示すような滑らかなグラデーションではなく、図 88(d) に示すように段階的に色変化するようなグラデーションを採用してもよい。

【0482】

また、図 88(a)～(d) に例示するレインボー画像は、位置に対して連続的又は段階的に表示色を変化させているが、更に時間に対して連続的（又は段階的）に表示色を変化させてもよい。即ち図 89 に示すように、レインボー背景画像を構成する全ての画素について、夫々所定時間（例えば 3 秒）で表示色が一巡して元の表示色に戻るように制御すればよい。これにより、図 88(a) の場合には虹色が時計廻り又は反時計廻りに流れるように、図 88(b) の場合には虹色が半径方向外向き又は内向きに流れるように、図 88(c) の場合には虹色が上向き又は下向きに流れるように、図 88(d) の場合には虹色が左向き又は右向きに流れるように表示される。

40

【0483】

以上のような各種通常予告演出は、夫々単独での実行の他、複数種類の演出を組み合わせて実行することも可能である。以下、リーチ演出の終盤の当落分岐演出として、ボタン演出にレインボー演出を組み合わせた「当落分岐ボタン演出」の具体例を説明する。

50

【0484】

図90に示す当落分岐ボタン演出では、まずボタン煽り演出を実行する。ボタン煽り演出は、まもなくボタン操作が可能になることを予告的に報知することで遊技者の期待感を煽る演出であって、液晶表示手段76にはボタン煽り画像242が表示される。ボタン煽り画像242は、画面上の所定位置（ここでは上部）に所定方向（ここでは左右方向）に配置される帯演出画像242aと、その帯演出画像242aに関連するキャラクタ画像（帯演出関連画像）242bとを備えている。

【0485】

帯演出画像242aは、図91に示すように、文字列（表示情報）で構成される文字情報画像（情報画像）235と、その文字情報画像235の少なくとも一部の後側に重なるように文字情報画像235に沿う略帯状の領域に配置される情報装飾画像236とで構成されている。

10

【0486】

文字情報画像235は、「キャラを笑わせたら」の文字列で構成される第1文字情報（第1表示情報）235aと、その第1文字情報235aよりも遊技者にとって重要度が高い「大当たり！」の文字列で構成される第2文字情報（第2表示情報）235bとで構成されている。第1文字情報235aは、情報装飾画像236の幅（縦幅）内に收まるように表示されるのに対し、第2文字情報235bは、情報装飾画像236の少なくとも一方側（ここでは上側）にはみ出すように表示される。このような構成により、文字情報画像235に重要度に応じたメリハリを付けることができるとともに、文字情報画像235を強調し目立たせるための情報装飾画像236の幅を極力小さくして背景の視認性を十分に確保することが可能である。

20

【0487】

また、第2文字情報235bは、第1文字情報235aよりも、情報装飾画像236に対して視認性の高い色彩で表示されている。即ち、例えば水色で表示された情報装飾画像236に対し、第2文字情報235bはその反対色である赤色で、第1文字情報235aはそれ以外の例えば黄色で表示されている。なお、文字情報画像235、情報装飾画像236の表示色については、夫々単色でもよいし複数色で構成してもよいが、複数色の場合（複数の同系色で構成される場合も含む）、奇数画像データと偶数画像データの何れかが欠落した場合を想定すれば、色情報の種類が横方向よりも縦方向に多く分布するように構成することが望ましい。

30

【0488】

また文字情報画像235は、図91（a）～（f）に示すように、情報装飾画像236に沿って所定の向き（ここでは左向き）の移動動作（第1動的表示）を行うが、更にその文字情報画像235のうちの第2文字情報235bについては、一文字ずつ上向きにジャンプする動作（第1動的表示とは異なる第2動的表示）を行うようになっている。

30

【0489】

なお、第2動的表示については上向きのジャンプ動作に限られず、二次元の回転動作（例えば画面に垂直な軸廻りの回転動作）、三次元の回転動作（例えば上下方向や左右方向の軸廻りに回転しているように見える動作）、拡大／縮小等の変形動作等、どのようなものでもよい。その第2動的表示については、奇数画像データと偶数画像データの何れかが欠落した場合を想定すれば、縦方向への変化を伴うものとすることが望ましい。

40

【0490】

また、帯演出画像242aに関連するすまし顔のキャラクタ画像242bは、図90に示すように、帯演出画像242aとは別に例えば液晶表示手段76の略中央に表示される。なお、このキャラクタ画像242bを、帯演出画像242aを構成する情報画像の一つとして情報装飾画像236の前側に表示してもよい。このように、情報画像を構成する表示情報は文字情報に限られるものではなく、記号、絵柄等でもよい。

【0491】

また、それらボタン煽り画像242の表示中、既にリーチ態様で停止している左右の装

50

飾図柄 9 0 は画面の周辺部に縮小表示される。なお、装飾図柄 9 0 の変動中は、この装飾図柄 9 0 に対応するミニ図柄 2 4 0 が液晶表示手段 7 6 に常に表示されるものとする。

【 0 4 9 2 】

ボタン煽り演出に続いては、遊技者に演出ボタン 4 1 の操作を促すための操作誘導画像 2 3 1 を液晶表示手段 7 6 に表示して、所定時間を上限とする操作有効期間を開始する。なお、当該ボタン演出は、演出ボタン 4 1 が 1 回操作されたときに結果演出を実行する一撃ボタン演出とする。従って、操作誘導画像 2 3 1 を構成する操作態様報知画像 2 3 3 は、一撃ボタン演出に対応する「 P U S H 」の文字等よりなる操作態様報知画像 2 3 3 a となる。

【 0 4 9 3 】

また本実施形態では、複数種類の操作誘導画像が用意されており、夫々大当たり信頼度が異なっている。例えば、図 9 2 (a) に示す第 1 操作誘導画像 2 3 1 a では、ボタン画像 2 3 2 a の内部（操作態様報知画像 2 3 3 を除く）が単色で表示されているのに対し、図 9 2 (b) に示す第 2 操作誘導画像 2 3 1 b では、ボタン画像 2 3 2 a の内部（操作態様報知画像 2 3 3 を除く）が上下方向の複数領域に区分されて夫々異なる色で表示されており、前者よりも後者の大当たり信頼度が高くなっている。

【 0 4 9 4 】

このように、より信頼度の高い第 2 操作誘導画像 2 3 1 b のボタン画像 2 3 2 b に対応する画像データは、色情報の種類が横方向よりも縦方向に多く分布するように構成されているため、奇数画像データと偶数画像データの何れかが欠落した場合であっても、色の変化は、連続的に表示されている（欠落のない）縦のピクセルラインに沿ったものとなり（図 8 3 参照）、遊技者等はピクセル単位で色変化を明確に認識できることにより、第 2 操作誘導画像 2 3 1 b を明確に識別することが可能となる。

【 0 4 9 5 】

また本実施形態では、操作誘導画像 2 3 1 を構成する操作有効期間報知画像 2 3 4 に関し、経過済表示部 2 3 4 a と非経過表示部 2 3 4 b との境界 2 3 4 c が、1 フレーム毎に、左右方向に 2 ドット以上移動するように構成されている。図 9 3 (a) は、1 フレーム毎に境界 2 3 4 c が右向きに 2 ドットずつ移動する様子を示したものである。この場合、奇数画像データと偶数画像データの何れかが欠落した場合であっても、図 9 3 (b) に示すように、境界 2 3 4 c は 1 フレーム毎に確実に移動するため、遊技者は画像データの欠落のない正常表示時と同様に操作有効期間の経過を正確に認識することが可能となる。なお、図 9 4 (a) に示すように、1 フレーム毎の境界 2 3 4 c の移動を 2 ドット未満とした場合には、奇数画像データと偶数画像データの何れかが欠落すると、図 9 4 (b) に示すように 1 フレーム後も境界 2 3 4 c が移動していないように見える場合があり、境界 2 3 4 c の見え方が正常表示時とは明らかに相違する。

【 0 4 9 6 】

操作有効期間中に遊技者が演出ボタン 4 1 を押下操作すると、その時点での操作有効期間は終了し、大当たり確定を意味するレインボー演出を開始する（図 9 0）。このレインボー演出では、レインボー画像演出とレインボー発光演出とが並行して実行される。このレインボー画像演出では、液晶表示手段 7 6 の背景画像がレインボー背景画像 2 4 3 となり、そのレインボー背景画像 2 4 3 の前側に笑顔のキャラクタ画像 2 4 4 等が表示される。図 9 0 の例では、レインボー背景画像 2 4 3 は、画面上の所定点（ここでは画面の中心点）を中心として周方向に色が変化する虹色で表示されると共に、その虹色の色分布が時間経過に伴って時計回りに変化するようになっている。またキャラクタ画像 2 4 4 は、レインボー背景画像 2 4 3 の中心点（所定点）を隠すようにその前側に重ねて表示される。またレインボー発光演出では、可動役物ランプ 3 1 4 、盤ランプ 3 2 4 及び枠ランプ 3 0 4 が夫々レインボー発光パターンで発光する（図示省略）。

【 0 4 9 7 】

以上のレインボー演出に続いては、成功後演出を実行する。本実施形態の成功後演出は、前半の第 1 成功後演出と後半の第 2 成功後演出とで構成されている。第 1 成功後演出は

10

20

30

40

50

、装飾図柄 90 を「7・7・7」等の大当たり演出態様で停止させる図柄揃い演出である。この第1成功後演出では、遊技者を図柄揃い演出に注目させるべく、レインボー画像演出、レインボー発光演出の何れも実行されない。即ち、液晶表示手段 76 の背景画像はレインボー背景画像 243 から通常背景又はSPリーチの演出に沿った背景画像 245 に切り替えられ、またその前側に表示される装飾図柄 90 等の部分画像も虹色以外の色で表示される。また、可動役物ランプ 314、盤ランプ 324、枠ランプ 304 は、液晶表示手段 76 の画像に対応してレインボー発光パターン以外の通常発光パターンで発光する。

【0498】

その第1成功後演出に続いて行われる第2成功後演出は、大当たり演出態様の成立を祝福する祝福演出である。この第2成功後演出では、レインボー画像演出とレインボー発光演出とのうち、レインボー発光演出のみが実行される。即ち、液晶表示手段 76 には、第1成功後演出の際の装飾図柄 90 等の画像に加えて祝福画像 246 等が表示される。祝福画像 246 は、「おめでとう」等、大当たり演出態様となったことを祝福する内容の文字画像その他で構成されているが、虹色以外の通常色で表示される。一方、可動役物ランプ 314、盤ランプ 324、枠ランプ 304 は、再びレインボー発光パターンによる発光を行う。

10

【0499】

なお、この第2成功後演出で、レインボー画像演出とレインボー発光演出とを共に実行してもよい。この場合のレインボー画像演出の例としては、祝福画像 246 の少なくとも一部、例えば「おめでとう」の文字のみをレインボーとすることが考えられる。図 95、図 96 (a) は、第2複合実行態様において、祝福画像 246 における「おめでとう」の文字の内部を虹色で表示した例を示している。図 95 の例では、上下方向に連続的（段階的でもよい）に色情報が変化している（位置に対して連続的又は段階的に色情報が変化している）が、時間に対しては表示色が変化しないようになっている。このように、レインボー画像（グラデーション画像）における色情報の変化方向を上下方向とすることにより、奇数画像データと偶数画像データの何れかが欠落した場合であっても、レインボーの色変化は正常に表示されている縦のピクセルラインに沿ったものとなり、遊技者はピクセル単位で色変化を明確に認識できることによりレインボー画像であることを正常表示時と同様に確実に識別することが可能となる。この効果は、図 95 に示すように文字の内部等の狭い領域をレインボーとする場合に特に有益である。

20

【0500】

また図 96 (a) の例では、左右方向に連続的（段階的でもよい）に色情報が変化している（位置に対して連続的又は段階的に色情報が変化している）が、時間に対しては表示色が変化しないようになっている。またこの場合、「おめでとう」の文字の内部は、図 96 (b) に示すように、左右に隣接する一組のピクセルライン毎に色情報が略共通、即ち奇数画像データに設定される複数種類の色情報と、その右隣の偶数画像データに設定される複数種類の色情報とが略共通となっている。これにより、奇数画像データと偶数画像データの何れかが欠落した場合であっても、遊技者はレインボー画像を明確に識別することが可能である。

30

【0501】

続いて、大当たり演出制御手段 95e（図 79）について説明する。大当たり演出制御手段 95e は、大当たり遊技中に行われる大当たり中演出を制御するもので、例えば大当たり開始インターバル中、大当たりラウンド中（ラウンド間インターバルを含む）、大当たり終了インターバル中に、それらに応じた演出画像を液晶表示手段 76 に表示すると共に、それに伴う音声出力、ランプ発光、可動体駆動等を実行するようになっている。

40

【0502】

本実施形態では、大当たり終了インターバル中に、大当たり確率に関する設定値（設定 1～6 の何れか）を示唆する設定示唆演出を実行可能となっている。この設定示唆演出では、大当たり終了インターバル中に液晶表示手段 76 に表示される所定画像（ここでは「確変モード突入」の文字画像）の表示色によって設定値を示唆するようになっている。「確変モード突入」の表示色として、ここでは黒、青、黄、赤、虹の 5 色が用意されており、図 9

50

7に示す設定示唆演出選択テーブルに基づく抽選によりそれら5色の何れかが選択される。この設定示唆演出の実行の有無及び実行する場合の種類（文字色）に関する選択処理は、大当たり遊技の開始時、大当たり終了インターバルの開始時等の任意のタイミングで行われる。なお、この設定示唆演出では「確変モード突入」の文字を表示する必要があるため、実行されるのは確変大当たりの場合に限られるが、非確変大当たり時の大当たり終了インターバル開始時においては「時短モード突入」等の文字を表示して、設定示唆演出を行ってもよい。

【0503】

図97に示す設定示唆演出選択テーブルでは、設定1～6毎に、黒、青、黄、赤、虹の5色に対する振分率が設定されている。この設定示唆演出選択テーブル（図97）より明らかのように、当該設定示唆演出では、黒色は設定1～6の全ての可能性があるが設定1～3（低設定）の可能性が高いことを示唆し、青色は設定1（最低設定）でないことを示唆し、黄色は設定4～6の何れかであること（低設定ではないこと）を示唆し、赤色は設定5、6の何れか（高設定）であることを示唆し、虹色（レインボー演出）は設定6（最高設定）であることを示唆するようになっている。

10

【0504】

このように、この「確変モード突入」の文字が虹色となるレインボー演出（虹色演出）は、遊技者に有利な設定6であることを報知するもので、上述した図柄変動中に出現するレインボー演出のように大当たり確定を報知するものではないが、遊技者に有利な状態の確定を報知するものである点では共通している。

20

【0505】

大当たり終了インターバル中に設定示唆演出が行われる場合には、液晶表示手段76に「確変モード突入」の文字（例えば黒色）が表示された状態で、所定時間を上限とする操作有効期間が開始される（図98（a））。その操作有効期間中は、遊技者に演出ボタン41の操作を促すための操作誘導画像231が、例えば「確変モード突入」の文字と重ならないように液晶表示手段76に表示される。そして、その操作有効期間中に演出ボタン41が操作されると、その時点で操作有効期間は終了し、液晶表示手段76に表示されている「確変モード突入」の文字が、設定値に応じて選択された表示色に変化する（黒色が選択された場合は変化なし）。図98の場合、「確変モード突入」の文字が黒色（図98（a））から虹色（図98（d））に変化しているため、遊技者はその時点の設定値が最高設定の設定6であることを知ることができる。

30

【0506】

また、この「確変モード突入」の文字の色変化（ここでは黒～虹）については、図98（a）～（d）に示すように、複数フレームにわたって上下方向（ここでは下向き）に徐々に進行するようになっている。これにより、奇数画像データと偶数画像データの何れが欠落した場合であっても、遊技者は「確変モード突入」の文字の色変化を明確に識別することが可能である。なお、この「確変モード突入」の文字の色変化は左右方向に進行するように構成してもよい。その場合、1フレーム毎に色情報を横方向に2ドット以上変化させることができて望ましい。それにより、奇数画像データと偶数画像データの何れが欠落した場合であっても、遊技者は「確変モード突入」の文字の色変化を明確に識別することが可能となる。

40

【0507】

なお、演出ボタン41が操作されることなく操作有効期間が満了した場合、その時点で「確変モード突入」の文字色を変更してもよいし、選択された色の種類に拘わらず色の変更を行わないようにしてもよいし、操作有効期間が満了した時点で「確変モード突入」の文字の表示を終了してもよい。

【0508】

また図98（d）の例では、「確変モード突入」の文字は虹色のグラデーションとなっているが、そのグラデーション画像は、左右方向に（位置に対して）段階的（又は連続的）に色情報が変化しているだけでなく、時間に対して段階的（又は連続的）に色情報が

50

変化するようになっている。そして、その時間に対する色情報の変化に関しては、図 9 9 (a) に示すように、1 フレーム毎に 2 ドットずつ右向きに移動するようになっている。そして、グラデーション画像に対応する奇数画像データと偶数画像データは、何れも変化前色情報から変化後色情報へと変化している。これにより、奇数画像データが欠落した場合と偶数画像データが欠落した場合とで各色の幅が共通で、正常時（欠落がないとき）と略同様のグラデーションを表現することが可能であり、奇数画像データと偶数画像データの何れが欠落した場合であっても、遊技者はグラデーション画像の色変化を明確に識別することが可能である。

【 0 5 0 9 】

なお、図 9 9 (b) は、各色情報を 1 フレーム毎に 1 ドットずつ右向きに移動させる場合を、図 9 9 (c) は、各色情報を 1 フレーム毎に 3 ドットずつ右向きに移動させる場合を、図 9 9 (d) は、各色情報を 1 フレーム毎に 4 ドットずつ右向きに移動させる場合を夫々示している。図 9 9 (b) の場合（1 ドットずつ移動）は、10 で示したように奇数画像データが欠落した場合に色変化を正確に表現できず、また図 9 9 (c) の場合（3 ドットずつ移動）は、10 で示した部分において奇数画像データが欠落した場合と偶数画像データが欠落した場合との差異が生じている。

【 0 5 1 0 】

一方、図 9 9 (d) の場合（4 ドットずつ移動）は、図 9 9 (a) の場合（2 ドットずつ移動）と同様、奇数画像データが欠落した場合と偶数画像データが欠落した場合とで各色の幅が共通で、正常時（欠落がないとき）と略同様のグラデーションを表現することが可能となっている。即ち、位置及び時間に対して色情報が変化するグラデーション画像に関しては、1 フレーム毎に、左右方向（奇数画素と偶数画素の並び方向）に 2 ドット以上の偶数ドット移動するように構成することが望ましい。

【 0 5 1 1 】

このように、予告画像を動的表示する場合、1 フレーム毎に左右方向（奇数画素と偶数画素の並び方向）に 2 ドット以上変化させることにより、奇数画像データと偶数画像データの何れかが欠落した場合であっても、予告画像が 1 フレーム毎に変化するように構成することが望ましいが、例えば上下方向に変化させるように構成してもよい。この場合、1 フレーム毎の変化の大きさに拘わらず、奇数画像データと偶数画像データの何れかが欠落した場合であっても、予告画像が 1 フレーム毎に変化するように構成することが可能である。またこの場合の動的表示は、グラデーションの時間的变化だけでなく、予告画像の所定方向への移動動作等も含まれる。

【 0 5 1 2 】

図 1 0 0 は本発明の第 2 の実施形態を例示し、第 1 の実施形態を一部変更して、帯演出画像において、第 1 表示情報と第 2 表示情報とに対して第 1 動的表示を実行しつつ、第 1 動的表示とは異なる第 2 動的表示を第 1 表示情報と第 2 表示情報とに対して順次実行するように構成した例を示している。

【 0 5 1 3 】

本実施形態の帯演出画像 2 4 2 a が第 1 の実施形態と異なるのは、第 1 の実施形態では、図 9 1 に示すように、第 1 文字情報（第 1 表示情報）2 3 5 a に対しては第 1 動的表示（左向きの移動動作）のみを実行し、第 2 文字情報（第 2 表示情報）2 3 5 b に対しては第 1 動的表示（左向きの移動動作）に加えて第 2 動作表示（上向きのジャンプ動作）を実行するのに対し、本実施形態では、図 1 0 0 に示すように、第 2 動作表示（上向きのジャンプ動作）を第 1 文字情報（第 1 表示情報）2 3 5 a と第 2 文字情報（第 2 表示情報）2 3 5 b に対して順次実行する点のみである。

【 0 5 1 4 】

即ち、本実施形態の帯演出画像 2 4 2 a では、図 1 0 0 (a) ~ (g) に示すように、文字情報画像 2 3 5 に対し、情報装飾画像 2 3 6 に沿って所定の向き（ここでは左向き）の移動動作（第 1 動的表示）が行われるが、更にその文字情報画像 2 3 5 を構成する第 1 文字情報 2 3 5 a と第 2 文字情報 2 3 5 b に対して、上向きにジャンプする動作（第 1 動

10

20

30

40

50

的表示とは異なる第2動的表示)が行われる。図100の例では、第1文字情報235aの第2動的表示は全ての文字に対して一斉に行われるのに対し、第2文字情報235bの第2動的表示は一文字ずつ順番に行われるようになっている。もちろん、第1文字情報235aの第2動的表示を一文字ずつ順番に行うようにしてもよいし、第2文字情報235bの第2動的表示を全ての文字に対して一斉に行うようにしてもよい。

【0515】

なお、第2動的表示については上向きのジャンプ動作に限らず、二次元の回転動作(例えば画面に垂直な軸廻りの回転動作)、三次元の回転動作(例えば上下方向や左右方向の軸廻りに回転しているように見える動作)、拡大/縮小等の変形動作等、どのようなものでもよい。その第2動的表示については、奇数画像データと偶数画像データの何れかが欠落した場合を想定すれば、縦方向への変化を伴うものとすることが望ましい。また、第1文字情報235aに対する第2動的表示と、第2文字情報235bに対する第2動的表示とを異ならしてもよい。

【0516】

以上、本発明の実施形態について詳述したが、本発明はこれらの実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々の変更が可能である。例えば実施形態の液晶制御基板98では、複合チップ104と液晶制御第2コネクタCN32とを異なる配線層に配置した例を示したが、液晶制御第2コネクタCN32を複合チップ104と同じ配線層(甲配線層)に配置してもよい。この場合、ODD側データ出力端子群(第1チップ端子)とEVEN側データ出力端子群(第2チップ端子)とのうち、複合チップ104の外周側に配置される第1チップ端子から引き出される第1配線路については、層間導通部を介することなく甲配線層側で液晶制御第2コネクタCN32に接続し、他方の第2チップ端子に接続される第2配線路については、第2チップ端子の近傍に配置されたビア(非特定層間導通部)を介して一旦乙配線層側に移り、更に液晶制御第2コネクタCN32の近傍に配置されたビア(特定層間導通部)を介して甲配線層側に戻って液晶制御第2コネクタCN32に接続するように構成してもよい。これにより、液晶制御第2コネクタCN32を複合チップ104と同じ配線層(甲配線層)に配置した場合でも、第1配線路を、甲配線層への配線比率が最も高くなるように配置し、第2配線路を、乙配線層への配線比率が最も高くなるように配置することが可能である。

【0517】

このように、第2チップ端子よりも第1チップ端子の方がチップの外周側に配置される場合には、第1チップ端子に接続される第1配線路を、チップが配置される甲配線層への配線比率が最も高くなるように配置し、第2チップ端子に接続される第2配線路を、甲配線層とは異なる乙配線層への配線比率が最も高くなるように配置することが望ましい。

【0518】

実施形態では、保留報知画像に対し、縦方向への変化を伴う動的表示を実行するように構成した例を示したが、この動的表示は、移動や変形に限られるものではなく、それらと共に、或いはそれらに代えて縦方向への色変化(例えば時間経過に応じて色分布が縦方向に移動)を行うものであってもよい。

【0519】

また、例えば保留報知画像の表示開始後に表示態様が変化する(例えばからゾウ、ゾウからライオン等)場合には、例えば上部側から下向きに徐々に色を切り替える等、少なくとも縦方向に色情報を変化させることが望ましい。これは、その他の予告画像について表示態様を変化させる場合についても同様である。

【0520】

ボタン画像232等の操作対象画像を表示する際には、その操作対象画像に対して動的表示を実行してもよい。この場合の動的表示としては、操作対象画像が操作される様子を示す移動動作や変形動作が考えられるが、その場合の動的表示についても、縦方向への変化を伴うものとすることが望ましい。

【0521】

10

20

30

40

50

実施形態では、ボタン煽り演出において帯演出画像を表示するように構成したが、帯演出画像はあらゆる種類の演出において表示可能である。例えば、図97、図98に示す設定示唆演出において、「確変モード突入」の文字を情報画像とする帯演出画像を表示してもよい。

【0522】

帯演出画像を構成する情報画像は文字情報に限られるものではなく、記号、絵柄等でもよいし、それらを混在させてもよい。また、帯演出画像を構成する情報装飾画像については、情報画像に沿って配置されるものであればよく、一定幅の真っ直ぐな帯状のものに限らず、幅(太さ)が変化してもよいし曲線形状或いは折れ線形状等のものでもよい。また左右方向に限らず、上下方向や右上がり、右下がり等の斜め方向に配置してもよいし、複数列となるように配置してもよい。

10

【0523】

実施形態では、第1動的表示として文字情報画像235が左向きに移動する例を示したが、第1動的表示はこれに限られるものではなく、左右方向等への往復移動、左右方向等への拡大/縮小その他の変形等でもよい。また、第2動的表示は第1動的表示と異なるものであればよく、二次元の回転動作(例えば画面に垂直な軸廻りの回転動作)、三次元の回転動作(例えば上下方向や左右方向の軸廻りに回転しているように見える動作)、拡大/縮小等の変形動作等、どのようなものでもよい。第1、第2動的表示は、奇数画像データと偶数画像データの何れかが欠落した場合を想定すれば、縦方向への変化を伴うものとすることが望ましいが、横方向に変化する場合には、1フレーム毎に2ドット以上変化するように構成することが望ましい。

20

【0524】

実施形態では、特典を付与するか否かの当落分岐演出よりも前に行われる第1虹色画像演出の例として、「おめでとう」の文字を虹色で表示する例を示したが、第1虹色画像演出におけるレインボー画像はこれに限られるものではなく、文字、図形、キャラクタ等の任意の部分画像をレインボー画像とすることが可能である。図101(a)は、リーチ演出中に表示される星形図形261をレインボー画像とした例を、図101(b)はSPリーチBの開始時に表示されるリーチタイトル文字262をレインボー画像とした例を夫々示している。

30

【0525】

なお、図101では、星形図形261、リーチタイトル文字262では、色情報が左右方向に変化しているが、奇数画像データと偶数画像データの何れかが欠落した場合を考えると、色情報の変化方向は上下方向とすることが望ましい。また、色情報の変化方向を左右方向とする場合には、左右に隣接する一組のピクセルライン毎に色情報が略共通となるようにすることが望ましい(図96(b)参照)。

【0526】

以上説明したレインボー画像演出は、赤・橙・黄・緑・青・藍・紫の7色を網羅する虹色画像を表示するものであったが、虹色でないものを含むグラデーション画像を表示するグラデーション画像演出としてもよい。

40

【0527】

先読み予告演出では、レインボー演出を行わないことが望ましい。先読み判定の対象となつたターゲット変動よりも前の変動でレインボー演出を行うと、その変動が大当たりになるものと遊技者が誤認するからである。但し、レインボー演出の対象が明確な先読み予告演出であればレインボー演出を行つてもよい。例えば、保留変化演出においてターゲット変動に対応する保留画像をレインボー画像とするレインボー演出については実行可能である。

【0528】

実施形態では、複合チップ104と制御ROM105との間でアドレス情報/データ情報を伝送する配線路P2~P42については、制御ROM配置領域(第2配置領域)192内に配置された特定層間導通部を有するものとしたが、それらの配線路P2~P42の

50

少なくとも一部が特定層間導通部を有しないものであってもよい。

【0529】

実施形態では、配線路 P 2 ~ P 4 2 において、ビア v 6 1 ~ v 8 5 , v 8 7 ~ v 1 0 2 (特定層間導通部) の Y 方向の配列を、それに対応する液晶制御第 1 コネクタ C N 3 1 の各端子 h a d 1 ~ h a d 2 5 , h d t 0 ~ h d t 1 5 の X 方向の配列と一致させたが、ビア v 6 1 ~ v 8 5 , v 8 7 ~ v 1 0 2 (特定層間導通部) の Y 方向の配列を、制御 R O M 1 0 5 の端子配列と一致(又は近似)させてもよい。

【0530】

実施形態では、基板を組み上げた状態でチェック作業を行う必要があるテストポイントに関しては、チェック対象が基板の表裏のどちらに存在するかに関係なく、基板を組み上げた状態で外側となる面にそのテストポイントの識別情報を表示するように構成したが、そのようなテストポイントに関しては基板の両面に識別情報を表示してもよい。

10

【0531】

実施形態では、複合チップ 1 0 4 の端子のうち、複合チップ配置領域(第 1 配置領域) 1 9 1 における最外周側とその内側の 2 列目に配置された端子(外側端子)については、第 1 配線層 L a 1 において複合チップ配置領域 1 9 1 の外側に配置された層間導通部と接続し、それよりも内側の端子(内側端子)については、第 1 配線層 L a 1 において複合チップ配置領域 1 9 1 の内側に配置された層間導通部と接続するように構成したが、複合チップ配置領域 1 9 1 における最外周側の端子のみを外側端子としてもよいし、最外周側から 3 列目までの端子を外側端子としてもよい。

20

【0532】

また、実施形態では具体的に複合チップ 1 0 4 の一縁部側の端子に関連する配線のみを例示したが、これに限らず、複合チップ 1 0 4 の他縁部側においても同様の構成、または実施形態に記載した内容となるように構成してもよい。このように、複合チップ 1 0 4 の各縁部側でも本実施形態の記載の構成を採用することで、より配線効率を高めることが可能となる。例えば、図 2 0 に示すような構成が一例として挙げられる。

【0533】

実施形態では、液晶制御基板 9 8 に第 1 ~ 第 6 配線層 L a 1 ~ L a 6 を設けた例を示したが、配線層の数はこれよりも少なくても多くてもよい。配線層の数を少なくする場合、グランド接続のベタ配線層や、電源接続のベタ配線層を省略してもよい。

30

【0534】

複合チップ 1 0 4 の端子と複合チップ配置領域 1 9 1 内のビアとの接続に関して、各端子と各ビアとの距離をそれぞれ略共通の距離となるように設計してもよい。これにより、複数ある各端子と各ビアとの距離が略等間隔となることで、ノイズが乗りにくく、またビアの配列をより適切な状態に整えることが可能となる。

【0535】

また、複合チップ 1 0 4 の端子からビアに向けて配線を引き出す方向に関して、上下左右に隣り合う端子同士に関してはその配線引き出し方向(ビアの配置方向)を共通にすることが望ましい。また、それらの端子を一群として捉えた場合に、それとは別の端子群に関しては、配線引き出し方向(ビアの配置方向)を前述とは異なる方向とすることが望ましい。このように端子群毎に配線引き出し方向(ビアの配置方向)を設定することで、各端子の情報を配線パターンにより確認、認識することが容易となるため、完成後の検査やチェックが容易となる。また、アドレス情報を伝送する端子を一群としたり、データ情報を伝送する端子を一群としたりすることにより、前述の効果がより発揮されることとなる。また、チップセレクト信号などの個別の信号の端子に関しては、前述の一群のものとは異なる配線引き出し方向にビアを設けることで、確認・認識が容易となるようにしてもよい。また、チップセレクト信号の端子に関しては共通の配線引き出し方向にビアを設けることで、チップセレクト信号などの重要な端子や信号線を特定されにくくし、不正行為に強い構成としてもよい。

40

【0536】

50

図34に示すように、複合チップ104のHAD22端子に接続される配線路cp221のように、ビアを介することなく制御ROM配置領域192内又はその近傍に達するような配線パターンを設けてもよい。このように配線することで複合チップ104周辺のビアの数を減らすことができるため、その分のスペースを他の配線やビアの設置箇所として使用することが可能となる。また、配線路cp221に関してはビアv53と接続されているが、これに限らずビアを介することなく制御ROM105の端子へと接続されるように構成してもよい。

【0537】

図35に示すように、制御ROM105の端子のうちOE#、WE#、BYTE#、WP#ACC、CE#、RESET#などの特別な端子の配線パターンについては、アドレス情報やデータ情報を伝送する配線パターンに比べて、ビアからの接続距離を短く設定してもよい。これにより、基板の組み立て時、検査時などにおいて、配線パターンの種類の区別がつきやすくすることができる。また逆に、接続距離を長く設定することで、配線パターンの種類の区別がつきやすいように構成してもよい。また、制御ROM105の動作を制御するための端子の接続パターンであるため、ノイズ等を考慮して比較的短い配線パターンとしておくことが望ましい。

10

【0538】

図35に示すように、制御ROM配置領域192において、第1ビア配列群(v61～v85等)と第2ビア配列群(v87～v102等)とをX軸方向にずらして配置することで、それぞれの配列群からY軸方向に配線パターンを引き出しやすくすることができる。また仮に、第1ビア配列群と第2ビア配列群とをX軸方向にずらさずY軸方向に並べると制御ROM配置領域192内に収まらずはみ出してしまうような場合には、X軸方向にずらしてY軸方向に重なるように配置することで、第1ビア配列群と第2ビア配列群とを制御ROM配置領域192内に収めることができ、制御ROM配置領域192内の配線スペースをより有効に活用することが可能となる。

20

【0539】

また、仮に第1ビア配列群と第2ビア配列群とをY軸方向にずらしてX軸方向に重なるように並べた場合でも制御ROM配置領域192内に収まる場合には、Y軸方向にずらしてX軸方向に重なるように並べてもよい。この場合には、それぞれの配列群からY軸方向に配線パターンを引き出しにくくなるが、少なくともX軸方向への引き出しは制限されない。また、例えば第1ビア配列群や第2ビア配列群が分岐箇所となる場合については、分岐先の接続端子の配列を考慮したうえで、Y軸方向にずらしてX軸方向に重なるように並べた方が効率的な配置となる場合には、そのように構成してもよい。また、同様にX軸方向にずらしてY軸方向に重なるように配置してもよい。制御ROM配置領域192の形状や、配線パターンの引き回し方によってはその方が好適な配置関係となる場合も考えられる。

30

【0540】

図28に示すように、複合チップ104と制御ROM105との配置関係を、制御ROM105の端子と接続関係にある複合チップ104の端子配列の位置に応じて決定することで、物理的な接続距離を近づけるように構成してもよい。これは特に制御ROM105に限定されず、複合チップ104の各端子の位置を基準として、それらの端子と接続関係にある電子部品の配置位置、配置方向、距離等を決定することで配線効率を高めることができる。勿論、制御ROM105などの特定の電子部品においてのみ前述のような配置関係としてもよく、それにより部分的な配線効率を高めることができるが、より好適には複数の電子部品を同様の配置関係とすることで、基板全体の配線効率を高めることができる。

40

【0541】

また、アドレス情報やデータ情報を伝送する配線パターンのように複合チップ104と複数の電子部品とを接続する必要がある配線に関しては、複合チップ104からの距離が近い第1電子部品(例:制御ROM105)とそれよりも遠方の第2電子部品(例:液晶制御第1コネクタCN31)とのうち、距離の近い第1電子部品を複合チップ104の接

50

続端子が位置する側に設けることで配線効率を高めるようにしてもよい。また、第1電子部品とそれよりも遠方の第2電子部品との両方を複合チップの接続端子が位置する側に設けることで、より配線効率を高めることができる点は言うまでもない。また、第1電子部品と第2電子部品とのうち、遠方の第2電子部品を複合チップ104の接続端子が位置する側に設けることで配線効率を高めるようにしてもよい。この場合、第1電子部品は、複合チップの接続端子が位置する側とは異なる側に配置されることになるので、一見非効率に思えるが、基板全体におけるアドレス情報やデータ情報を伝送する配線パターンの配線効率を考慮した場合には、その方が効果的となる場合もある。また第1電子部品は制御ROMに限らず、コネクタや（終端）抵抗などであってもよい。同様に第2電子部品はコネクタに限らず、制御ROMや（終端）抵抗であってもよい。

10

【0542】

図27に示すように、制御ROM105の端子には複合チップ104の端子と接続関係にない端子（NC端子等）があり、図35において（ここではNC端子等は省略されているが）、制御ROM配置領域192における制御ROM105のNC端子が位置する箇所に対してX軸方向にずれた箇所（領域）に、NC端子以外の端子と接続関係にある配線パターンを接続するためのビア（図35においてはv80～v85等が相当）を設けるように構成してもよい。このように構成する理由としては、NC端子等は接続される配線パターンやビアの配置を考慮する必要がないことからその周辺には比較的配線スペースが生じやすい傾向にあるため、その領域を活用してビアを配置することができるからである。また、そのようにNC端子等の周辺はスペースに余裕があるため、ビアからの配線パターンをY軸方向またはX軸方向に引き出しやすくなるというメリットがある。また、NC端子に限らず、VCC端子やGND端子に関しても同様の構成とすることで前述の効果を奏ずることが可能である。

20

【0543】

図40に示すように、複合チップ104の端子と制御ROM105の端子とを接続するための配線パターンを接続するビア（例：v49～v54）を、制御ROM配置領域192の外側近傍またはその周囲に設け、そのビアを介して制御ROM配置領域192内に配線パターンを引き回すように構成することで、そのビアは制御ROM105等に遮蔽されることなく基板の外側から視認可能であるため、制御ROM配置領域192の外側近傍またはその周囲にビアを設けない配線パターンと比べて複合チップ104の端子と制御ROM105の端子とを接続する配線パターンの確認や検査が容易になるとともに、制御ROM配置領域192の外側近傍にビアを配置することでより配線効率を高めることが可能となる。

30

【0544】

図35、図37に示すように、ビアv69～v73に関しては、制御ROM配置領域192にその他のビアとともに配列して配置されているが、制御ROM105の端子との接続に関しては、ビアv103～v107を介して制御ROM配置領域192に配線パターンを引き出すように構成している。このように、他の特定層間導通部と共に配列されたビア（v69～v73）と制御ROM105の端子とを接続する配線パターンを、別のビア（v103～v107）を介して制御ROM配置領域192内を引き回すことで配線効率を高めるように構成することができる。また、その場合であってもビアv69～v73に関してはその他のビアと同様に配列されているので、接続関係の確認や通電チェック等の検査については比較的容易に行うことが可能である。

40

【0545】

実施形態ではVDP+CPUの複合チップ104を例示したが、VDP機能を有さないCPUチップであってもよい。また、制御ROMについてもCPUの制御プログラムを記憶する記憶媒体に限らず、音声データや画像データを記憶するROMであってもよい。

【0546】

複合チップ配置領域191や制御ROM配置領域192に位置するビアを、導通チェック用のテストポイントとして使用するようにしてもよい。この場合、複合チップ配置領域

50

191や制御ROM配置領域192に位置するビアの近傍または周辺に、シルク印刷によるテストポイント表記（識別情報の表示）を行うように構成することが望ましい。これにより、複合チップ104や制御ROM105の導通チェックが容易に行えるとともに、複合チップ配置領域191や制御ROM配置領域192を活用してテストポイントのシルク印刷表記を配置することができる。

【0547】

図55に示すように、RESET信号とWTDOG信号とを共通の論理集積回路IC7に接続することで、何れかのリセット要因によりリセット信号が入力された場合に適切にリセット処理を行うことが可能となっている。また、論理集積回路IC7からの出力情報（リセット信号）を、複合チップ104及び/又は制御ROM105に対して出力するだけでなく、図54に示すデコーダIC13, IC14に対しても出力する（図55のI0-RSTから出力）ように構成することで、液晶表示手段76に対するリセット処理を実行することが可能となる。これにより、異なる電子部品などのハードウェアによる同期的又は略同タイミングでのリセット動作を実現させることができる。

10

【0548】

また、CGRROMや音声ROMなどの外部ROMをリセットするために、複合チップ104に対して、別途リセット信号を出力する（図55のDDR-RSTから出力）ように構成してもよい。このように、出力対象は同じ複合チップ104であっても、リセット対象毎に異なるリセット信号を出力するように構成してもよい。これにより、リセット対象やリセット目的に応じたリセット処理が可能な回路構成とすることができる。また、図55に示すように、I0-RST信号やDDR-RST信号についても論理集積回路IC7から出力される信号であり、これはCPU-RST信号と同様にRESET信号及び/又はWTDOG信号が論理集積回路IC7に入力されたことをトリガーに出力される信号である。

20

【0549】

また、実施形態では共通の論理集積回路IC7を用いているが、これに限らず複数の論理集積回路を設けるようにしてもよい。この場合、CPU-RST信号、I0-RST信号、DDR-RST信号ごとに異なる論理集積回路を用いるようにしてもよいし、CPU-RST信号と、I0-RST信号、DDR-RST信号とで異なる論理集積回路を用いるように構成してもよい。このように複数の論理集積回路を用いる場合、コストはかかるが、不具合により全てのハードウェアに対してリセット信号が出力されてしまうことを防止することができる。またこの場合であっても、異なる論理集積回路には共通のRESET信号及び/又はWTDOG信号が入力されるように構成される。

30

【0550】

図27に示すように、制御ROM105の端子には複合チップ104の端子と接続関係にない端子（NC等）があり、図35において（ここではNC端子等は省略されているが）制御ROM配置領域192における制御ROMのNC端子が位置する箇所に対してX軸方向にずらした箇所（領域）と、NC端子以外の端子が位置する箇所に対してX軸方向にずらした箇所（領域）とで、制御ROM配置領域192内に設置されるビアの配置数を異ならせるように構成してもよい。このように、対応する箇所（領域）毎にビアの配置数を異ならせることで、制御ROM配置領域192内のスペースを有効活用するように構成してもよい。また、当然ながらNC端子以外の端子にはビアから引き出された配線パターンが接続されることになるので、近傍に配置する場合には接続距離が短くなるというメリットがあり、逆にNC端子が位置する箇所に対してX軸方向にずらした箇所（領域）から引き出されたビアから引き出された配線パターンが接続される場合には、接続距離が長くなるが、配線スペースに比較的余裕があるため、引き回しが容易になるというメリットがある。

40

【0551】

また、制御ROM配置領域192のビアのうち制御ROMの端子と直接の接続関係にないビア（例：図35のv68とv74との間に位置する複数のビア）については、図35

50

に示すように、N C 端子以外の端子が位置する箇所に対して X 軸方向にずらした箇所（領域）に設けるようにしてもよい。これらのビアからは第 1 配線層 L a 1 上では配線パターンが引き出されないので、制御 R O M 配置領域 1 9 2 において配線スペースを阻害する恐れが少ないのである。また、逆に制御 R O M 配置領域 1 9 2 における制御 R O M 1 0 5 の N C 端子が位置する箇所に対して X 軸方向にずらした箇所（領域）に設けるようにしてもよい。この場合には、N C 端子以外の端子が位置する箇所に対して X 軸方向にずらした箇所（領域）により配線スペースを設けることができる。いずれにしても、実施形態においては、前述のメリットを考慮しながら、制御 R O M 以外の電子部品（例：コネクタ）との接続関係も意識したうえで、図 3 5 に示すようなビア配列を構築している。

【 0 5 5 2 】

図 3 5 の例では、アドレス情報を伝送するための配線パターンを導通させるビアを所定の配列で並べ、データ情報を伝送するための配線パターンを導通させるビアを所定の配列で並べることで、夫々のビア配列が群となるように設置したが、これに限らず、アドレス情報を伝送するための配線パターンを導通させるビアと、データ情報を伝送するための配線パターンを導通させるビアを所定の配列で並べることで 1 のビア群となるように設置してもよい。この場合、異なる情報を伝送する配線パターンを導通させるビアを密集させることができるので、ビアの設置範囲を比較的小さくすることができる。また、図 3 5 に示すビア v 8 7 ~ v 9 0 のように、データ情報を伝送するための配線パターンを導通させるビアの配列の中で、いくつかのビアを小群として配列するように設けてもよく、アドレス情報を伝送するための配線パターンを導通させるビアについても同様の構成としてもよい。

【 0 5 5 3 】

図 3 5 の例では、制御 R O M 配置領域 1 9 2 にアドレス情報を伝送するための配線パターンを導通させるビアや、データ情報を伝送するための配線パターンを導通させるビアをそれぞれ所定の配列にて配置したが、これに限らず、制御 R O M 配置領域 1 9 2 外にて夫々のビアを所定の配列で配置するようにしてもよい。この場合、制御 R O M 配置領域 1 9 2 を活かすことはできないが、制御 R O M 配置領域 1 9 2 の外側から制御 R O M 1 0 5 の端子へと配線パターンを接続することになるので、制御 R O M の端子ごとの接続状況を確認し易くなるというメリットが生じる。ただし、制御 R O M 配置領域 1 9 2 を使用する場合に比べて、必要な配線スペースが比較的多くなってしまうので、比較的スペースに余裕がある場合にそのような構成を採用することが望ましい。

【 0 5 5 4 】

図 3 5 に示すように、制御 R O M 1 0 5 の端子のうち O E # , W E # , B Y T E # , W P # / A C C などの特別な端子の配線パターンについては、制御 R O M 配置領域 1 9 2 の外側から端子へと配線パターンを接続することで、接続状況を確認し易くなるように構成してもよい。また、C E # , R E S E T # についても同様の構成とするようにしてもよい。ただし、実施形態においてはチップセレクト信号を入力するためのチップセレクト入力端子である C E # や、リセット信号を入力するためのリセット端子である R E S E T # については、ゴトや不具合の対象となり易いため、配線パターンを不正改造されないように制御 R O M 配置領域 1 9 2 内から各端子へと配線パターンを接続している。

【 0 5 5 5 】

図 3 4 に示すように、複合チップ 1 0 4 の端子と複合チップ配置領域 1 9 1 内のビアに関して、Y 軸方向（及び / 又は X 軸方向）に直線状に並んだ複合チップの端子と同様に、複合チップ配置領域 1 9 1 内のビアも Y 軸方向（及び / 又は X 軸方向）に直線状に並ぶように配置することで、各端子の配列とビアの配列の確認が容易となるようにするとともに、スペース的に余裕の少ない複合チップ配置領域 1 9 1 内において、ビアを整列した形で配置することができる。

【 0 5 5 6 】

また図 3 4 に示すように、Y 軸方向（及び / 又は X 軸方向）に直線状に並んだ複合チップ 1 0 4 の端子と、Y 軸方向（及び / 又は X 軸方向）に直線状に並んだビアは、それぞれ Y 軸方向（及び / 又は X 軸方向）に重ならない位置となるように配列することが望ましい

10

20

30

40

50

。このように構成することで、例えば隣り合う又は近傍に位置する端子を避けてビアを配列することができるので、ビアからの配線パターンが配置し易くなる。

【 0 5 5 7 】

また図34に示すように、複合チップ配置領域191内のビアは、複合チップ配置領域191の外周近傍に配置される外側端子（例：HAD18, HAD14, HAD10, HAD6, HAD21, HDT12, HDT7, HDT4, HDT0）及び／又はその内側に配置された端子（例：HAD17, HAD13, HAD9, HAD5, HAD22, HDT13, HDT8, HDT5, HDT1）と、それぞれX軸方向（及び／又はY軸方向）に重ならない位置に配列することが望ましい。これにより、外側端子及び又はその内側に配置された端子を避けてビアを配列することができるので、ビアからの配線パターンが配置し易くなる。つまり、第1配線層La1において、外側端子及び又はその内側に配置された端子を避けてビアを配列しておけば、異なる配線層においてビアから配線パターンを引き出す際に、外側端子及び又はその内側に配置された端子を気にすることなく、X軸方向（及び／又はY軸方向）に向かって直線的に配線パターンを引き出すことが可能となる。

【 0 5 5 8 】

また、図34に示す複合チップ配置領域191の外周近傍に配置される外側端子（例：HAD18, HAD14, HAD10, HAD6, HAD21, HDT12, HDT7, HDT4, HDT0）及び／又はその内側に配置された端子（例：HAD17, HAD13, HAD9, HAD5, HAD22, HDT13, HDT8, HDT5, HDT1）を避けるように配置されたビア（例：V11～V24等）に関して、第1特定のビア（例：v18～v24）と、第1特定のビアよりも複合チップ104の内側に配置されている第2特定のビア（例：v11～v17）については、外側端子及び／又はその内側に配置された端子を避けた結果、第1配線層La1ではX軸方向に夫々重なるように配置されている。この場合に、第1特定のビアよりも複合チップ104の内側に配置されている第2特定のビアについては、例えば、図40に示すような第1配線層La1とは異なる配線層において、第1特定のビアを避けるように配線パターンを配線するように構成してもよい。このように、複数の配線層を利用して、複合チップ配置領域191の外周近傍に配置される外側端子及び又はその内側に配置された端子を避けるように、複合チップ配置領域191の内側に配置された第1特定のビアや第2特定のビアを設け、さらに第1特定のビアを避けるように第2特定のビアから引き出された配線パターンを設けるように構成してもよい。これにより、比較的配線スペースに余裕のない複合チップ配置領域191内から複合チップ配置領域191外へと効率的に配線パターンを引き出すことが可能となる。また、ここでは図34や図40に基づいて、特定の端子や特定のビアを例に示したが、これに限らず、その他の端子やビアについても同様の構成とするようにしてもよい。例えば、図34では複合チップ104の一縁部側を例にしているが、他縁部側においても同様の構成となるようにしてもよい。また、複合チップ配置領域191内の第1配線層La1に比較的配線スペースがある場合には、第1配線層La1において、第1特定のビアをX軸方向（及び／又はY軸方向）に避けるように第2特定のビアを設置するように構成してもよい。

【 0 5 5 9 】

前述したとおり、図34に示す複合チップ配置領域191内のビアを、Y軸方向（及び／又はX軸方向）に直線状に並ぶように配置する構成としたことで、当然ながら図40に示す異なる配線層においても複合チップ配置領域191内のビアはY軸方向（及び／又はX軸方向）に直線状に並ぶ構成となる。ここで、第1ビア（例：v21）と、第1ビアよりも複合チップ配置領域191の内側に位置する第2ビア（例：v14）と、第2ビアよりも複合チップ配置領域191の内側に位置する第3ビア（例：v6）とがあり、第1ビアはX軸方向に直線状に引き出された配線パターンにより複合チップ配置領域191外へと進行し、第2ビアは第1ビアを避ける方向に第1距離引き出された配線パターンを経てX軸方向に直線状に引き出された第1配線パターン及び接続先である制御ROM105が位置する方向に向かう形で直線状に引き出された第2配線パターンにより複合チップ配置

10

20

30

40

50

領域 1 9 1 外へと進行し、第 3 ビアは第 1 ビア及び / 又は第 2 ビアを避ける方向に第 1 距離引き出された配線パターン（第 2 ビアから第 1 ビアを避ける方向に第 1 距離引き出された配線パターンと同一方向）と、Y 軸方向に直線状に引き出された配線パターン（ここまでの配線パターン長は、第 2 ビアから第 1 ビアを避ける方向に第 1 距離引き出された配線パターンよりも長い）を経て、X 軸方向に直線状に引き出された第 1 配線パターン及び接続先である制御 ROM 1 0 5 が位置する方向に向かう形で直線状に引き出された第 2 配線パターンにより複合チップ配置領域 1 9 1 外へと進行するように構成されている。このように、第 1 ビア、第 2 ビア、第 3 ビアの順に、複合チップ配置領域 1 9 1 の内側に向けて配置される場合には、まず複合チップ配置領域 1 9 1 内に、外側に位置するビアを避けるように配線パターンを設けるように構成してもよい。これにより、複合チップ配置領域 1 9 1 内の配線スペースを有效地に活用することができる。

【 0 5 6 0 】

また前述の例では、特定のビアを例に第 1 ビア、第 2 ビア、第 3 ビアの関係性を示したが、これに限らず、図示するその他のビアにおいても同様の構成とすることが望ましい。このように、複数箇所において同様の構成とすることで、単数箇所で実施するよりも、より効果的に複合チップ配置領域 1 9 1 内の配線スペースを有效地に活用することができる。また前述の例は、複合チップ配置領域 1 9 1 内の第 1 配線層 L a 1 とは異なる配線層にて実施する点を示したが、これに限らず第 1 配線層 L a 1 にて実施するように構成してもよい。しかしながら、第 1 配線層 L a 1 においては複合チップ 1 0 4 の端子が複数配列されているため、比較的配線スペースに余裕がないことが想定されるので、第 1 配線層 L a 1 とは異なる配線層での実施が望ましい。

【 0 5 6 1 】

また図 3 4 の例では、HAD 1 から HAD 0 まで Y 軸方向に直線状に並んだ複合チップ 1 0 4 の各端子のように、それぞれの端子から引き出される配線パターンの引き出し方向は異なる（例：HAD 1, HAD 0 は -X -Y 方向、HAD 8, HAD 3, HAD 15, HAD 20 は +X -Y 方向、HAD 11 は -X +Y 方向）が、各端子と接続されるビアの配列は Y 軸方向に直線状に配置されている。このように、Y 軸方向（及び / 又は X 軸方向）に直線状に並んだ複合チップ 1 0 4 の端子とそれぞれ配線パターンにより接続されるビア同士を Y 軸方向（及び / 又は X 軸方向）に直線状に並ぶように配置させる必要はなく、Y 軸方向（及び / 又は X 軸方向）に直線状に並んだ関係にない複合チップ 1 0 4 の端子とそれぞれ配線パターンにより接続されるビア同士を Y 軸方向（及び / 又は X 軸方向）に直線状に並ぶように配置させてもよい。このように構成したとしても、結果的に複合チップ 1 0 4 の端子配列とビアの配列を Y 軸方向（及び / 又は X 軸方向）に直線状に並ぶように配置させることができるので、前述の内容と同様の効果を奏すことが可能となる。

【 0 5 6 2 】

図 3 4 の例では、Y 軸方向に直線上に並んだ複合チップ 1 0 4 の複数の端子（例：HD T 6, HD T 10, HD T 15, HAD 24）からは、略同一方向に配線パターンが引き出され、それぞれ複合チップ配置領域 1 9 1 内で Y 軸方向に直線状に並ぶようにビア（例：v 1 7 ~ v 1 4）が配列されている。そして図 4 0 に示すように、これらのビアを介して第 1 配線層 L a 1 から第 4 配線層 L a 4 へ導通され、第 4 配線層 L a 4 から配線パターンが引き出される構成となっている。このように、ビアからの導通先（ここでは第 4 配線層 L a 4）が共通している複合チップ 1 0 4 の端子同士に関して、各端子から同一方向に配線パターンを引き出すように構成してもよい。また、同様に各端子と接続されるビアを複合チップ配置領域 1 9 1 内で Y 軸方向に直線状に並ぶように配列するようにしてもよい。またこの場合、図 3 4 に示すように、アドレス情報を出力するためのアドレス出力端子と、データ情報を入出力するためのデータ入出力端子とを前述の構成とするようにしてもよいし、アドレス情報を出力するためのアドレス出力端子のみ又はデータ情報を入出力するためのデータ入出力端子のみで前述の構成とするようにしてもよい。このように構成することで、各端子の配列とビアの配列及び接続経路となる配線パターンについても確認が容易となる。また、ビアからの導通先（ここでは第 4 配線層 L a 4）が共通している複合

10

20

30

40

50

チップ104の端子同士のみならず、ピアから配線パターンを通じて接続先（例：制御ROM105）へと接続される接続先の種類が共通している複合チップ104の端子同士を前述の構成となるようにしてもよい。また、ピアから配線パターンを通じて接続先（例：制御ROM105）へと接続されるまでの配線経路（どの配線層を通過するか、どのような配線パターンにより配線されているか等）が略共通している複合チップ104の端子同士を前述の構成となるようにしてもよい。このように構成することで、各端子の配列とピアの配列及び接続経路となる配線パターンについても確認が容易となる。

【0563】

以上の説明では、「制御ROM配置領域192内のピアv60～v85, v87～v107（特定層間導通部）の配列を、対応する制御ROM105側の端子（特定第2端子）の配列と近似させている。」等のように「近似」の語を用いたが、この「近似」とは、接続関係にある全ての端子とピアとで配列が一致しているものでもよいし、接続関係にある一部の端子とピアとで配列が一致しているものでもよい。また、接続関係にあるものが複数ある場合（例：所定のピアに対して制御ROMの端子とコネクタ端子）には、片方又は両方の端子の配列と一致しているものでもよい。また、接続先が複数ある場合に、それらが同一の電子部品であれば問題ないが、異なる電子部品である場合には、両方の端子の配列が異なっている可能性が高い。その場合、両方の端子の配列と完全一致するピア配列というのは現実的に不可能である。そこで、できる限り両方の端子の配列と一致させるために、一部共通の配列となるように構成してもよい。例えば、第1接続先の端子の一部の配列（制御ROM105の端子の一部の配列）と、第2接続先の端子の一部の配列（コネクタの端子の一部の配列）と、それぞれの一部の配列と対応するピア配列があつてもよいし、第1接続先の端子の一部の配列（制御ROMの端子の一部の配列）と対応するが、第2接続先の端子の一部の配列（コネクタの端子の一部の配列）には対応しない第1ピア配列と、第1接続先の端子の一部の配列（制御ROMの端子の一部の配列）には対応しないが、第2接続先の端子の一部の配列（コネクタの端子の一部の配列）には対応する第2ピア配列と、を備えるような構成であつてもよい。そして、このようなピアの配列に関しても、前述の「近似」の関係にあるものとする。

【0564】

基板の組み立てに関して、「組み立て」とは、複数の基板を組み合わせて一の制御基板が完成されるものであつてもよいし、一枚の基板に対してコネクタにハーネスを挿して導電可能な状態とし、またハーネスを介してその他の基板と接続させるものであつてもよい。また、複数の基板か一枚の基板かに限らず、基板に対して動作に必要な種々の電子部品を取り付けた状態であつてもよい。

【0565】

以上の実施例の内容は如何様にも組み合わせることが可能であり、組み合わせることでより効果的に配線効率が高まるとともに、ノイズや不正行為に強い基板構成とすることが可能となる。

【0566】

また、図示している全ての端子配列や配線パターン、電子部品の設置位置等に関しては、最適解を求めて構築したものであり、図示した全ての構成が組み合わされた結果、より好適な配線効率、基板の縮小化、ノイズ低減が可能となっているものである。

【0567】

また本発明は、アレンジボール機、雀球遊技機等の各種弾球遊技機の他、スロットマシン等の弾球遊技機以外の遊技機においても同様に実施することが可能である。

【符号の説明】

【0568】

98 液晶制御基板（表示制御手段）

10

20

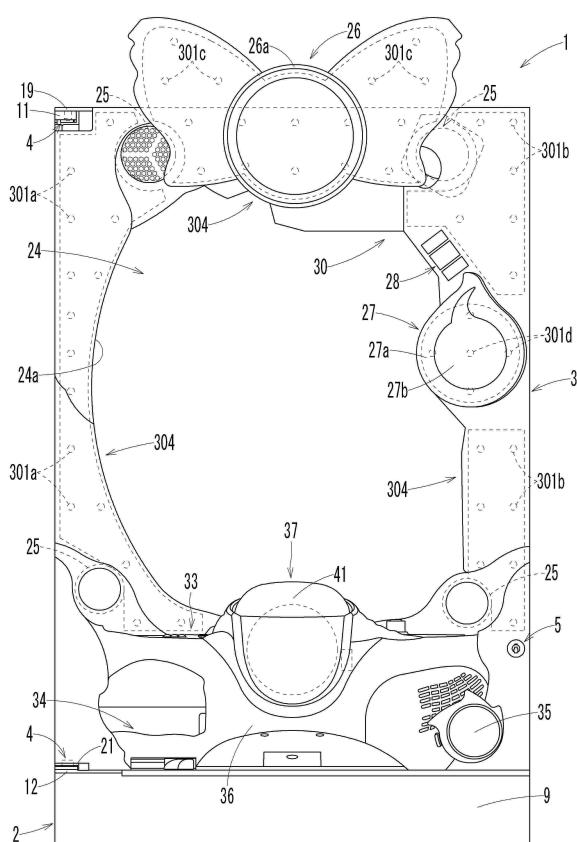
30

40

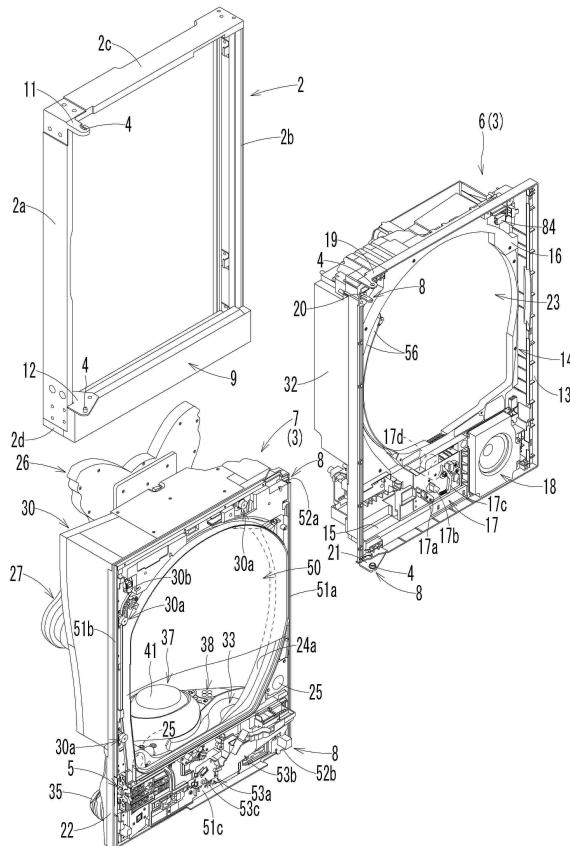
50

【四面】

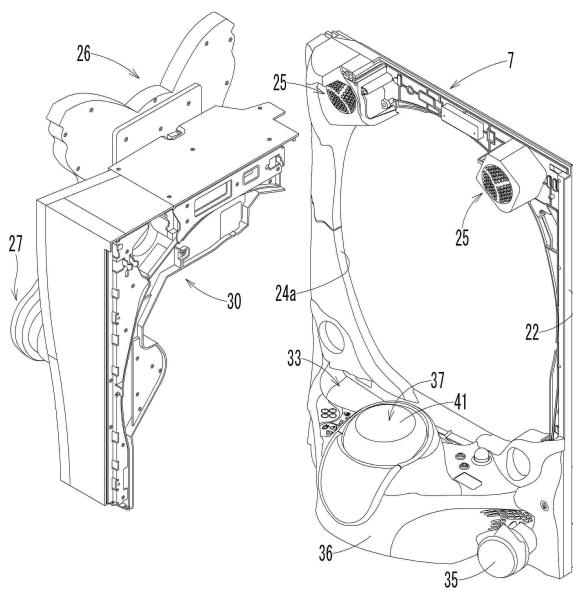
【 四 1 】



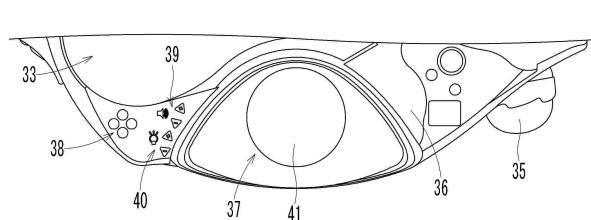
【図2】



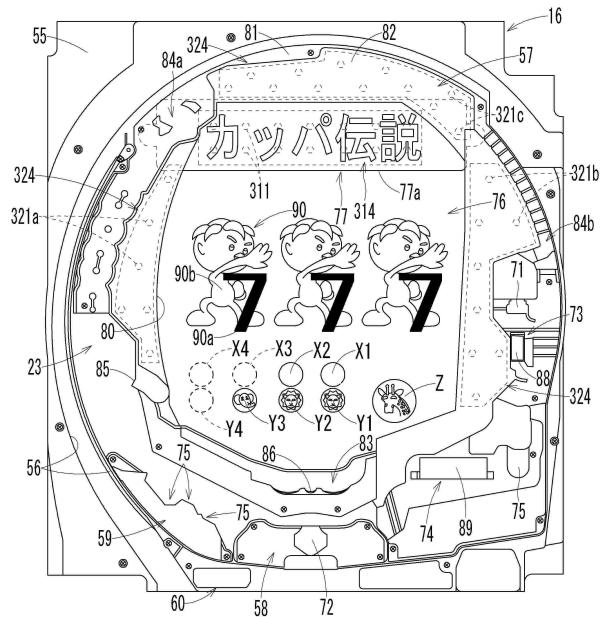
【 図 3 】



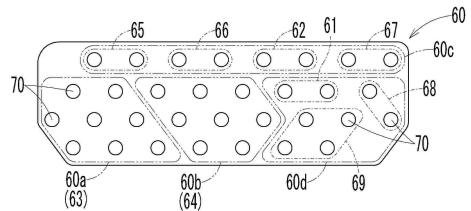
【図4】



【図 5】

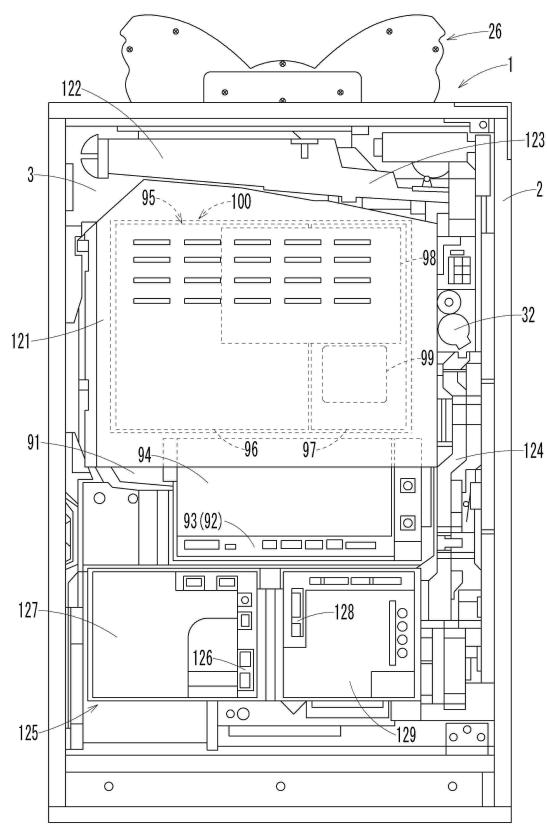


【図 6】

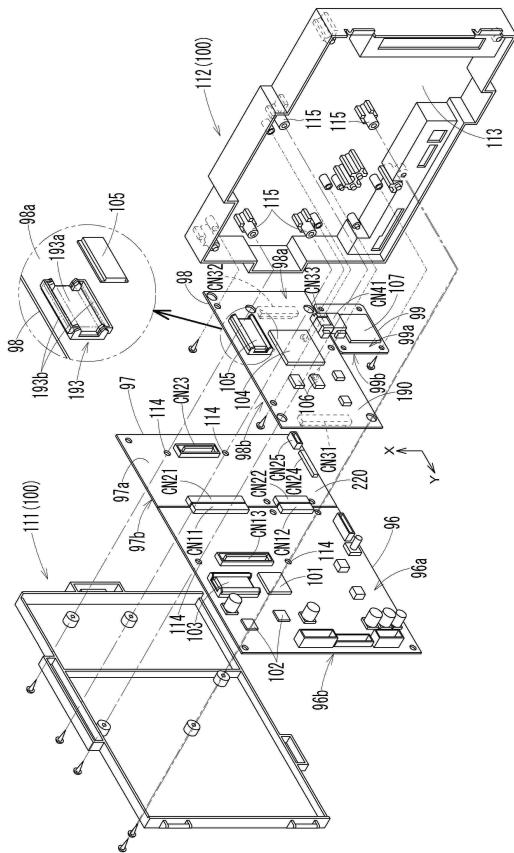


10

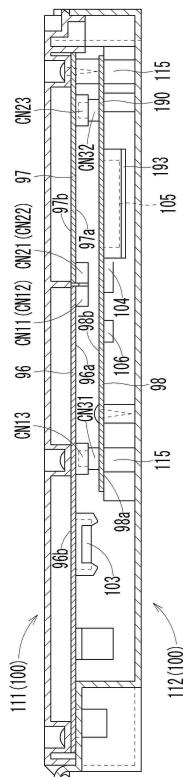
【図 7】



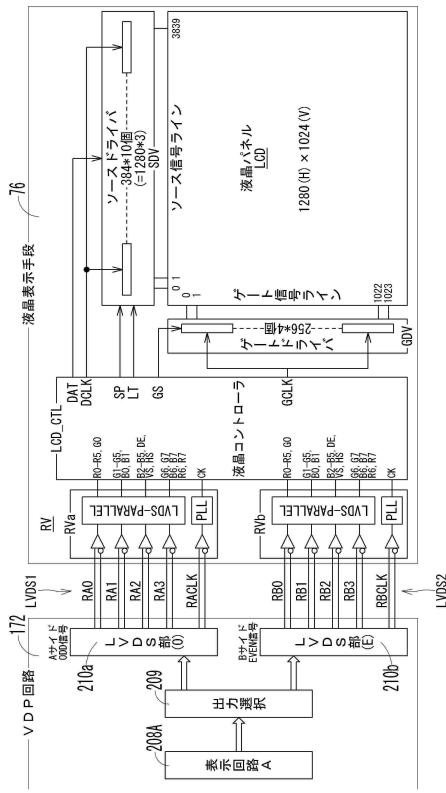
【図 8】



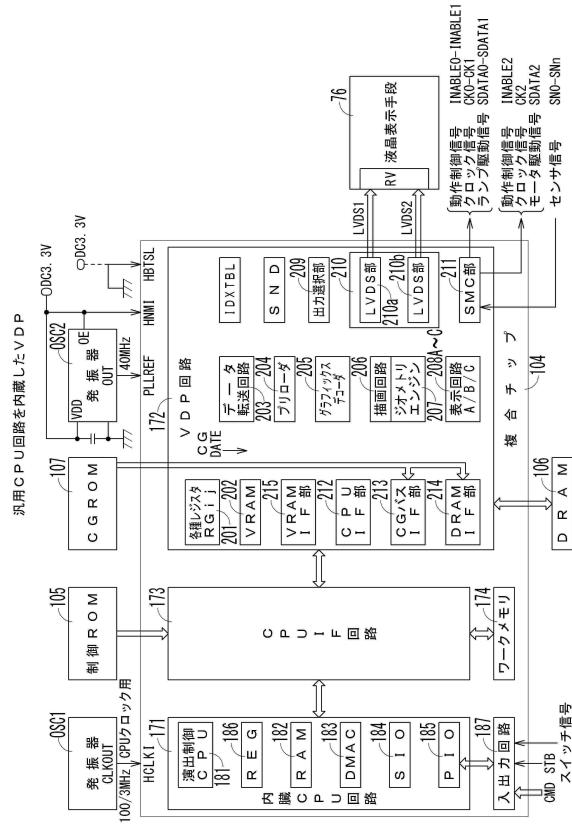
【図 9】



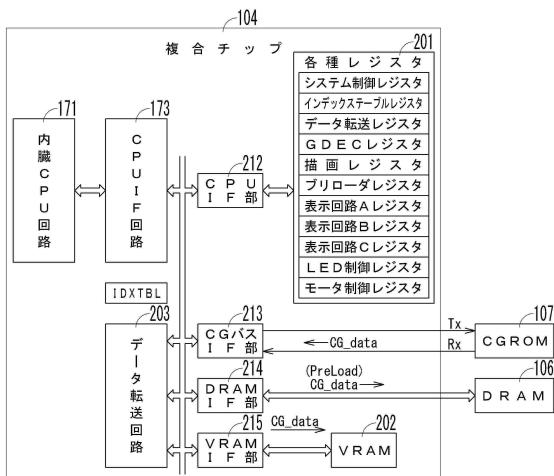
【図13】



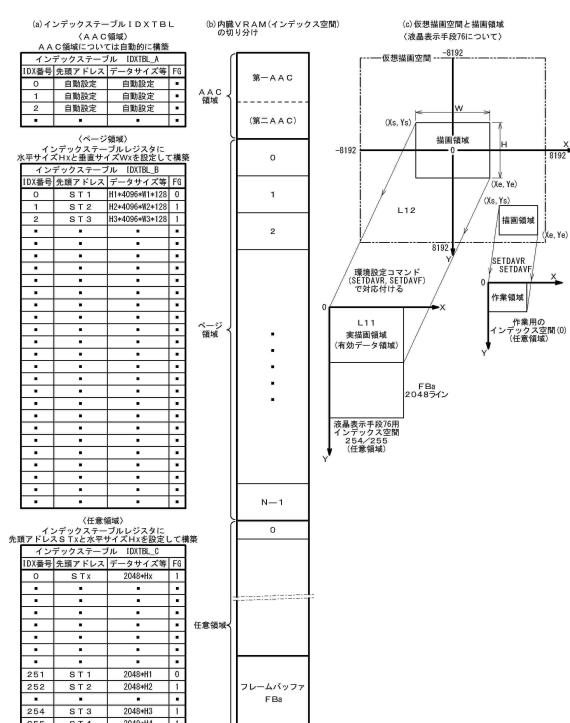
【図14】



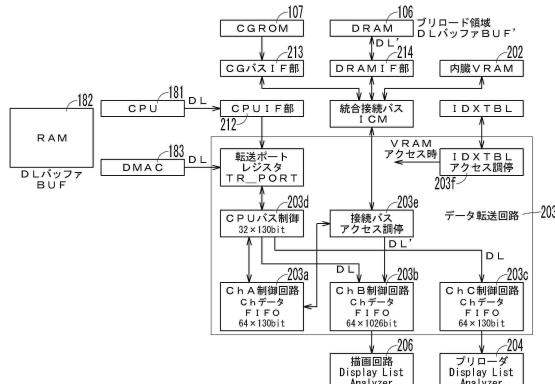
【図15】



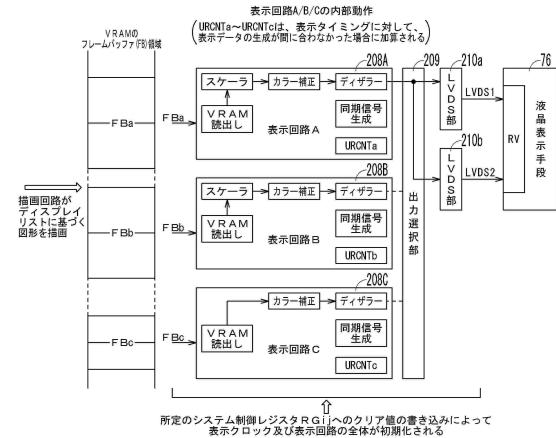
【図16】



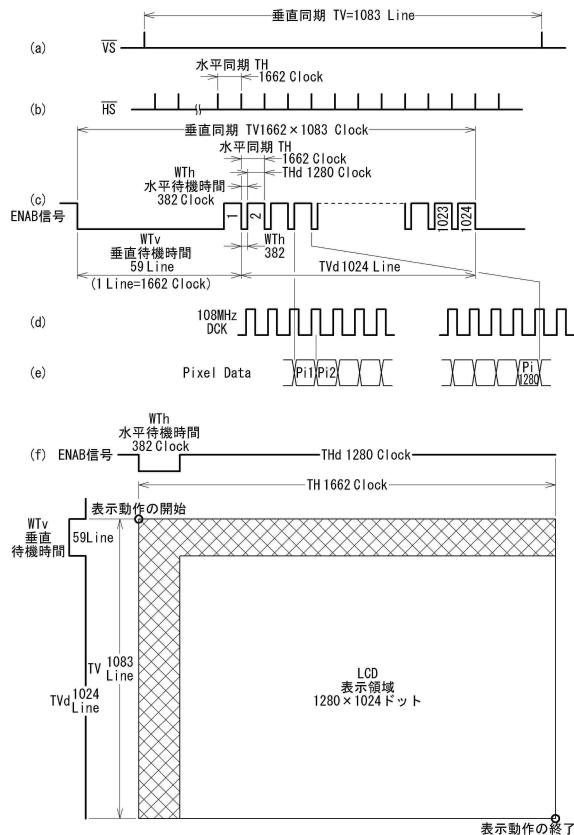
【図17】



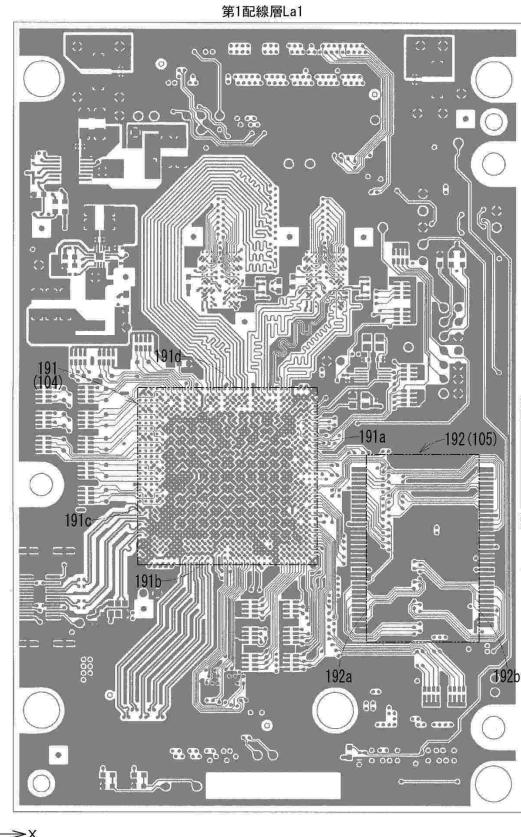
【 図 1 8 】



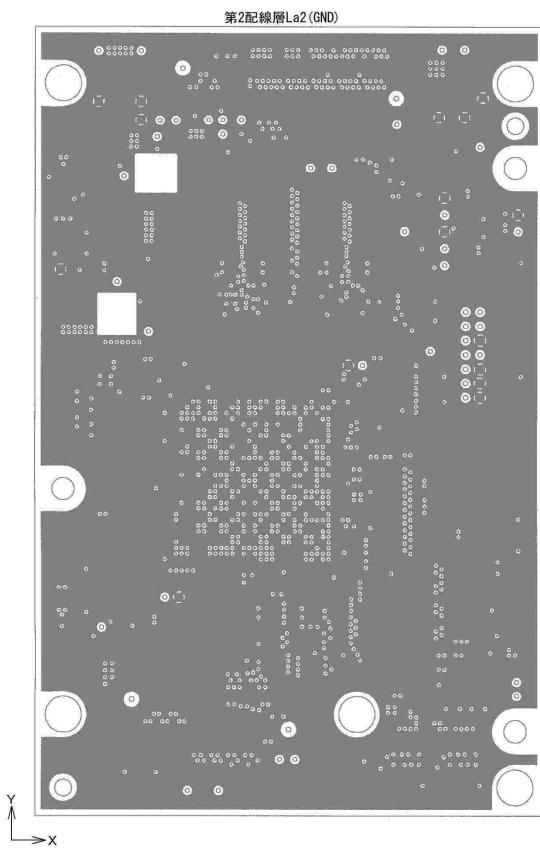
【図19】



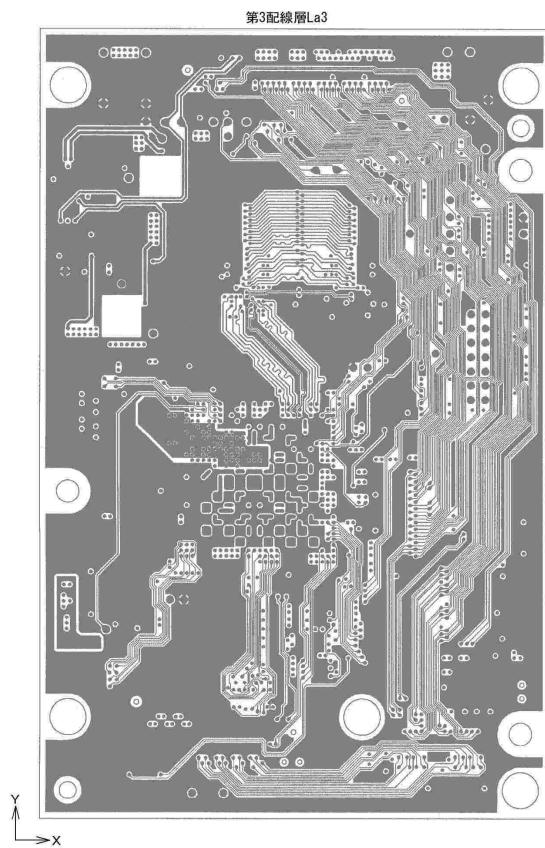
【図20】



【図 2 1】



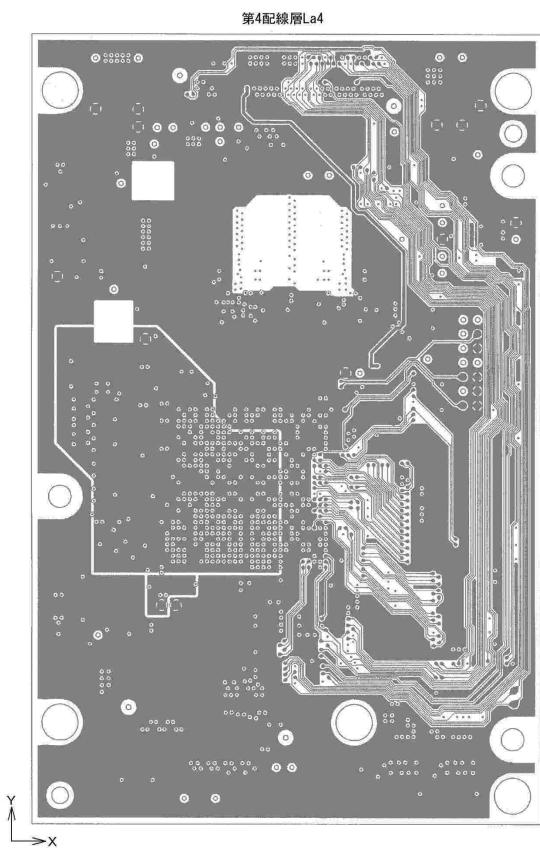
【図 2 2】



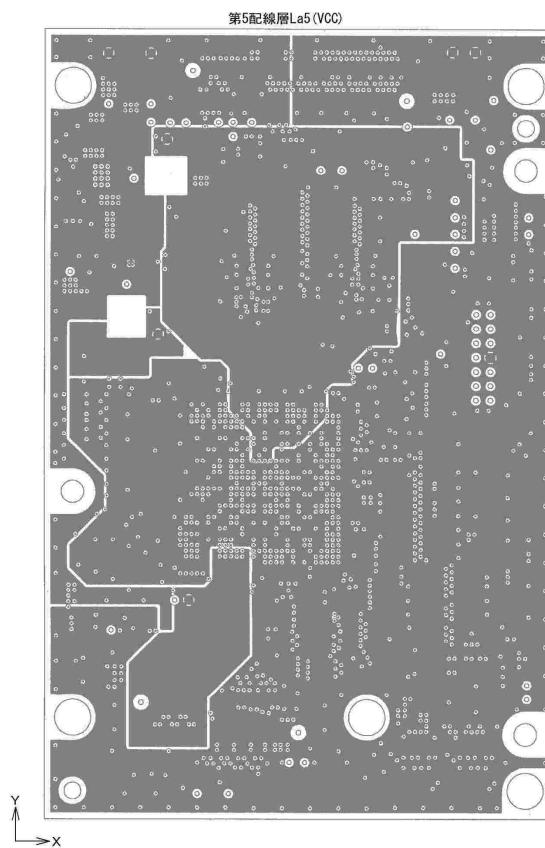
10

20

【図 2 3】



【図 2 4】

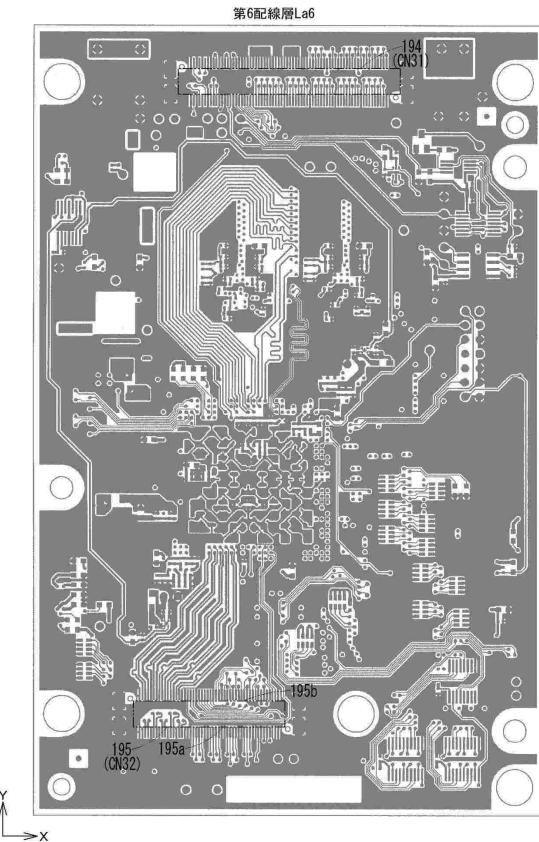


30

40

50

【図 2 5】



【図 2 6】

(a) 複合チップ104の端子情報(第1縁部192a側)

2		GND	GND	
3		GND	PLLMD2	HCLKMD
4		PLLMD0	PLLMD1	DREFCLK1
5		HASEMDN	DCLKBI	HRESET
6		DCLKCI	TMS	SCLKI
7		GND	HWAIT	HCLKI
8		GND	HDREQ	HCLKMD
9		GND	HIRQ2	HDREQ
10		VDDIO	HWR2	HIRQ3
11		VDDIO	HAD19	HWRQ
12		GND	HAD20	HWR1
13		GND	HAD15	HAD16
14		GND	HAD11	HAD12
15		VDDIO	HAD7	HAD13
16		VDDIO	HAD2	HAD14
17		GND	HAD3	HAD5
18		GND	HAD4	HAD6
19		GND	HAD1	HAUDATA3
20		GND	HAUDATA2	HAUDATA1
21		GND	HAUDATA0	HAUDCK
22		VDDIO	HUBCTRG	HAUSYNC
23		VDDIO	HAD25	HASEBRK/AK
24		GND	HAD24	HAD23
25		GND	HAD22	HAD21
26		GND	HDT15	HDT14
		GND	HDT11	HDT13
		VDDIO	HDT10	HDT12
		GND	HDT6	HDT5
		GND	HDT3	HDT4
		HRXDO	HRXD1	HRXD2
			HTXD1	HTXD2
			HTXD3	HTXD4
			HSCK2	HSCK3

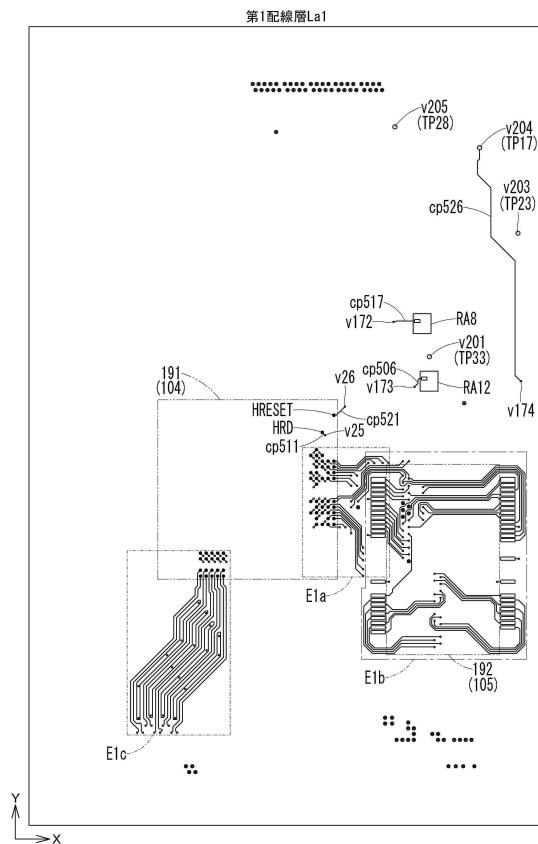
(b) 複合チップ104の端子情報(第2縁部192b側)

GND	RB3+	RBCLK+	RB2+	RB1+	RBO+	GND
GND	RB3-	RBCLK-	RB2-	RB1-	RBO-	GND
GND	GND	GND	GND	GND	GND	GND
GND	RA3+	RACLK+	RA2+	RA1+	RAO+	GND
GND	RA3-	RACLK-	RA2-	RA1-	RAO-	GND

【図 2 7】

制御ROM105の端子情報	
A20	1
A21	2
A18	3
A17	4
OE#	5
A6	6
A5	7
A4	8
A3	9
A2	10
A1	11
A0	12
BYTE#	13
GND	14
NC	15
NC	16
NC	17
NC	18
NC	19
NC	20
GND	21
NC	22
CE#	23
GND	24
NC	25
A7	26
Q0	27
Q8	28
Q1	29
Q9	30
Q2	31
Q10	32
Q3	33
Q11	34
NC	35
	36
A19	70
A8	69
A15	68
A10	67
A11	66
A12	65
A13	64
A14	63
A9	62
A16	61
WE#	60
A24	59
A22	58
A23	57
GND	56
NC	55
NC	54
WP#/ACC	53
NC	52
NC	51
NC	50
GND	49
RESET#	48
GND	47
GND	46
Q15/A-1	45
Q7	44
Q14	43
Q6	42
Q13	41
Q5	40
Q12	39
Q4	38
VCC	37
VCC	36

【図 2 8】



10

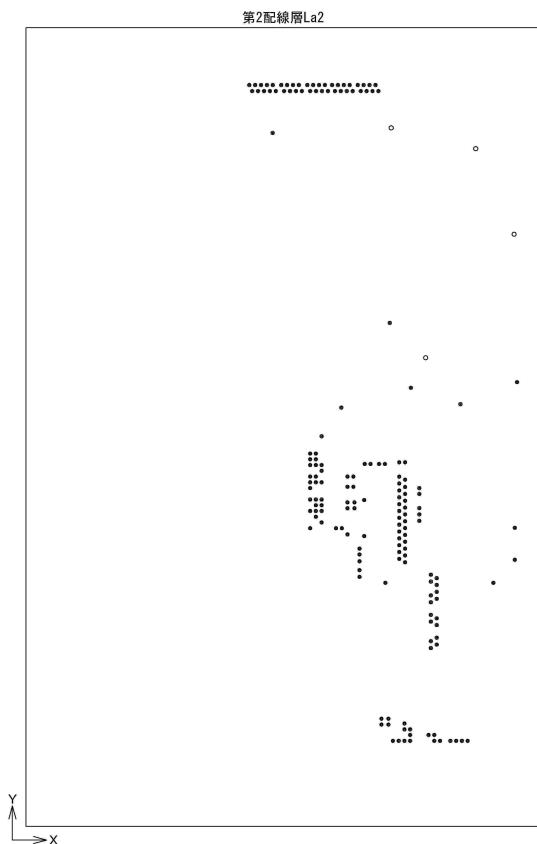
20

30

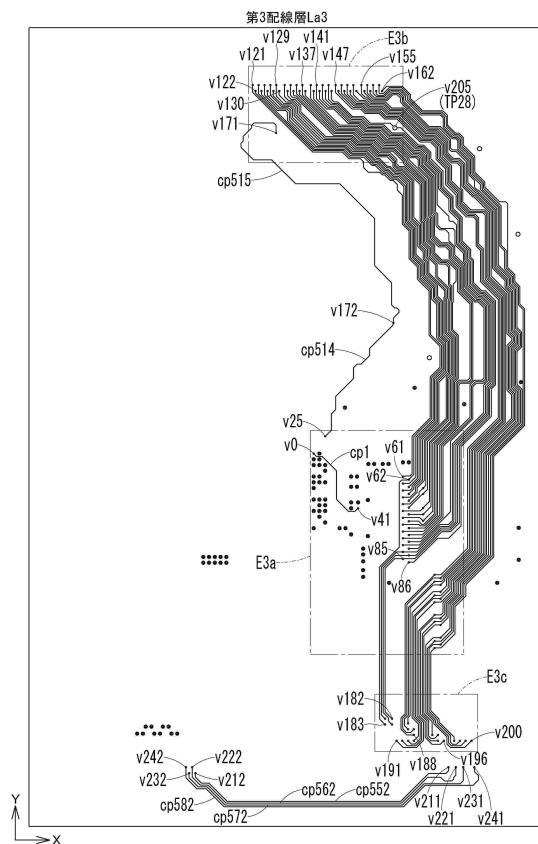
40

50

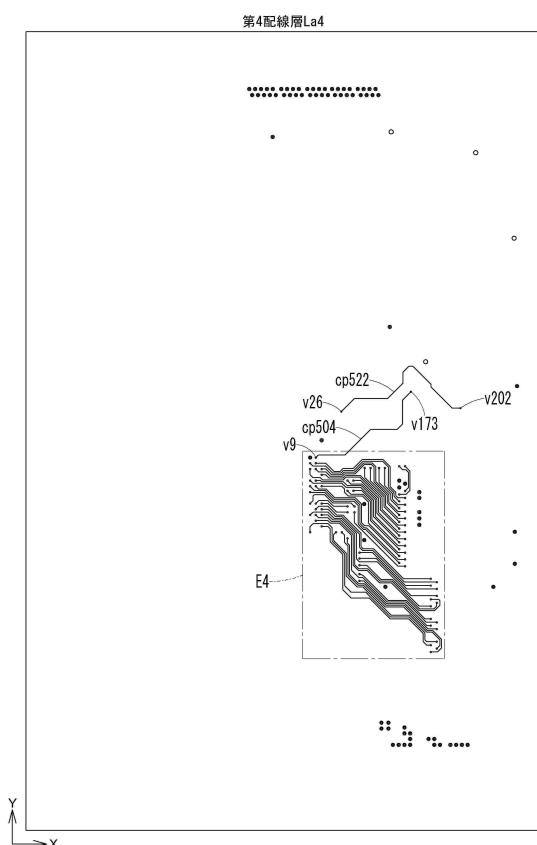
【図29】



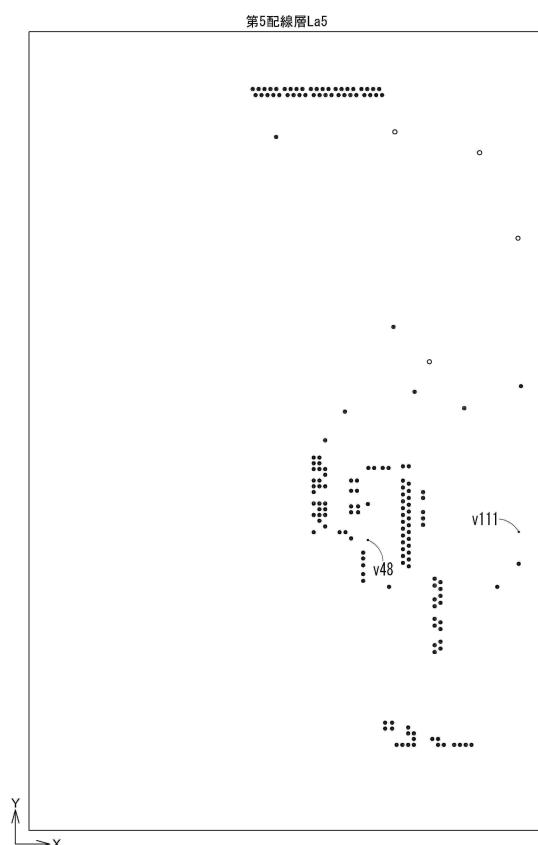
【図30】



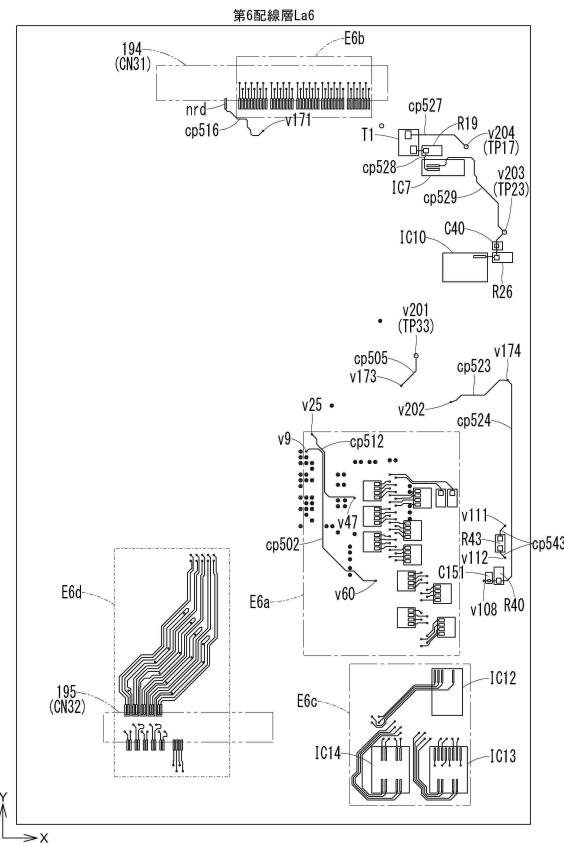
【図31】



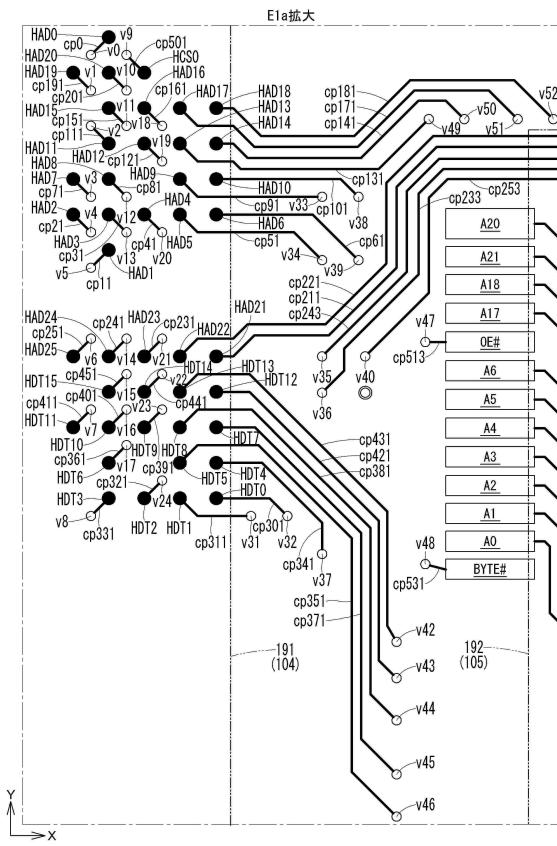
【図32】



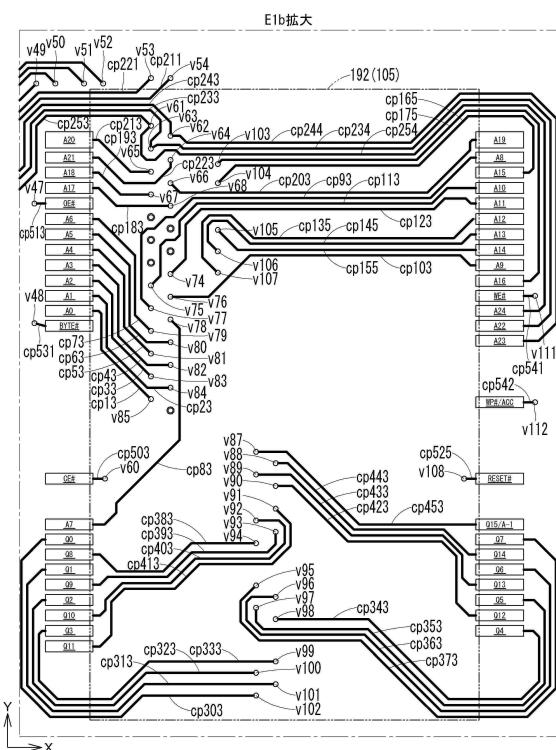
【図33】



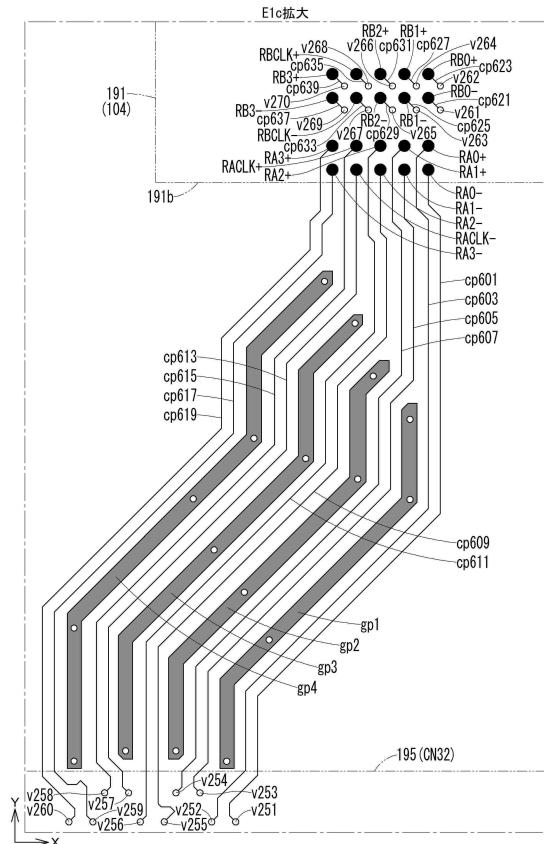
【図34】



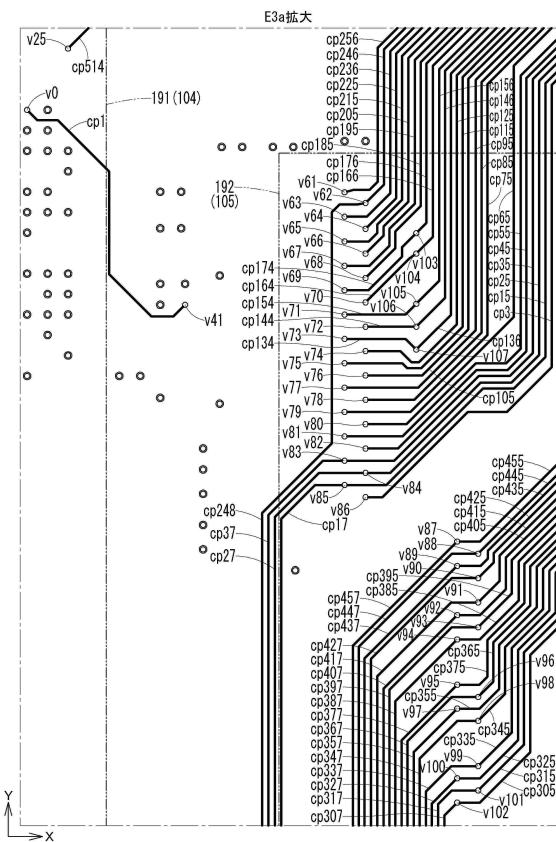
【図35】



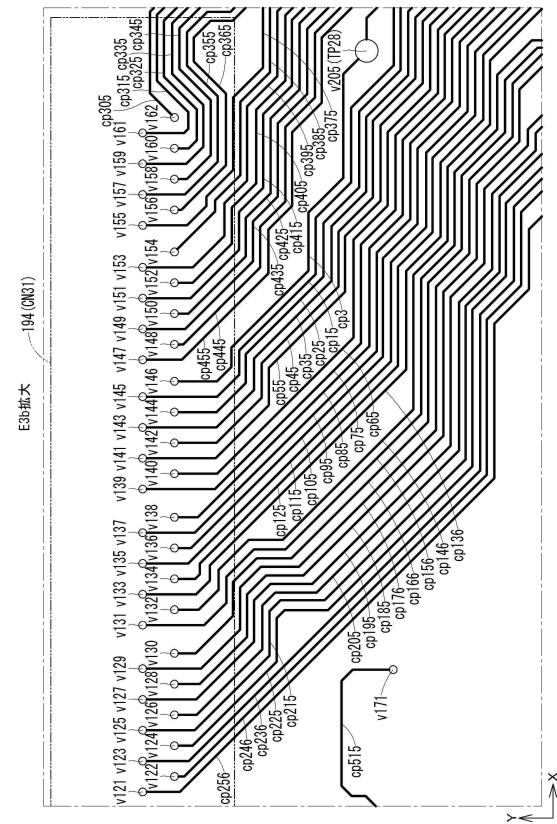
【図36】



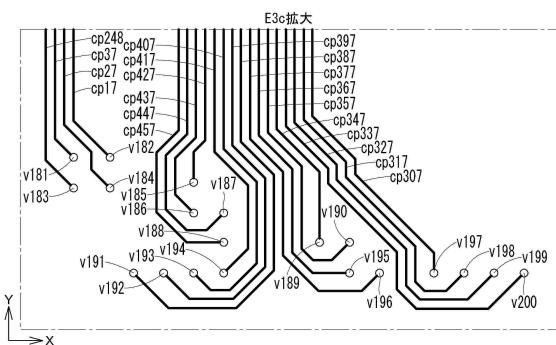
【図37】



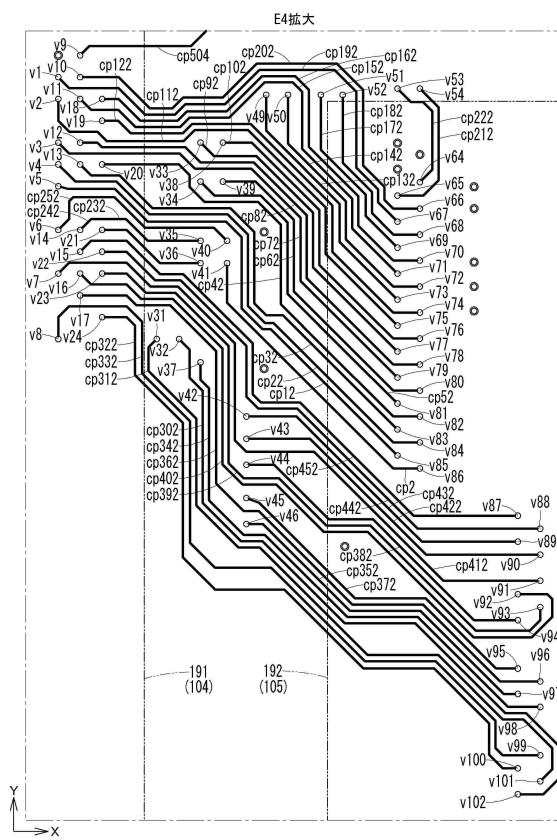
【図38】



【図39】



【図40】



10

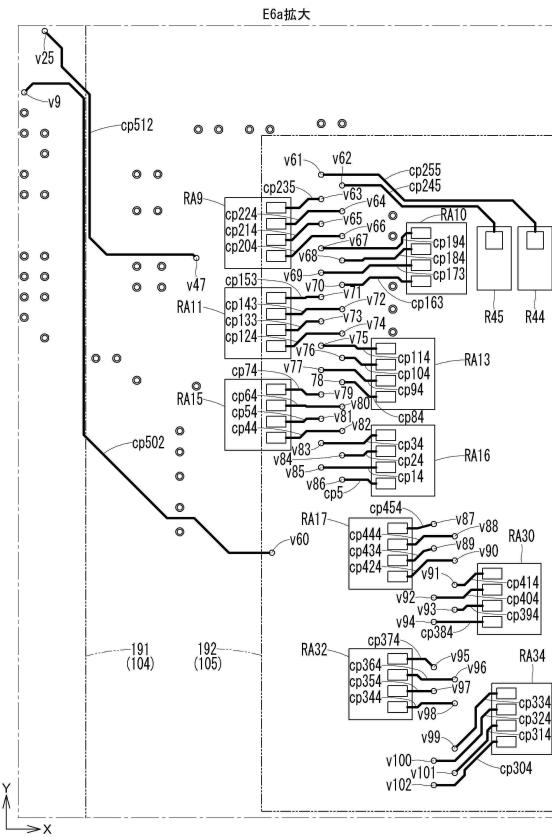
20

30

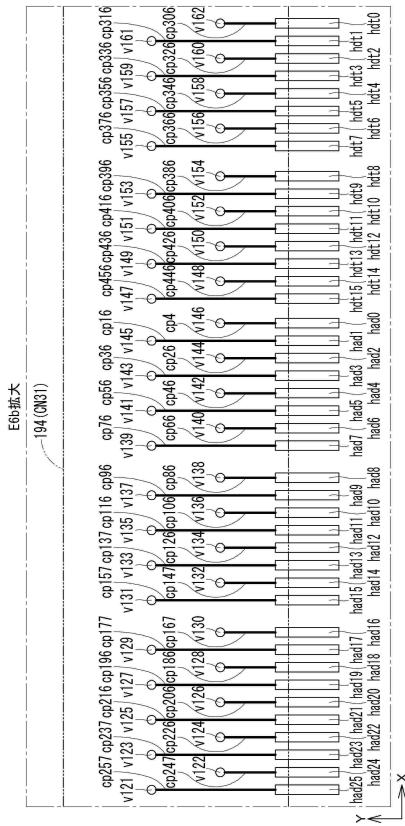
40

50

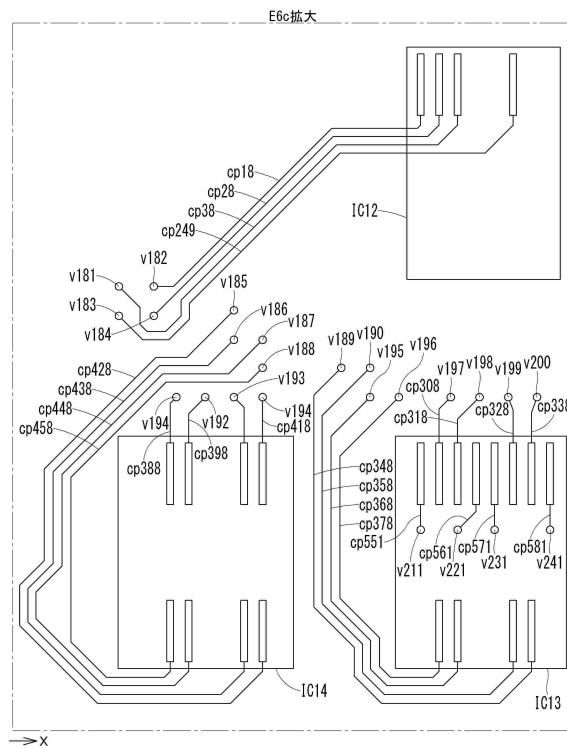
【図41】



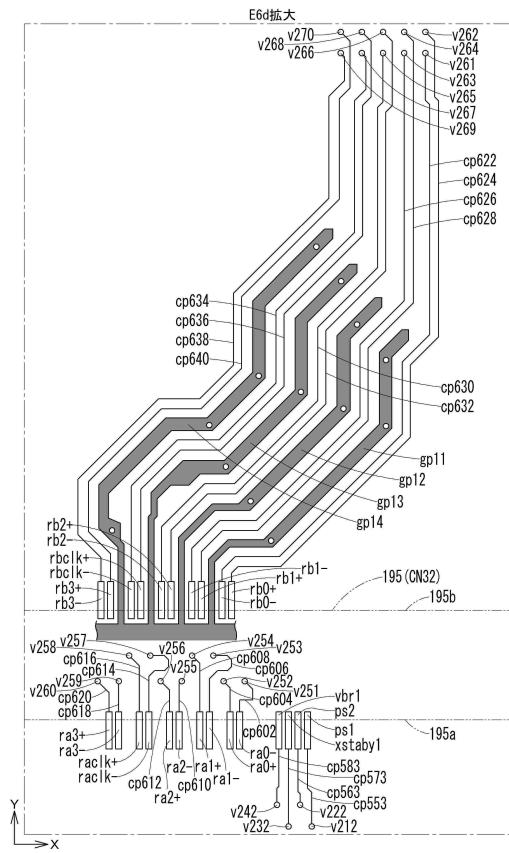
【図42】



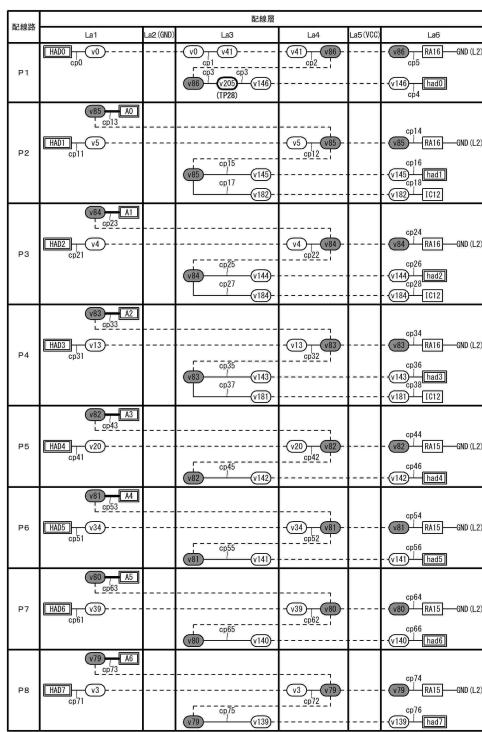
【図43】



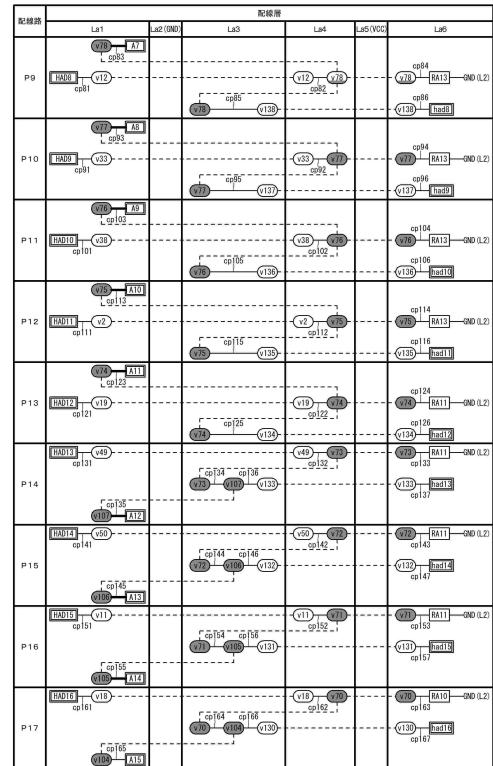
【図44】



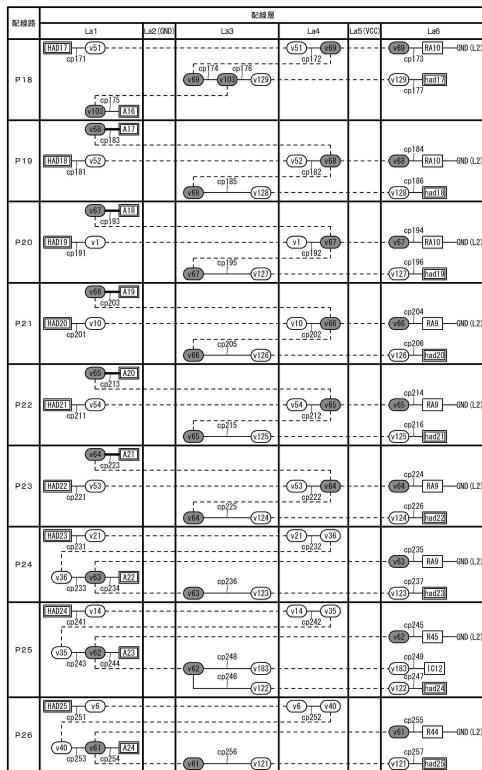
【図45】



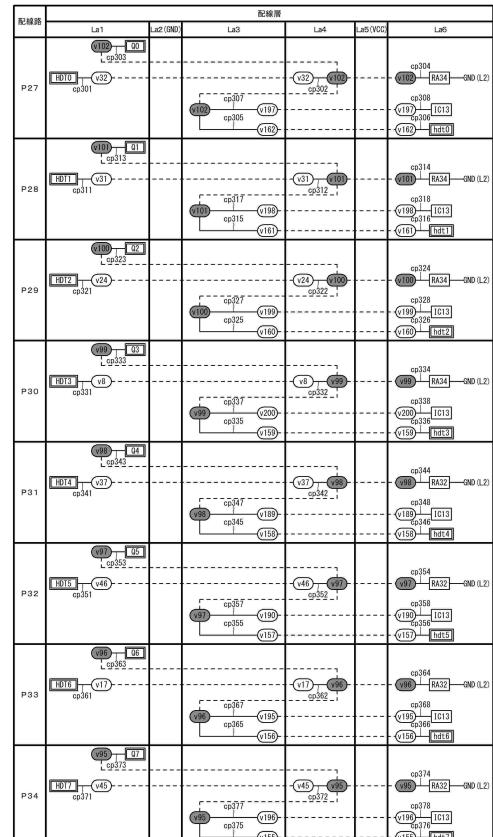
【図46】



【図47】



【図48】



10

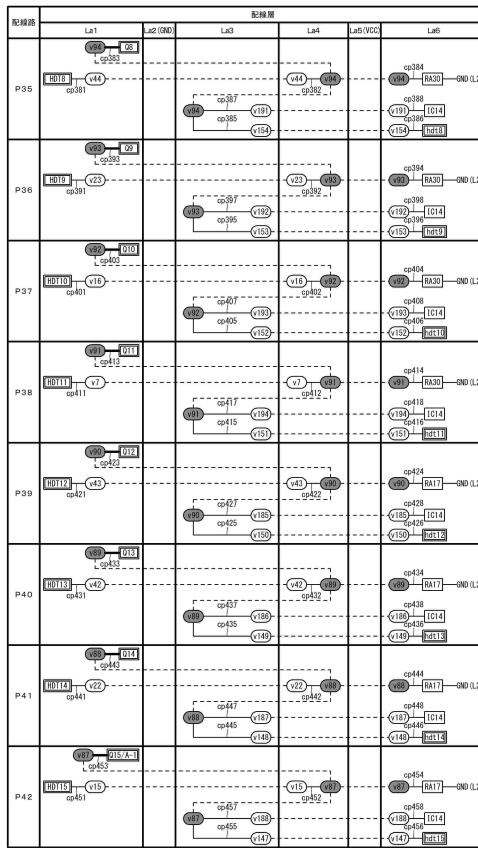
20

30

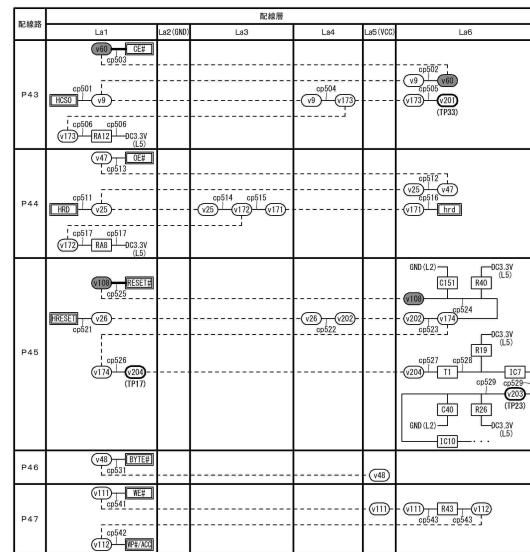
40

50

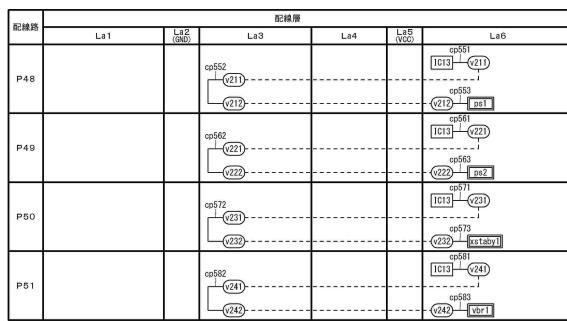
【図49】



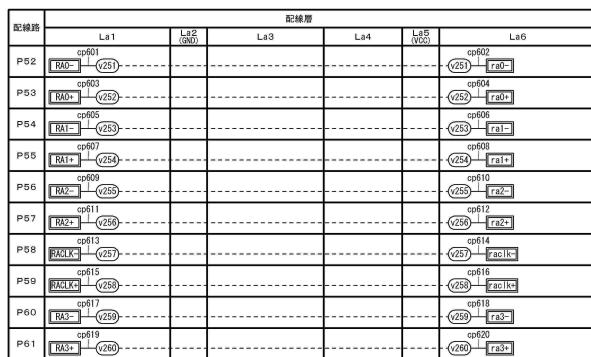
【図50】



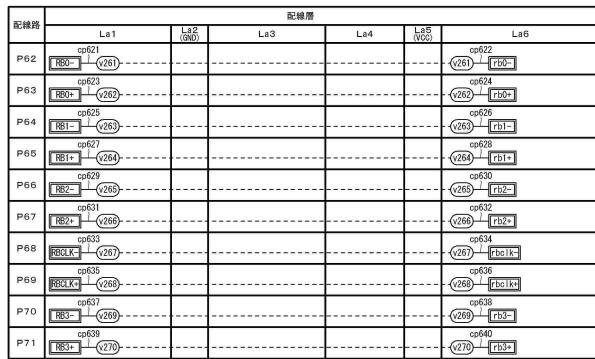
【図51】



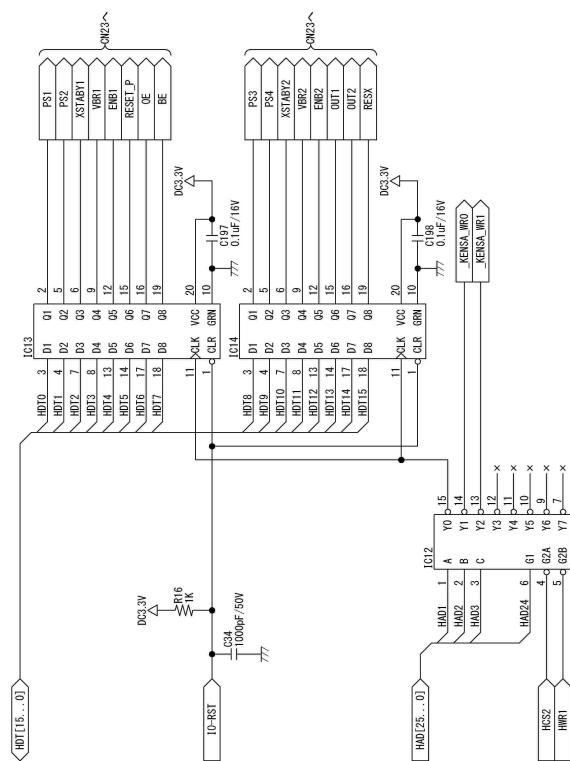
【図52】



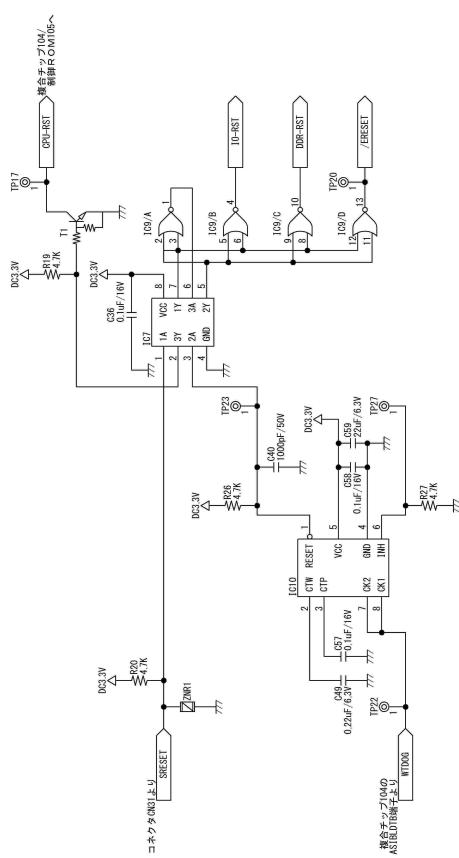
【図 5 3】



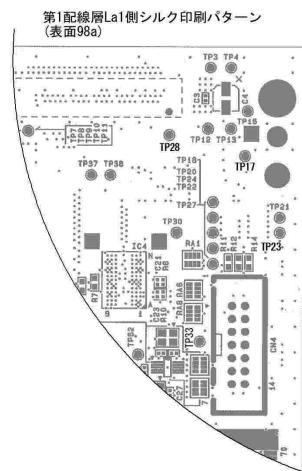
【図54】



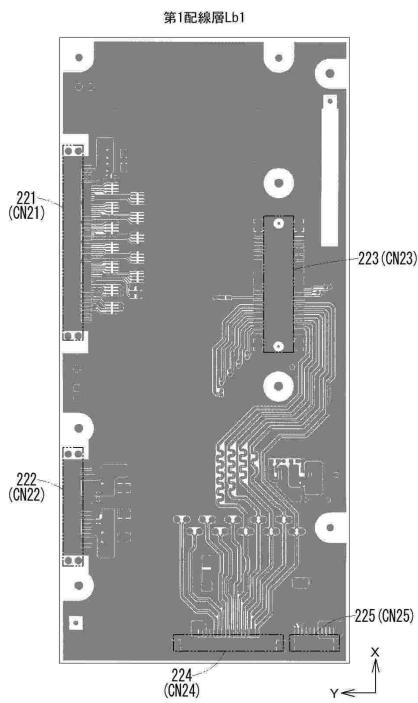
【図 5 5】



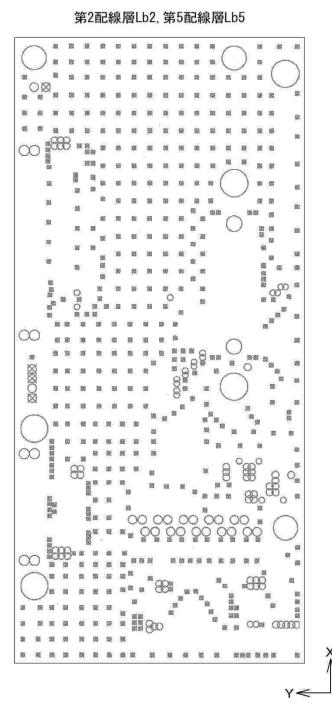
【図56】



【図 5 7】



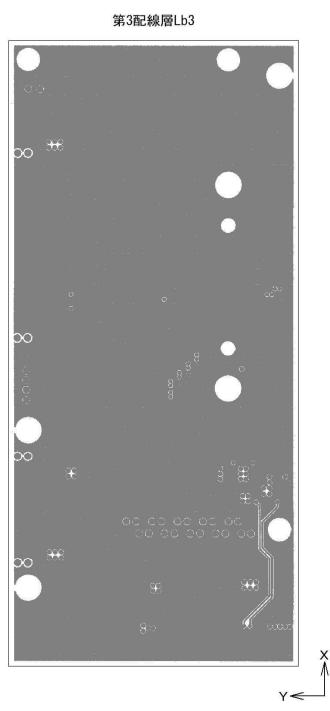
【図 5 8】



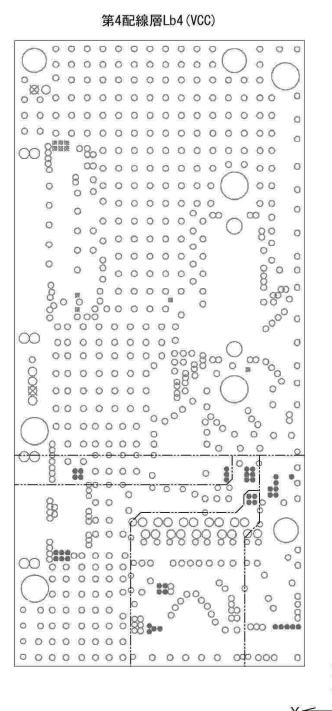
10

20

【図 5 9】



【図 6 0】

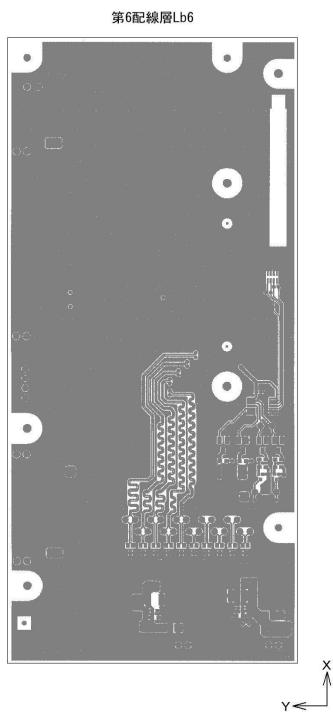


30

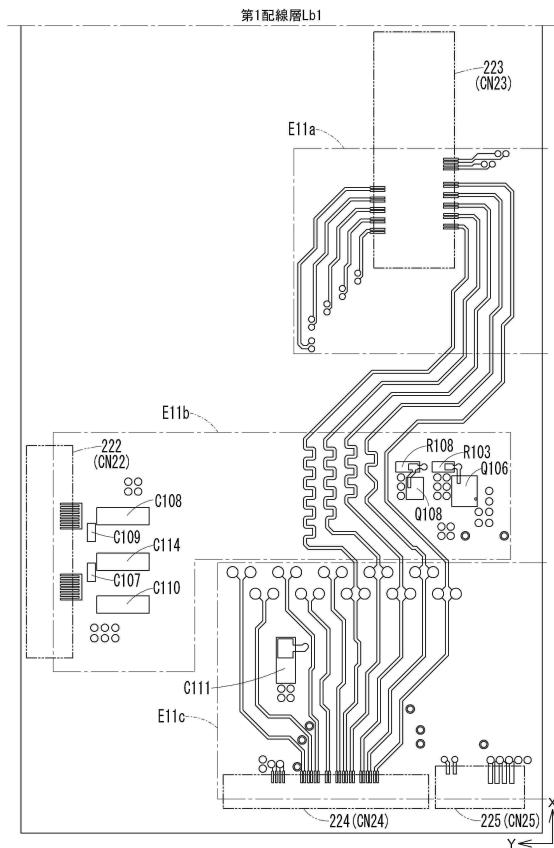
40

50

【図 6 1】



【図 6 2】



10

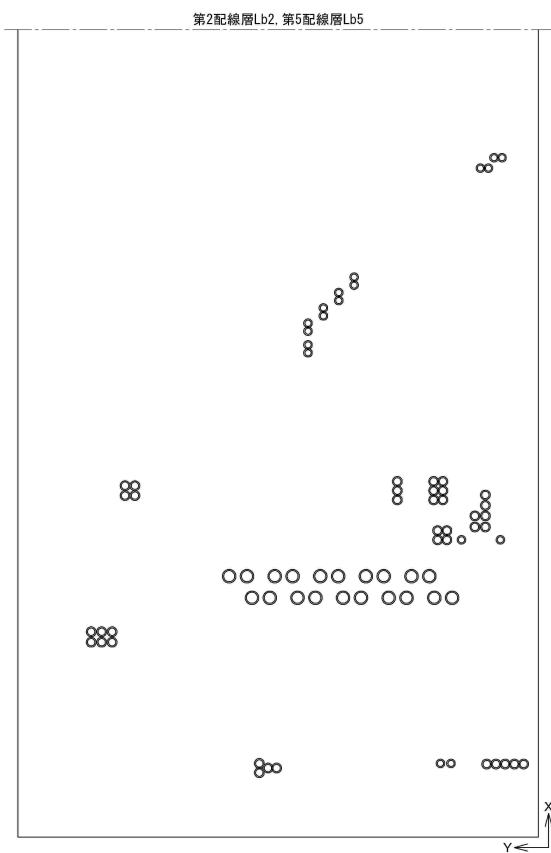
20

30

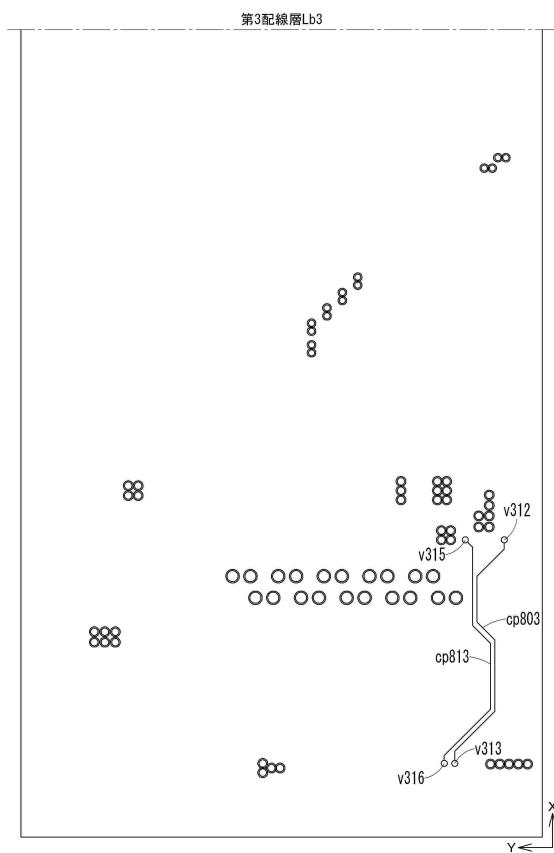
40

50

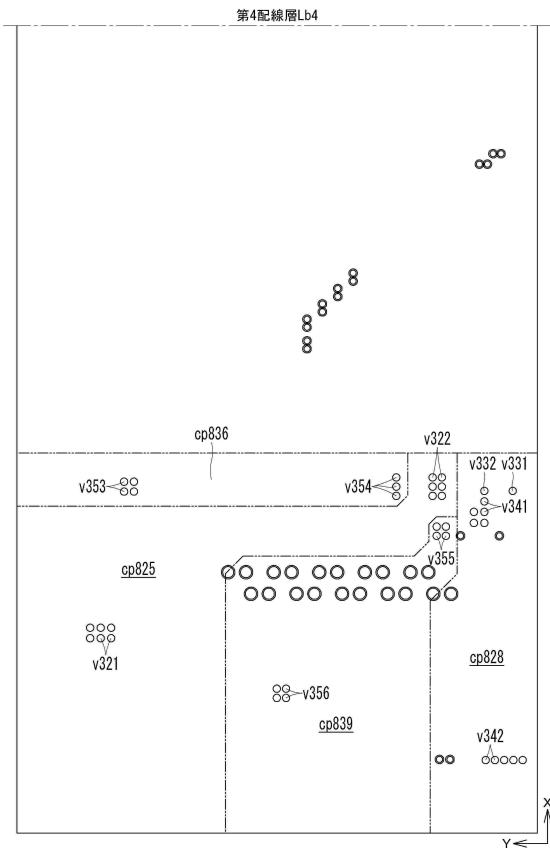
【図 6 3】



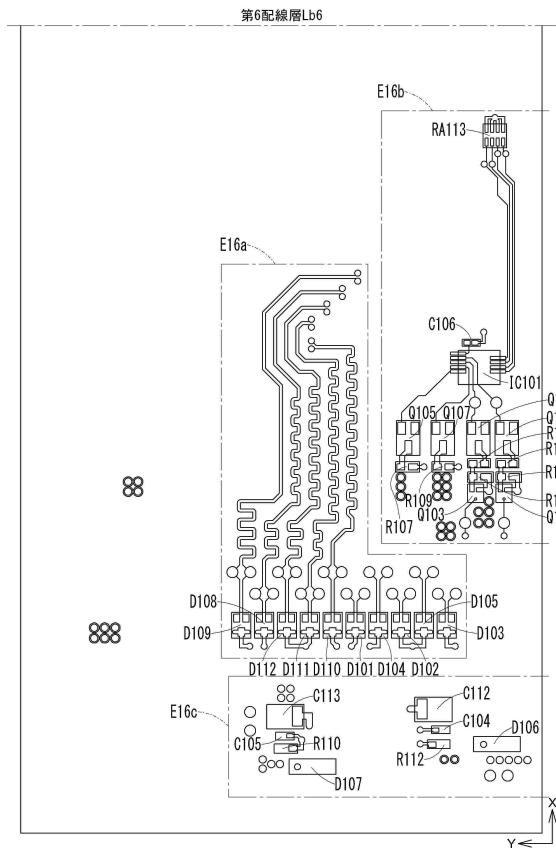
【図 6 4】



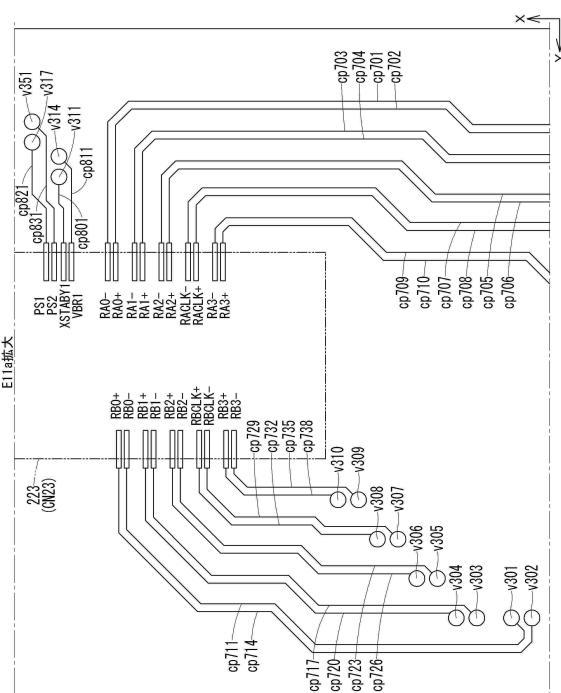
【図65】



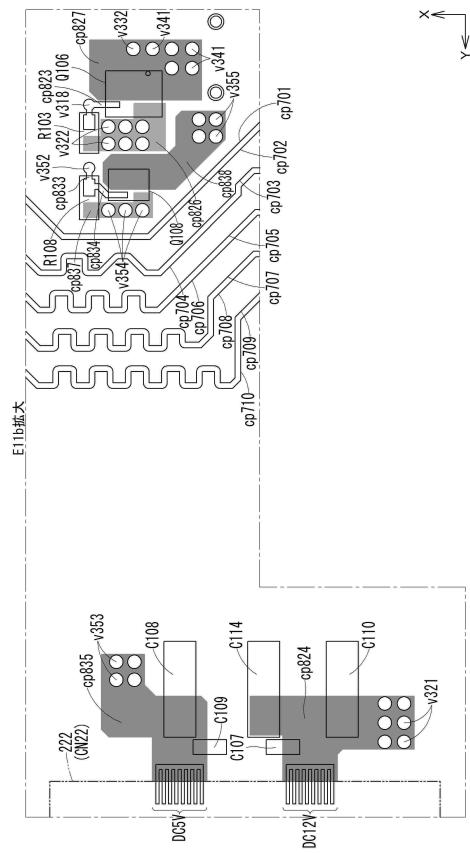
【図 6 6】



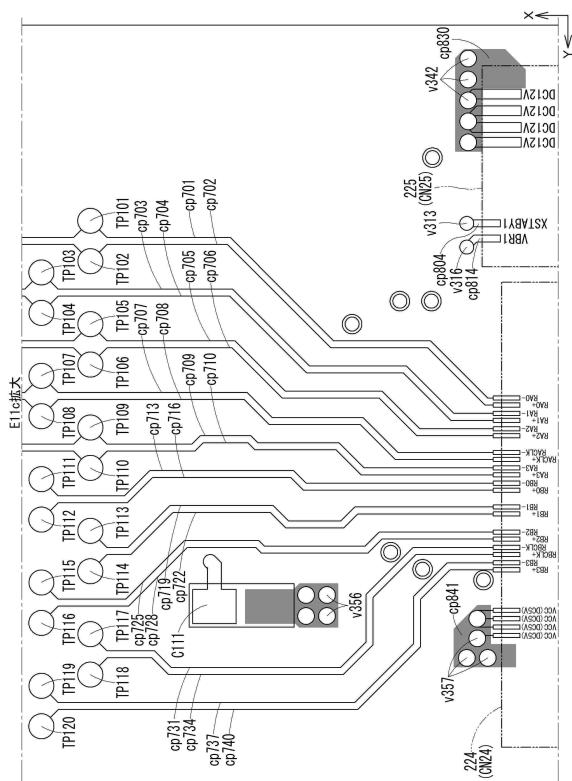
【図 6.7】



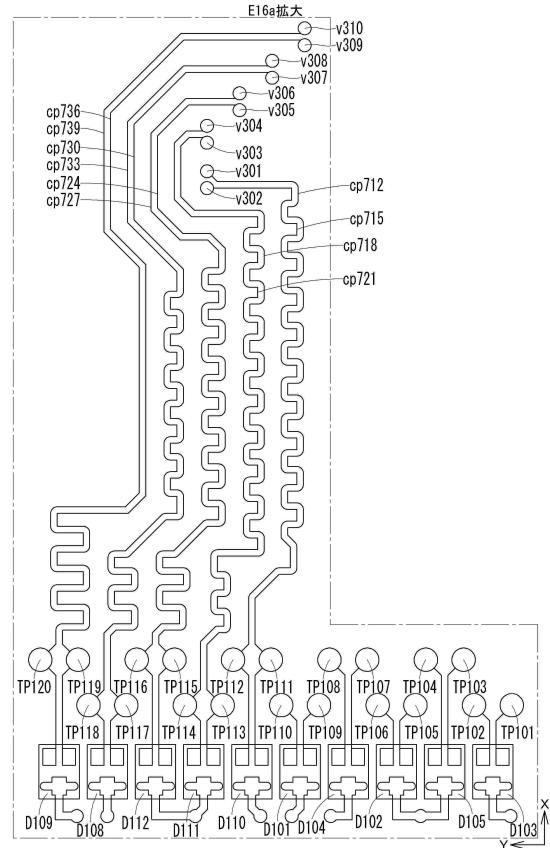
【図 6 8】



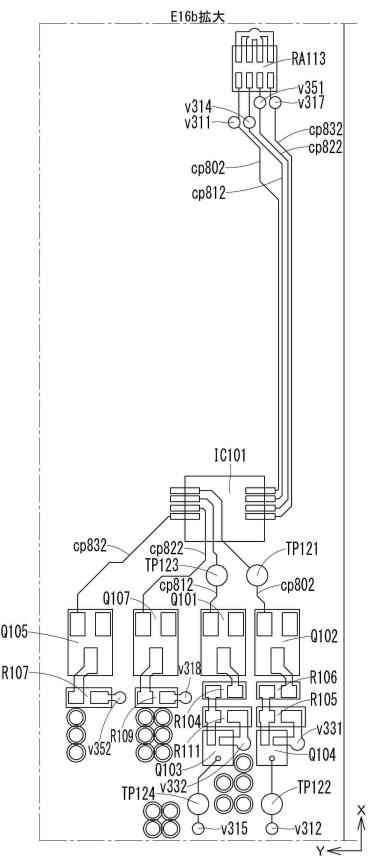
【図 6 9】



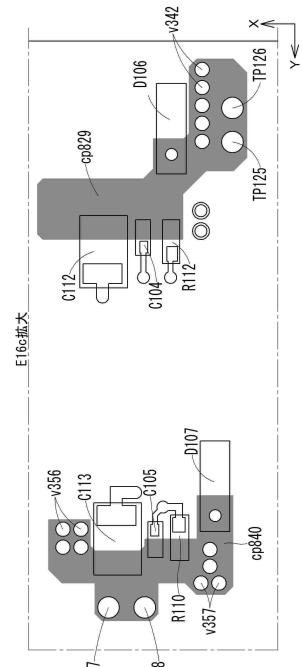
【図70】



【図 7-1】



【 図 7 2 】



10

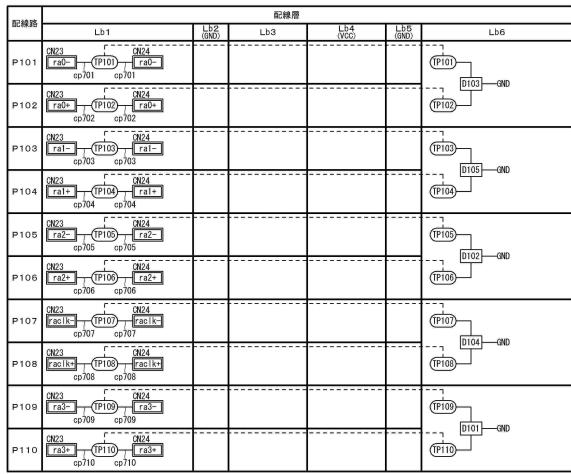
20

30

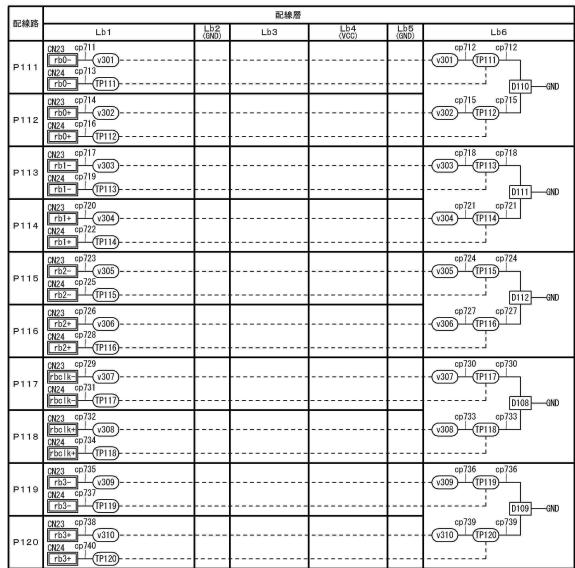
40

50

【図 7 3】



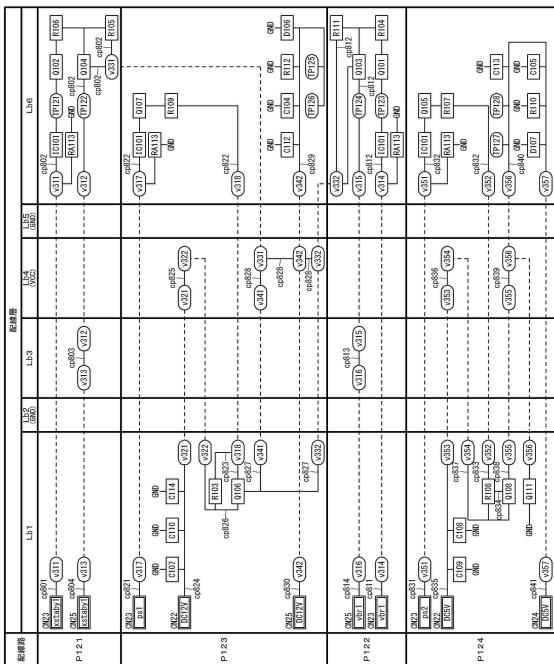
【図 7 4】



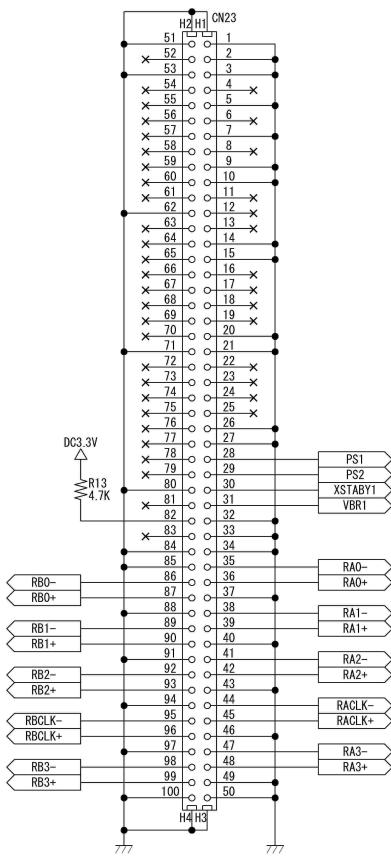
10

20

【図 7 5】



【図 7 6】

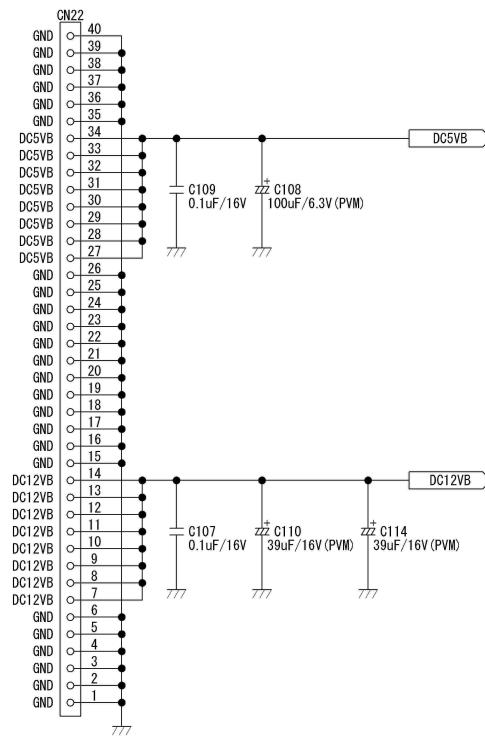


30

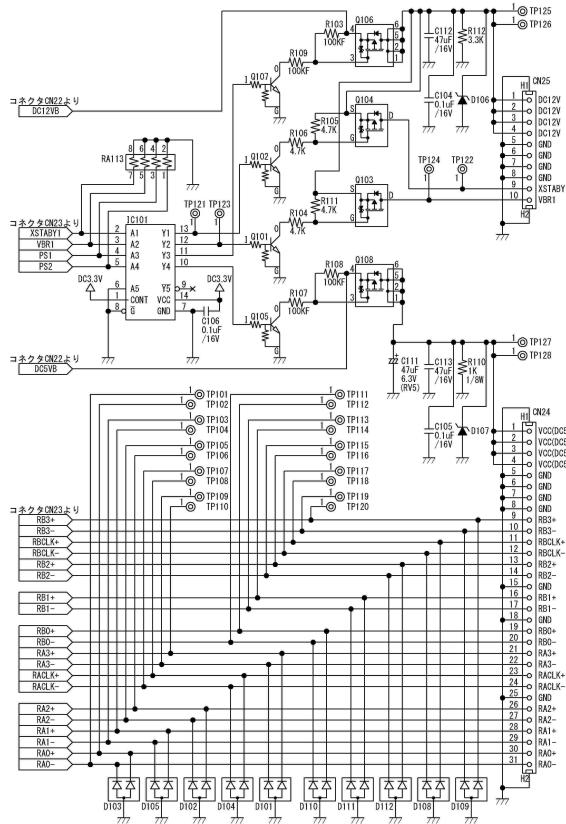
40

50

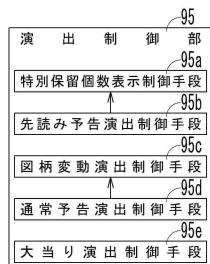
【図 7 7】



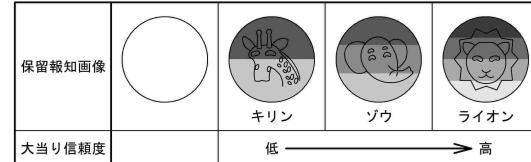
【図 7 8】



【図 7 9】



【図 8 0】



10

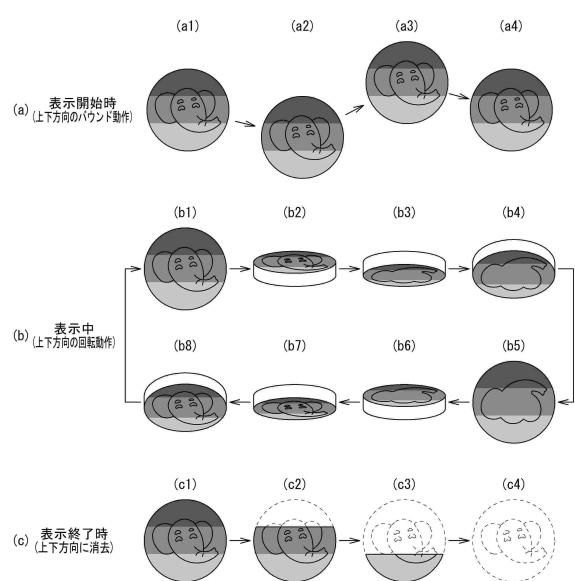
20

30

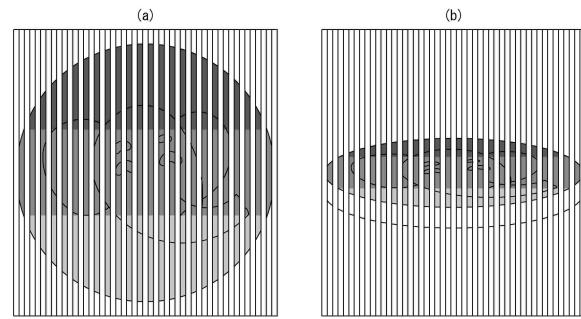
40

50

【図 8 1】

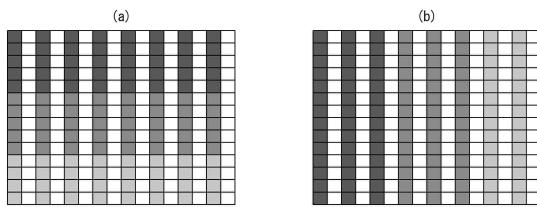


【図 8 2】

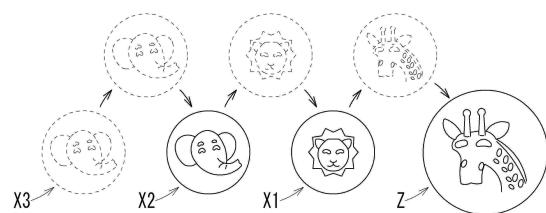


10

【図 8 3】



【図 8 4】

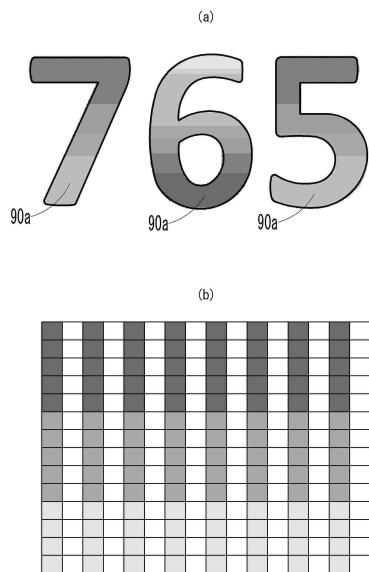


30

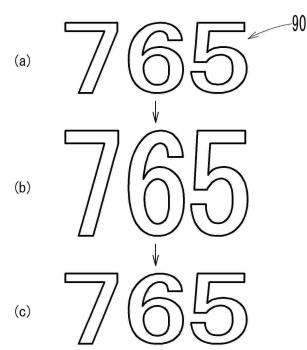
40

50

【図 8 5】



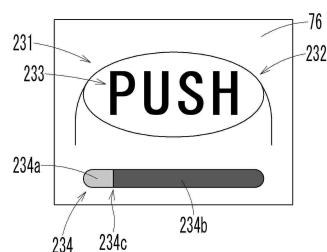
【図 8 6】



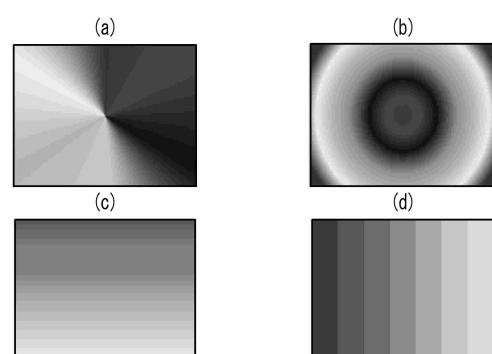
10

20

【図 8 7】



【図 8 8】

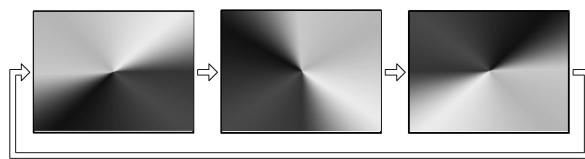


30

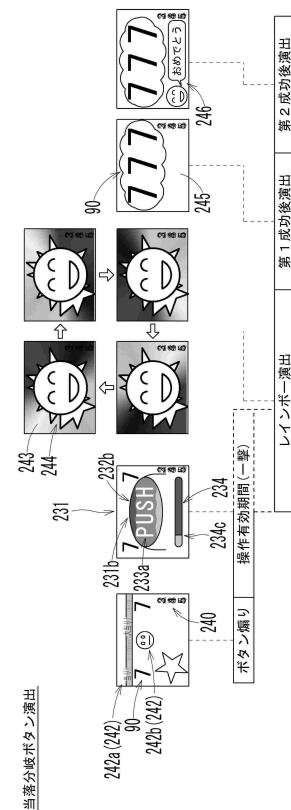
40

50

【図 8 9】



【図 9 0】



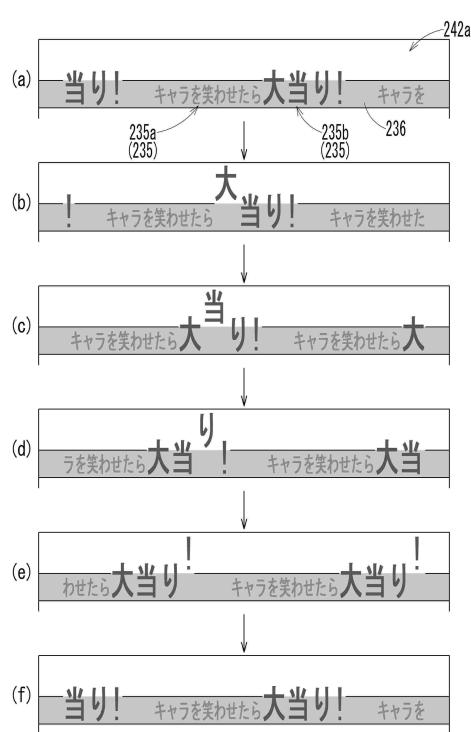
10

20

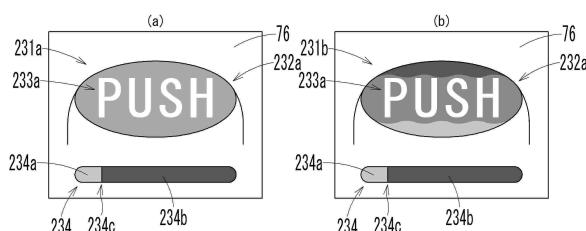
30

40

【図 9 1】

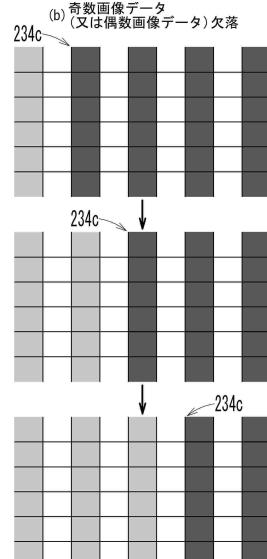
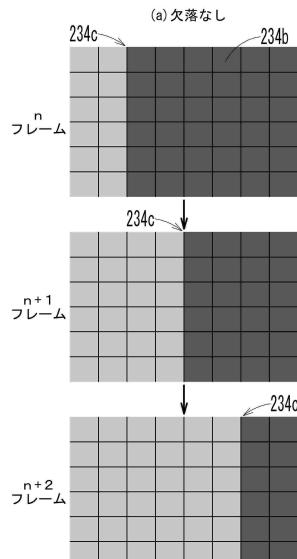


【図 9 2】

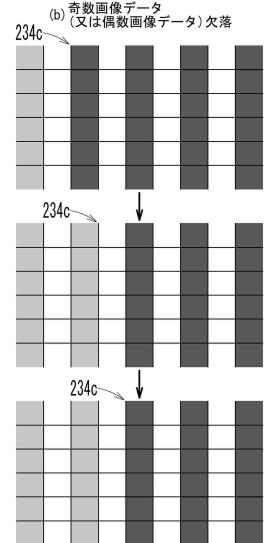
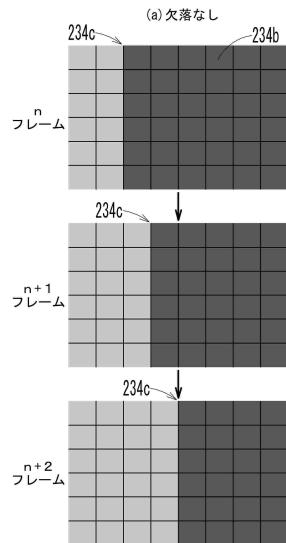


50

【図 9 3】



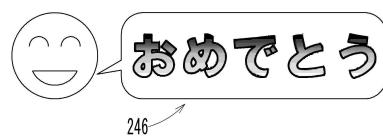
【図 9 4】



10

20

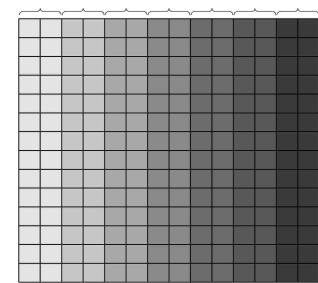
【図 9 5】



【図 9 6】



(a)



30

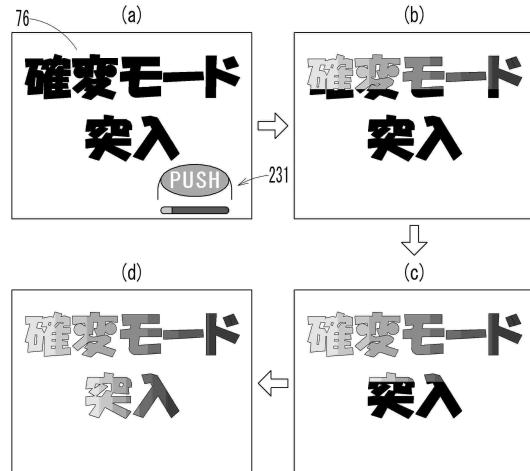
40

50

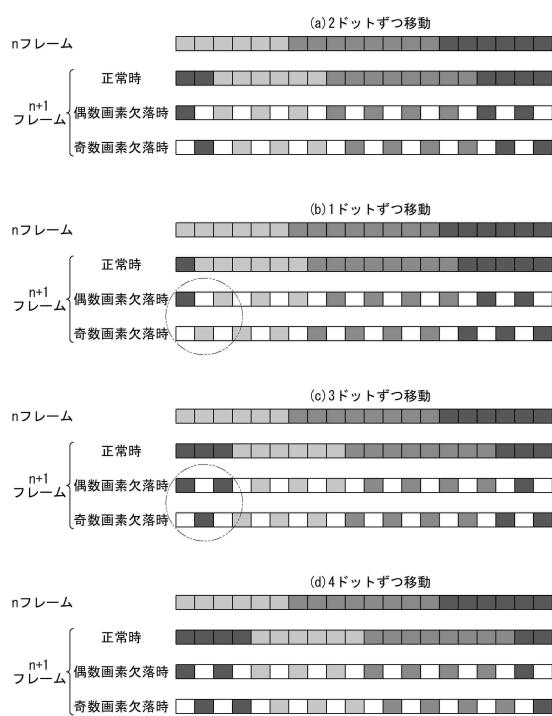
【図 9 7】

	「確変モード突入」の表示色				
	黒色	青色	黄色	赤色	虹色
設定 1	100/100	0/100	0/100	0/100	0/100
設定 2	90/100	10/100	0/100	0/100	0/100
設定 3	80/100	20/100	0/100	0/100	0/100
設定 4	5/100	25/100	70/100	0/100	0/100
設定 5	1/100	5/100	24/100	70/100	0/100
設定 6	1/100	4/100	30/100	60/100	5/100

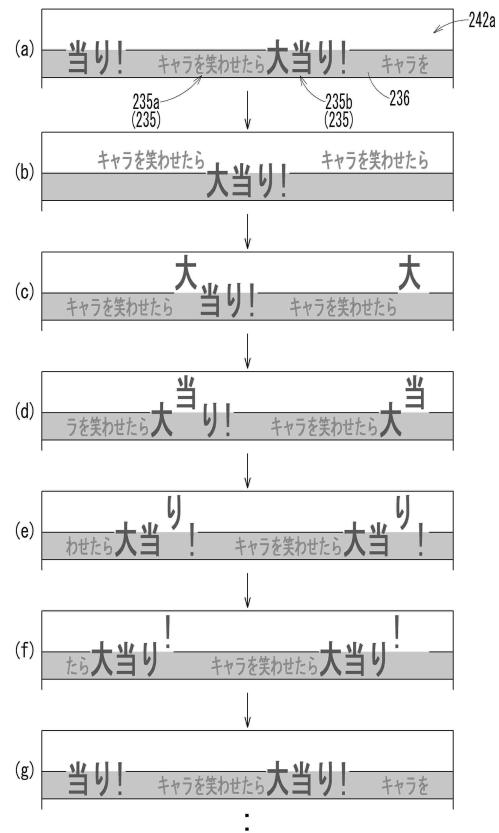
【図 9 8】



【図 9 9】



【図 1 0 0】



10

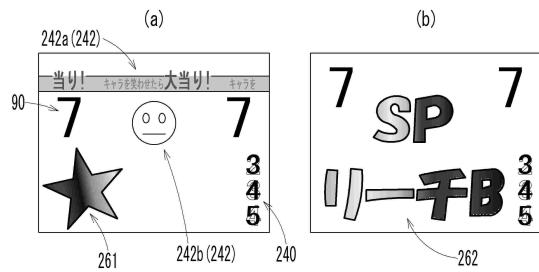
20

30

40

50

【図 1 0 1】



10

20

30

40

50

フロントページの続き

- (56)参考文献 特開2017-159007 (JP, A)
 特開2015-123130 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
 A 63 F 7 / 02