



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I806842 B

(45)公告日：中華民國 112 (2023) 年 07 月 01 日

(21)申請案號：106139470

(22)申請日：中華民國 106 (2017) 年 11 月 15 日

(51)Int. Cl. : **G11C11/409 (2006.01)**

(30)優先權：	2016/12/06	美國	62/430,762
	2017/09/19	美國	15/709,379
	2017/09/19	美國	15/709,382
	2017/09/19	美國	15/709,385

(71)申請人：美商積佳半導體股份有限公司 (美國) GSI TECHNOLOGY, INC. (US)
美國(72)發明人：舒 立倫 SHU, LEE-LEAN (US) ; 張 釗泓 CHANG, ANSEL (US) ; 艾克里柏
艾維丹 AKERIB, AVIDAN (IL)

(74)代理人：劉法正；尹重君

(56)參考文獻：

US	8117567B2	US	8526256B2
US	2004/0053510A1	WO	1992/009086A1

審查人員：徐瑞甫

申請專利範圍項數：14 項 圖式數：11 共 50 頁

(54)名稱

計算記憶體胞元及使用記憶體胞元之處理陣列裝置

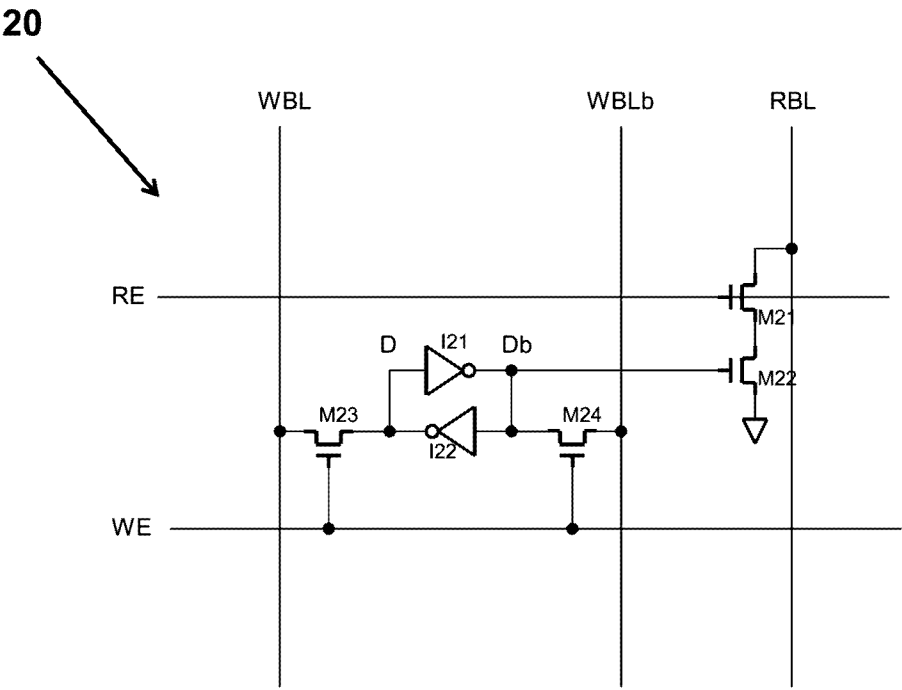
(57)摘要

可被使用來計算的一記憶體胞元以及使用該記憶體胞元的處理陣列，該處理陣列可進行包括一布林 AND、一布林 OR、一布林 NAND 或一布林 NOR 邏輯運算。記憶體胞元可具有一讀取埠，該讀取埠具有將儲存在該記憶體胞元中的該儲存胞元內的數據與該讀取位元線隔離的隔離電路。

A memory cell that may be used for computation and processing array using the memory cell are capable to performing a logic operation including a boolean AND, a boolean OR, a boolean NAND or a boolean NOR. The memory cell may have a read port that has isolation circuits that isolate the data stored in the storage cell of the memory cell from the read bit line.

指定代表圖：

符號簡單說明：
20:雙埠 SRAM 胞元



【圖2】



I806842

【發明摘要】**【中文發明名稱】**

計算記憶體胞元及使用記憶體胞元之處理陣列裝置

【英文發明名稱】

COMPUTATIONAL MEMORY CELL AND PROCESSING ARRAY DEVICE
USING MEMORY CELLS

【中文】

可被使用來計算的一記憶體胞元以及使用該記憶體胞元的處理陣列，該處理陣列可進行包括一布林AND、一布林OR、一布林NAND或一布林NOR邏輯運算。記憶體胞元可具有一讀取埠，該讀取埠具有將儲存在該記憶體胞元中的該儲存胞元內的數據與該讀取位元線隔離的隔離電路。

【英文】

A memory cell that may be used for computation and processing array using the memory cell are capable to performing a logic operation including a boolean AND, a boolean OR, a boolean NAND or a boolean NOR. The memory cell may have a read port that has isolation circuits that isolate the data stored in the storage cell of the memory cell from the read bit line.

【指定代表圖】 圖2

【代表圖之符號簡單說明】

20...雙埠SRAM胞元

【特徵化學式】

(無)

【發明說明書】

【中文發明名稱】

計算記憶體胞元及使用記憶體胞元之處理陣列裝置

【英文發明名稱】

5 Computational Memory Cell and Processing Array
Device Using Memory Cells

【技術領域】

10 【0001】本申請案基於35 USC §§119、364與365節主張下列優先權，2017年九月19日提申的美國非臨時專利申請案號No. 15/709,379，標題為「計算記憶體胞元與使用記憶體胞元的處理陣列裝置」、2017年九月19日提申的美國非臨時專利申請案號No. 15/709,382，標題為「計算記憶體胞元與使用記憶體胞元的處理陣列裝置」、以及2017年九月19日提申的美國非臨時專利申請案號
15 No. 15/709,385，標題為「計算記憶體胞元與使用記憶體胞元的處理陣列裝置」，其等全部接著基於35 USC §§119(e)與120被請求利益及優先權，2016年12月6日所提申之美國臨時專利申請案案號No. 62/430,762標題為「計算雙埠Sram胞元與使用該雙埠Sram胞元的處理陣列裝置」其整體在此被併入參考。
20

 【0002】本揭露大致關於可使用來計算的一記憶體胞元。

【先前技術】

 【0003】記憶體胞元陣列，諸如動態隨機存取記憶體

(**DRAM**) 胞元、非依電性記憶體胞元、非依電性儲存裝置或靜態隨機存取記憶體 (**SRAM**) 胞元或內容可定址記憶體 (**CAM**) 胞元為用在各種電腦或處理器式裝置以儲存數據的數位位元的習知機構。各種電腦與處理器式裝置可包括電腦系統、智慧型手機裝置、消費者電子產品、電視、互聯網交換器、路由器與類似者。記憶體胞元的陣列典型地被封裝在一積體電路內或可被封裝在亦具有一處理裝置在一積體電路內的該積體電路內。不同類型的典型記憶體胞元具有與各類型記憶體胞元不同的能力與特性。例如，**DRAM**胞元需要較長時間存取、除非定期刷新會遺失其數據內容，但由於各**DRAM**胞元的簡單結構在製造上相對便宜。另一方面，**SRAM**胞元具有較快的存取時間，除非電力被從該**SRAM**胞元移除否則不會遺失其數據內容，且由於各**SRAM**胞元較**DRAM**胞元更複雜所以相對較昂貴。**CAM**胞元具有一獨特功能為可以在胞元內輕易地定址且因為各**CAM**胞元需要較多電路來達到內容定址功能而製造上較昂貴。

【0004】可被使用來計算在數位、二進位數據上之計算的各種運算裝置為習知的。計算裝置可包括一微處理器、**CPU**、微控制器與類似者。此等計算裝置典型地在一積體電路上製造但亦可被製造在亦具有一些記憶體整合在一積體電路上的該積體電路上。在具有一計算裝置與記憶體的此等已知的積體電路內，該計算裝置進行數位二進位數據位元的計算，同時記憶體被使用來儲存各種數位

二進位數據，例如包括可由該計算裝置執行的指令與可在該計算裝置上操作的數據。

【0005】最近，裝置已經被引入使用記憶體陣列或儲存器胞元以進行計算操作。在一些此等裝置中，用於進行計算的一處理器陣列可由記憶體胞元形成。此等裝置可被稱為記憶體內計算裝置。

【0006】大數據運算為數據處理操作，其中必須處理大量的數據。機器學習使用人工智慧演算法來分析數據且典型地需要大量的數據來操作。大數據運算與機器學習典型地為非常計算密集應用，由於計算裝置與儲存數據的記憶體之間的頻寬瓶頸其通常會面對輸入/輸出問題。由於記憶體內計算裝置在記憶體內執行計算，因此消除了頻寬瓶頸，因此上述記憶體內計算設備可用於例如這些大數據操作和機器學習應用。

【0007】記憶體內計算裝置典型地使用可進行計算之已知的標準SRAM或DRAM或CAM記憶體胞元。例如，可被使用來計算的一標準6T SRAM胞元顯示在圖1中。標準6T SRAM胞元可具有連接至該胞元的一位元線（BL）與互補位元線（BLb）與字線（word line，WL）。胞元可包括兩個存取電晶體（M13、M14）且各存取電晶體具有分別與該等位元線（BL與BLb）耦接的一源極。各存取電晶體亦具有閘極且存取電晶體兩者的閘極係如圖1中顯示的連接至該字線（WL）。各存取電晶體的汲極可連接到一對反相器（I11、I12）其彼此交叉耦合。該交

叉耦合反相器靠近該位元線BL的一側可被標示為D且該交叉耦合反相器靠近互補位元線BLb的一側可被標示為Db。該交叉耦合反相器作為SRAM胞元的一儲存元件為習知已知者，且從SRAM胞元讀取數據或寫入數據至SRAM胞元也是習知已知者，現在將更詳細地描述。

【0008】當連接到相同位元線的兩個胞元被開啟，該位元線（BL）可進行儲存在該胞元中的兩位元數據的AND功能。在一讀取週期期間，BL與BLb兩者具有一靜態上拉電晶體，且若在兩胞元中的數據為邏輯高「1」，那麼BL維持在1。若在胞元中的數據中任意一者或兩者為邏輯低「0」，那麼BL被拉至較低層級且將會是邏輯0。藉由感測BL的層級，AND功能會使用2胞元來操作。類似地，若3胞元被開啟，該BL數值為儲存在該3胞元中之AND功能的結果。在寫入操作期間，多個字線（WL）可被開啟，因此多個胞元可同時被寫入。此外，該寫入可選擇性地被完成，或選擇性地寫入（Selective Write）代表若BL與BLb兩者在寫入週期期間被判定為高將不會進行寫入。

【0009】圖1中顯示的胞元具有其缺點。在一讀取週期，當多個胞元被開啟，若除了一胞元外的所有胞元儲存一低邏輯值「0」，那麼BL電壓層級為拉降電晶體為「0」與BL上拉電晶體的比例。若BL電壓層級過低，那麼將會導致儲存邏輯「1」的胞元翻轉為邏輯「0」。作為結果，似乎需要有強壯的BL上拉電晶體以允許更多胞元被開

啟。然而，若在讀取期間僅有 1 胞元包含「0」數據，一強壯 BL 上拉電晶體使得「0」訊號變小而致使難以感測數據。

【0010】在一寫入週期，圖 1 的胞元亦具有缺點。若資料會被寫入的多個胞元為活躍，用於寫入的 BL 驅動器需要足夠強壯來將顯示在圖 1 之各記憶體胞元的拴鎖裝置 I11 與 I12 的驅動器翻轉。更進一步地，越多 WL 再寫入週期被開啟，需要越強壯的寫入驅動器，但這是不可取的。

【0011】在一選擇性寫入中，圖 1 中的胞元亦具有缺點。更明確地，BL 上拉電晶體需要足夠強壯以對抗儲存在多個啟動胞元內的「0」。類似於以上的寫入胞元，若除了一胞元外的所有胞元為啟動且包含「0」，那麼包含「1」的胞元亦受到較低 BL 層級的不穩定性影響。

【0012】因此，需要具有可用於計算的但不會有圖 1 中所顯示之典型 6T SRAM 胞元缺點的 SRAM 胞元。

【發明內容】

【0013】於本揭示的一個態樣中，係特地提出一種記憶體計算胞元，其包含：

一記憶體胞元，其具有一儲存胞元、用於從該儲存胞元讀取數據的一讀取埠以及用於將數據寫入該儲存胞元的一寫入埠；

一隔離電路，其將代表儲存在該儲存胞元中的一段數據的一數據訊號與一讀取位元線隔離；

該讀取埠具有一讀取字線與該讀取位元線，該讀取字

線係與該隔離電路耦接且啟動該隔離電路，且該讀取位元字線係與該隔離電路耦接；

該寫入埠具有與該記憶體胞元耦接的一寫入字線、一寫入位元線以及互補寫入位元線；

5 其中，該記憶體胞元可以被耦接到在該讀取位元線上的另一記憶體胞元以進行運算操作；並且

其中，該讀取位元線能夠被使用來提供對該儲存胞元數據的讀取存取。

10 **【0014】** 於本揭示的一個態樣中，係特地提出一種記憶體計算胞元，其包含：

一儲存胞元；

至少一條讀取位元線；

一隔離電路，其將儲存胞元緩衝於在至少一讀取位元線上的訊號；

15 其中，當該記憶體胞元與該至少一讀取位元線連接時該記憶體胞元可藉由將連接至該至少一讀取位元線的該記憶體胞元開啟而與另一記憶體胞元進行一邏輯功能；並且

其中，該讀取位元線可以被使用來提供對該儲存胞元數據的讀取存取。

20 **【0015】** 於本揭示的一個態樣中，係特地提出一種處理陣列，其包含：

配置在一陣列中的複數個記憶體胞元，其中，各記憶體胞元具有一儲存胞元；

一字線產生器，其係與用於在該陣列中之各記憶體

胞元的一讀取字線訊號以及一寫入字線訊號耦接；

複數個位元線讀取邏輯電路與位元線寫入邏輯電路，其係與各記憶體胞元的該讀取位元線、寫入位元線與一互補寫入位元線耦接；

5 各記憶體胞元係與一寫入字線及一讀取字線耦接，其訊號是由該字線產生器產生，且其亦與一讀取位元線、一寫入位元線與一互補寫入位元線耦接，該讀取位元線、該寫入位元線與該互補寫入位元線係由該等複數個位元線讀取邏輯電路與位元線寫入邏輯電路中之一者所感測；

10 各記憶體胞元具有一隔離電路，各該隔離電路將代表儲存在該記憶體胞元的該儲存胞元中之一段數據的一數據訊號與該讀取位元線隔離；

其中，該等記憶體胞元中之二者或多者係與至少一讀取位元線耦接且被啟動以進行一計算運算；並且

15 其中，該讀取位元線能夠被使用來提供對該儲存胞元數據的讀取存取。

【0016】 於本揭示的一個態樣中，係特地提出一種處理陣列，其包含：

至少一讀取位元線；

20 連接至該至少一讀取位元線的至少二個記憶體胞元，各記憶體胞元具有一儲存胞元以及一隔離電路，該隔離電路將儲存胞元緩衝於在該至少一讀取位元線上的訊號；

其中，連接至該至少一讀取位元線的該等至少二個

記憶體胞元藉由將連接至該至少一讀取位元線的該等至少二個記憶體胞元開啟，而在該至少一讀取位元線上進行一邏輯運算；並且

其中，該讀取位元線可以被使用來提供對該儲存胞元數據的讀取存取。

【0017】 於本揭示的一個態樣中，係特地提出一種雙埠靜態隨機存取記憶體，其包含：

一記憶體胞元，其具有一儲存胞元、用於從該儲存胞元讀取數據的一讀取埠以及用於將數據寫入至該儲存胞元的一寫入埠；

一隔離電路，其將儲存在該儲存胞元內之代表一段數據的一數據訊號與一讀取位元線隔離；

該讀取埠具有一讀取字線，該讀取字線係與該隔離電路耦接且啟動該隔離電路，且該讀取位元線係與該隔離電路耦接；

該寫入埠具有與該記憶體胞元耦接的一寫入字線、一寫入位元線以及互補寫入位元線；

該儲存胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之該輸出耦接的一輸入以及與該第一反相器的該輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器之該輸出耦接，且該第一存取電晶體之一閘極係與一寫入位元線耦接，該第二存取電晶體係與該

第一反相器之該輸出以及該第二反相器之該輸入耦接，且該第二存取電晶體之一閘極係與一互補寫入位元線耦接；並且

其中，該讀取位元線可以被使用來提供對該儲存胞元數據的讀取存取。

【0018】於本揭示的一個態樣中，係特地提出一種雙埠靜態隨機存取記憶體，其包含：

一記憶體胞元，其具有一儲存胞元、用於從該儲存胞元讀取數據的一讀取埠以及用於將數據寫入該儲存胞元的一寫入埠；

一隔離電路，其將儲存在該儲存胞元內之代表一段數據的一數據訊號與一讀取位元線隔離；

該讀取埠具有一讀取字線，該讀取字線係與該隔離電路耦接且啟動該隔離電路，且該讀取位元線係與該隔離電路耦接；

該寫入埠具有與該記憶體胞元耦接的一寫入字線、一寫入位元線以及互補寫入位元線；

該儲存胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之該輸出耦接的一輸入以及與該第一反相器的該輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器之該輸出耦接，且該第一存取電晶體之一閘極係與一寫入字線耦接，該第二存取電晶體係與該第

一反相器之該輸出以及該第二反相器之該輸入耦接，且該第二存取電晶體之一閘極係與該寫入字線耦接；並且

其中，該讀取位元線可以被使用來提供對該儲存胞元數據的讀取存取。

5 【圖式簡單說明】

【0019】

圖1例示說明一典型的六電晶體靜態隨機存取記憶體胞元；

10 圖2例示說明可使用來計算的雙埠SRAM胞元的一第一實施例；

圖3例示說明可併入圖2、4、6或7的雙埠SRAM胞元的一處理陣列裝置；

圖4例示說明可使用來計算的雙埠SRAM胞元的一第二實施例；

15 圖5為圖4之雙埠SRAM胞元的寫入埠真值表；

圖6例示說明可使用來計算的雙埠SRAM胞元的一第三實施例；

圖7例示說明可使用來計算的雙埠SRAM胞元的一第四實施例；

20 圖8與圖9例示說明可在圖2、4、6或7的雙埠SRAM胞元內使用的一拴鎖反相器的兩個範例；

圖10例示說明可用來計算的一雙埠SRAM胞元的一實施；以及

圖11例示說明可用來計算的一雙埠SRAM胞元的另

一實施。

【實施方式】

【0020】本揭露為特定應用在靜態隨機存取記憶體 (SRAM) 胞元或胞元陣列或具有在以下提出的不同配置 (layout) 處理陣列，且在此上下文中，此揭露將會被描述。然而，可以理解的是，雖然SRAM裝置與使用SRAM胞元的處理陣列因為各SRAM胞元較以下實施例所描述者可能被不同地組態/配置而具有較佳的可用性，對於可被使用來計算的雙埠SRAM胞元的組態/配置在落入本揭露的範圍內是可改變的。為了例示的用途，雙埠SRAM胞元在以下與圖中揭露。然而，可以理解SRAM計算胞元與處理陣列亦可以具有三個或更多埠的SRAM胞元來實施，且揭露不限定在以下所描述的雙埠SRAM胞元。應當理解的是，具有三個或更多埠的SRAM胞元相較於顯示在圖中的雙埠SRAM可稍微不同地架構化，但習於此技藝者對以下揭露將可以理解如何架構此等三個或更多埠的SRAM。

【0021】更進一步地，雖然在以下範例中使用SRAM胞元，可以理解所揭露用於計算的記憶體胞元以及使用記憶體胞元的處理陣列可使用各種不同類型的記憶體胞元來實施，包括DRAM、CAM、非依電性記憶體胞元以及非依電性記憶體裝置，且使用各種類型的記憶體胞元之實施為落入本揭露的範圍中。

【0022】圖2例示說明一雙埠SRAM胞元20的一第一

實施例，其可使用來計算且克服圖1中顯示的典型SRAM胞元的缺點。該雙埠SRAM胞元可包括二個交叉耦合反相器I21、I22以及兩個存取電晶體M23、M24，其係如圖2所示的與彼此耦接在一起以形成一SRAM胞元。該SRAM胞元可如一儲存器拴鎖操作且可具有一讀取埠與一寫入埠，因此SRAM胞元為雙埠SRAM胞元。如圖2中所示，由於第一反相器的輸入連接至第二反相器的輸出，且第一反相器的輸出與第二反相器的輸入耦接，此兩個反相器為交叉耦合的。一寫入字線（Write Word line）攜帶一訊號且被稱為WE（見圖2），且一寫入位元線與其互補被分別稱為WBL和WBLb。寫入字線（WE）與兩個存取電晶體M23、M24各者的閘極耦接，該等電晶體為SRAM胞元的部分。如圖2中所示，該寫入位元線與其互補（WBL與WBLb）各與該等各別存取電晶體M23、M24的源極耦接，同時該等存取電晶體M23、M24的汲極與該等交叉耦接的反相器（在圖2中被標示為D與Db）的各側耦接。

【0023】在圖2的電路亦可具有讀取字線RE、讀取位元線RBL與由耦接在一起的電晶體M21、M22所形成的讀取埠以形成一隔離電路。該讀取字線RE可與形成了讀取埠的部分之該電晶體M21的閘極耦接，同時讀取位元線與該電晶體M21的汲極端子耦接。該電晶體M22的閘極可與來自交叉耦合反相器I21、I22的Db輸出耦接且電晶體M22的源極可耦接接地。

【0024】在操作中，雙埠SRAM胞元可使用在讀取字

線（RE）上的一訊號而讀取儲存在拴鎖器中的資料，以將雙埠SRAM胞元與該讀取位元線（RBL）定址/啟動，以讀取儲存在該雙埠SRAM胞元內的資料。該雙埠SRAM胞元可使用在寫入字線（WE）上的一訊號以藉由將該雙埠SRAM胞元定址/啟動而將數據寫入該雙埠SRAM胞元，接著使用字位元線（WBL、WBLb）將數據寫入該雙埠SRAM胞元。

【0025】在讀取期間，多個胞元（僅有單一胞元顯示在圖2中但在圖3中顯示多個胞元）可被開啟，以在儲存在被開啟的胞元內的數據之間進行AND功能。例如，在圖3中的處理陣列30內之一行內的一些胞元，諸如胞元00…胞元m0可藉由RE訊號針對此等胞元各者而啟動。因此，在讀取週期的開始時，RBL為預先充電為「高」，且若所有胞元的Db訊號被由RE開啟為「0」，那麼RBL維持在「高」，雖然電晶體M21的閘極被RE訊號開啟，因為Db訊號為低，M22的閘極不會被開啟。作為結果，RBL線不會連接至電晶體M22的源極所連接的接地，且RBL線不會被放電。胞元20可如雙埠SRAM胞元操作。該寫入操作是由WE所啟動且該數據是藉由切換(toggle) WBL與WBLb而寫入。該讀取操作是由RE所啟動，且讀取數據是在RBL上存取。該胞元20可進一步被使用來計算，在此RBL亦被使用於邏輯運算。若所有或任一胞元的Db訊號為「1」那麼由於M22的閘極被開啟且RBL線連接接地，RBL會被放電至0。作為結果，RBL = NOR

(Db0、Db1等等)，在此Db0、Db1等等為已經由RE訊號所開啟之SRAM胞元的互補數據。可替代地， $RBL = NOR(Db0、Db1等等) = AND(D0、D1等等)$ ，在此D0、D1等等為已經由RE訊號所開啟的該等胞元的真值數據。

【0026】如圖2中所顯示者，胞元20的Db訊號可與電晶體M22的一閘極耦接以驅動RBL線。然而，不像典型的6T胞元，該Db訊號係藉由該電晶體M21、M22（一起形成隔離電路）而與RBL線且其訊號/電壓層級隔離。因為Db訊號/值是與RBL線與訊號/電壓層級隔離，與圖1中典型SRAM胞元不同，Db訊號不會容易受到儲存在多個胞元內的多個「0」數據的較低位元線層級所影響。因此，對於在圖2中的胞元，不會限制多少胞元可被開啟以驅動RBL。作為結果，由於不會限制多少胞元可被開啟以驅動RBL，胞元（以及由多個胞元組成的裝置）提供更多運算子給布林（Boolean）函數，諸如，以上描述的AND功能、以及NOR/OR/NAND功能與以下描述的搜尋運算。更進一步地，在圖2中的胞元內，RBL線為預先充電（未如典型的6T胞元一樣使用一靜態拉升電晶體）所以此胞元可提供更快的感測，因為由該胞元產生的電流全部會被使用來將位元線電容放電而不會有電流被靜態拉升電晶體耗損，以致使位元線放電率可較典型的SRAM胞元快2倍。對所揭露胞元的感測亦需要較少的電力而不需由靜態拉升電晶體所耗損的額外電流且該放電電流被減少

了一半以上。

【0027】圖2中的胞元之寫入埠係以與如以上所描述之6T典型SRAM胞元相同的方式操作。做為結果，對於在圖2中的胞元之寫入週期與選擇性寫入週期具有如以上所描述之6T典型SRAM胞元相同的限制。除了以上描

5 述的AND功能以外，在圖2中的SRAM胞元20亦可藉由儲存反轉（inverted）數據而進行NOR功能。更精確地，若D儲存在M22的閘極而非Db，那麼 $RBL = NOR(D0、D1$

10 等等)。習於此技藝者可理解在圖2中的胞元組態將可輕微改變以達成此目的，但此等修改為落入本揭露的範圍之內。

【0028】圖3例示說明一處理陣列裝置30，其可併入圖2、4、6或7的該雙埠SRAM胞元，其中各胞元諸如胞元00、...、胞元0n與胞元m0...胞元mn為顯示於圖2、4、

15 6或7中的胞元。此等胞元形成如圖3中所顯示之配置的胞元陣列。處理陣列30可使用如上所描述的雙埠SRAM胞元的計算能力進行計算。陣列裝置30可由M字線（諸如，RE0、WE0、...REm、WEm）與N位元線（諸如WBL0、WBLb0、RBL0、...、WBLn、WBLbn、RBLn）來

20 形成。陣列裝置30亦可包括字線產生器（WL產生器），其產生字線訊號以及複數個位元線讀取/寫入邏輯（諸如BL讀取/寫入邏輯0、...BL讀取/寫入邏輯n）其等使用位元線而進行讀取與寫入操作。陣列裝置30可於一積體電路上製造或可取決於處理陣列30的使用而整合到另一積

體電路上。

【0029】 在一讀取週期，字線產生器可在一週期中產生一或多個RE訊號以開啟/啟動一或多個胞元且該等胞元的RBL線由AND或NOR功能的RE訊號來啟動，其等之輸出是發送至個別BL讀取/寫入邏輯。該BL讀取/寫入邏輯處理該RBL結果（AND或NOR操作的結果）且發送該等結果回到其WBL/WBLb以用於/寫入於同一胞元，或鄰近的BL讀取/寫入邏輯以用於/寫入回到鄰近胞元，或者將其發送該處理陣列。可替代地，BL讀取/寫入邏輯可從其自己的位元線或者從在BL讀取/寫入邏輯內的一拴鎖器中的鄰近位元線而儲存該RBL結果，以致使再下一個或之後的週期期間，該讀取/寫入邏輯可以RBL結果的拴鎖數據來進行邏輯運算。

【0030】 在一寫入週期，字線產生器產生用於該等胞元的一或多個WE訊號，數據將被寫入在該等胞元內。該BL讀取/寫入邏輯處理來自其自身的RBL或來自相鄰的RBL或者來自處理陣列外的該寫入數據。可處理來自鄰近位元線的數據之能力的BL讀取/寫入邏輯代表數據可以從一位元線移轉（shift）到鄰近位元線且在處理陣列中的所有位元線中的一或多者可同時地（concurrently）移轉。BL讀取/寫入邏輯亦可基於RBL結果而決定不要對選擇性寫入操作寫入。例如，在WBL線上的數據若RBL = 1時可被寫入至一胞元。若RBL = 0那麼寫入操作不會被進行。

【0031】圖4例示說明可使用來計算的一雙埠SRAM胞元40的一第二實施例。此胞元的讀取埠操作是與圖2中的胞元相同的，但以下描述的寫入埠操作是改良的。在圖4中的胞元內，一對交叉耦合反相器I41、I42如同一儲存元件形成一拴鎖器。在圖4中的胞元具有如以上所描述針對讀取位元線的相同隔離電路M41、M42。

【0032】電晶體M43、M44與M45形成一寫入埠。此胞元可排列在如圖3所示的一陣列裝置30中，以WE水平地排列（running）、WBL與WBLb垂直地排列。圖5顯示該寫入埠的真值表。若WE為0，不會進行寫入。若WE為1，那麼儲存節點D與其互補Db會由WBL與WBLb寫入。更精確地，若WBL=1且WBLbD=0，D=1且Db=0，若WBL=0且WBLb=1，D=0且Db=1。若WBL與WBLb兩者為0那麼不會進行寫入且數據儲存器為在如圖5中所示的目前寫入週期（D(n-1)）之前的在儲存元件中的數據儲存器。因此，此胞元可以WBL=WBLb=0進行選擇性寫入功能。在該胞元中，M45係由與M45的閘極耦接的寫入字線（WE）訊號所啟動，且將電晶體M43、M44的源極拉至接地。

【0033】接著回到圖4，與圖2中的雙埠胞元不同，此胞元的WBL與WBLb線為驅動電晶體M44與M43的閘極而非源極。因此，WBL與WBLb的驅動器力量不會受到被開啟的胞元之數量所限制。在選擇性寫入操作，WBL與WBLb不需要強壯的裝置維持WBL與WBLb訊號的層

級，且不會限制有多少胞元被開啟。和圖2中的胞元一樣，圖4中的胞元可在圖3的處理陣列中使用。

【0034】在一寫入週期期間，各未被選擇胞元的該WE訊號為0，但在WBL與WBLb上一者的訊號為1。例如，在圖3中，對於會被寫入的胞元m0的WEm為1，但對於不會被寫入的胞元00之WE0為0。在圖4中，未被選擇胞元的D與Db應該維持其初始值。然而，若未被選擇胞元的D儲存了一「1」且M45的汲極為0且WBLb為1，那麼存取電晶體M43的閘極會被開啟且節點D的電容電荷為與來自M45的汲極之節點N與M43和M44的源極的電容共享的電荷。D的高層級由此電荷共享降低且若節點N電容足夠高，層級將會被降低以致使I41與I42拴鎖翻轉為相反數據。

【0035】圖6例示說明可使用來計算的雙埠SRAM胞元60的一第三實施例。與以上其他實施例相同，此胞元可在以上描述的處理陣列30中使用。圖6中的胞元具有如同以上描述之用於讀取位元線之同樣的隔離電路（M61、M62）。胞元60亦具有相同的交叉耦接反相器I61、I62以及兩個存取電晶體M63、M64，其具有他們的閘極各與寫入位元線及互補寫入位元線耦接，如同圖4之胞元的案例。在圖6中的胞元內，圖4的M45電晶體可被分開成為一第一寫入埠電晶體M65與一第二寫入埠電晶體M66以致使M63、M64、M65與M66形成寫入埠電路。因此，節點D僅可與M65的一汲極與M63的一源極電荷共享，且

M64的源極將不再影響節點D，節點D的高電壓層級可維持在較高而避免數據反轉呈相反狀態。這改進了未被選擇胞元電荷共享的弱點。另一種修改圖4中的胞元的方式是藉由使用較大閘極尺寸的I41與I42來增加節點D的電容。注意節點Db對於M42的額外電容較不敏感。

【0036】圖7例示說明可使用來計算的一雙埠SRAM胞元70的一第四實施例。與以上其他實施例相同，此胞元可在以上描述的處理陣列30中使用。圖7中的胞元具有如同以上描述之用於讀取位元線之同樣的隔離電路（M71、M72）。胞元70亦具有相同的交叉耦接反相器I71、I72以及兩個存取電晶體M75、M76，其具有他們的閘極個別與寫入字線WE耦接。SRAM胞元可進一步包括電晶體M73、M74其閘極與寫入位元線及互補寫入位元線耦接。電晶體M73、M74、M75與M76形成寫入埠電路。胞元70類似於圖6中的胞元60地工作。

【0037】接著回到圖4、6與7，拴鎖裝置（例如圖4中的I41與I42）可為一簡單反相器。為了做到成功的寫入，在圖4中的序列電晶體M43、M45的驅動器力量需要較I42的拉升PMOS電晶體更強壯且此比率需要約2至3倍以致使電晶體M43與M45的驅動器力量可最佳地為I42之拉升PMOS電晶體的強度的2至3倍。在類似28nm或較佳的先進技術中，PMOS與NMOS電晶體的佈線（layout）可較佳地具有相同的長度。因此，當圖4、6與7的胞元使用28nm或較佳型態尺寸（feature size）來製造時，PMOS

電晶體 I41 與 I42 可實際上為 2 個或如圖 8 所示的更多 PMOS 電晶體序列。為了簡化佈線，如圖 9 中所示的 1 或多個 PMOS 電晶體序列可被綁定接地。圖 8 與 9 中的拴鎖反相器可在以上描述的 SRAM 胞元的所有實施例中使用。

5 【0038】接著回到圖 2，讀取埠電晶體 M21 與 M22（隔離電路）可為 PMOS 而非如圖 2 中所示的 NMOS。若電晶體 M21 與 M22 為 PMOS 且有 M22 的源極與 VDD 耦接的，那麼若被開啟的一或多個胞元 Db 的為 0，RBL 被預先充電至 0 且 RBL 為 1，若所有胞元的 Db 為 1 那麼 RBL 為 0。換句話說， $RBL = \text{NAND}(Db0, Db1, \dots) = \text{OR}(D0, D1, \dots)$ ，在此 D0、D1 等等為被開啟的胞元的真實數據且 Db0、Db1 等等為互補數據。藉由儲存反轉數據亦可進行 NAND 功能，因此若 D 在 M22 的閘極處儲存而非 Db，那麼 $RBL = \text{NAND}(D0, D1, \dots)$ 。由 PMOS 形成的讀取埠可在圖 2、4、6 或 7 中的所有雙埠胞元中使用以用於 OR 與 NAND 功能。

10 【0039】在圖 3 中的處理陣列 30 可因此具有在圖 3 中所示之不同組態的雙埠 SRAM 胞元。例如，圖 3 中之處理陣列 30 可具有帶有 NMOS 讀取埠電晶體的一些雙埠 SRAM 胞元以及帶有 PMOS 讀取埠電晶體的一些雙埠 SRAM 胞元。處理陣列 30 亦可具有其他組態的雙埠 SRAM 胞元。

20 【0040】針對顯示在圖 2、4、6 與 7 的雙埠 SRAM 胞元所組成的處理陣列之應用的一範例（其一範例顯示在圖

3) 為一搜尋操作。對於一1位元搜尋操作，2胞元沿著相同位元線儲存真實數據 (D) 與互補數據 (Db)。該搜尋是由藉由輸入搜尋按鍵S以作為真實數據的RE與Sb，以及S的互補以作為RE的互補數據所進行。若 $S = 1$ 、 $Sb = 0$ 那麼 $RBL = D = \text{AND}(S, D)$ 。若 $S = 0$ 、 $Sb = 1$ 那麼 $RBL = Db = \text{AND}(Sb, Db)$ 。所以 $RBL = \text{OR}(\text{AND}(S, D), \text{AND}(Sb, Db))$ ， $\text{AND}(Sb, Db) = \text{XNOR}(S, D)$ 。換句話說，若 $S = D$ 那麼 $RBL = 1$ 且若 $S \neq D$ 那麼 $RBL = 0$ 。

【0041】做為另一範例，對於一8位元字搜尋，8位元字搜的數據沿著相同位元線儲存在8胞元內D[0:7]，且此8位元字的互補數據亦沿著相同位元線如真實數據地儲存在另一8胞元內Db[0:7]。搜尋按鍵可被輸入為施加至真實數據胞元D[0:7]之RE的8位元S[0:7]以及施加至真實數據胞元Db[0:7]之RE的8位元Sb[0:7]。位元線可被寫入為 $RBL = \text{AND}(\text{XNOR}(S[0], D[0]), \text{XNOR}(S[1], D[1]), \dots, \text{XNOR}(S[7], D[7]))$ 。若所有8位元都匹配，那麼RBL為1。若任一個或多個位元未匹配，那麼 $RBL = 0$ 。藉由將多個數據字沿著相同字線排列，且以在一位元線上一個字的方式在平行位元線上排列，可在一運算中進行平行搜尋。以此等方法，在處理陣列中每個位元線的搜尋結果會在一次運算中產生。

【0042】由圖2、4、6與7中顯示的雙埠SRAM胞元所組成的處理陣列（其一範例為顯示在圖3中者）可同時在相同位元線上操作讀取與寫入邏輯。換句話說，在相同位

元線上的多個RE與WE訊號可被同時開啟以同時在讀取位元線上進行讀取邏輯以及在寫入位元上進行寫入邏輯。這改良了圖1中所顯示之典型單一埠SRAM的胞元與處理陣列的效能。

5 【0043】因此，一雙埠靜態隨機存取記憶體計算胞元被揭露，其具有一SRAM胞元，該SRAM胞元具有一拴鎖器、用於從該SRAM胞元讀取數據的一讀取埠以及用於將資料寫入至該SRAM胞元的一寫入埠，以及一隔離電路，該隔離電路隔離代表儲存在SRAM胞元的一拴鎖內的一數據塊的一數據訊號於一讀取位元線。該讀取埠可具有一讀取字線及該讀取位元線，該讀取字線與該隔離電路耦接且啟動該隔離電路，該讀取位元線與該隔離電路耦接，且該寫入埠具有一寫入字線、一寫入位元線以及與該SRAM胞元耦接的互補寫入位元線。在該胞元內，該隔離電路可進一步包括一第一電晶體以及一第二電晶體，該第一電晶體的閘極係與該讀取字線耦接且該第二電晶體的閘極係與該數據訊號及該隔離電路耦接，第一與第二電晶體兩者皆為NMOS電晶體或兩者皆為PMOS電晶體。該胞元的數據訊號可為一數據訊號或一互補數據訊號。該SRAM胞元可進一步具有一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之輸出耦接的一輸入以及與該第一反相器之輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器之

10

15

20

該輸出耦接，且與一寫入位元線耦接，該第二存取電晶體與該第一反相器之輸出以及該第二反相器之該輸入耦接，且與一互補寫入字線耦接。該寫入埠進一步包含一寫入字線，該寫入字線與該第一及第二存取電晶體的閘極耦接，且該寫入位元線與互補寫入位元線分別地與各存取電晶體的源極耦接。

【0044】在另一實施例中，該SRAM胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之該輸出耦接的一輸入以及與該第一反相器之該輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器之該輸出耦接，且該第一存取電晶體的一閘極係與一寫入位元線耦接，該第二存取電晶體係與該第一反相器之該輸出以及該第二反相器的該輸入耦接，且該第二存取電晶體的一閘極係與一互補寫入位元線耦接。在其他實施例中，寫入埠進一步包含與一寫入埠電晶體之一閘極耦接的一寫入字線，該寫入埠電晶體的一汲極與該第一存取電晶體的一源極以及該第二存取電晶體的一源極耦接。

【0045】在又一實施例中，該SRAM胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之該輸出耦接的一輸入以及與該第一反相器之該輸入耦接的一輸出，該第一存取電

晶體與該第一反相器之該輸入以及該第二反相器之該輸出耦接，且一閘極係與一寫入位元線耦接，該第二存取電晶體係與該第一反相器之該輸出以及該第二反相器之該輸入耦接，且一閘極係與一互補寫入位元線耦接。在其他實施例中，寫入埠進一步包含與一第一寫入埠電晶體及一第二寫入埠電晶體之一閘極耦接的一寫入字線，該第一寫入埠電晶體的一汲極與該第一存取電晶體的一源極耦接，且該第二寫入埠電晶體的一汲極係與該第二存取電晶體的一源極耦接。

【0046】在另一實施例中，該SRAM胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器的該輸出耦接的一輸入以及與該第一反相器的該輸入耦接的一輸出，該第一存取電晶體與該第一反相器的該輸入以及該第二反相器的該輸出耦接，且該第一存取電晶體的一閘極係與一寫入字線耦接，該第二存取電晶體係與該第一反相器的該輸出以及該第二反相器的該輸入耦接，且該第二存取電晶體的一閘極係與該寫入字線耦接。在此實施例中，寫入埠進一步包含一第一寫入埠電晶體以及一第二寫入埠電晶體，該第一寫入埠電晶體的一閘極係與一互補寫入位元線耦接，且該第一寫入埠電晶體的汲極係與該第一存取電晶體的一源極耦接，該第二寫入埠電晶體的閘極係與一寫入位元線耦接且該第二寫入埠電晶體之汲極係與該第二存取電晶體的

一源極耦接。

【0047】雙埠靜態隨機存取記憶體計算胞元的不同實施例的各者可進行一選擇性寫入操作且可進行布林（Boolean）AND、布林NOR、布林NAND或一布林OR運算。雙埠靜態隨機存取記憶體計算胞元的不同實施例的各者亦可進行搜尋操作。

【0048】亦揭露一處理陣列，其具有配置於一陣列中的複數個雙埠SRAM胞元、一字線產生器，該字線產生器係與用於在該陣列中的雙埠SRAM胞元各者的一讀取字線訊號以及一寫入字線訊號耦接、以及與雙埠SRAM胞元各者的該讀取位元線、寫入位元線、互補寫入位元線耦接的複數個位元線讀取邏輯電路與位元線寫入邏輯電路。在該處理陣列中，各該雙埠SRAM胞元係與一寫入字線及一讀取字線耦接，其訊號是由該字線產生器所產生且其亦可與一讀取位元線、一寫入位元線以及一互補寫入位元線耦接，該讀取位元線、該寫入位元線與該互補寫入位元線係由該等複數個位元線讀取邏輯電路與位元線寫入邏輯電路中之一者所感測且各雙埠SRAM胞元具有一隔離電路，其將代表儲存在該SRAM胞元的拴鎖器中的資料塊的數據訊號與一讀取位元線隔離。在該處理陣列中，該等雙埠SRAM胞元器與讀取位元線耦接且進行一計算操作。處理陣列可使用以上所描述的雙埠SRAM胞元。該處理陣列可進行選擇性寫入操作且可進行一布林AND、布林NOR、布林NAND或一布林OR運算。處理陣列亦可進行

搜尋操作。該處理陣列亦可作平行偏移操作以將數據從一位元線同時偏移到在一或多個或所有位元線上的鄰近位元線上。更進一步地，該處理陣列可同時啟動讀取與寫入邏輯。

5 **【0049】** 如以上所提出者，所揭露的計算SRAM胞元與處理陣列可使用具有比2個埠更多埠，諸如3埠SRAM、4埠SRAM的SRAM胞元來實施。例如該SRAM計算胞元可為一3埠胞元，其具有2讀取埠與1寫入埠。在此非限制範例中，該3埠SRAM胞元亦可使用來更有效能地進行一操作如 $Y = \text{OR}(\text{AND}(A, B), \text{AND}(A, C))$ 。使用該3埠SRAM，該變數A的數值因使用該2讀取埠而被使用兩次。在此範例操作中，Y可在一週期中被計算，在此週期中AND(A,B)的結果為在RBL1上且AND(A,C)結果在RBL2上；且在同一週期RBL 2數據可被發送至RBL1以作OR操作而產生最終結果。因此，相較於雙埠胞元的2週期，此邏輯函數/操作在當字線被切換一次以產生結果，可在1週期中完成。類似地，亦可使用一4埠SRAM胞元，且此揭露不限定在SRAM胞元的任何特定數量埠。

10

15

20 **【0050】** 圖10例示可使用來計算的一雙埠SRAM胞元100的一實施。圖10中的胞元具有與圖2中所描述的胞元相同之用於讀取位元線之相同的隔離電路（M101、M102）、相同的儲存拴鎖（I101、I102）、相同的存取電晶體（M103、M104）相同的寫入位元線與互補寫入位元線，以及相同的讀取字線。然而，選擇性寫入實施在

圖10中是不同的。該啟動低寫入字線、WEb為連接到一
NOR閘（I103）的一輸入且另一輸入連接到一啟動低選
擇性寫入控制訊號SWb，而控制該存取電晶體M103與
M104的閘極。SWb以如同位元線相同的方向運行。在此
5 實施中，到胞元的寫入可僅在當寫入字線與選擇性寫入控
制訊號兩者皆為啟動時發生。

【0051】圖11例示說明可使用來計算的一雙埠SRAM
胞元110的另一實施。圖11係類似於圖10，具有選擇性寫
入控制訊號SW，可與寫入字線WE結合，以控制選擇性
10 寫入操作。2存取電晶體M113與M115係串聯以將儲存器
拴鎖器耦接至寫入位元線WBL且類似地，2存取電晶體
M114與M116係串聯以將儲存器拴鎖器耦接至互補寫入
位元線WBLb。M113與M114的閘極係與WE耦接且
M115與M116的閘極係與SW耦接。SW以如同位元線相
15 同的方向運行。到胞元的寫入可僅在當寫入字線與選擇性
寫入控制訊號兩者皆為啟動時發生。

【0052】先前的描述為了解釋之目地已經參考特定實
施例而描述。然而，以上所例示的討論並非旨在窮盡或限
制本揭露於所描述的精確形式。鑑於以上的教示，許多修
20 改與改變是可能的。實施例係為了最佳解釋揭露的原則與
其實際應用而被選定與描述，因而使得習於此技藝的其他
人可最佳利用本揭露以及各種適合特定用途的合適的修
改的各種實施例。

【0053】在此揭露的系統與方法可經由一或多個組

件、系統、伺服器、應用程式其他子組件或分佈在此等元件間來實施。當實施為一系統時，此等系統可包括及/或涉及，本身的組件諸如在一般通用用途電腦中可見的軟體模組、通用用途CPU、RAM等等。在伺服器上存在創新的實施中，此等伺服器可包括或涉及諸如在一般通用用途電腦中可見的諸如CPU、RAM等組件。

【0054】此外，在此的系統與方法可經由以上所提出之外的不同或完全不同軟體、硬體及/或韌體組件之實施而達成。對於此等其他組件（例如，軟體、處理組件等）及/或與本發明相關聯或實施本發明的電腦可讀媒體，例如，在此創新的態樣可與各種通用用途或特定用途計算系統或組態一致而實施。適合與在此之創新一起使用的各種範例性計算系統、環境及/或組態可包括但不限定於：軟體或在個人電腦內的其他組件或在個人電腦上實施的組件、伺服器或諸如路由/連接性組件的伺服器計算裝置、手持或膝上型裝置、多處理器系統、微處理器式系統、機上盒、消費性電子產品、網路PC其他現有電腦平台、包括一或多個以上系統或裝置的分散式計算環境等等。

【0055】在一些範例中，系統與方法的態樣可經由邏輯及/或邏輯指令來達成或進行，邏輯及/或邏輯指令例如包括連同此等組件或電路一起執行的程式模組。一般來說，程式模組可包括常式、程式、物件、組件、資料結構等等可進行在此的特定任務或實施特定指令者。本發明亦可實施在分散式軟體、電腦或電路設定的脈絡中，在此電

路係經由通訊匯流排、電路或鏈路而連接。在分散式設定中，控制/指令可從包括記憶體儲存裝置的本地與遠端電腦儲存媒體中出現。

5 【0056】在此的軟體、電路與組件亦可包括及/或利用一或多種類型的電腦可讀媒體。電腦可讀媒體可為任何可取得的媒體，其常駐於此等電路及/或計算組件、相關聯於此等電路及/或計算組件或可由此等電路及/或計算組件所取用。以範例的方式而非限制，電腦可讀媒體可包含電腦儲存媒體與通訊媒體。電腦儲存媒體包括依電性與非
10 依電性、可移除與不可移除媒體以任何方法或技術實施以儲存諸如電腦可讀取指令、資料結構、程式模組或其他數據的資訊。電腦儲存媒體包括但不限定於RAM、ROM、EEPROM、快閃記憶體或其他記憶體技術、CD-ROM、數位多功能磁盤（DVD）或其他光學儲存器、磁帶、磁
15 碟儲存器或其他磁性儲存裝置或可使用來儲存所需資訊且可由計算組件所取用的任何其他媒體。通訊媒體可包含電腦可讀指令、資料結構、程式模組及/或其他組件。更進一步地，通訊媒體可包括有線媒體，諸如一有線網路或直接有線連接，然而在此沒有任何此等類型的媒體包括暫
20 時性媒體。任何以上所述者的結合亦可包括在電腦可讀媒體的範圍之內。

 【0057】在本描述中，組件、模組、裝置等術語可指涉任何類型的邏輯或功能性軟體元件、電路、方塊及/或可以各種方式實施的程序。例如，各種電路及/或方塊的

功能可與彼此結合成為任何其他數量的模組。各模組甚至可實施為儲存在會被一中央處理單元讀取的一實體記憶體上（例如，隨機存取記憶體、僅讀記憶體、CD-ROM 記憶體、硬碟驅動器等）的一軟體程式以實施在此創新
5 的功能。或者，模組可包含傳輸至一通用用途電腦的程式指令或經由一傳輸載波而傳輸至處理/圖形化硬體。而且模組可實施為實施由在此之創新所包含的功能之硬體邏輯電路。最後，模組可使用特殊用途指令（SIMD 指令）、現場可程式化邏輯陣列或任何其等之混合以提供所需層
10 級的效能與成本者來實施。

【0058】如在此所揭露者，與揭露一致的特徵可經由電腦硬體、軟體及/或硬體來實施。例如，在此揭露的系統與方法可以各種形式來實施，包括，例如，一數據處理器，諸如一電腦其亦包括一資料庫、數位電子電路、韌體、
15 軟體或其等之組合。更進一步地，雖然一些所揭露的實施描述了與在此之創新一致的特定硬體組件系統與方法，他們可以硬體、軟體及/或韌體的任何組合來實施。更進一步地，以上提及的特徵與其他態樣及在此之創新的原則可在各種環境中實施。此等環境與相關應用可特定地架構以
20 進行根據本發明的各種常式、程序及/或操作，或他們可包括一通用用途電腦或由代碼選擇性地啟動或組配的電腦平台以提供必要的功能。在此揭露的程序並非固然與任何特定電腦、網路、架構、環境或其他設備相關，且可以硬體、軟體及/或韌體的一恰當組合來實施。例如，各種

通用用途機器可與根據本發明教示而撰寫的程式來使用，或其可更方便地架構一特殊設備或系統以進行所需方法與技術。

5 **【0059】** 在此描述的方法與系統的態樣，諸如邏輯，亦可實施作為被編列到各種電路中的程式來實施，電路包括可程式或邏輯裝置（PLD），諸如現場可程式化閘極陣列（FPGA）、可程式化陣列邏輯（PAL）裝置、電子可程式化邏輯與記憶體裝置及標準胞元式裝置，以及特殊應用積體電路。一些實施態樣的其他可能性包括：記憶體裝置、具有記憶體的微控制器（諸如EEPROM）、嵌入式微處理器、韌體、軟體等等。更進一步地，態樣可在具有下述者的微處理器中實施：軟體式電路仿真、離散邏輯（序列與組合）、客製化裝置、模糊（神經）邏輯、量子裝置與任何以上裝置類型的混合。基本裝置技術可以各種組件類型來提供，例如，類似互補金屬氧化物半導體（CMOS）的金屬氧化物半導體場效電晶體（MOSFET）技術，諸如射極耦合邏輯（ECL）的雙極技術、聚合物技術（例如矽共軛聚合物和金屬共軛聚合物金屬結構），混合數位與類比等。

10

15

20 **【0060】** 應當注意的是在此揭露的各種邏輯及/或功能可使用任何數量的硬體、韌體及/或如數據及/或在各種機器可讀或電腦可讀媒體上實施的指令而由於上述者的行為、暫存器轉移、邏輯組件及/或其他特性而實現。其中可實施此等格式化數據及/或指令的電腦可讀媒體包括

但不限定於各種形式（例如，光學、磁性或半導體儲存媒體）的非依電性儲存媒體，然而再次的不包括暫時性媒體。除非上下文明確地有需求否則在整個描述中，用字「包含」、「包含有」以及類似者應被以包含性的方式來解釋而非排他性或窮盡的意義來解釋，亦即意義上是「包括但不限定於此」。使用單數或複數的數字之用字亦分別包括複數或單數的數量。此外，用字「在此」、「之後」、「以上」、「上」及類似的用字之引入指涉的是此申請案之整體而非本申請案的任何特定部分。雖然用字「或」被使用來指涉兩個或更多項目的一清單，該用字亦包含所有下述用字的闡述：任何在清單中的項目、所有在清單中的項目以及在清單中的項目的任何組合。

【0061】雖然本發明之一些呈現的較佳實施已經特定地在此描述，對於本發明所屬領域的技術人員顯而易見的是，在不脫離本发明的精神和範圍的情況下，可以對在此顯示和描述的各種實施方式進行變化和修改。據此，本發明旨在僅限於適用的法律規則所要求的範圍。

【0062】雖然以上已參考本揭露的特定實施例，對於習於此技藝者顯而易見的是在再不脫離本揭露的原則與精神的情況下可做出對實施例的改變，本揭露的範圍將在附加的請求項中定義。

【符號說明】

【0063】

30...處理陣列

40...雙埠SRAM胞元

60...雙埠SRAM胞元

70、100、110...胞元

I21、I22、I41、I42、I61、I62、I71、I72...反相器

I101、I102...拴鎖

I103...閘

M21、M22、M43、M44、M45、M63、M64、M65、M66、

M73、M74、M75、M76、M103、M104、M113、

M114、M115、M116...電晶體

M41、M42、M61、M62、M71、M72、M101、M102...隔離電路

【發明申請專利範圍】

【請求項1】一種記憶體計算胞元，其包含：

一記憶體胞元，其具有一儲存胞元、用於從該儲存胞元讀取數據的一讀取埠以及用於將數據寫入該儲存胞元的一寫入埠；

一隔離電路，其將代表儲存在該儲存胞元中的數據的一數據訊號與一讀取位元線隔離，該隔離電路包含一第一電晶體與一第二電晶體，該第一電晶體的一閘極係與一讀取字線耦接，且該第二電晶體的一閘極係與該數據訊號耦接；

該讀取埠包含有該讀取字線與該讀取位元線，該讀取字線係與該隔離電路耦接且致動該隔離電路，且該讀取位元線係與該隔離電路耦接；及

該寫入埠包含有與該記憶體胞元耦接的一寫入字線、一寫入位元線以及互補寫入位元線；

其中該記憶體胞元可以被耦接到在該讀取位元線上的另一記憶體胞元以進行一運算操作以及一搜尋操作；並且

其中該讀取位元線能夠被使用來提供對儲存在該儲存胞元中之數據的讀取存取，並且用以展現該搜尋操作之結果。

【請求項2】如請求項1的胞元，其中，該隔離電路之該第一電晶體與該第二電晶體兩者皆為NMOS電晶體或兩者皆為PMOS電晶體。

【請求項3】如請求項1的胞元，其中，該儲存胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體以及一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之該輸出耦接的一輸入以及與該第一反相器之該輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器之該輸出耦接並且與一寫入位元線耦接，該第二存取電晶體與該第一

反相器之該輸出以及該第二反相器之該輸入耦接並且與一互補寫入位元線耦接，及其中該寫入埠進一步包含與該第一存取電晶體及該第二存取電晶體各者之一閘極耦接的一寫入字線，且該寫入位元線與該互補寫入位元線係分別地與該第一存取電晶體及該第二存取電晶體各者之一源極耦接。

【請求項4】如請求項1的胞元，其中，該儲存胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之該輸出耦接的一輸入以及與該第一反相器之該輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器之該輸出耦接，且該第一存取電晶體的一閘極係與一寫入位元線耦接，該第二存取電晶體係與該第一反相器之該輸出以及該第二反相器之該輸入耦接，且該第二存取電晶體的一閘極係與一互補寫入位元線耦接，及其中該寫入埠進一步包含與一寫入埠電晶體之一閘極耦接的一寫入字線，該寫入埠電晶體的一汲極係與該第一存取電晶體的一源極以及該第二存取電晶體的一源極耦接。

【請求項5】如請求項1的胞元，其中，該儲存胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之該輸出耦接的一輸入以及與該第一反相器之該輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器之該輸出耦接，且一閘極係與一寫入位元線耦接，該第二存取電晶體係與該第一反相器之該輸出以及該第二反相器之該輸入耦接，且一閘極係與一互補寫入位元線耦接，並且其中，該寫入埠進一步包含與一第一寫入埠電晶體之一閘極以及一第二寫入埠電晶體之一閘極耦接的一

寫入字線，該第一寫入埠電晶體的一汲極係與該第一存取電晶體的一源極耦接，且該第二寫入埠電晶體的一汲極係與該第二存取電晶體的一源極耦接。

【請求項6】如請求項1的胞元，其中，該儲存胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器的該輸出耦接的一輸入以及與該第一反相器的該輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器的該輸出耦接，且該第一存取電晶體的一閘極係與一寫入字線耦接，該第二存取電晶體係與該第一反相器之該輸出以及該第二反相器之該輸入耦接，且該第二存取電晶體的一閘極係與該寫入字線耦接，及其中該寫入埠進一步包含一第一寫入埠電晶體與一第二寫入埠電晶體，該第一寫入埠電晶體的閘極係與一互補寫入位元線耦接且其汲極係與該第一存取電晶體的一源極耦接，該第二寫入埠電晶體的閘極係與一寫入位元線耦接且其汲極係與該第二存取電晶體的一源極耦接。

【請求項7】如請求項1的胞元，其中，該胞元可以作一選擇性寫入操作或可以作下列項目中至少一者：一布林AND運算、一布林NOR運算、一布林NAND運算以及一布林OR運算。

【請求項8】如請求項1的胞元，其中，該儲存胞元為下列項目中之一者：一靜態隨機存取記憶體胞元、一雙埠靜態隨機存取記憶體胞元、一三埠靜態隨機存取記憶體胞元以及一四埠靜態隨機存取記憶體胞元。

【請求項9】如請求項1的胞元，其中該寫入位元線上之多個記憶體胞元可在一寫入操作中被寫入。

【請求項10】一種雙埠靜態隨機存取記憶體，其包含：

一記憶體胞元，其具有一儲存胞元、用於從該儲存胞元讀取數據的一讀取埠以及用於將數據寫入該儲存胞元的一寫入埠；

一隔離電路，其將代表儲存在該儲存胞元內之一段數據的一數據訊號與一讀取位元線隔離；

該讀取埠具有一讀取字線及該讀取位元線，該讀取字線係與該隔離電路耦接且致動該隔離電路，且該讀取位元線係與該隔離電路耦接；

該寫入埠具有與該記憶體胞元耦接的一寫入字線、一寫入位元線以及互補寫入位元線；及

該儲存胞元進一步包含一第一反相器、一第二反相器、一第一存取電晶體與一第二存取電晶體，該第一反相器具有一輸入與一輸出，該第二反相器具有與該第一反相器之該輸出耦接的一輸入以及與該第一反相器的該輸入耦接的一輸出，該第一存取電晶體與該第一反相器之該輸入以及該第二反相器之該輸出耦接，且該第一存取電晶體之一閘極係與一寫入位元線耦接，該第二存取電晶體係與該第一反相器之該輸出以及該第二反相器之該輸入耦接，且該第二存取電晶體之一閘極係與一互補寫入位元線耦接；

其中該寫入埠進一步包含一單一寫入埠電晶體，且該寫入字線係與該單一寫入埠電晶體之一閘極耦接；

其中該單一寫入埠電晶體的一汲極係與該第一存取電晶體的一源極以及該第二存取電晶體的一源極耦接；並且

其中該讀取位元線可以被使用來提供對該儲存胞元之數據的讀取存取。

【請求項11】 如請求項10的記憶體，其中，該隔離電路進一步包含一第一電晶體與一第二電晶體，該第一電晶體的閘極係與該讀取字線耦接，且該第二電晶體的閘極係與該數據訊號耦接，且該隔離電

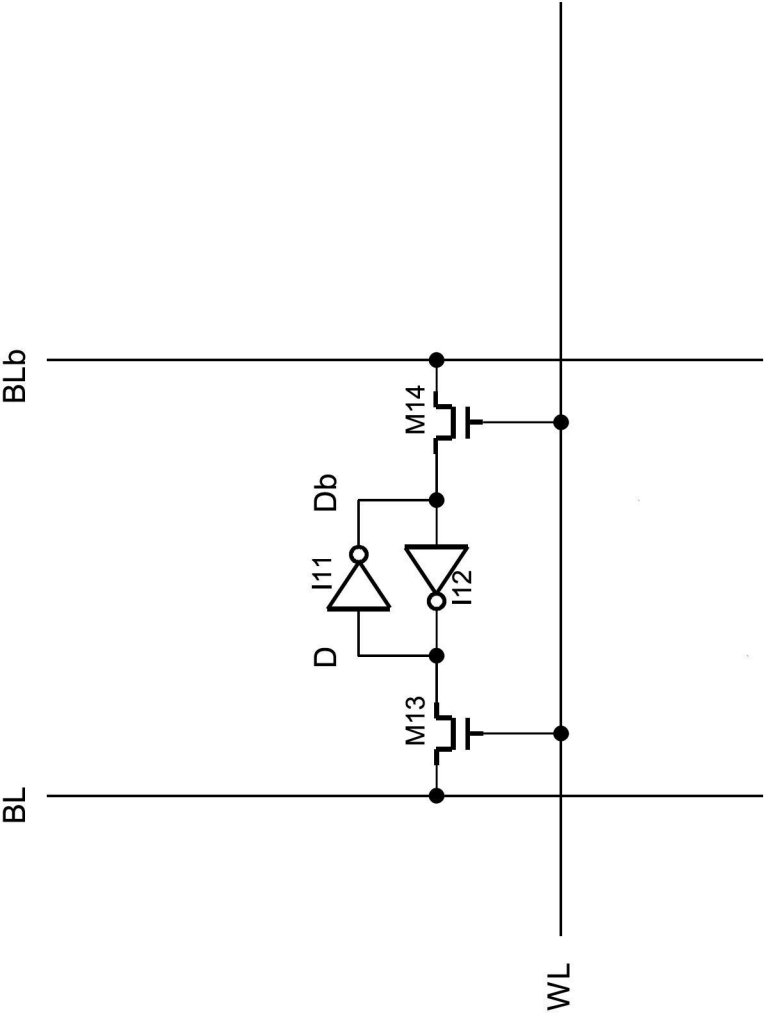
路之該第一電晶體與該第二電晶體兩者皆為NMOS電晶體或兩者皆為PMOS電晶體。

【請求項12】 如請求項10的記憶體，其中，該寫入埠進一步包含與一寫入埠電晶體之一閘極耦接的一寫入字線，該寫入埠電晶體的一汲極係與該第一存取電晶體的一源極以及該第二存取電晶體的一源極耦接。

【請求項13】 如請求項10的記憶體，其中，該寫入埠進一步包含一第一寫入埠電晶體與一第二寫入埠電晶體，該第一寫入埠電晶體的閘極係與寫入字線耦接且其汲極係與該第一存取電晶體的一源極耦接，該第二寫入埠電晶體的閘極係與寫入字線耦接且其汲極係與該第二存取電晶體的一源極耦接。

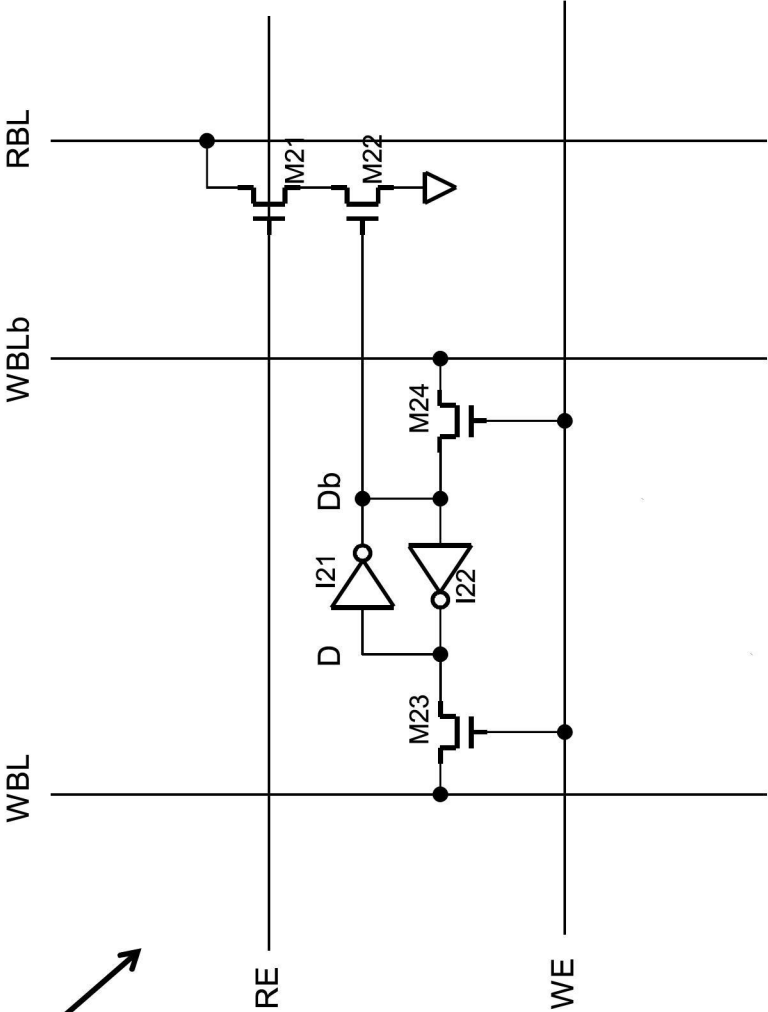
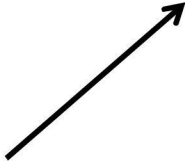
【請求項14】 如請求項10的記憶體，其中，該記憶體可以作一選擇性寫入操作或可進行下列項目中至少一者：一布林AND運算、一布林NOR運算、一布林NAND運算以及一布林OR運算。

【發明圖式】

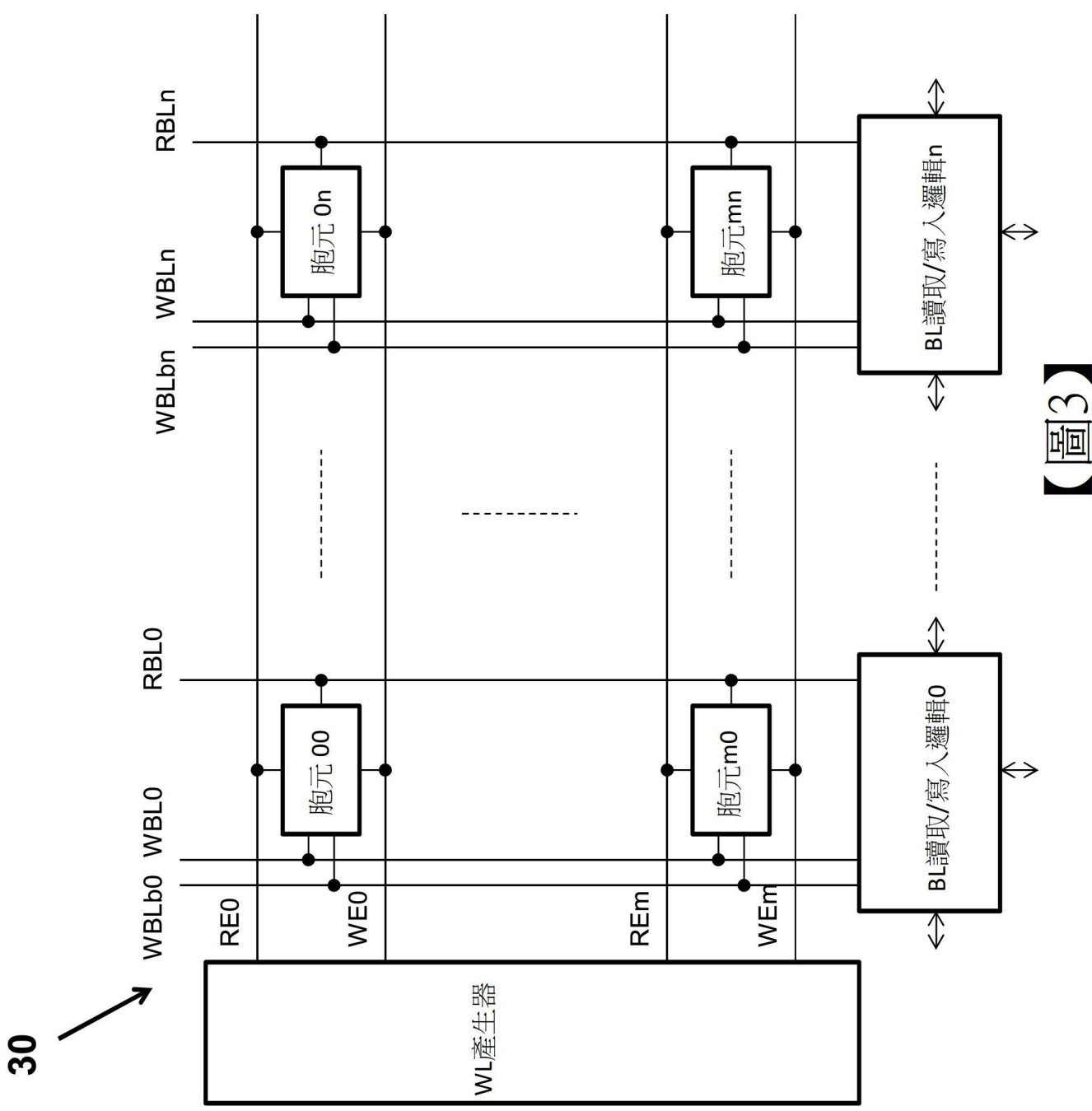


【圖1】

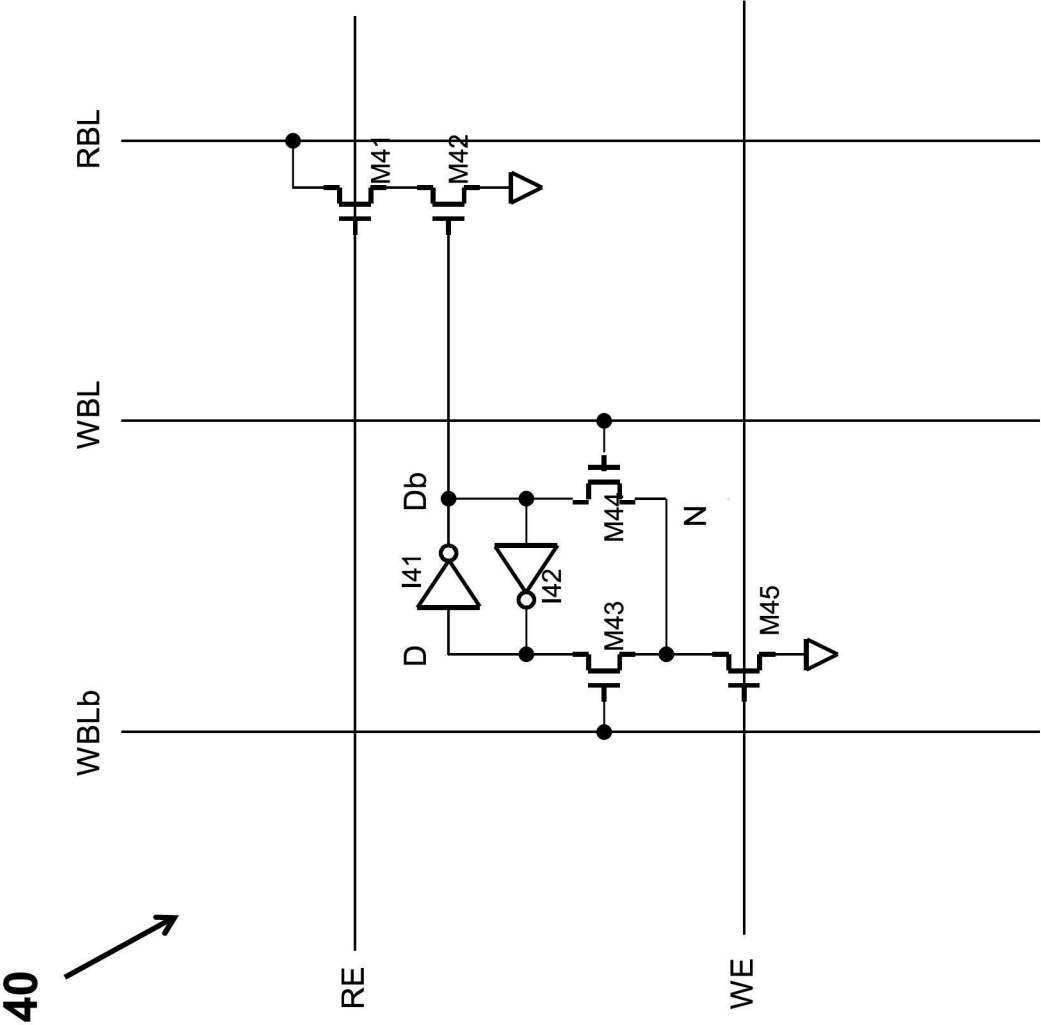
20



【圖2】



【圖3】

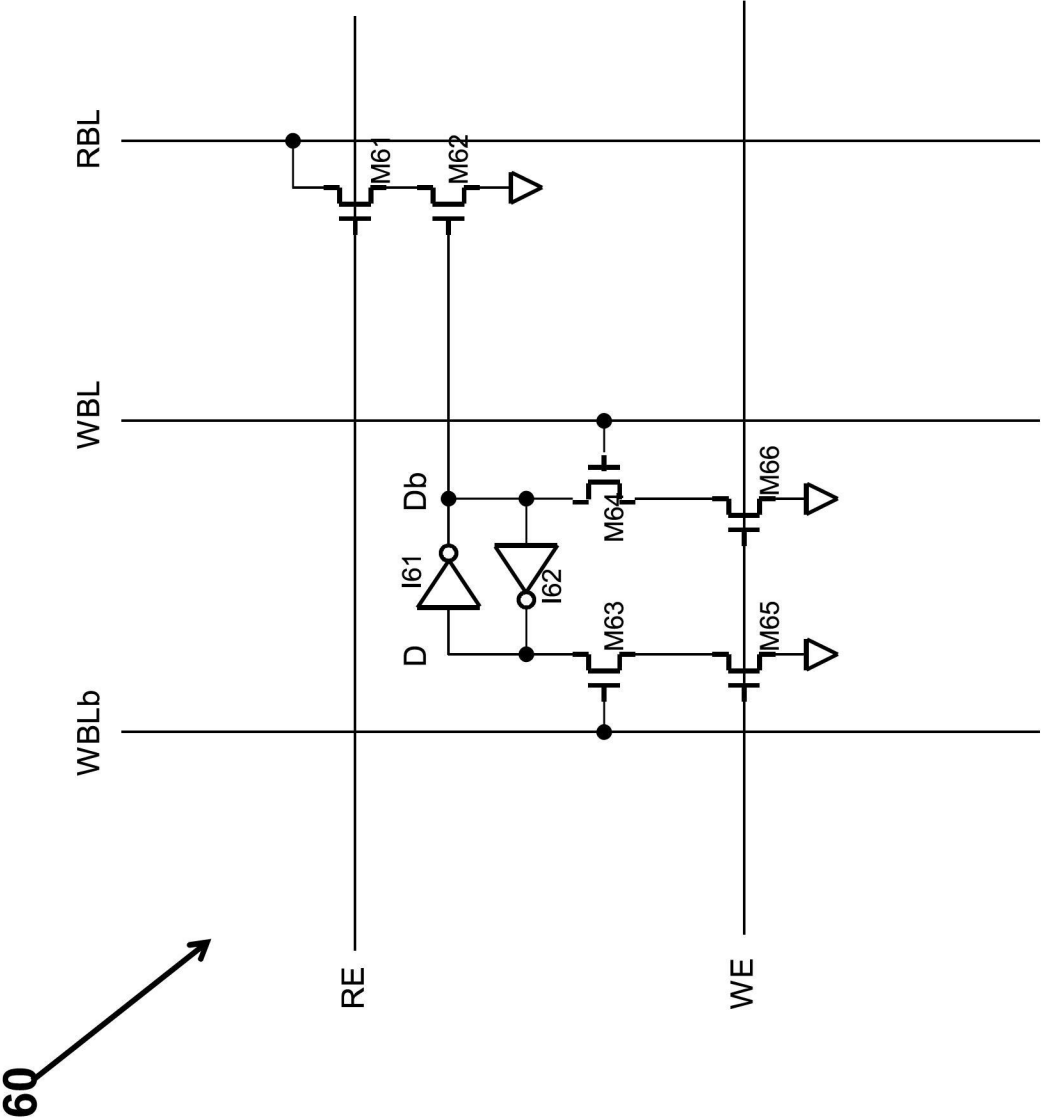


【圖4】

WE	WBL	WBLb	D (n)
0	x	x	D(n-1)
1	0	1	0
1	1	0	1
1	0	0	D(n-1)

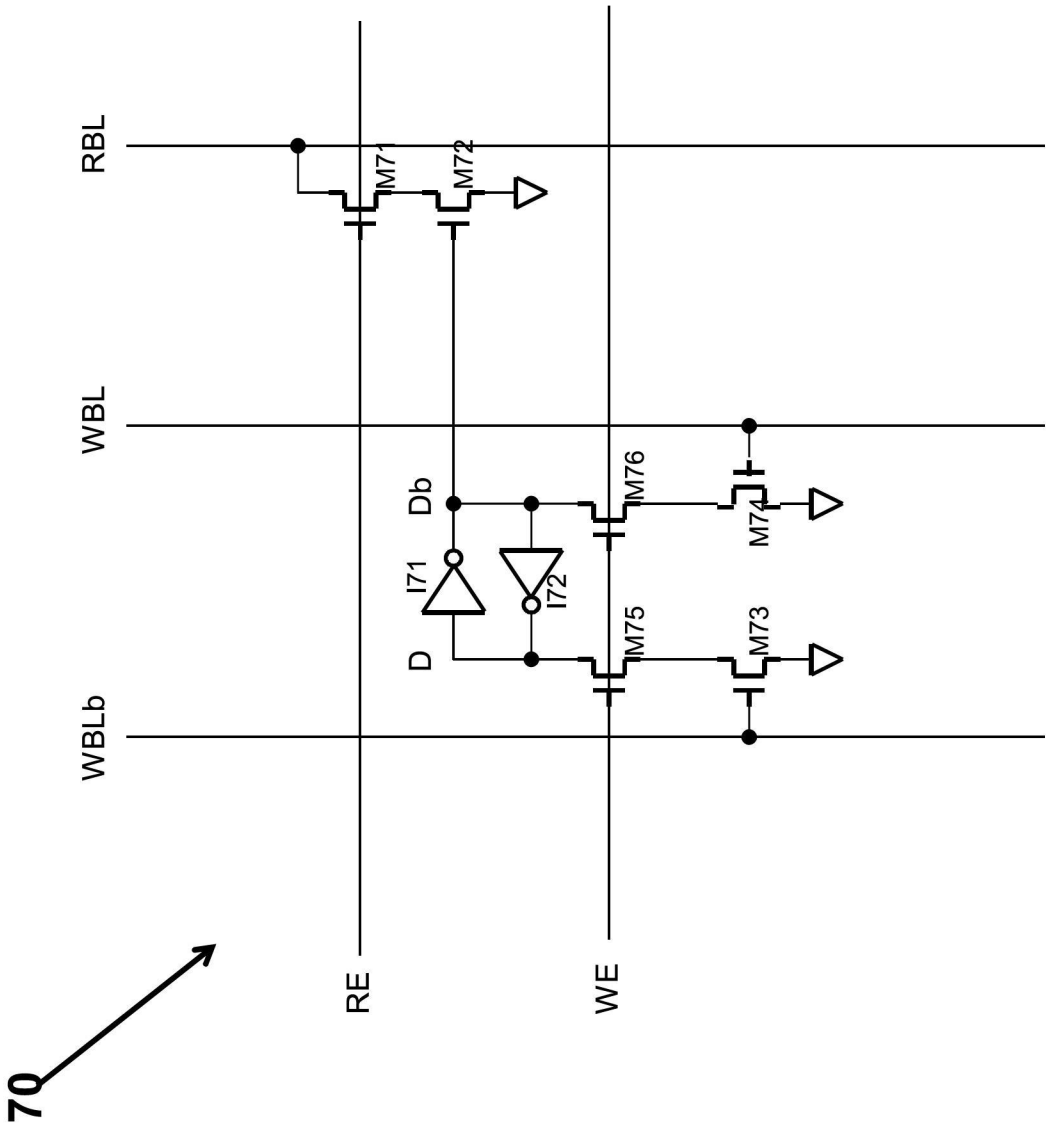
D(n)為在目前寫入週期的儲存數據
D(n-1)為在目前寫入週期之前的儲存數據

【圖5】



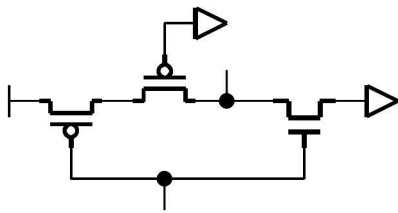
【圖6】

60

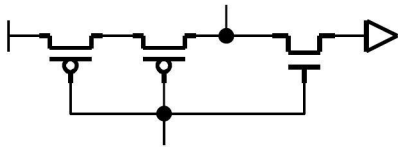


【圖7】

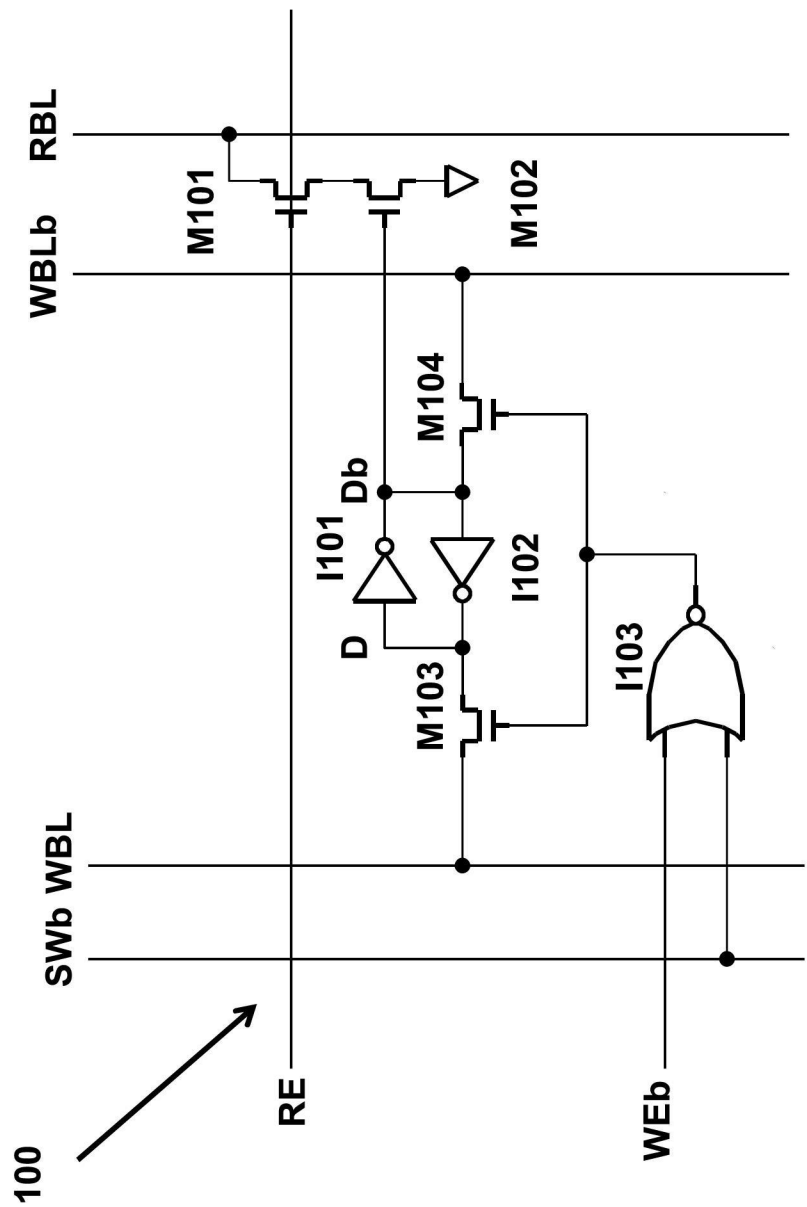
70



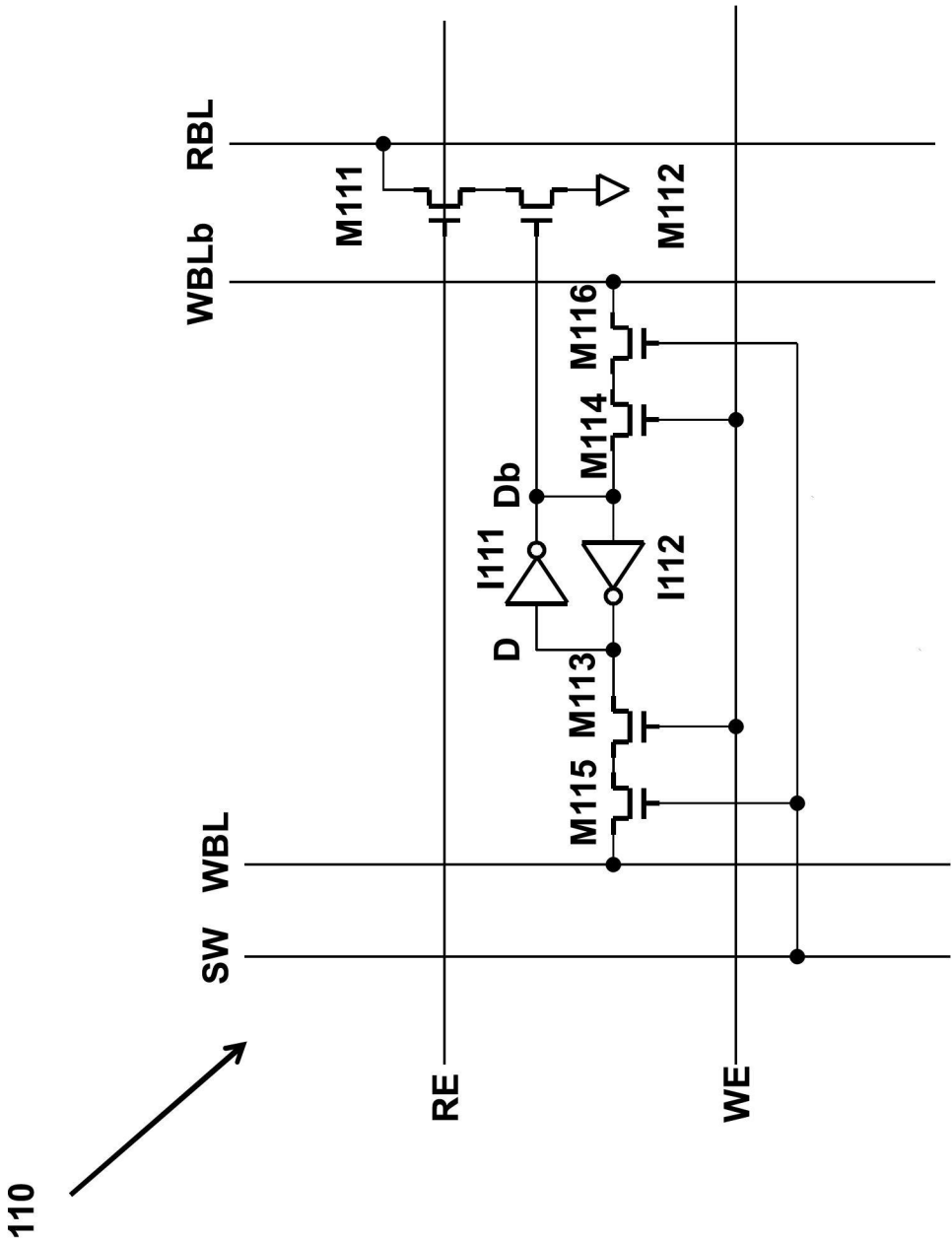
【圖 6】



【圖 8】



【圖10】



【圖11】