



(12)发明专利

(10)授权公告号 CN 103663344 B

(45)授权公告日 2017.02.15

(21)申请号 201310415336.X

(22)申请日 2013.09.12

(65)同一申请的已公布的文献号

申请公布号 CN 103663344 A

(43)申请公布日 2014.03.26

(30)优先权数据

61/700,186 2012.09.12 US

(73)专利权人 快捷半导体(苏州)有限公司

地址 215021 江苏省苏州市工业园区苏桐
路1号

专利权人 快捷半导体公司

(72)发明人 戴维·L·马克斯 B·伯坎肖
J·布雷泽克

(74)专利代理机构 北京派特恩知识产权代理有
限公司 11270

代理人 武晨燕 张颖玲

(51)Int.Cl.

H01L 23/48(2006.01)

(56)对比文件

CN 203683082 U, 2014.07.02,
WO 2012/037538 A2, 2012.03.22,
CN 1221210 A, 1999.06.30,
CN 1068444 A, 1993.01.27,
US 2011/0316048 A1, 2011.12.29,
CN 102364671 A, 2012.02.29,
CN 1198587 A, 1998.11.11,
CN 102337541 A, 2012.02.01,
CN 101916754 A, 2010.12.15,
CN 101257000 A, 2008.09.03,

审查员 李立彦

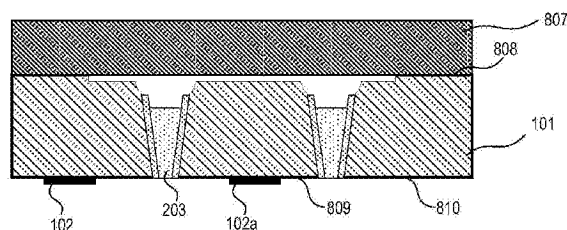
权利要求书2页 说明书13页 附图14页

(54)发明名称

包括多材料填充物的改进型硅通孔

(57)摘要

本申请涉及一种包括多材料填充物的改进型硅通孔。一种装置包括：衬底，其具有设置在所述衬底内的至少一个孔，其中，所述衬底包括：沟槽，其具有大体上成梯形的横截面，所述沟槽贯穿所述衬底在所述衬底的下表面和所述衬底的上表面之间延伸，其中，所述沟槽的顶部通向顶部开口，并且所述沟槽的底部通向底部开口，所述顶部开口比所述底部开口要大。所述装置可以包括：口状体，其围绕所述顶部开口并且在所述上表面和所述顶部开口之间延伸，其中，所述上表面的口状体开口比所述沟槽的所述顶部开口要大，其中，所述孔包括：电介质层，其设置在沟槽的内表面上。所述装置包括：填充物，其设置在所述沟槽内，所述电介质层夹在所述填充物和所述衬底之间。



1. 一种装置,包括:

第一衬底,其具有设置在所述第一衬底内的至少一个孔,其中,所述第一衬底包括:

沟槽,其具有大体上成梯形的横截面,所述沟槽贯穿所述第一衬底在所述第一衬底的下表面和所述第一衬底的上表面之间延伸,其中,所述沟槽的顶部通向顶部开口,并且所述沟槽的底部通向底部开口,所述顶部开口比所述底部开口要大;以及

口状体,其围绕所述顶部开口并且在所述上表面和所述顶部开口之间延伸,其中,所述上表面内的口状体开口比所述沟槽的所述顶部开口要大,并且所述口状体形成锥形物,所述锥形物的斜率与所述沟槽的斜率不同,以及

第二衬底,其被粘合到所述第一衬底;

其中,所述孔包括:

电介质层,其设置在沟槽的内表面上;以及

填充物,其设置在所述沟槽内,所述电介质层夹在所述填充物和所述第一衬底之间;

其中,所述沟槽限定所述第一衬底内的一电路,所述第一衬底的内部部分位于所述电路内,外部部分围绕所述电路;

其中,所述第二衬底包括传感电容器,其中,一个电极由粘合到所述第一衬底的第一触点形成并通过所述第一衬底连接到所述第二衬底,所述第一触点耦合到所述外部部分,另一电极由第二触点形成,所述第二触点耦合到所述内部部分。

2. 根据权利要求1所述的装置,其中,所述第一衬底由单晶硅形成。

3. 根据权利要求1所述的装置,其中,所述填充物和所述电介质气密地密封到所述第一衬底。

4. 根据权利要求1所述的装置,其中,所述沟槽的横截面从所述顶部开口到所述底部开口逐渐变窄。

5. 根据权利要求1所述的装置,其中,所述内部部分与所述外部部分电介质相隔离。

6. 根据权利要求1所述的装置,其中,所述电介质在第一衬底表面的下方凹进,

其中,填充物包括以下至少一种:

半导体与电介质的组合;以及

多晶硅,并且

其中,填充物在所述上表面的下方凹进。

7. 一种在半导体衬底内形成至少一个孔的方法,包括:

形成具有大体上成梯形的横截面的沟槽,包括形成贯穿第一衬底在所述第一衬底的下表面和所述第一衬底的上表面之间的所述沟槽,所述沟槽通向所述上表面的顶部开口和所述下表面的底部开口,所述顶部开口比所述底部开口要大;

形成在所述上表面和所述顶部开口之间延伸的口状体,所述上表面中的口状体开口比所述沟槽的所述顶部开口要大,并且所述口状体形成锥形物,所述锥形物的斜率与所述沟槽的斜率不同;

在沟槽的内表面上形成电介质层;以及

使用填充物来填充所述沟槽,所述电介质层夹在所述填充物和所述第一衬底之间;

形成粘合到所述第一衬底的第二衬底;

其中,所述沟槽限定所述第一衬底内的一电路,所述第一衬底的内部部分位于所述电

路内,外部部分围绕所述电路;

其中,所述第二衬底包括传感电容器,其中,一个电极由粘合到所述第一衬底的第一触点形成并通过所述第一衬底连接到所述第二衬底,所述第一触点耦合到所述外部部分,另一电极由第二触点形成,所述第二触点耦合到所述内部部分。

8.根据权利要求7所述的方法,其中,所述沟槽包括深反应离子蚀刻(DRIE)出的沟槽,其中,使用填充物来填充所述沟槽包括:使用多晶硅来填充所述沟槽。

9.根据权利要求7所述的方法,其中,形成口状体包括:进行高度锥形深反应离子蚀刻(DRIE)以蚀刻出所述口状体。

包括多材料填充物的改进型硅通孔

技术领域

[0001] 概括地说,本申请涉及一种硅通孔(TSV),并且尤其涉及一种包括多材料填充物的改进型TSV。

背景技术

[0002] 小型半导体器件(例如,电容器)被广泛地用于电子设备(例如,个人电子设备)中。这些器件可以被用作压力换能器。例如,这些器件可以被用作麦克风,例如用于记录或播放声音。这些器件可以被用作运动检测器,起到加速度计和/或陀螺仪的作用。其他用途是可能的。随着对个人电子设备的市场需求的增加,制造商寻求通过减小器件的尺寸和降低器件的成本来获利,从而他们可能创造出改进的个人电子设备。

[0003] 美国专利号7,539,003提供了在有关键的应力点上具有单晶硅的电容式传感器。正如图1A中所示的,绝缘沟槽由沟槽和再填充物(refill)形成,所述再填充物形成用于驱动、传感和防护的电绝缘的导电硅电极。压力端口与电线焊垫相对,以便于封装。还描述了测量平面内加速度和平面外加速度的双轴加速度计。通过复制该加速度计并且相对于其平面外轴旋转90度来提供平面内第三轴。

[0004] 正如图1A中所示的,美国专利号7,539,003中的方法之一依赖于使用不期望的单材料电介质沟槽100结构所形成的器件。该沟槽贯穿半导体101并且具有两个触点102。如图所示,该沟槽难以制造,至少因为它难以沉积填充物。

发明内容

[0005] 除了其他方面以外,本申请还讨论了一种装置,该装置包括:衬底,其具有设置在所述衬底内的至少一个孔,其中,所述衬底包括:沟槽,其具有大体上成梯形的横截面,所述沟槽贯穿所述衬底在所述衬底的下表面和所述衬底的上表面之间延伸,其中,所述沟槽的顶部通向顶部开口,并且所述沟槽的底部通向底部开口,所述顶部开口比所述底部开口要大。所述装置可以包括:口状体,其围绕所述顶部开口并且在所述上表面和所述顶部开口之间延伸,其中,所述上表面内的口状体开口比所述沟槽的所述顶部开口要大,其中,所述孔包括:电介质层,其设置在沟槽的内表面上。所述装置包括:填充物,其设置在所述沟槽内,所述电介质层夹在所述填充物和所述衬底之间。

[0006] 一种在半导体衬底内形成至少一个孔的方法,该方法包括:形成具有大体上成梯形的横截面的沟槽,包括形成贯穿所述衬底在所述衬底的下表面和所述衬底的上表面之间的所述沟槽,所述沟槽通向所述上表面的顶部开口和所述下表面的底部开口,所述顶部开口比所述底部开口要大;形成在所述上表面和所述顶部开口之间延伸的口状体,所述上表面的口状体开口比所述沟槽的所述顶部开口要大;在沟槽的内表面上形成电介质层;以及使用填充物来填充所述沟槽,所述电介质层夹在所述填充物和所述衬底之间。

[0007] 这部分旨在提供对本专利申请的主题的概述。这部分并非旨在提供本发明的排他性的或详尽的说明。本文包括了详细的描述,以提供关于本专利申请的进一步信息。

附图说明

[0008] 在附图中(这些附图不一定是按照比例绘制的),相同的数字能够描述不同视图中的相似部件。具有不同字母后缀的相同数字能够表示相似部件的不同示例。附图通过示例而非限制的方式概括地示例了本申请中讨论的各个实施例。

[0009] 图1A示出了根据现有技术的具有单材料沟槽的一器件的横截面侧视图。

[0010] 图1B示出了根据一个示例的具有悬垂部分(overhang)和空隙的一器件的横截面侧视图。

[0011] 图2示出了根据一个示例的具有期望属性的孔的横截面侧视图。

[0012] 图3示出了根据一个示例的具有曲线凹槽的孔的横截面侧视图。

[0013] 图4是根据一个示例的具有大体上为直线凹槽的孔的横截面侧视图。

[0014] 图5示出了根据各个示例的空隙的数个不同视图。

[0015] 图6示出了根据一个示例的具有多材料沟槽的一器件的横截面侧视图。

[0016] 图7A示出了根据一个示例的具有限定周界的多材料沟槽的一器件的横截面侧视图。在图7B中描绘了该周界。

[0017] 图7B是沿线7A--7A截取的横截面。

[0018] 图8A示出了根据一个示例的具有由器件层覆盖的限定周界的多材料沟槽的一器件的横截面侧视图。

[0019] 图8B示出了根据一个示例的具有由器件层覆盖的限定周界的多材料沟槽的一器件的横截面侧视图,显示了电容效应。

[0020] 图9示出了根据一个示例的具有由限定交错手指的器件层覆盖的限定周界的多材料沟槽的一器件的横截面侧视图。

[0021] 图10示出了根据一个示例的具有压力换能器和运动传感器(陀螺仪、加速度计、磁力计等)或麦克风的一器件的横截面侧视图。

[0022] 图11示出了根据一个示例的具有设置在器件层内的腔的一器件的横截面侧视图。

[0023] 图12示出了根据一个示例的具有多个孔衬底的一器件的横截面侧视图。

[0024] 图13示出了根据一个示例的具有位于器件层上方的帽状物的一器件的横截面侧视图。

[0025] 图14示出了根据一个示例的具有覆盖器件层的多个器件部分的帽状物的一器件的横截面侧视图。

[0026] 图15示出了根据一个示例的具有多材料沟槽的一器件的横截面侧视图。

[0027] 图16示出了根据一个示例的具有多材料沟槽的一器件的横截面侧视图。

[0028] 图17示出了根据一个示例的由一示例半导体的迭代视图所示出的过程。

[0029] 图18示出了根据一个示例的包括熔融粘合的过程。

[0030] 图19示出了根据一个示例的配置成测量运动的一可选半导体器件的横截面侧视图。

具体实施方式

[0031] 本主题解决了现有技术的缺点。美国专利号7,539,003中概述的一种方法能够导

致图1B中示出的结构。该示例示出了不期望的悬垂部分(overhang)104和不期望的空隙(void)106,正如由从美国专利号7,539,003的第四栏开始讨论的过程所产生的一样。根据该方法,使用期望长宽比(例如,30:1)的深反应离子蚀刻(DRIE)获得期望厚度(例如,150 μ m)的硅通孔(TSV)晶圆会导致一个不期望厚度(5 μ m厚)的电介质沟槽,该TSV晶圆包括设置在电介质材料110(例如,氧化物)内部的材料108(例如,导电材料),该电介质沟槽在未形成空隙106的情况下难以填充。

[0032] 典型的电介质沟槽可以包括二氧化硅,在这样的深沟槽中形成这样的厚氧化物是困难的,至少因为它有助于空隙106的形成,空隙106会减小形成从器件顶部到器件底部的气密密封的可能性。这种方法还会在硅衬底内造成显著的应力,该应力尤其在具有高密度的这种深孔的器件内,会影响器件的完整性,使晶圆易于破裂。悬垂部分104至少通过在期望程度上阻止对半导体101内的腔的填充,有助于空隙的形成。

[0033] 除了其他方面以外,本主题还提供了硅通孔,所述硅通孔能够在高温晶圆粘合下存活,高温晶圆粘合包括在高于1000摄氏度下进行的熔融粘合,相比现有技术,具有改良的可制造性。本主题通过使用双材料沟槽替代单材料沟槽在某些情况下减小了上述方法的影响,其中,第二种材料具有更好的填充能力,并且可以形成具有较少空隙或没有空隙的孔,这能够改善密封(例如,气密密封)。某些示例提供了一种用于在没有空隙(即,一个或多个空隙)的情况下能实现更容易的沟槽填充的改进型沟槽。与单一材料的方法相比,这些示例为单晶硅提供了更加匹配的热膨胀系数(TCE)。这种方法可以减少晶圆弯曲的情况,从而提高晶圆的完整性。

[0034] 图2示出了根据一个示例的具有期望属性的一孔的横截面侧视图。在该示例中,半导体101(例如,硅半导体、单晶硅(SCS)半导体)具有形成在其中的孔(例如,硅通孔)。在衬底101中可以具有部分地或全部地贯穿该衬底101设置的沟槽280。填充物203和电介质204可以气密地密封到衬底。填充物203可以在硅的上表面282下方凹进。凹进的电介质可以减少该电介质与可邻近上表面282设置的部件之间接触的情况。电介质204和填充物203的组合能够提供因成形而产生的应力,所述应力相互抵消以减少衬底101的变形。

[0035] 图3示出了根据一个示例的具有曲线凹槽(flute)的一孔的横截面侧视图。在该示例中,凹槽或口状体304可以围绕顶部开口383,并且可以从上表面282和顶部开口延伸到衬底。该口状体可以形成单调递减的孔横截面宽度的一部分。口状体304可以比沟槽的顶部开口383大。口状体蚀刻可以是大体上各向同性的或高度锥形的(例如,高度锥形的DRIE)。形成口状体可以包括等离子蚀刻、二氟化氙蚀刻或湿法蚀刻口状体中的至少一种。口状体可以使一个人能够底切(undercut)设置在上表面282上的掩模材料,这能够去除悬垂部分或悬垂部分104。此外,口状体304可以减少或消除沟槽208内较深处的喷出(blowout)。

[0036] 孔可以是大体上无空隙的,意味着填充物203与电介质204相符,并且以单块形式延伸出电介质204所限定出的腔。

[0037] 填充物203可以包括半导体与电介质的组合和多晶硅中的至少一种。多晶硅可以包括未掺杂的超正形细微粒多晶硅。填充物203可以包括热氧化物。填充物203可以包括正硅酸四乙酯(TEOS)和另一低温氧化物中的至少一种。

[0038] 长度与宽度的长宽比的范围可以从15:1到50:1。深度的范围可以从0 μ m到一个或多个毫米。一个示例限定了约30:1的长宽比,深度在10和200 μ m之间。对材料之间的应力进

行补偿以产生接近于零的弯曲。在某些示例中,多晶硅被用于填充物203,填充物203设置在硅上生长出的氧化物的内部。可以形成一个孔(即,170 μm 深的孔),并且该孔的顶部可以包括2 μm 的热氧化物和约8 μm 宽的多晶硅,该孔的底部可以包括2 μm 的氧化物和4 μm 宽的多晶硅。

[0039] 图4是根据一个示例的具有大体为直线口状体的孔的横截面侧视图。在该示例中,直线口状体404通向上表面282,并且尺寸被设置为比沟槽280的顶部开口383要大。在填充物403的顶部处可以形成小型悬臂式的悬垂部分402。正如本文中所讨论的(例如,参见图17),这可以是蚀刻工艺的副产品,通过蚀刻工艺,去除电介质和/或填充物以使表面282下方的电介质凹进。虽然图4和图5中示出的口状体形成了与沟槽280的剩余部分具有不同斜率的锥形物,但是正如图2中所示的,示例可以在被填充的孔的一部分和所述剩余部分之间包括平滑过渡。其他的结构是可能的,因此口状体比沟槽更宽并且消除了悬垂部分。

[0040] 图5示出了根据各个示例的空隙的不同视图。接缝(seam)或空隙可以不合期望地降低待气密封的器件的能力。进一步地,接缝或空隙可以例如通过将施加到器件上的应力集中在某一位置(例如,接缝)处来降低该器件的机械稳定性。此外,接缝或空隙可以例如产生贮存仓,该贮存仓使欲被去除的材料被嵌于其中,从而造成加工难度。这些贮存的材料随后可能在后续加工步骤的过程中或在应用中被释放,并且可能对器件的性能产生不期望的影响。

[0041] A和B中公开的示例示出了一空隙,该空隙小到足够允许充分的密封和结构完整性,包括刚度。在视图A中,空隙504可以聚集材料,这是不期望的。如果空隙504能够被减小成一个小于填充物502的长度的小接缝,则可以获得期望的性能。

[0042] 在视图B中,514中的空隙516可以降低结构完整性。例如,填充物可以破开。这样的结构可能对器件性能产生不利的影响。然而,如果空隙516被保持在低于能够在特定应力下造成破裂的尺寸,则可以获得期望的性能。小于填充物514深度的20%的并且是独立的故而不朝表面或底部敞开的空隙,能够提供可接受的性能。然而,这样的空隙会导致与控制该空隙尺寸的难度相关的制造问题。

[0043] 在视图C中,描绘了设置在填充物506中的大的、开放接缝508。该接缝可以留住加工材料(例如,光刻胶)。这样的接缝可以影响气密性和大批量(at volume)加工晶圆的能力。一个或多个清洗工艺可以被用于抽取出这种材料,从而得到期望的器件。

[0044] 在视图D中,描述了填充物518内的大的、独立的空隙或接缝520,该空隙或接缝520可以导致机械不稳定性并且降低气密性。此外,控制空隙或接缝的尺寸是困难的。

[0045] 在视图E中,填充物510内的薄的接缝512跨越一长度(例如,孔的整个长度)。这样的接缝可以提供从孔顶部向孔底部泄露的路径,该接缝例如通过在器件内提供应力立管,能够负面地影响气密性和机械稳定性。在某些示例中,孔可以到达衬底之外。

[0046] 在视图F中,空隙522被设置在填充物524内的靠下位置。如果使用孔暴露(reveal)工艺,则靠近于孔底部的大的接缝会导致器件故障。这些接缝可能在孔暴露工艺中被打开,从而使加工困难并且引来污染。如果不使用孔暴露工艺,则能够产生具有可接受的性能的器件,但是精确控制可能是困难的。

[0047] 图6示出了根据一个示例的具有多材料沟槽的器件的横截面侧视图。该器件有利于避免在多材料硅孔形成过程中形成空隙。正如所示例的,沟槽280可以限定大体上成梯形

的横截面。沟槽280能够在衬底280的下表面681和该衬底的上表面282之间延伸贯穿衬底101。沟槽280的顶部可以朝向(open to)顶部开口383。沟槽280的底部可以朝向底部开口684。与底部开口684相比,顶部开口383在面积上可以更大。底部开口和顶部开口中的一者或二者可以横跨小于 $30\mu\text{m}$,并且它们之间的距离可以从 $5\mu\text{m}$ 到 $500\mu\text{m}$ 。这样的尺寸设置可以改善在没有空隙的情况下在电介质204内设置填充物203的能力。

[0048] 电介质204(例如,一层)可以被设置在沟槽280的内表面上。填充物203可以被设置在该沟槽内,该电介质层夹在该填充物和衬底之间。该结构可以提供气密密封。密封可以利用衬底的上表面和衬底的下表面之间的一个大气层的最小压力差来抵抗泄露。这种密封可以提供与形成到腔的边界相配的孔,该腔相对于装置的周围环境在真空下被密封。

[0049] 图7A示出了根据一个示例的具有限定周界的多材料沟槽的器件的横截面侧视图。在图7B中描绘了该周界,图7B是沿线7A--7A截取的横截面。沟槽可以是限定一电路的沟槽。该沟槽可以限定衬底101内的一电路,该衬底的内部部分位于该电路内,外部部分围绕该电路。该内部部分可以与该外部部分电介质隔离。该沟槽的横截面可以从顶部开口383到底部开口684逐渐变窄。

[0050] 腔706可以设置在硅101内。该腔的深度可以在 $0.001\mu\text{m}$ 和 $1000\mu\text{m}$ 之间。顶孔和口状体可以被设置在该腔内。腔边缘到孔的间隔可以大于或等于 $5\mu\text{m}$ 。

[0051] 图8A-B示出了根据一个示例的具有由器件层覆盖的限定周界的多材料沟槽的器件的横截面侧视图。帽状物或第二衬底807可以被粘合到第一衬底101。第二衬底807可以由单晶硅形成。粘合可以包括熔融粘合。熔融粘合可以包括疏水性粘合和亲水性粘合中的至少一种。粘合可以包括共熔粘合、粘结粘合或阳极粘合。第二衬底的厚度可以在 $2\mu\text{m}$ 和 $1000\mu\text{m}$ 之间。第二衬底的厚度可以在 $2\mu\text{m}$ 和 $1000\mu\text{m}$ 之间。

[0052] 填充物203的沟槽限定衬底101内的一电路,该衬底的内部部分809位于该电路内,外部部分810围绕该电路。通过使用气密密封粘合到第一衬底的第二衬底807,以及被密封到第一衬底101的包括填充物203的每个孔,可以将腔706密封(气密密封)以与器件的环境大气隔开。

[0053] 腔706覆盖填充物203的腔沟槽的全部或一部分。第二衬底807相对于第一衬底101的运动可以改变腔706内的流体的压力。可以监视该流体的特性(例如,该流体的电容或电阻)。这种监视可以产生一信号,该信号表示第二衬底807相对于第一衬底101的运动,例如指示压力的变化。这种压力变化可以指示许多事物,包括附近声压波发生器产生导致第二衬底807相对于第一衬底101运动的声音能量。还可以指示高度。因此,第二衬底807可以提供平面外传感电容器809。真空在形成过程中被施加到腔706内,使得该腔在使用中保持在真空下。在各个示例中,可以通过监视平行板彼此的运动(例如,通过使用触点102、102a来监视第二衬底807相对于第一衬底101的运动)来监视电容信号。

[0054] 用于传送该信号的一电极由粘合到导电衬底101的第一触点102形成,器件衬底807通过该导电衬底101连接到第一触点102,第一触点102耦合到外部部分,另一电极可以由第二触点102a形成,第二触点102a耦合到导电第一衬底101的内部部分。

[0055] 图9示出了根据一个示例的具有由限定交错手指的器件层覆盖的限定周界的多材料沟槽的一器件的横截面侧视图。第二衬底807可以包括平面内运动传感器,例如运动传感电容器。国际专利申请PCT/US2011/052061中公开了平面内运动传感电容器的一示例,该国

际专利申请PCT/US2011/052061具有2010年9月18日的优先权日,具有一个共同受让人,并且以引用方式全部地合并在本文中。除了本申请中的其他方面以外,图2和图11中公开了一种平面内运动传感电容器。

[0056] 填充物203的沟槽可以限定衬底101内的一电路,该衬底的内部部分位于该电路内,外部部分围绕该电路。第二衬底807的悬臂式部分911粘合到该内部部分,形成一电极。该悬臂式电极可以包括一梳状电极,该梳状电极被成型为例如通过属于每个梳状电极的交错手指与第二衬底807的剩余部分的梳状电极相间交错。其他结构包括但不限于平行板、平行梁、间隙紧密的相间交错的手指、盟友场(friend-field)电容器及其组合。例如通过改变内部电极板和外部电极板之间的距离,内部部分的运动913(例如,悬臂式电极911的运动)可以提供平面外传感电容器。

[0057] 用于传送该信号的一电极由粘合到导电衬底101的第一触点102形成,器件衬底807通过该导电衬底101连接到第一触点102,第一触点102耦合到外部部分,另一电极可以由第二触点102a形成,第二触点102a耦合到导电第一衬底101的内部部分。

[0058] 图10示出了根据一个示例的具有压力换能器和运动传感器的一器件的横截面侧视图。在该示例中,第一腔1015被配置成传感第二衬底807的大体形状的平面之外的运动。第二腔1014形成为第二衬底807的一部分,并且可以被配置成传感第二衬底807的大体形状的平面内的运动。第一腔和第二腔可以由第一衬底101和第二衬底807的相同部分来限定。可以在第一衬底内形成一个或多个腔1014、1015。一个或多个腔1014、1015可以包含一个或两个孔沟槽203、203a。一个或多个腔可以是被选择性地蚀刻在半导体衬底101的顶部的一腔的一部分。

[0059] 图11示出了根据一个示例的具有设置在器件层内的腔的一器件的横截面侧视图。可以在第二衬底807内形成一个或两个腔1115、1114。一腔可以包括第一衬底和第二衬底的部分,但是腔厚度会影响灵敏度,因此控制该腔的厚度是重要的。如果腔被设置在所述衬底中的一个衬底内,至少由于降低了层叠误差,则更容易控制腔的厚度。此外,如图10中所示,在衬底101内设置腔由于不需要对齐的粘合(熔融、阳极、黏结剂、共熔合金或其他方面)而使得制造更容易。

[0060] 图12示出了根据一个示例的具有多个孔衬底的一器件的横截面侧视图。第三衬底101a具有至少一个孔,所述至少一个孔包含可以被设置在第三衬底101内的填充物203沟槽。该结构将第二衬底807夹在两个硅衬底101、101a(例如,类似地形成的衬底)之间。触点203-203c可以被互连到电子设备,以传输由第二衬底相对于第一衬底101和第三衬底101a的运动产生的信号。该结构可以至少通过提供两个能够被监视以确定运动特性的信号,来改变器件的灵敏度。

[0061] 图13示出了根据一个示例的具有位于器件层上方的帽状物的一器件的横截面侧视图。帽状物1316可以通过支撑该帽状物的至少一个支撑结构被粘合1317到器件层。该帽状物可以使用硅熔融工艺、导电金属工艺、基于玻璃的工艺或基于黏结剂的工艺中的至少一种来粘合到器件层。该帽状物可以被用于形成腔1318。该帽状物可以提供气密密封以密封腔1318内流体(例如气体)。示例可以包括将器件层粘合到衬底,并且将帽状物粘合到该器件层,通过该帽状物、器件层和衬底限定一气密密封的室,当该衬底、帽状物和器件层中的其中一个能够被激发时,在该室内,相比于该帽状物 and 该衬底中的任何一者,器件室的一

部分可以更低的频率自由振动。第二衬底807相对于该帽状物和第一衬底中的一个或两个的运动可以向触点102、102a提供信号信息,所述信号信息可以通过电子设备来监视。该帽状物可以提供一盖来保护第二衬底807。

[0062] 图14示出了根据一个示例的具有对器件层的多个器件部分进行覆盖的帽状物的一器件的横截面侧视图。帽状物1418可以包括一支撑结构1419,该支撑结构1419可以包括一个或多个结构(例如,柱)。粘合可以包括使用与该帽状物和器件层之间的粘合剂相同的粘合剂将所述柱粘合到该帽状物和器件层。该支撑结构1419可以减少帽状物1418相对于第二衬底807的运动。这种减少可以例如通过减少帽状物1418运动向第二衬底807运动的转换,来降低传输到触点102、102a的信号噪声。进一步地,设置在帽状物和器件层之间的多个结构阻止了帽状物在二次成型(overmolding)过程中的弯曲。

[0063] 这些支撑结构可以形成多个腔,每个腔可在不同的压力和厄米性(hermiticity)水平下密封,每个腔覆盖第二衬底807的一器件部分。腔可以覆盖加速度传感器。腔可以覆盖环境压力传感器。腔可以覆盖陀螺仪。这些器件中的一部分或全部可以由相同的第一衬底101和第二衬底807形成。

[0064] 图15示出了根据一个示例的具有多材料沟槽的一器件的横截面侧视图。这些腔中的至少一个可以涂覆有导体1519(例如,金属),并且形成低阻电极和静电防护。因此,例如当结合另一触点102a的监视来配对监视触点1520时,帽状物1316相对于第二衬底807的运动可以向触点1520提供信号信息。帽状物的腔被设置在第二衬底807的与粘合到第一衬底101的侧相对的侧上。

[0065] 图16示出了根据一个示例的具有多材料沟槽的一器件的横截面侧视图。该示例将支撑结构1621与包含导体的腔相结合,因此第二衬底807的一部分或器件层可以向例如耦合至帽状物1418的一导体发送信号。

[0066] 图17示出了根据一个示例的由一示例半导体的迭代视图所示出的过程。

[0067] 在A处,提供了一晶圆1722(例如,一双侧抛光的晶圆)。该晶圆可以由单晶硅<100>形成。该晶圆可以是主晶圆(prime wafer)。该晶圆可以具有 $10\text{--}20\text{m}\Omega\cdot\text{cm}$ 的电阻率。该晶圆可以由P型硼或N型磷形成。该晶圆可以具有小于或等于20Å的粗糙度。该晶圆可以具有小于 $3\mu\text{m}$ 的总厚度变化。该晶圆可以具有大于 $200\mu\text{m}$ 的铸造标准厚度。

[0068] 该晶圆可以经受熔炉预清洗。该晶圆可以经受氟化氢(HF)浸渍。HF浸渍之后可以紧接着RCA清洗。可以检查表面以检测SC1清洗是否使晶圆的表面不期望地变粗糙了。

[0069] 在B处,可以例如通过湿法工艺热氧化晶圆,生长出 $1\mu\text{m}\pm 0.2\mu\text{m}$ 的氧化物层1724。该氧化物可以保护未划线(non-scribe)的表面。

[0070] 在C处,可以沉积光刻胶(PR),并且可以使用光刻胶使对准特征1726暴露,例如在晶圆的划线侧上。该特征可以被用于提供对准,以减少粘合步骤之后晶圆边缘的悬垂部分的情况。这样的悬垂部分可以导致边缘芯片(edge chip)和报废晶圆。可以在划线侧(SS)上对氧化物应用RIE蚀刻。该蚀刻可以在硅上,例如约 $1\mu\text{m}$ 处停止。在SS上的硅的RIE蚀刻可以是 $0.5\mu\text{m}\pm 0.1\mu\text{m}$ 。

[0071] 在D处,可以例如通过完全地去除氧化物来剥去氧化物。可以使用氟化氢(HF)浸渍。可以施加PR。可以暴露孔沟槽1728。可以对硅应用DRIE蚀刻,例如以提供连续锥形的轮廓。可以避免在氧化物硬模下的爆裂和唇(lip)。可以创造小于500纳米的DRIE扇贝

(scallop)。如果在氧化物硬模下保持硅唇,则可以使用两级DRIE,包括浅的各向同性蚀刻和主DRIE。

[0072] 在E处,可以去除聚合物,并且可以使用预熔炉清洗来清洗晶圆。它可能对从孔沟槽长时间地去除PR和使用长久的清洗是有用的。可以使用SRD来充分地干燥晶圆。可以使用适当的SRD周期长度来去除已经被困在孔内的小水滴。如果水滴保持在晶圆表面上,则它们可以在衬垫氧化期间氧化并且创造出小的表面突起。

[0073] 在F处,可以例如通过湿法工艺热氧化1730晶圆,生长出 $2\mu\text{m} \pm 0.2\mu\text{m}$ 的氧化物层1724。可能的氧化物厚度范围从 $0.5\mu\text{m}$ 到 $3.0\mu\text{m}$ 。

[0074] 在G处,例如在 $3.25\mu\text{m} \pm 0.4\mu\text{m}$ 厚处,可以使用低压化学气相沉积(LPCVD)来沉积多晶硅1732。沉积1732可以包括从约575摄氏度到约585摄氏度的温度下的正形的、未掺杂的、细微粒多晶硅沉积。沉积厚度可以是足够到完全地填充孔沟槽。

[0075] 在H处,可以使用化学机械抛光(CMP)来从硅的全部或一部分去除多晶硅,例如以暴露硅通孔的顶部部分1734。去除可以针对未划线侧(NSS)。

[0076] 在I处,可以使用化学机械抛光(CMP)来从硅的全部或一部分去除多晶硅。去除可以针对划线侧(SS)。去除可以在氧化物层1738上停止。

[0077] 在J处,可以在NSS上(例如在 $4\mu\text{m} \pm 0.5\mu\text{m}$ 处)进行多晶硅的DRIE蚀刻。可以使用各向同性蚀刻。可以在上表面下方使填充物凹进。可以使用表面光度仪(profilometer)来测量深度。

[0078] 在K处,可以在SS上(例如在 $4\mu\text{m} \pm 0.5\mu\text{m}$ 处)进行多晶硅的DRIE蚀刻。可以使用各向同性蚀刻。蚀刻可以从对准特征1742去除纵梁(stringer)。

[0079] 在L处,可以使用O2晶圆清洗来清洗晶圆,例如以去除有机聚合物。可以进行例如 $2\mu\text{m} \pm 0.2\mu\text{m}$ 的湿法氧化物蚀刻,例如以去除表面氧化物。蚀刻可以使氧化物在多晶硅表面的下方凹进约 $1\mu\text{m}$ 。蚀刻可以在晶圆上表面的下方去除约 $4\mu\text{m}$ 的氧化物,从而限定凹进1740。可以如此限定凹进1744。

[0080] 在M处,可以沉积PR,并且可以在NSS上暴露电极间隙1748。可以对NSS上的硅进行例如 $2\mu\text{m} \pm 0.2\mu\text{m}$ 的RIE或DRIE蚀刻。可以剥去PR,并且可以使用表面光度仪来验证间隙厚度。它可能对从孔沟槽长时间地去除PR和使用长久的清洗是有用的。可以使用SRD来充分地干燥晶圆。可以使用适当的SRD周期长度来去除已经被困在孔内的小水滴。如果水滴保持在晶圆表面上,则它们可以在衬垫氧化期间氧化并且创造出小的表面突起。

[0081] 从晶圆表面去除表面状况(topography)(粒子、多晶硅、氧化物等)可能是有利的,例如以确保器件功能不会干扰这种表面状况。

[0082] 图18示出了根据一个示例的包括熔融粘合的过程。

[0083] 在A处,提供了一晶圆1850(例如,一双侧抛光的晶圆)。该晶圆可以由具有<100>的定向的单晶硅形成。该晶圆可以是主晶圆。该晶圆可以具有 $10\text{--}20\text{m}\Omega\text{-cm}$ 的电阻率。该晶圆可以由P型硼形成。该晶圆可以具有小于或等于20Å的粗糙度。该晶圆可以具有小于 $3\mu\text{m}$ 的总厚度变化。该晶圆可以具有大于 $200\mu\text{m}$ 的铸造标准厚度。

[0084] 可以对器件和孔晶圆中的一者或两者运用预熔融粘合激活。可以使用硫酸,然后使用SC1RCA清洗,并且使用HF结束。

[0085] 在B处,层可以是严格对准的。可以例如在至少 1100°C 的温度(在某些示例中使用

高于1200℃的温度)下进行熔融粘合退火和氧化。可以创造出约 $1\mu\text{m} \pm 0.1\mu\text{m}$ 的氧化物1852的厚度。可以使用SAM(扫描式声波显微镜)和晶圆级红外线(IR)来监视粘合完整性。

[0086] 在C处,顶部衬底可以接地,并且CMP可以被应用于NSS。器件层1854的厚度可以是 $60\mu\text{m} \pm 2\mu\text{m}$ 。

[0087] 如上所述,在某些步骤过程中,从晶圆表面去除表面状况(颗粒、多晶硅、氧化物等)可能是有利的,例如以确保器件功能不会干扰这种表面状况。

[0088] 图19示出了根据一个示例的配置成测量运动的一可选半导体器件的横截面侧视图。在该示例中,第一衬底101包括贯穿该第一衬底101形成的孔,一器件层1962粘合到第一衬底101。该器件层1962包括两个配置成向触点1960提供信号的平面内传感器1972、1974。在该示例中,传感器之间的差动运动产生表示该差动运动的信号。因此,这些传感器可以具有不同质量和/或不同数量或总面积的电极。导体1968被施加到帽状物1966上,该帽状物1966覆盖这些传感器以创造密封的腔。导体1968可以形成一触点的一部分,以提供差动信号信息。盖1956覆盖触点1960和电介质层1958的一部分。在一示例中,通过将硅101的部分上方的电介质层蚀刻掉来构造触点1960,以用于传导信号。

[0089] 补充注释

[0090] 本主题可以通过举几个示例的方式来进行说明。示例1可包括如下主题(例如,系统、装置、方法、有形机器可读介质等),该主题可包括电隔离设置在衬底内的孔,该衬底可以在该孔的顶部和该孔的底部之间提供气密密封的方式被创造。可选地,该示例可在一段很长时间内保持10毫托的真空。

[0091] 在示例2中,一系统或装置可包括或者可以可选地与示例1的任何部分或任何部分的组合相结合以包括:通过深反应离子蚀刻(DRIE)出沟槽而形成孔,这些孔可以以电介质为内衬,并且可被填充材料,从而几乎或完全无空隙。

[0092] 在示例3中,一系统或装置可包括或者可以可选地与示例1至2中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,填充物包括多晶硅或半导体和电介质。在一些示例中,填充物不只是包括电介质。

[0093] 在示例4中,一系统或装置可包括或者可以可选地与示例2至3中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,填充物包括热氧化物。

[0094] 在示例5中,一系统或装置可包括或者可以可选地与示例2至4中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,填充物包括正硅酸四乙酯(TEOS)或其他低温氧化物。

[0095] 在示例6中,一系统或装置可包括或者可以可选地与示例1至5中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,多晶硅可以是未掺杂的580摄氏度LPCVD多晶硅(例如,超正形细微粒多晶硅)。

[0096] 在示例7中,一系统或装置可包括或者可以可选地与示例2至6中的任何一个或多个示例的任何部分或任何部分的组合相结合,使得DRIE沟槽的横截面可以是锥形。

[0097] 在示例8中,一系统或装置可包括或者可以可选地与示例7的任何部分或任何部分的组合相结合,使得DRIE沟槽具有扩宽的口状体或由SCS(单晶硅)形成的“口状体”。

[0098] 在示例9中,一系统或装置可包括或者可以可选地与示例8的任何部分或任何部分的组合相结合,其中,“口状体”可以通过各向同性蚀刻(例如,等离子体、XeF₂、湿法蚀刻等

及其组合)或者高度锥形DRIE蚀刻来形成。

[0099] 在示例10中,一系统或装置可包括或者可以可选地与示例1至9中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,沟槽的顶部和底部临界尺寸(CD)可以小于 $30\mu\text{m}$,并且蚀刻的深度可以为 $5\mu\text{m}$ 至 $500\mu\text{m}$ 。

[0100] 在示例11中,一系统或装置可包括或者可以可选地与示例2至10中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,电介质可以在衬底表面下方凹进。

[0101] 在示例12中,一系统或装置可包括或者可以可选地与示例2至11中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,填充物可以在衬底表面下方凹进。

[0102] 在示例13中,一系统或装置可包括或者可以可选地与示例2至12中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,沟槽形成一个或多个回路。

[0103] 在示例14中,一系统或装置可包括电介质隔离并且气密密封衬底内的一个或多个孔,选择性地在衬底表面内蚀刻出一腔,该腔包围所述一个或多个孔的至少一部分。

[0104] 在示例15中,一系统或装置可包括或者可以可选地与示例14的任何部分或任何部分的组合相结合,其中,腔的深度可以在 $0.001\mu\text{m}$ 至 $1000\mu\text{m}$ 之间。

[0105] 在示例16中,一系统或装置可包括或者可以可选地与示例14至15中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,可以首先创造出一个或多个孔,紧接着创造出腔。

[0106] 在示例17中,一系统或装置可包括或者可以可选地与示例14至16中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,可以首先创造出腔,紧接着创造出一个或多个孔。

[0107] 在示例18中,一系统或装置可包括或者可以可选地与示例14至17中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,孔可以完全地被包含在腔内。

[0108] 在示例19中,一系统或装置可包括或者可以可选地与示例14至19中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,腔边缘到孔的间距可以不小于 $5\mu\text{m}$ 。

[0109] 在示例20中,一系统或装置可包括或者可以可选地与示例1至13中的任何一个或多个示例的任何部分或任何部分的组合相结合,可以与示例14至19中的任何一个或多个示例相结合。

[0110] 示例21可包括主题(例如,一系统、装置、方法、有形机器可读介质等),该主题可包括电隔离并且气密密封衬底(“孔衬底”)内的孔,选择性地在衬底表面和粘合到孔衬底的第二衬底(“器件衬底”)中的一者或两者内蚀刻出腔。

[0111] 在示例22中,一系统或装置可包括或者可以可选地与示例21的任何部分或任何部分的组合相结合,其中,所述衬底中的一个或多个衬底可以由单晶硅(SCS)形成。

[0112] 在示例23中,一系统或装置可包括或者可以可选地与示例21至22中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,粘合中的至少一种包括(疏水性、亲水性等)熔融粘合。

[0113] 在示例24中,一系统或装置可包括或者可以可选地与示例21至23中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,至少一种粘合包括共熔粘合、阳极粘合或粘结粘合。

[0114] 在示例25中,一系统或装置可包括或者可以可选地与示例21至24中的任何一个或

多个示例的任何部分或任何部分的组合相结合,其中,器件衬底的厚度可以在 $2\mu\text{m}$ 至 $1000\mu\text{m}$ 之间。

[0115] 在示例26中,一系统或装置可包括或者可以可选地与示例21至25中的任何一个或多个示例的任何部分或任何部分的组合相结合,其中,器件衬底的厚度可以在 $2\mu\text{m}$ 至 $1000\mu\text{m}$ 之间。

[0116] 在示例27中,一系统或装置可包括或者可以可选地与示例2至19中的任何一个或多个示例的任何部分或任何部分的组合相结合,可以可选地与示例21至26中的任何一个或多个示例的任何部分或任何部分的组合相结合。

[0117] 示例28可包括主题(例如,一系统、装置、方法、有形机器可读介质等),该主题可包括平面外(例如,竖直移动)传感电容器,其中,一电极可以由粘合至导电晶圆的触点形成,器件衬底通过导电晶圆连接至该触点,该触点耦合到TSV沟槽内部的TSV衬底,并且另一电极可以由耦合到TSV沟槽外部的TSV衬底的一触点来形成,其中,触点1和触点2可以使用权利要求1至27中的任一项所述的孔来进行隔离。

[0118] 在示例29中可包括主题(例如,一系统、装置、方法、有形机器可读介质等),该主题可包括平面内(例如,水平移动)传感电容器(例如,包括梳齿的电容器),其中,一电极可以由粘合至导电晶圆的触点形成,器件衬底通过导电晶圆连接至该触点,该触点耦合到TSV沟槽内部的TSV衬底,并且另一电极可以由耦合到TSV沟槽外部的TSV衬底的触点来形成,其中,触点1和触点2可以使用权利要求1至27中的任一项所述的孔来进行隔离。

[0119] 在示例30中,一系统或装置可包括或者可以可选地与示例1至29中的任何一个或多个示例的任何部分或任何部分的组合相结合,包括使用以上权利要求中的任一项所限定的TSV在同一器件衬底上制造的平面内传感电容器和平面外传感电容器。

[0120] 在示例31中,一系统或装置可包括或者可以可选地与示例1至20中的任何一个或多个示例的任何部分或任何部分的组合相结合,但是具有在器件层上制造的间隙。

[0121] 在示例32中,一系统或装置可包括或者可以可选地与示例1至31中的任何一个或多个示例的任何部分或任何部分的组合相结合,但是在器件层的另一侧上具有TSV。

[0122] 在示例33中,一系统或装置可包括或者可以可选地与示例1至32中的任何一个或多个示例的任何部分或任何部分的组合相结合,但是在器件层的两侧上具有TSV。

[0123] 在示例34中,一系统或装置可包括或者可以可选地与示例1至33中的任何一个或多个示例的任何部分或任何部分的组合相结合,但是具有粘合到在器件衬底的另一侧上的帽状物。

[0124] 在示例35中,一系统或装置可包括或者可以可选地与示例1至34中的任何一个或多个示例的任何部分或任何部分的组合相结合,帽状物使用硅熔融工艺粘合。

[0125] 在示例36中,一系统或装置可包括或者可以可选地与示例1至35中的任何一个或多个示例的任何部分或任何部分的组合相结合,帽状物使用导电金属工艺粘合。

[0126] 在示例37中,一系统或装置可包括或者可以可选地与示例1至36中的任何一个或多个示例的任何部分或任何部分的组合相结合,帽状物使用基于玻璃的工艺粘合。

[0127] 在示例38中,一系统或装置可包括或者可以可选地与示例1至37中的任何一个或多个示例的任何部分或任何部分的组合相结合,帽状物使用基于粘结剂的工艺粘合。

[0128] 在示例39中,一系统或装置可包括或者可以可选地与示例1至38中的任何一个或

多个示例的任何部分或任何部分的组合相结合,但是帽状物具有柱形式的一个或多个帽状物支撑结构,所述帽状物支撑结构中的任一个帽状物支撑结构可以减小帽状物在塑料二次成型过程中的弯曲,其中,柱和器件层之间的粘合剂可以与帽状物和器件层之间的相同。

[0129] 在示例40中,一系统或装置可包括或者可以可选地与示例1至39中的任何一个或多个示例的任何部分或任何部分的组合相结合,但是,其中,一个或多个帽状物支撑结构形成腔,每个腔在不同的压力和/或不同水平的厄米性下是密封的,以最优化不同器件(例如在环境压力下密封的加速度传感器和在真空中密封的陀螺仪)的性能。

[0130] 在示例41中,一系统或装置可包括或者可以可选地与示例1至40中的任何一个或多个示例的任何部分或任何部分的组合相结合,但是,帽状物具有至少一个涂覆有金属的腔,以形成低电阻率电极和静电防护。

[0131] 在示例42中,一系统或装置可包括或者可以可选地与示例1至41中的任何一个或多个示例的任何部分或任何部分的组合相结合,填充物由两种或更多种材料组成。

[0132] 这些非限制性的示例中的每一个示例可独立存在,或者可以各种排列的形式进行组合或者与其他示例中的一个或多个示例相结合。

[0133] 上述详细说明书参照了附图,附图构成了所述详细说明书的一部分。附图以举例说明的方式显示了可实施本发明的具体实施例。这些实施例在本文中也称作“示例”。这些示例可包括除了所示或所描述的元件以外的元件。然而,本发明人还设想到了其中仅提供所示或所描述的那些元件的示例。此外,本发明人还设想到了使用所示或所描述的那些元件的任意组合或排列的示例(或其一个或多个方面),针对本文所示的或所描述的具体示例(或其一个或多个方面),或针对本文所示的或所描述的其他示例(或其一个或多个方面)。

[0134] 如果本发明与任何通过引用的方式并入的文件之间存在用途差异,则以本发明的用途为准。

[0135] 在本文中,与专利文件通常使用的一样,术语“一”或“某一”表示包括一个或多个,但其他情况或在使用“至少一个”或“一个或多个”时应除外。在本文中,除非另外指明,否则使用术语“或”指无排他性的或者,使得“A或B”包括:“A但不是B”、“B但不是A”以及“A和B”。在本文中,术语“包含”和“在其中”等同于各个术语“包括”和“其中”的通俗英语。同样,在本文中,术语“包含”和“包括”是开放性的,即,系统、设备、物品、成分、公式或步骤包括除了权利要求中这种术语之后所列出的那些部件以外的部件的,依然视为落在该条权利要求的范围之内。而且,在所附的权利要求中,术语“第一”、“第二”和“第三”等仅仅用作标签,并非对对象有数量要求。

[0136] 本文所述的方法示例至少部分可以是机器或计算机执行的。一些示例可包括计算机可读介质或机器可读介质,计算机可读介质或机器可读介质被编码有可操作为将电子装置配置成执行如上述示例中所述方法的指令。这些方法的实现可包括代码,例如微代码,汇编语言代码,高级语言代码等。这种代码可包括用于执行各种方法的计算机可读指令。所述代码可构成计算机程序产品的部分。此外,在一个示例中,所述代码可例如在执行期间或其他时间被有形地存储在一个或多个易失、非暂时或非易失性有形计算机可读介质上。这些有形计算机可读介质的示例包括但不限于硬盘、移动磁盘、移动光盘(例如,压缩光盘和数字视频光盘)、磁带、存储卡或棒、随机存取存储器(RAM)、只读存储器(ROM)等。

[0137] 上述说明的作用在于解说而非限制。例如,上述示例(或示例的一个或多个方面)可结合使用。本领域普通技术人员可以在理解上面的描述的基础上使用其他实施例。遵照 37C.F.R. §1.72(b) 的规定提供摘要,允许读者快速确定本技术公开的性质。提交本摘要时要理解的是该摘要不用于解释或限制权利要求的范围或意义。同样,在上面的具体实施方式中,各种特征可归类成将本公开合理化。这不应理解成未要求的公开特征对任何权利要求必不可少。相反,发明的主题可在于的特征少于特定公开的实施例的所有特征。因此,所附的权利要求据此并入具体实施方式中,并且可设想到这些实施例可以在各种组合或排列中彼此结合。应参看所附的权利要求,以及这些权利要求所享有的等同物的所有范围,来确定本申请的范围。

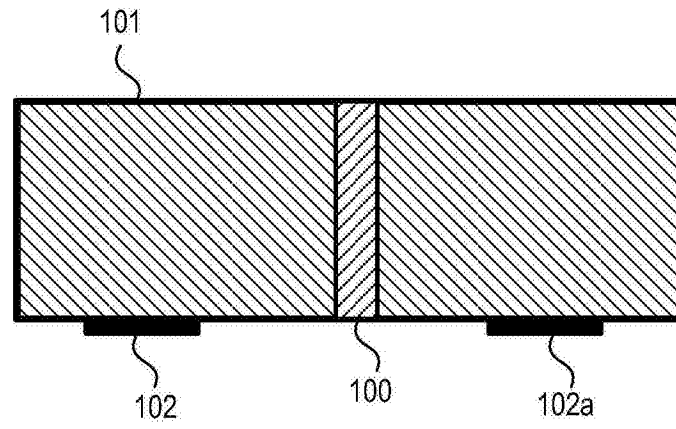


图1A

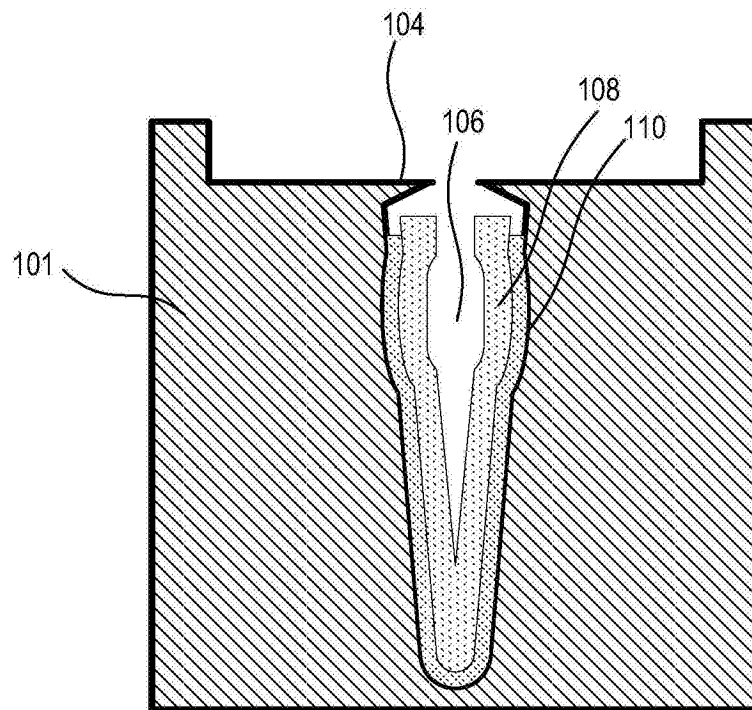


图1B

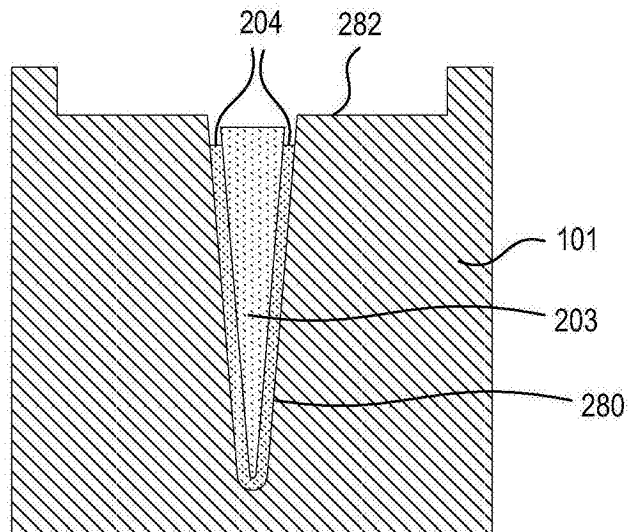


图2

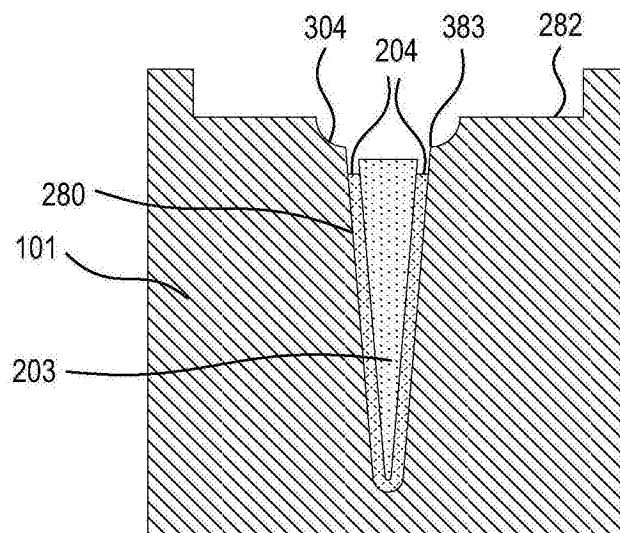


图3

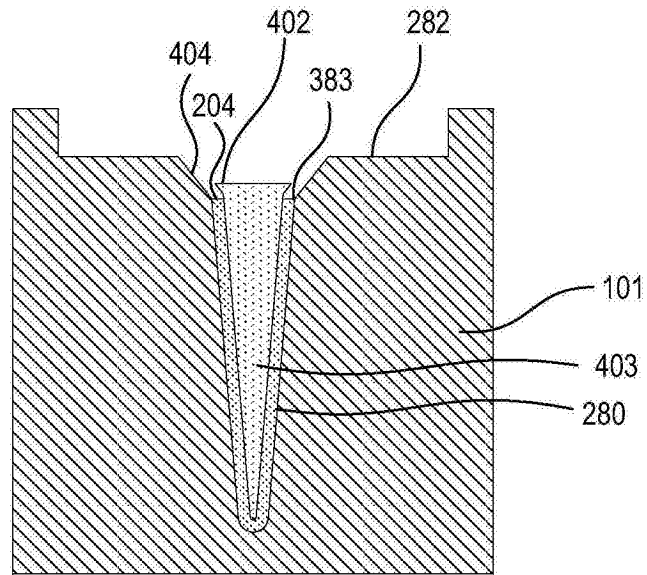


图4

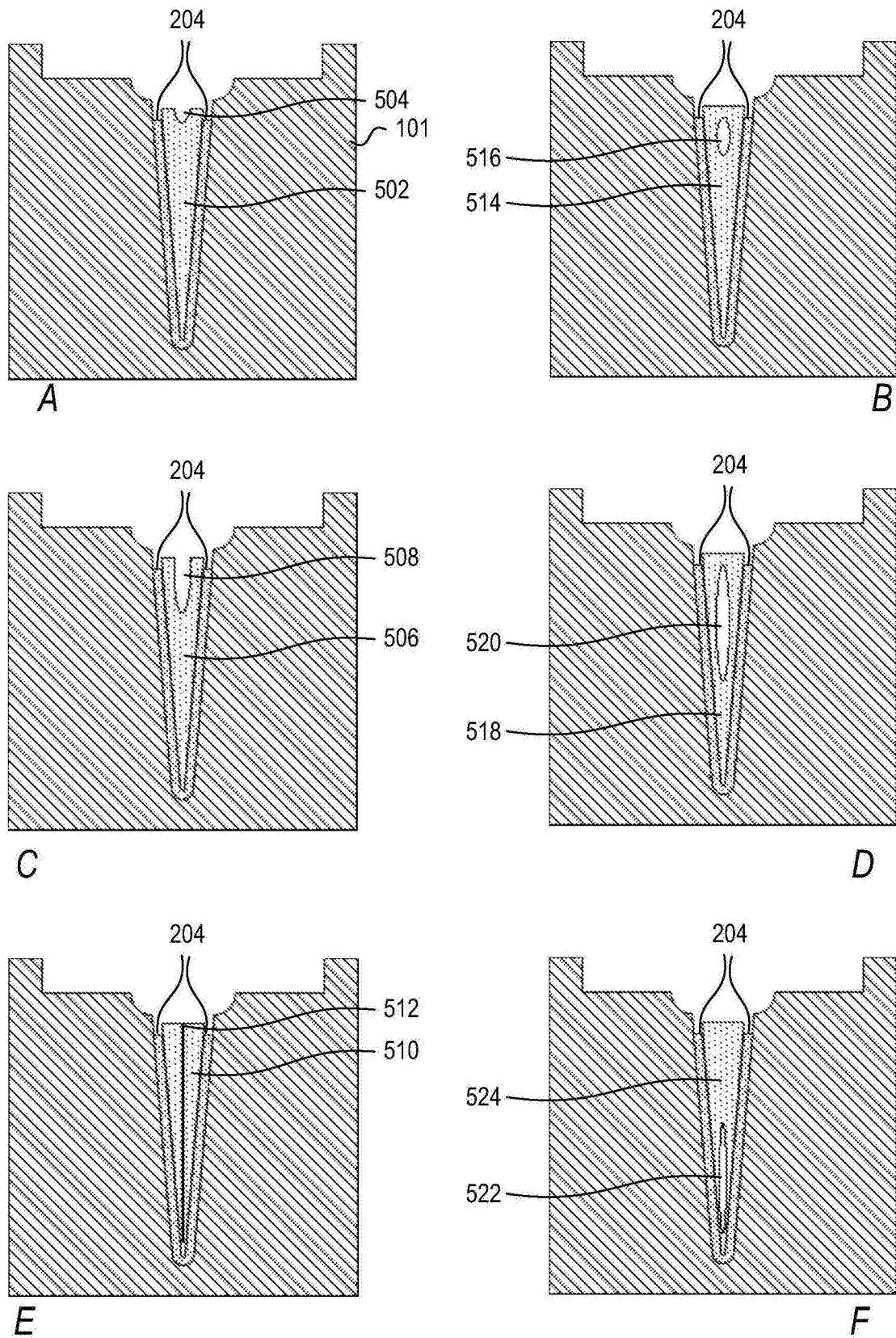


图5

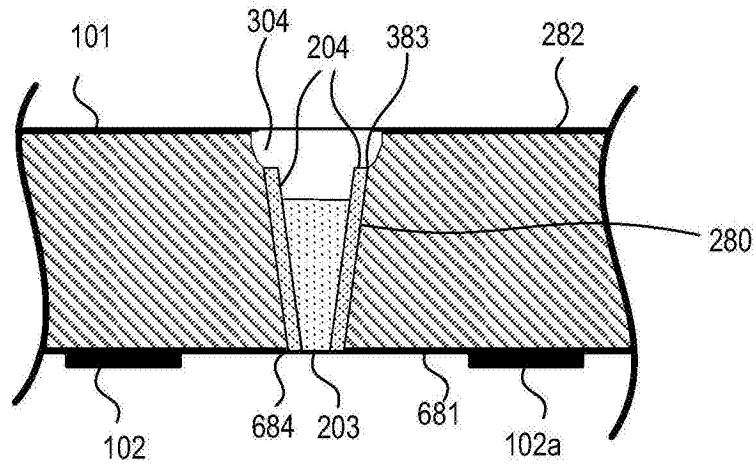


图6

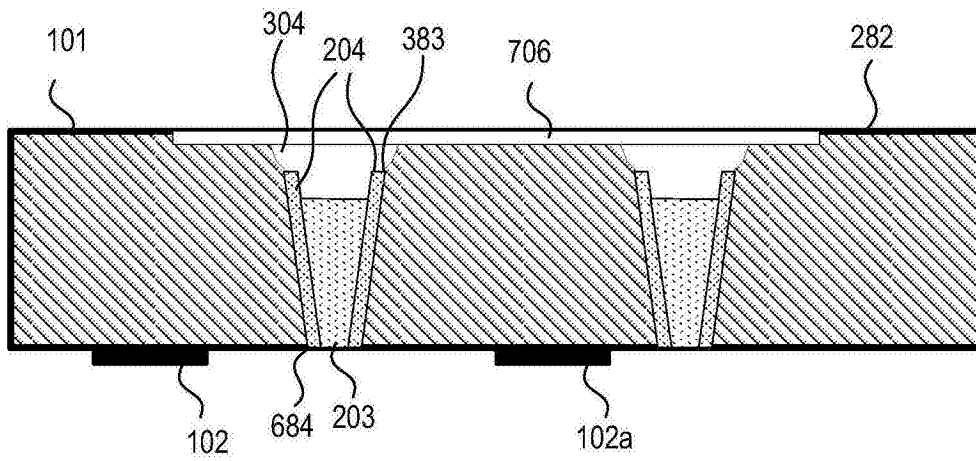


图7A

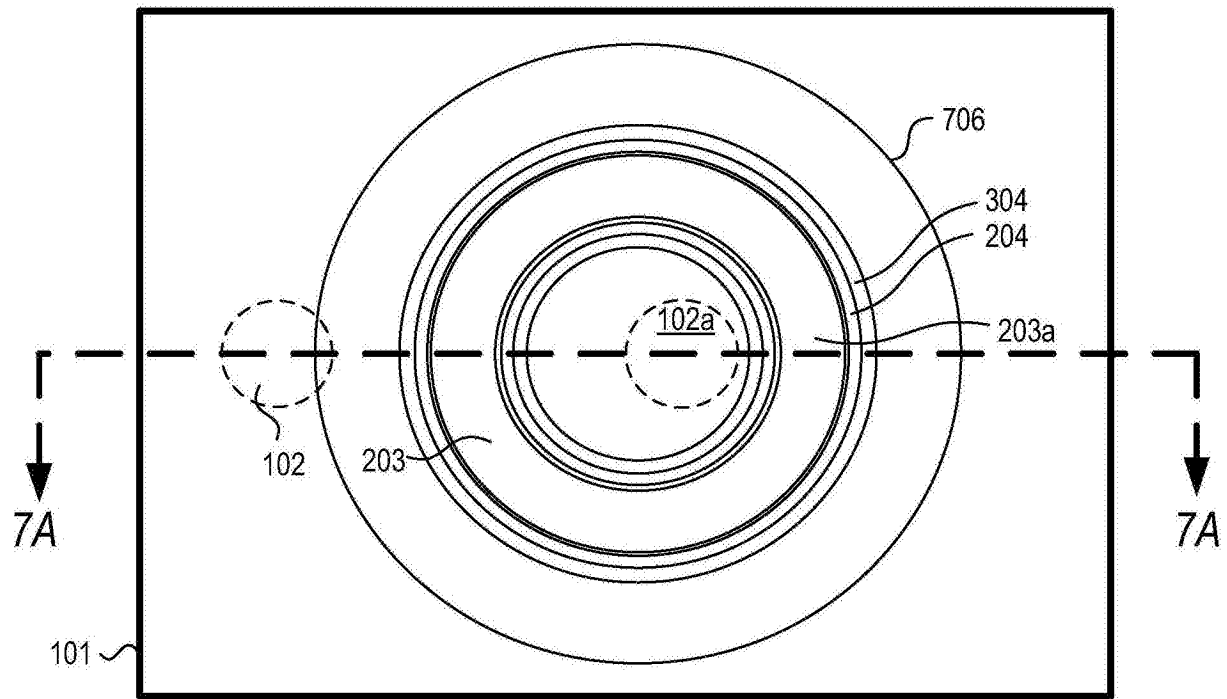


图7B

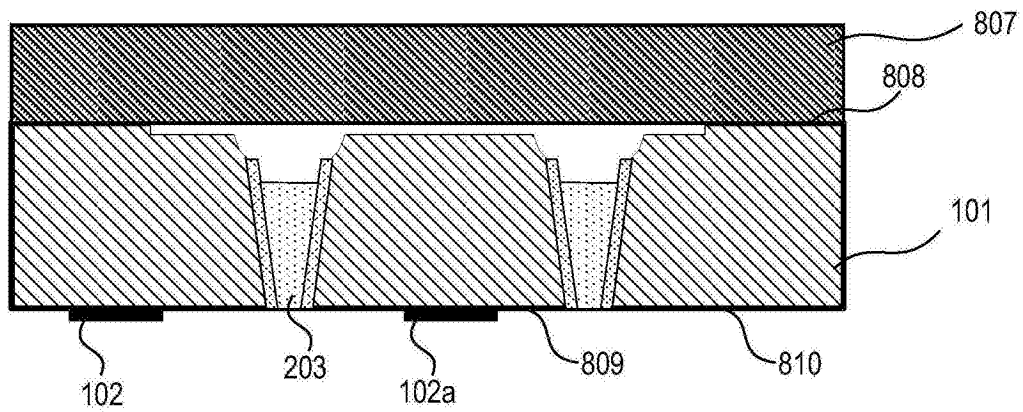


图8A

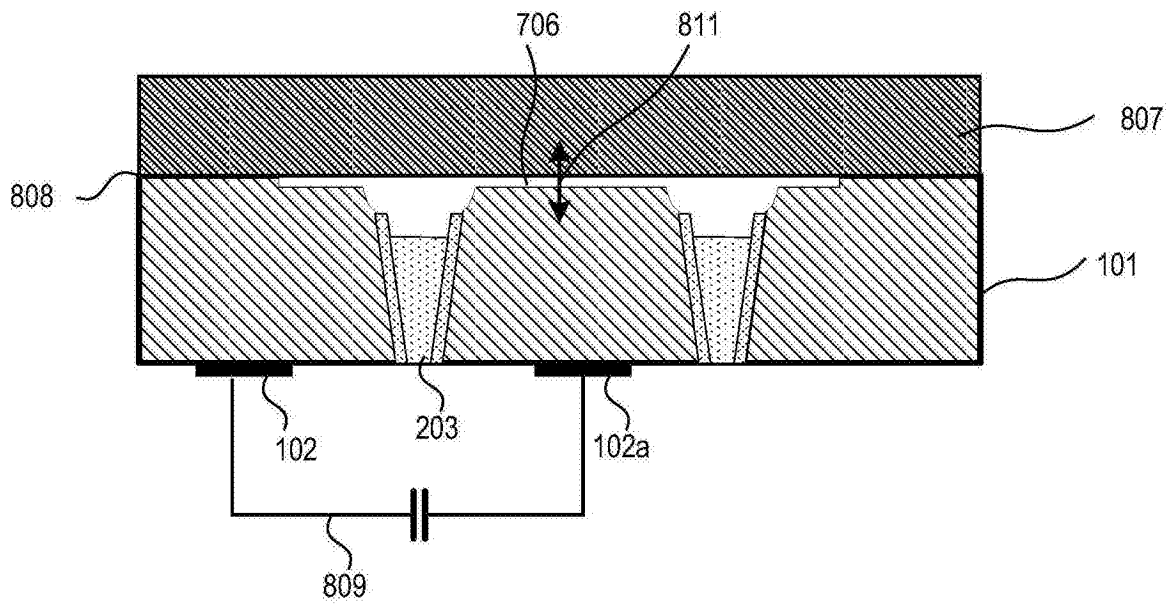


图8B

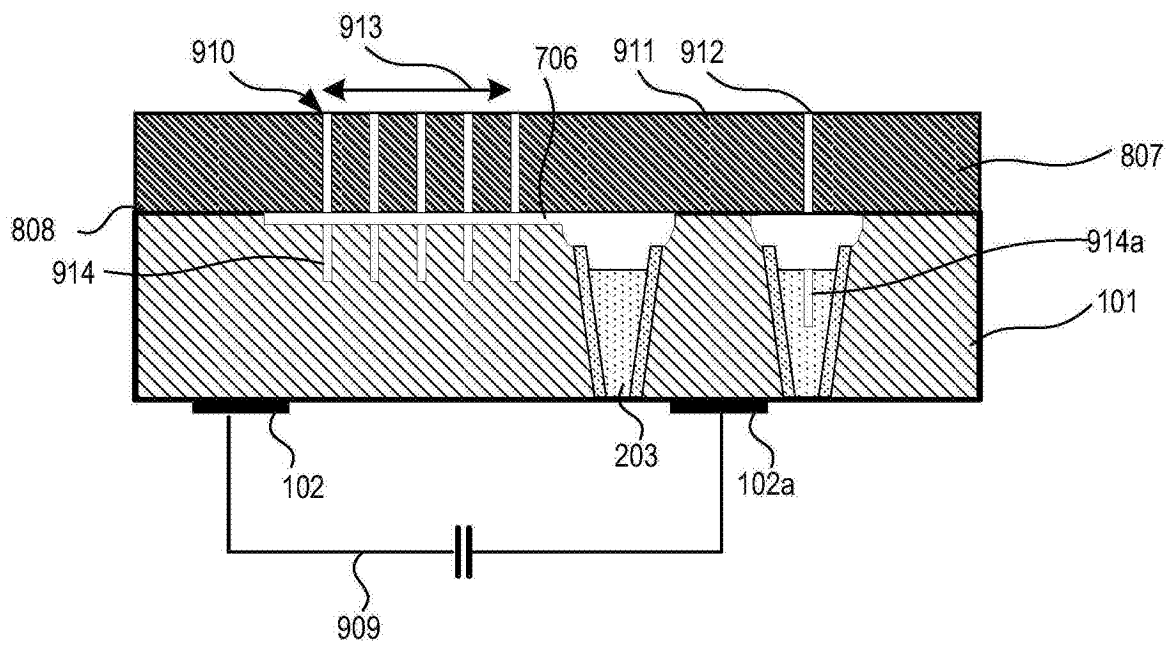


图9

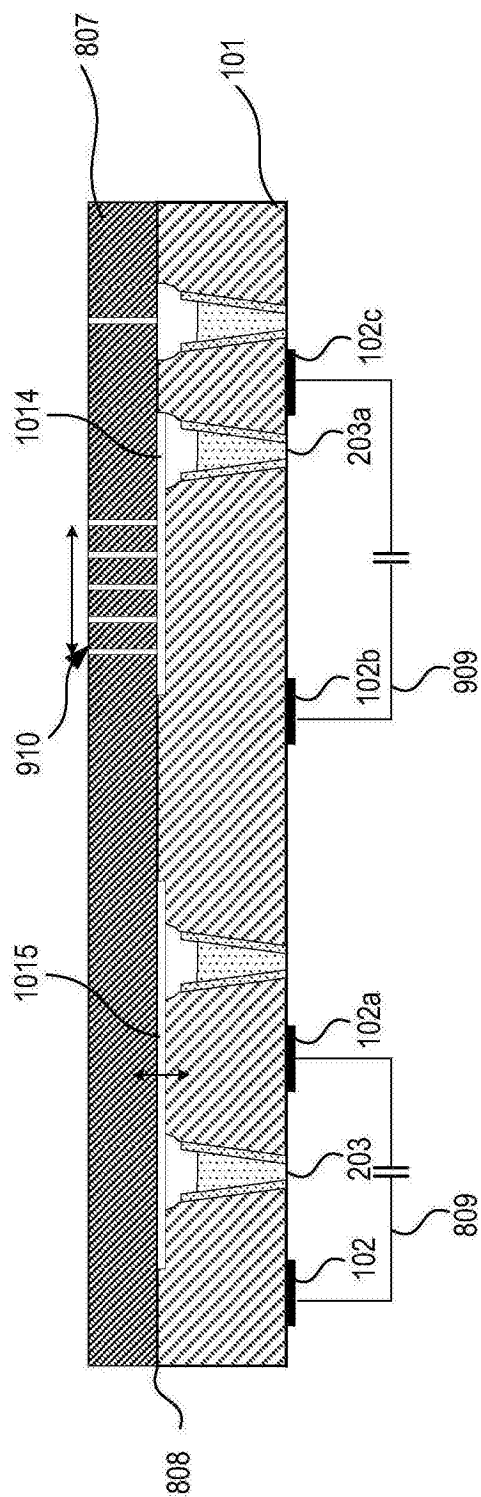


图10

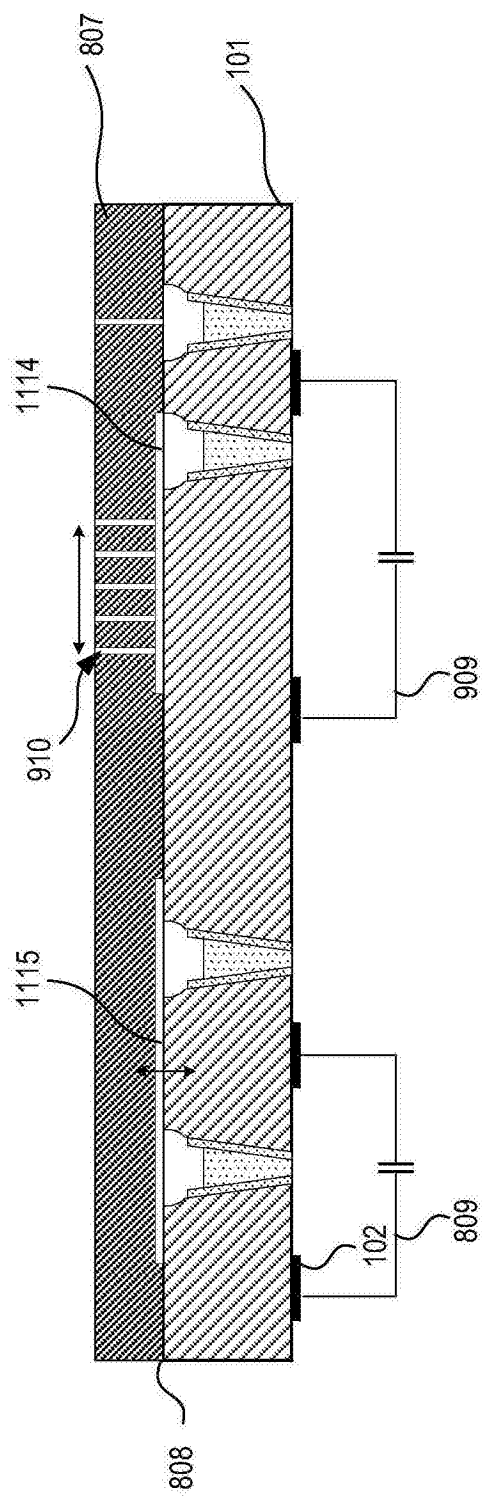


图11

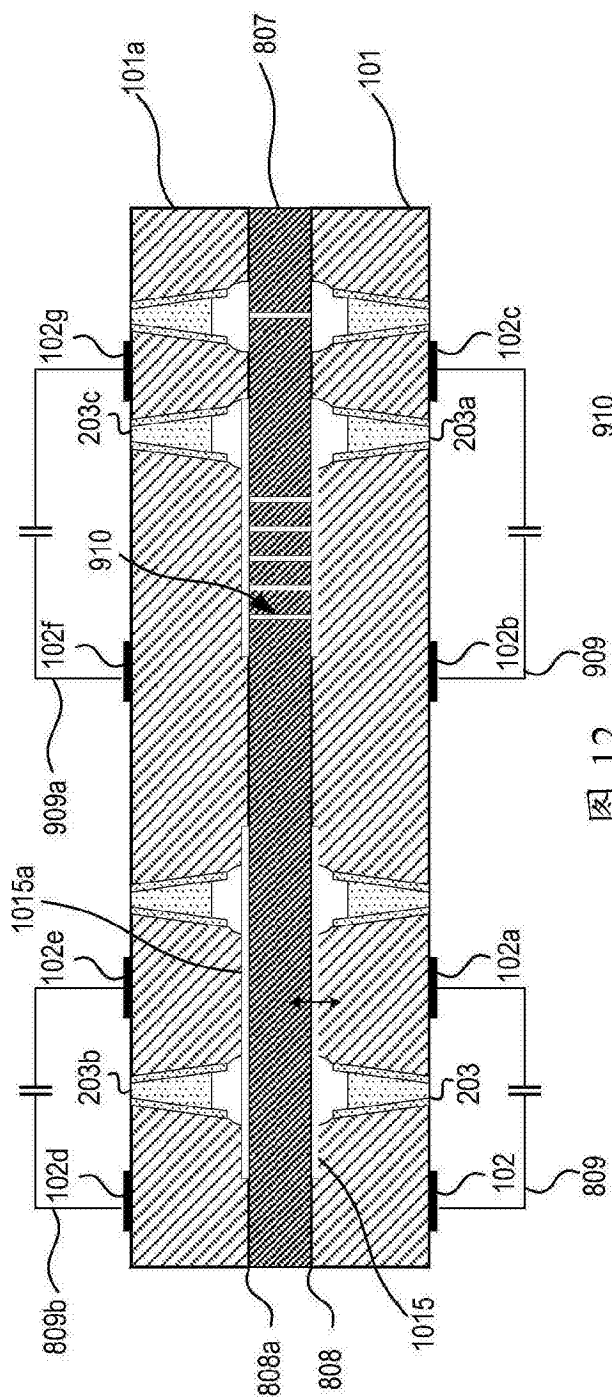


图 12

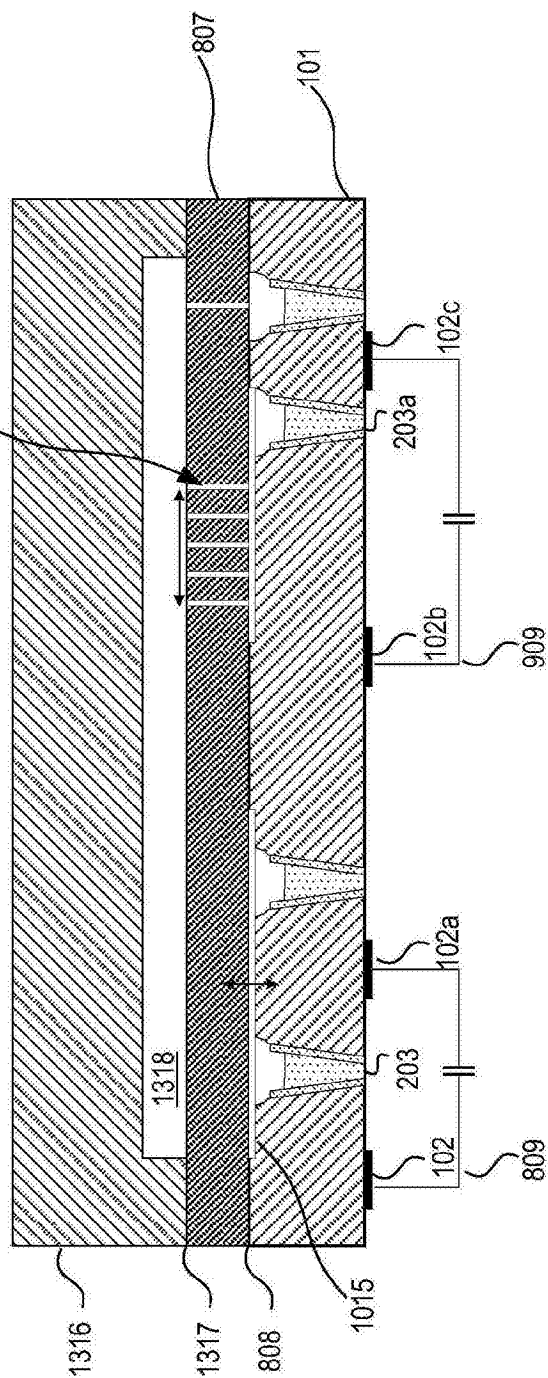


图 13

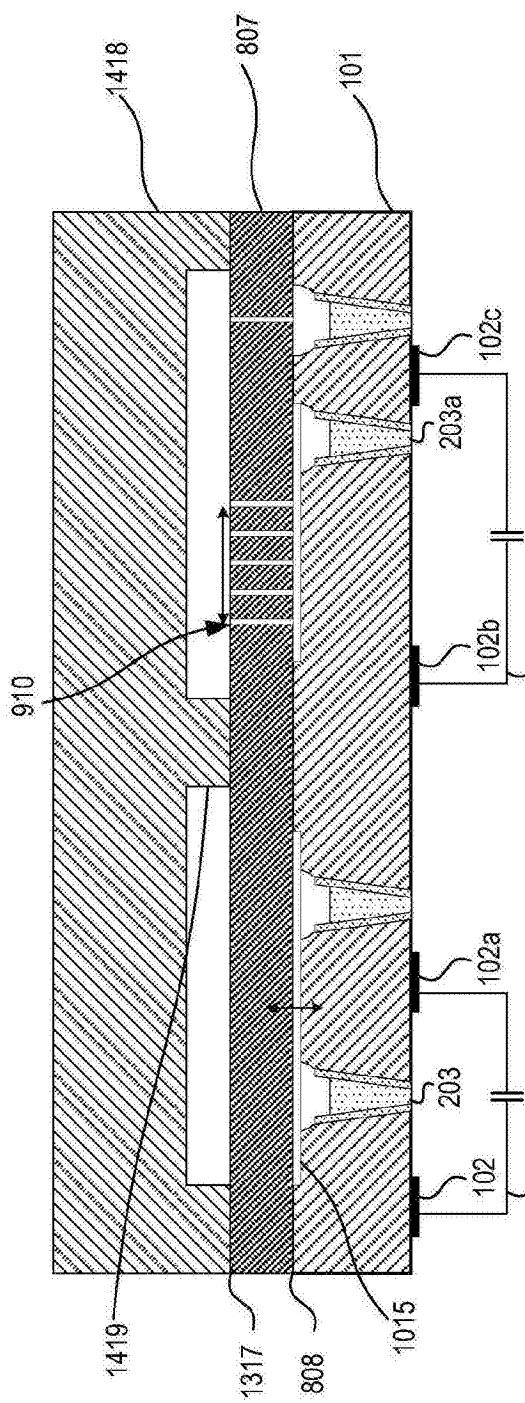


图 14

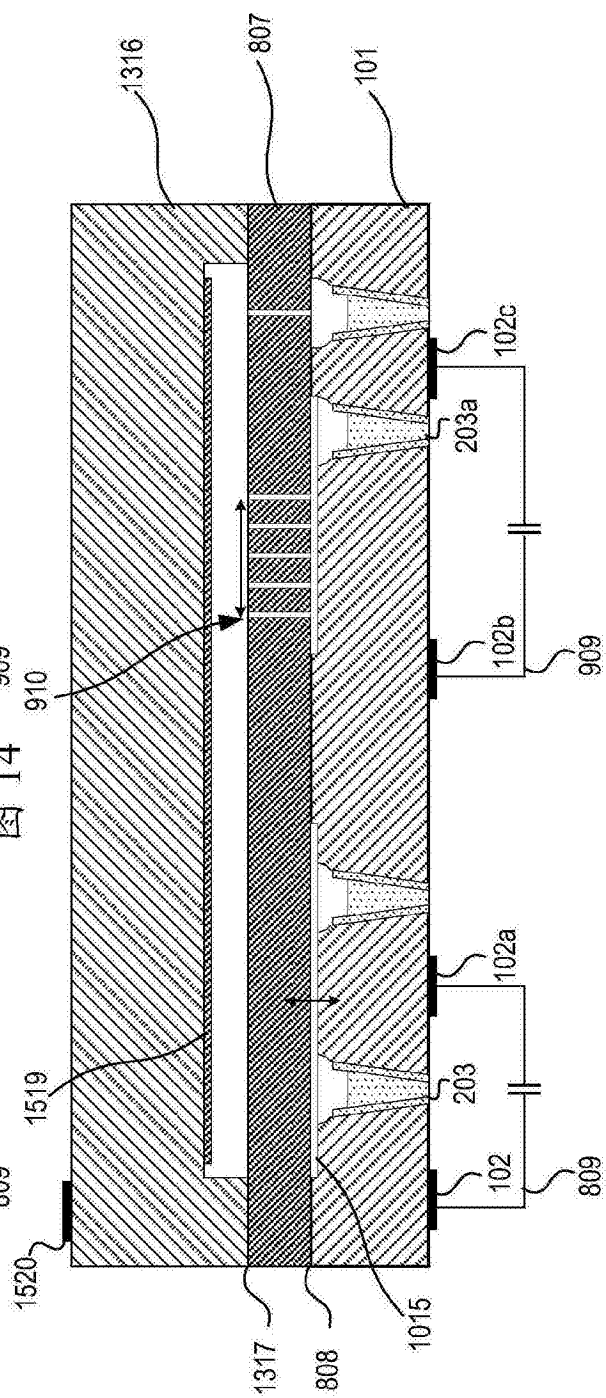


图 15

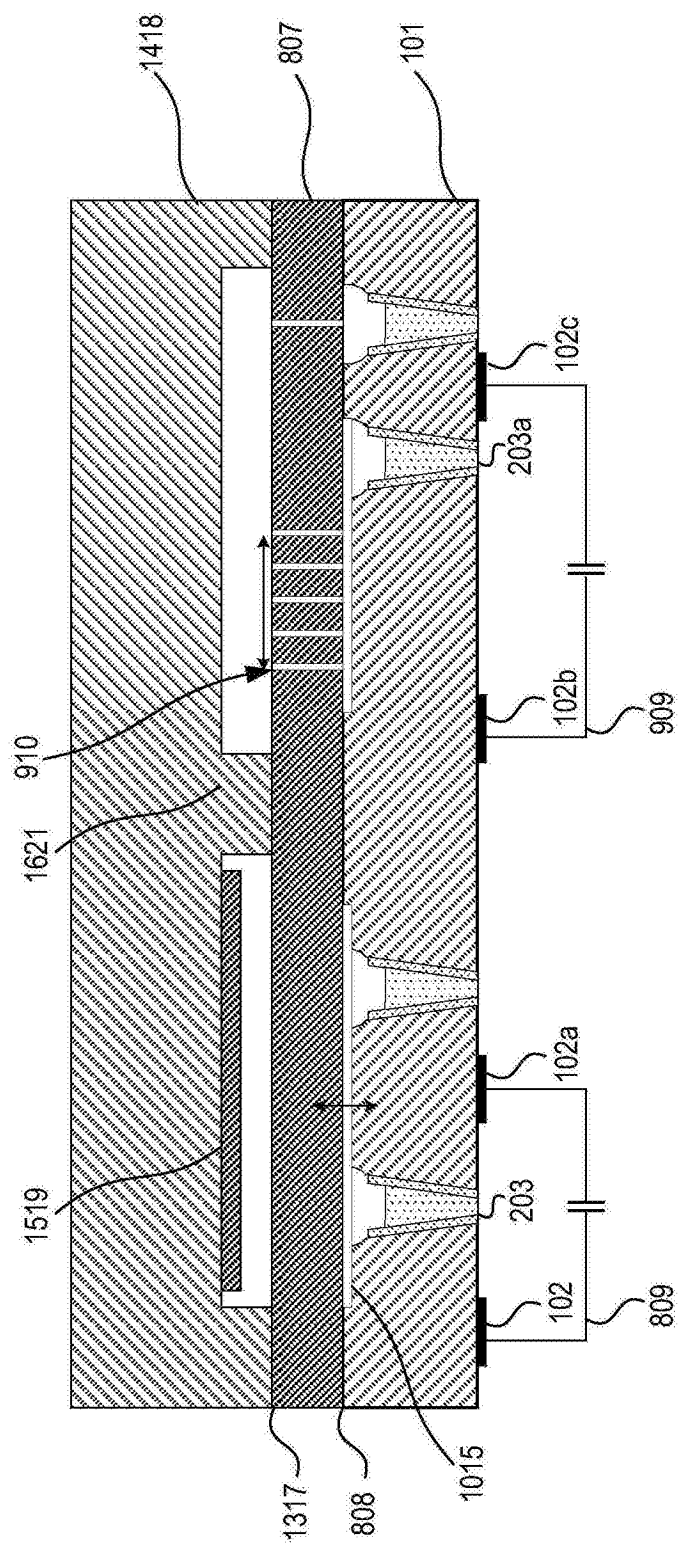
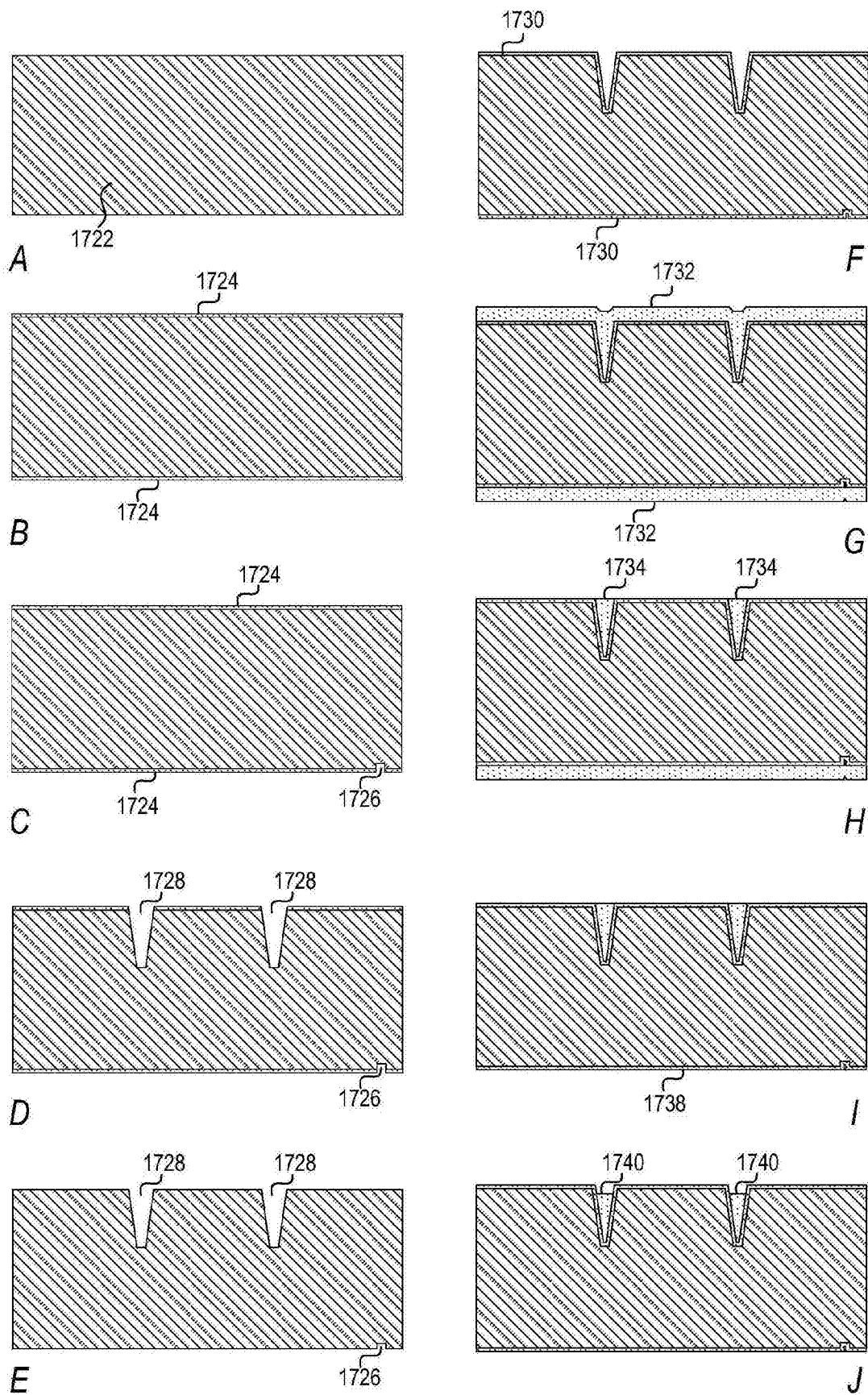


图 16



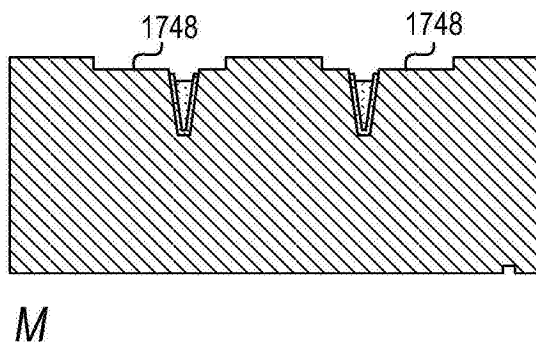
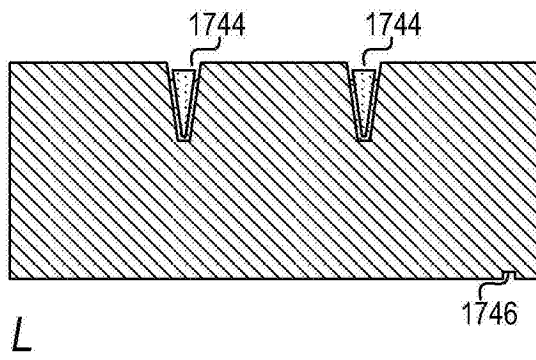
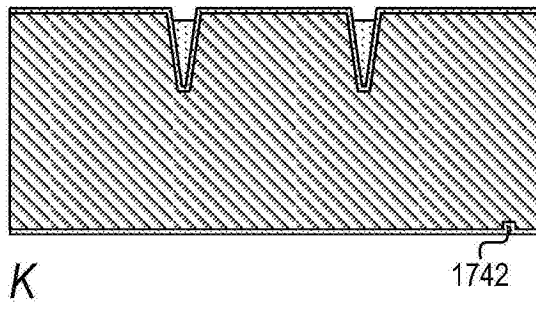


图17

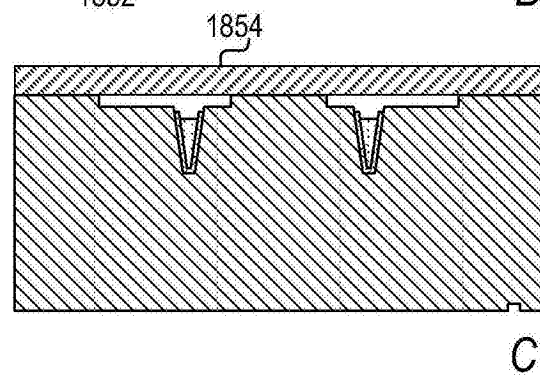
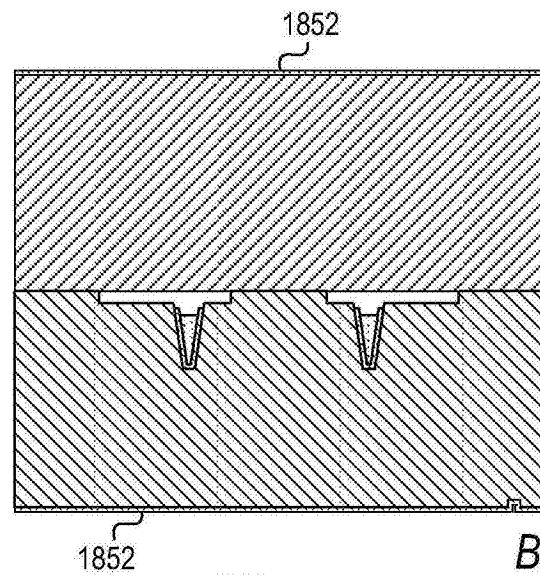
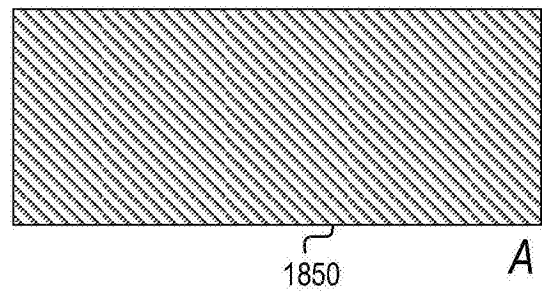


图18

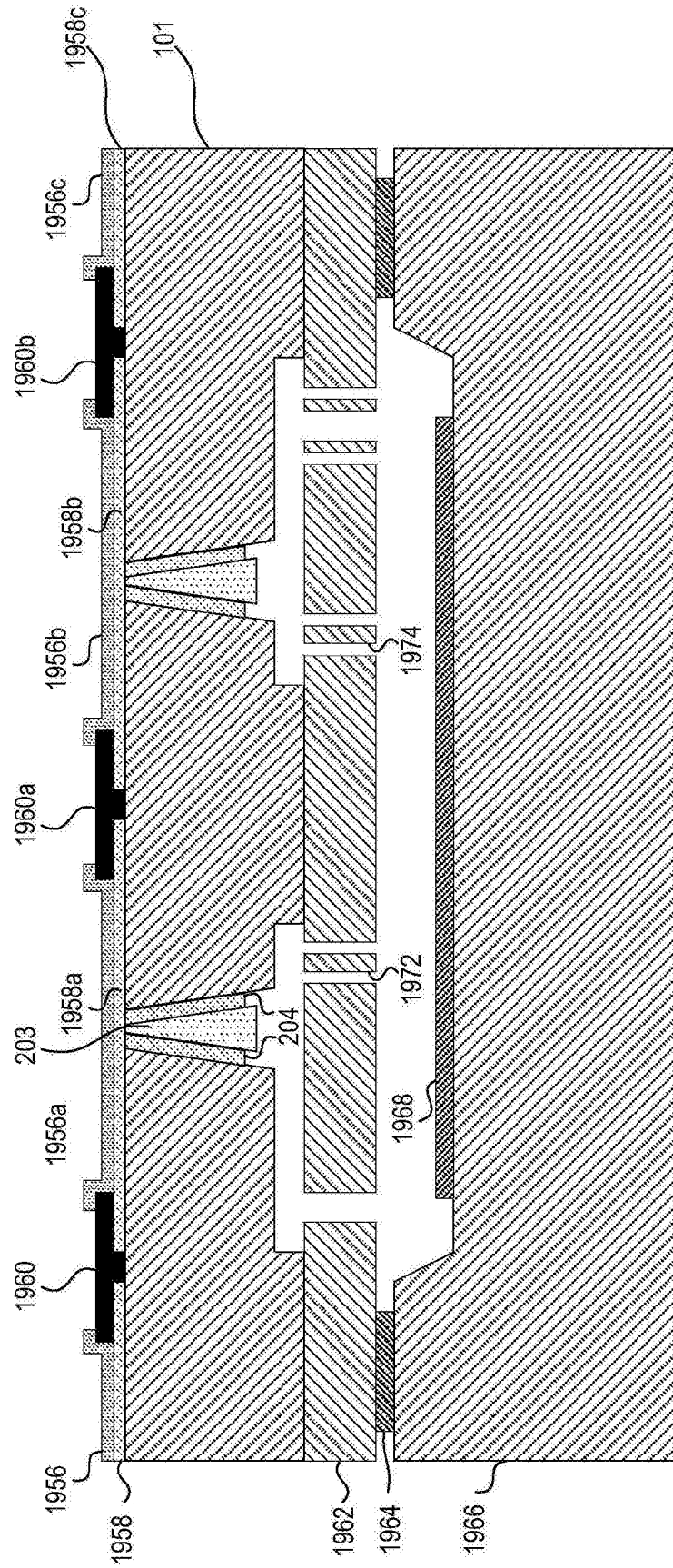


图19