

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年8月27日(2009.8.27)

【公表番号】特表2008-537339(P2008-537339A)

【公表日】平成20年9月11日(2008.9.11)

【年通号数】公開・登録公報2008-036

【出願番号】特願2008-506717(P2008-506717)

【国際特許分類】

H 01 L 29/786 (2006.01)

【F I】

H 01 L 29/78 6 2 6 B

H 01 L 29/78 6 1 3 Z

【手続補正書】

【提出日】平成21年5月29日(2009.5.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

半導体デバイス構造体であって、

基板のユニタリ単結晶半導体領域であって、暴露された水平に延びている主要表面を有する前記ユニタリ単結晶半導体領域と、

第1のソース領域及び第1のドレイン領域を有する第1の電界効果トランジスタ(「FET」)であって、前記第1のソース領域及び前記第1のドレイン領域は、前記主要表面から延びている前記ユニタリ単結晶半導体領域の第1のソース部分及び第1のドレイン部分をそれぞれ占めており、前記第1のソース領域及び前記第1のドレイン領域は、第1のソース・ドレイン導電経路を定める、前記第1のFETと、

前記第1のFETの前記第1のソース・ドレイン導電経路と電気的に並列接続されている第2のソース・ドレイン導電経路と、前記主要表面から延びている前記ユニタリ単結晶半導体領域の第2の部分を占める第2の拡散領域とを有する少なくとも1つの第2の電界効果トランジスタ(「FET」)であって、前記第2の拡散領域は、少なくとも1つの第2のソース領域及び第2のドレイン領域のうちの少なくとも1つを含み、前記第2のソース・ドレイン導電経路は、前記第2の拡散領域と、前記第1のソース領域及び前記第1のドレイン領域のうちの少なくとも1つとの間に延びている、前記第2のFETと、

前記主要表面から延びている前記ユニタリ単結晶半導体領域の第3の部分を占める本体コンタクト領域であって、前記第2の拡散領域との接合部を有する前記本体コンタクト領域と

を備える、前記半導体デバイス構造体。

【請求項2】

前記第1のFETは、前記ユニタリ単結晶半導体領域の第1のチャネル部分を占める第1のチャネル領域をさらに含み、前記第2のFETは、前記ユニタリ単結晶半導体領域の第2のチャネル部分を占める第2のチャネル領域をさらに含み、前記本体コンタクト領域は、前記第1のFETの前記第1のチャネル領域に及び前記第2のFETの前記第2のチャネル領域に導電接続されている、請求項1に記載の半導体デバイス構造体。

【請求項3】

前記基板は、半導体オン・インシュレータ(「SOI」)基板であり、前記SOI基板

は、前記ユニタリ単結晶半導体領域の下にある埋込み酸化物（「BOX」）層を含み、かつ、前記BOX層の下にあるバルク領域をさらに含む、請求項2に記載の半導体デバイス構造体。

【請求項4】

前記第1のチャネル領域の上にある第1のゲート導体部分と、前記第1のゲート導体部分に導電接続された第2のゲート導体部分とを有する水平に延びるユニタリ導電パターンをさらに含み、前記第2のゲート導体部分は前記第2のチャネル領域の上にあり、前記第1のゲート導体部分は前記第1のFETの第1のゲート導体部分を定めており、及び前記第2のゲート導体部分は前記第2のFETの第2のゲート導体部分を定めている、請求項2に記載の半導体デバイス構造体。

【請求項5】

前記第1のゲート導体部分は、前記ユニタリ単結晶半導体領域の長手方向に配向されており、及び、前記第2のゲート導体部分は、前記ユニタリ単結晶半導体領域の実質的に横方向に配向されている、請求項4に記載の半導体デバイス構造体。

【請求項6】

前記第2のゲート導体部分は、前記ユニタリ単結晶半導体領域の幅にわたって完全に延びており、前記第1のゲート導体部分は、前記第2の導体部分の第1の縁部に接続されており、及び前記ユニタリ導電パターンは、前記第1のゲート導体部分とは反対側の前記第2のゲート導体部分の第2の縁部から延びているテール導体部分をさらに含む、請求項5に記載の半導体デバイス構造体。

【請求項7】

前記テール導体部分は前記長手方向に配向されている、請求項6に記載の半導体デバイス構造体。

【請求項8】

請求項4に記載の前記半導体デバイス構造体を含む集積回路であって、前記ユニタリ導電パターンは、前記集積回路のゲート導体についての所定の最小線幅より実質的に大きくない線幅を有する、前記集積回路。

【請求項9】

前記ユニタリ単結晶半導体領域は、前記ユニタリ単結晶半導体領域の長手方向に最大長を境界付ける下縁部及び上縁部と、前記ユニタリ単結晶半導体領域の横方向に幅を境界付ける左縁部及び右縁部とを有し、及び、前記第1のゲート導体部分は、前記下縁部から前記上縁部まで長手方向に延び、前記第2のゲート導体部分は、前記左縁部及び前記右縁部の一方だけから前記第1のゲート導体部分まで延びる、請求項4に記載の半導体デバイス構造体。

【請求項10】

前記第1のソース領域及び前記第1のドレイン領域のうちの少なくとも一方が、前記ユニタリ単結晶半導体領域の前記上縁部から前記下縁部まで延び、及び前記本体コンタクト領域は、前記第1のソース領域及び前記第1のドレイン領域のうちの少なくとも一方との接合部を形成する、請求項9に記載の半導体デバイス構造体。

【請求項11】

前記ユニタリ単結晶半導体領域は、前記上縁部と前記下縁部との間に位置する中間縁をさらに含み、前記第1のソース領域及び前記第1のドレイン領域のうちの少なくとも一方が、前記上縁部及び前記下縁部のうちの一方から前記中間縁部だけまで延び、及び前記第2のゲート導体部分は、(i)前記左縁部及び前記右縁部のうちの一方と(ii)前記第1のゲート導体部分との間だけに延びるように、前記ユニタリ単結晶半導体領域が切り欠かれている、請求項10に記載の半導体デバイス構造体。

【請求項12】

前記中間縁部は、トレンチ分離領域によって境界付けられている、請求項11に記載の半導体デバイス構造体。

【請求項13】

請求項 1 2 に記載の前記半導体デバイス構造体を含む集積回路であって、前記第 1 のゲート導体部分は、前記集積回路の最小ゲート導体線幅より実質的に大きい幅を有する、前記集積回路。

【請求項 1 4】

前記第 1 のゲート導体部分は、実質的に直角に前記第 2 のゲート導体部分と交わる、請求項 5 に記載の半導体デバイス構造体。

【請求項 1 5】

前記本体コンタクト領域及び前記第 2 の拡散領域の両方に導電接触する導電性ビアをさらに備える、請求項 1 に記載の半導体デバイス構造体。

【請求項 1 6】

前記第 2 のゲート導体部分は、前記第 2 の F E T の前記第 2 の拡散領域から前記第 1 の F E T を分離するために、前記ユニタリ単結晶半導体領域の幅にわたって完全に延び、及び前記ユニタリ導電パターンは、前記第 2 のゲート導体部分の縁部から、前記ユニタリ単結晶半導体領域の上縁部及び下縁部のうちの一方に向けて延びているテール部分を含む、請求項 4 に記載の半導体デバイス構造体。