

(43) 国際公開日
2006 年 8 月 31 日 (31.08.2006)

PCT

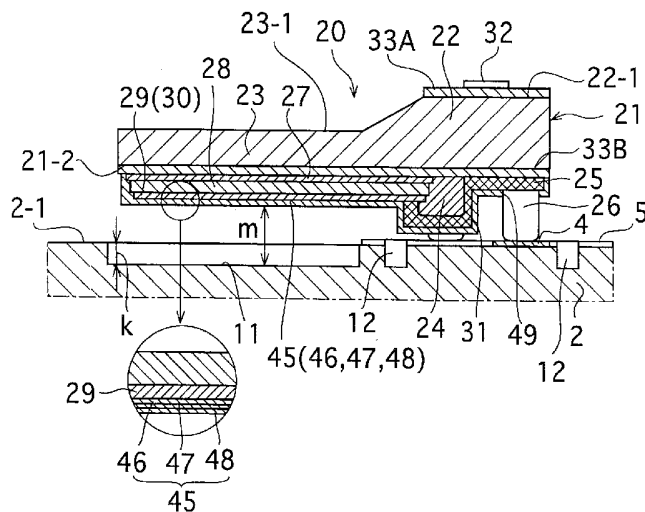
(10) 国際公開番号
WO 2006/090805 A1

- (51) 国際特許分類:
G01C 19/56 (2006.01) G01P 9/04 (2006.01)
- (21) 国際出願番号: PCT/JP2006/303330
- (22) 国際出願日: 2006 年 2 月 23 日 (23.02.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-047802 2005 年 2 月 23 日 (23.02.2005) JP
特願2005-050962 2005 年 2 月 25 日 (25.02.2005) JP
特願2005-066051 2005 年 3 月 9 日 (09.03.2005) JP
特願 2005-374325
2005 年 12 月 27 日 (27.12.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): ソニー株式会社 (SONY CORPORATION) [JP/JP]; 〒1410001 東京都品川区北品川 6 丁目 7 番 3 5 号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてののみ): 渡邊 成人 (WATANABE, Shigeto). 本多 順一 (HONDA, Junichi). 佐々木 伸 (SASAKI, Shin). 高橋 和夫 (TAKAHASHI, Kazuo). 稲熊 輝往 (INAGUMA, Teruo). 鈴木 浩二 (SUZUKI, Koji). 相澤 学 (AIZAWA, Manabu).
- (74) 代理人: 中村 友之 (NAKAMURA, Tomoyuki); 〒1050001 東京都港区虎ノ門 1 丁目 2 番 8 号 虎ノ門琴平タワー 三好内外国特許事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU,

/ 続葉有 /

(54) Title: OSCILLATORY GYRO SENSOR

(54) 発明の名称: 振動型ジャイロセンサ



(57) Abstract: An oscillatory gyro sensor in which the size is reduced and a high Q value is through a simple arrangement. The oscillatory gyro sensor (1) comprises a supporting substrate (2) on which a circuit element is mounted and a wiring pattern having a plurality of lands (4) is formed and an oscillatory element (20) mounted on the surface (2-1) of the supporting substrate. The oscillatory element (20) includes a base portion (22) having a mounting surface (22-2) on which a plurality of terminals (25) connected with the lands are formed and an oscillator (23) having a surface opposed to the substrate on which a first electrode layer (27) protruding integrally in a cantilever form from the side periphery of the base portion (22) and having a surface flush with the mounting surface of the base portion (22), a piezoelectric layer (28) formed on the first electrode layer and second electrode layers (29, 30) are formed. The oscillatory element (20) is mounted on the supporting substrate (2) by joining each terminal (25) to the land (4) through a metal protrusion (26).

(57) 要約: 簡易な構成によって小型化と高Q値を得ることで特性の向上を図る。本発明の振動型ジャイロセンサ 1 は、回路素子が実装されるとともに複数個のランド 4 を有する配線パターンが形成された支持基板 2 と、この支持基板の表面 2-1 に実装された振動素子 20 とを備え、振動素子 20 は、上記ラ

/ 続葉有 /



WO 2006/090805 A1



SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT,
TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),

添付公開書類:

— 国際調査報告書
— 補正書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

ンドに接続される複数の端子部25が形成された実装面22-2を有する基部22と、この基部22の側周部から片持ち梁状に一体に突設され基部22の実装面と同一面を構成し第1電極層27とこの第1電極層の上に積層された圧電層28とこの圧電層の上に積層された第2電極層29、30とがそれぞれ形成された基板対向面を有する振動子部23とを有するとともに、振動素子20は、各端子部25が金属凸部26を介してランド4に接合されることによって支持基板2上に実装されている。

明 細 書

振動型ジャイロセンサ

技術分野

- [0001] 本発明は、例えば、ビデオカメラの手振れ検知やバーチャルリアリティ装置における動作検知、カーナビゲーションシステムにおける方向検知などに用いられる角速度センサに関し、更に詳しくは、片持ち梁振動子を有する振動素子を備えた振動型ジャイロセンサに関する。

背景技術

- [0002] 従来より、民生用の角速度センサとしては、片持ち梁の振動子を所定の共振周波数で振動させておき、角速度の影響によって生じるコリオリ力を圧電素子などで検出することによって角速度を検出する、いわゆる振動型のジャイロセンサが広く用いられている。
- [0003] 振動型ジャイロセンサは、単純な機構、短い起動時間、安価で製造可能といった利点を有しており、例えば、ビデオカメラ、バーチャルリアリティ装置、カーナビゲーションシステムなどの電子機器に搭載され、それぞれ手振れ検知、動作検知、方向検知などをする際のセンサとして活用されている。
- [0004] 従来の振動型ジャイロセンサは、振動素子が適宜の圧電材料を機械加工によって切り出し所定の形状に整形して製作されていた。振動型ジャイロセンサとしては、搭載される本体機器の小型軽量化、多機能高性能化に伴って、更なる小型化や高性能化が要求されているが、機械加工による加工精度の限界によって小型で高精度の振動素子を作製することが困難であった。
- [0005] そこで、近年、半導体プロセスに適用される薄膜技術を用いて、シリコン基板上に圧電薄膜層を挟んで一对の電極層を積層形成することによって、片持ち梁形状の振動素子を備えたものが提案されている(例えば特許文献1参照)。かかる振動型ジャイロセンサは、小型薄型化が図られることによって、他用途のセンサ等と組み合わせで複合化や高機能化が図られる。
- [0006] ところで、振動型ジャイロセンサにおいては、搭載機器の小型軽量化、多機能高性

能化に伴って、更なる小型化や高性能化が要求されている。例えば各種センサと組み合わせて多機能化が図られており、振動素子を支持基板に実装して振動型ジャイロセンサを構成し、更にこの振動型ジャイロセンサを各種センサとともに本体機器側の制御基板に搭載することによって全体として小型化が図られている。

[0007] しかしながら、従来の振動型ジャイロセンサにおいては、振動素子の各電極と支持基板側の端子部とが一般にワイヤボンディング法によって接続されており、振動素子の周囲にワイヤを引き回すためのスペースが必要で、これが小型化の実現を阻害する要因となっている。

[0008] また、振動型ジャイロセンサは、小型化に伴って外部の振動等の影響を大きく受けるようになり、振動素子の支持構造等の複雑化に伴いコストがアップするといった問題が生じる。振動型ジャイロセンサにおいては、設置の状態が機器の仕様によって決定されることから、あらゆる状態で用いられる場合でも所定の特性が安定して得られるように構成されなければならない。振動型ジャイロセンサにおいては、高感度で安定した特性を得るために、振動素子の共振状態を定義する機械品質係数 Q 値(Q factor)を高くする必要がある。機械品質係数 Q 値は、振動素子の材料や固定構造によって決定される。

[0009] 特許文献1:特開平7-113643号公報

発明の開示

[0010] 本発明は上述の問題に鑑みてなされ、簡易な構成によって小型化と高 Q 値を得ることで特性の向上を図った振動型ジャイロセンサを提供することを課題とする。

[0011] 以上の課題を解決するに当たり、本発明の振動型ジャイロセンサは、回路素子が実装されるとともに複数個のランドを有する配線パターンが形成された支持基板と、この支持基板の表面に実装された振動素子とを備えた振動型ジャイロセンサにおいて、上記振動素子は、上記ランドに接続される複数の端子部が形成された実装面を有する基部と、この基部の側周部から片持ち梁状に一体に突設され上記基部の実装面と同一面を構成し第1電極層とこの第1電極層の上に積層された圧電層とこの圧電層の上に積層された第2電極層とがそれぞれ形成された基板対向面を有する振動子部とを有するとともに、上記振動素子は、上記各端子部が金属凸部を介して上記ランド

に接合されることによって上記支持基板上に実装されている。

- [0012] 本発明の振動型ジャイロセンサにおいては、各金属凸部が例えば金バンプや、振動素子の基部から一体に突出された凸部等によって形成される。これら金属凸部を介して振動素子の各端子部が支持基板上のランドに接合されることによって、振動素子が支持基板に対して電氣的接続が行われるとともに機械的に固定されることで、実装スペースの効率化が図れるようになる。
- [0013] 本発明の振動型ジャイロセンサにおいては、支持基板側から振動素子に対して所定周波数の交流電界を印加することにより振動子部を固有振動を生じさ、手振れ等により振動子部に生じたコリオリ力を電氣的に検出しその検出信号を出力する。本発明では、振動素子が基部から振動子部を片持ち梁状に一体に形成した片持ち梁状に構成されているとともに、金属凸部を介して支持基板から浮かせた状態で固定されることから、振動子部の変位減衰割合が低減されて高Q値化が図られる。
- [0014] 一方、振動型ジャイロセンサにおいては、外部から加えられる振動や衝撃、更に本体機器側の制御基板への接合時に発生する熱応力等の外部負荷の影響を強く受ける。このような外部負荷によって支持基板に発生する歪みや応力を吸収あるいは緩和する負荷緩衝構造があると好ましい。
- [0015] 負荷緩衝構造としては、例えば、支持基板上の振動素子実装領域を囲むようにして形成した負荷緩衝溝や、振動素子の基部の実装面に対し振動子部の基端部位と各端子部との間を跨ぐようにして形成した溝部、あるいは、支持基板と本体機器側の制御基板との間に設けた負荷緩衝層等が該当する。この負荷緩衝構造を設けることにより、振動素子の安定した振動動作を確保して検出精度の向上が図れるようになる。
- [0016] 本発明の振動型ジャイロセンサによれば、振動素子は、金属凸部を介して支持基板上に実装されているので、小型化とともに高Q値化が図られて高感度で安定した特性を得ることができる。
- [0017] また、負荷緩衝構造を設けることで外部負荷からの影響を緩和することが可能となり、これにより、振動素子の安定した検出動作と高い検出精度を得ることができる。

図面の簡単な説明

[0018] [図1]図1は、本発明の第1の実施の形態による振動型ジャイロセンサのカバー部材を取り外して見たときの全体斜視図である。

[図2]図2は、振動型ジャイロセンサの振動素子の要部断面図である。

[図3]図3は、振動型ジャイロセンサを制御基板へ実装したときの状態を示す振動素子の要部断面図である。

[図4]図4は、振動素子の底面図である。

[図5]図5は、振動型ジャイロセンサの底面図である。

[図6]図6は、負荷緩衝溝部の構成の変形例を示す支持基板の平面図である。

[図7]図7は、振動型ジャイロセンサの回路構成図である。

[図8]図8は、振動素子の底面側から見た全体斜視図である。

[図9]図9は、振動素子の振動子部の斜視図である。

[図10]図10は、振動型ジャイロセンサの製造方法を説明する主要工程フロー図である。

[図11]図11は、振動素子の製造工程に用いるシリコン基板の平面図である。

[図12]図12は、同シリコン基板の断面図である。

[図13]図13は、フォトリソ層に振動素子形成部位をパターニングしたシリコン基板の平面図である。

[図14]図14は、同シリコン基板の断面図である。

[図15]図15は、シリコン酸化膜に振動素子形成部位をパターニングしたシリコン基板の平面図である。

[図16]図16は、同シリコン基板の断面図である。

[図17]図17は、振動子部の厚みを規定するダイヤフラム部を構成するエッチング凹部を形成したシリコン基板の平面図である。

[図18]図18は、同シリコン基板の断面図である。

[図19]図19は、エッチング凹部の拡大断面図である。

[図20]図20は、ダイヤフラム部に第1電極層と圧電膜層と第2電極層とを積層形成した状態の要部断面図である。

[図21]図21は、第2電極層に駆動電極層と検出電極とをパターニングした状態の

要部平面図である。

[図22]図22は、同要部断面図である。

[図23]図23は、圧電膜層に圧電薄膜層をパターンニングした状態の要部平面図である。

[図24]図24は、同要部断面図である。

[図25]図25は、第1電極層に基準電極層をパターンニングした状態の要部平面図である。

[図26]図26は、同要部断面図である。

[図27]図27は、平坦化層を形成した状態の要部平面図である。

[図28]図28は、同要部断面図である。

[図29]図29は、基部形成領域にリードを形成した状態の要部平面図である。

[図30]図30は、同要部断面図である。

[図31]図31は、絶縁保護層形成用のフォトリソ層を形成した状態の要部平面図である。

[図32]図32は、絶縁保護層の第1アルミナ層を形成した状態の要部断面図である。

[図33]図33は、絶縁保護層の酸化シリコン層を形成した状態の要部断面図である。

[図34]図34は、絶縁保護層の第2アルミナ層及びエッチングストップ層を形成した状態の要部断面図である。

[図35]図35は、振動子部の外形を形成する外形溝を形成した状態の要部平面図である。

[図36]図36は、同振動子部の長手方向と垂直な方向から見た要部断面図である。

[図37]図37は、同振動子部の長手方向から見た要部断面図である。

[図38A]図38Aは、めっきバンプの形成方法を説明する振動素子の側断面図である。

[図38B]図38Bは、めっきバンプの形成方法を説明する振動素子の側断面図である。

[図39A]図39Aは、振動素子の調整工程の説明図である。

[図39B]図39Bは、振動素子の調整工程の説明図である。

[図39C]図39Cは、振動素子の調整工程の説明図である。

[図40]図40は、振動素子の支持基板に対する固定方法のFEM解析図であり、金バンプの減衰量と振動子部の変位量との関係を示す特性図である。

[図41A]図41Aは、非接合部の幅と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図41B]図41Bは、非接合部の幅と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図42A]図42Aは、金接合層の幅と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図42B]図42Bは、金接合層の幅と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図42C]図42Cは、金接合層の幅と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図43A]図43Aは、振動子側における金接合層の固定位置と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図43B]図43Bは、振動子側における金接合層の固定位置と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図44A]図44Aは、基部の後端側における金接合層の固定位置と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図44B]図44Bは、基部の後端側における金接合層の固定位置と振動子部の変位減衰割合との関係を示す解析モデル図及び特性図である。

[図45]図45は、4箇所固定における金接合層の配置位置の解析モデル図である。

[図46]図46は、図45に示した各モデル図の特性図である。

[図47A]図47Aは、4箇所固定構造を採用したサンプル振動素子における金接合層の配置位置を示す解析モデル図である。

[図47B]図47Bは、4箇所固定構造を採用したサンプル振動素子における金接合層の配置位置を示す解析モデル図である。

[図47C]図47Cは、4箇所固定構造を採用したサンプル振動素子における金接合層

の配置位置を示す解析モデル図である。

[図48]図48は、図47Aないし図47Cに示した各モデル図の特性図である。

[図49A]図49Aは、多点固定における金接合層の配置位置の解析モデル図である。

[図49B]図49Bは、多点固定における金接合層の配置位置の解析モデル図である。

[図49C]図49Cは、多点固定における金接合層の配置位置の解析モデル図である。

[図49D]図49Dは、多点固定における金接合層の配置位置の解析モデル図である。

[図50]図50は、図49Aないし図49Dに示した各モデル図の特性図である。

[図51]図51は、負荷緩衝溝部によるオフセット電圧値の変動抑制作用の特性図である。

[図52]図52は、負荷緩衝溝部の溝の深さによるオフセット電圧値の変動抑制作用の特性図である。

[図53]図53は、間隔構成凹部により形成される振動空間部の高さと振動子部の変位減衰割合との関係を示す特性図である。

[図54]図54は、シリコン基板からの素子の取り数の比較図である。

[図55]図55は、振動素子の配置状態による2軸間干渉の特性図である。

[図56A]図56Aは、実装工程における振動素子の角度ずれのヒストグラムであり、位置合わせ用マークを認識して実装した場合を示す。

[図56B]図56Bは、実装工程における振動素子の角度ずれのヒストグラムであり、外形認識により実装した場合を示す。

[図57]図57は、2個の振動素子の動作周波数を変えて周波数差による干渉信号の大きさを測定した結果を示す特性図である。

[図58]図58は、振動型ジャイロセンサが制御基板に実装された状態を示す断面模式図である。

[図59]図59は、図58において制御基板に外部歪みが加わったときの振動型ジャイロセンサの様子を説明する断面模式図である。

[図60A]図60Aは、本発明の第2の実施の形態において説明する振動素子を模式的に示す側面図であり、従来の振動素子を示す。

[図60B]図60Bは、本発明の第2の実施の形態において説明する振動素子を模式的

に示す側面図であり、第2の実施の形態の振動素子を示す。

[図61A]図61Aは、金バンプの構成の変形例を示す図である。

[図61B]図61Bは、金バンプの構成の変形例を示す図である。

[図62A]図62Aは、本発明の第2の実施の形態において説明する実施例の測定原理図である。

[図62B]図62Bは、本発明の第2の実施の形態において説明する実施例の測定原理図である。

[図63A]図63Aは、図62A及び図62Bの実施例の結果を示す特性図である。

[図63B]図63Bは、図62A及び図62Bの実施例の結果を示す特性図である。

[図64A]図64Aは、本発明の第3の実施の形態において説明する振動素子を模式的に示す側面図であり、従来の振動素子を示す。

[図64B]図64Bは、本発明の第3の実施の形態において説明する振動素子を模式的に示す側面図であり、第3の実施の形態の振動素子を示す。

[図65]図65は、本発明の第3の実施の形態において説明する一実施例の説明図であり、振動素子の底面図である。

[図66]図66は、本発明の第3の実施の形態において説明する一実施例の測定結果を示す特性図である。

[図67]図67は、本発明の第3の実施の形態において説明する他の実施例の説明図であり、振動素子の底面図である。

[図68]図68は、本発明の第3の実施の形態において説明する他の実施例の測定結果を示す特性図である。

[図69]図69は、本発明の第4の実施の形態による振動型ジャイロセンサの概略側断面図である。

[図70]図70は、本発明の第4の実施の形態による振動型ジャイロセンサの概略側断面図である。

[図71]図71は、本発明の第4の実施の形態による振動型ジャイロセンサの概略側断面図である。

[図72]図72は、本発明の第4の実施の形態による振動型ジャイロセンサの概略側断

面図である。

[図73]図73は、本発明の第4の実施の形態において説明する各実施例の測定結果を示す特性図である。

[図74]図74は、本発明の第5の実施の形態による振動素子の底面図である。

[図75]図75は、本発明の第5の実施の形態において説明する実施例の測定結果を示す特性図である。

[図76]図76は、本発明の第5の実施の形態の変形例を説明する振動素子の底面図である。

[図77]図77は、本発明の第5の実施の形態の変形例を説明する振動素子の底面図である。

[図78A]図78Aは、本発明の第6の実施の形態において説明する従来の振動型ジャイロセンサの要部の平面図である。

[図78B]図78Bは、本発明の第6の実施の形態において説明する従来の振動型ジャイロセンサの要部の側面図である。

[図79A]図79Aは、本発明の第6の実施の形態による振動型ジャイロセンサの要部の平面図である。

[図79B]図79Bは、本発明の第6の実施の形態による振動型ジャイロセンサの要部の側面図である。

[図80]図80は、本発明の第6の実施の形態において説明する実施例の測定結果を示す特性図である。

[図81]図81は、本発明の第7の実施の形態において説明する従来の振動型ジャイロセンサの要部平面図である。

[図82]図82は、本発明の第7の実施の形態による振動型ジャイロセンサの要部平面図である。

[図83]図83は、本発明の第7の実施の形態において説明する実施例の測定結果を示す特性図である。

[図84A]図84Aは、本発明の第8の実施の形態において説明する従来の振動型ジャイロセンサの要部の平面図である。

[図84B]図84Bは、本発明の第8の実施の形態において説明する従来の振動型ジャイロセンサの要部の側面図である。

[図84C]図84Cは、本発明の第8の実施の形態において説明する従来の振動型ジャイロセンサの要部の底面図である。

[図85]図85は、本発明の第8の実施の形態による支持基板の底面図である。

[図86A]図86Aは、本発明の第8の実施の形態による振動型ジャイロセンサの要部の平面図である。

[図86B]図86Bは、本発明の第8の実施の形態による振動型ジャイロセンサの要部の側面図である。

[図87]図87は、本発明の第8の実施の形態において説明する振動素子の配置構成例を示す要部平面図である。

[図88]図88は、本発明の第8の実施の形態において説明する振動素子の他の配置構成例を示す要部平面図である。

発明を実施するための最良の形態

[0019] 以下、本発明の実施の形態として図面に示した振動型ジャイロセンサについて、詳細に説明する。

なお、本発明はこれに限定されることなく、本発明の技術的思想に基づいて種々の変形が可能である。また、本明細書においては、以下に説明するように構成部材の各部位について具体的な寸法値を挙げて説明しているが、各寸法値は中心基準値である。各部位は、この中心基準値に限定された寸法値で形成されることに限定されず、一般的な公差範囲の寸法値をもって形成されることは勿論である。また、振動型ジャイロセンサは、かかる寸法値の形状に限定されず、特性仕様に応じて各部が適宜形成される。

[0020] (第1の実施の形態)

[振動型ジャイロセンサの概略構成]

振動型ジャイロセンサ1は、図1に示すように支持基板2と、この支持基板2の第1主面2-1上に組み付けられて部品実装空間部3を構成するカバー部材15とにより外観部材を構成し、例えばビデオカメラに搭載されて手振れ補正機構を構成する。また

、振動型ジャイロセンサ1は、例えばバーチャルリアリティ装置に用いられて動作検知器を構成し、或いはカーナビゲーション装置に用いられて方向検知器を構成する。

[0021] 振動型ジャイロセンサ1は、支持基板2に例えばセラミック基板やガラス基板等が用いられている。支持基板2の第1主面2-1上には複数個のランド4等を有する所定の配線パターン5が形成されて部品実装領域6が構成されている。部品実装領域6には、詳細を後述する互いに異なる軸方向の振動を検出するように搭載される第1、第2の一对の振動素子20X、20Y(以下、個別に説明する場合を除いて振動素子20と総称する。)、IC回路素子7、更には外付け用の多数個のセラミックコンデンサや適宜の電子部品8が混載されている。

[0022] 支持基板2の部品実装領域6には、IC回路素子7や電子部品8とともに振動素子20が適宜の実装機を用いてそれぞれフリップチップ法等の表面実装法によって実装されている。同一形状に形成された一对の振動素子20X、20Yは、支持基板2の第1主面2-1の相対するコーナ部位2C-1、2C-2に位置して互いに軸線を異にして実装されている。振動素子20は、図2に示すように、金バンプ26を介してランド4に接続される複数の端子部25が形成された実装面を有する基部22と、この基部22の一側周部から片持ち梁状に一体に突設された振動子部23とを有する。なお、振動素子20の構成の詳細は後述する。

[0023] 図1に示すように、一方の第1振動素子20Xは、支持基板2のコーナ部位2C-1において部品実装領域6に構成した浮島状の第1振動素子実装領域13Aに基部22が固定され、この基部22から一体に突設された振動子部23が支持基板2の側縁に沿って隣り合うコーナ部位2C-3に向けられる。他方の第2振動素子20Yは、支持基板2のコーナ部位2C-2において部品実装領域6に構成した浮島状の第2振動素子実装領域13Bに基部22が固定され、この基部22から一体に突設された振動子部23が支持基板2の側縁に沿って隣り合うコーナ部位2C-3に向けられる。

[0024] すなわち、第1振動素子20X及び第2振動素子20Yは、各々の振動子部23をコーナ部位2C-3に向けて互いに90°の角度を付されて支持基板2にそれぞれ実装されている。なお、振動型ジャイロセンサ1は、一对の振動素子20X、20Yにより直交する2軸の振動検出を行うようにするが、本体機器の仕様に応じて適宜の角度差をも

って振動素子20X, 20Yを支持基板2に実装するようにしてもよいことは勿論である。

[0025] 振動型ジャイロセンサ1は、振動素子20の振動子部23を共振させた状態において、振動子部23に加えられた長手方向の周りの角速度を検出する。振動型ジャイロセンサ1においては、第1振動素子20Xと第2振動素子20Yとを支持基板2に角度を異にして搭載することによって、X軸方向とY軸方向の角速度を同時に検出し、例えばビデオカメラの手振れによる振動状態に基づく制御信号を出力して手振れ補正機構を構成する。

[0026] 次に、支持基板2の構成の詳細について説明する。

[0027] [負荷緩衝構造]

振動型ジャイロセンサ1は、支持基板2を薄厚とすることによって小型、薄型化が図られていることから、外部から加えられる振動や衝撃等の外部負荷によって支持基板2に歪みや応力が発生することがある。そこで、本実施の形態では、支持基板2に外部負荷の緩衝構造が設けられることによって、歪みや応力が生じた場合でも支持基板2に搭載した振動素子20への影響が低減されるように構成されている。

[0028] 支持基板2には、図1から図3に示すように第1主面2-1の各コーナ部位2C-1, 2C-2に第1負荷緩衝溝部12A, 12B(以下、個別に説明する場合を除いて第1負荷緩衝溝部12と総称する。)が形成されている。上述の振動素子実装領域13A, 13B(以下、個別に説明する場合を除いて振動素子実装領域13と総称する。)は第1負荷緩衝溝部12によって囲まれた領域に構成されており、各振動素子実装領域13に振動素子20が実装される。

[0029] また、支持基板2には、図3に示すように、本体機器等の外部の制御基板100に実装される第2主面2-2側に第2負荷緩衝溝部14が形成されている。この第2負荷緩衝溝部14は、図5に示すように第2負荷緩衝溝部14Aと第2負荷緩衝溝部14Bとからなり、以下個別に説明する場合を除いて第2負荷緩衝溝部14と総称する。第2負荷緩衝溝部14によって囲まれた領域は、図5に示すように端子形成領域115A, 115B(以下、個別に説明する場合を除いて端子形成領域115と総称する。)として構成されている。

[0030] 第1負荷緩衝溝部12は、図4に示すように振動素子20の基部22の外形寸法よりも

大きな振動素子実装領域13を構成する全体枠状の有底溝によって構成されている。第1負荷緩衝溝部12は、例えばダイサー等による機械的溝加工やウェットエッチング法による化学的溝加工或いはレーザ等によるドライエッチング法により形成される。第1負荷緩衝溝部12は、支持基板2の機械的強度を損なわない範囲で溝の深さを100 μ m以上にして形成される(詳細は図52を参照して後述する)。

[0031] 第2負荷緩衝溝部14A, 14Bは、図5に示すように、それぞれ支持基板2の外周側縁部に沿って平行に形成されている。これら第2負荷緩衝溝部14A, 14Bと外周側縁部との間の領域には、端子形成領域115A, 115Bとしてそれぞれに外部接続用端子部として複数個の実装端子部116A, 116B(以下、個別に説明する場合を除いて実装端子部116と総称する。)が適宜に配列して形成されている。支持基板2は、各実装端子部116にそれぞれ設けたバンプ117を介して実装端子部(外部接続端子部)116が相対する制御基板100側のランドと接続されることによって、制御基板100に実装される。

[0032] 第2負荷緩衝溝部14も、第1負荷緩衝溝部12と同様に、例えばダイサー等による機械的溝加工やウェットエッチング法による化学的溝加工或いはレーザ等によるドライエッチング法等によって支持基板2の第2主面2-2に所定の深さをもって形成される。第2負荷緩衝溝部14は、支持基板2の第2主面2-2において浮島状の端子形成領域115を構成し、この端子形成領域115に外周側縁部に沿って複数個の実装端子部116が配列して形成されるようにする。なお、第2負荷緩衝溝部14は、外周側縁部に沿った直線溝に限定されず、例えば実装端子部116を囲む枠状や両端を外周側縁部に開放された略コ字状に形成するようにしてもよい。

[0033] なお、支持基板2には、第1主面2-1と第2主面2-2とを貫通して多数個のビアが形成されており、これらビアを介して第1主面2-1側の配線パターン5と第2主面2-2側の実装端子部116とが適宜接続される。

[0034] 振動型ジャイロセンサ1は、本体機器に衝撃等が加えられると、制御基板100を介して支持基板2に歪みや応力が発生する。本実施の形態では、上述したように第1負荷緩衝溝部12によって囲まれて浮島状態とされた振動素子実装領域13上に振動素子20を実装したことで、外部負荷により支持基板2に生じた歪みや応力が第1負

荷緩衝溝部12によって吸収される。したがって、第1負荷緩衝溝部12は一種のダンパー作用を奏することで振動素子実装領域13上に実装した振動素子20に対する外部負荷の影響を低減し、振動素子20が安定した状態で検出動作を行うようにする。

[0035] 一方、振動型ジャイロセンサ1においては、上述したように第2負荷緩衝溝部14を設けて浮島状態とした端子形成領域115に設けられた実装端子部116が制御基板100との固定部を構成する。本実施の形態では、制御基板100を介して伝達される外部負荷が第2負荷緩衝溝部14によって吸収される。したがって、第2負荷緩衝溝部14は一種のダンパー作用を奏することで振動素子実装領域13上に実装した振動素子20に対する外部負荷の影響を低減し、振動素子20が安定した状態で検出動作を行うようにする。

[0036] なお、第1負荷緩衝溝部12は、全周に亘って連続した断面コ字状の溝部によって構成されるが、これに限定されない。第1負荷緩衝溝部12は、所定の特性を満たすことを条件に、例えば多数個の溝部を全体として枠状に配列して構成するようにしてもよい。また、第2負荷緩衝溝部14も、連続した溝部によって構成される必要はなく、例えば多数個の溝部を配列して構成するようにしてもよい。更に、支持基板2の第1主面2-1に第1負荷緩衝溝部12を形成するとともに第2主面2-2に第2負荷緩衝溝部14を形成して表裏主面の負荷緩衝構造を構成するようにしたが、所定の特性を有することを条件に第1負荷緩衝溝部12のみ又は第2負荷緩衝溝部14のみによって負荷緩衝構造を構成するようにしてもよい。

[0037] なお、上述したように支持基板2の第1主面2-1に振動素子実装領域13を囲む枠状の第1負荷緩衝溝部12を形成したが、この第1負荷緩衝溝部12の構成はこれに限定されるものではない。図6に示した振動型ジャイロセンサ170は、支持基板171に枠状の第1負荷緩衝溝部172X, 172Yを形成しているが、さらにこの第1負荷緩衝溝部172内に十字状の区割り溝173A, 173Bを形成して4つの個別実装領域174A~174Dを構成している。

[0038] すなわち、振動型ジャイロセンサ170は、各個別実装領域174がそれぞれ振動素子20の基部22に形成した端子部25と対応して個別に区割りされており、図示しないがそれぞれに実装端子部が設けられている。振動型ジャイロセンサ170においては

、かかる構造によって、金バンプ26を介して相対する実装端子部に各端子部25を固定されて支持基板171に実装される振動素子20が、全体を第1負荷緩衝溝部172によって囲まれた第1浮島内において各固定部毎に区割り溝173によって区割りされた第2浮島内に個別に固定されて実装される。したがって、振動型ジャイロセンサ170においては、振動素子20が、外部負荷により発生する支持基板171の歪みや応力の影響をより確実に低減されて安定した角速度の検出動作が行われるようにする。

[0039] [間隔構成凹部]

次に、支持基板2には、振動素子20X, 20Yに対応して部品実装領域6に、振動子部23をその厚さ方向に自由振動させる空間部を構成する凹部11A, 11B(以下、個別に説明する場合を除いて間隔構成凹部11と総称する。)が形成されている。間隔構成凹部11は、支持基板2の第1主面2-1に対して例えばエッチング加工や溝切り加工を施すことで所定の深さと開口寸法を有する矩形の有底溝状に形成される。

[0040] 振動型ジャイロセンサ1は、基部22と片持ち梁状の振動子部23とが一体に形成された振動素子20が、金バンプ26を介して支持基板2の第1主面2-1上に実装される。振動素子20は、金バンプ26の厚みにより振動子部23と支持基板2の第1主面2-1との対向間隔が規定されて全体の薄型化が図られているが、金バンプ26の加工限界によって十分な間隔を保持し得ない場合がある。

[0041] 振動素子20は、振動子部23の振動動作に伴って支持基板2の第1主面2-1との間に空気流を生じさせる。この空気流は、支持基板2の第1主面2-1に当たって振動子部23を押し上げるダンピング効果を発生させる。本実施の形態では、支持基板2の第1主面2-1に間隔構成凹部11を形成することにより、図2に示すように支持基板2と振動子部23との間に十分な間隔mを保持して振動素子20に作用するダンピング効果の影響を低減する。

[0042] 振動型ジャイロセンサ1は、支持基板2の第1主面2-1上に振動素子20を実装した状態において振動子部23が間隔構成凹部11と対向して延在されることで、薄型化を保持しながら図2に示すように振動子部23と支持基板2との間に十分な間隔が保持されるようになる。これにより、振動子部23が厚み方向に振動動作した際に、詳

細を図53を参照して後述するようにダンピング効果の作用が低減され、振動素子20の安定した検出動作が確保される。

[0043] 間隔構成凹部11は、振動素子20の振動子部23の寸法に合わせて最適化されて支持基板2に形成される。本実施の形態では、振動素子20が後述する寸法値で形成されるとともに振動子部23の最大振幅量を p とした場合、間隔構成凹部11の開口寸法は $2.1\text{mm} \times 0.32\text{mm}$ とされ、深さ寸法 k (図2参照)は、 $k \geq p/2 + 0.05(\text{mm})$ に形成される。支持基板2にかかる構成の間隔構成凹部11が形成されることによって、高さ寸法が抑制されて薄型化が図られるとともに、振動素子20に対するダンピング効果の影響が低減されて高 Q 値化が保持され高感度で安定した手振れ等の検出動作が行えるようになる。

[0044] 続いて、振動素子20の構成の詳細について説明する。

[0045] [金バンプ]

振動素子20は、後述するようにシリコン基板21の第2主面21-2によって構成される基部22の第2主面(22-2)が支持基板2に対する固定面(実装面)を構成して上述した振動素子実装領域13上に実装される。図4に示すように基部22の実装面22-2には、第1端子部25A～第4端子部25D(以下、個別に説明する場合を除いて端子部25と総称する。)が形成されるとともに、これら端子部25上にそれぞれ金属凸部として第1金バンプ26A～第4金バンプ26D(以下、個別に説明する場合を除いて金バンプ26と総称する。)が形成されている。

[0046] 振動素子20の各端子部25は、それぞれ支持基板2側の配線パターン5に形成した各ランド4に対応して形成されている。各端子部25は、対応するランド4と位置合わせされて支持基板2に組み合わされる。そして、この状態で振動素子20を支持基板2に押し当てながら超音波を印加し、金バンプ26を介して各端子部25とランド4とを溶着接合させる。これにより振動素子20は支持基板2上に実装される。このように振動素子20を所定高さの金バンプ26を介して実装することにより、振動子部23がその第2主面(基板対向面)23-2を支持基板2の第1主面2-1に対して所定の高さ位置に保持された状態で所定の振動動作を行えるようにする。

[0047] 本実施の形態においては、表面実装法で振動素子20を支持基板2へ実装すること

によって実装工程の効率化を図っている。表面実装法における接続子としては、上述した金バンプ26に限定されることはなく、半導体プロセスにおいて一般に採用される半田ボールや銅バンプ等の各種の他の金属凸部を用いることもできる。本実施の形態では、本体機器の製造工程においてリフロー半田処理等が施されて、支持基板2の実装端子部116がバンプ117を介して制御基板100の各ランドと接続固定されることから、耐熱性が大きくかつ作業性の高い金バンプ26が接続子として採用している。

[0048] 振動型ジャイロセンサにおいては、支持基板に対する振動素子の固定構造によって機械品質係数 Q (Q factor) が決定される。本実施の形態では、振動素子20が基部22を金バンプ26を介して支持基板2の第1主面2-1から浮かした状態で実装されることによって、例えば接着層を介して基部全面を支持基板に接合した場合と比較して振動子部23の先端部の減衰割合が大きくなり良好な Q 値が得られる。また、基部22を支持基板2の第1主面2-1に対して1箇所固定するよりも複数箇所で固定する構造の方が良好な Q 値特性が得られることから、基部22を支持基板2に対して四隅の位置を固定することによって良好な Q 値特性を得るようにしている。

[0049] なお、各金バンプ26は振動子部23の長手方向の中心軸線に対して幅寸法 t_6 (図9参照) の範囲内の領域において全体の重心を位置させるようにして設けることができる。このように金バンプ26を配置することによって、厚み方向に振動動作する振動子部23は左右のバランスを崩すことなく安定した状態で振動動作することが可能となる。

また、各金バンプ26を基部22から突出される振動子部23の基端部位から振動子部23の幅寸法 t_6 の2倍を半径とする領域の外側領域に位置して形成することにより、金バンプ26による振動子部23の振動動作を吸収する作用を低減して高 Q 値を保持することが可能となる。

さらに、少なくとも1個の金バンプ26が、振動子部23の基端部から基部22の厚み寸法 t_1 (図8参照) の2倍の範囲の領域内に形成されることで、振動子部23の振動動作が基部22に伝達されて共振周波数のズレを生じさせることが防止されるようになる。

[0050] なおまた、金バンプ26はいわゆる2段バンプによって形成されるようにしてもよい。更に、基部22の第2主面上に電氣的接続を行わない、いわゆるダミーの第5の金バンプを形成するようにしてもよい。この場合は勿論、支持基板2側には、この第5金バンプが溶着固定されるダミー端子部が形成される。

[0051] [素子形状]

さて、本実施の形態の振動素子20は、図8に示すように、振動子部23が、基部22の第2主面(実装面)22-2と同一面を構成する第2主面(基板対向面)23-2を有し、一端部を基部22に一体化されて片持ち梁状に突設されている。振動子部23は、その上面23-1が図2に示すように基部22の第1主面(上面)22-1から段落ちされることによって所定の厚みとされる。振動子部23は、所定の長さで断面面積を有して基部22の一侧周部と一体に形成された断面矩形の片持ち梁によって構成される。

[0052] 振動素子20の基部22は、図8に示すように、厚み寸法 t_1 を $300\mu\text{m}$ 、振動子部23の先端部までの長さ寸法 t_2 を 3mm 、幅寸法 t_3 を 1mm の大きさをもって形成される。振動素子20の振動子部23は、図9に示すように、厚み寸法 t_4 を $100\mu\text{m}$ 、長さ寸法 t_5 を 2.5mm 、幅寸法 t_6 を $100\mu\text{m}$ に形成される。振動素子20は、詳細を後述するように駆動検出回路部50から印加される所定周波数の駆動電圧により振動動作するが、上述した形状から 40kHz の共振周波数で振動する。なお、振動素子20は、かかる構成に限定されるものではなく、使用する周波数や目標とする全体形状に応じて種々設定される。

[0053] なお、基部22と振動子部23の各部が次の条件を満足して振動素子20を形成することができる。すなわち、基部22は、その幅寸法 t_3 を振動子部23の幅寸法 t_6 の2倍よりも大きな幅寸法とされるとき、重心位置を振動子部23の長手方向の中心軸線に対して振動子部23の幅寸法 t_6 の2倍の領域内に位置して形成される。かかる構成によって振動子部23が左右のバランスを崩すことなく良好な状態で振動動作が行われるようになる。また、基部22の厚み寸法 t_1 を振動子部23の厚み寸法 t_4 の1.5倍で形成することによって、基部22の機械的強度が保持されて振動子部23の振動動作による振動動作の発生を抑制でき、共振周波数のズレが生じないようになる。

[0054] [圧電膜・各種電極層]

振動素子20には、後述する振動素子製造工程により、図4に示すように振動子部23の第2主面(基板対向面)23-2上に長さ方向の略全長に亘って、基準電極層(第1電極層)27と、圧電薄膜層28と、駆動電極層(第2電極層)29とが積層形成されている。振動子部23の第2主面(基板対向面)23-2上には、駆動電極層29を挟んで一対の検出電極30R、30L(以下、個別に説明する場合を除いて検出電極30と総称する。)が形成されており、これら駆動電極層29と検出電極30とにより第2電極層が構成されている。

[0055] 振動子部23の第2主面(基板対向面)23-2には、第1層として基準電極層27が形成され、この基準電極層27上にほぼ同長の圧電薄膜層28が積層形成される。圧電薄膜層28上には、これとほぼ同長でかつ幅狭の駆動電極層29が幅方向の中央部に位置して積層形成されるとともに、この駆動電極層29を挟んで圧電薄膜層28上に一対の検出電極30R、30Lが積層形成される。

[0056] [リード・端子部]

振動素子20には、図4に示すように基部22の第2主面(実装面)22-2上に、基準電極層27と第1端子部25Aとを接続する第1リード31Aが形成されるとともに、駆動電極層29と第3端子部25Cとを接続する第3リード31Cが形成されている。同様に、基部22の実装面22-2上には、第1検出電極30Rと第2端子部25Bとを接続する第2リード31Bが形成されるとともに、第2検出電極30Lと第4端子部25Dとを接続する第4リード31Dが形成されている。なお、各リード31A～31Dについては、以下、個別に説明する場合を除いてリード31と総称する。

[0057] 第1リード31Aは、振動子部23に形成した基準電極層27の基端部から基部22側に一体に延長され、図4に示すように基部22の第2主面(実装面)22-2上に振動子部23を一体に形成した側の一方コーナ部に位置して形成された第1端子部25Aと一体化される。駆動電極層29と検出電極30は、それぞれの基端部が振動子部23から基部22までやや幅広の部位で一体に延長され、これら幅広部位が平坦化層24によって被覆される。

[0058] 第2リード31Bは、一端部が平坦化層24を乗り越えるようにして形成され、基部22の一側部に沿って第1端子部25Aと対向する後方側のコーナ部へと導かれることに

より、このコーナ部に形成された第2端子部25Bと接続される。第3リード31Cは、一端部が平坦化層24を乗り越えるようにして形成され、基部22の略中央部を横切って後方側へと導かれるとともに後端側に沿って第2端子部25Bと対向するコーナ部へと導かれることにより、このコーナ部に形成された第3端子部25Cと接続される。第4リード31Dも、一端部が平坦化層24を乗り越えるようにして形成され、基部22の他側部に沿って第3端子部25Cと対向する前方側の他方コーナ部へと導かれることにより、このコーナ部に形成された第4端子部25Dと接続される。

[0059] なお、振動素子20には、上述した構成にかかわらず、端子部25が基部22の第2主面(実装面)22-2上に最適化される適宜の位置でかつ適宜の個数をもって形成される。また、振動素子20は、各電極層のリード31と端子部25との接続パターンが上述した構成に限定されるものではないことは勿論であり、端子部25の位置や個数に応じて基部22の第2主面上に適宜に形成される。

[0060] [絶縁保護層]

振動素子20には、図2及び図4に示すように、第2主面21-2側において基部22と振動子部23を被覆する絶縁保護層45が形成されている。絶縁保護層45は、第1層の第1アルミナ(酸化アルミニウム: Al_2O_3)層46と、第2層の酸化シリコン(SiO_2)層47と、第3層の第2アルミナ層48とからなる3層構造によって構成される。

[0061] 絶縁保護層45には、図2に示すように、各端子部25の形成領域に対応して端子開口部49が形成されており、これらの端子開口部49を介して各端子部25が外方に臨んでいる。振動素子20は、図2に示すように端子開口部49から突出されるようにして各端子部25に金バンプ26が形成される。

[0062] 絶縁保護層45は、図4に示すように、基部22と振動子部23の各々の外周縁と、基準電極層27や端子部25の最外周部位との間においてシリコン基板21の第2主面21-2が枠状に露出されるようにして形成される。絶縁保護層45は、外周部位に第2主面21-2の露出部位を残すことによって、後述する振動素子20の切り出し工程に際して外周部位から剥離が生じることが防止されている。なお、絶縁保護層45は、幅寸法 t_6 が $100\mu\text{m}$ とされた振動子部23において、例えば $98\mu\text{m}$ の幅寸法をもって形成される。

- [0063] 絶縁保護層45は、第1アルミナ層46が例えば50nmの厚み寸法をもって形成される。第1アルミナ層46は、基部22や振動子部23の主面との密着性を向上させる下地密着層として作用し、振動動作する振動子部23上に絶縁保護層45が強固に成膜形成されるようにして剥離等の発生が防止されるようにする。
- [0064] 酸化シリコン層47は、空気中の水分等を遮断して各電極層等への付着を防止するとともに、各電極層の酸化抑制、各電極層の電氣的絶縁或いは薄膜の各電極層や圧電薄膜層28の機械的保護を図る機能を奏する。最上層の第2アルミナ層48は、シリコン基板21に後述する外形溝形成工程を施して振動子部23を形成する際に形成されるレジスト層との密着性を向上させる作用を奏し、エッチング剤による酸化シリコン層47の損傷を防止する。
- [0065] 酸化シリコン層47は、第2電極層42の少なくとも2倍の厚みで、1 μ m以下の厚みで形成されている。また、酸化シリコン層47は、0.4Pa以下のアルゴンガス雰囲気中でスパッタ法によって第1アルミナ層46上に成膜される。絶縁保護層45は、酸化シリコン層47を上述した膜厚とすることによって、十分な絶縁保護機能を奏するとともに成膜時のバリ発生が防止される。また、酸化シリコン層47は、上述したスパッタ条件で成膜することによって、高膜密度で形成される。
- [0066] [位置合わせ用マーク]
振動型ジャイロセンサ1においては、同一形状の第1振動素子20Xと第2振動素子20Yとを支持基板2に対して精密に位置決めして実装するために、支持基板2が各ランド4の位置を実装機側に認識される。振動素子20には、実装機によって認識された各ランド4に対して位置決めされて実装されるようにするために、基部22の第1主面(上面)22-1に位置合わせ用マーク32A, 32B(以下、位置合わせ用マーク32と総称する。)が設けられている。
- [0067] 位置合わせ用マーク32は、図1及び図4に示すように、基部22の第1主面(上面)22-1上に幅方向に離間して形成された金属箔等からなる一対の矩形部によって構成される。振動素子20は、実装機によって位置合わせ用マーク32が読み取られ、支持基板2に対する位置や姿勢の実装データが生成された後、この実装データと上述したランド4のデータとに基づいて、支持基板2に対して精密に位置決めされて実装

される。

[0068] 振動素子20は、位置合わせ用マーク32を基部22の第1主面上に形成したが、かかる構成に限定されるものではない。位置合わせ用マーク32は、基部22の第2主面(実装面)22-2に、例えば配線工程と同一工程で導体部からなる位置合わせ用マークを端子部25やリード31を避けた適宜の位置に形成するようにしてもよい。位置合わせ用マーク32は、詳細を後述するように振動素子20の電極層や振動子部23を形成する外形溝形成工程において用いられる誘導結合型プラズマ装置による反応性イオンエッチング処理に際して用いられる基準マーカに合わせて、位置決めされて形成されることが好ましい。位置合わせ用マーク32は、ステッパー露光装置を用いることによって、振動子部23に対して $0.1\mu\text{m}$ 以下の精度で形成することが可能である。

[0069] 位置合わせ用マーク32は、適宜の方法によって形成される。例えば基部22の第2主面(実装面)22-2に後述するようにチタン層と白金層とからなる第1電極層40のパターニングによって形成した場合に、実装工程に際して読み取りが行われて画像処理を施す際に良好なコントラストが得られて実装精度の向上が図られるようになる。

[0070] [カバー]

続いて、支持基板2の第1主面2-1を外部から遮蔽するカバー15の詳細について説明する。

[0071] 振動型ジャイロセンサ1は、手振れ等により生じるコリオリ力による振動素子20の変位を、詳細を後述するようにこの振動素子20に形成した圧電薄膜層28と検出電極30とにより検出して検出信号を出力する。そして、圧電薄膜層28に光が照射されると焦電効果により電圧が発生し、この焦電圧が検出動作に影響を及ぼして検出特性が低下する。

[0072] 振動型ジャイロセンサ1においては、支持基板2とカバー部材15とによる部品実装空間部3の遮光対応が図られ、外部光の影響による特性低下の防止が図られている。支持基板2には、図1に示すように部品実装領域6を縁取るようにして外周部位が全周に亘って第1主面2-1から段落ちされて垂直壁からなる遮光段部9を構成することでカバー固定部10が形成されている。そして、支持基板2に対して金属薄板によって形成したカバー部材15を、カバー固定部10上に樹脂接着によって全周に亘つ

て接合することによって、部品実装空間部3を密閉して防塵、防湿するとともに遮光空間部として構成する。

[0073] カバー部材15は、図1に示すように支持基板2の部品実装領域6を被覆するに足る外形寸法を有する主面部16と、この主面部16の外周部に全周に亘って一体に折曲形成された外周壁部17とからなる全体箱状に形成されている。カバー部材15は、外周壁部17が、支持基板2に組み付けられた状態において振動素子20の振動子部23が振動動作を可能とする部品実装空間部3を構成する高さ寸法をもって形成されている。カバー部材15には、外周壁部17の開口縁に全周に亘って、支持基板2に形成したカバー固定部10よりもやや小幅とされた外周フランジ部18が一体に折曲形成されている。なお、図示せずとも外周フランジ部18はアース凸部を形成し、振動型ジャイロセンサ1が制御基板100に実装された際に制御基板100上のグランド端子に接続される。

[0074] カバー部材15は、金属薄板によって形成されることで振動型ジャイロセンサ1の小型軽量化を保持しているが、赤外波長の外部光に対する遮光性が低下して十分な遮光機能を奏し得ないこともある。そこで本実施の形態では、主面部16と外周壁部17の表面全体に例えば赤外波長の光を吸収する赤外線吸収塗料を塗布して遮光層19を形成し、部品実装空間部3内への赤外波長の外部光の放射を遮蔽して振動素子20が安定した動作を行うようにする。なお、遮光層19は、赤外線吸収塗料溶液中にディップして表裏主面に形成したり、黒色クロムめっき処理や黒染め処理或いは黒色陽極酸化処理を施して形成してもよい。

[0075] 上述のように、振動型ジャイロセンサ1においては、支持基板2に対してカバー部材15が、外周フランジ部18をカバー固定部10上に重ね合わせて接着剤によって接合されることによって組み付けられ、密閉かつ遮光された部品実装空間部3を構成する。ところが、重ね合わされたカバー固定部10と外周フランジ部18との間の隙間に介在する接着剤層を透過して外部光が部品実装空間部3内に進入する場合がある。そこで本実施の形態においては、上述したように支持基板2が主面2-1に対して遮光段部9を介してカバー固定部10を段落ち形成したことにより、接着剤層を透過した外部光が遮光段部9によって遮光されるようにしている。

[0076] 本実施の形態においては、支持基板2に対してカバー部材15も他の構成部材と同様に表面実装法によって組み付けるようにすることで、組立工程の合理化が図られている。振動型ジャイロセンサ1においては、カバー部材15を支持基板2の段落ちされたカバー固定部10上に固定することから薄型化が図られるとともに、接着剤の部品実装領域6への流れ込みも防止される。また、部品実装空間部3が防塵、防湿空間部として構成されるときに遮光空間部として構成されることで、振動素子20における焦電効果の発生を抑制して安定した手振れ等の検出動作を行うことを可能とする。

[0077] [回路構成]

次に、振動型ジャイロセンサ1を駆動する回路構成について図7を参照して説明する。

[0078] 振動型ジャイロセンサ1は、第1振動素子20Xと第2振動素子20Yとにそれぞれ接続されIC回路素子7や電子部品8等によって構成された第1駆動検出回路部50Xと第2駆動検出回路部50Yとを備えている。これら第1駆動検出回路部50Xと第2駆動検出回路部50Yとは互いに同一の回路構成とされることから、以下、駆動検出回路部50と総称して説明する。駆動検出回路部50は、インピーダンス変換回路51と、加算回路52と、発振回路53と、差動増幅回路54と、同期検波回路55と、直流増幅回路56等を備えている。

[0079] 駆動検出回路部50は、図7に示すように振動素子20の第1検出電極30Rと第2検出電極30Lに対してインピーダンス変換回路51と差動増幅回路54とが接続される。インピーダンス変換回路51には加算回路52が接続され、この加算回路52に接続された発振回路53が駆動電極層29と接続される。差動増幅回路54と発振回路53とには同期検波回路55が接続され、この同期検波回路55に直流増幅回路56が接続される。なお、振動素子20の基準電極層27は、支持基板2側の基準電位57と接続される。

[0080] 駆動検出回路部50は、振動素子20とインピーダンス変換回路51と加算回路52と発振回路53とによって自励発振回路を構成する。そして、発振回路53から駆動電極層29に対して所定周波数の発振出力 V_{go} を印加することによって振動素子20の振動子部23に固有振動を生じさせる。振動素子20の第1検出電極30Rからの出力

V_{gr}と第2検出電極30Lからの出力V_{gl}とはインピーダンス変換回路51に供給され、これらの入力に基づいてインピーダンス変換回路51から加算回路52に対してそれぞれ出力V_{zr}とV_{zl}とを出力する。加算回路52は、これらの入力に基づいて発振回路53に対して加算出力V_{sa}を出力する。

[0081] 振動素子20の第1検出電極30Rからの出力V_{gr}と第2検出電極30Lからの出力V_{gl}とは差動増幅回路54に供給される。駆動検出回路部50は、後述するように振動素子20が手振れを検出するとこれら出力V_{gr}と出力V_{gl}とに差異が生じることから、差動増幅回路54によって所定の出力V_{da}が得られる。差動増幅回路54からの出力V_{da}は、同期検波回路55に供給される。同期検波回路55は出力V_{da}を同期検波することで直流信号V_{sd}に変換して直流増幅回路56に供給し、所定の直流増幅を行った直流信号V_{sd}を出力する。

[0082] 同期検波回路55は、差動増幅回路54の出力V_{da}を、発振回路53から駆動信号に同期して出力されるクロック信号V_{ck}のタイミングで全波整流した後で積分して直流信号V_{sd}を得る。駆動検出回路部50は、上述したようにこの直流信号V_{sd}を直流増幅回路56において増幅して出力することにより、手振れにより生じる角速度信号の検出が行われる。

[0083] 駆動検出回路部50は、インピーダンス変換回路51がハイ・インピーダンス入力Z₂の状態でロー・インピーダンス出力Z₃を得るようになっており、第1検出電極30Rと第2検出電極30L間のインピーダンスZ₁と加算回路52の入力間のインピーダンスZ₄とを分離する作用を奏する。インピーダンス変換回路51を設けることによって、これら第1検出電極30Rと第2検出電極30Lとから大きな出力差異を得ることが可能となる。

[0084] 駆動検出回路部50においては、上述したインピーダンス変換回路51が入力と出力とのインピーダンス変換機能を奏するだけで信号の大きさに影響を与えることは無い。したがって、第1検出電極30Rからの出力V_{gr}とインピーダンス変換回路51の一方側の出力V_{zr}、及び第2検出電極30Lからの出力V_{gl}とインピーダンス変換回路51の他方側の出力V_{zl}とはそれぞれ同一の大きさである。駆動検出回路部50においては、振動素子20によって手振れ検出が行われて第1検出電極30Rからの出力V_{gr}と第2検出電極30Lからの出力V_{gl}とに差があっても、加算回路52からの出力V_{sa}

に保持される。

[0085] 駆動検出回路部50においては、例えばスイッチング動作等によってノイズが重畳されることがあっても、発振回路53の出力 V_{go} に重畳されたノイズ成分が振動素子20におけるバンドフィルタと同等の働きによって共振周波数以外の成分が除去されることで、差動増幅回路54からノイズ成分が除去された高精度の出力 V_{da} を得ることが可能となる。なお、振動型ジャイロセンサ1は、上述した駆動検出回路部50に限定されるものではなく、固有振動する振動子部23の手振れ動作による変位を圧電薄膜層28と一対の検出電極30とによって検出し、適宜の処理を行って検出出力を得るように構成されればよい。

[0086] 振動型ジャイロセンサ1においては、上述したようにX軸方向の角速度を検出する第1振動素子20XとY軸方向の角速度を検出する第2振動素子20Yとを備えている。第1振動素子20Xに接続された第1駆動検出回路部50XからはX軸方向の検出出力 V_{sdX} が得られるとともに、第2振動素子20Yに接続された第2駆動検出回路部50YからはY軸方向の検出出力 V_{sdY} が得られる。振動型ジャイロセンサ1においては、第1振動素子20Xと第2振動素子20Yとが、それぞれ数kHzから数百kHzの範囲で動作周波数の設定が可能である。そして、第1振動素子20Xの動作周波数 f_x と第2振動素子20Yの動作周波数 f_y との周波数差($f_x - f_y$)を1kHz以上とすることで、クロストークが低減されて精密な振動検出が行われるようになる。

[0087] [振動型ジャイロセンサの製造方法]

以下、本実施の形態の振動型ジャイロセンサ1の製造方法について説明する。図10は振動型ジャイロセンサ1の製造方法を説明する主要工程フロー図である。

[0088] 振動型ジャイロセンサ1においては、上述した振動素子20が、例えば図11及び図12に示すように、主面21-1の方位面が(100)面、側面21-3の方位面が(110)面となるように切り出されたシリコン基板21を基材にして多数個が一括して形成された後に、切断工程を経て1個ずつに切り分けられる。

[0089] [基板準備工程]

シリコン基板21は、外形寸法が、工程に用いられる設備仕様に応じて切り出し寸法が適宜決定され、例えば 300×300 (mm)とされる。シリコン基板21は図11に示す

ように平面視矩形状の基板に限らず、平面視円形のウェーハ形状でもよい。シリコン基板21は、作業性やコスト等によって厚み寸法を決定されるが、少なくとも振動素子20の基部22の厚み寸法よりも大きな厚みであればよい。シリコン基板21は、上述したように基部22の厚みが $300\ \mu\text{m}$ であるとともに振動子部23の厚みが $100\ \mu\text{m}$ であることから、 $300\ \mu\text{m}$ 以上の基板が用いられる。

[0090] シリコン基板21には、熱酸化処理が施されて、図12に示すように第1主面21-1上及び第2主面21-2上にそれぞれシリコン酸化膜(SiO_2 膜)33A, 33B(以下、個別に説明する場合を除いてシリコン酸化膜33と総称する。)が全面に亘って形成されている。シリコン酸化膜33は、後述するようにシリコン基板21に結晶異方性エッチング処理を施す際に保護膜として機能する。シリコン酸化膜33は、保護膜機能を奏すればよく適宜の厚みをもって形成されるが、例えば $0.3\ \mu\text{m}$ 程度の厚み寸法で形成される。

[0091] [エッチング凹部形成工程]

振動素子製造工程は、半導体プロセスの薄膜工程と同様の工程からなり、シリコン基板21の第1主面21-1側から各振動素子20の振動子部23を形成する部位を所定の厚み寸法とする上述したエッチング凹部37を形成するエッチング凹部形成工程を有する。

[0092] エッチング凹部形成工程は、図13～図19に示すように、シリコン基板21の第1主面21-1に、フォトリソ層34を形成するフォトリソ層形成工程と、エッチング凹部37の形成部位に対応してフォトリソ層34にフォトリソ層開口部35を形成するフォトリソパターニング工程と、フォトリソ層開口部35に臨むシリコン酸化膜33Aを除去してシリコン酸化膜開口部36を形成する第1エッチング処理工程と、シリコン酸化膜開口部36内にエッチング凹部37を形成する第2エッチング処理工程等を有する。

[0093] フォトリソ層形成工程は、シリコン基板21の第1主面21-1に形成したシリコン酸化膜33A上に全面に亘ってフォトリソ材を塗布してフォトリソ層34を形成する。フォトリソ層形成工程は、フォトリソ材として例えば東京応化社製の感光性フォトリソ材「OFPR-8600」が用いられ、このフォトリソ材を塗布した後

にマイクロ波で加熱して水分を除去するプレベーク処理を施してシリコン酸化膜33A上にフォトレジスト層34を形成する。

[0094] フォトレジストパターニング工程は、フォトレジスト層34上に各シリコン酸化膜開口部36を形成する部位を開口部としたマスキング処理を施し、フォトレジスト層34に対して露光、現像処理を施す。フォトレジストパターニング工程は、各シリコン酸化膜開口部36の対応部位のフォトレジスト層34を除去して、図13及び図14に示すようにシリコン酸化膜33Aを外方に臨ませる多数個のフォトレジスト層開口部35を一括して形成する。なお、シリコン基板21には、図13に示すように3×5個のフォトレジスト層開口部35が形成されることで、後述する各工程を経て15個の振動素子20が一括して製造されるようにする。

[0095] 第1エッチング処理工程は、フォトレジスト層開口部35を介して外部に臨むシリコン酸化膜33Aを除去する工程である。第1エッチング処理は、シリコン基板21の界面の平滑性を保持するために、シリコン酸化膜33Aのみを除去する湿式エッチング法を採用するが、この方法に限定されるものではなく例えばイオンエッチング法等の適宜のエッチング処理であってもよい。

[0096] 第1エッチング処理には、エッチング液として例えばフッ化アンモニウム溶液を用い、シリコン酸化膜33Aを除去してシリコン酸化膜開口部36を形成する。これにより、図15及び図16に示すように、シリコン基板21の第1主面21-1を外部に臨ませる。なお、第1エッチング処理は、長時間に亘ってエッチングを行った場合にシリコン酸化膜開口部36の側面からエッチングが進行するいわゆるサイドエッチング現象が生じることから、シリコン酸化膜33Aがエッチングされた時点で終了するようにエッチング時間を正確に管理することが好ましい。

[0097] 第2エッチング処理は、シリコン酸化膜開口部36を介して外部に臨むシリコン基板21の第1主面21-1にエッチング凹部37を形成する工程である。第2エッチング処理工程は、シリコン基板21の結晶方向にエッチング速度が依存する性質を利用した結晶異方性の湿式エッチング処理によって、シリコン基板21を振動子部23の厚みまでエッチングする。

[0098] 第2エッチング処理工程には、エッチング液として例えばTMAH(水酸化テトラメチ

ルアンモニウム)やKOH(水酸化カリウム)或いはEDP(エチレンジアミン-ピロカテコール-水)溶液が用いられる。第2エッチング処理は、具体的にはエッチング液として表裏面のシリコン酸化膜33A, 33Bのエッチングレートを選択比がより大きくなるTMAH20%溶液を用い、このエッチング液を攪拌しながら温度を80℃に保ち、6時間のエッチングを行って図17及び図18に示すエッチング凹部37を形成する。

[0099] 第2エッチング処理工程においては、基材として用いるシリコン基板21の第1主面21-1や第2主面21-2に対して側面21-3の対エッチング性が小さい特性を利用して、(100)面に対して約55°の角度の面方位となる(110)面が出現するエッチングが行われる。これにより、開口部から底面に向かって約55°の傾斜角度をもって次第に開口寸法が小さくなり、内周壁に約55°の傾斜角度のエッチング斜面133を有するエッチング凹部37が形成される。

[0100] エッチング凹部37は、後述する外形切り抜き工程が施されて振動子部23を形成するダイヤフラム部38を構成する。エッチング凹部37は、図17に示すように長さ寸法t8、幅寸法t9の開口寸法を有し、図19に示すように深さ寸法t10をもって形成される。エッチング凹部37は、図19に示すように、第1主面21-1から第2主面21-2側に向かって次第に開口寸法が小さくなる断面が台形の空間部によって構成される。

[0101] エッチング凹部37は、内周壁が上述したように内方下がり55°の傾斜角度 θ を付されて形成される。ダイヤフラム部38は、後述するように、振動子部23の幅寸法t6と長さ寸法t5及びその外周部を切り抜くようにしてシリコン基板21に形成する外形溝39の幅寸法t7(図36及び図37参照)とによって規定する。外形溝39の幅寸法t7は、 $(\text{深さ寸法}t10 \times 1 / \tan 55^\circ)$ で求められる。

[0102] したがって、エッチング凹部37は、ダイヤフラム部38の幅を規定する開口幅寸法t9が、 $(\text{深さ寸法}t10 \times 1 / \tan 55^\circ) \times 2 + t6$ (振動子部23の幅寸法) + $2 \times t7$ (外形溝39の幅寸法)から求められる。エッチング凹部37は、開口部位の幅寸法t9が、 $t10 = 200 \mu\text{m}$ 、 $t6 = 100 \mu\text{m}$ 、 $t7 = 200 \mu\text{m}$ とすると、 $t9 = 780 \mu\text{m}$ となる。

[0103] また、エッチング凹部37は、上述した第2エッチング処理を施すことによって長さ方向についても幅方向と同様にその内周壁がそれぞれ傾斜角度が55°の傾斜面として構成される。したがって、エッチング凹部37は、ダイヤフラム部38の長さを規定す

る長さ寸法 t_8 が、(深さ寸法 $t_{10} \times 1 / \tan 55^\circ$) $\times 2 + t_5$ (振動子部23の長さ寸法) $+ t_7$ (外形溝39の幅寸法) から求められる。エッチング凹部37は、長さ寸法 t_8 が、 $t_{10} = 200 \mu\text{m}$ 、 $t_5 = 2.5\text{mm}$ 、 $t_7 = 200 \mu\text{m}$ とすると、 $t_8 = 2980 \mu\text{m}$ となる。

[0104] [電極形成工程(成膜)]

上述したエッチング凹部形成工程により、シリコン基板21にエッチング凹部37の底面と第2主面21-2との間に、所定の厚みを有する矩形のダイヤフラム部38が構成される。ダイヤフラム部38は、振動素子20の振動子部23を構成する。エッチング凹部形成工程の後、ダイヤフラム部38の第2主面21-2側を加工面として電極形成工程が施される。

[0105] 電極形成工程は、例えばマグネトロンスパッタ装置によって、エッチング凹部37の形成部位と対向する第2主面21-2上に、シリコン酸化膜33Bを介して各電極層を形成する。電極形成工程は、図20に示すようにシリコン酸化膜33Bを介して基準電極層27を構成する第1電極層40を形成する第1電極層形成工程と、圧電薄膜層28を構成する圧電膜層41を形成する圧電膜層形成工程と、駆動電極層29及び検出電極30を構成する第2電極層42を形成する第2電極層形成工程とを有する。

[0106] なお、振動素子製造工程においては、振動子部23に対する上述した第1電極層40の形成工程と第2電極層42の形成工程に合わせて、基部22の形成部位に各リード31や端子部25を形成するための導体層の形成工程も同時に行われるようにする。

[0107] 第1電極層形成工程は、図20に示すように、振動子部23の構成部位に対応するシリコン酸化膜33B上に全面に亘ってチタンをスパッタリングしてチタン薄膜層を形成する工程と、このチタン薄膜層上にプラチナ(白金)をスパッタリングしてプラチナ層を形成して2層構成の第1電極層40を積層形成する工程とからなる。チタン薄膜層形成工程は、例えばガス圧0.5Pa、RF(高周波)パワー1kWのスパッタ条件でシリコン酸化膜33B上に膜厚が50nm以下(例えば5nm~20nm)のチタン薄膜層を成膜する。プラチナ層形成工程は、例えばガス圧0.5Pa、RFパワー0.5kWのスパッタ条件でチタン薄膜層上に膜厚が200nm程度のプラチナ薄膜層を成膜する。

[0108] 第1電極層40は、チタン薄膜層がシリコン酸化膜33Bとの密着性を向上させる作用を奏するとともに、プラチナ層が良好な電極として作用する。第1電極層形成工程は

、上述した第1電極層40の形成と同時にダイヤフラム部38から基部22の形成領域へと延長して第1リード31Aと第1端子部25Aとを構成する導体層も形成する。

[0109] 圧電膜層形成工程は、上述した第1電極層40上に全面に亘って、例えばチタン酸ジルコン酸鉛(PZT)をスパッタリングして所定の厚みの圧電膜層41を積層形成する。圧電膜層形成工程は、 $\text{Pb}_{(1+x)}(\text{Zr}_{0.53}\text{Ti}_{0.47})\text{O}_{3-y}$ 酸化物をターゲットとして用いて、例えばガス圧0.7Pa、RFパワー0.5kWのスパッタ条件で第1電極層40上に膜厚が1 μm 程度のPZT層からなる圧電膜層41を積層形成する。圧電膜層形成工程は、電気炉により圧電膜層41をベーキングすることによって、結晶化熱処理を施す。ベーキング処理は、例えば酸素雰囲気下で、700℃、10分間の条件で行う。なお、圧電膜層41は、上述した第1電極層40から延長された基部22の形成領域に形成された電極層の一部を被覆して形成される。

[0110] 第2電極層形成工程は、上述した圧電膜層41上に全面に亘って、プラチナをスパッタリングしてプラチナ層を形成することによって第2電極層42を積層形成する。第2電極層形成工程は、ガス圧0.5Pa、RFパワー0.5kWのスパッタ条件で圧電膜層41上に膜厚が200nm程度のプラチナ薄膜層を成膜する。

[0111] [電極形成工程(パターニング)]

次に、最上層に形成された第2電極層42に対してパターニング処理を施す第2電極層パターニング工程が行われる。第2電極層パターニング工程では図21及び図22に示すように所定形状の駆動電極層29と一対の検出電極30R、30Lとを形成する。

[0112] 駆動電極層29は、上述したように振動子部23を駆動させる所定の駆動電圧が印加される電極であり、振動子部23の幅方向の中央領域に所定の幅をもって長さ方向のほぼ全域に亘って形成される。検出電極30は、振動子部23に発生したコリオリ力を検出する電極であり、駆動電極層29の両側に位置して長さ方向のほぼ全域に亘って互いに絶縁を保持されて平行に形成される。

[0113] 第2電極層パターニング工程は、第2電極層42に対してフォトリソグラフ処理を施して図21に示すように圧電膜層41上に駆動電極層29と検出電極30とを形成する。第2電極層パターニング工程は、駆動電極層29と検出電極30との対応部位にレジスト

層を形成し、不要な部位の第2電極層42を例えばイオンエッチング法等によって除去した後にレジスト層を除去する等の工程を経て、駆動電極層29と検出電極30とをパターン形成する。第2電極層パターニング工程は、かかる工程に限定されず、半導体プロセスにおいて採用されている適宜の導電層形成工程を利用して駆動電極層29や検出電極30を形成するようにしてもよいことは勿論である。

[0114] 駆動電極層29と検出電極30とは、図21に示すように先端部とともに振動子部23の根元となる根元部位43においても同一となるようにして形成される。この第2電極層パターニング工程においては、根元部位43において一致された駆動電極層29と検出電極30との基端部に、それぞれ幅広とされたリード接続部29-1、30R-1、30L-1が一体にパターン形成される。

[0115] 第2電極層パターニング工程においては、第2電極層42をパターニングして例えば長さ寸法 t_{12} が2mm、幅寸法 t_{13} が $50\mu\text{m}$ の駆動電極層29を形成する。そして、この駆動電極層29を挟んで、図21に示すようにそれぞれ幅寸法 t_{14} が $10\mu\text{m}$ の第1検出電極30Rと第2検出電極30Lとを、 $5\mu\text{m}$ の間隔寸法 t_{15} をもってパターン形成する。また、第2電極層パターニング工程は、長さ寸法がそれぞれ $50\mu\text{m}$ 、幅寸法もそれぞれ $50\mu\text{m}$ としたリード接続部29-1、30R-1、30L-1をパターン形成する。なお、駆動電極層29と検出電極30とは上述した寸法値に限定されるものではなく、振動子部23の第2主面上に形成することが可能な範囲で適宜形成される。

[0116] 続いて、上述した圧電膜層41に対してパターニング処理を施す圧電膜層パターニング工程によって、図23及び図24に示す所定形状の圧電薄膜層28を形成する。圧電薄膜層28は、圧電膜層41に対して上述した駆動電極層29と検出電極30よりも大きな面積の部位を残すようにパターニング処理を施して形成される。圧電薄膜層28は、振動子部23に対して、その幅よりもやや小幅であり基端部から先端部の近傍位置に亘って形成される。

[0117] 圧電膜層パターニング工程は、圧電膜層41に対してフォトリソグラフ処理を施して圧電薄膜層28の対応部位にレジスト層を形成し、不要な部位の圧電膜層41を例えばフッ硝酸溶液を用いた湿式エッチング法等によって除去した後に、レジスト層を除去する等の工程を経て、図23及び図24に示す圧電薄膜層28を形成する。なお、上

記の例では圧電膜層41を湿式エッチング法によってエッチング処理を施すようにしたが、かかる方法に限定されるものではなく、例えばイオンエッチング法や反応性イオンエッチング法(RIE:Reactive Ion Etching)等の適宜の方法を施すことにより圧電薄膜層28を形成するようにしてもよいことは勿論である。

- [0118] 圧電膜層パターニング工程においては、圧電薄膜層28の基端部が図23に示すように振動子部23の根元となる根元部位43において駆動電極層29と検出電極30とほぼ同形となるようにして形成される。そして、圧電薄膜層28は、基端部から駆動電極層29や検出電極30のリード接続部29-1, 30R-1, 30L-1よりもやや大きな面積を有して端子受け部28-1が一体にパターン形成される。
- [0119] 圧電膜層パターニング工程は、長さ寸法t18が駆動電極層29や検出電極30よりもやや長い2.2mm、幅寸法t19が90 μ mの圧電薄膜層28をパターン形成する。圧電薄膜層28の基端部に形成される端子受け部28-1は、駆動電極層29や検出電極30のリード接続部29-1, 30R-1, 30L-1の周囲に5 μ mの幅寸法を有してパターニングされる。なお、圧電薄膜層28は上述した寸法値に限定されるものでなく、駆動電極層29や検出電極30よりも大きな面積をもって振動子部23の第2主面23-2上に形成することが可能な範囲で適宜形成される。
- [0120] そして、第1電極層40に対して、上述した第2電極層パターニング工程と同様のパターニング処理を施す第1電極層パターニング工程によって、図25及び図26に示すように基準電極層27をパターン形成する。第1電極層パターニング工程は、基準電極層27の対応部位にレジスト層を形成し、不要な部位の第1電極層40を例えばイオンエッチング法等によって除去した後にレジスト層を除去する等の工程を経て、基準電極層27をパターン形成する。なお、第1電極層パターニング工程は、かかる工程に限定されず、半導体プロセスにおいて採用されている適宜の導電層形成工程を利用して基準電極層27を形成するようにしてもよいことは勿論である。
- [0121] 第1電極層パターニング工程においては、振動子部23の第2主面上においてその幅よりもやや小幅で圧電薄膜層28よりも大きな幅を有する基準電極層27を形成する。基準電極層27の基端部は、図25に示すように振動子部23の根元となる根元部位43において駆動電極層29と検出電極30及び圧電薄膜層28とほぼ同形となるように

して形成される。この第1電極層パターニング工程においては、基端部から側方へと一体に引き出されて基部22の形成部位上に第1リード31Aとその先端部の第1端子部25Aとが同時にパターン形成される。

- [0122] 第1電極層パターニング工程においては、長さ寸法 t_{20} が2.3mm、幅寸法 t_{21} が $94\mu\text{m}$ とされ、圧電薄膜層28の周囲に $5\mu\text{m}$ の幅寸法をもって基準電極層27を形成する。なお、第1電極層パターニング工程は、基準電極層27が上述した寸法値に限定されるものでなく、振動子部23の第2主面上に形成することが可能な範囲で適宜形成される。

- [0123] [平坦化層形成工程]

振動素子製造工程においては、上述した各工程を経て基部22の形成部位に対応して、駆動電極層29と検出電極30のリード接続部29-1, 30R-1, 30L-1及び端子部25B~25Dを形成するとともに、これら各端子部25と一体化されるリード31B~31Dを形成する。この際、リード31B~31Dをリード接続部29-1, 30R-1, 30L-1と円滑に接続するために、図27及び図28に示す平坦化層24を形成する。

- [0124] リード接続部29-1, 30R-1, 30L-1と端子部25B~25Dとを接続するリード31B~31Dは、図29及び図30に示すように、圧電薄膜層28の端子受け部28-1や基準電極層27の端部を通過して基部22の形成部位を引き回すようにして形成される。上述したように圧電薄膜層28は圧電膜層41に湿式エッチング処理を施してパターニングされることから、エッチング箇所の端部がシリコン基板21の第2主面21-2側に向かって逆テーパ或いは垂直な段部となっている。従って、基部22の形成部位にリード31B~31Dを直接形成した場合に、上記段部において断線を生じさせることがある。また、基部22の形成部位に引き回されている第1リード31Aとリード31B~31Dとの絶縁を保持する必要もある。

- [0125] 平坦化層形成工程は、基部22の形成部位に形成したレジスト層にフォトリソグラフ処理を施して、リード接続部29-1, 30R-1, 30L-1と第1リード31Aとを被覆するレジスト層をパターン形成する。パターン形成されたレジスト層は、例えば $160^{\circ}\text{C}\sim 300^{\circ}\text{C}$ 程度の加熱処理が施されることで硬化し平坦化層24を構成する。平坦化層形成工程は、幅寸法 t_{24} が $200\mu\text{m}$ 、長さ寸法 t_{25} が $50\mu\text{m}$ 、厚み寸法が $2\mu\text{m}$ (図2

8では強調して示している。)の平坦化層24を形成する。なお、平坦化層形成工程は、かかる工程に限定されるものではなく、半導体プロセス等を実施される適宜のレジスト層形成工程や適宜の絶縁性材料を用いて平坦化層24を形成するようにしてもよい。

[0126] [配線層形成工程]

次に、基部22の形成部位に上述した第2端子部25B～第4端子部25D及び第2リード31B～第4リード31Dを形成する配線層形成工程が施される。配線層形成工程は、基部22の形成部位に全面に亘って感光性のフォトレジスト層を形成するとともに、このフォトレジスト層に対してフォトリソグラフ処理を施して第2端子部25B～第4端子部25Dや第2リード31B～第4リード31Dに対応する開口パターンを形成し、さらにスパッタリングによって各開口部内に導体層を形成して配線層を形成する。配線層形成工程は、所定の導体部を形成した後に、フォトレジスト層を除去して図29及び図30に示す第2端子部25B～第4端子部25D及び第2リード31B～第4リード31Dをパターン形成する。

[0127] この配線層形成工程においては、シリコン酸化膜33Bに対する密着性の向上を図るチタン層やアルミナ層が下地層として形成された後に、このチタン層上に電気抵抗が低く低コストの銅層が形成される。この例では、例えばチタン層が20nmの厚みで形成され、銅層が300nmの厚みで形成される。なお、配線層形成工程は、かかる工程に限定されず、例えば半導体プロセスで汎用される各種の配線パターン形成技術によって配線層を形成するようにしてもよい。

[0128] [絶縁保護層形成工程]

続いて、上述した工程を経て主面上に端子部25とリード31とを形成した基部22と、各電極層と圧電薄膜層28とを形成した振動子部23の主面上に3層構成の絶縁保護層45を形成する絶縁保護層形成工程が施される。絶縁保護層形成工程は、レジスト層形成工程と、レジスト層パターニング形成工程と、第1アルミナ層形成工程と、酸化シリコン層形成工程と、第2アルミナ層形成工程と、レジスト層除去工程とを有する。

[0129] 絶縁保護層形成工程は、レジスト層形成工程とレジスト層パターニング形成工程とを経て、図31に示すようにシリコン基板21の第2主面上に絶縁保護層45の形成部

位を開口したレジスト層44を形成する。レジスト層形成工程は、シリコン基板21上に全面に亘って感光性レジスト剤を塗布してレジスト層44を形成する。レジスト層パターンニング形成工程は、レジスト層44に対してフォトリソグラフ処理を施して絶縁保護層45の形成領域に対応する部位を開口して絶縁保護層形成開口部44Aを形成する。なお、レジスト層44は、図示を省略するが端子部25の対応部位がそれぞれ円形に残される。

[0130] 絶縁保護層形成工程は、スパッタ法によって第1アルミナ層46と酸化シリコン層47と第2アルミナ層48とを積層形成するとともに、不要なスパッタ形成膜をレジスト層44とともに除去してレジスト層44の絶縁保護層形成開口部44A内に3層構造のスパッタ形成層を残すいわゆるリフトオフ法によって所望の絶縁保護層45を形成する。なお、図32～図34においては、絶縁保護層形成開口部44Aに形成される各スパッタ膜のみを図示しているが、この絶縁保護層形成開口部44Aを構成するレジスト層44上にも同様にしてスパッタ膜が形成されることは勿論であり、これらスパッタ膜はレジスト層除去工程によってレジスト層44とともに一括して除去される。

[0131] 第1アルミナ層形成工程は、アルミナのスパッタリングを施して、図32に示すように上述した絶縁保護層形成開口部44Aの内部に第1アルミナ層46を形成する。第1アルミナ層46は、50nm程度の厚み寸法 t_{26} をもって形成され、絶縁保護層形成開口部44A内において上述したようにシリコン基板21や駆動電極層29或いは検出電極30との密着性を向上させる下地金属層として機能する。

[0132] 酸化シリコン層形成工程は、酸化シリコンのスパッタリングを施して、図33に示すように上述した第1アルミナ層46上に酸化シリコン層47を形成する。酸化シリコン層形成工程は、スパッタ槽内におけるアルゴン圧が0.35Paを放電限界の下限とすることから、アルゴン圧を下限値よりもやや高圧とした0.4Paに設定して酸化シリコンのスパッタリングを行って、高密度の酸化シリコン膜47を形成する。酸化シリコン膜形成工程は、駆動電極層29や検出電極30の少なくとも2倍の厚みを有することで十分な絶縁保護機能を奏し、かつリフトオフ法においてバリ発生率が小さい範囲の厚みである $1\mu\text{m}$ 以下の厚み寸法 t_{27} を有する酸化シリコン層47を形成する。酸化シリコン層47は、具体的には750nmの厚み寸法 t_{27} に形成される。

[0133] 第2アルミナ層形成工程は、アルミナのスパッタリングを施して、図34に示すように上述した酸化シリコン層47上に第2アルミナ層48を全面に亘って形成する。第2アルミナ層48は、50nm程度の厚み寸法 t_{28} をもって形成され、後述する外形溝形成工程に際して形成されるレジスト層との密着性を向上させることで、エッチング剤による酸化シリコン層47の損傷を防止する。

[0134] [外形溝形成工程]

次に、シリコン基板21の第1主面21-1上に、図34に示すようにエッチングストップ層70を形成する工程が施される。エッチングストップ層70は、後述する外形溝形成工程をシリコン基板21に対して施す際に、第1主面21-1側にプラズマ集中が生じて所定のエッジ形状が形成されない形状不良の発生を抑制する機能を奏する。エッチングストップ層形成工程は、例えばシリコン基板21の第1主面21-1上に、スパッタ法によって全面に亘って厚みが500nm程度の酸化シリコンを形成する。

[0135] 外形溝形成工程は、ダイヤフラム部38を貫通して振動子部23の外周部を構成する外形溝39を形成する。外形溝形成工程においては、図35～図37に示すように、ダイヤフラム部38と対向するシリコン基板21の第2主面21-2側から、上述した各電極層を積層形成したシリコン基板21の振動子部23の一方側の根元部位43を始端39Aとし、振動子部23を囲むように他方側の根元部位43を終端39Bとする略コ字状の貫通溝からなる外形溝39が形成される。外形溝39は、上述したように200 μ mの幅寸法 t_7 をもって形成される。

[0136] 外形溝形成工程は、具体的にはシリコン酸化膜33Bを所定形状のコ字状に除去してシリコン基板21の第2主面21-2を露出させる第1エッチング処理工程と、露出されたシリコン基板21に対して外形溝39を形成する第2エッチング処理工程とからなる。

[0137] 第1エッチング工程においては、シリコン酸化膜33B上に全面に亘って感光性のフォトレジスト層を形成するとともに、このフォトレジスト層に対してフォトリソグラフ処理を施して上述した各電極層の形成領域を囲み振動子部23の外形寸法と等しい開口寸法を有するコ字状の開口パターンを形成する。第1エッチング処理工程は、開口パターンを介して露出されたシリコン酸化膜33Bをイオンエッチングによって除去する。な

お、第1エッチング処理工程は、例えば湿式エッチングによってシリコン酸化膜33Bをコ字状に除去することも可能であるが、サイドエッチングによる寸法誤差の発生を考慮すると、イオンエッチングが好適に実施される。

[0138] 第2エッチング工程においては、残されたシリコン酸化膜33Bがレジスト膜(エッチング保護膜)として利用される。第2エッチング処理工程は、レジスト膜(シリコン酸化膜33B)との選択比が得られ、かつ振動子部23の外周部が高精度の垂直面によって構成されるようにするために、シリコン基板21に対して例えば反応性イオンエッチングが施される。

[0139] 第2エッチング処理工程には、高密度なプラズマを生成する誘導結合型プラズマ(ICP:Inductively Coupled Plasma)を生成する機能を有する反応性イオンエッチング(RIE)装置が用いられる。第2エッチング処理工程は、エッチング箇所にSF₆ガスを導入するエッチング処理と、C₄F₈ガスを導入してエッチングした箇所に外周壁を保護するための保護膜形成工程とを繰り返すBosch(Bosch社)プロセスが用いられ、毎分10 μm程度の速度で垂直な内壁を有する外形溝39をシリコン基板21に形成する。

[0140] 第2エッチング処理工程の後、シリコン基板21の第1主面21-1に形成されたエッチングストップ層70を除去する工程が施される。エッチングストップ層の除去工程は、例えばフッ化アンモニウムを用いた湿式エッチング処理によって酸化シリコンからなるエッチングストップ層70を除去する。なお、エッチングストップ層除去工程は、上述した外形溝形成工程で形成したフォトレジスト層を除去してしまうと絶縁保護層45も除去されてしまうから、エッチングストップ層70を除去した後に当該フォトレジスト層の除去が行われるようにする。

[0141] [分極処理工程]

続いて、シリコン基板21上に形成される各振動素子20の圧電薄膜層28を一括して分極処理する分極処理工程が行われる。分極処理のための分極用配線にはCu配線が用いられる。Cu配線は、後述する分極処理を行った後に湿式エッチング処理によって容易に溶解することで、各振動素子20にダメージを与えることなく除去することが可能である。なお、分極用配線については、Cu配線に限定されず、上述した機能を奏する適宜の導電体によって形成してもよいことは勿論である。

- [0142] Cu配線の形成には、例えばフォトリソグラフ処理によって所望の形状を開口部とするレジスト層をシリコン基板21の第2主面21-2上にパターン形成した後、Cu層をスパッタ法により成膜するとともに不要な部位に付着したCu層をレジスト層とともに除去するリフトオフ法が用いられる。Cu配線は、分極処理時の導通を確保するために、例えば幅寸法が $30\mu\text{m}$ 以上、厚みが400nm程度とする。
- [0143] 分極処理工程は、Cu配線に形成された印加側パッドとグランド側パッドとを介して各振動素子20を外部電源に一括して接続することによって、効率よく行うことが可能である。なお、分極処理工程は、例えばワイヤボンディング法によって各パッドと外部電源との接続を行うとともに、20V-20minの条件で通電を行って分極処理を施す。分極処理工程は、かかる条件に限定されず、適宜の接続方法や分極条件によって分極処理を施すようにしてもよいことは勿論である。
- [0144] [金バンプ形成工程]
- 次に、金バンプ形成工程が行われる。振動素子20は、上述したように支持基板2に表面実装されることから、各端子部25上に金バンプ26が形成される。金バンプ形成工程は、各端子部25に金ワイヤのボンディングツールを押し当てて所定形状のスタッドバンプを形成する。金バンプ形成工程においては、必要に応じて基部22上にいわゆるダミーバンプも形成される。なお、金バンプ26の他の形成方法としては、後述するめっきバンプ法がある。
- [0145] めっきバンプ法は、図38Aに示すように端子部25上に所定の開口部61を有するめっきレジスト層62を形成する工程と、図38Bに示すように金めっき処理により各開口部61内に金めっき層26を所定の高さまで成長させる金めっき工程と、めっきレジスト層62を除去する工程とを有する。なお、金バンプ形成工程においては、めっき処理の条件によって形成される金バンプ26の厚み(高さ)に限界があり、所望の高さを有する金バンプ26が形成し得ないこともある。金バンプ形成工程においては、1回のめっき処理によって所望の金バンプ26を得られない場合に、第1層の金めっき層を電極とする2回めっき処理を施していわゆる段付き金バンプ26を形成するようにしてもよい。
- [0146] なお、バンプ形成工程について、上述した方法に限定されず、半導体プロセスで実

施されている例えば蒸着法や転写法等によってバンプ形成を行うようにしてもよい。また、振動素子製造工程においては、詳細を省略するが、金バンプ26と端子部25との密着性を向上させるために、TiW、TiN等のいわゆるバンプ下地金属層が形成される。

[0147] [切断工程]

続いて、シリコン基板21から各振動素子20を切り分ける切断工程が実施される。切断工程においては、例えばダイヤモンドカッタ等によって基部22の対応部位を切り分けることによって、各振動素子20の切り分けが行われる。切断工程では、ダイヤモンドカッタによって切断溝を形成した後に、シリコン基板21を折って切り分けが行われる。なお、切断工程は、砥石や研削によりシリコン基板21の面方位を利用して切断を行うようにしてもよい。

[0148] 上述した振動素子製造工程においては、例えば基部22を共通とし、この基部22の隣り合う側面に振動子部をそれぞれ一体に形成することによって2軸の検出信号を得る2軸一体型振動素子との比較において、シリコン基板(ウェーハ)21からの取り数を大幅に向上させることを可能とする。

[0149] [実装工程]

以上の工程を経て製造された振動素子20は、シリコン基板21の第2主面21-2側を実装面として、支持基板2の第1主面2-1上に表面実装法によって実装される。振動素子20は、各端子部25に設けられた金バンプ26を支持基板2側の相対するランド4に位置合わせされる。この際、振動素子20は、上述したように位置合わせ用マーク32が読み取られて、実装機により位置と向きを高精度に位置決めされる。

[0150] 振動素子20は、支持基板2に押圧された状態で超音波が印加され、各金バンプ26が相対するランド4に溶着されることで支持基板2の第1主面2-1上に実装される。支持基板2には、第1主面2-1上にIC回路素子7や電子部品8が実装され、振動素子20に対して後述する調整工程が行われた後、カバー部材15が取り付けられることで、振動型ジャイロセンサ1が完成する。

[0151] 以上のように、本実施の形態においては、基部22に振動子部23を一体に形成してなる多数個の振動素子20をシリコン基板21に一括して製作し、それぞれを個々に切

り分けるようにしている。そして、支持基板2の第1主面2-1上に、同一形状の第1振動素子20Xと第2振動素子20Yとを 90° 異なる2軸上に実装することで、当該2軸の検出信号を得る振動型ジャイロセンサ1が作製される。

[0152] [調整工程]

振動素子製造工程においては、上述したように誘導結合型プラズマを用いたエッチング処理を施してシリコン基板21から各振動素子20の振動子部23をそれぞれ高精度に切り抜くようにするが、材料取りの歩留まり等の条件によって各振動子部23がプラズマの出射中心線上に対して全て左右対称に位置して形成されることが困難である。このため、各振動素子20の位置ずれやその他種々の工程条件等によって各振動子部23の形状にバラツキが生じることがある。振動素子20は、例えば振動子部23の断面形状が台形状又は平行四辺形状に形成された場合に、正規の矩形形状の振動子部23との比較で垂直な上下振動からずれて中心軸線に対して質量が小さな側に傾いた状態で振動動作を行うようになる。

[0153] そこで、振動子部23の所定箇所にレーザ加工を施して質量の大きな側を研削することによって振動状態を矯正する調整工程が施される。調整工程は、微細な大きさで形成される振動子部23の断面形状を直接視認することが困難であることから、切断した個々の振動素子20について所定の縦共振周波数で振動子部23を振動動作させて左右の検出信号の大きさを比較する方法によって、振動子部23の断面形状のバラツキを確認する。調整工程は、左右の検出信号に差異が生じている場合に、レーザ加工によって小さな検出信号を出力する側の振動子部23の一部を研削する。

[0154] 調整工程は、例えば対象とする振動素子20について、調整前に図39Aに示すように、発振回路71の発振出力G0を駆動電極層29に印加することによって振動素子20を縦共振状態で駆動させる。調整工程は、一対の検出電極層30L, 30Rから得る検出信号G10, Gr0を加算回路72によって加算し、その加算信号を発振回路71に帰還させる。そして、検出電極30L, 30Rから得る検出信号G10, Gr0に基づいて、発振回路71の発振周波数を縦共振周波数f0として測定するとともに検出信号G10, Gr0の差を差分信号として測定する。

[0155] また、調整工程は、図39Bに示すように、発振回路71の発振出力G1を検出電極3

0Lに印加することによって振動素子20を横共振状態で駆動させる。調整工程は、検出電極30Rから得る検出信号Gr-1を発振回路71に帰還させるとともに、検出信号Gr-1に基づいて、発振回路71の発振周波数を横共振周波数f1として測定する。なお、横共振周波数は、検出信号Gr-1から得る横共振周波数f1と検出信号Gl-1から得る横共振周波数f2とは等しいことから、検出電極30L, 30Rのいずれか一方の接続状態で行うようにすればよい。

[0156] さらに、調整工程は、図39Cに示すように、発振回路71の発振出力G2を検出電極30Rに印加することによって振動素子20を横共振状態で駆動させる。調整工程は、検出電極30Lから得る検出信号Gl-2を発振回路71に帰還させるとともに、検出信号Gl-2に基づいて、発振回路71の発振周波数を横共振周波数f2として測定する。調整工程は、上述した各測定によって得た縦共振周波数f0と横共振周波数f1, f2の周波数差を離調度とし、離調度が所定の範囲であるか否かを判定する。また、調整工程は、検出電極30L, 30Rから検出される差分信号が所定の範囲であるか否かを判定する。

[0157] 調整工程は、上述した離調度や差分信号の判定結果に基づいて、その大きさから振動子部23に対する調整加工位置を決定してレーザ照射を行って一部を研削して調整を行う。調整工程は、以下同様の測定・レーザ加工を、離調度と差分信号とが目標値に達成するまで施す。

[0158] 調整工程には、スポット径を調整可能な波長532nmのレーザを出射するレーザ装置が用いられる。調整工程は、振動素子20の振動子部23に対して、例えば側面と第1主面23-1に跨る稜線部位に対して長さ方向の適宜の場所にレーザを照射することにより調整を行う。振動素子20は、振動子部23の基端部から先端部に向かうほどレーザ照射による調整の変化量が、周波数差、検出信号バランスともに小さいことから、基端部側において粗調整を行い、先端部側で微調整を行うことが可能である。

[0159] そして、この調整工程は振動素子20が支持基板2に実装された状態で行われるので、実装前に当該調整を行った際の実装後における再調整が不要となり、振動型ジャイロセンサ1の生産性を高められる。この場合、調整用レーザが照射される領域は振動子部23の上面23-2側であるため、実装後の調整作業性に優れている。また、

この振動子部23の上面23-2は圧電層や電極層が形成されていない面であるため、レーザ加工時に発生する熱により圧電薄膜層28の特性が変化したり、分極状態が変化する等の影響を最大限防ぐことが可能である。

[0160] ところで、振動型ジャイロセンサ1は、振動素子20が、駆動電極層29に対して駆動検出回路部50から所定周波数の交流電圧が印加されることによって、振動子部23が固有の振動数をもって振動する。振動子部23は、厚み方向である縦方向に縦共振周波数で共振するとともに幅方向である横方向にも横共振周波数で共振する。振動素子20は、縦共振周波数と横共振周波数との差である離調度が小さいほど高感度特性を有する。振動型ジャイロセンサ1は、上述したように結晶異方性エッチング処理や反応性イオンエッチング処理を施して振動子部23の外周部を精度よく形成することで高離調度化が図られている。

[0161] 振動素子20は、振動子部23の長さ寸法 t_5 の精度によって縦共振周波数特性に大きな影響が生じる。振動素子20は、上述したように振動子部23の長さ寸法 t_5 を規定する根元部位43が、結晶異方性エッチング処理を施すことによって形成されるダイヤモンド部38の(100)面及び 55° の角度をなすエッチング傾斜面133である(111)面と、平坦面である境界線とに「ずれ」が生じた場合に、この「ずれ」量に応じて離調度が大きくなってしまう。

[0162] すなわち、振動素子20は、かかる「ずれ」量が、結晶異方性エッチング処理時のシリコン酸化膜33B上に形成するレジスト膜パターンと、反応性イオンエッチング処理時のレジスト膜パターンの位置ずれが原因となる。したがって、振動素子20は、例えば工程中でシリコン基板21の第1、第2主面21-1、21-2を同時に観察可能な両面アライナー装置により位置決めする対応を図るようにしてもよい。また、振動素子20は、シリコン基板21の第1主面21-1上や第2主面21-2上に適宜の位置決め用パターンやマークを形成し、これらを基準として他方主面の位置規制を行うアライメント装置によって位置決めする対応を図るようにしてもよい。振動素子20は、かかる位置決めの対応が支持基板2への実装工程に際しても適用可能である。

[0163] なお、振動素子20は、上述した「ずれ」量が約 $30\ \mu\text{m}$ 程度よりも小さな範囲であれば、縦共振周波数と横共振周波数とがほぼ一致する。したがって、振動素子20は、

やや精度の高いエッチング工程を施すことによって実質的な「ずれ」量による離調度特性の低下を抑制することが可能であり、上述したアライメント装置を用いた対応を不要として製造される。

[0164] [バンプ接合の効果]

振動素子20は、支持基板2に対する固定方法や材料によってQ値が決定される。振動型ジャイロセンサ1は、上述したように振動素子20が基部22に形成したそれぞれ所定の高さを有する複数個の金バンプ26によって支持基板2に実装したことにより、安定かつ高感度で振動子部23の振動動作が行われて高Q値化が図られている。

[0165] 振動型ジャイロセンサ1について、以下、振動素子20の支持基板2に対する固定方法によるQ値特性の影響を、FEM(Finite-Element Method:有限要素法)解析法によって解析する。解析は、振動子部23をシリコン材によって製作するとともに支持基板2に対して金接合層(金バンプ26)によって固定した場合の、固定部分の減衰による振動子部23の先端部位における変位量(この例では上振幅のピークと下振幅のピーク間の変位量(μ mpp))を計算することによって固定方法の違いによる特性変化を解析した。シリコンの材料減衰 $\beta = 3.54 \times 10^{-8}$ 、金接合層の材料減衰 $\beta = 3.54 \times 10^{-8}$ を基準にした値をパラメータにして代入する。

[0166] 振動素子20が基部22を支持基板2に対して金接合層を介して全面に亘って接合された場合の第1の解析を行った。この第1の解析により、図40に振動子部23の変位量の変動結果が得られた。振動素子20は、同図から明らかなように、Auの減衰量が大きくなるにしたがって振動子部23の先端部の変位が次第に減衰する。

[0167] また、振動素子20が基部22を支持基板2に対して金接合層140を介して接合される場合の第2の解析を行った。この第2の解析は、具体的には、図41Aに示したように、振動子部23の基端部位において設けた幅dの非接合部の変化による振動子部23の変位減衰割合の変化を解析するものであり、図41Bに示す結果が得られた。振動素子20は、図41Bから明らかなように金接合層140の非接合部の幅が200 μ m ~ 300 μ m の範囲で変位減衰割合が大きくなる結果が得られた。ここで、変位減衰割合は、振動子の機械品質係数Q値に相当する値であり、数値が大きいほど優れており特定周波数において高い強度で発振する。以下、同様の意味で用いるものとする。

- [0168] さらに、振動素子20が基部22を支持基板2に対して金接合層140を介して接合する場合の第3の解析を行った。この第3の解析は、具体的には図42Aに示すように金接合層140の幅 e の変化による振動子部23の変位減衰割合の変化を解析するものであり、図42Cに示す結果が得られた。また、第3の解析において、図42Bに示すように振動素子20が基部22を支持基板2に対して第1金接合層140Aと第2金接合層140Bとを介して接合される場合における解析も行った。
- [0169] 図42Cは、1個の金接合層140による幅 e の変化による振動子部23の変位減衰割合の解析結果を黒色四角印で示すとともに、第2金接合層140Bを追加した場合の解析結果を白色丸印で示している。振動素子20は、金接合層140の幅 e が $500\ \mu\text{m}$ ～ $700\ \mu\text{m}$ の範囲で減衰割合が大きくなる結果を得る。また、振動素子20は、2箇所固定することによって、金接合層140の幅 e が小さい場合でも大きな減衰割合が得られるようになる。
- [0170] 振動素子20においては、上述した第1～第3解析の結果から明らかなように、金接合層140により支持基板2上に接合される基部22が、全面で接合されるよりも第1金接合層140Aと第2金接合層140Bとの2箇所で接合されることが良好な特性を示す解析結果が得られる。第4の解析は、かかる解析結果に基づいて、図43Aに示すように基部22を第1金接合層140Aと第2金接合層140Bとの2箇所で支持基板2上に接合し、上述した第2の解析と同様に振動子部23の基端部位において設けた非接合部の幅 f をパラメータとして振動子部23の変位減衰割合の変化を解析することによって第1金接合層140Aの最適位置を求めた。振動素子20は、図43Bに示すように第1金接合層140Aを振動子部23の根元位置から非接合部の幅 f をほぼ $250\ \mu\text{m}$ として基部22を固定することによって、最適化が図られるとの解析結果が得られた。
- [0171] 第5の解析は、上述した第4の解析に対して、図44Aに示すように基部22を第1金接合層140Aと第2金接合層140Bとの2箇所で支持基板2上に接合するが、第2金接合層140Bの最適位置を解析したものである。振動素子20は、第1金接合層140Aを基部22に対して上述した振動子部23の根元から $250\ \mu\text{m}$ の最適位置を固定し、第2金接合層140Bについて基部22の後端部からの間隔 g をパラメータとして振動子部23の変位減衰割合の変化を解析して最適位置を求めた。振動素子20は、図4

4Bに示すように、第2金接合層140Bが振動子部23の根元と対向する基部22の後端部から次第に振動子部23側へ近づくにしたがってこの振動子部23の変位減衰割合が小さくなる結果が得られた。したがって、振動素子20は、支持基板2に対して基部22を第1金接合層140Aと第2金接合層140Bの2箇所固定する場合に、振動子部23の根元から250 μ mの位置とより後端部に近い位置とにおいて固定することによって最適化が図られるとの解析結果が得られる。

[0172] 振動素子20は、上述した第1～第5解析から、支持基板2に対する基部22の固定方法が全面固定よりも部分固定、1箇所固定よりも複数箇所固定である方が良好なQ値特性を得ることができることが明らかとなった。第6の解析は、支持基板2に対する基部22の固定方法を、図45Aに示すように振動子部23の根元側を幅方向に離間した一対の第1金属層140A-1, 140A-2によって固定するとともに基部22の後端側において幅方向に離間した一対の第2金属層140B-1, 140B-2によって固定する4点固定構造とした場合の解析である。第6の解析では、第2金属層140B-1, 140B-2を固定するとともに、第1金属層140A-1, 140A-2の相対する間隔wと第2金属層140Bとの間隔hとをパラメータとして振動子部23の変位減衰割合の変化を解析することによって最適な固定位置の解析を行った。

[0173] 第6の解析は、図45Aに示すように、第1金属層140A-1, 140A-2を基部22の幅方向の両側に設けて相対する間隔をw1として支持基板2に固定する方法を第1固定方法とし、図45Bに示すように、第1金属層140A-1, 140A-2を中央部に近づけて相対する間隔をw2として支持基板2に固定する方法を第2固定方法とし、図45Cに示すように第1金属層140A-1, 140A-2を振動子部である中心部位において一体化して相対する間隔をw3=0として支持基板2に固定する方法を第3固定方法とする。

[0174] 振動素子20は、図46A及び図46Bに示すように支持基板2に対して基部22が第1金属層140A-1, 140A-2によって、振動子部23の根元に近い位置で基部22の幅方向の両側で固定される固定方法により最適化が図られるとの解析結果が得られる。なお、振動素子20は、第3固定方法によって支持基板2に対して基部22を固定した場合に極大をもつ。

- [0175] 第7の解析は、図47Aに示すように、4個の金バンプ141-1～141-4によって支持基板2に対して基部22を固定した場合のFEM計算結果と測定結果とを解析したものである。第1の固定方法は、図47Aに示すように基部22の略中央部に4個の金バンプ141-1～141-4を横方向に1列に並べて固定した方法である。第2の固定方法は、図47Bに示すように基部22の四隅に4個の金バンプ141-1～141-4を配置して固定した方法である。第3の固定方法は、図47Cに示すように基部22の後端側に3個の金バンプ141-1～141-3を横方向に並べるとともに振動子部23の根元で幅方向の中央部に位置して1個の金バンプ141-4を配置して固定した方法である。
- [0176] 図48Aは、横軸にAuの減衰量を、縦軸に振動子部23の変位減衰割合を示したFEM計算結果を示した図である。また、図48Bは、各固定方法を採用した振動素子142A～142Cの変位量(μ mpp)の測定結果を示した図である。振動素子20は、図48A及び同図Bから明らかなように固定部位におけるAuの材料減衰が大きい場合でも四隅を金バンプ141-1～141-4によって固定したサンプル142Bが減衰に強い固定方法を構成している。
- [0177] 第8の解析は、上述した第1解析～第7解析の解析結果を踏まえて、さらに多点箇所振動素子20を支持基板2に対して固定する場合の優位性を検討した解析である。第8の解析では、図49Aないし図49Dに示すように、基部22に対して金バンプ143の数を異にして配置した第1サンプル振動素子144A～第4サンプル振動素子144Dについて、振動子部23の変位減衰割合の解析を行って図50に示す結果を得た。
- [0178] 第1サンプル振動素子144Aは、基部22の四隅に配置された4個の金バンプ143-1～143-4を有している。第2サンプル振動素子144Bは、基部22の四隅に配置された4個の金バンプ143-1～143-4と、中央部に配置された1個の金バンプ143-5との合計5個の金バンプ143-1～143-5を有している。第3サンプル振動素子144Cは、基部22の四隅に配置された4個の金バンプ143-1～143-4と、振動子部23の延長線上で両側の金バンプ143の中央部に位置することによってそれぞれ横方向に3個ずつが配列された合計6個の金バンプ143-1～143-6を有してい

る。第4サンプル振動素子144Dは、基部22の幅方向の両側に沿って縦方向に3個ずつが配列された合計6個の金バンプ143-1～143-6を有している。

[0179] 上述した第1サンプル振動素子144A～第4サンプル144Dにおいては、図50に示すように振動子部23の変位減衰割合について大きな差異はない。したがって、振動素子20においては、支持基板2に対して基部22を多点で固定しても特性がさほど向上されないとの解析結果が得られた。

[0180] [負荷緩衝溝部の効果]

上述したように振動型ジャイロセンサ1, 170においては、支持基板2, 171に第1負荷緩衝溝部12, 172や第2負荷緩衝溝部14からなる外部負荷の緩衝構造を形成して振動素子20による安定した角速度の検出動作が行われるように構成される。振動型ジャイロセンサ1においては、振動の角度方向により出力信号が基準値よりも大小の値を示すために、出力信号に予めオフセット電圧が印加されている。

[0181] 図51は、上述した緩衝構造の作用効果について、出力電圧の変動を測定した結果を示したグラフであり、この変動が小さいほど振動型ジャイロセンサ1が安定した状態で検出動作を行うことが裏付けられる。同図において、縦軸がオフセット電圧値($\times 10E-4V$)とし、横軸が測定回数である。比較例として示す支持基板2に第1負荷緩衝溝部12や第2負荷緩衝溝部14を設けずに振動素子20を実装した振動型ジャイロセンサは、○印で示す変動状態となった。

[0182] これに対して、支持基板2に枠状の第1負荷緩衝溝部12のみを形成した振動型ジャイロセンサ1Aは、△印の結果であった。また、第1負荷緩衝溝部172と区割り溝173とによって構成された個別実装領域174に端子部25をそれぞれ固定した振動型ジャイロセンサ1Bは、□印の結果であった。さらに、支持基板2の第2主面2-2に第2負荷緩衝溝部14を形成した振動型ジャイロセンサ1Cは、◇印の結果であった。

[0183] 図51から明らかなように、比較例振動型ジャイロセンサは、測定する毎にオフセット電圧値が大きく変動しており、外部負荷が振動素子20の検出動作に影響を与えて、検出精度が低下する。一方、支持基板2に第1負荷緩衝溝部12や第2負荷緩衝溝部14を形成した振動型ジャイロセンサ1A～1Cは、いずれもオフセット電圧値の変動がほとんどなく、安定した特性が得られることが確認される。なお、第1負荷緩衝溝部

12と第2負荷緩衝溝部14とを形成した振動型ジャイロセンサについても、同様にオフセット電圧値の変動がほとんどなく、安定した特性を有することは明らかである。

[0184] 図52は、支持基板2に溝の深さを異にする杵状の第1負荷緩衝溝部12を形成し、同様にしてオフセット電圧値の変化を測定した結果を示したグラフである。同図において、○印は、溝の深さが0 μm 、すなわち第1負荷緩衝溝部12が形成されていない振動型ジャイロセンサの測定結果を示す。同図において、△印は第1負荷緩衝溝部12の溝の深さを30 μm とした振動型ジャイロセンサの測定結果を示す。また、同図において、◇印は第1負荷緩衝溝部12の溝の深さを50 μm とした振動型ジャイロセンサの測定結果を示し、□印は第1負荷緩衝溝部12の溝の深さを100 μm とした振動型ジャイロセンサの測定結果を示し、●印は第1負荷緩衝溝部12の溝の深さを200 μm とした振動型ジャイロセンサの測定結果を示す。

[0185] 振動型ジャイロセンサにおいては、図52から明らかなように、第1負荷緩衝溝部12が50 μm 以下の深さではオフセット電圧値に変動が生じて安定した特性が得られない結果となった。一方、振動型ジャイロセンサにおいては、第1負荷緩衝溝部12が100 μm を超える深さではオフセット電圧値の変動がほとんど無く、安定した特性を有することは明らかである。

[0186] [間隔構成凹部の効果]

振動型ジャイロセンサ1においては、上述したように振動素子20の振動子部23に対向して支持基板2の主面2-1に深さkの間隔構成凹部11を形成することによって、振動子部23と支持基板2との間に高さm(図2参照)の振動空間部が構成される。振動型ジャイロセンサ1においては、上述したように振動素子20に駆動電圧が印加されることによって振動子部23が振動動作する。この振動素子20の縦方向と横方向との振動動作によって、振動空間部内に縦方向と横方向との空気流を生じさせる。縦方向の空気流は、間隔構成凹部11の底面に当たって反射して振動素子20の振動子部23側へと流れるようになる。縦方向の空気流は、振動素子20に対してその縦振動動作に抵抗するいわゆるダンピング効果を振動子部23に対して作用させる。

[0187] 振動型ジャイロセンサ1においては、振動子部23が、上述したように金バンプ26の高さと間隔構成凹部11の深さkとを加えた高さmの振動空間部において振動動作す

ることで、ダンピング効果の影響を低減されて高Q値をもって振動する。したがって、振動型ジャイロセンサ1においては、高Q値化が保持された振動素子によって高感度で安定した手振れ検出が行われるようになる。

[0188] 振動型ジャイロセンサ1においては、例えば振動素子20が基部22の厚み寸法を0.3mm、振動子部23の厚み寸法を0.1mmに形成し、支持基板2に開口寸法が2.1mm×0.32mmであり深さ寸法kを変化させた間隔構成凹部11を形成した場合に、振動空間部の高さmの変化と振動子部23の変位減衰割合の変化とが図53に示す特性を得る。振動素子20は、同図から明らかなように振動空間部の高さmが0.05mmと極めて狭い場合に、振動子部23に対して大きなダンピング効果の影響が生じて変位減衰割合が0.8程度となる。振動素子20は、所定のQ値が得られない状態となり、特性が低下する。

[0189] 振動素子20は、振動空間部の高さmが大きくなるにしたがって振動子部23に対するダンピング効果の影響が低減されることによって、振動子部23の変位減衰割合が次第に大きくなる。振動素子20は、振動空間部の高さmが0.1mm程度までになると振動子部23に対してダンピング効果の影響がほとんど作用しない状態となり、所期のQ値が得られるようになる。

[0190] 勿論、振動空間部は、高さkが振動素子20の最大振幅量、すなわち振動子部23の先端部における最大変位量の $1/2$ よりも大きく、振動素子20を自由振動させることが条件である。振動空間部は、上述した特性図から、振動子部23の最大振幅量をpとすると、 $k \geq p/2 + 0.05(\text{mm})$ の条件を満たす振動空間部を構成することによって振動素子20が所期のQ値によって駆動されることを可能とする。

[0191] 上述した実施の形態においては、支持基板2の主面2-1に深さkの間隔構成凹部11を形成することによって主面2-1と振動子部23の第2主面(基板対向面)23-2との間に全体として高さmの振動空間部を構成するようにしたが、本発明はかかる構成に限定されるものではない。振動型ジャイロセンサ1は、例えば間隔構成凹部11を支持基板2を貫通する矩形溝によって構成してもよい。振動型ジャイロセンサ1は、かかる構成によって金バンプ26を一般的な大きさに形成することを可能とし、全体としてさらに薄型化が図られるようになる。

[0192] [一対の振動素子の効果]

振動素子製造工程においては、上述したように基部22に振動子部23を一体に形成してなる多数個の振動素子20をシリコン基板21に一括して製作してそれぞれを切り分けるようにする。振動素子製造工程においては、支持基板2の主面上に2軸上に位置して実装されて2軸の検出信号を得る振動型ジャイロセンサ1に備えられる同一形状の第1振動素子20Xと第2振動素子20Yとを製作する。

[0193] 振動素子製造工程においては、例えば基部22を共通とし、この基部22の隣り合う側面に振動子部をそれぞれ一体に形成することによって2軸の検出信号を得る2軸一体型振動素子との比較において、シリコン基板(ウェーハ)21からの取り数を大幅に向上させることを可能とする。各部が上述した寸法値を有する振動素子20と、同等の機能を有する2軸一体型振動素子とを製作した場合の取り数の比較を図54に示す。

[0194] 振動素子20は、図54から明らかなように3cm角のシリコン基板を用いた場合に総計60個(2個使いとなることから振動型ジャイロセンサ1が30個分)が製作され、半導体プロセスの量産工程で一般に用いられる4インチ径のウェーハを用いた場合に総計1200個(同600個分)が製作され、さらに5インチ径のウェーハを用いた場合には総計4000個(同2000個分)が製作される。一方、2軸一体型振動素子は、3cm角のシリコン基板を用いた場合に総計20個が製作され、4インチ径のウェーハを用いた場合に300個が製作され、さらに5インチ径のウェーハを用いた場合には総計800個が製作される。振動素子20は、材料の歩留まりを大幅に向上させて、コスト低減が図られるようになる。

[0195] 振動型ジャイロセンサにおいては、上述したように支持基板2に2軸の検出信号を得る第1振動素子20Xと第2振動素子20Yとを直交する2軸上に位置して実装する。振動型ジャイロセンサ1においては、一方の振動素子の振動動作が他方の振動素子に影響を及ぼしていわゆる2軸間干渉の発生が考慮される。図55は、第1振動素子20Xと第2振動素子20Yとを向きを変えて支持基板2に実装した場合に、クロストークを測定した結果を示す。

[0196] 図55においてタイプ1は、第1振動素子20X-1と第2振動素子20Y-1とが、それ

それぞれの振動子部23X-1, 23Y-1を互いに向き合うようにして支持基板2の対角位置のコーナ部に基部22X-1, 22Y-1を固定されて実装される。タイプ2は、第1振動素子20X-2と第2振動素子20Y-2とが、同一コーナ部においてそれぞれの基部22X-2, 22Y-2を固定するとともに振動子部23X-2, 23Y-2を互いに直交する側縁に沿って延在させるようにして支持基板2に実装される。タイプ3は、第1振動素子20X-3があるコーナ部に基部22X-3を固定して振動子部23X-3を隣り合う一方のコーナ部に向けて支持基板2に実装するとともに、第2振動素子20Y-3が隣り合うコーナ部に基部22Y-3を固定して振動子部23Y-3を第1振動素子20X-3に向けて支持基板2に実装する。なお、同図には比較例として、上述した2軸一体型の振動素子(タイプ0)60についてのクロストーク値を示す。クロストークの単位は、dbm(デシベル実効値)である。

[0197] 図55に示すように、タイプ0の振動素子60のクロストーク値は-50dbm、タイプ1の振動素子20X-1, 20Y-1のクロストーク値は-70dbm、タイプ2の振動素子20X-2, 20Y-2のクロストーク値は-60dbm、タイプ3の振動素子20X-3, 20Y-3のクロストーク値は-72dbmであった。

[0198] 本発明に係るタイプ1~3の振動型ジャイロセンサにおいては、タイプ0の2軸一体型の振動素子60に対して、実装状態にかかわらず最小でも-10dbm程度の改善が図られる。振動型ジャイロセンサ1は、独立した2個の振動素子20を備えることによって、検出信号に対する2軸間の干渉信号が1mV程度に抑えることができる。これに対して、2軸一体型の振動素子を備えた振動型ジャイロセンサにおいては、検出信号に対する2軸間の干渉信号が10mV程度となり、検出特性を低下させる。

[0199] また、本実施の形態の振動型ジャイロセンサ1においては、第1振動素子20Xと第2振動素子20Yとをタイプ1のように配置して支持基板2に実装することによって、2軸間干渉が最も小さい結果を得た。振動型ジャイロセンサ1においては、支持基板2に対していかなる位置に第1振動素子20Xと第2振動素子20Yとを搭載するようにしてもよいが、小型のIC回路素子7や多数個の電子部品8の実装や配線パターン5の引き回しを考慮すると、上述した各タイプのように支持基板2のコーナ部に基部22を固定して実装することが最も実装効率の向上が図られる。

[0200] 振動型ジャイロセンサ1においては、各振動素子20にそれぞれ位置合わせ用マーク32を設け、この位置合わせ用マーク32を認識して2個の第1振動素子20Xと第2振動素子20Yとを実装機によって支持基板2の直交する2軸上に互いに向き合う姿勢で実装する。振動型ジャイロセンサ1においては、各振動素子20の振動子部23が位置ずれを生じないようにして支持基板2に実装する必要がある。図56A及び図56Bは、各振動素子20の位置ずれ(中心軸に対するずれ角度の分布)を表したヒストグラムであり、横軸はずれ角度(deg)、縦軸は数量である。位置合わせ用マーク32を認識して実装を行った場合を同図Aに、振動素子20の外形形状で認識して実装を行った場合を同図Bに示す。振動型ジャイロセンサ1においては、同図から明らかなように位置合わせ用マーク32によって高度の認識が行われることによって、各振動素子20が支持基板2に対して角度ずれ発生のバラツキも少なくかつずれ角度も小さい範囲で高精度に実装される。したがって、振動型ジャイロセンサ1においては、各振動素子20によって高精度かつ安定した手振れの検出動作が行われるようになる。

[0201] [クロストーク]

振動素子20の動作周波数は数kHzから数百kHzの範囲で設定可能であり、この2軸角速度センサ(振動型ジャイロセンサ1)では、2個の振動素子20X, 20Yの動作周波数(f_x , f_y)を変えて周波数差($f_x - f_y$)による干渉信号の大きさを測定したところ、図57に示す結果が得られた。図57において、横軸は振動素子20X, 20Yの動作周波数差($f_x - f_y$)、縦軸はセンサ出力(直流)に重畳される交流のノイズ成分 V_o (ノイズを表す交流波形の上振幅ピークと下振幅ピーク間の大きさ)を示しており、ここでは軸間クロストークと称する。

[0202] 周波数差($f_x - f_y$)が1kHz未満ではクロストーク値は1500mVpp以上に達して安定した角速度検出が行えなくなる。これに対して、周波数差を1kHz付近でクロストーク値は500mVppと著しく低減し始め、周波数差1.4kHzで200mVpp、2kHz以上で100mVpp以下にまで低下させることができる。図57の結果から、周波数差($f_x - f_y$)を1kHz以上とすることにより軸間クロストークが顕著に低減することがわかる。2個の振動素子20X, 20Yの動作周波数(f_x , f_y)を1kHz離れた2種類のサンプルを製作したところ、極めて安定に動作する2軸角速度センサを得ることができた。

サンプル1 第1振動素子20Xの動作周波数37kHz

第2振動素子20Yの動作周波数36kHz

サンプル2 第1振動素子20Xの動作周波数40kHz

第2振動素子20Yの動作周波数39kHz

- [0203] また、図57に示したように、周波数差($f_x - f_y$)を2kHzから3kHzに設定することで、一対の振動素子20X, 20Y間のクロストークによる影響を回避することができる。従って、2kHz以上の周波数差をもって各振動素子20X, 20Yを駆動することで、センサ出力の更なる高精度化を図ることができる。
- [0204] また、本実施の形態の振動型ジャイロセンサは、これら振動素子20と本体機器側に内蔵される他の電子部品(センサ等)との間のクロストークによる影響も受ける場合があるが、このような影響が出ない周波数を振動素子の駆動周波数として選定できるように、駆動周波数の異なる複数の振動素子を予め用意しておくのが好ましい。具体的には、駆動周波数が例えば35kHz以上60kHz以下の範囲で振動素子を複数種用意しておき、一対の振動素子間はもちろん、本体機器に内蔵される他の電子部品とのクロストークを回避できる互いに1kHz以上(好ましくは2kHz以上)離れた2つの動作周波数の素子を選択する。
- [0205] 次に、本発明の他の実施の形態について説明する。
- [0206] 本発明に係る振動型ジャイロセンサ1は、図58に模式的に示すように、支持基板2の第1主面2-1に対して振動素子20が金バンプ26を介して実装されるとともに、この支持基板2の第1主面2-1にカバー部材15が組み込まれて部品実装空間部3が外部から遮蔽されている。このようにして作製された振動型ジャイロセンサ1は、支持基板2の第2主面2-2に形成された外部接続端子部としての実装端子部116を介して本体機器側の制御基板100に実装される。
- [0207] ここで、制御基板100の構成や物性等は、本体機器の種類によって異なるのが通常である。振動型ジャイロセンサにおいては、制御基板100の種類に限らず、常に所定の特性が得られる必要がある。また、制御基板100には他の様々な電子部品が搭載されるため、これら電子部品の実装時に振動型ジャイロセンサ1には少なからず歪みや応力が加えられる。特に、電子部品の実装にリフローはんだ付けが用いられる

場合、制御基板100に加わる熱応力が原因で、図59にやや誇張して示すように、制御基板100側から振動型ジャイロセンサ1へ負荷が加わり、振動素子20と支持基板2との間の接合部に歪みや応力が加わる可能性が高い。こうなると、振動素子20は所期の接合構造が確保されなくなることから振動特性や検出感度が不安定となり、安定した角速度検出が困難になる。なお、本体機器側に作用する衝撃等の外部応力によっても上述と同様な問題が発生し得る。

[0208] そこで、以下の各実施の形態では、制御基板100への他の電子部品のリフロー実装時や外部から加えられる衝撃等によって、振動素子20の振動特性が影響を受けにくい振動型ジャイロセンサの幾つかの構成例について説明する。なお、振動素子20の各部の寸法は上述の第1の実施の形態において説明したとおりである。

[0209] (第2の実施の形態:多段バンプ)

上述の第1の実施の形態では主に、図60Aに示すように振動素子20が単段の金バンプ26を介して支持基板2に実装される形態について説明した。本実施の形態では図60B及び図61A, Bに示すように、上記金バンプを複数段のバンプ構造とすることで、接合強度を確保しながら振動素子に加わる応力を低減し、安定した振動特性と信頼性の高い検出精度が得られるようにしている。

[0210] 図60Bは、同一径のバンプA1を2段積み上げて金バンプ26aを構成した例を示している。この2段構造の金バンプ26aは単段の金バンプ26に比べて、振動素子20を支持基板2から更に高い位置に保持される。これにより、支持基板に伝達された外部応力が多段の金バンプ26aで減衰されて振動素子20へ伝えられることになる。このため、振動素子20は、外部応力の影響を受けにくくなり、安定した振動特性が確保されて信頼性の高い検出精度を得ることができる。

[0211] 多段バンプを構成する各バンプは径が同一のもので構成される場合に限らない。図61Aは、互いに径の異なる2つのバンプA1, A2を積み上げた金バンプ26bの構成を示している。この例では、バンプA1よりも小径のバンプA2を支持基板2側に配置した例を示している。各層のバンプ径は、要求される振動特性や接合強度等に応じて適宜設定することができる。また、多段バンプを構成する各バンプは2段構造に限らない。図61Bは、3段構造の金バンプ26cの構成を示している。この例では、小

径バンプA2を一对の大径バンプA1で挟んだ構成となっている。

- [0212] ここで、図60、図61A及び図61Bに示した構造の金バンプを介して振動素子が実装された支持基板モデルを作製し、支持基板に一定の負荷を与えたときの振動素子の挙動変化に加わる応力をシミュレーションにより計算した。
- [0213] 各バンプA1, A2は、一般的なワイヤボンディングツールを用いて作製される。バンプA1, A2の径は、図62Aに示すように用いられるワイヤ(金線)の径(線幅)で決まり、線幅 $38\mu\text{m}$ の金線で径 $130\mu\text{m}$ のバンプA1が得られ、線幅 $25\mu\text{m}$ の金線で径 $90\mu\text{m}$ のバンプA2が得られた。試験条件は図62Bに示すように、厚さ 0.5mm で一边が 7mm の正方形支持基板2Tの中央に振動素子20Tを実装し、支持基板2Tの3点の隅部を固定し、残る1点に基板厚み方向に一定量(ここでは $10\mu\text{m}$)変位させて振動素子の根元に加わる応力を計算した。使用した応力解析ソフトは「ANSYS5.7」である。
- [0214] 実装時のバンプ高さと振動素子の根元に加わる応力との関係を図63Aに示す。図63Aは、バンプ段数が1段、線径 $38\mu\text{m}$ で作製したバンプ構造における応力を1としたときの他のバンプ構造における応力を相対比で示している。バンプ段数が多く実装高さが高いほど、振動素子根元部に作用する応力が低く、バンプ接合部での応力減衰効果が高いことがわかる。また、各段のバンプ径の異同は特に差異は認められなかった。
- [0215] また、実装時のバンプ高さと振動素子の出力変化との関係を図63Bに示す。ここでいう出力変化とは、本体機器側の制御実装に対する実装前後の基準出力の変動量を意味する。バンプ段数が多段になるほど出力変動が小さく、実装前後で安定した検出精度が得られている。特に、バンプ高さ $50\mu\text{m}$ 以上でセンサの出力変化が大幅に改善されている。バンプ高さを高くするが特性面では安定するが、逆に接合強度が低下するので使用範囲としては例えば $100\mu\text{m}$ 程度までが好ましい。
- [0216] (第3の実施の形態:バンプ位置)

上述の第1の実施の形態で説明したように、振動素子20は金バンプ26を介して支持基板2上に実装されている。しかしながら、金バンプ26を形成する位置によっては、本体機器側の制御基板から受ける応力で支持基板2に反りが生じた場合、この反り

が振動素子20に大きく影響して振動モードが変化し、特性が低下するおそれがある。

- [0217] そこで本実施の形態では、振動素子20に形成される金バンプ26の位置を規定することにより、外部歪みが加えられても振動素子の安定な振動モードを維持し出力精度の低下を抑制するようにしている。
- [0218] 上述の第1の実施の形態で説明した振動素子は、図64Aに模式的に示すように、基部22の実装面22-2の四隅位置にそれぞれ金バンプ26が形成されていた。支持基板側から振動素子へ伝わる歪みや応力の大きさは、金バンプ26の配置間隔Lの大きさに依存し、Lが大きくなるほど振動素子に加わる歪みや応力は大きくなる。
- [0219] 本実施の形態では、図64Bに示すように、金バンプ26の配置間隔L2が、図64Aに示した振動素子の配置間隔L1よりも短くしている。具体的には、本発明に係る振動素子は、振動素子23の上面23-1が基部22の上面22-1から傾斜部133(図19参照)を介して段落ち形成されているが、図64Aの例では、振動子部23側に位置する金バンプ26が基部22の実装面22-2において傾斜部133の形成領域に対応する領域に設けられている。これに対して本実施の形態では、図64Bに示すように、振動子23側に位置する金バンプ26は、基部22の実装面22-2において傾斜部133の非形成領域に対応する領域に設けられている。
- [0220] また、上記のように振動子部23側に位置する金バンプ26を傾斜部133の非形成領域に対応する実装面22-2上の領域に設けることで、段階的に厚さが小さくなる傾斜部133の形成領域に対応する領域に比べて、歪みや応力が振動子部23に伝達されにくくすることができる。これにより、振動子部23の根元部位における応力集中を抑制して、振動子部23の振動特性の安定化を図ることが可能となる。
- [0221] 以上のように、振動子部23に外部歪みや応力の影響を少なくするには、金バンプ26が振動子部23からできるだけ離れた位置に設けられることが好ましい。また、各金バンプ26の配置間隔を互いにできる限り近づけることで、外部からの歪みを振動子部23の先端まで伝播させないようにすることができる。
- [0222] 次に、図65に示すように、実装面22-2上において互に対角位置にある金バンプ26間の距離(バンプ中心間距離)L3と、支持基板に荷重を加えたときの振動素子

20の挙動の変化の様子を調べたところ、図66に示す結果が得られた。図66は、互いに対角位置にある金バンプ26間の距離L3に対する、振動素子20の左右の検出電極30L、30Rから出力される検出信号の出力比を示している。測定方法は、制御基板として5cm角ガラスエポキシ基板中央に当該振動型ジャイロセンサをリフローはんだ付け法により実装した後、制御基板の3点を固定し残りの1点に対して加重を行い歪みを発生させたときの、左右検出信号の割合(出力が同一の場合は1)を測定した。

[0223] 図66に示されているように、対角線上の距離L3が $750\mu\text{m}$ 以上になると急激に外部歪みに対して敏感となり、振動モードが本来の垂直方向から変化させ左右の検出信号に差が出ることを確認される。これに対して、対角線上の距離L3が $600\mu\text{m}$ 以下の場合では、外部歪みに対して変化の度合いが少ないことが確認される。

[0224] また、図67に示すように、実装面22-2上において振動子部23側に位置する金バンプ26の振動子部23の根元部位からの距離L4に対する、振動素子20の左右の検出信号の出力比を上述と同様な方法で測定したところ図68に示す結果が得られた。図68に示されるように、振動子部23の根元部位からの距離L4が $150\mu\text{m}$ を超える範囲で外部歪みに対して検出信号の変化が起こりにくくなっていることが確認される。なお、この実験では、互いに対角位置にある金バンプ26間の距離は $600\mu\text{m}$ に固定した。

[0225] 以上の結果より、本実施の形態の振動型ジャイロセンサが外部歪みの影響を少なくして本来の特性を維持するために必要な振動素子20上の金バンプ26の形成位置としては、互いに対角位置にある金バンプ26間の距離は $600\mu\text{m}$ 以下であること、あるいは、振動子部23の根元部位から $150\mu\text{m}$ 以上離して金バンプ26を配置することが重要である。

[0226] (第4の実施の形態: 負荷緩衝層)

上述の第1の実施の形態で説明したように、振動素子20は金バンプ26を介して支持基板2上に実装されている。しかしながら、本体機器側の制御基板から受ける応力で支持基板2に反りが生じた場合、この反りが振動素子20に大きく影響して振動モードが変化し、特性が低下するおそれがある。

- [0227] そこで本実施の形態では、支持基板2と制御基板100との間、あるいは振動素子20と支持基板2との間に、外部歪みが加えられても振動素子の安定な振動モードを維持することができる負荷緩衝層が設けられている。この負荷緩衝層は、外部歪みを吸収して振動素子20への伝播を抑制できるバッファ機能を有するものであれば、特に構成は限定されない。
- [0228] 例えば図69に示す構成例は、振動型ジャイロセンサ1と制御基板100との間の電氣的接続及び機械的接合を異方性導電層80を介して行うようにしている。この異方性導電層80としては、異方性導電フィルムが好適であるが、異方性導電ペーストあるいは異方性導電接着剤等でもよい。異方性導電材料は、樹脂母材中に導電粒子を分散させ加圧方向に導電性を発現させる機能性材料である。樹脂母材は固化後においても適度な弾性を有するとともに、制御基板100に実装される部品のリフロー温度(例えば250℃)に対して一定の耐熱性をもっているものが好ましい。
- [0229] 一方、図70に示す構成例は、振動型ジャイロセンサ1と制御基板100との間の電氣的接続及び機械的接合をフレキシブル配線基板81を介して行うようにしている。この種のフレキシブル配線基板には、ポリイミド等の耐熱性樹脂フィルム表面(又は表裏面)に配線層が形成された可撓性のあるプリント配線基板が用いられる。このフレキシブル配線基板81の可撓性を利用して制御基板100に作用した外部歪みを吸収し振動型ジャイロセンサ1の所期の特性維持を図ることができる。
- [0230] フレキシブル配線基板81は、同一表面に振動型ジャイロセンサ1及び制御基板100と接合される各々の接続端子が形成されており、裏面側に折り返されて両者間を接続している。これにより、振動型ジャイロセンサ1の実装面積の低減が図られている。これに対して、図71に示したフレキシブル配線基板82のように、一方の面に振動型ジャイロセンサ1を接続し、他方の面に制御基板100を接続してもよい。この場合、制御基板100に対する振動型ジャイロセンサ1の実装高さを低く抑えることができる。
- [0231] 更に、図72に示す構成例は、支持基板2に対する振動素子20の実装形態が上述の各例と異なっており、振動素子20を一旦金バンプ26を介して支持板83に実装し、この支持板83を異方性導電層84を介して支持基板2に電氣的かつ機械的に接合することで、支持基板2上に振動素子20を浮島状に実装している。支持板83として

はアルミニウム等の金属製基板やセラミック製基板など振動素子のQ値が充分得られるものであれば特に構成は限定されない。異方性導電層84は上述の例と同様に、支持基板2側から振動素子20側への歪みの伝播を吸収する機能を有する。なお、図示の例では、支持基板2に対する振動素子20の実装高さを抑えるため、支持基板2の実装領域には所定深さの凹所83が形成されている。

[0232] 図73は、本実施の形態の構成の一実験結果を示している。実験は、制御基板100として5cm角ガラスエポキシ基板の4隅のうち3点は固定し残りの1点に対して加重を行って歪みを発生させたときの、振動素子20の左右検出信号の出力比を測定した。図73から、支持基板2に直接振動素子20を実装した場合には、荷重を加えて制御基板に歪みを加えると振動モードが変化して左右の検出信号バランスが大きく変化する。

[0233] これに対して、振動型ジャイロセンサ1を異方性導電フィルムやフレキシブル配線基板を介して制御基板100に実装したり、支持基板2に対して振動素子20を浮島状に実装する場合の方が、信号の変化が小さいか殆ど認められず、制御基板100に与えた歪みが振動素子20に伝播しにくくなっていることが確認される。

[0234] (第5の実施の形態:振動素子に溝形成)

上述の第1の実施の形態で説明したように、振動素子20は金バンプ26を介して支持基板2上に実装されている。しかしながら、本体機器側の制御基板から受ける応力で支持基板2に反りが生じた場合、この反りが振動素子20に大きく影響して振動モードが変化し、特性が低下するおそれがある。

[0235] そこで本実施の形態では、振動素子20の実装面22-2に歪みの伝播を抑制する溝を形成することで、外部歪みが加えられても振動子部23の安定な振動モードを維持し、高い検出精度が得られるようにしている。

[0236] 図74に示すように、振動素子201は、上述の第1の実施の形態と同様に、金バンプ26が形成される基部22と、この基部22から片持ち梁状に突出形成された振動子部23とを有している。基部22の実装面には、振動子部23に形成された基準電極や駆動電極29、左右の検出電極30L、30Rと各端子部上の金バンプ26との間を電氣的に接続するリード31がそれぞれ形成されている。

- [0237] そこで、本実施の形態の振動素子201においては、基部22の実装面22-2において振動子部23側に配置される一対の金バンプ26の形成位置(端子部形成位置)と、振動子部23の根元部位(基端部位)との間に、支持基板に接合された金バンプ26から振動子部23への外部歪みの伝播を抑制する溝86がそれぞれ形成されている。これらの溝86により、振動子部23を基部22から分離して外部歪みの影響を少なくし十分なSN比(信号／ノイズ比)を確保することができる。
- [0238] 基部22に形成される溝86は、振動子部23側に配置される一対の金バンプ26の形成位置と、振動子部23の根元部位との間を結ぶ直線を跨ぐようにして、リード31や各種電極層が形成されない領域に形成される。図75は、支持基板に歪みを加えたときの振動素子の挙動の変化を測定したときの実験結果である。上述の第3の実施の形態と同様な測定方法で、溝86の形成深さと左右検出信号の出力比との関係を測定した。図75の結果から、溝深さが50 μ m以上、更に好ましくは100 μ m以上で左右検出信号差がなくなり、安定した垂直振動を維持できることが確認された。なお、溝深さ100 μ mは即ち、振動子部23の厚み寸法に相当する。
- [0239] 溝86の形成位置は、図74のように振動子部23側に位置する一対の金バンプ26の近傍にのみ形成される場合に限らず、図76に示す振動素子202のように、振動子部23側に位置した他の一対の金バンプ26にも同様に、振動子部23の根元部位と結ばれる直線を跨ぐ位置に同様な溝86が形成されてもよい。溝86の形状は、直線状に限らず、屈曲形状や湾曲形状等であってもよい。また、例えば図74に示したように溝86の一端部が基部22の側周部に臨むように形成することで、当該溝86による外部歪みの伝播抑制効果をより一層高めることができる。
- [0240] そして、図77に示す振動素子202は、基部22の実装面22-2上に形成される金バンプ26の形成位置が互いに近接配置された例を示している。この例では、歪み伝播抑制用の溝86は、各々の金バンプ26と振動子部23の根元部位とを結ぶ直線を同時に跨ぐ位置に一箇所のみ直線状に形成されており、このような構成によっても図74及び図76に示した構成と同様な効果を得ることができる。
- [0241] (第6の実施の形態:IC回路素子の実装領域に溝形成)
- 上述の第1の実施の形態で説明したように、振動素子20は金バンプ26を介して支

持基板2上に実装されている。図78A, Bに示すように、支持基板2は、振動素子20 (20X, 20Y)のほかIC回路素子7等が混載され、これらの部品はリフローはんだ付け法によって実装される場合が多い。

[0242] したがって、振動素子20のフリップチップ実装後にIC回路素子7等の多足部品がリフロー実装される際、支持基板2が熱応力で反りが生じ、振動素子20に影響を及ぼして振動モードを変化させ特性を低下させるおそれがある。また、振動素子20が搭載された支持基板2を本体機器側の制御基板上にリフロー実装される場合、支持基板2上のIC回路素子7の接合部が再度リフローし、その実装過程で生じる支持基板2の反り等が影響して振動素子20に影響を及ぼすことが考えられる。

[0243] そこで、本実施の形態では、図79A, Bに示すように、支持基板2上のIC回路素子7の実装領域を囲むように溝87を形成して、IC回路素子7のリフロー実装時や支持基板2のリフロー実装時に発生する熱応力や歪が振動素子20の実装領域に伝播するのを抑制することで、振動素子20の振動特性の低下を阻止するようにしている。なお、この種の溝87は、IC回路素子7の実装領域だけでなく、他の多足部品の実装領域にも同様に形成してもよい。

[0244] 図80は、溝87の形成深さの相違による支持基板2のリフロー回数と振動素子20の左右検出信号間の出力値変化との関係を示している。縦軸の出力値変化は歪みの伝播により振動素子の振動モードが変動して左右検出信号間の出力値変化(リフロー前は0)の絶対値を示している。図80の結果より、IC回路素子7の実装領域の周囲を囲むように溝87を50 μ m以上の深さで形成することで、当該溝を形成しない場合に比べて、振動素子の出力値変化を抑えることができ、特に、溝87の形成深さを100 μ m以上とすることで、振動素子20の出力値変化を抑制できる。

[0245] (第7の実施の形態:IC回路素子の実装位置)

上述の第6の実施の形態に関連して、本実施の形態ではIC回路素子7の実装領域について検討する。

[0246] 上述の第1の実施の形態では、図81に示すように、IC回路素子7は振動素子20 (20X, 20Y)が実装される支持基板2のコナー部とは異なるコナー部近傍に実装されていた。また、支持基板2上に実装される他の電子部品8も偏った領域に集中

していた。したがって、リフロー時における熱応力や熱歪みが支持基板2の面内に不均一に発生し、これが原因で一对の振動素子20X, 20Yの実装領域に均等な熱応力等が作用しなくなることから、振動素子間において検出精度にバラツキが発生するおそれがある。

[0247] そこで、本実施の形態では、図82に示すように、一对の振動素子20の実装領域間を結ぶ直線の間領域にIC回路素子の主要実装領域を定めている。これにより、IC回路素子7のリフロー実装過程あるいは制御基板上の支持基板2のリフロー実装過程において支持基板2に作用する熱応力を、一对の振動素子20に対して均等に作用させることが可能となり、振動素子間の特性差の発生を抑制することが可能となる。

[0248] ここで、IC回路素子7の実装領域は、図82に示すように平面視矩形状のIC回路素子が一对の振動素子20の中間点(対称位置)に設定されることが好ましいが、実際的には、図示するIC回路素子7の実装領域を中心とする一定の領域内に設定することができる。ここでいう一定の領域内としては、支持基板2の面内を第1～第4の4つの象限に分けたときに、少なくとも各象限にIC回路素子7の実装領域の一部が属する領域内であればよい。

[0249] また、IC回路素子7の実装領域とともに、その他の電子部品8についても図82に示すように各振動素子20に対して均等あるいは対称な位置に部品数及び部品実装領域を各々分散して設定するのが好ましい。これにより、IC回路素子7だけでなく、他の電子部品8のリフロー過程において発生する応力をも、各振動素子20に対して均等に作用させることが可能となる。

[0250] 図83は、IC回路素子7の実装領域の相違による支持基板2のリフロー回数と一对の振動素子間の出力差との関係を示している。振動素子間の出力差が小さいほど各振動素子に伝播する歪み量が一樣であり、出力差が大きいほど各振動素子に伝播する歪み量の差が大きいことを意味している。なお、リフロー前は出力差は0である。IC回路素子7が支持基板2のコナー部に偏って配置された比較例の構成(図81)の構成に比べて、図82に示した本発明の実施の形態の効果は歴然であり、振動素子間の出力差はほとんど認められなかった。

[0251] (第8の実施の形態:外部接続端子及び振動素子の配置領域)

振動型ジャイロセンサ1を構成する支持基板2は、図84A～Cに模式的に示すように、その第1主面2-1上に振動素子20(20X, 20Y)やIC回路素子等の電子部品(図示略)が実装され、反対側の第2主面2-2上には本体機器側の制御基板に実装される複数の外部接続端子部(実装端子部)117が設けられている。通常、支持基板2の中央部は内部回路の配線引き回し領域として用いる方が配線効率が良いため、外部接続端子部117は支持基板2の最外周に沿って配置される。

[0252] しかし、このような外部接続端子部117の配置構成では、支持基板2の中心部Oから各外部接続端子部117間の距離が大きくなり、支持基板2のリフロー実装過程での歪み量が大きくなる。また、図84Cに示すように、支持基板2の隅部に位置する外部接続端子部117Aの方が、支持基板2の各辺の中間部に位置する外部接続端子部117Bよりも、支持基板2の中心部Oからの距離が長い。このため、上記リフロー実装時において支持基板2の面内に作用する歪み分布が不均一となり、特に対角位置(四隅)付近の外部接続端子部117Aには歪みが集中することになる。

[0253] このように、図84Aないし図84Cに示す外部接続端子部117の配置例では、支持基板2のリフロー実装時に大きな歪みが発生し易く、支持基板2上の振動素子20に影響を及ぼすこととなっていた。

[0254] そこで、本実施の形態では、図85に示すように、支持基板2の第2主面2-2上に形成される複数の外部接続端子部117が、支持基板2上の同一円周上をそれぞれの主要形成領域とされている。特に図85の例では、支持基板2の中心Oを中心とする半径 r の円周上に各外部接続端子部117が等角度間隔で形成されている。

[0255] このように、各外部接続端子部117を支持基板2の中心Oから等距離上に配置することで、支持基板2のリフロー実装時において支持基板2に発生する歪み分布を均一化できるとともに、支持基板に発生する歪み量の低減を図ることができる。これにより、支持基板2上の振動素子20に与える影響を少なくして、安定した振動検出を確保することができる。

[0256] なお、外部接続端子部117が配置される円周の半径 r は、要求される実装精度(実装後の平行度、端子間距離)等を勘案し、可能な限り小さく設定するのが好ましい。

[0257] 振動素子20は、図86A, Bに示すように、外部接続端子部117の形成領域よりも支

持基板2の外周側に実装するのが好ましい。支持基板2に作用する歪み量は、外部接続端子部117の形成領域よりも内周側よりも外周側の方が小さいからである。これにより、振動素子20への影響を少なくすることができる。この場合、外部接続端子部117は同一円周上に配置されているのが好ましいが、これに限られない。

- [0258] また、振動素子20は、各々の外部接続端子部117が配置される円周上に配置される構成でも構わない。但し、図87に示すように、振動素子20は外部接続端子部117の直上位置に実装されるよりも、図88に示すように、外部接続端子部117の非直上位置に実装される方が好ましい。外部衝撃等を受けた際、これら外部接続端子部117を介して支持基板2に伝播されるため、外部接続端子部117の直上位置に振動素子20が実装されていると、振動素子20が受ける歪み量が大きくなり振動モードの安定化が図れなくなるおそれがあるからである。

請求の範囲

- [1] 回路素子が実装されるとともに複数のランドを有する配線パターンが形成された支持基板と、この支持基板の表面に実装された振動素子とを備えた振動型ジャイロセンサにおいて、
前記振動素子は、
前記ランドに接続される複数の端子部が形成された実装面を有する基部と、
この基部の側周部から片持ち梁状に一体に突設され前記基部の実装面と同一面を構成し第1電極層とこの第1電極層の上に積層された圧電層とこの圧電層の上に積層された第2電極層とがそれぞれ形成された基板対向面を有する振動子部とを有するとともに、
前記振動素子は、前記各端子部が金属凸部を介して前記ランドに接合されること
によって前記支持基板上に実装されている
ことを特徴とする振動型ジャイロセンサ。
- [2] 前記金属凸部は、前記各端子部に設けられて前記ランドに溶着される金バンプである
ことを特徴とする請求項1に記載の振動型ジャイロセンサ。
- [3] 前記金バンプは多段バンプからなる
ことを特徴とする請求項2に記載の振動型ジャイロセンサ。
- [4] 前記基部の実装面には、ダミーバンプが設けられている
ことを特徴とする請求項1に記載の振動型ジャイロセンサ。
- [5] 前記振動子部の上面は、前記基部の上面から傾斜部を介して段落ち形成されており、
前記金属凸部は、前記傾斜部の非形成領域に対応する前記実装面上の領域に設けられている
ことを特徴とする請求項1に記載の振動型ジャイロセンサ。
- [6] 前記基部の実装面には、前記振動子部の基端部位と、前記複数の端子部のうち少なくとも前記振動子部側に位置する端子部との間を跨ぐように、溝部が形成されている

- ことを特徴とする請求項1に記載の振動型ジャイロセンサ。
- [7] 前記溝部の一端部は、前記基部の側周部に臨んでいる
ことを特徴とする請求項6に記載の振動型ジャイロセンサ。
- [8] 前記支持基板には、前記振動子部の基板対向面と対向する領域に、前記振動子部の厚み方向に自由振動させる空間部を構成する凹部が形成されている
ことを特徴とする請求項1に記載の振動型ジャイロセンサ。
- [9] 前記凹部は、前記振動子部の振動動作によって生じる空気流のダンピング効果に対して前記振動子部の変位減衰割合を所期値に保持する高さをもって形成されている
ことを特徴とする請求項8に記載の振動型ジャイロセンサ。
- [10] 前記支持基板には、前記回路素子の実装されるとともに、複数の前記振動素子が、各々の振動子部を互いに異なる軸方向に向けて実装されている
ことを特徴とする請求項1に記載の振動型ジャイロセンサ。
- [11] 前記回路素子はIC部品であり、前記複数の振動素子の実装領域間を結ぶ直線の中間領域が当該IC部品の主要実装領域とされている
ことを特徴とする請求項10に記載の振動型ジャイロセンサ。
- [12] 回路素子の実装されるとともに複数のランドを有する配線パターンが形成された支持基板と、この支持基板の表面に実装された振動素子とを備えた振動型ジャイロセンサにおいて、
前記振動素子は、
前記ランドに接続される複数の端子部が形成された実装面を有する基部と、
この基部の側周部から片持ち梁状に一体に突設され前記基部の実装面と同一面を構成し第1電極層とこの第1電極層の上に積層された圧電層とこの圧電層の上に積層された第2電極層とがそれぞれ形成された基板対向面を有する振動子部とを有するとともに、
前記振動素子は、前記各端子部が金属凸部を介して前記ランドに接合されること
によって前記支持基板上に実装されており、
前記支持基板は、前記振動素子及び前記回路素子の実装される第1主面と、外部

の制御基板と電氣的に接続される複数の外部接続端子部が形成された第2主面とを備えている

ことを特徴とする振動型ジャイロセンサ。

- [13] 前記支持基板の第1主面及び第2主面のうち少なくとも一方の主面には、外部負荷を緩衝する負荷緩衝溝が形成されている

ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

- [14] 前記負荷緩衝溝は、前記振動素子の実装領域を囲むようにして形成されている
ことを特徴とする請求項13に記載の振動型ジャイロセンサ。

- [15] 前記負荷緩衝溝は、前記回路素子の実装領域を囲むようにして形成されている
ことを特徴とする請求項13に記載の振動型ジャイロセンサ。

- [16] 前記負荷緩衝溝は、100 μ m以上の深さ寸法をもって形成されている
ことを特徴とする請求項13に記載の振動型ジャイロセンサ。

- [17] 前記振動素子は、前記外部接続端子部の形成領域よりも前記支持基板の外周側に実装されている

ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

- [18] 前記複数の外部接続端子部は、前記支持基板の第2主面上の同一円周上を各々の主要形成領域とされている

ことを特徴とする請求項17に記載の振動型ジャイロセンサ。

- [19] 前記複数の外部接続端子部は、前記支持基板の第2主面上の同一円周上を各々の主要形成領域とされており、前記振動素子は、当該円周上の前記外部接続端子部の非形成領域に実装されている

ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

- [20] 前記支持基板の第1主面は、遮光性のカバー部材で覆われている
ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

- [21] 前記外部接続端子部と前記制御基板との間には、負荷緩衝層が設けられている
ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

- [22] 前記負荷緩衝層は、異方性導電フィルムである
ことを特徴とする請求項21に記載の振動型ジャイロセンサ。

- [23] 前記負荷緩衝層は、前記外部接続端子部と前記制御基板との間に配置されたフレキシブル配線基板である
- ことを特徴とする請求項21に記載の振動型ジャイロセンサ。

補正書の請求の範囲

[2006年06月08日 (08. 06. 2006) 国際事務局受理]

[1] (補正後)

複数のランドを有する支持基板と、この支持基板の表面に実装された振動素子とを備えた振動型ジャイロセンサにおいて、

前記振動素子は、

前記ランドに接続される複数の端子部が形成された基部と、

この基部の側周部から片持ち梁状に一体に突設された振動子部とを有するとともに

、

前記振動素子は、前記各端子部が金属凸部を介して前記ランドに接合されること
によって前記支持基板上に実装されている

ことを特徴とする振動型ジャイロセンサ。

[2] 前記金属凸部は、前記各端子部に設けられて前記ランドに溶着される金バンプである。

ことを特徴とする請求項1に記載の振動型ジャイロセンサ。

[3] 前記金バンプは多段バンプからなる

ことを特徴とする請求項2に記載の振動型ジャイロセンサ。

[4] 前記基部の実装面には、ダミーバンプが設けられている

ことを特徴とする請求項1に記載の振動型ジャイロセンサ。

[5] (補正後)

前記振動子部は、前記基部の上面から傾斜部を介して段落ち形成されており、

前記金属凸部の少なくとも一部は、前記傾斜部の非形成領域に対応する領域に設けられている

ことを特徴とする請求項1に記載の振動型ジャイロセンサ。

[6] 前記基部の実装面には、前記振動子部の基端部位と、前記複数の端子部のうち少なくとも前記振動子部側に位置する端子部との間を跨ぐように、溝部が形成されている

ことを特徴とする請求項1に記載の振動型ジャイロセンサ。

[7] 前記溝部の一端部は、前記基部の側周部に臨んでいる

ことを特徴とする請求項6に記載の振動型ジャイロセンサ。

- [8] 前記支持基板には、前記振動子部の基板対向面と対向する領域に、前記振動子部の厚み方向に自由振動させる空間部を構成する凹部が形成されている

ことを特徴とする請求項1に記載の振動型ジャイロセンサ。

- [9] 前記凹部は、前記振動子部の振動動作によって生じる空気流のダンピング効果に対して前記振動子部の変位減衰割合を所期値に保持する高さをもって形成されている

ことを特徴とする請求項8に記載の振動型ジャイロセンサ。

- [10] (補正後)

前記支持基板には、回路素子が実装されるとともに、複数の前記振動素子が、各々の振動子部を互いに異なる軸方向に向けて実装されている

ことを特徴とする請求項1に記載の振動型ジャイロセンサ。

- [11] 前記回路素子はIC部品であり、前記複数の振動素子の実装領域間を結ぶ直線の間領域が当該IC部品の主要実装領域とされている

ことを特徴とする請求項10に記載の振動型ジャイロセンサ。

- [12] (補正後)

複数のランドを有する支持基板と、この支持基板の表面に実装された振動素子とを備えた振動型ジャイロセンサにおいて、

前記振動素子は、

前記ランドに接続される複数の端子部が形成された基部と、

この基部の側周部から片持ち梁状に一体に突設された振動子部とを有するとともに、

前記振動素子は、前記各端子部が金属凸部を介して前記ランドに接合されることによって前記支持基板上に実装されており、

前記支持基板は、前記振動素子を外部の制御基板と電氣的に接続するための複数の外部接続端子部を備えている

ことを特徴とする振動型ジャイロセンサ。

- [13] (補正後)

前記支持基板の少なくとも一方の主面には、外部負荷を緩衝する負荷緩衝溝が形成されている

ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

[14] 前記負荷緩衝溝は、前記振動素子の実装領域を囲むようにして形成されていることを特徴とする請求項13に記載の振動型ジャイロセンサ。

[15] 前記負荷緩衝溝は、前記回路素子の実装領域を囲むようにして形成されていることを特徴とする請求項13に記載の振動型ジャイロセンサ。

[16] 前記負荷緩衝溝は、100 μ m以上の深さ寸法をもって形成されていることを特徴とする請求項13に記載の振動型ジャイロセンサ。

[17] 前記振動素子は、前記外部接続端子部の形成領域よりも前記支持基板の外周側に実装されている

ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

[18] (補正後)

前記複数の外部接続端子部は、前記支持基板の主面上の同一円周上を各々の主要形成領域とされている

ことを特徴とする請求項17に記載の振動型ジャイロセンサ。

[19] (補正後)

前記複数の外部接続端子部は、前記支持基板の主面上の同一円周上を各々の主要形成領域とされており、前記振動素子は、当該円周上の前記外部接続端子部の非形成領域に実装されている

ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

[20] (補正後)

前記振動素子は、遮光性のカバー部材で覆われている

ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

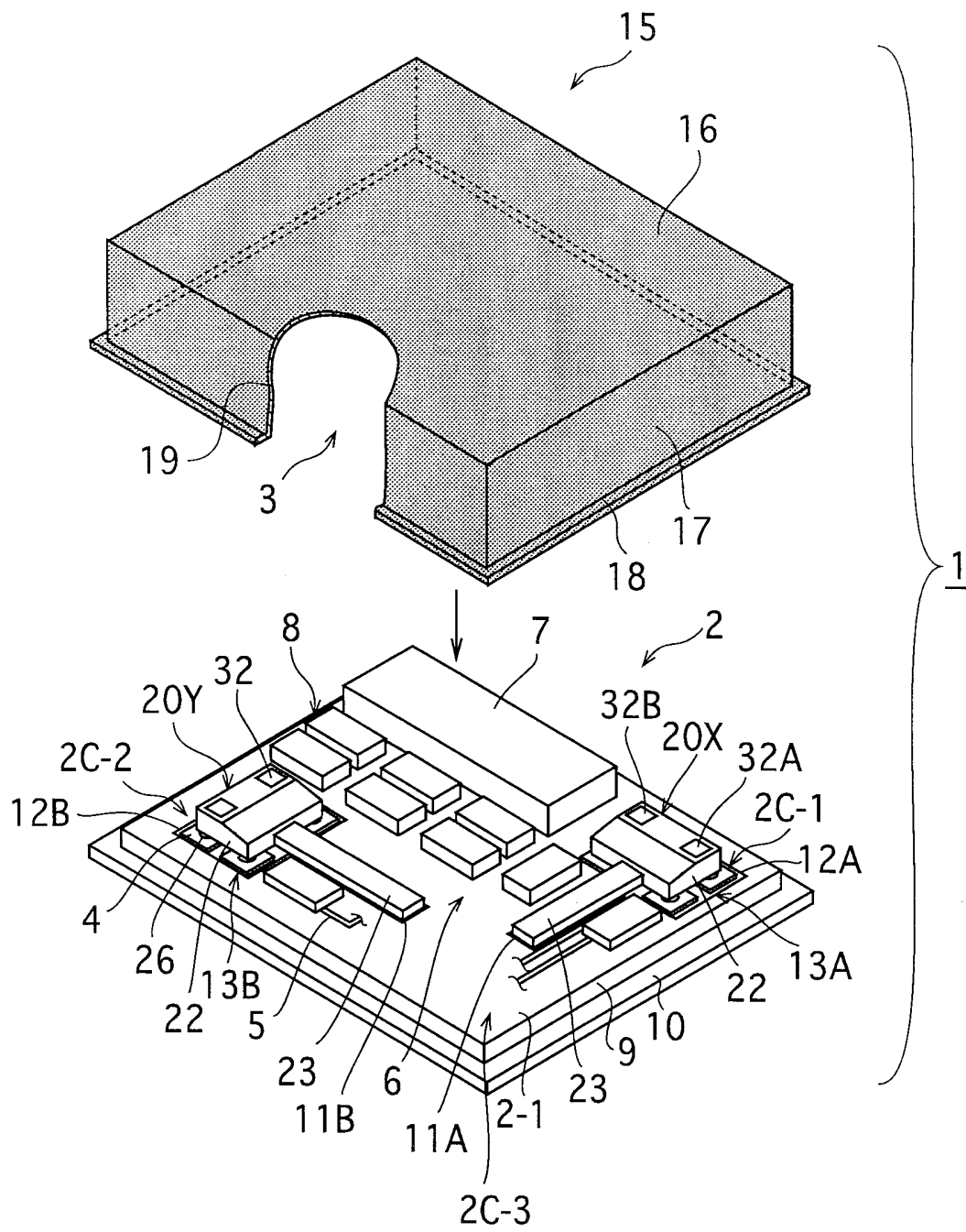
[21] 前記外部接続端子部と前記制御基板との間には、負荷緩衝層が設けられていることを特徴とする請求項12に記載の振動型ジャイロセンサ。

[22] 前記負荷緩衝層は、異方性導電フィルムである

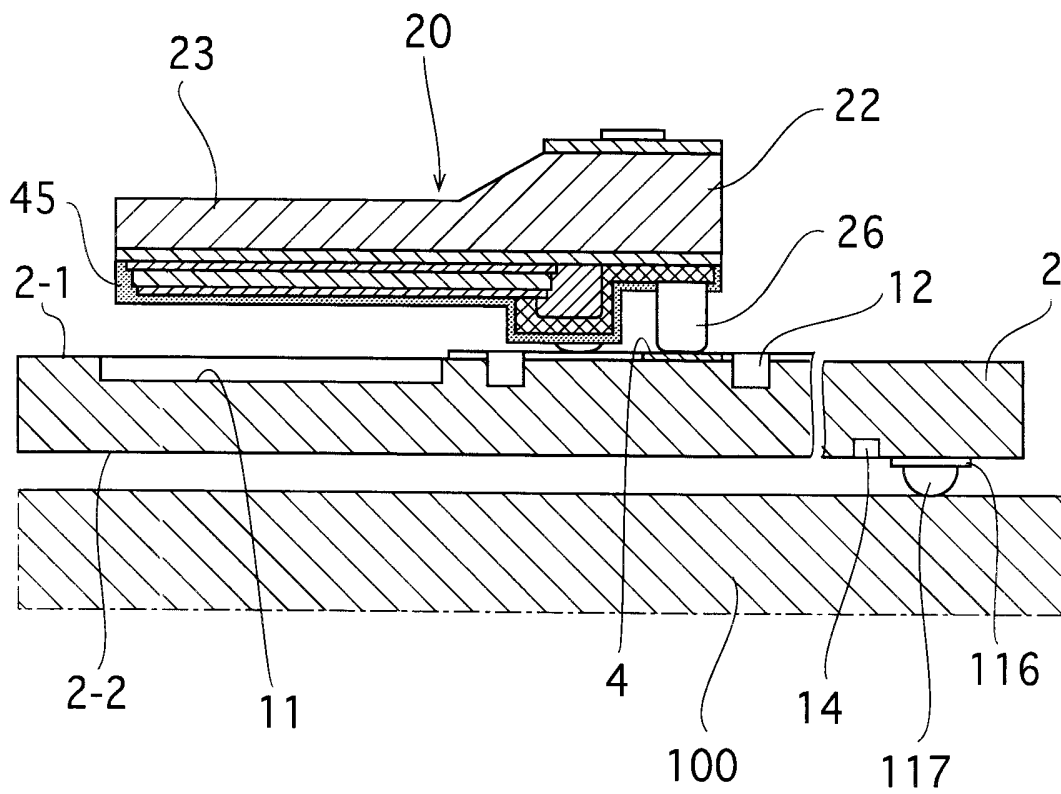
ことを特徴とする請求項21に記載の振動型ジャイロセンサ。

- [23] 前記負荷緩衝層は、前記外部接続端子部と前記制御基板との間に配置されたフレキシブル配線基板である
- ことを特徴とする請求項21に記載の振動型ジャイロセンサ。
- [24] (追加)
- 前記基部の実装面と同一面を構成し第1電極層とこの第1電極層の上に積層された圧電層とこの圧電層の上に積層された第2電極層とがそれぞれ形成された基板対向面を有する振動子部である
- ことを特徴とする請求項1に記載の振動型ジャイロセンサ。
- [25] (追加)
- 前記基部の実装面と同一面を構成し第1電極層とこの第1電極層の上に積層された圧電層とこの圧電層の上に積層された第2電極層とがそれぞれ形成された基板対向面を有する振動子部である
- ことを特徴とする請求項12に記載の振動型ジャイロセンサ。

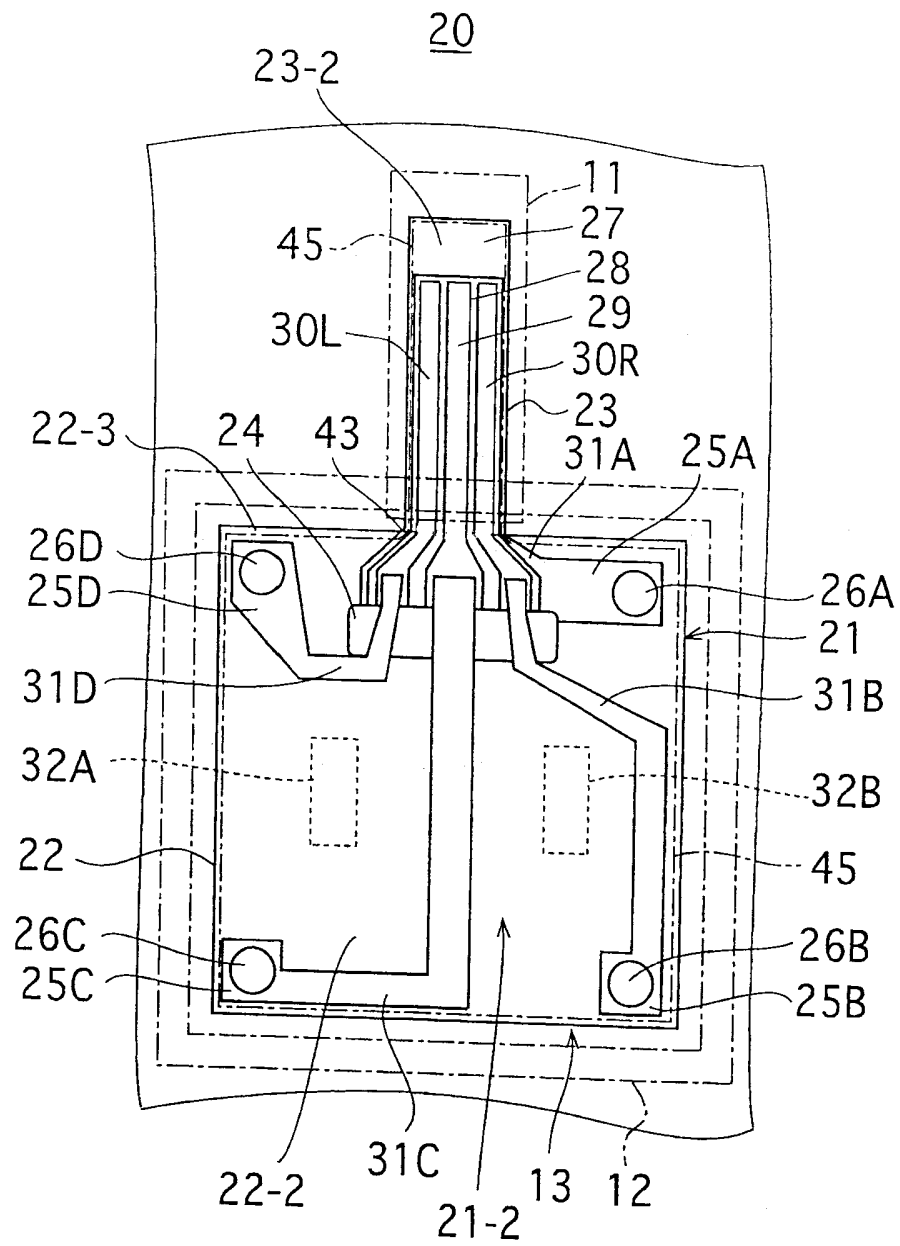
[図1]



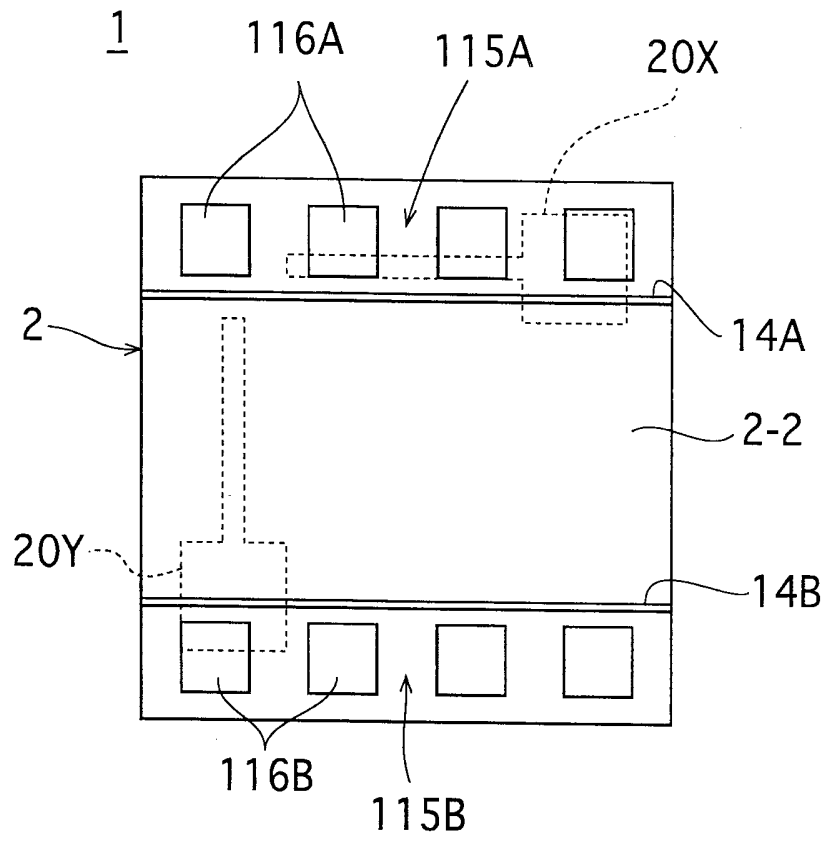
[図3]



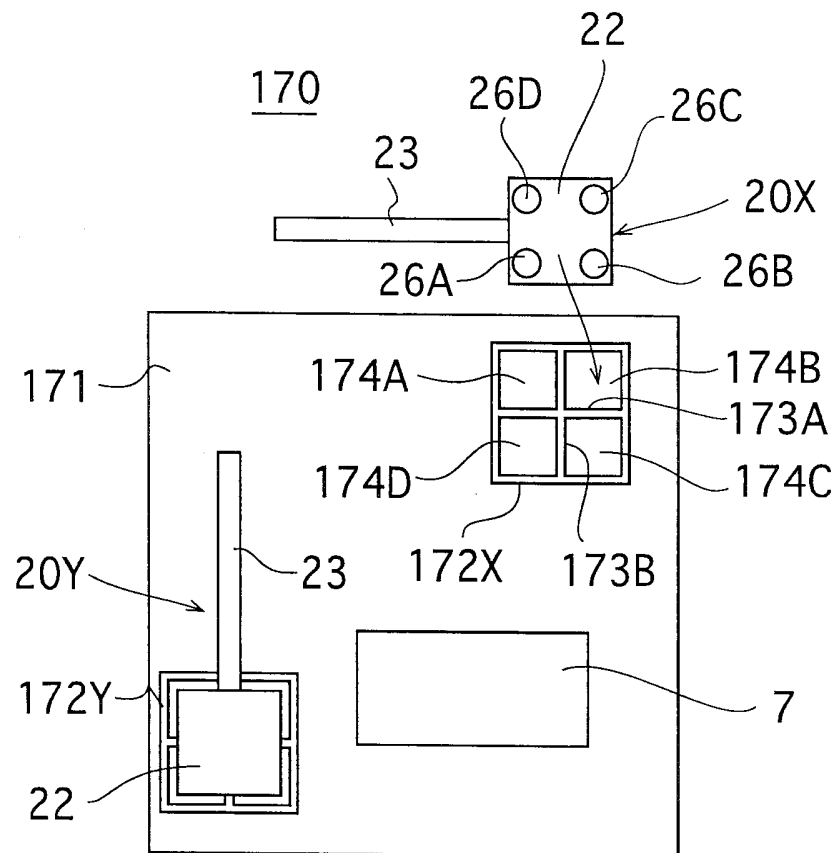
[図4]



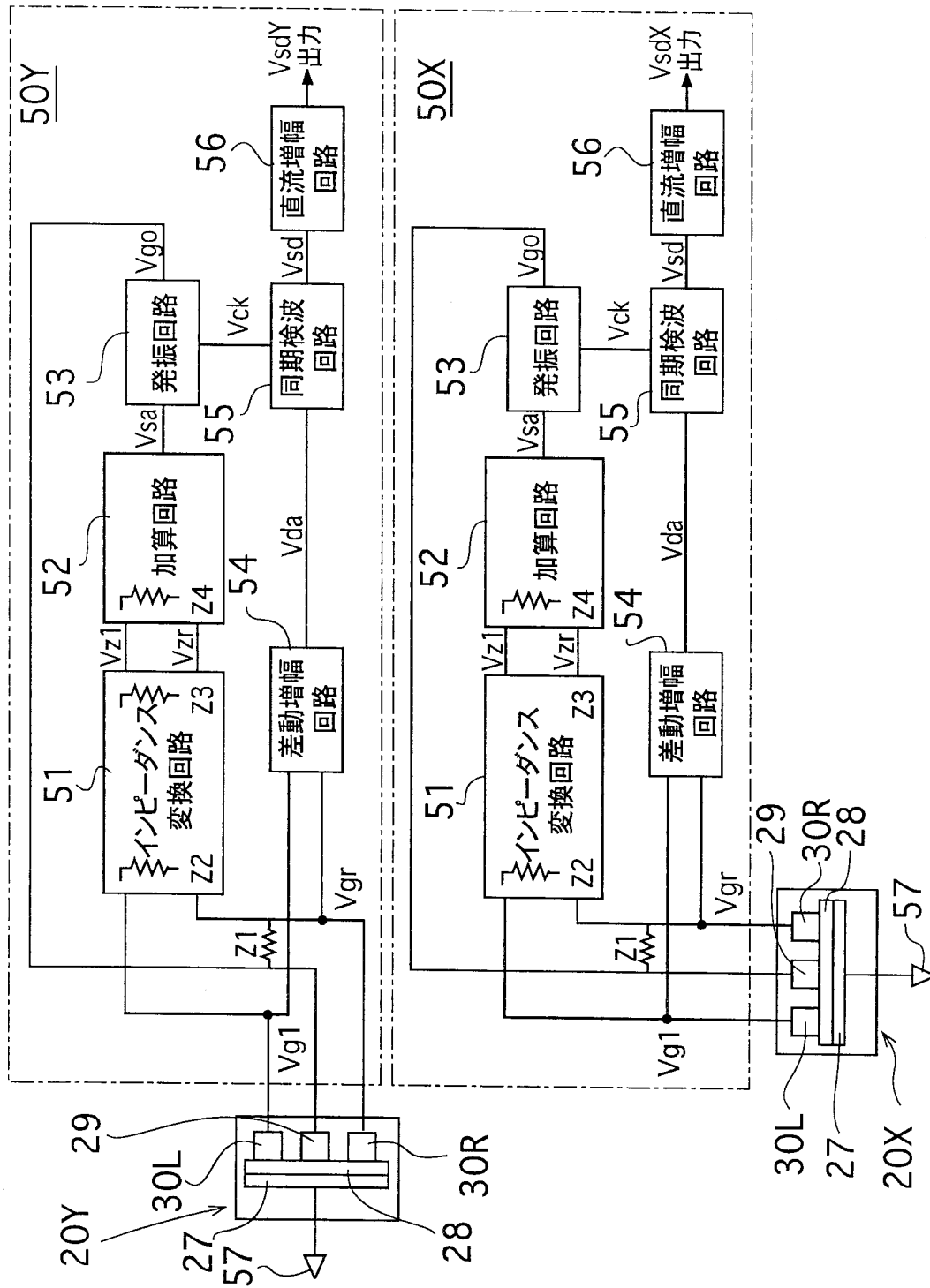
[図5]



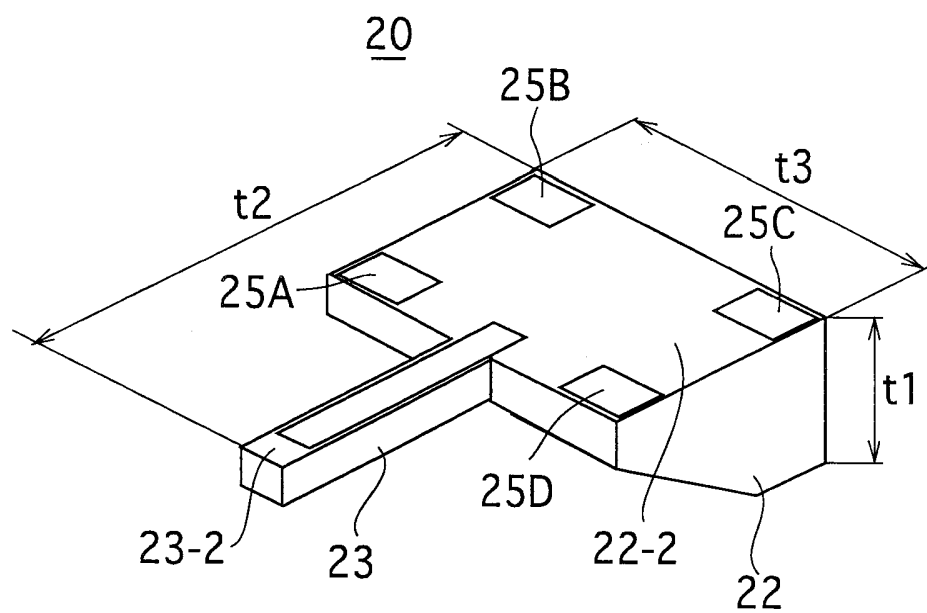
[図6]



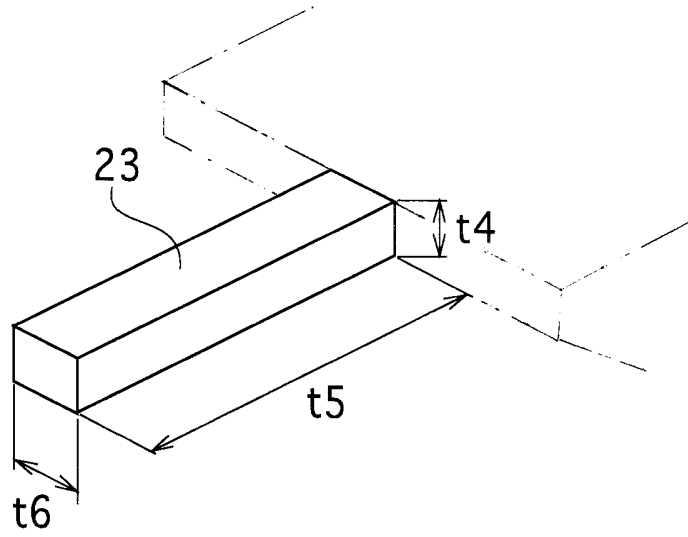
[図7]



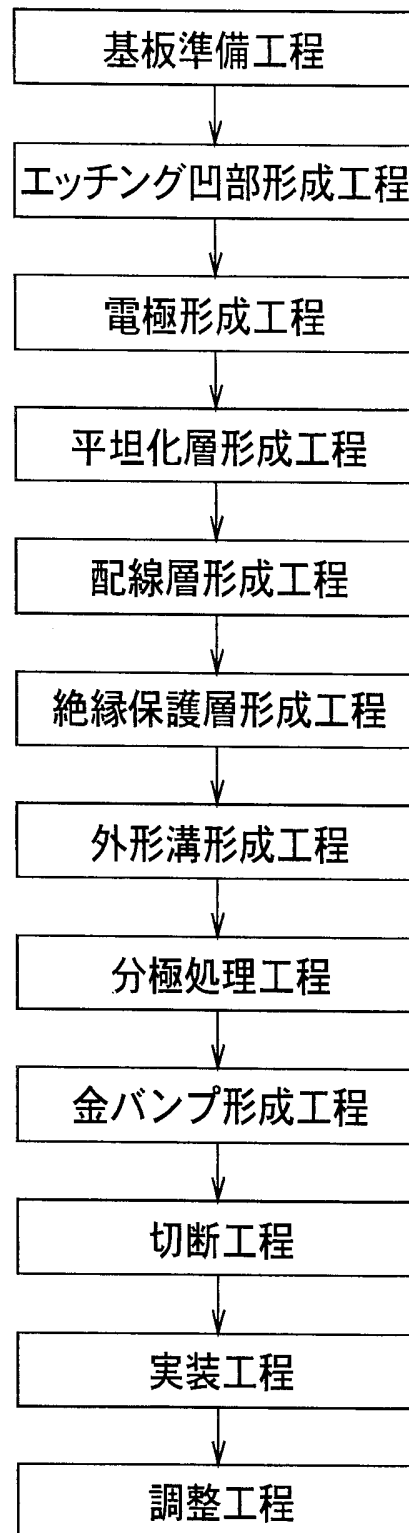
[図8]



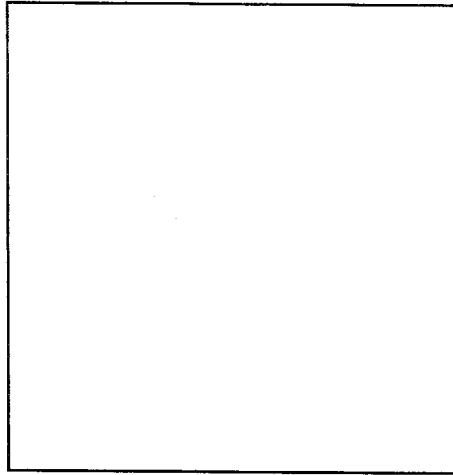
[図9]



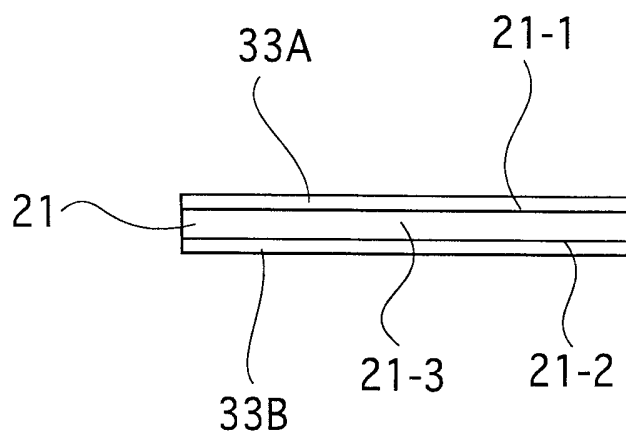
[図10]



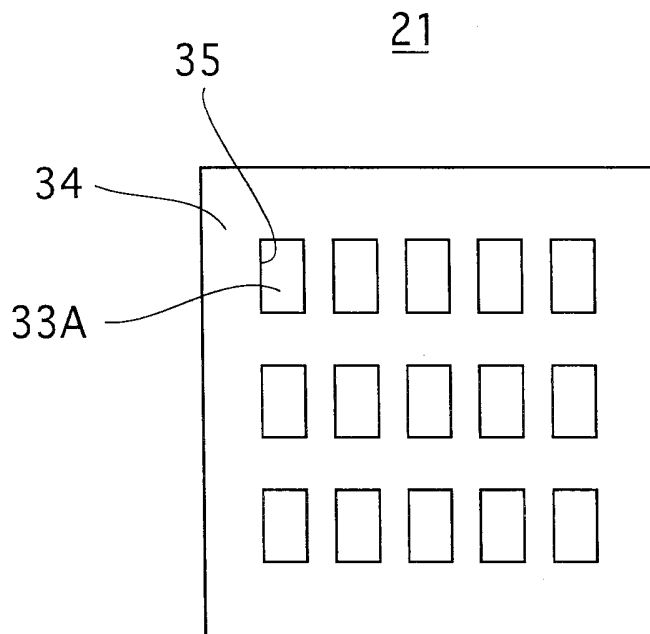
[図11]



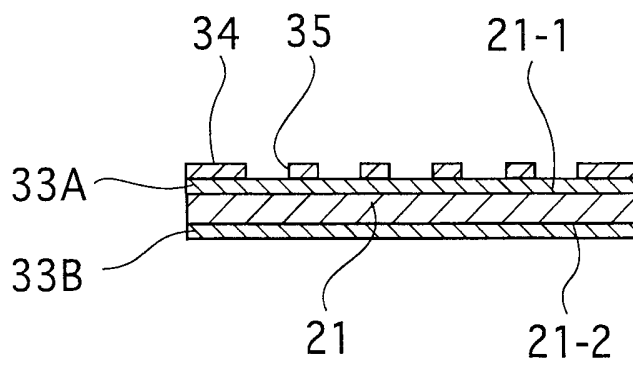
[図12]



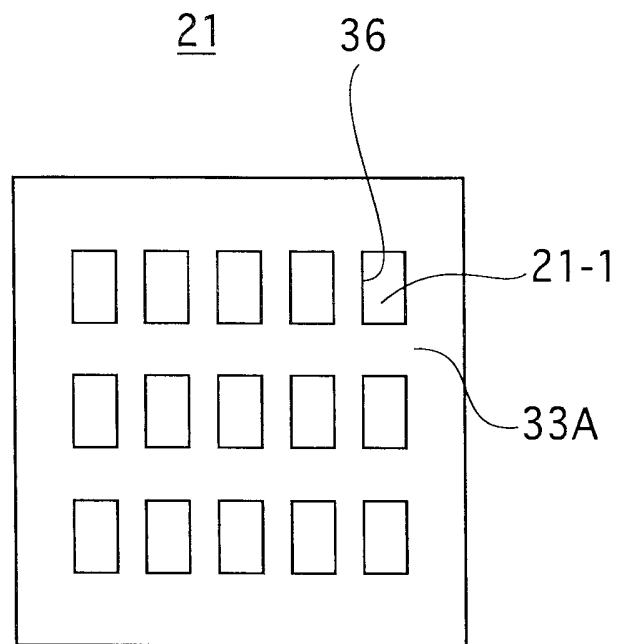
[図13]



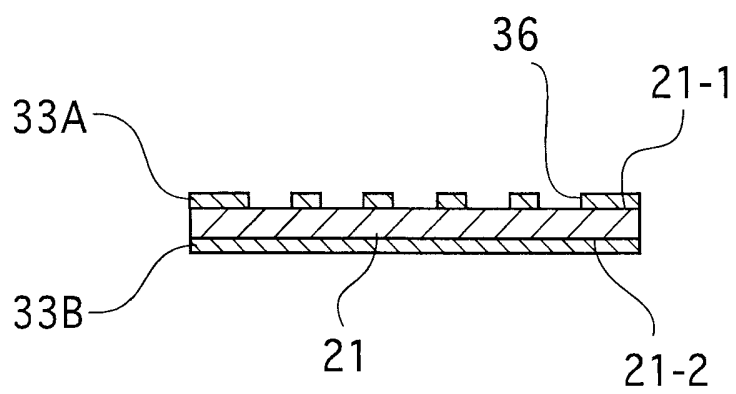
[図14]



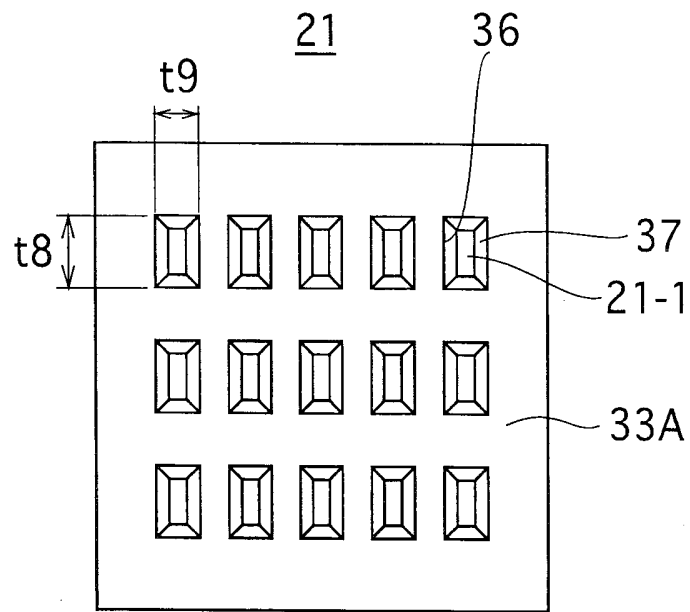
[図15]



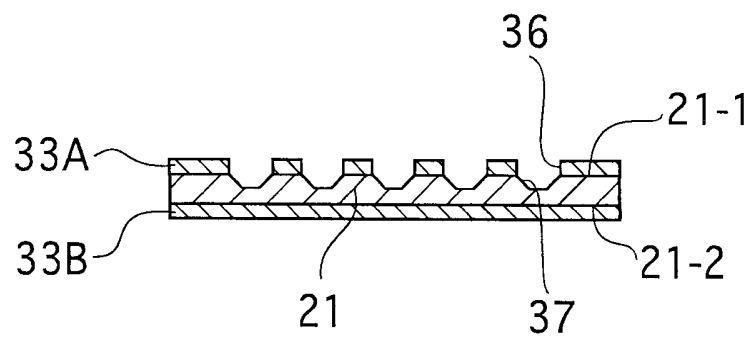
[図16]



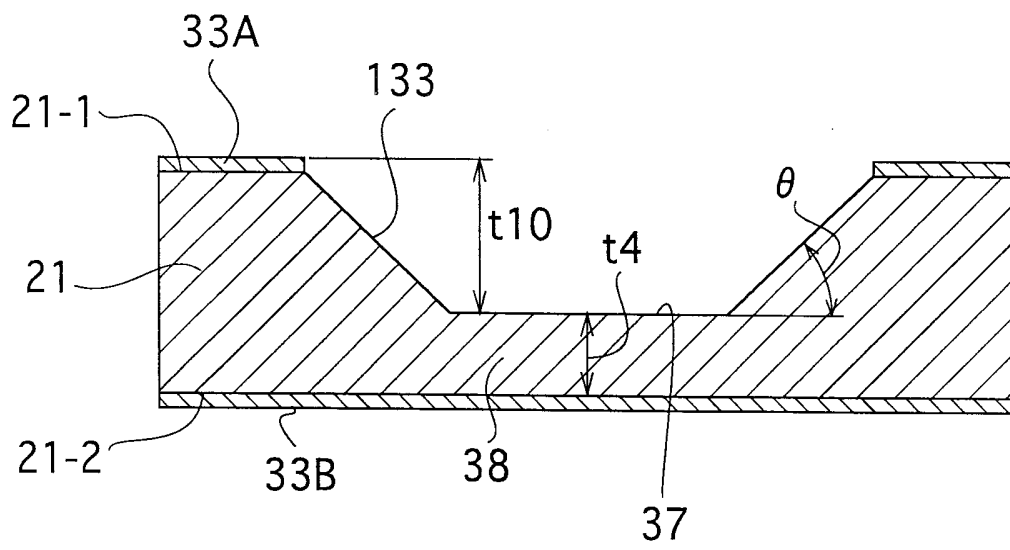
[図17]



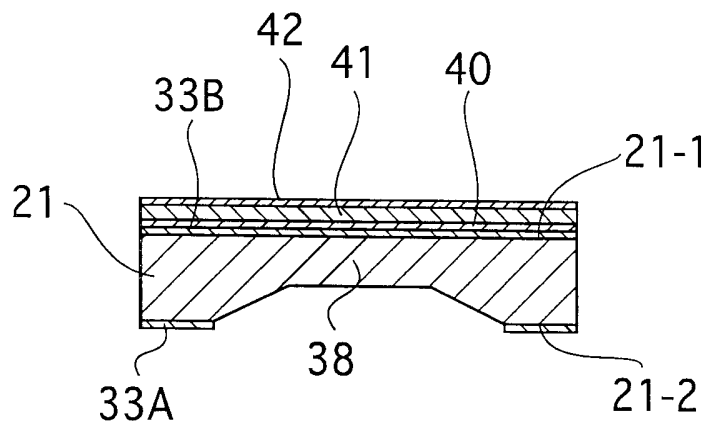
[図18]



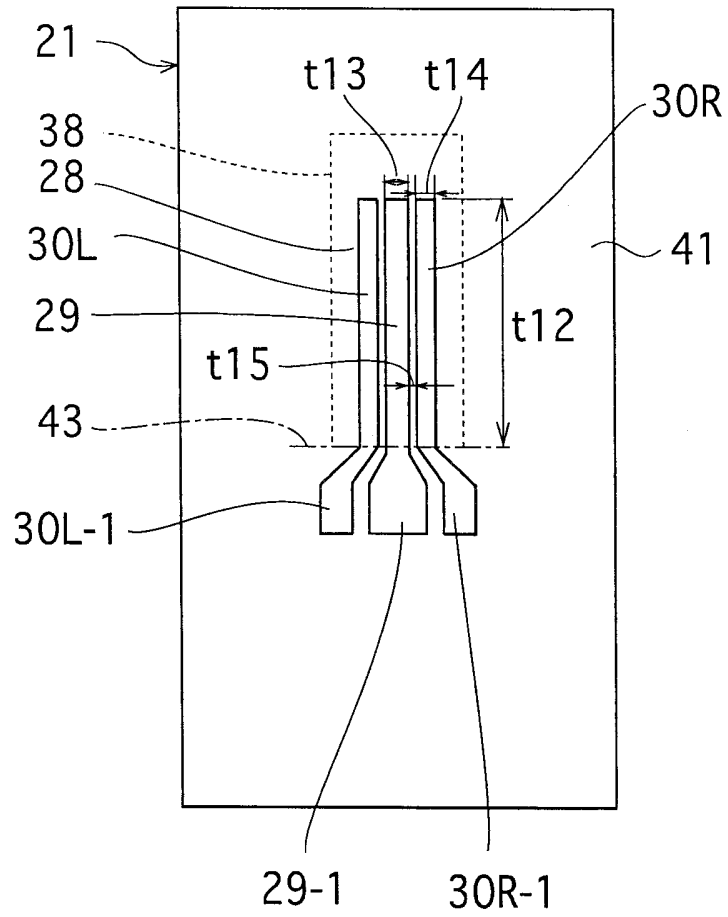
[図19]



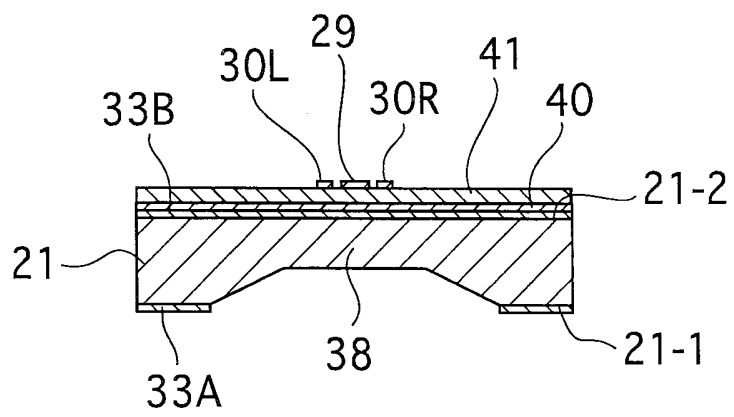
[図20]



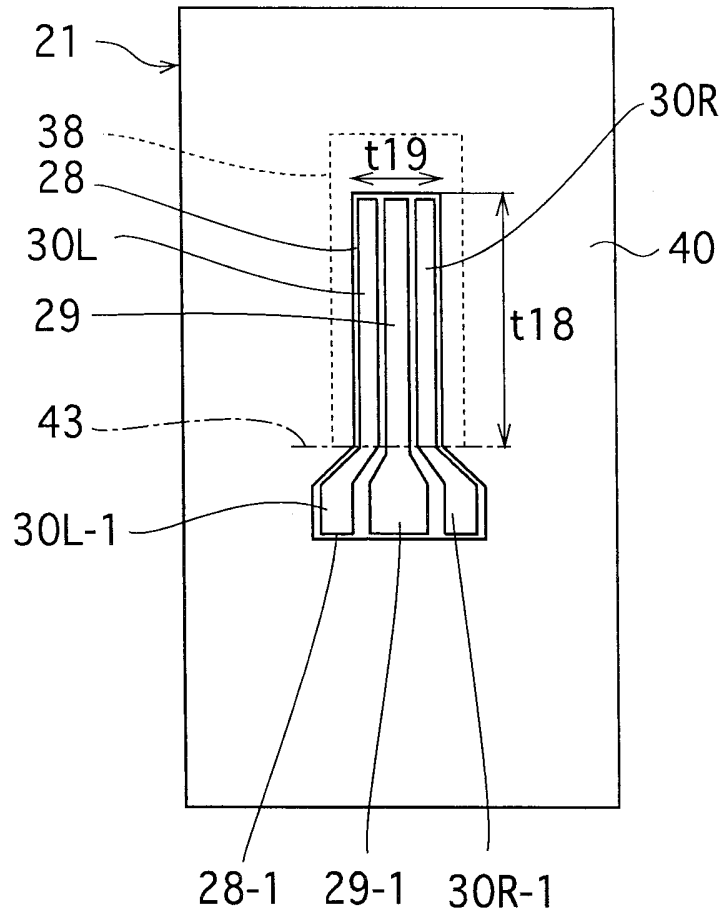
[図21]



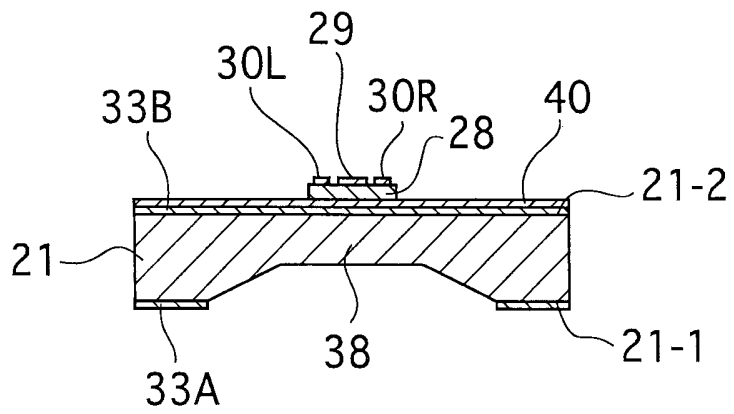
[図22]



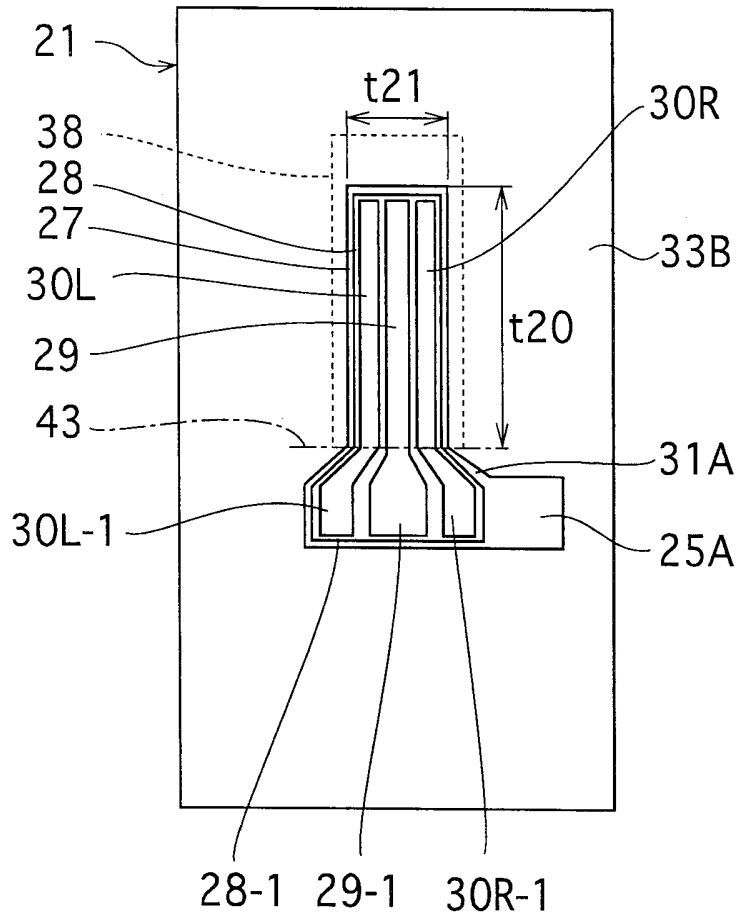
[図23]



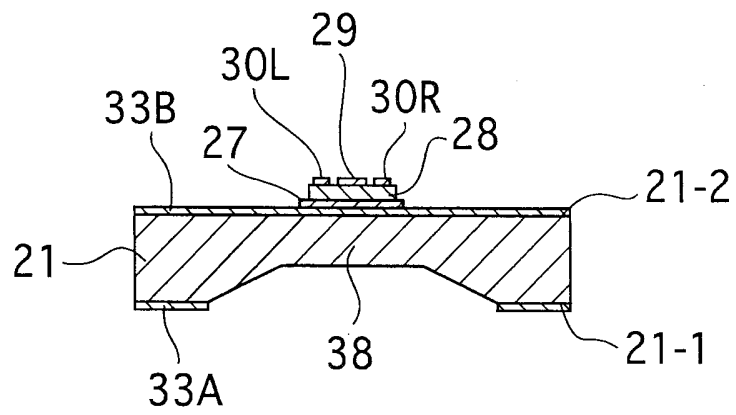
[図24]



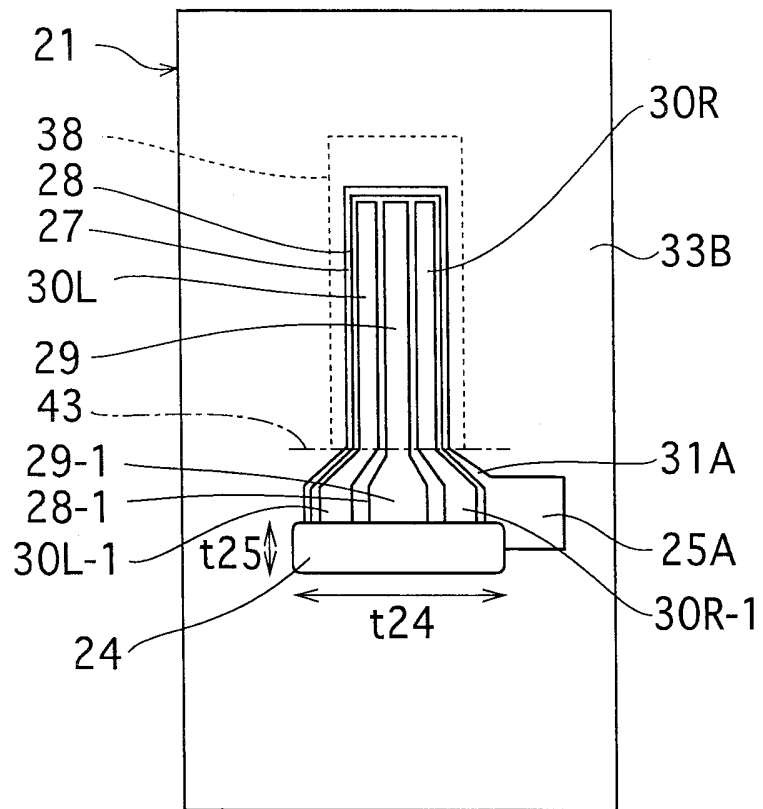
[図25]



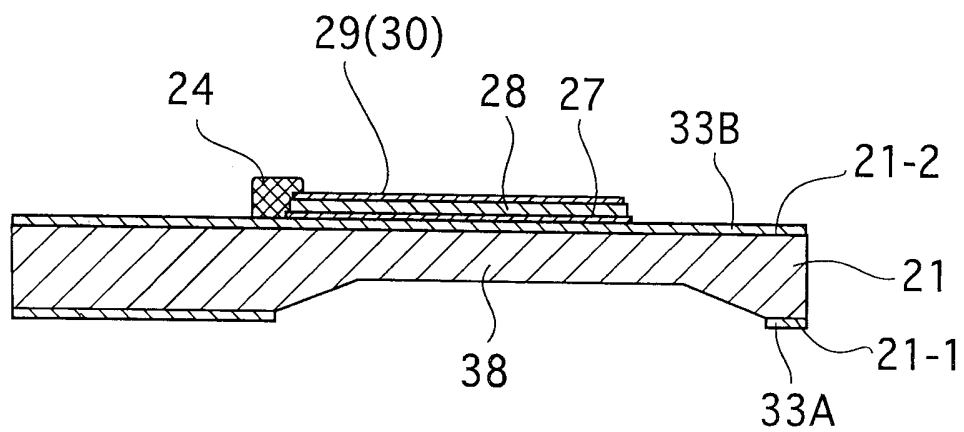
[図26]



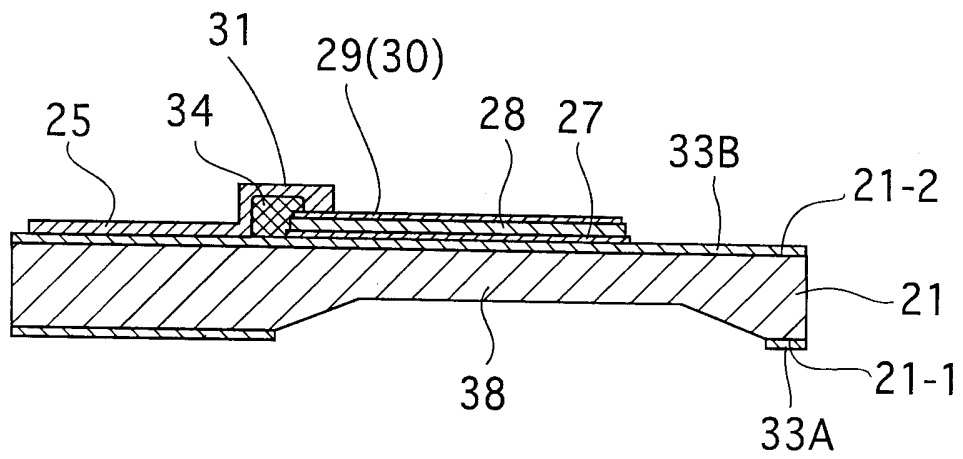
[図27]



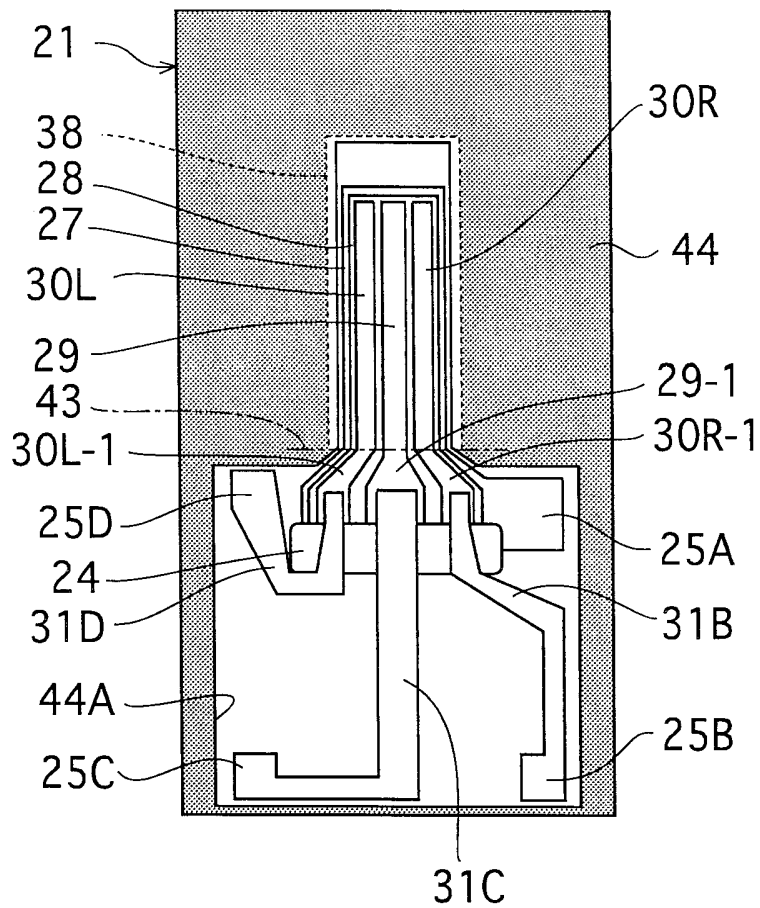
[図28]



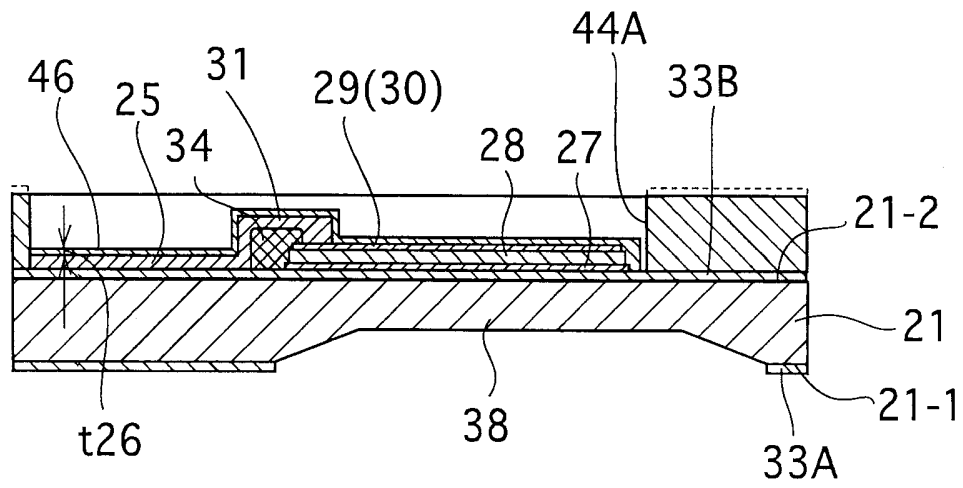
[図30]



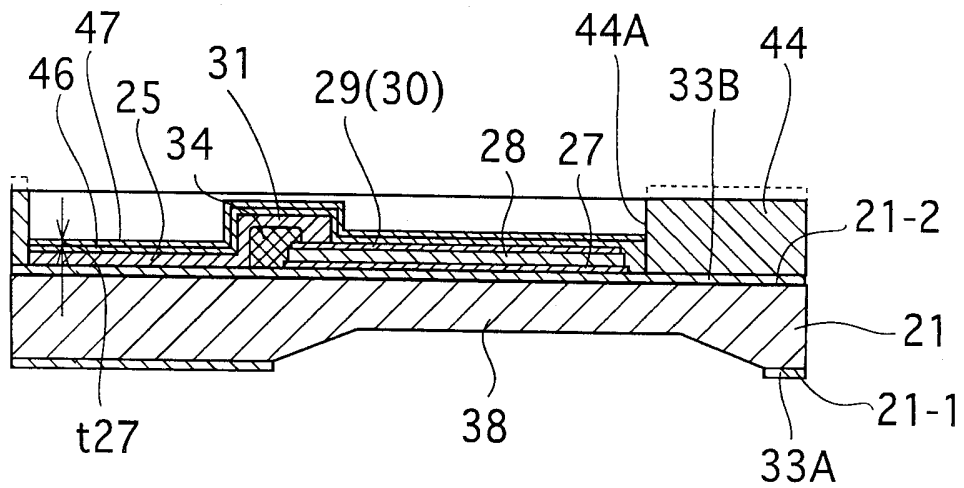
[図31]



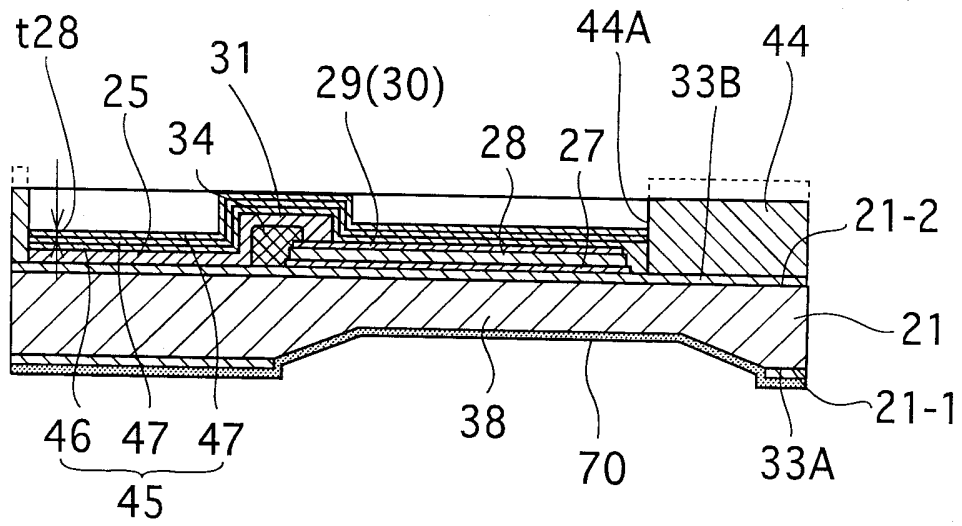
[図32]



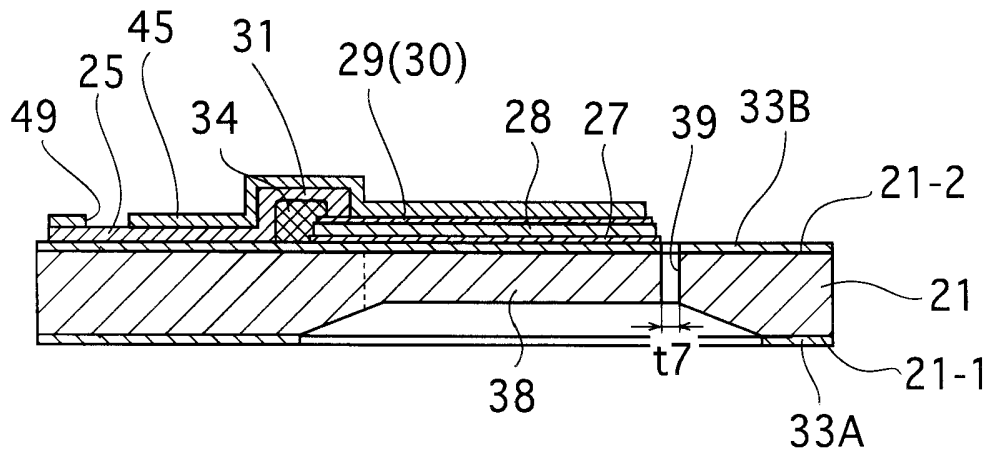
[図33]



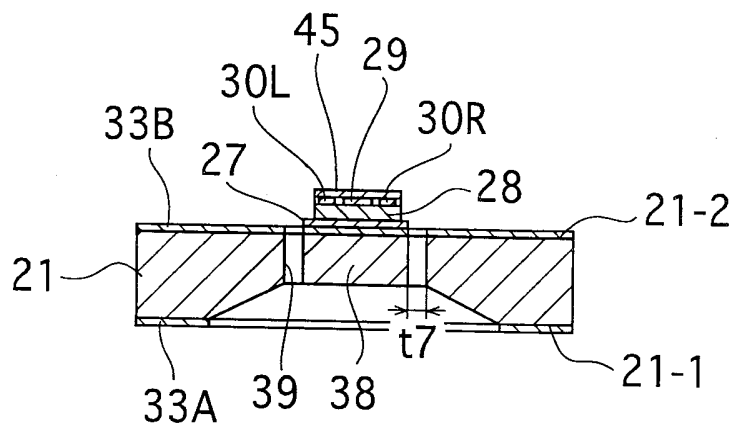
[図34]



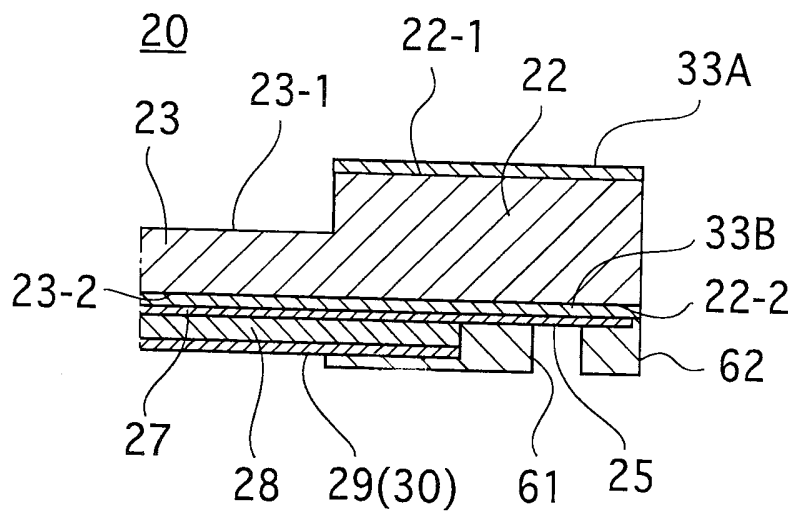
[図36]



[図37]



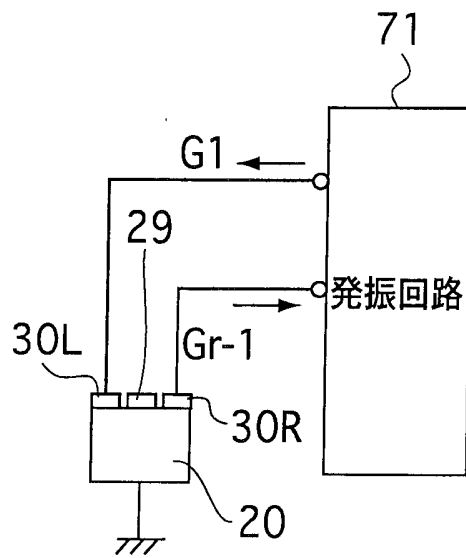
[図38A]



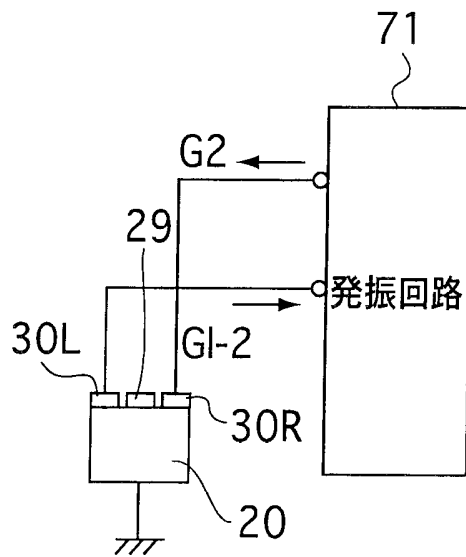
[illegible]

The block diagram illustrates the first embodiment of the semiconductor device. It features a main block 20, which is grounded. Two output terminals, 29 and 30L, are connected to the main block 20. A third terminal, 30R, is connected to the main block 20 and also to a block labeled 72. Block 72 contains a component labeled '加算回路' (Addition Circuit). The output of the addition circuit is connected to a block labeled 71, which is also connected to a terminal labeled G0. A terminal labeled G10 is connected to the addition circuit. A terminal labeled Gr0 is connected to the addition circuit and also to the main block 20. The main block 20 is connected to ground.

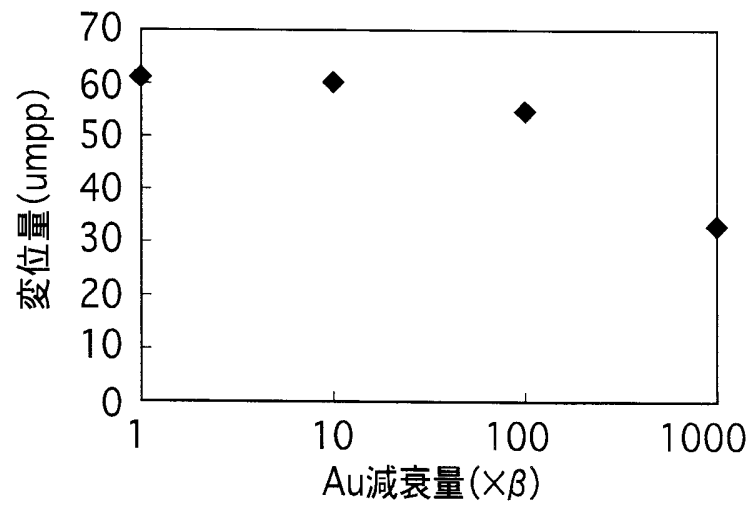
[図39B]



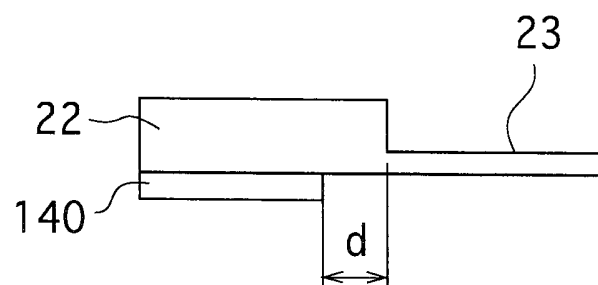
[図39C]



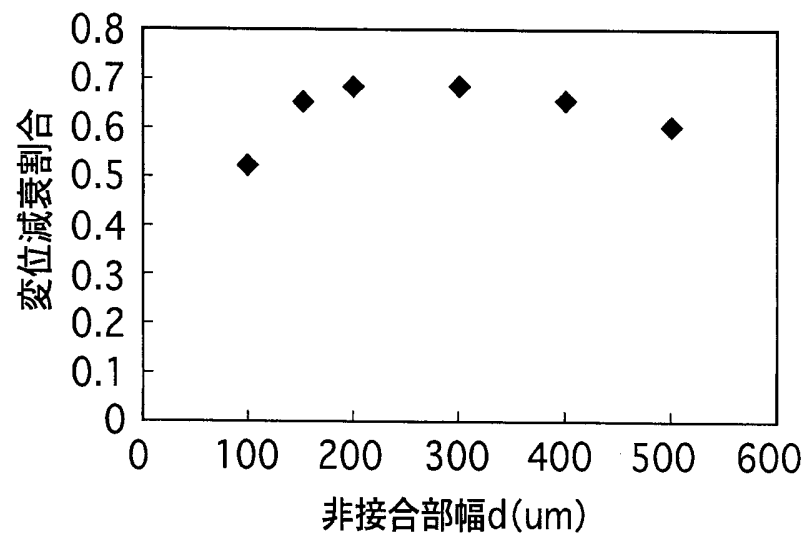
[図40]



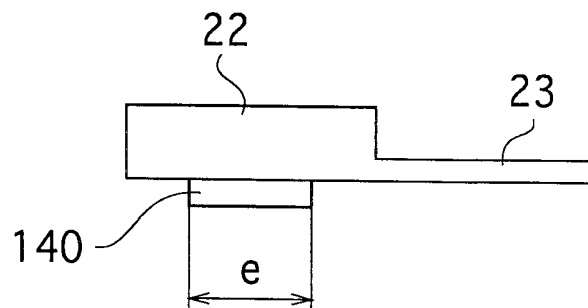
[図41A]



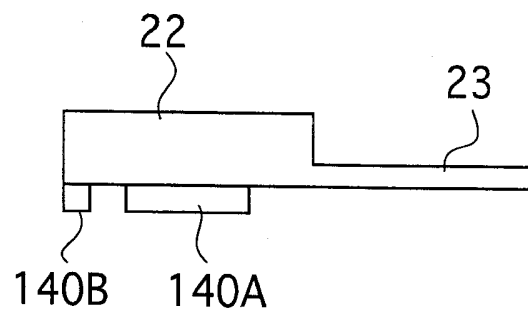
[図41B]



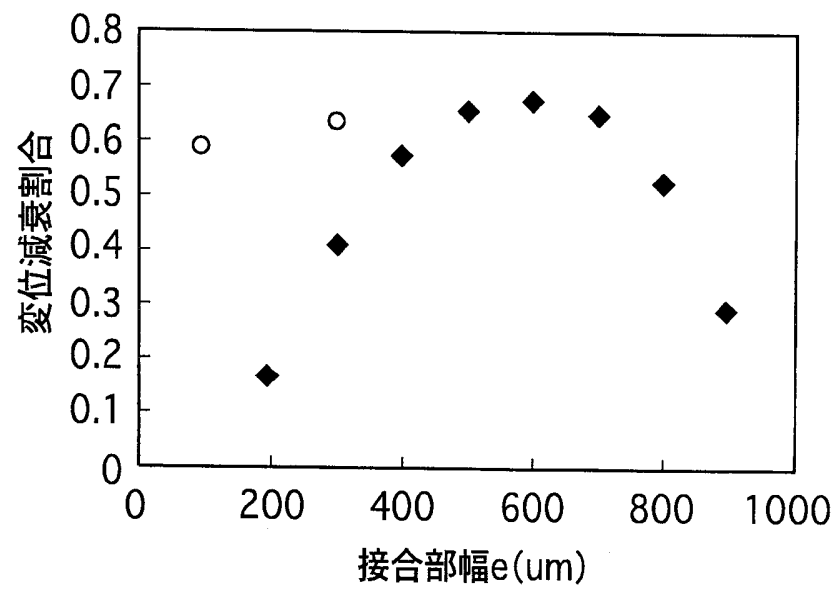
[図42A]



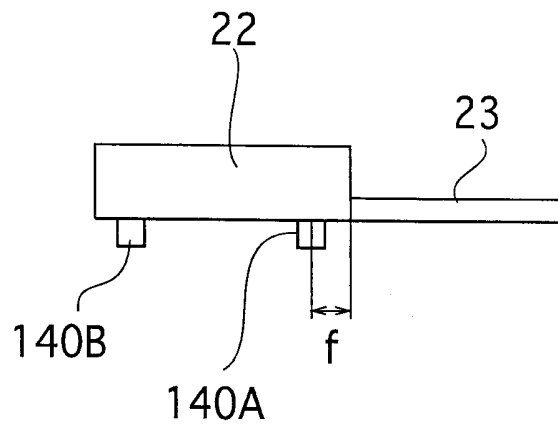
[図42B]



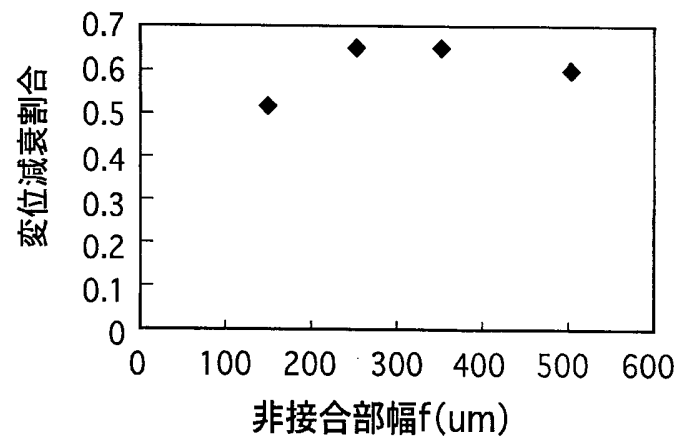
[図42C]



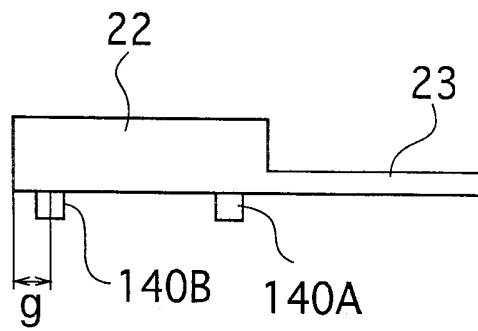
[図43A]



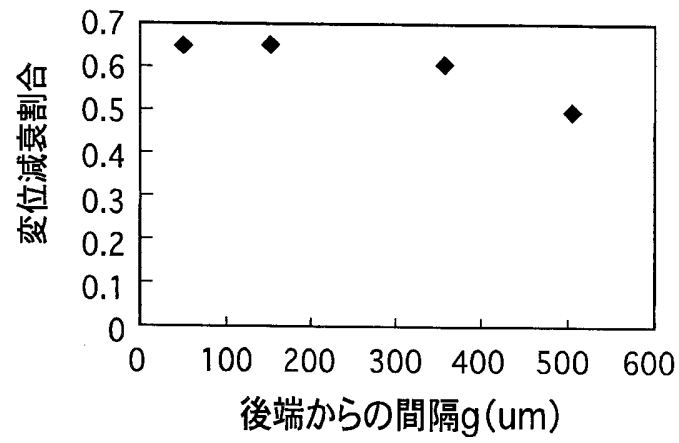
[図43B]



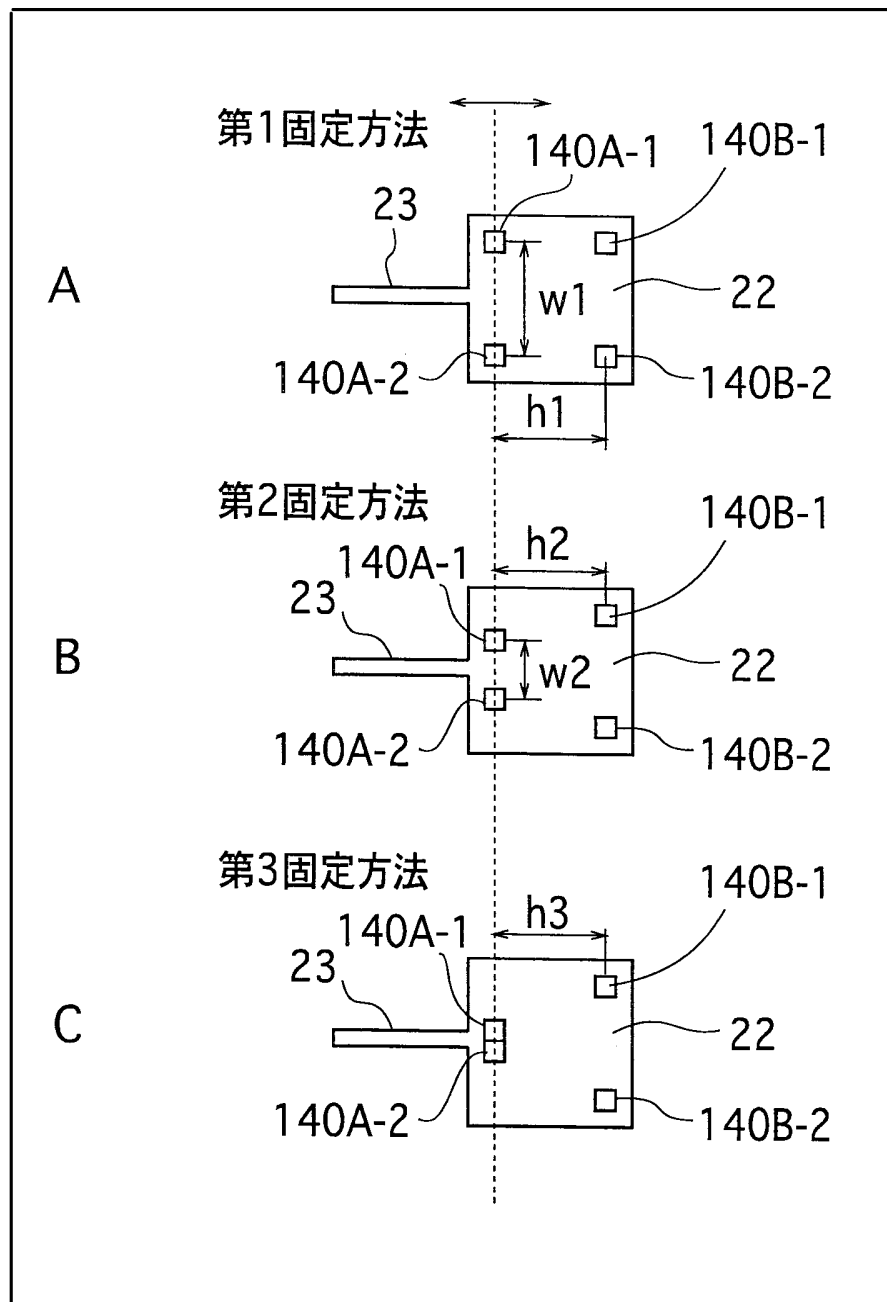
[図44A]



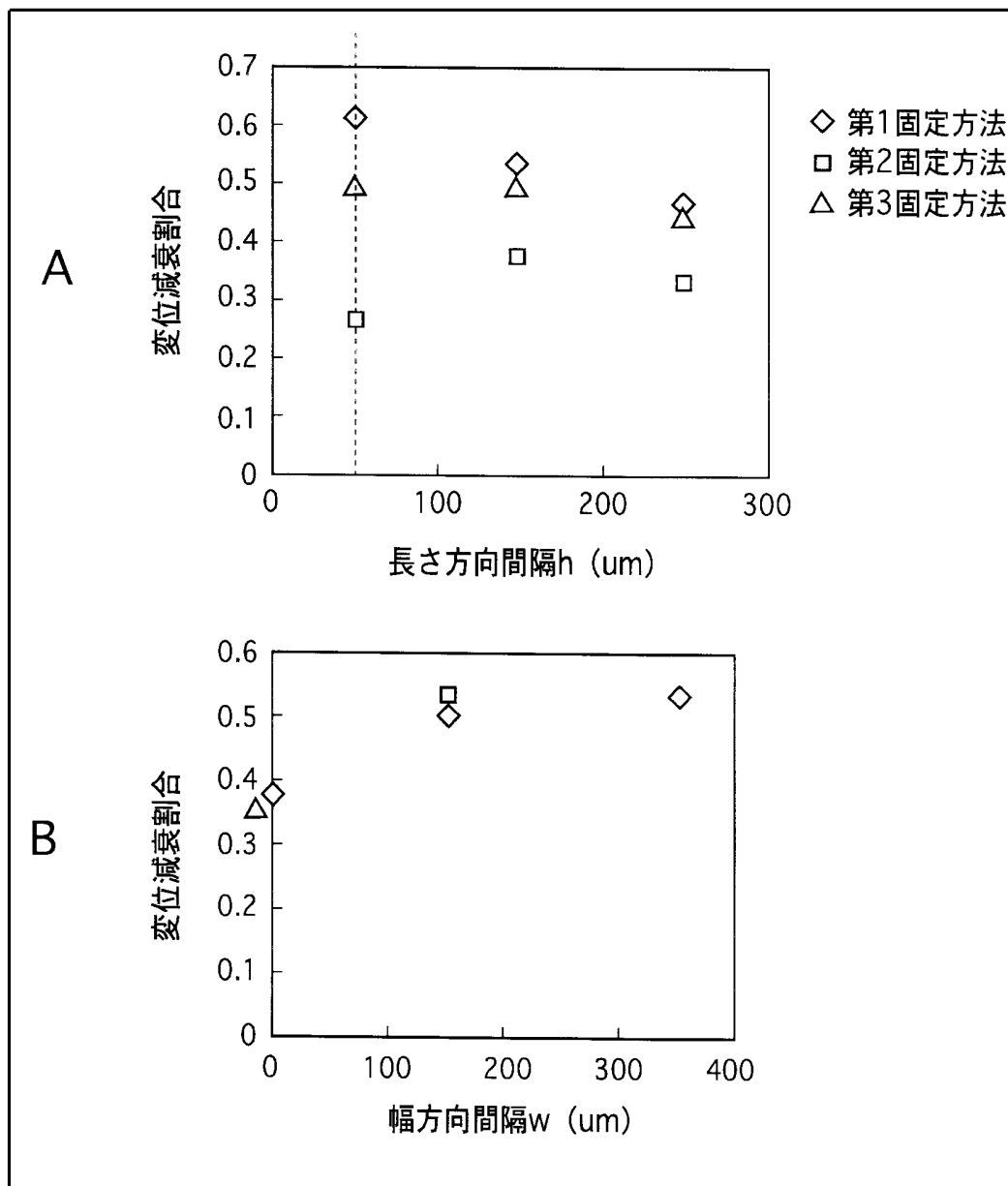
[図44B]



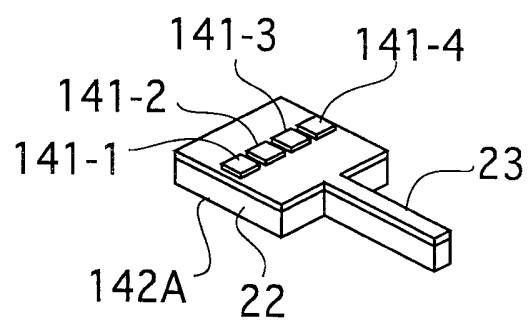
[図45]



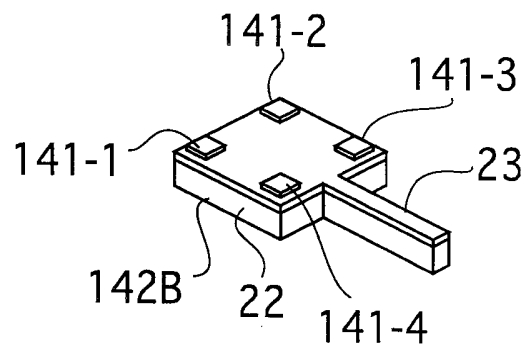
[図46]



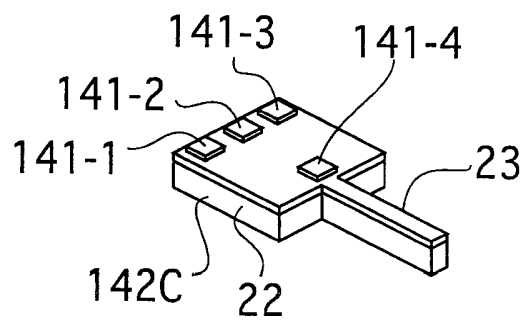
[図47A]



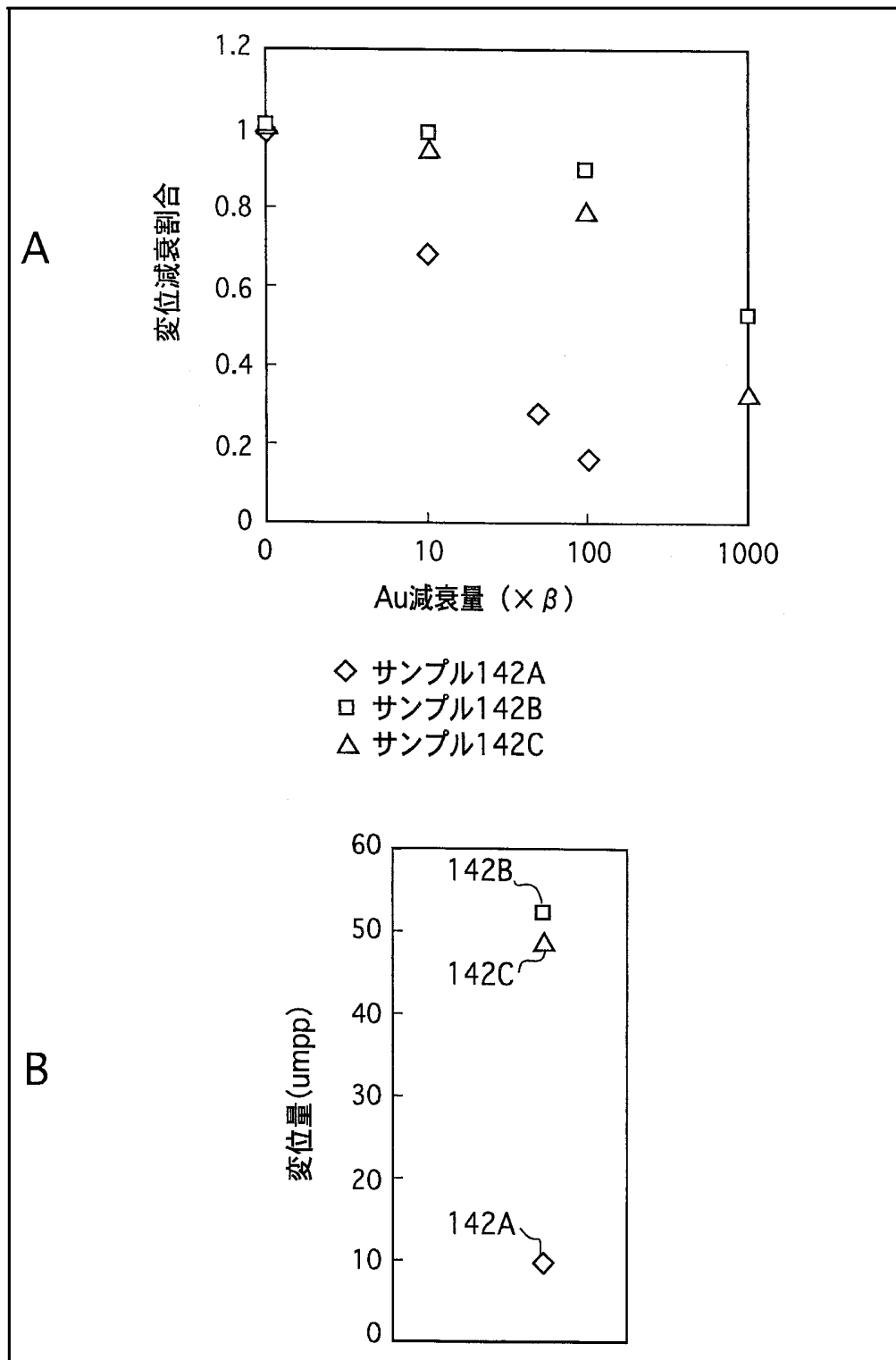
[図47B]



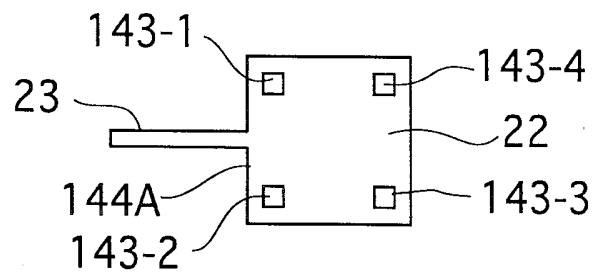
[図47C]



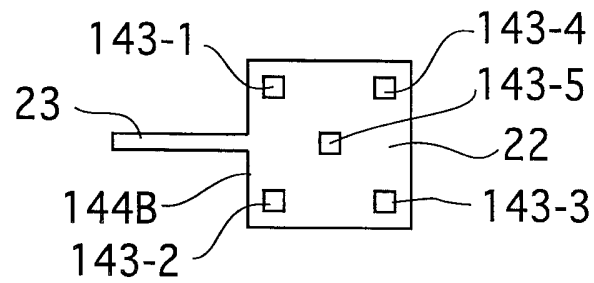
[図48]



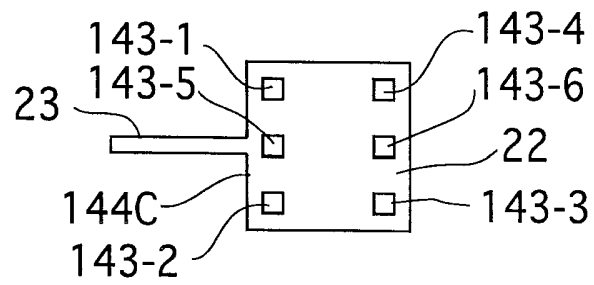
[図49A]



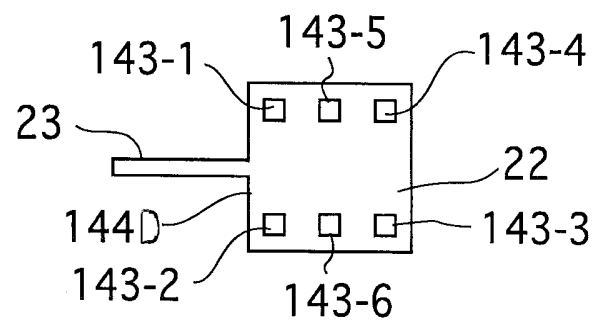
[図49B]



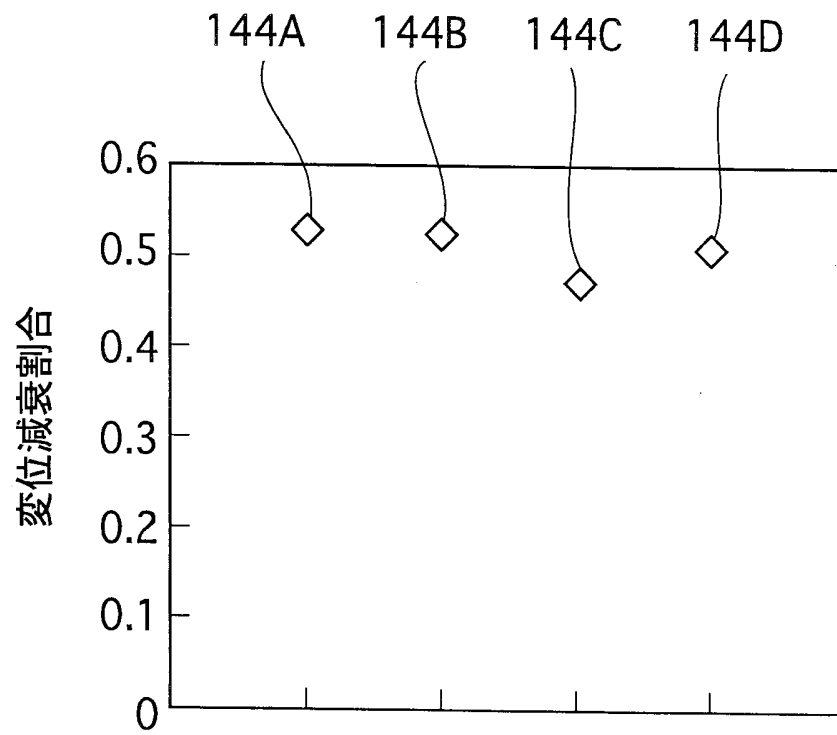
[図49C]



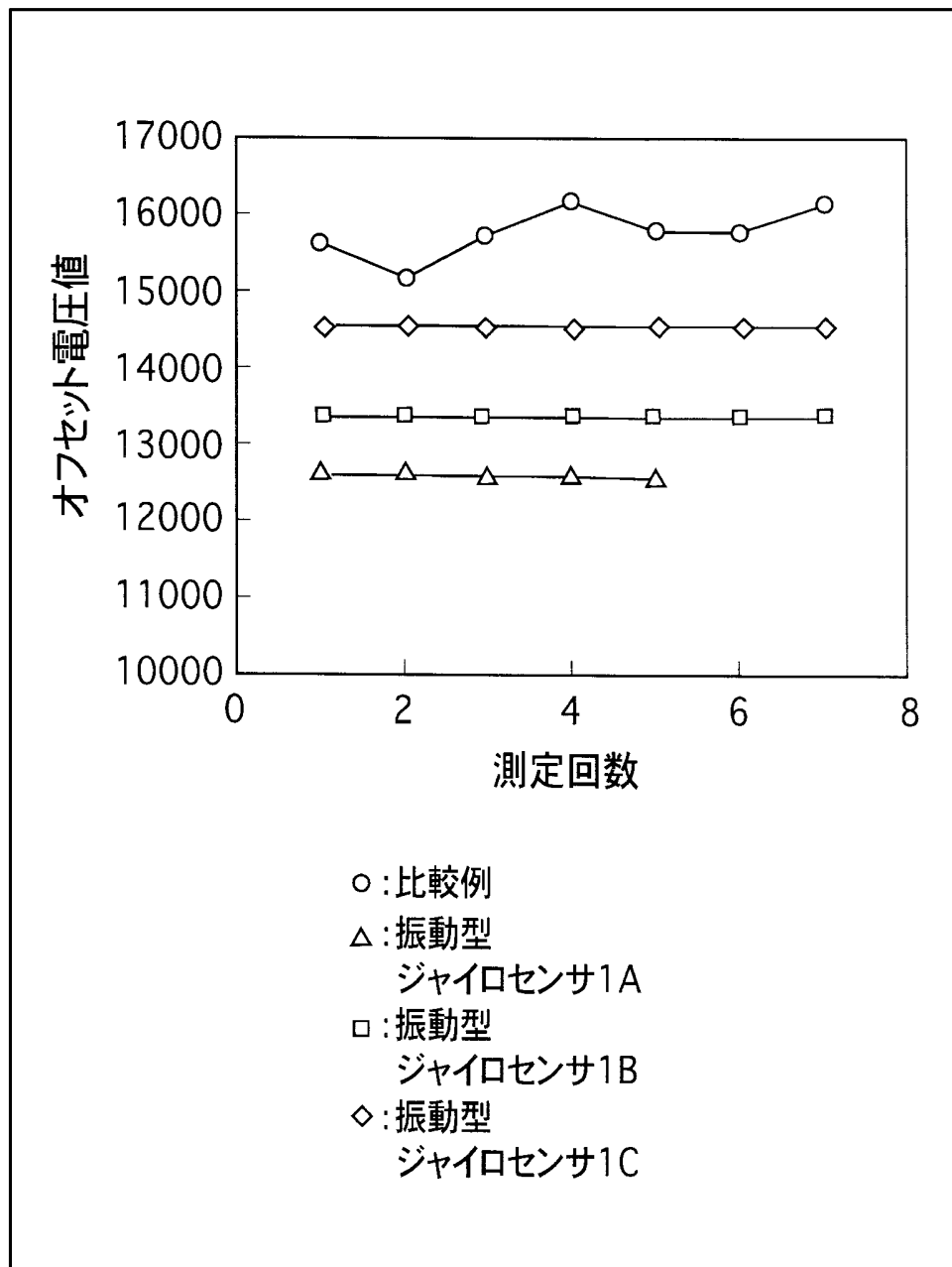
[図49D]



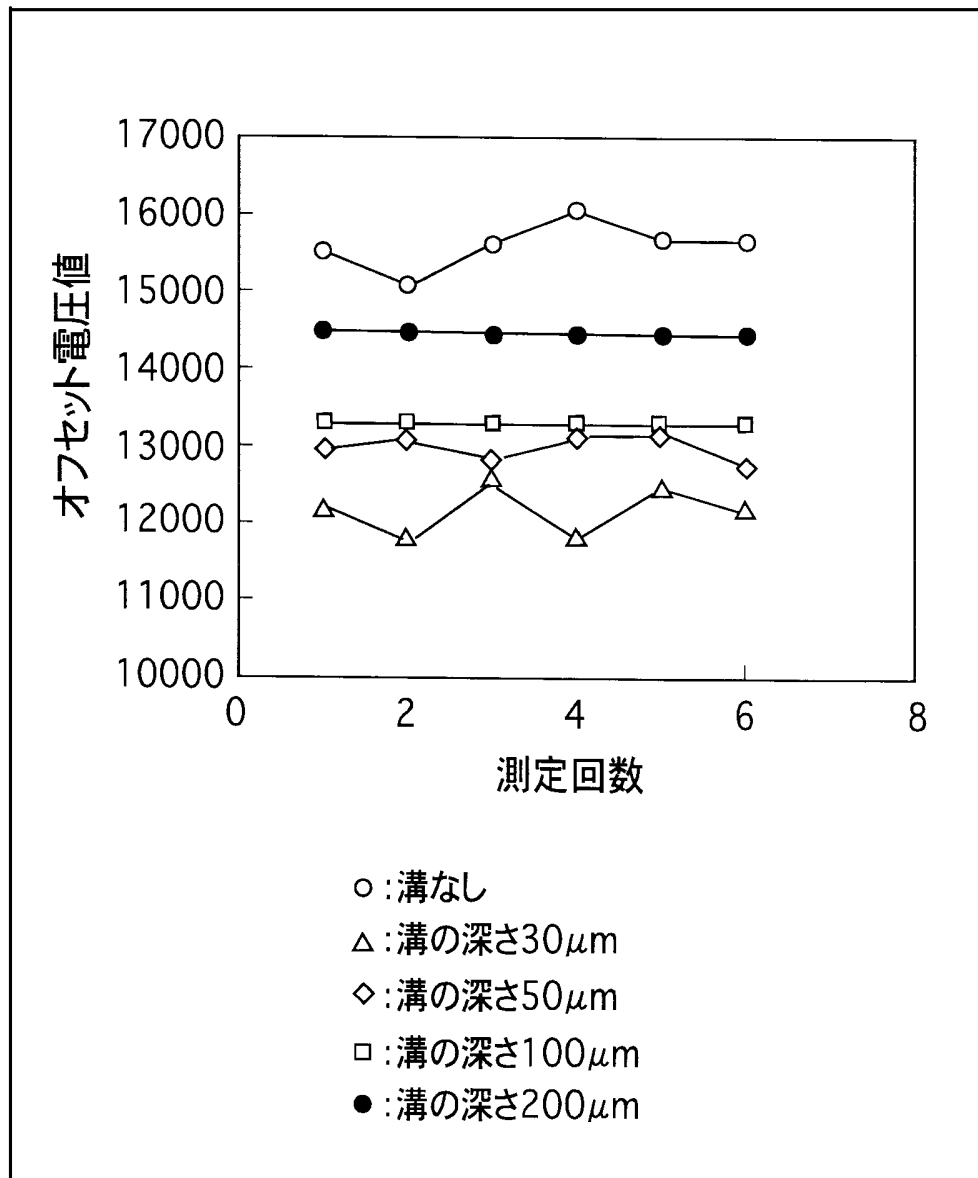
[図50]



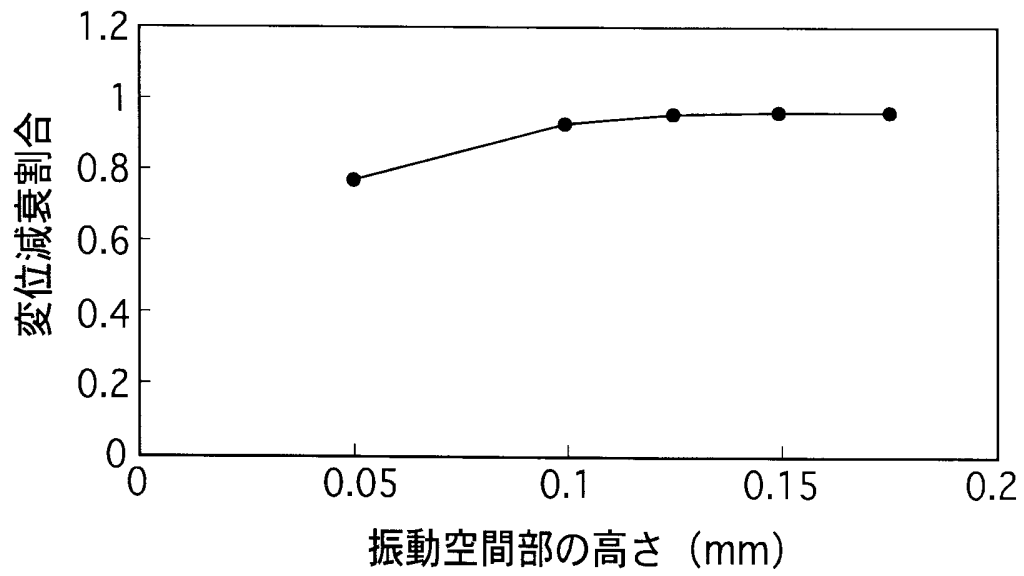
[図51]



[図52]



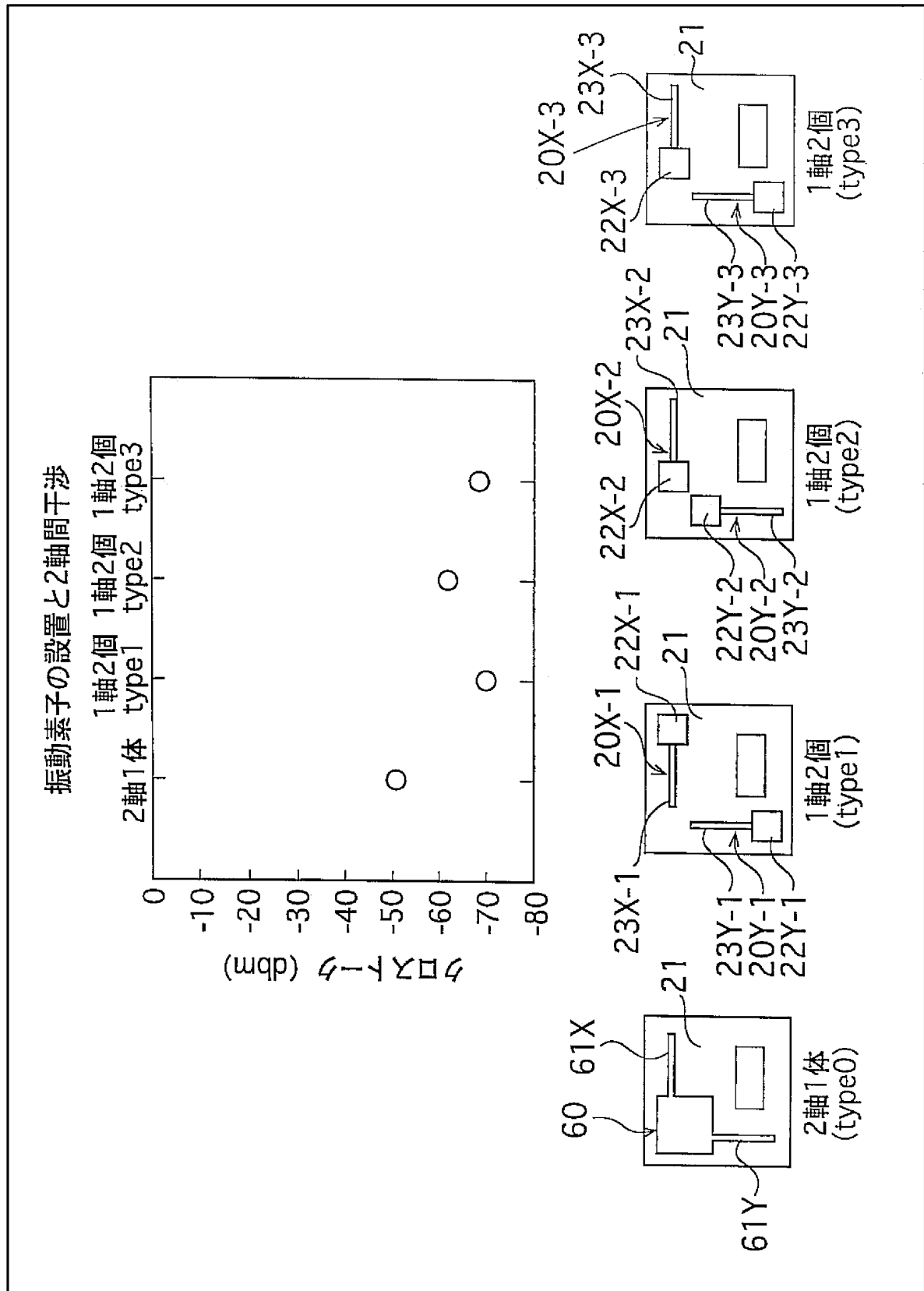
[図53]



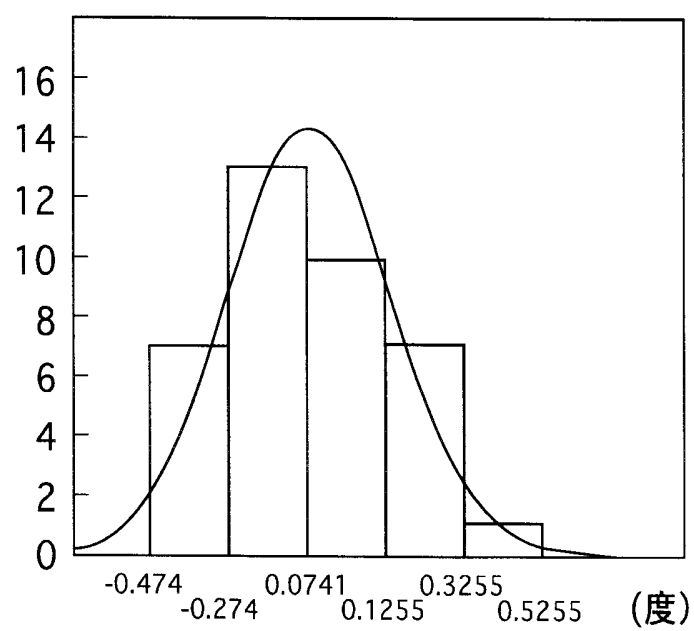
[図54]

	3cm角基板	4in ϕ 基板	5in ϕ 基板
1軸振動素子	60(30)	1200(600)	4000(2000)
2軸合体振動素子	20	300	800

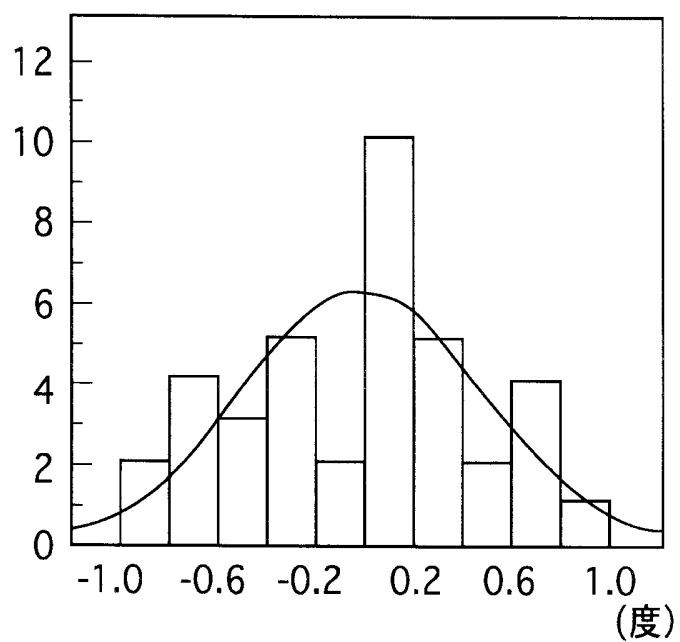
[図55]



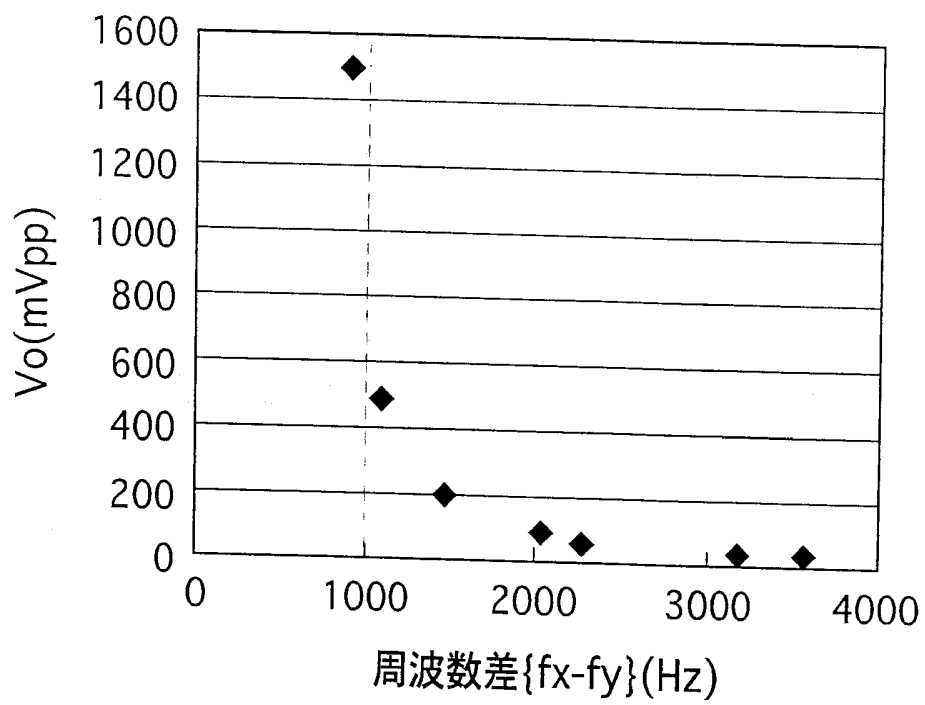
[図56A]



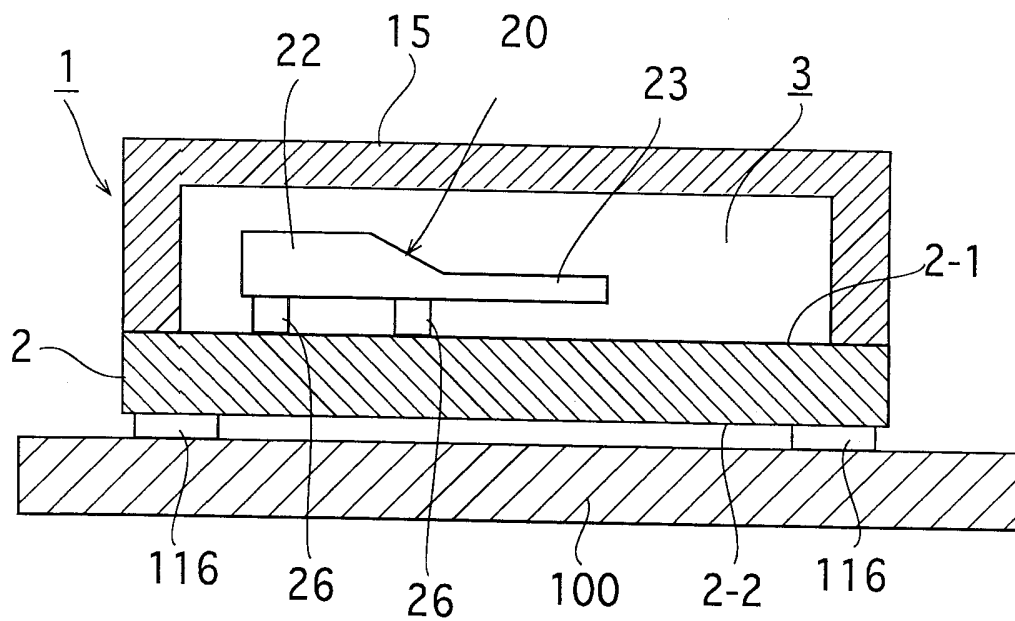
[図56B]



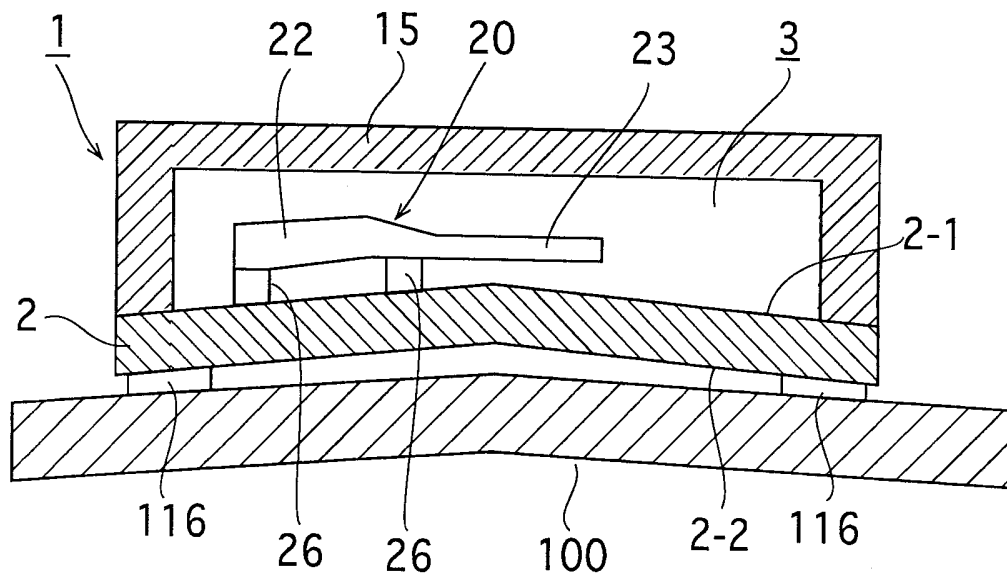
[図57]



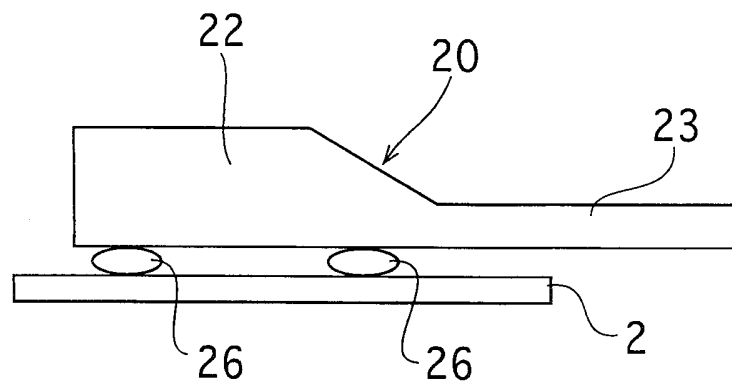
[図58]



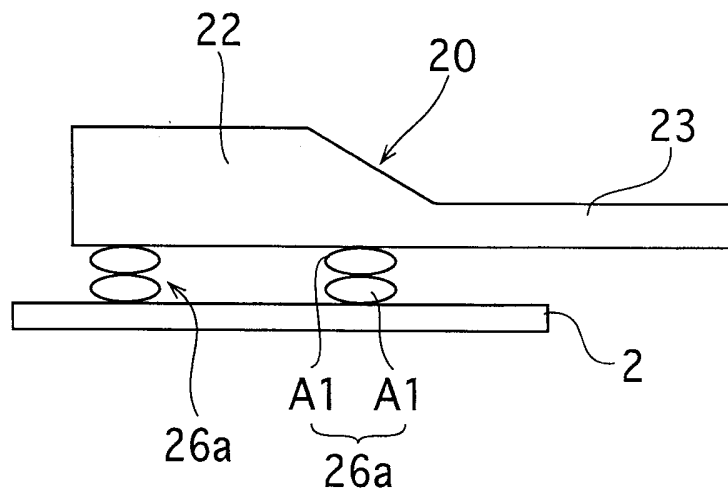
[図59]



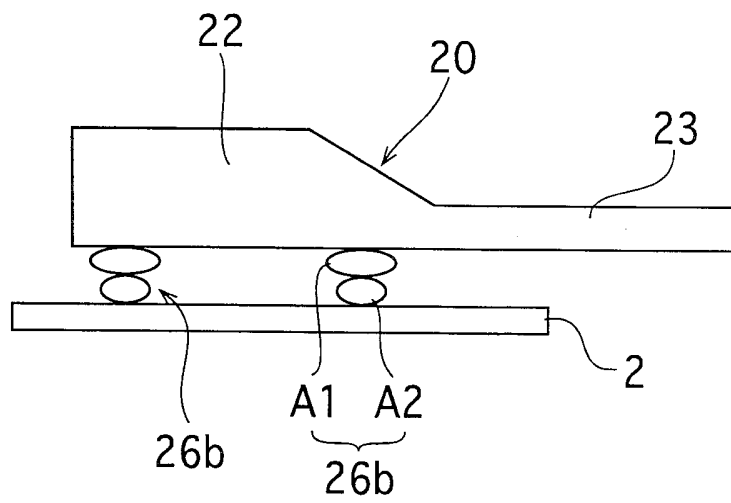
[図60A]



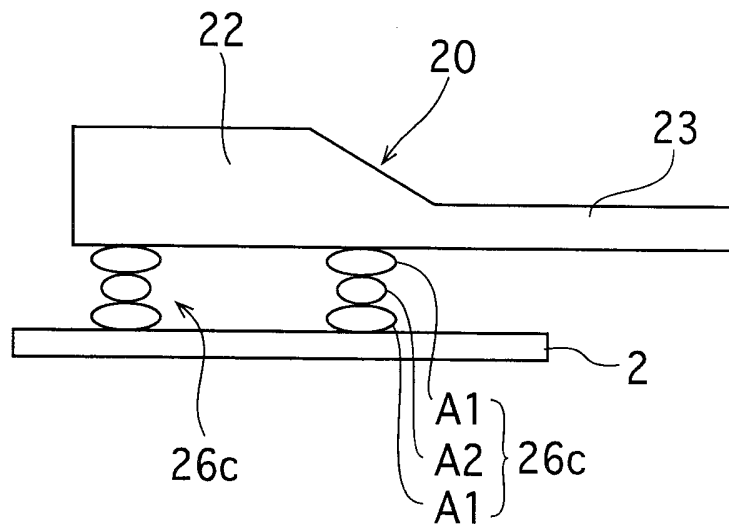
[図60B]



[図61A]



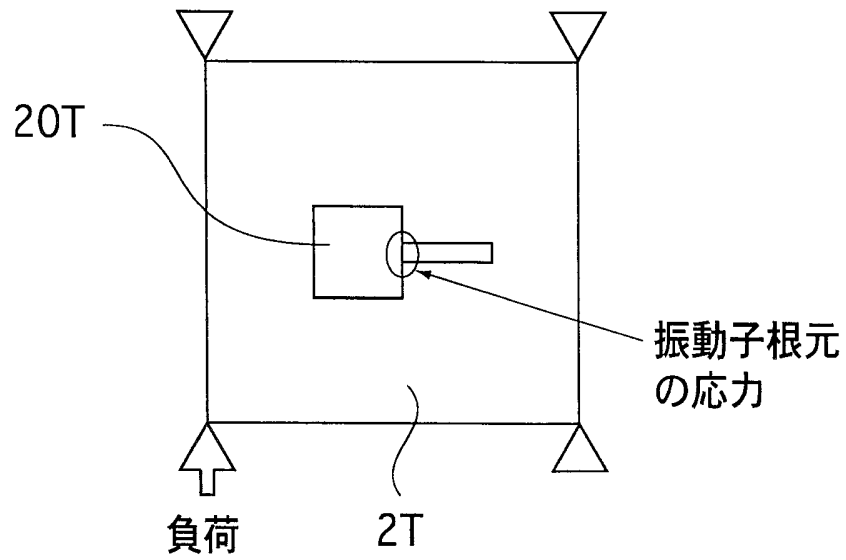
[図61B]



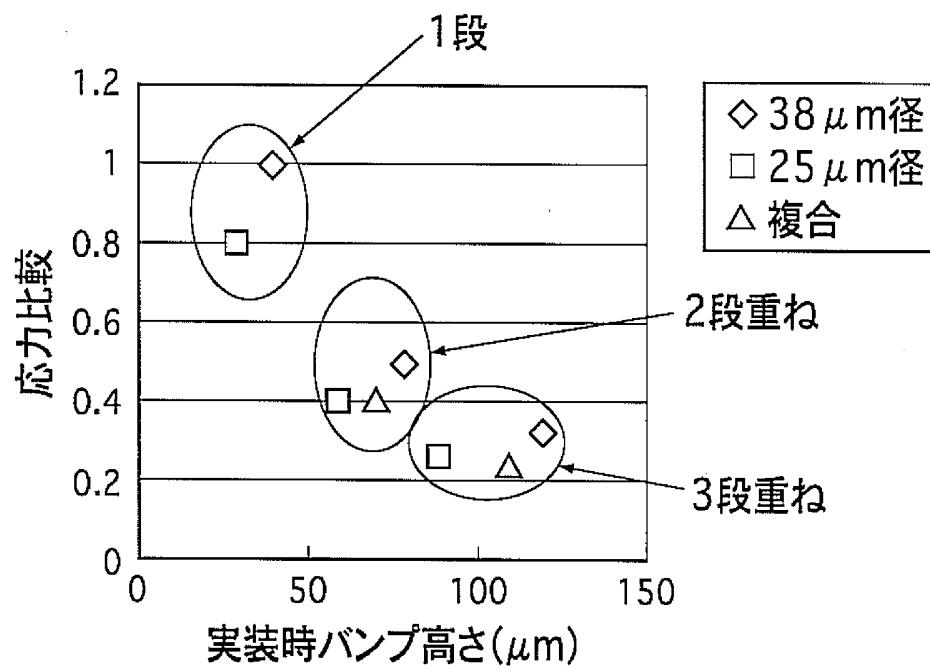
[図62A]

	大 (A1)	小 (A2)
金線幅 (μm)	38	25
ボール形状直径 (μm)	130	90

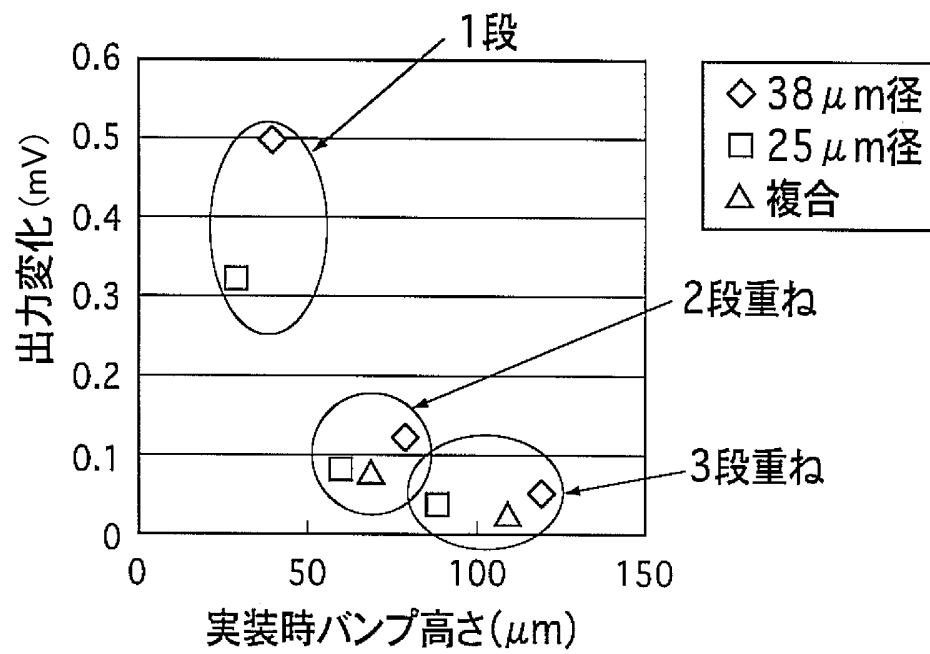
[図62B]



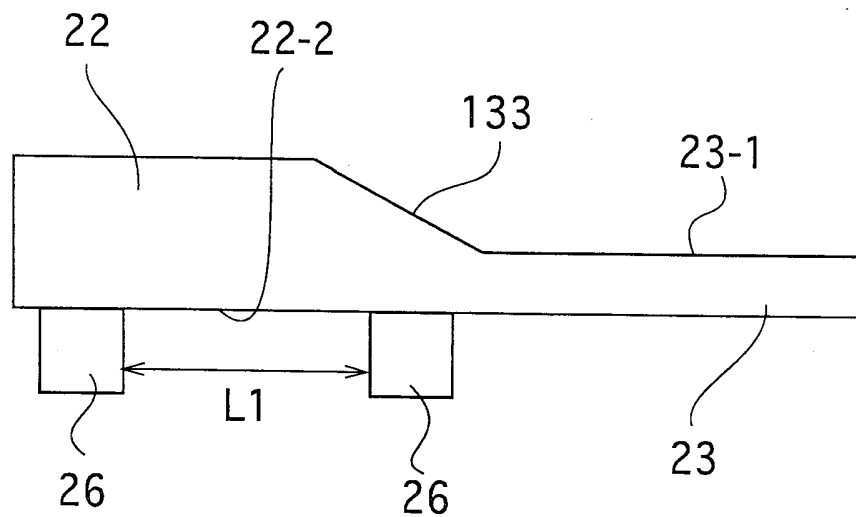
[図63A]



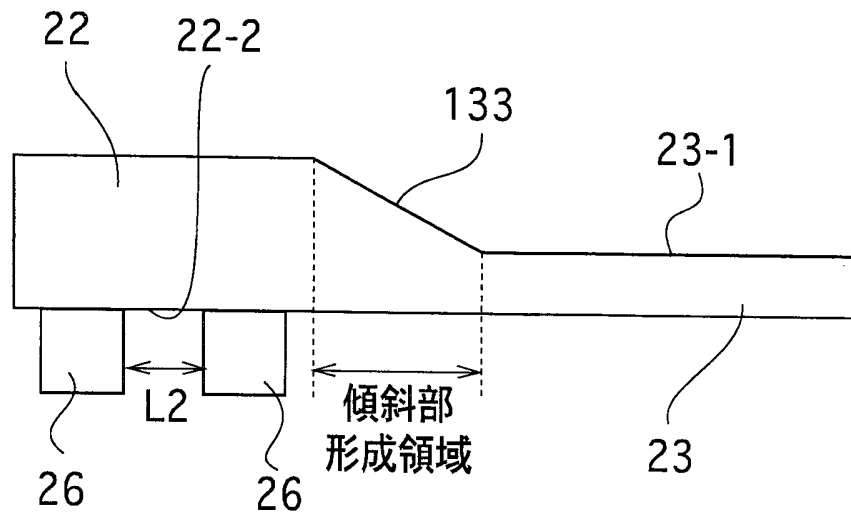
[図63B]



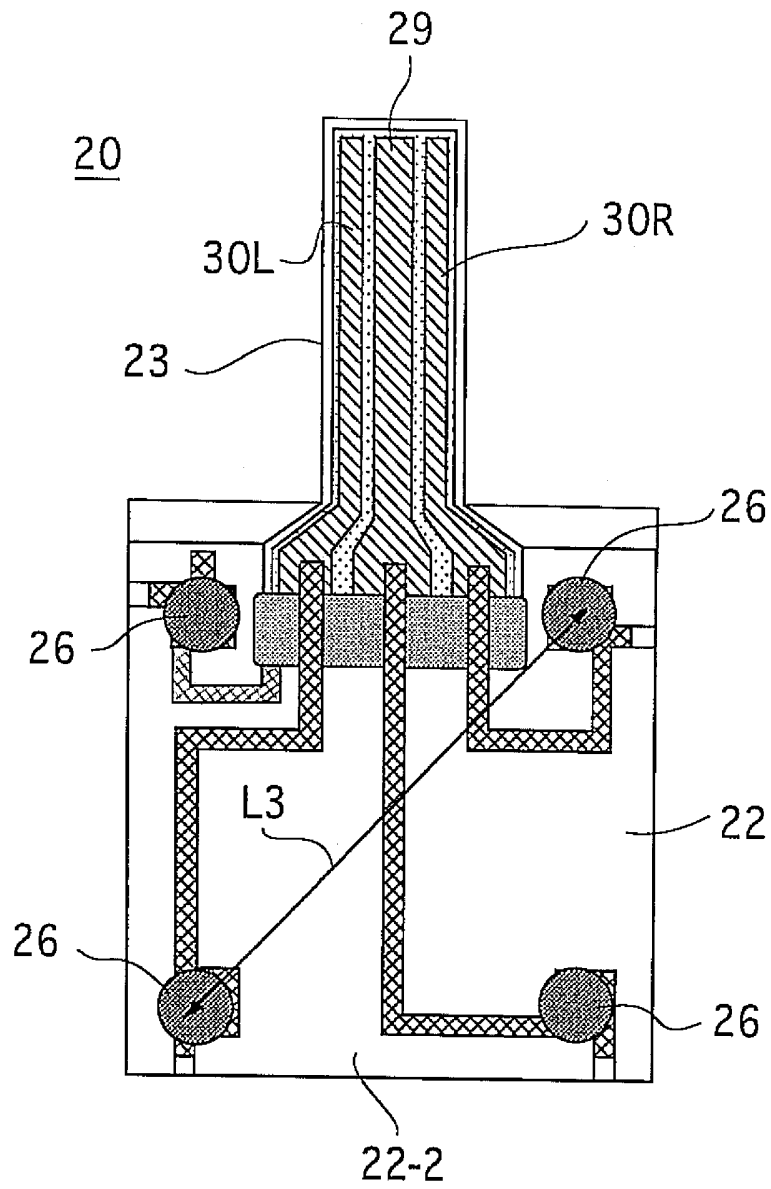
[図64A]



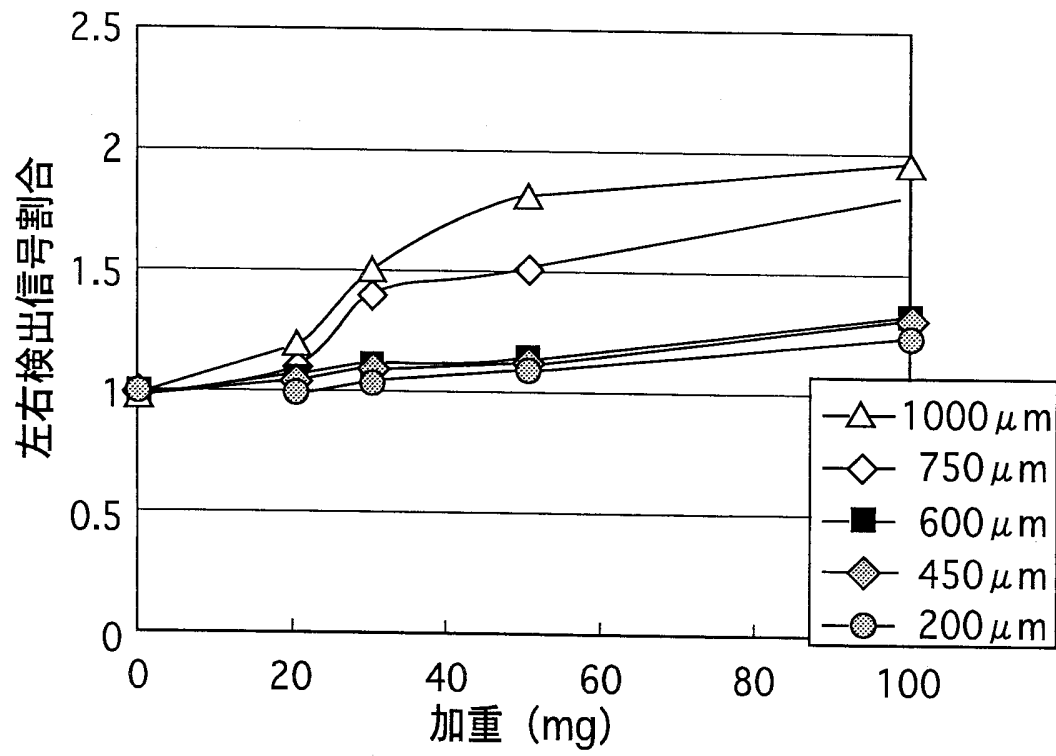
[図64B]



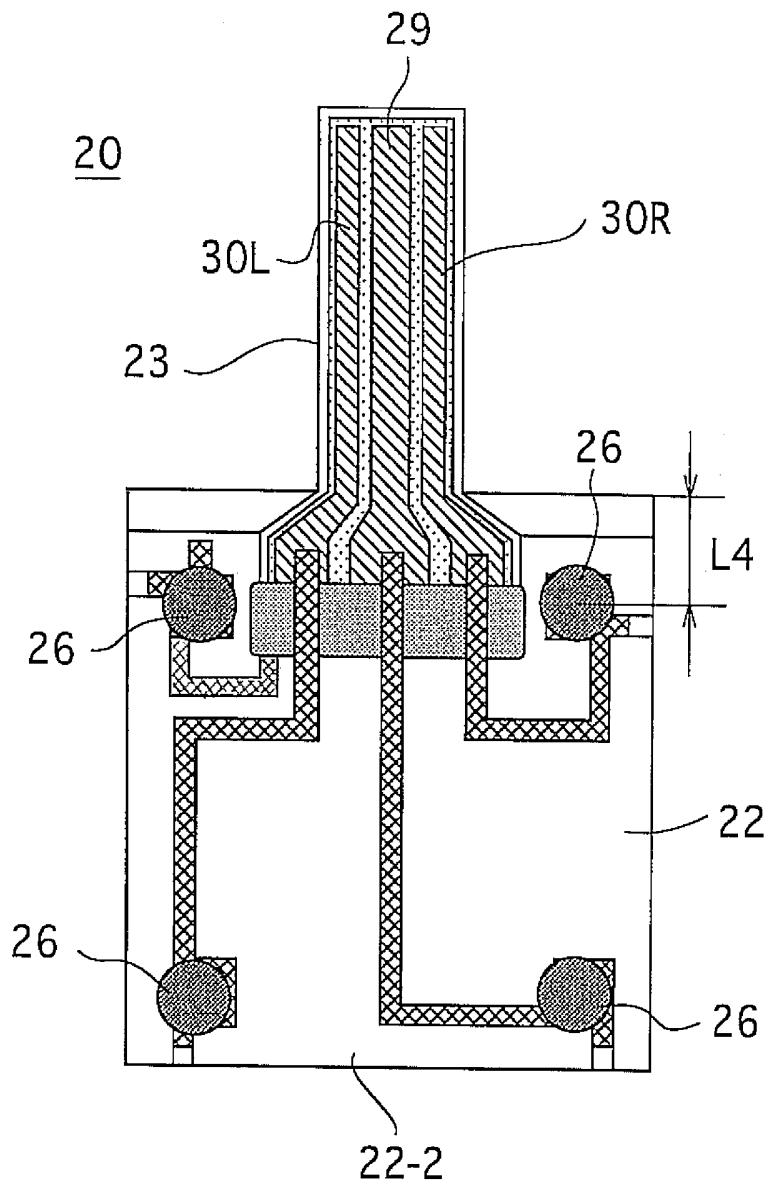
[図65]



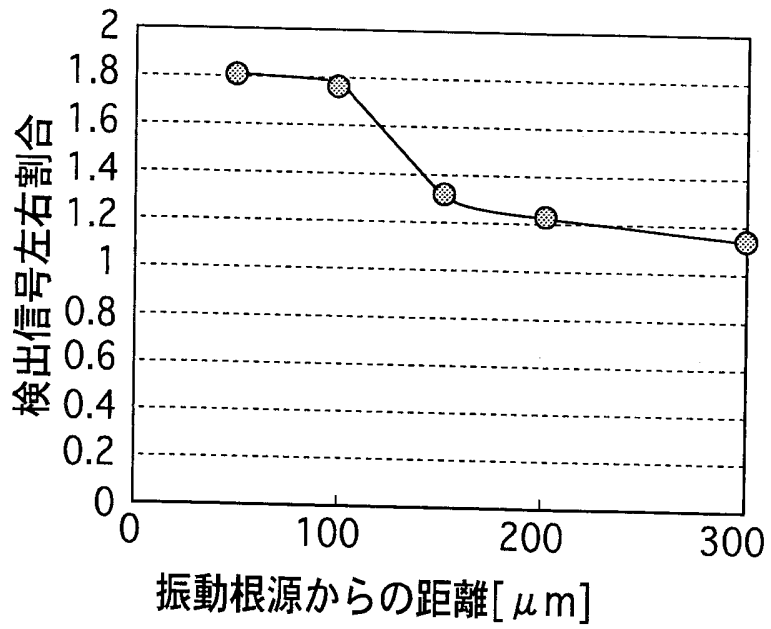
[図66]



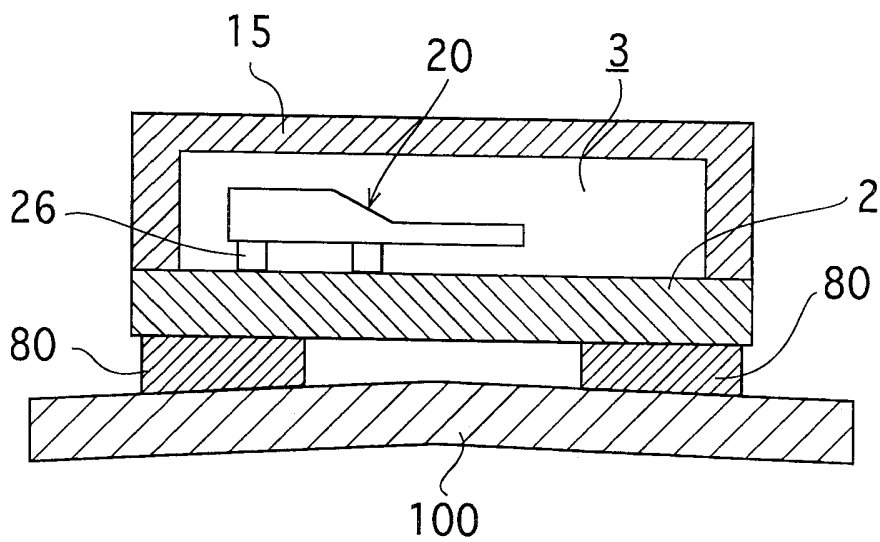
[図67]



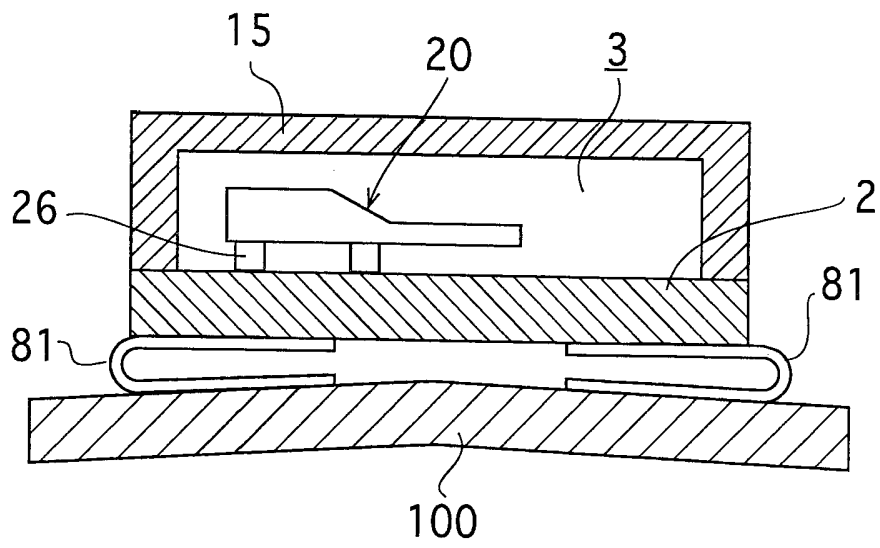
[図68]



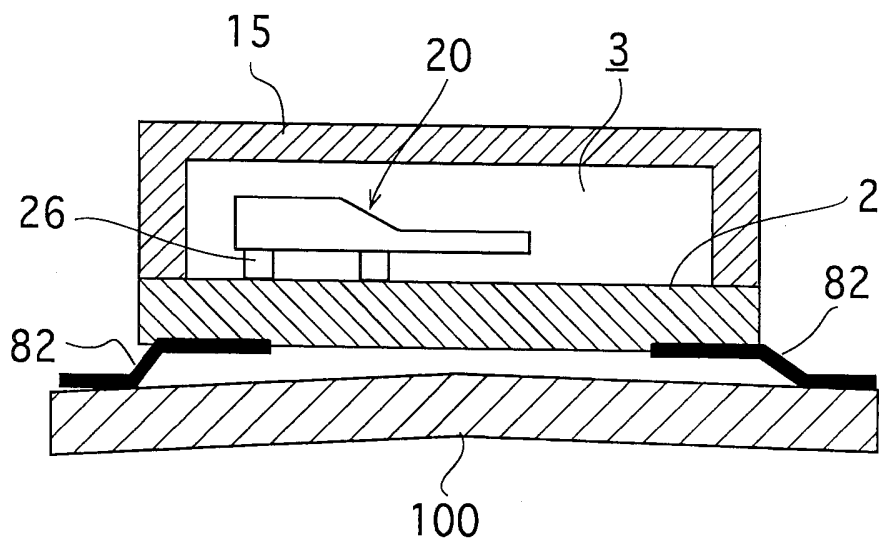
[図69]



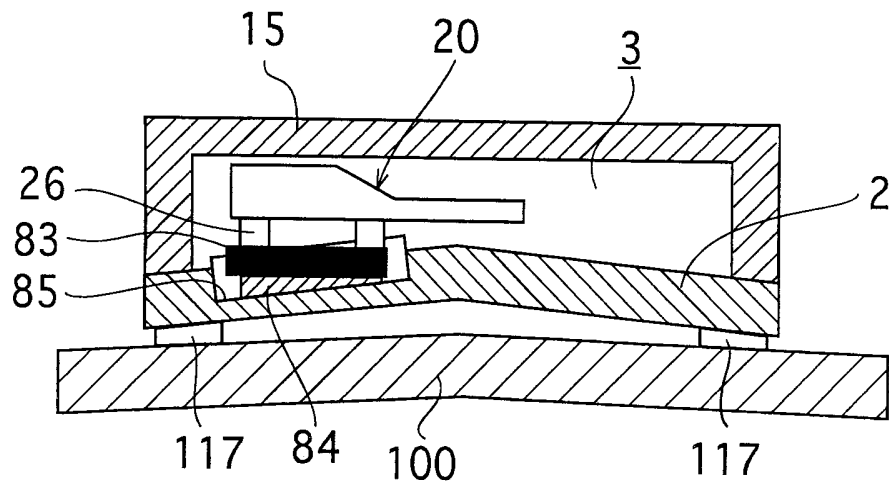
[図70]



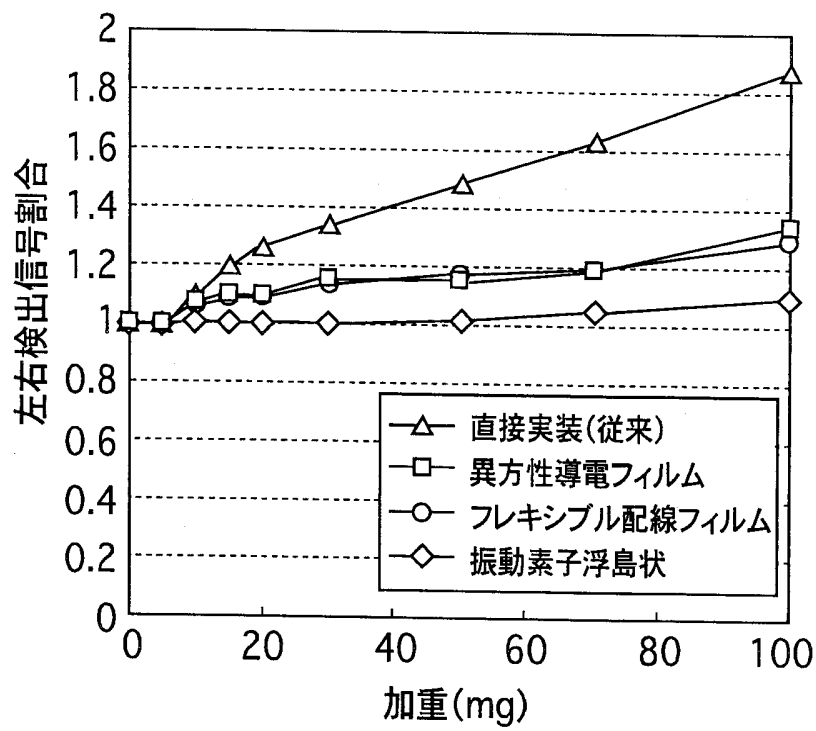
[図71]



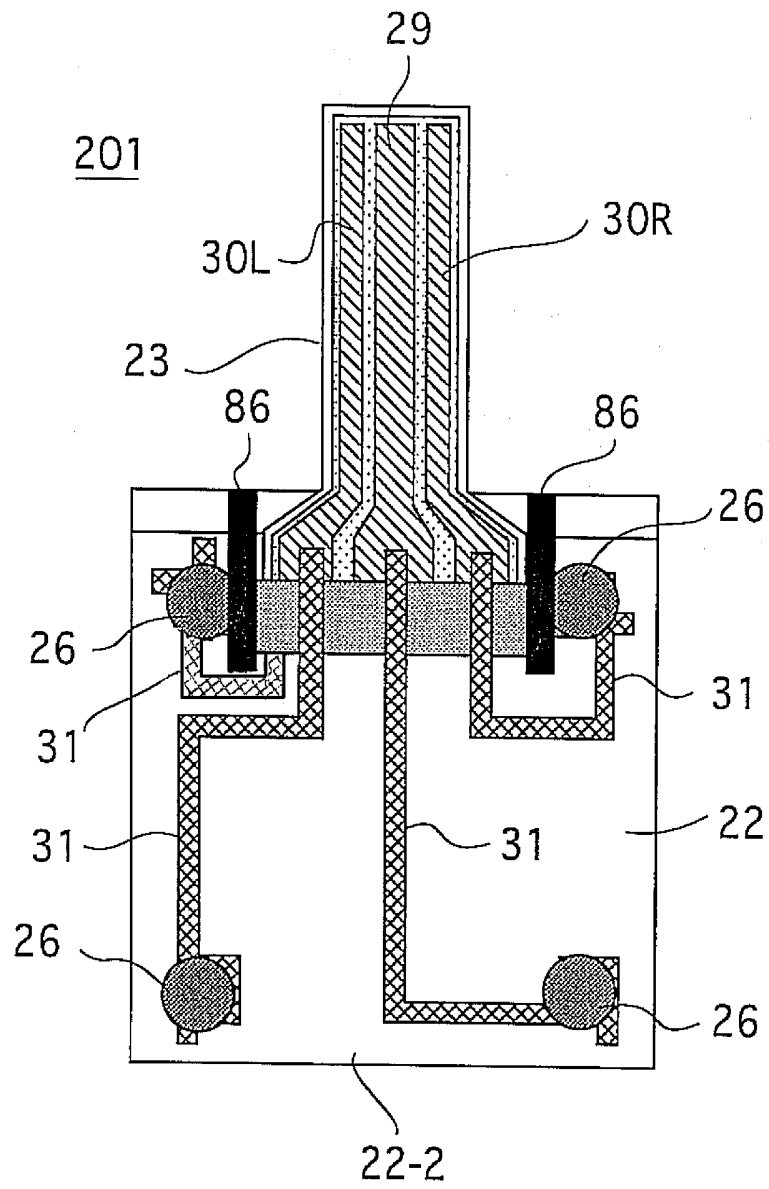
[図72]



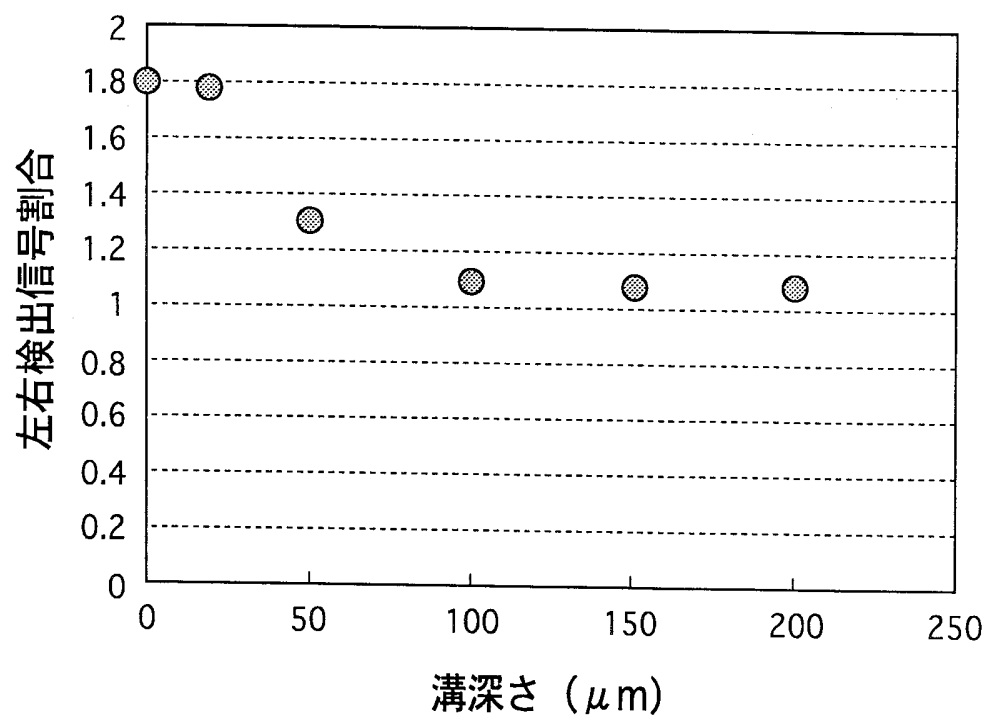
[図73]



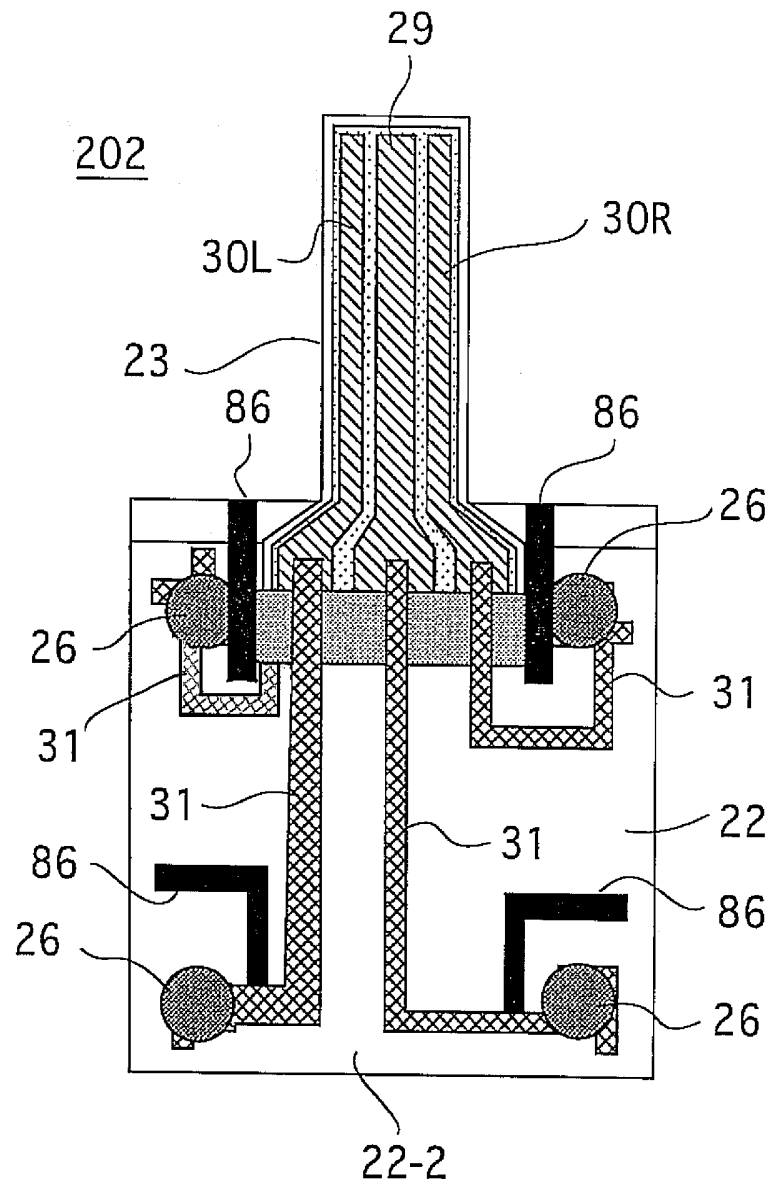
[図74]



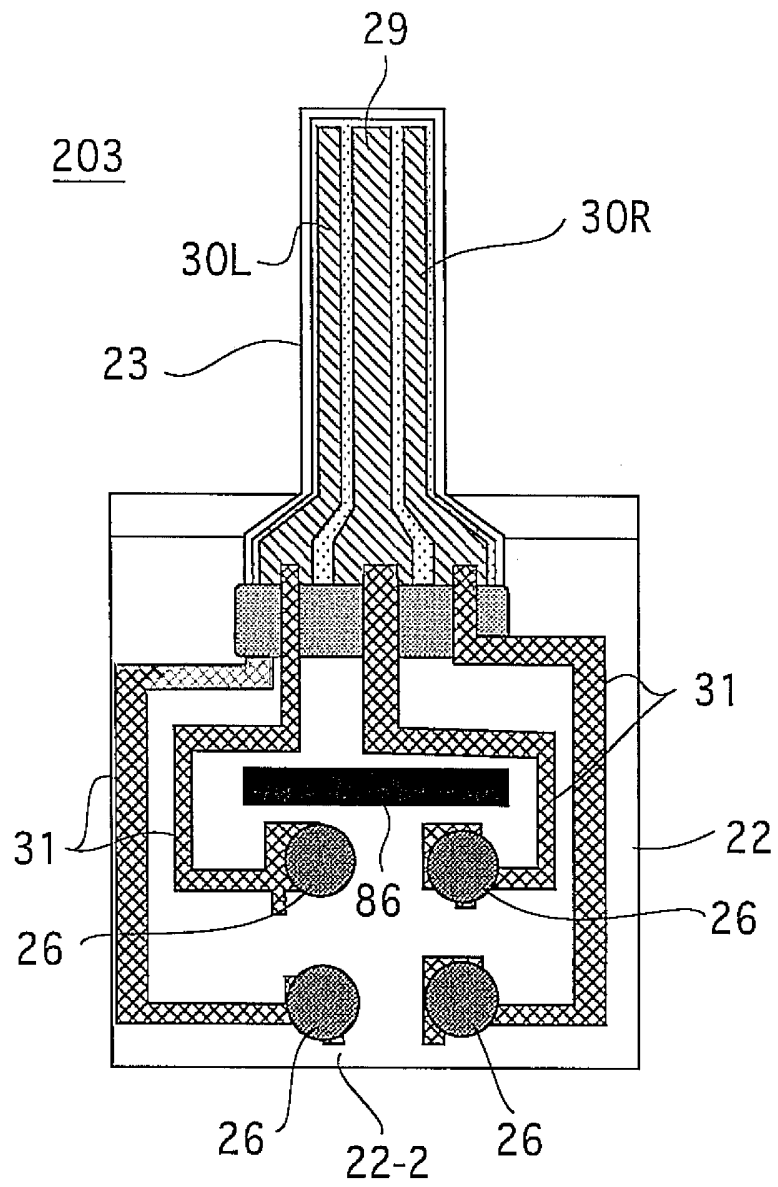
[図75]



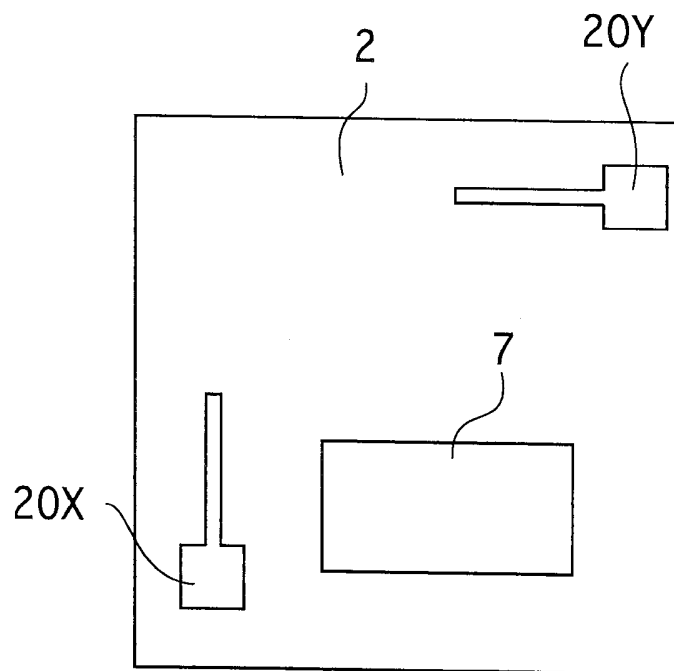
[図76]



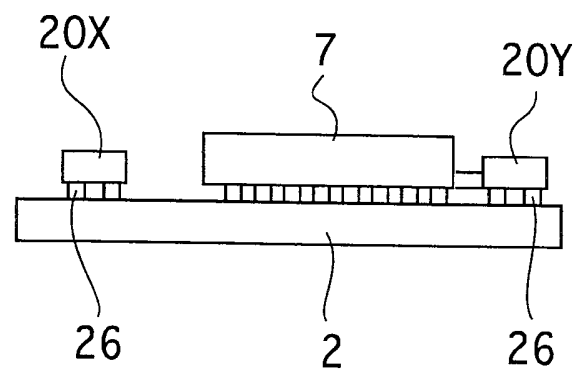
[図77]



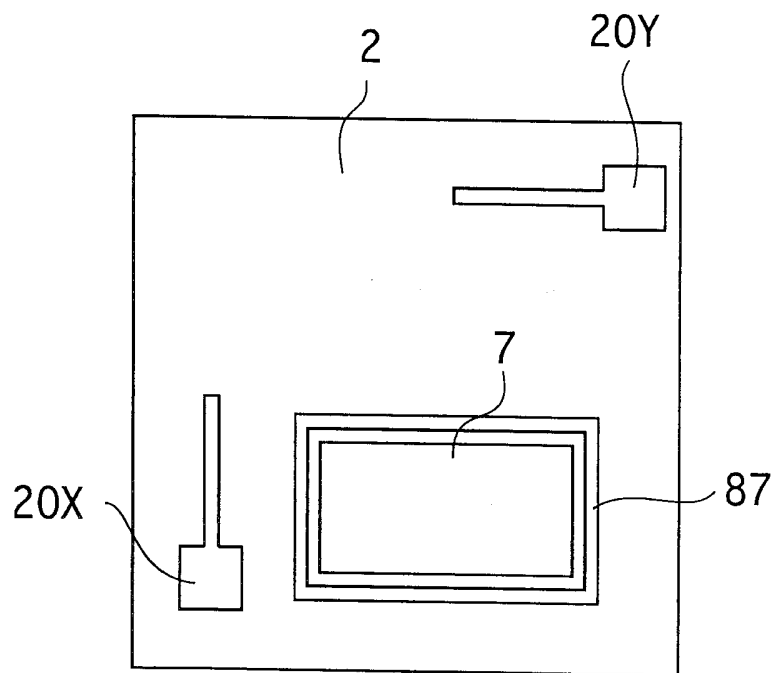
[図78A]



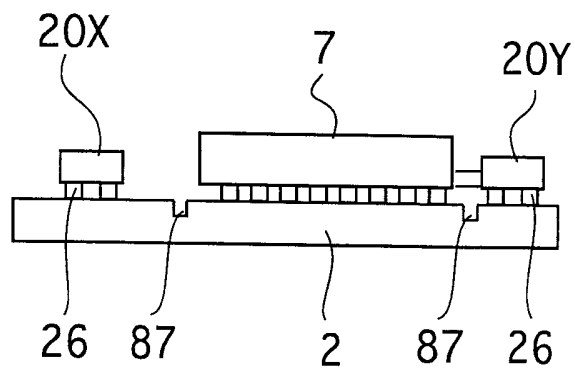
[図78B]



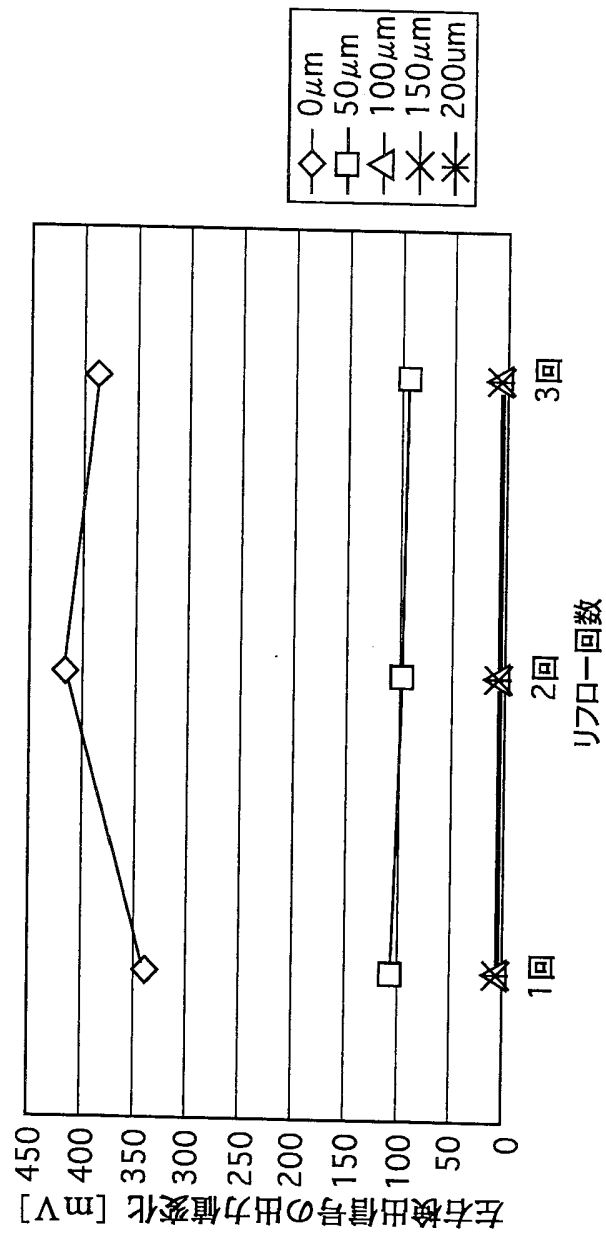
[図79A]



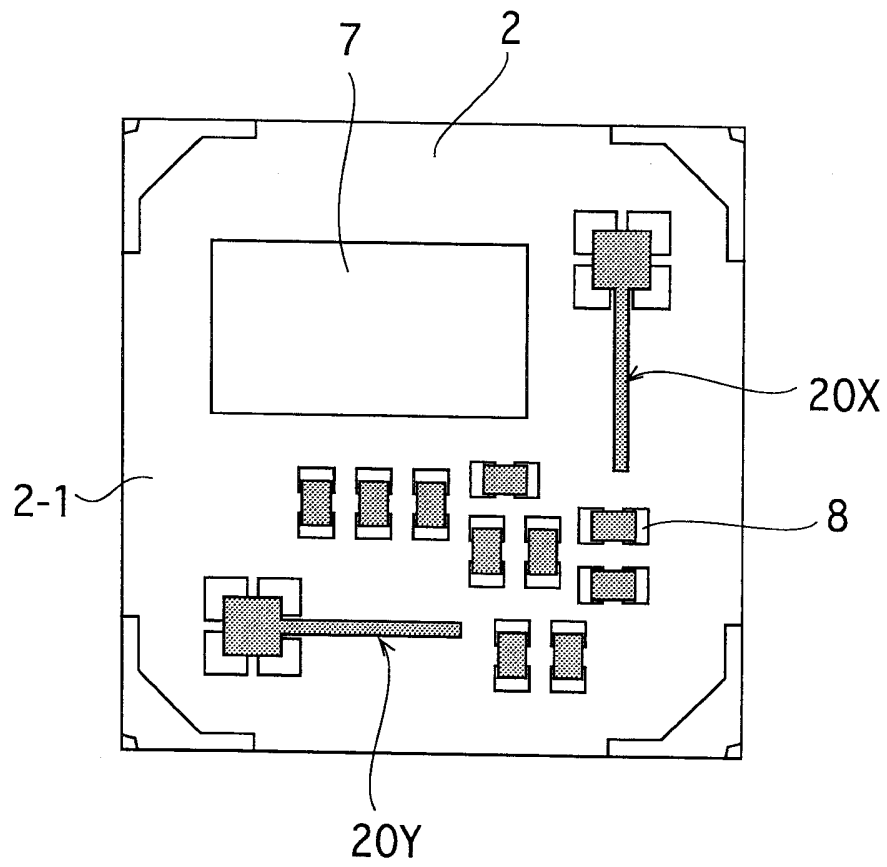
[図79B]



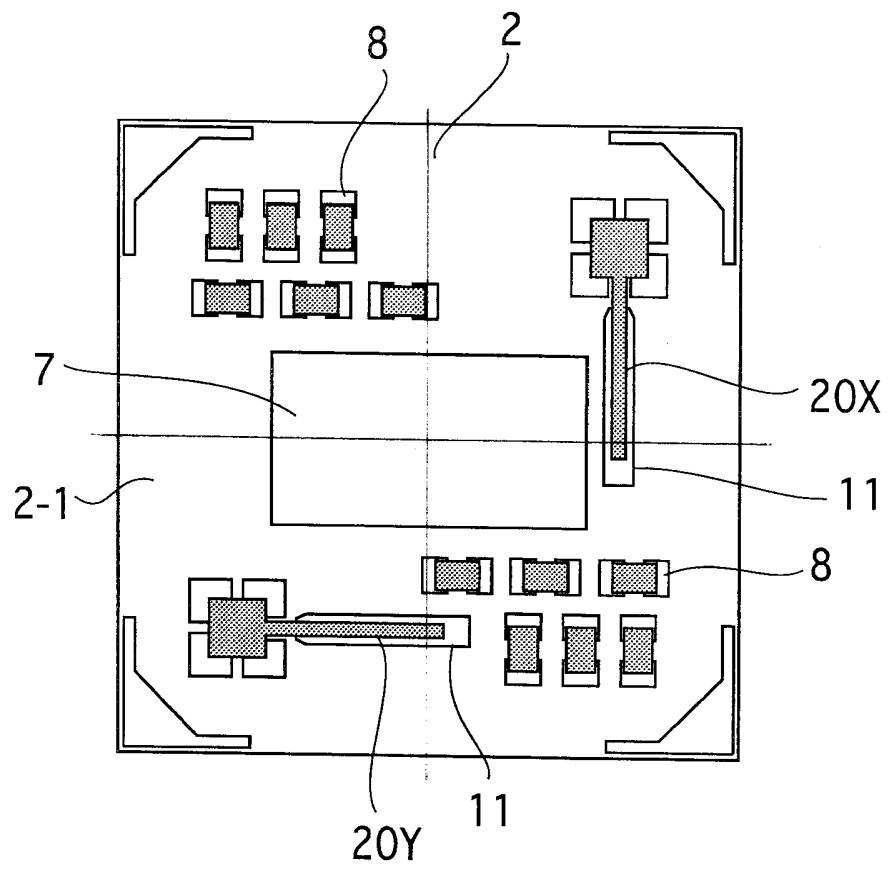
[図80]



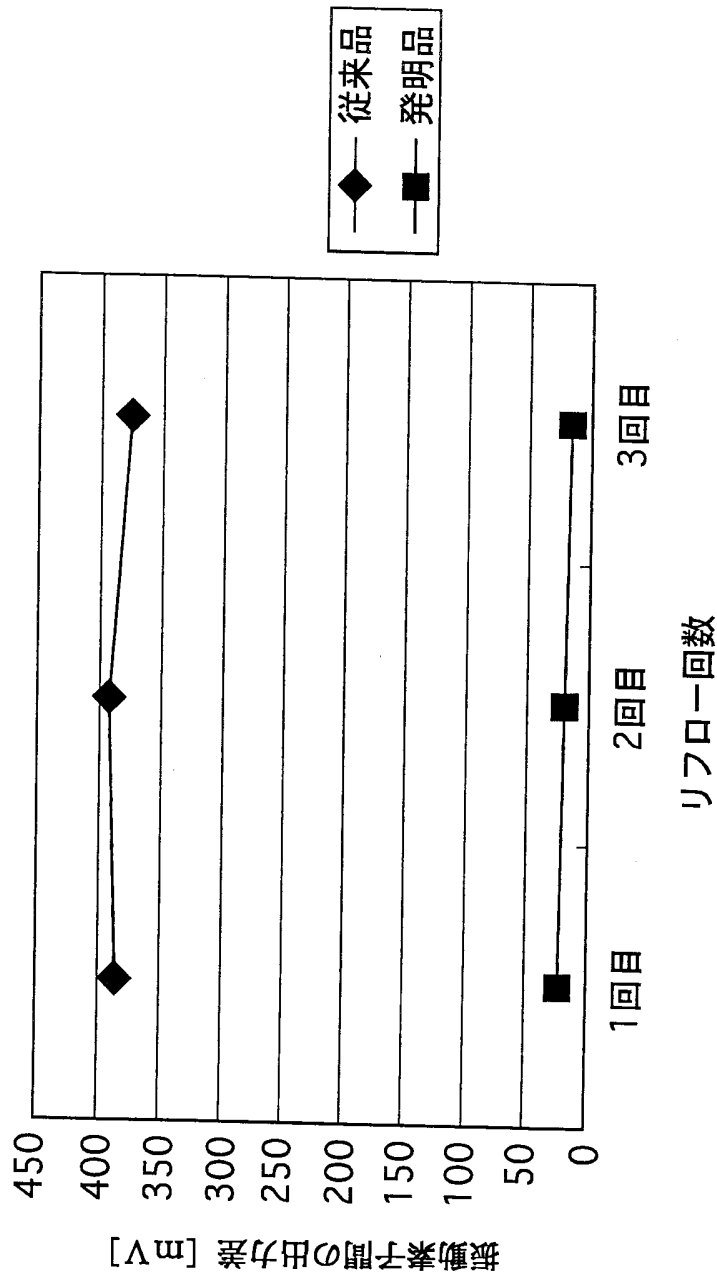
[図81]



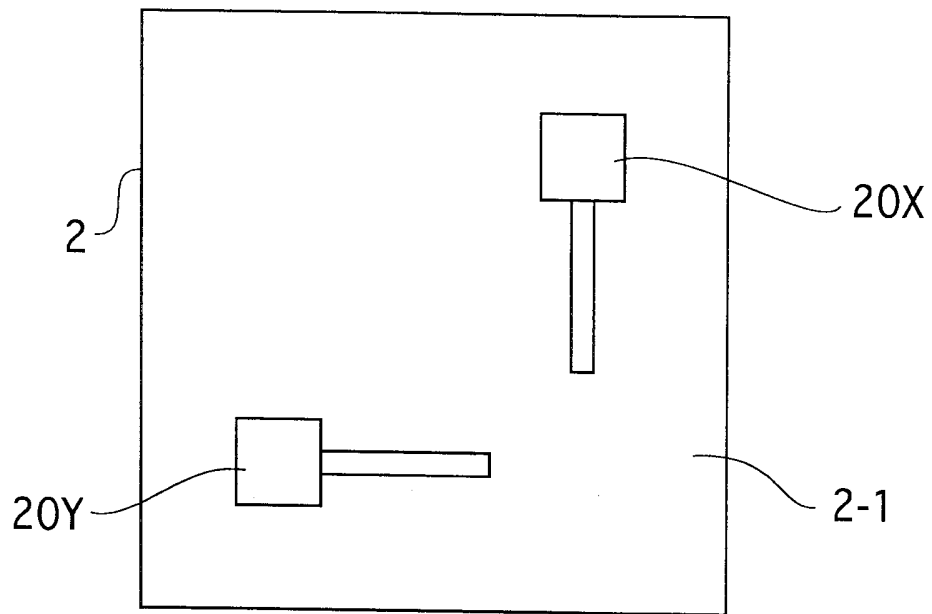
[図82]



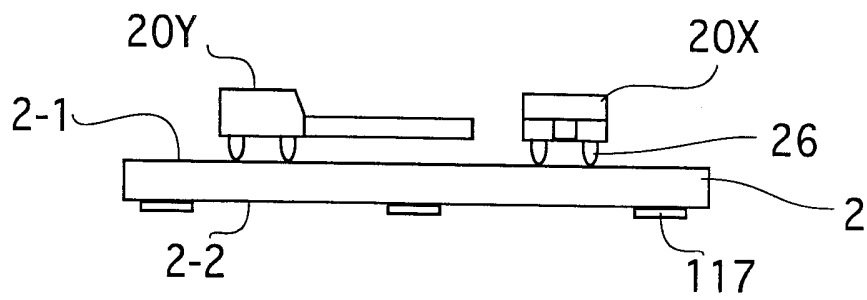
[図83]



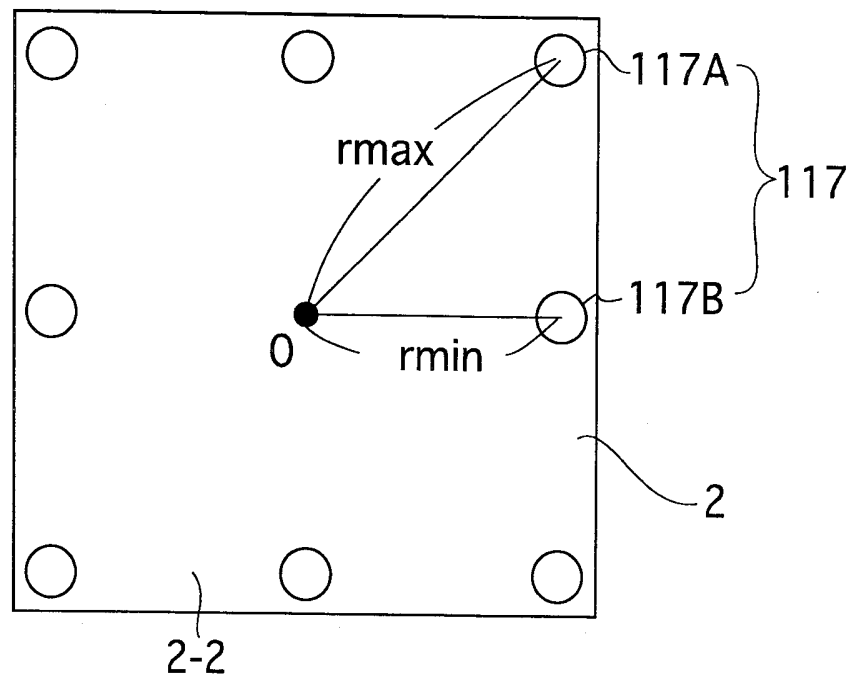
[図84A]



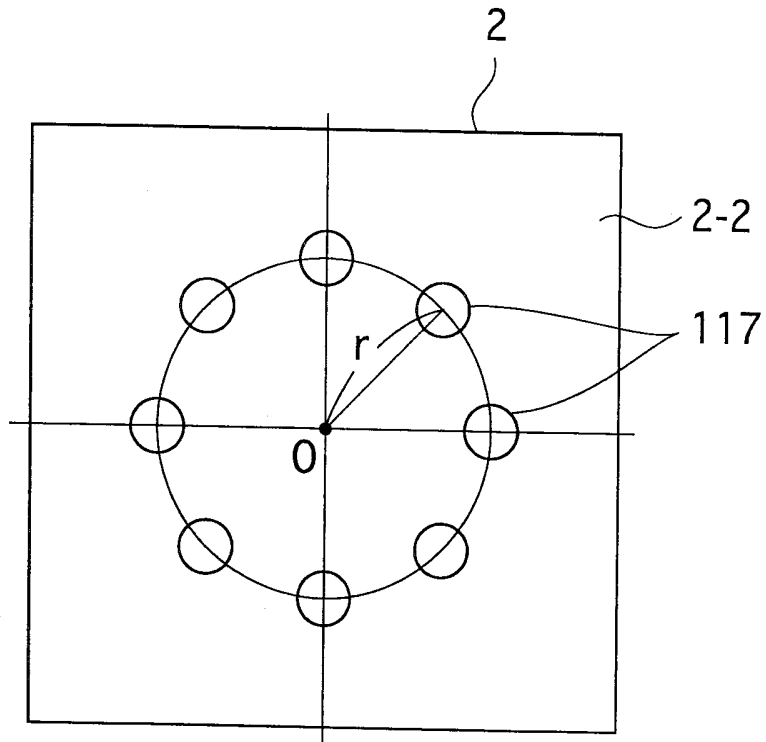
[図84B]



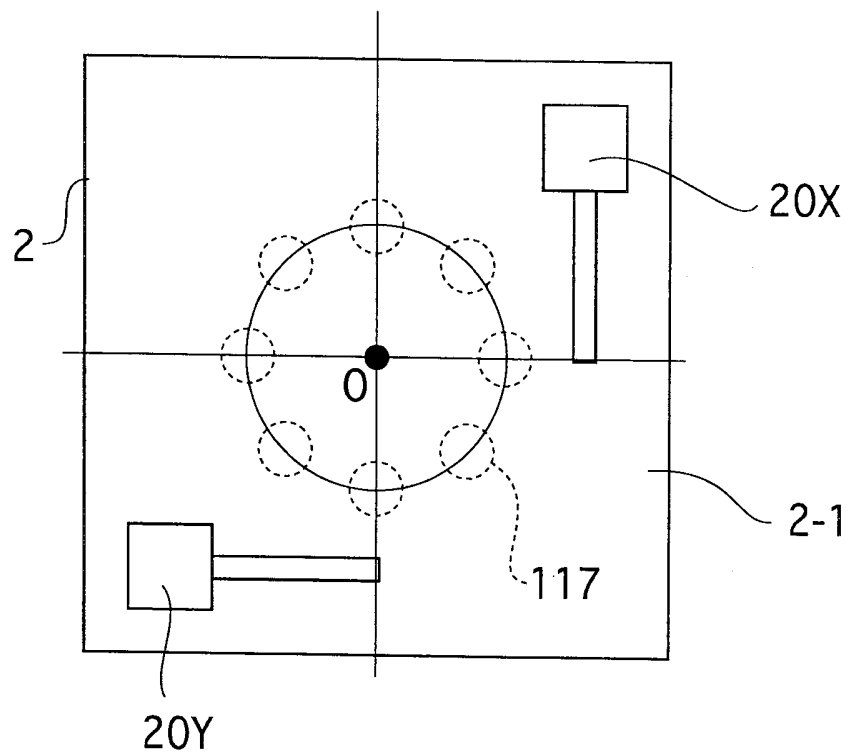
[図84C]



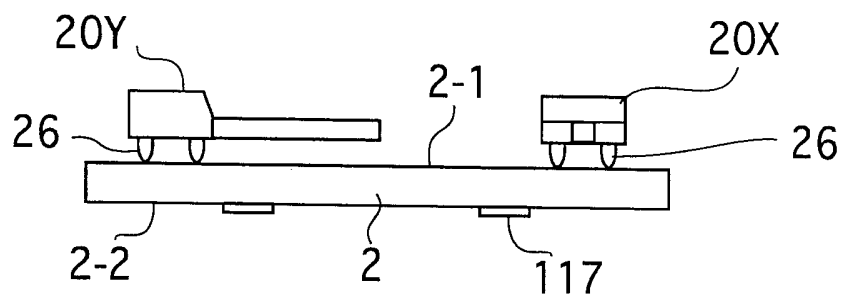
[図85]



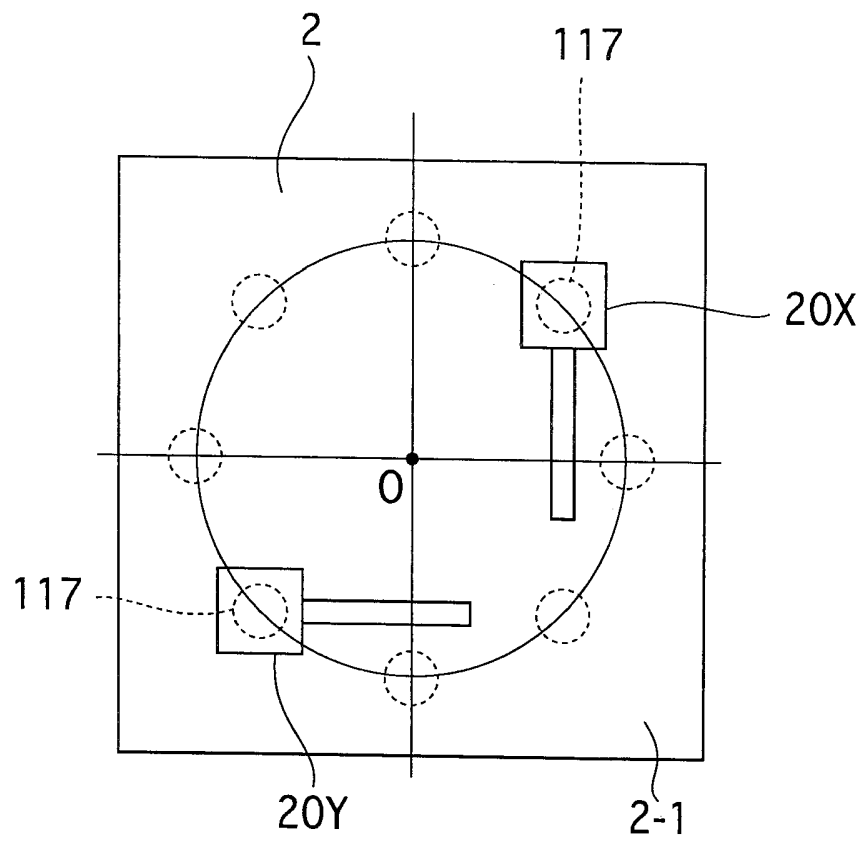
[図86A]



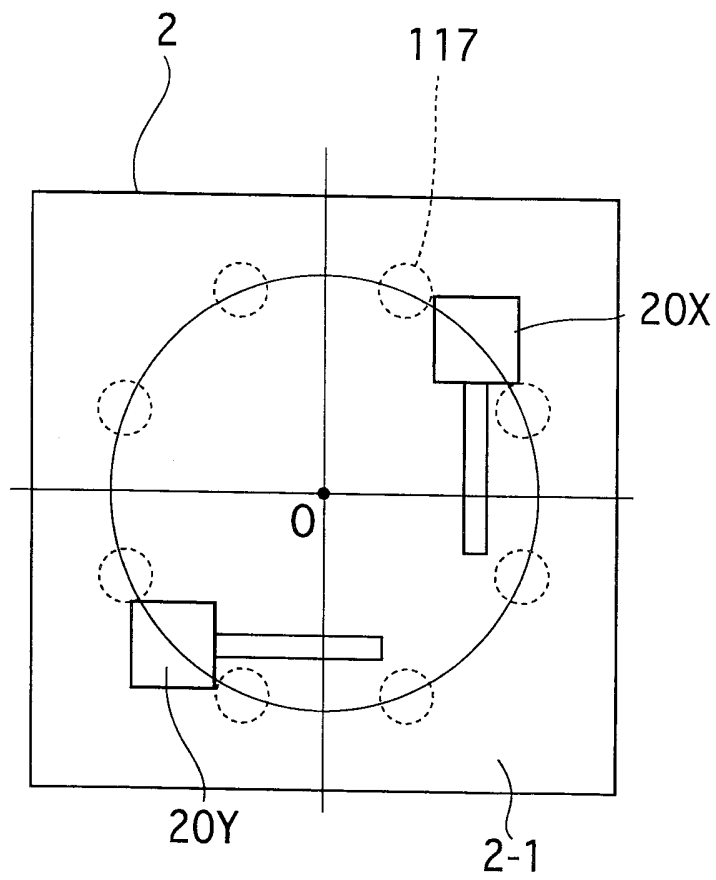
[図86B]



[図87]



[図88]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/303330

A. CLASSIFICATION OF SUBJECT MATTER G01C19/56 (2006.01) , G01P9/04 (2006.01)		
According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) G01C19/56 (2006.01) , G01P9/04 (2006.01) , H01L41/00-41/22 (2006.01) , H03H9/00-9/76 (2006.01)		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2006 Kokai Jitsuyo Shinan Koho 1971-2006 Toroku Jitsuyo Shinan Koho 1994-2006		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-266135 A (Daishinku Corp.) , 28 September, 1999 (28.09.99) , Par. Nos. [0016] to [0024]; Figs. 1 to 5 (Family: none)	1, 2, 12, 20 3, 4, 8-11, 13-16, 21-23
Y	JP 8-264540 A (NEC Corp.) , 11 October, 1996 (11.10.96) , Full text; all drawings (Family: none)	3
Y	JP 2001-308141 A (Sony Corp.) , 02 November, 2001 (02.11.01) , Par. Nos. [0050] to [0059]; Figs. 11 to 15 & US 2001/51396 A1 Par. Nos. [0102] to [0126]; Figs. 14 to 19	4
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 20 March, 2006 (20.03.06)		Date of mailing of the international search report 04 April, 2006 (04.04.06)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/303330

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 11-264730 A (Masayoshi ESASHI), 28 September, 1999 (28.09.99), Full text; all drawings (Family: none)	8, 9
Y	WO 98/41818 A (Hitachi, Ltd.), 24 September, 1998 (24.09.98), Page 12, line 24 to page 13, line 7; Fig. 11 (Family: none)	10
Y	JP 3-2614 A (Tokyo Keiki Co., Ltd.), 09 January, 1991 (09.01.91), Full text; all drawings (Family: none)	11
Y A	JP 2005-39435 A (Toyo Communication Equipment Co., Ltd.), 10 February, 2005 (10.02.05), Par. No. [0017]; Fig. 3 (Family: none)	13-16 6, 7
Y	JP 10-51263 A (Riba Eretokku Kabushiki Kaisha), 20 February, 1998 (20.02.98), Par. Nos. [0054] to [0058]; Fig. 19 (Family: none)	21
Y	JP 8-78954 A (Citizen Kabushiki Kaisha), 22 March, 1996 (22.03.96), Par. No. [0244] (Family: none)	22
Y	JP 7-201650 A (Kinseki Kabushiki Kaisha), 04 August, 1995 (04.08.95), Full text; all drawings (Family: none)	23
A	JP 2000-278080 A (Toyo Communication Equipment Co., Ltd.), 06 October, 2000 (06.10.00), Full text; all drawings (Family: none)	6, 7
A	WO 2000/33455 A (Seiko Epson Corp.), 08 June, 2000 (08.06.00), Full text; all drawings & JP 3678148 B & US 6762537 B1	17-19
A	JP 4-18732 A (Mitsubishi Electric Corp.), 22 January, 1992 (22.01.92), Full text; all drawings (Family: none)	18

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. G01C19/56(2006.01), G01P9/04(2006.01)											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. G01C19/56(2006.01), G01P9/04(2006.01), H01L41/00-41/22(2006.01), H03H9/00-9/76(2006.01)											
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2006年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2006年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2006年</td> </tr> </table>				日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2006年	日本国実用新案登録公報	1996-2006年	日本国登録実用新案公報	1994-2006年
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2006年										
日本国実用新案登録公報	1996-2006年										
日本国登録実用新案公報	1994-2006年										
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）											
C. 関連すると認められる文献											
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号									
X Y	JP 11-266135 A(株式会社大真空)1999.09.28, 段落【0016】－【0024】，第1－5図(ファミリーなし)	1, 2, 12, 20 3, 4, 8-11, 13- 16, 21-23									
Y	JP 8-264540 A(日本電気株式会社)1996.10.11,全文全図 (ファミリーなし)	3									
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献											
国際調査を完了した日 20.03.2006		国際調査報告の発送日 04.04.2006									
国際調査機関の名称及びあて先 日本国特許庁（ISA/JP） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 岡田 卓弥 電話番号 03-3581-1101 内線 3258	2S 3405								

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2001-308141 A(ソニー株式会社)2001.11.02, 段落【0050】－【0059】，第11－15図 & US 2001/51396 A1 段落[0102]－[0126]，第14－19図	4
Y	JP 11-264730 A(江刺正喜)1999.09.28,全文全図(ファミリーなし)	8, 9
Y	WO 98/41818 A(株式会社日立製作所)1998.09.24,第12頁第24行 －第13頁第7行，第11図(ファミリーなし)	10
Y	JP 3-2614 A(株式会社東京計器)1991.01.09,全文全図 (ファミリーなし)	11
Y A	JP 2005-39435 A(東洋通信機株式会社)2005.02.10, 段落【0017】，第3図(ファミリーなし)	13-16 6, 7
Y	JP 10-51263 A(リバーエレテック株式会社)1998.02.20, 段落【0054】－【0058】，第19図(ファミリーなし)	21
Y	JP 8-78954 A(シチズン時計株式会社)1996.03.22,段落【0244】 (ファミリーなし)	22
Y	JP 7-201650 A(キンセキ株式会社)1995.08.04,全文全図 (ファミリーなし)	23
A	JP 2000-278080 A(東洋通信株式会社)2000.10.06,全文全図 (ファミリーなし)	6, 7
A	WO 2000/33455 A(セイコーエプソン株式会社)2000.06.08,全文全図 & JP 3678148 B & US 6762537 B1	17-19
A	JP 4-18732 A(三菱電機株式会社)1992.01.22,全文全図 (ファミリーなし)	18