(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
H01J 1/30

(45) 공고일자 2005년09월02일
(11) 등록번호 10-0485917
(24) 등록일자 2005년04월19일

(21) 출원번호 10-1997-0059147
(22) 출원일자 1997년11월11일

(65) 공개번호 10-1998-0042263
(43) 공개일자 1998년08월17일

(30) 우선권주장 특원평8-298765 1996년11월11일 일본(JP)

(73) 특허권자 마츠시타 덴끼 산교 가부시키가이샤
일본 오오사카후 가도마시 오오아자 가도마 1006

(72) 발명자 모리타 기요유키
일본국 교토후 야와타시 야와타시미즈이 45-1-303

코가 게이스케
일본국 교토후 우지시 마키시마쵸 6-1-634

(74) 대리인 김영철

심사관 : 이정재

(54) 진공밀봉전계방출형전자소스장치및그제조방법

요약

본 발명은 진공 밀봉 전계 방출형 전자 소스 장치에 있어서, 음극으로부터의 전자 방출의 ON/OFF 제어를 하기 위한 소비 전력의 저감을 꾀하는 동시에 안정된 특성을 얻을 수 있도록 하기 위한 것으로, 실리콘 기판(10)의 중앙에는 접시모양의 오목부(11)가 형성되어 있고, 오목부(11)의 저면에는 복수의 음극(13)이 서로 소정의 간격을 두고 매트릭스 형상으로 형성되어 있다. 실리콘 기판(10) 위에서의 각 음극(13)의 주변부에는 인출전극(14)이 절연막을 통해 형성되어 있고, 일단이 인출전극(14)에 접속된 제 1 배선층(17)은 실리콘 기판(10)의 오목부(11)의 경사면(11a) 및 볼록부(12) 상으로 연장되어 있다. 투명한 유리판 등으로 구성되는 평판상의 밀봉용 덮개(20)는 절연성의 환상 밀봉재(18)를 통해 실리콘 기판(10)과 일체화되어 있다. 실리콘 기판(10), 환상 밀봉재(18) 및 밀봉용 덮개(20)에 의해 형성되는 공간영역은 진공상태이다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명의 일실시예에 의한 진공 밀봉 전계 방출형 전자 소스 장치의 단면도.

도 2의 (a)~(d)는 상기 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법의 각 공정을 도시한 단면도.

도 3의 (a)~(d)는 상기 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법의 각 공정을 도시한 단면도.

도 4의 (a), (b)는 상기 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법의 각 공정을 도시한 단면도.

도 5의 (a)~(d)는 상기 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법의 각 공정을 도시한 단면도.

도 6은 종래의 진공 밀봉 전계 방출 전자 소스 장치의 단면도.

도 7은 전계 방출형 전자 소스 장치가 적용되는 매트릭스 표시 패널의 라인제어의 회로구성을 도시한 도면.

* 도면의 주요 부분에 대한 부호의 설명 *

10 : 실리콘 기판 11 : 오목부

11a : 경사면 12 : 볼록부

13 : 음극 14 : 인출전극

15 : 제 1 산화 실리콘막 16 : 제 2 산화 실리콘막

17 : 제 1 배선층 18 : 환상 밀봉재

20 : 밀봉용 덮개 21 : 양극

22 : 형광체 박막 23 : 제 2 배선층

20 : 질화실리콘 마스크 31 : 산화실리콘 마스크

32A : 원주형상체 32B : 장구형의 기둥형상체

33 : 열산화막 33 : 도전성막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 전자선 여기 레이저, 평면형의 고체 표시소자 및 초고속의 미소진공소자 등으로의 응용이 기대되는 전계 방출형 전자 소스 장치에 관한 것으로, 특히 반도체 기판과 밀봉용 덮개에 의해 형성되는 공간 영역이 진공으로 유지되어 있고, 소형의 평판형 디스플레이에 이용하는 진공 밀봉 전계 방출형 전자 소스 장치 및 그 제조 방법에 관한 것이다.

전계 방출형 전자 소스 장치의 기술 분야에서는 반도체 미세가공 기술의 진전에 의해 미소한 음극 구조의 형성이 가능하게 되었기 때문에 진공 마이크로 일렉트로닉스 기술의 개발이 활발하게 이루어지고 있다.

종래보다도 낮은 구동 전압으로 동작 가능한 고성능인 전자원을 실현하기 위해 반도체 기판을 이용하는 동시에 LSI 기술을 응용하여, 인출전극의 개구부 구경의 축소화 및 급격한 선단부를 갖는 음극의 제작 등의 접근 방법이 행해지고 있다.

한편, 전자 소스의 평판형 디스플레이로의 응용을 생각한 경우, 음극 어레이부를 전자 방출 가능한 고진공 분위기로 유지하기 위한 진공 용기의 구조 및 진공 밀봉 기술의 확립이 중요한 과제로 되어 있다.

도 6은 일본국 특개평 6-342633에 나타나 있는 종래의 진공 밀봉 전계 방출형 전자 소스 장치의 단면 구조를 도시한다. 도 6에 도시된 바와 같이, p형의 실리콘 기판(100) 위에 n형 불순물 확산영역(101)이 형성되어 있고, p형 실리콘 기판(100)의 n형 불순물 확산영역(101)이 형성되어 있지 않은 영역에는 음극 어레이부를 구성하는 복수의 침 형상의 음극(102)이 형성되어 있다. 각 음극(102)의 주위에는 절연막(103)을 개재하여 인출전극(104)이 형성되어 있고, 인출전극(104)은 배선층(105)에 의해 n형 불순물 확산영역(101)과 전기적으로 접속되어 있다.

실리콘 기판(100)의 위쪽에는 중앙에 오목부(110a)를 갖는 글래스 등으로 된 투명하고 또한 절연성인 밀봉용 덮개(110)가 설치되어 있고, 해당 밀봉용 덮개(110)의 둘레부(110b)는 실리콘 기판(100)의 n형 불순물 확산영역(101)의 거의 중앙부 상에 위치하고 있다. 밀봉용 덮개(110)의 오목부(110a)의 저면에는 음극(102)으로부터 방출된 전자를 수속(收束)시키기 위한 투명한 도전성 재료로 된 양극(111)이 형성되어 있고, 이 양극(111)의 하면에는 도시하지 않은 형광체 박막이 형성되어 있다.

실리콘 기판(100)의 n형 불순물 확산영역(101) 위에서의 외측부분에는 외부전극 접속단자(106)가 설치되어 있고, 이 외부전극 접속단자(106)와 배선층(105)은 n형 불순물 확산영역(101)을 통해 전기적으로 접속되어 있다.

발명이 이루고자 하는 기술적 과제

상기 종래의 진공 밀봉 전계 방출형 전자 소스 장치에서는 인출전극(104)과 외부전극 접속단자(106)를 배선층(105) 및 실리콘 기판(100)에 형성된 n형 불순물 확산영역(101)을 통해 전기적으로 접속하고 있어 실리콘 기판(100) 상에서의 밀봉용 덮개(110)의 둘레부(110b)의 아래쪽 부분에 배선층을 형성할 필요가 없기 때문에 실리콘 기판(100) 상에서의 밀봉용 덮개(110)의 둘레부(110b)의 아래쪽부분에 배선에 의한 단차부가 존재하지 않는다. 이 때문에 실리콘 기판(100)과 밀봉용 덮개(110)의 기밀성이 우수하다.

그런데, 진공 밀봉 전계 방출형 전자 소스 장치에서는 인출전극(104)에 예를 들면 60볼트 정도의 바이어스 전압을 인가하는 동시에, 인출전극(104)에 ±10 볼트 정도의 제어 전압을 인가함으로써, 음극(102)으로부터의 전자방출의 ON/OFF를 제어하고 있다. 즉, 인출전극(104)에는 통상 수십 볼트, 예를 들면 20볼트 정도의 전위차를 갖는 제어 전압의 인가가 필요하게 된다. 또한, p형의 실리콘 기판(100)과 n형 불순물 확산영역(101)의 경계면에는 pn 접합부가 존재하며, 이 pn 접합부에는 접합용량에 의존하는 부유용량이 존재한다. 외부전극 접속단자(106)와 배선층(105)을 n형 불순물 확산영역(101)을 통해 전기적으로 접속하기 위해서는 n형 불순물 확산영역(101)의 면적이 커지지 않을 수 없기 때문에 pn 접합부의 부유용량도 커지게 된다.

소비 전력은 인가되는 제어 전압과 부유 용량과의 곱에 비례하기 때문에 음극(102)으로부터의 전자 방출의 ON/OFF 제어를 하기 위해서는 상기의 이유로 소비전력이 커지지 않을 수 없다는 문제가 있다.

또한, n형 불순물 확산영역(101)을 형성할 때 불순물 농도의 불균일이 생기면, 고전압 인가시에 pn 접합부에서 접합불량이 발생하기 때문에 전계방출형 전자 소스 장치의 특성의 신뢰성이 손상된다는 문제도 있다.

또한, 상기 종래의 진공 밀봉 전계 방출형 전자 소스 장치에서는 양극(111)에 통상 100볼트 이상의 전압을 인가하고, 음극(102)으로부터 방출된 전자를 형광체 박막을 통해 양극(111)에 수속시킬 필요가 있지만, 전계 방출형 전자 소스 장치를 소형으로 또한 고정밀한 표시 패널에 적용하는 경우에는, 배선층의 피치를 고려하면 양극(111)에 수속된 전자를 배선층을 통해 밀봉용 덮개(110)의 외부로 인출하기가 매우 곤란하다는 문제가 생긴다. 이하, 이 문제에 대하여 상세히 설명하기로 한다.

도 7은 매트릭스 표시 패널의 라인제어 회로구성을 도시하며, 도 7에서 130은 매트릭스 표시패널, 131은 X방향의 라인을 제어하는 X라인 제어부, 132는 Y방향의 라인을 제어하는 Y라인 제어부로서, X_1, X_2, X_3,……X_n은 X라인 제어부(131)에 의해 제어되는 X방향 배선, Y_1, Y_2, Y_3,……Y_n은 Y라인 제어부(132)에 의해 제어되는 Y방향 배선이다. 예를 들면, VGA 규격의 표시를 1인치 이하의 패널 크기로 실현하는 경우, X방향 배선 및 Y 방향 배선의 피치 p는 각각 30μm 이하가 되기 때문에 매우 미세한 배선 기술이 요구된다. 현재의 반도체 가공기술에 의하면 상기와 같은 미세한 피치의 배선을 평면 상에 형성하는 것은 가능하지만, 입체형상으로 형성하는 것은 곤란하다. 따라서, 상기 종래의 진공 밀봉 전계 방출형 전자 소스 장치에 있어서, 양극(111)으로부터 연장되는 미세한 피치의 배선을 밀봉용 덮개(110)의 오목부(100a)의 저면 및

측벽면을 따라 굴곡시키고 또 n형 불순물 확산영역(101)들 사이를 통과하여 연장되도록 형성하는 것은 곤란하다. 또한, 양극(111)의 스위칭 동작을 하기 위해서는 복수층의 양극용 배선이 필요하게 되지만 밀봉용 덮개(110)의 오목부(100a)의 저면 및 측벽면을 따라 복수의 배선층을 형성하기는 매우 곤란하다.

가장 특수한 배선구조, 예를 들면 밀봉용 덮개(110)에 관통구멍을 설치하여 양극(111)으로부터 연장되는 배선을 밀봉용 덮개(110)의 외부와 접속하는 구조도 고려되지만, 이러한 특수한 배선구조를 채용하는 경우에는 공정 및 제조비용이 증가한다는 새로운 문제가 발생한다.

본 발명은 상술한 문제점을 감안하여 이루어진 것으로, 진공 밀봉 전계 방출형 전자 소스 장치에서 음극으로부터의 전자 방출의 ON/OFF 제어를 하기 위한 소비전력의 저감을 꾀하는 동시에, 안정된 특성을 얻을 수 있도록 하는 것을 제 1의 목적으로 하고, VGA 규격의 표시를 1인치 이하의 패널 크기로 실현되도록 하는 것을 제 2의 목적으로 한다.

발명의 구성 및 작용

상기 제 1의 목적을 달성하기 위하여 본 발명은, 반도체 기판에 오목부를 설치하는 동시에, 오목부의 저면에 음극 및 인출전극을 형성하고, 이 인출전극으로부터 연장되는 인출전극용 배선을 오목부의 벽면 및 오목부의 주위에 형성되는 볼록부의 상면을 따라 형성하는 것이다.

구체적으로, 본 발명에 의한 진공 밀봉 전계 방출형 전자 소스 장치는 반도체 기판과, 반도체 기판에 형성된 오목부와 반도체 기판의 오목부의 저면에 형성된 반도체 재료로 된 음극과, 반도체 기판의 오목부의 저면에 절연층을 통해 형성된 도전성 재료로 되고, 음극과 해당하는 위치에 개구부를 가지며, 음극으로부터 전자를 방출시키는 인출전극과, 반도체 기판의 오목부를 덮도록 설치된 투명하고 절연성인 평판으로 된 밀봉용 덮개와, 반도체 기판의 오목부의 벽면 및 이 오목부의 주위에 형성된 볼록부의 상면을 따라 형성되고, 일단이 인출전극에 접속되어 있는 동시에 타단이 외부로 연장되는 인출전극용 배선을 구비하고, 반도체 기판과 밀봉용 덮개에 의해 형성되는 공간영역은 진공상태로 유지되어 있다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치에 의하면, 인출전극과 외부는 반도체 기판의 오목부의 벽면 및 이 오목부 주위에 형성된 볼록부의 상면을 따라 연장되는 인출전극용 배선에 의해 접속되어 있기 때문에 종래의 진공 밀봉 전계 방출형 전자 소스 장치와 같이 pn 접합부의 부유용량이 발생하지 않는다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치는 반도체 기판과 밀봉용 덮개 사이에 오목부를 둘러싸도록 설치된 절연성의 환상 밀봉재를 구비하는 것이 바람직하다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치가 절연성의 환상 밀봉재를 구비하고 있는 경우, 환상 밀봉재는 밀봉용 덮개와 일체로 형성되어 있고, 환상 밀봉재의 반도체 기판과의 접촉면은 평탄화되어 있는 것이 더욱 바람직하다.

상기 제 2의 목적을 달성하기 위해 본 발명의 진공 밀봉 전계 방출형 전자 소스 장치가 절연성의 환상 밀봉재를 구비하고 있는 경우, 밀봉용 덮개의 반도체 기판과의 대향면에 형성된 도전성 재료로 되고, 음극으로부터 방출된 전자를 수속시키는 양극과, 양극의 반도체 기판측의 면에 형성된 발광성 박막과, 밀봉용 덮개의 반도체 기판과의 대향면에 형성되고 일단이 양극에 접속되는 동시에 타단이 환상 밀봉재를 관통하여 외부로 연장되는 양극용 배선을 구비하는 것이 보다 바람직하다.

이와 같이 하면, 평판상의 밀봉용 덮개의 반도체 기판과의 대향면에 양극을 형성하였기 때문에 반도체 기판에 형성된 오목부의 저면에 음극을 형성한 구성과 맞추어서 양극과 음극의 간격을 반도체 프로세스에 의해서 형성할 수 있는 반도체 기판의 오목부의 깊이에 의해 제어할 수 있다. 또한, 평판상의 밀봉용 덮개의 반도체 기판과의 대향면에 양극용 배선을 형성하는 동시에 인출용 배선이 형성된 반도체 기판과 양극용 배선이 형성된 밀봉용 덮개 사이에 절연성의 환상 밀봉재를 개재시켰기 때문에 인출전극용 배선 및 양극용 배선의 피치를 작게 할 수 있다.

이 경우, 인출전극용 배선은 하나의 방향으로 연장되도록 형성되어 있는 동시에 양극용 배선은 하나의 방향과 교차하는 다른 방향으로 연장되도록 형성되어 있는 것이 더욱 바람직하다.

본 발명에 의한 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법은 반도체 기판 위에 환상의 에칭 마스크를 형성한 후, 이 에칭 마스크를 이용하여 반도체 기판에 대하여 에칭함으로써 반도체 기판에 오목부를 형성하는 오목부 형성공정과, 반도체 기판의 오목부의 저면에 반도체 재료로 된 음극을 형성하는 음극형성 공정과, 반도체 기판 상에 전면에 걸쳐 절연막 및 도전막을 차례로 퇴적한 후, 도전막에서의 음극 주변부를 제거하는 동시에 도전막을 패턴화함으로써 반도체기판의 오목부의 저면에 절연층을 사이에 개재하여 음극과 대응하는 위치에 개구부를 갖고 음극으로부터 전자를 방출시키는 인출전

극 및 일단이 인출전극에 접속되고 또 타단이 반도체 기판의 단부로 연장되는 인출전극용 배선을 형성하는 인출전극 형성공정과, 투명하고 절연성인 평판으로 된 밀봉용 덮개에 도전성 재료로 이루어지고 음극으로부터 방출된 전자를 수속시키는 양극과, 일단이 이 양극에 접속되고 또한 타단이 밀봉용 덮개의 단부로 연장되는 양극용 배선을 형성하는 양극 형성공정과, 양극 위에 발광성 박막을 형성하는 발광성 박막 형성공정과, 밀봉용 덮개의 둘레부에 표면이 평탄화된 환상 밀봉재를 형성하는 밀봉재 형성공정과, 반도체 기판과 밀봉용 덮개를 환상 밀봉재를 통해 일체화한 후, 반도체 기판, 밀봉용 덮개 및 환상 밀봉재에 의해 형성되는 공간 영역을 진공상태로 하는 진공 밀봉 공정을 구비하고 있다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법에 의하면, 반도체 기판 위에 형성된 환상의 에칭 마스크를 이용하여 반도체 기판에 대하여 에칭하기 때문에 반도체 기판에 오목부를 제어성을 좋게 형성할 수 있다. 또한, 반도체 기판 상에 전면에 걸쳐 절연막 및 도전막을 순차 퇴적한 후, 도전막에서의 음극의 주변부를 제거하는 동시에 도전막을 패턴화하기 위해 반도체 기판의 오목부의 저면에 절연층을 통해 인출전극 및 인출전극용 배선을 형성할 수 있다. 또, 음극, 인출전극 및 인출전극용 배선이 형성된 반도체 기판과, 양극, 양극용 배선 및 형광체 박막이 형성된 평판으로 되는 밀봉용 덮개를 절연성의 환상 밀봉재를 통해 일체화하기 때문에 반도체 기판에 형성된 인출전극과 밀봉용 덮개에 형성된 양극용 배선이 환상 밀봉재에 의해 절연되어 있다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법에 있어서, 반도체 기판은 결정성 기판이고, 오목부 형성공정에서 에칭은 결정 이방성 에칭인 것이 바람직하다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법에서의 밀봉재형성공정은 화학기계 연마법에 의해 환상 밀봉재의 표면을 평탄화하는 공정을 포함하는 것이 바람직하다.

상술한 목적 및 기타의 목적과 본 발명의 특징 및 이점은 첨부 도면과 관련한 다음의 상세한 설명을 통해 보다 분명해 질 것이다.

(실시예)

이하, 본 발명의 실시예에 관한 진공 밀봉 전계 방출형 전자 소스 장치 및 그 제조 방법에 대하여 설명하기로 한다.

도 1은 본 발명의 실시예에 의한 진공 밀봉 전계 방출형 전자 소스 장치의 단면도이다. 도 1에 도시된 바와 같이, 실리콘 결정으로 된 실리콘 기판(10)의 중앙에는 접시모양의 오목부(11)가 형성되어 있고, 이에 따라 오목부(11) 주위에는 볼록부(12)가 형성되어 있다. 실리콘 기판(10)의 오목부(11) 저면에는 복수의 기둥형상의 음극(13)이 서로 소정의 간격을 두고 매트릭스 형상으로 형성되어 있고, 복수의 음극(13)에 의해 음극 어레이가 구성되어 있다. 각 음극(13)의 선단부는 결정 이방성 에칭 및 실리콘의 열산화 프로세스에 의해 형성된 반경 2nm 이하의 급격한 형상을 갖고 있다.

실리콘 기판(10) 상에서의 각 음극(13) 주변부에는 각 음극(13)을 중심으로 하고 또 미소한 개구부를 갖는 인출전극(14)이 제 1 산화실리콘막(15) 및 제 2 산화실리콘막(16)으로 이루어지는 절연막을 통해 형성되어 있고, 일단이 인출전극(14)에 접속된 제 1 배선층(17)은 실리콘 기판(10)의 오목부(11)의 경사면(11a) 및 볼록부(12) 위에 연장되도록 라인마다 형성되어 있다. 제 1 배선층(17)의 타단은 외부로 연장되어 도시하지 않은 인출용 외부 접속단자와 전기적으로 접속되어 있다.

실리콘 기판(10)의 위쪽에는 투명한 유리판 등으로 된 평판상의 밀봉용 덮개(20)가 설치되어 있고, 해당 밀봉용 덮개(20)는 실리콘 기판(10)의 볼록부(12)와의 사이에 위치하는 절연성 재료로 된 환상 밀봉재(18)를 통해 실리콘 기판(10)과 일체화되어 있다. 실리콘 기판(10), 환상 밀봉재(18) 및 밀봉용 덮개(20)에 의해 형성되는 공간영역은 소정의 진공도에 도달하도록 진공한 후, 저융점 글래스 밀봉재 등에 의해 진공 밀봉되어 있다. 이 경우, 공간영역의 기밀성을 양호하게 유지하기 위해 환상 밀봉재(18)에서의 실리콘 기판(10)과의 접촉면은 평탄화 처리가 실시되어 있다.

밀봉용 덮개(20)에는 실리콘 기판(10)과의 대향면에 투명하고 또한 도전성 재료로 된 양극(21) 및 형광체 박막(22)이 차례로 형성되어 있고, 일단이 양극(21)에 접속된 제 2 배선층(23)은 라인마다 환상 밀봉재(18)를 관통하여 외부로 연장되어 있다. 이 경우, 제 2 배선층(23)과 제 1 배선층(17)은 서로 직각으로, 예를 들면 제 1 배선층(17)이 X 방향으로, 제 2 배선층(23)이 Y방향으로 연장되어 있다.

본 실시예에서는 라인마다 하나의 방향으로 연장되는 제 2 배선층(23)은 평판상의 밀봉용 덮개(20)를 따라 형성되어 있는 한편, 라인마다 한 방향에 대하여 수직인 다른 방향으로 연장되는 제 1 배선층(17)은 실리콘 기판(10)의 볼록부(12)를 따라 형성되어 있고, 제 1 배선층(17)과 제 2 배선층(23) 사이에는 환상 밀봉재(18)가 개재되어 있기 때문에, 요컨대 인출

전극(14)으로부터 연장되는 제 1 배선층(17)과 양극(21)으로부터 연장되는 제 2 배선층(23)은 서로 독립적으로 형성되어 있기 때문에 VGA 규격의 표시를 1인치 이하의 패널 크기로 실현하는 경우에도 제 1 배선층(17) 및 제 2 배선층(23)의 형성은 용이하다.

또한, 인출전극(14)과 인출용 외부접속용 단자는 제 1 배선층(17)을 통해 접속되어 있기 때문에 종래의 진공 밀봉 전계 방출형 전자 소스 장치와 같이 pn 접합부의 부유용량이 발생하지 않기 때문에 소비전력의 증대라는 문제가 발생하지 않는 동시에, 불순물 확산영역의 불순물 농도의 불균일에 기인하여 전계방출형 전자 소스 장치의 특성이 손상된다는 문제도 발생하지 않는다.

또, 복수의 음극(13)으로 이루어지는 음극 어레이와 양극(21)의 표면에 형성된 형광체 박막(22)의 간격은 실리콘 기판(10)에 형성된 오목부(11)의 깊이에 의해서 규정되며, 반도체 프로세스에서 제어할 수 있기 때문에 신뢰성이 높은 진공용기를 간단한 가공 프로세스로 실현할 수 있다. 따라서, 종래의 진공 밀봉 전계 방출형 전자 소스 장치에서는 불가결하던 유리판으로 이루어지는 밀봉용 덮개에 오목부를 형성하는 공정을 생략할 수 있기 때문에, 신뢰성이 높은 진공용기를 저렴한 비용으로 제조할 수 있게 된다.

이하, 상기 실시예에 관한 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법에 대하여 도 2～도 5를 참조하여 설명하기로 한다.

우선, 실리콘 결정으로 된 실리콘 기판(10)의 (100)면에 스퍼터법 등을 이용하여 질화실리콘막을 퇴적한 후, 이 질화실리콘막 위에 포토리소그래피법을 이용하여 둘레부 이외의 영역이 개구한 레지스트 패턴을 형성한다. 그 후, 이 레지스트 패턴을 마스크로 하여 질화실리콘막에 대하여 드라이 에칭을 함으로써, 도 2의 (a)에 도시된 바와 같은 질화실리콘막으로 된 사각형 틀형상의 질화실리콘 마스크(30)를 형성한다. 이 경우, 질화실리콘 마스크(30)의 마스크 패턴의 방위를 실리콘 기판(10)의 (110)의 면방위를 따라 형성한다.

다음에, 질화실리콘 마스크(30)를 이용하여 실리콘 기판(10)에 대하여 KOH 용액 등으로 된 결정 이방성 에칭용 알칼리 용액에 의해 습식 에칭을 행함으로써, 도 2의 (b)에 도시된 바와 같이, 실리콘 기판(10)의 중앙부에 접시형상의 오목부(11)를 형성하는 동시에, 실리콘 기판(10)의 둘레부에 볼록부(12)를 형성한다. 이 경우, 실리콘 결정으로 된 실리콘 기판(10)에 대하여 결정 이방성 에칭을 행하기 때문에 오목부(11)의 벽면은 윗쪽으로 향하여 확장되는 테이퍼 형상이 된다. 또한, 에칭 용액의 농도 및 에칭 시간 등의 에칭 조건을 제어함으로써 원하는 깊이를 갖는 오목부(11)를 형성할 수 있다. 그 후, 열인산 용액을 이용하여 질화실리콘 마스크(30)를 제거한다.

다음에, 실리콘 기판(10) 위에 전면에 걸쳐서 열산화막을 형성한 후, 해당 열산화막에 대하여 포토리소그래피 및 드라이 에칭을 실시하여 도 2의 (c)에 도시된 바와 같이, 음극 형성용의 미소한 직경을 갖는 디스크형의 산화실리콘 마스크(31)를 형성한다.

다음에, 산화실리콘 마스크(31)를 이용하여 실리콘 기판(10)에 대하여 이방성 드라이 에칭을 함으로써 도 2의 (d)에 도시된 바와 같이, 실리콘 기판(10)의 오목부(11)의 저면에 원주형상체(32A)를 형성한다.

다음에, 결정 이방성의 성질을 갖는 에칭 용액, 예를 들면 에틸렌디아민과 피로카테콜의 혼합 용액을 이용하여 원주형상체(32A)에 대하여 습식 에칭을 하고, 도 3의 (a)에 도시된 바와 같이, 측면이 (331)면을 포함하는 면으로 되고 또한 중앙부가 들어간 형상의 장구형상체(32B)를 형성한다.

다음에, 장구형상체(32B)의 들어간 부분을 보호하기 위해 도 3의 (b)에 도시된 바와 같이 열산화법에 의해 장구형상체(32B)의 측벽에, 예를 들면 두께 10nm 정도의 엷은 열산화막(33)을 형성한 후, 다시 산화실리콘 마스크(31)를 이용하여 실리콘 기판(10)에 대하여 이방성의 드라이 에칭을 하여 실리콘 기판(10)을 수직으로 에칭함으로써 도 3의 (c)에 도시된 바와 같이, 장구형상의 기둥형상체(32C)를 형성한다.

다음에, 도 3의 (d)에 도시된 바와 같이, 열산화법에 의해 장구형의 기둥형상체(32C) 및 실리콘 기판(10)의 표면에, 예를 들면 두께100nm 정도의 제 1 산화실리콘막(15)을 형성함으로써 장구형상의 기둥형상체(32C)의 내부에 음극(13)을 형성한다.

다음에, 도 4의 (a)에 도시된 바와 같이, 제 1 산화실리콘막(15) 위에, 진공증착법에 의해 제 2 산화실리콘막(16) 및 인출전극(14)으로 이루어지는 도전성막(34)을 차례로 퇴적한다. 제 2 산화실리콘막(16)을 진공증착할 때 오존 가스를 도입함으로써 절연성이 뛰어난 양질의 제 2 산화실리콘막(16)을 형성할 수 있다. 또한, 도전성막(34)으로서 Nb 금속막을 이용하면, 후술하는 리프트 오프 공정에 의해 균일성이 뛰어난 인출전극(14)을 형성할 수 있다.

다음에, 버퍼드 불산 용액을 이용하여 초음파 분위기에서 습식 에칭을 행함으로써 음극(13)의 측벽부 및 상부에 존재하는 제 2 산화실리콘막(16)을 선택적으로 제거하는 동시에 산화실리콘 마스크(31) 위의 도전성막(34)을 리프트 오프하면, 도 4의 (b)에 도시된 바와 같이 미소한 개구를 가지는 인출전극(14) 및 음극(21)이 노출된다.

다음에, 도 5의 (a)에 도시된 바와 같이 투명하고 또한 절연성인 평판형상의 밀봉용 덮개(20) 위에 투명하고 또한 도전성을 갖는 ITO막을 퇴적한 후, 해당 ITO막을 패턴화하여 양극(21)을 형성한다.

다음에, 밀봉용 덮개(20) 위에 전면에 걸쳐서 절연성의 산화실리콘막을 퇴적한 후, 해당 산화실리콘막에 대하여 둘레부가 남도록 선택적으로 에칭하여 도 5의 (b)에 도시된 바와 같이, 밀봉용 덮개(20) 둘레부에 환상 밀봉재(18)를 형성한다. 그 후, 환상 밀봉재(18)의 표면을 CMP법(화학기계 연마법)등을 이용하여 평탄화한다.

다음에, 도 5의 (c)에 도시된 바와 같이, 양극(21)의 소정 부위에 형광체 박막(22)을 형성한다.

다음에, 도 5의 (d)에 도시된 바와 같이, 도 4의 (b)에 도시된 공정에서 얻어진 실리콘 기판(10)과, 도 5의 (c)에 도시된 바와 같은 공정에서 얻어진 밀봉용 덮개(20)를 마주 대향시켜 위치 맞춤을 한 후, 환상 밀봉재(18)를 통해 일체화한다. 그 후, 실리콘 기판(10), 밀봉용 덮개(20) 및 환상 밀봉재(18)에 의해서 형성되는 공간영역이 소정의 진공도가 될 때까지 진공흡인을 행한 후, 저융점 글래스 밀봉재 등에 의해 진공봉입하면 도 1에 도시된 바와 같은 진공 밀봉 전계 방출형 전자 소스 장치를 얻을 수 있다.

발명의 효과

상술한 바와 같이, 본 발명에 따른 진공 밀봉 전계 방출형 전자 소스 장치에 의하면, 인출전극과 외부를 반도체 기판의 오목부의 벽면 및 해당 오목부의 주위에 형성된 볼록부의 표면을 따라 연장되는 인출전극용 배선에 의해 접속하였기 때문에 pn 접합부의 부유용량이 발생하지 않기 때문에 소비전력의 증대라는 문제가 일어나지 않은 동시에 불순물 확산영역의 불순물 농도 불균일에 기인하여 전계방출형 전자 소스 장치의 특성이 손상되는 문제가 발생하지 않는다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치에서 환상 밀봉재가 밀봉용 덮개와 일체로 형성되고 또한 환상 밀봉재의 반도체 기판의 접촉면이 평탄화되어 있으면, 반도체 기판, 환상 밀봉재 및 밀봉용 덮개에 의해 형성되는 공간 영역의 기밀성이 일층 향상되기 때문에 진공 밀봉 전계 방출형 전자 소스 장치의 신뢰성이 향상된다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치가 밀봉용 덮개의 반도체 기판과의 대향면에 형성된 도전성 재료로 되고, 음극으로부터 방출된 전자를 수속시키는 양극과, 양극의 반도체 기판측의 면에 형성된 발광성 박막과, 밀봉용 덮개의 반도체 기판과의 대향면에 형성되고, 일단이 상기 양극에 접속되어 있는 동시에 타단이 상기 환상 밀봉재를 관통하여 외부로 연장되고 있는 양극용 배선을 구비하고 있으면, 양극과 음극의 간격을 반도체 프로세스에 의해 제어할 수 있기 때문에 양극과 음극의 간격이 균일하게 되므로 전자 소스 장치의 신뢰성이 향상되는 동시에, 밀봉용 덮개에 돌출부를 형성할 필요가 없기 때문에 전자 소스 장치의 제조비용의 저감을 도모할 수 있다.

또한, 양극용 배선을 밀봉용 덮개에 형성하는 한편, 인출전극용 배선을 반도체 기판에 형성하고, 밀봉용 덮개와 반도체 기판의 사이에 환상 밀봉재를 개재시켰기 때문에 양극용 배선 및 인출전극용 배선의 피치를 작게 할 수 있으므로 소형화된 전계방출형 전자 소스 장치에서의 음극 어레이의 매트릭스 구동이 용이하게 된다. 이 경우, pn 접합부에 기인하는 부유 용량이 생기지 않기 때문에 양극용 배선 및 인출전극용 배선의 배선 패턴에 따르는 용량이 작아지도록 설계하면, 전계방출형 전자 소스 장치의 고속 매트릭스 구동이 가능하게 된다.

또, 밀봉용 덮개가 평판형상이기 때문에 밀봉용 덮개에 복수의 배선층을 형성하는 것이 비교적 용이하므로 밀봉용 덮개에 복수층의 양극용 배선을 형성하여 양극의 스위칭 동작을 할 수 있게 된다.

이 경우, 인출전극용 배선이 하나의 방향으로 연장되도록 형성되어 있는 동시에 양극용 배선이 하나의 방향과 교차하는 다른 방향으로 연장되도록 형성되어 있으면, 음극 어레이의 매트릭스 구동을 보다 확실히 할 수 있다.

또한, 본 발명에 따른 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법에 의하면, 반도체 기판에 불순물 확산 영역을 형성할 필요가 없기 때문에 불순물 확산 영역의 불순물 농도의 불균일이 생기지 않는 동시에 양극과 음극의 간격을 반도체 프로세스에 의해 제어할 수 있기 때문에 전자 소스 장치의 신뢰성이 향상되는 동시에 밀봉용 덮개에 오목부를 형성할 필요가 없기 때문에 전자 소스 장치의 제조 비용의 저감을 도모할 수 있다.

또한, 반도체 기판에 형성된 인출전극과 밀봉용 덮개에 형성된 양극용 배선이 환상 밀봉재에 의해 절연되어 있기 때문에 인출전극 및 양극의 선의 순차 구동이 용이하게 되기 때문에 음극 어레이의 매트릭스 구동을 고속으로 확실하게 할 수 있다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법에 있어서, 결정성 기판에 대하여 결정 이방성 에칭에 의해 오목부를 형성하면, 반도체 기판에 형성되는 오목부의 깊이를 정확히 제어할 수 있는 동시에 오목부의 측벽을 테이퍼형상으로 형성할 수 있다.

본 발명의 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법에 있어서, 밀봉재 형성 공정이 화학기계 연마법에 의해 환상 밀봉재의 표면을 평탄화하는 공정을 포함하면, 반도체 기판, 환상 밀봉재 및 밀봉용 덮개에 의해 형성되는 공간 영역의 기밀성이 일층 향상되기 때문에 진공 밀봉 전계 방출형 전자 소스 장치의 신뢰성이 향상된다.

상술한 본 발명의 바람직한 실시예들은 예시의 목적을 위해 개시된 것이며, 당업자라면 첨부된 특허청구의 범위에 개시된 본 발명의 사상과 범위를 통해 각종 수정, 변경, 대체 및 부가가 가능할 것이다.

(57) 청구의 범위

청구항 1.

반도체 기판과,

상기 반도체 기판에 형성된 오목부와,

상기 반도체 기판의 오목부의 저면에 형성된 반도체 재료로 이루어지는 음극과,

상기 반도체 기판의 오목부의 저면에 절연층을 거쳐서 형성된 도전성 재료로 이루어지고, 상기 음극과 대응하는 위치에 개구부를 가지며, 상기 음극으로부터 전자를 방출시키는 인출전극과,

상기 반도체 기판의 오목부를 덮도록 설치된 투명하고 또한 절연성인 평판으로 이루어지는 밀봉용 덮개와,

상기 반도체 기판의 오목부의 벽면 및 이 오목부의 주위에 형성된 볼록부의 상부 면을 따라서 형성되고, 일단이 상기 인출전극에 접속되어 있는 동시에 타단이 외부로 연장되어 있는 인출전극용 배선을 포함하며,

상기 반도체 기판과 상기 밀봉용 덮개에 의해 형성되는 공간 영역은 진공상태로 유지되어 있는 것을 특징으로 하는 진공 밀봉 전계 방출형 전자 소스 장치.

청구항 2.

제 1 항에 있어서,

상기 반도체 기판과 상기 밀봉용 덮개 사이에 상기 오목부를 둘러싸도록 설치된 절연성의 환상 밀봉재를 더 포함하는 것을 특징으로 하는 진공 밀봉 전계 방출형 전자 소스 장치.

청구항 3.

제 2 항에 있어서,

상기 환상 밀봉재는 상기 밀봉용 덮개와 일체로 형성되고, 상기 환상 밀봉재의 상기 반도체 기판과의 접촉면은 평탄화되어 있는 것을 특징으로 하는 진공 밀봉 전계 방출형 전자 소스 장치.

청구항 4.

제 2 항에 있어서,

상기 밀봉용 덮개의 상기 반도체 기판과의 대향면에 형성된 도전성 재료로 이루어지며, 상기 음극으로부터 방출된 전자를 수속(收束)시키는 양극과,

상기 양극의 상기 반도체 기판측의 면에 형성된 발광성 박막과,

상기 밀봉용 덮개의 상기 반도체 기판과의 대향면에 형성되고, 일단이 상기 양극에 접속되는 동시에 타단이 상기 환상 밀봉재를 관통하여 외부로 연장되는 양극용 배선을 포함하는 것을 특징으로 하는 진공 밀봉 전계 방출형 전자 소스 장치.

청구항 5.

제 4 항에 있어서,

상기 인출전극용 배선은 한 방향으로 연장되도록 형성되는 동시에, 상기 양극용 배선은 상기 한 방향과 교차하는 다른 방향으로 연장되도록 형성되는 것을 특징으로 하는 진공 밀봉 전계 방출형 전자 소스 장치.

청구항 6.

반도체 기판 위에 환상의 에칭 마스크를 형성한 후, 이 에칭 마스크를 이용하여 상기 반도체 기판에 대하여 에칭함으로써, 상기 반도체 기판에 오목부를 형성하는 오목부 형성공정과,

상기 반도체 기판의 오목부의 저면에 반도체 재료로 된 음극을 형성하는 음극 형성공정과,

상기 반도체 기판 상에 전면에 걸쳐서 절연막 및 도전막을 순차 퇴적한 후, 상기 도전막에서 상기 음극의 주변부를 제거하는 동시에 상기 도전막을 패턴화함으로써, 상기 반도체 기판의 오목부의 저면에 절연층을 거쳐서, 상기 음극과 대응하는 위치에 개구부를 가지며 상기 음극으로부터 전자를 방출시키는 인출전극, 및 일단이 상기 인출전극에 접속되고 또한 타단이 상기 반도체 기판의 단부로 연장되는 인출전극용 배선을 형성하는 인출전극 형성공정과,

투명하고 또한 절연성인 평판으로 된 밀봉용 덮개에, 도전성 재료로 이루어져서 상기 음극으로부터 방출된 전자를 수속시키는 양극과, 일단이 이 양극에 접속되고 또한 타단이 상기 밀봉용 덮개의 단부로 연장되는 양극용 배선을 형성하는 양극 형성공정과,

상기 양극 위에 발광성 박막을 형성하는 발광성 박막 형성공정과,

상기 밀봉용 덮개의 둘레부에 표면이 평탄화된 환상 밀봉재를 형성하는 밀봉재 형성공정과,

상기 반도체 기판과 상기 밀봉용 덮개를 상기 환상 밀봉재를 통해 일체화한 후, 상기 반도체 기판, 밀봉용 덮개 및 환상 밀봉재에 의해 형성되는 공간 영역을 진공 상태로 하는 진공 밀봉 공정을 포함하는 것을 특징으로 하는 진공 밀봉 전계 방출형 전자 소스 장치의 제조방법.

청구항 7.

제 6 항에 있어서,

상기 반도체 기판은 결정성 기판이고, 상기 오목부 형성공정에서의 상기 에칭은 결정 이방성 에칭인 것을 특징으로 하는 진공 밀봉 전계 방출형 전자 소스의 제조 방법.

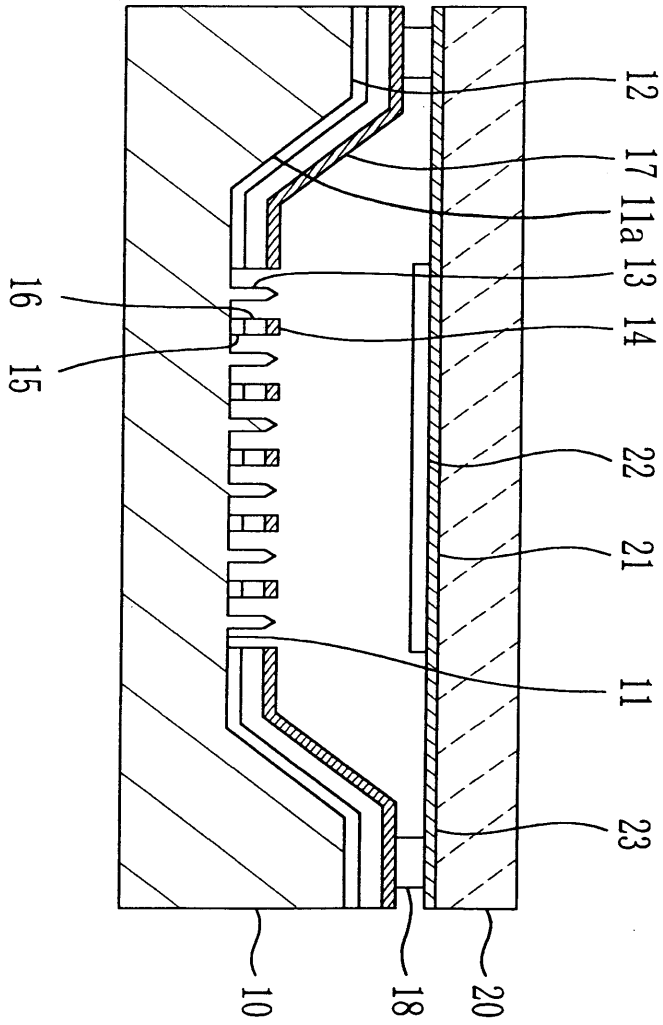
청구항 8.

제 6 항에 있어서,

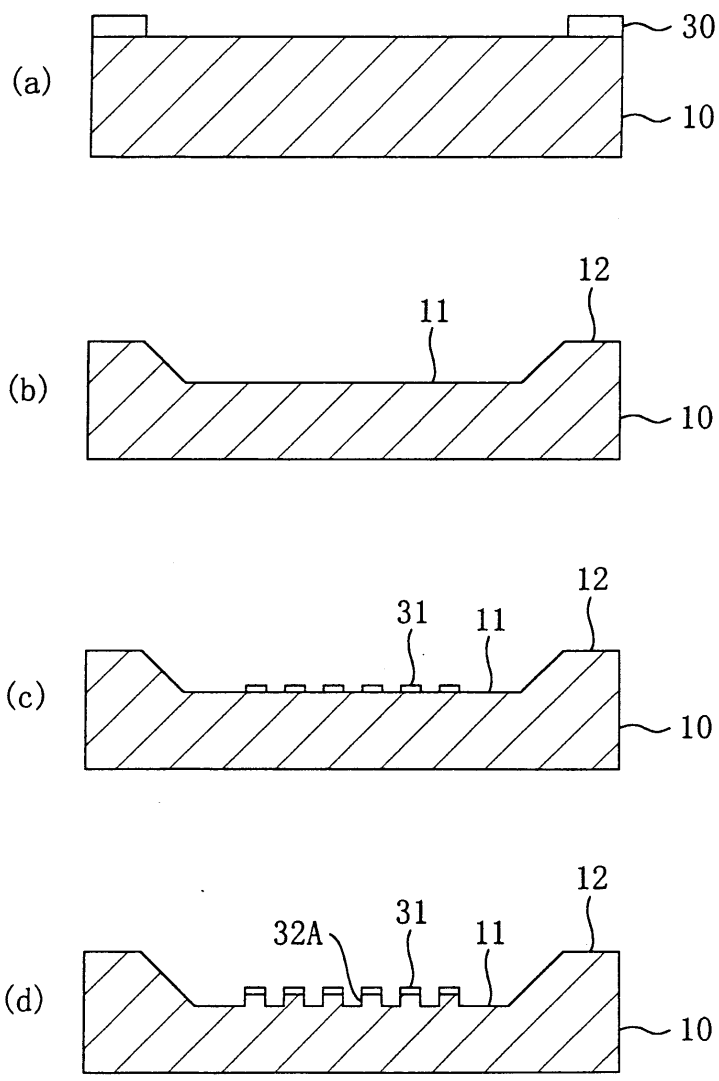
상기 밀봉재 형성공정은 화학기계 연마법에 의해 상기 환상 밀봉재의 표면을 평탄화하는 공정을 포함하는 것을 특징으로 하는 진공 밀봉 전계 방출형 전자 소스 장치의 제조 방법.

도면

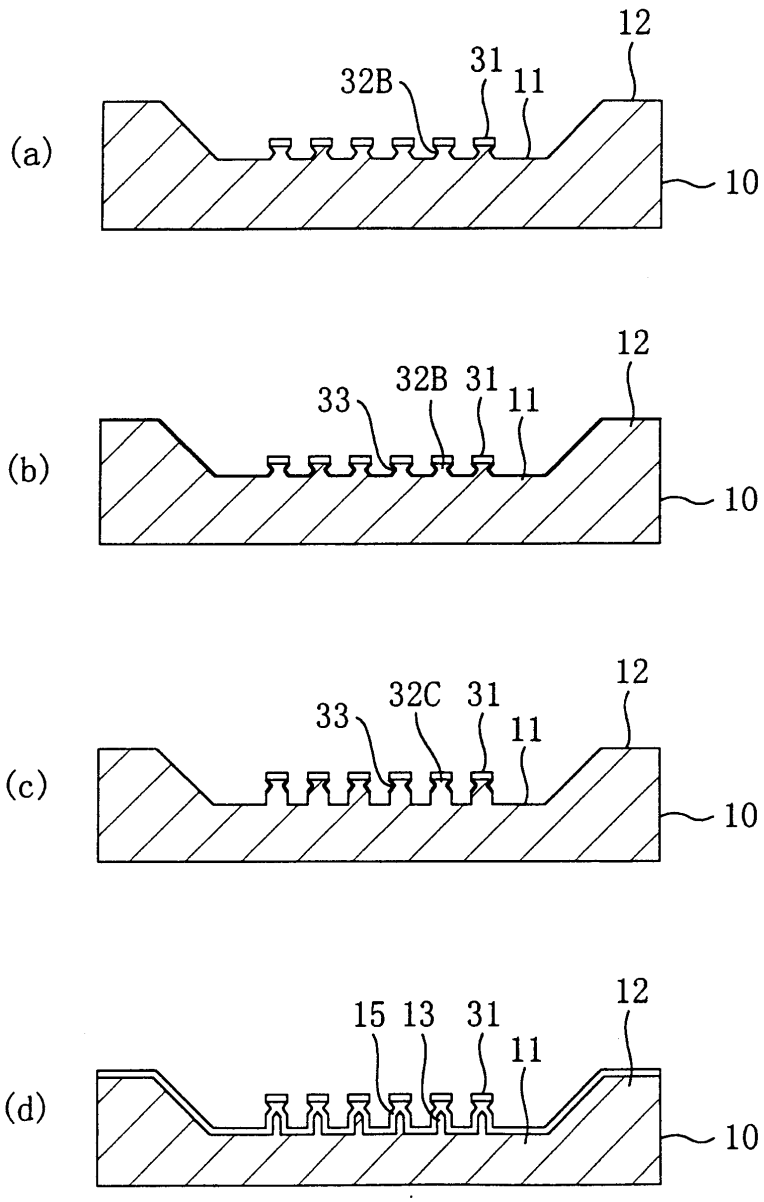
도면1



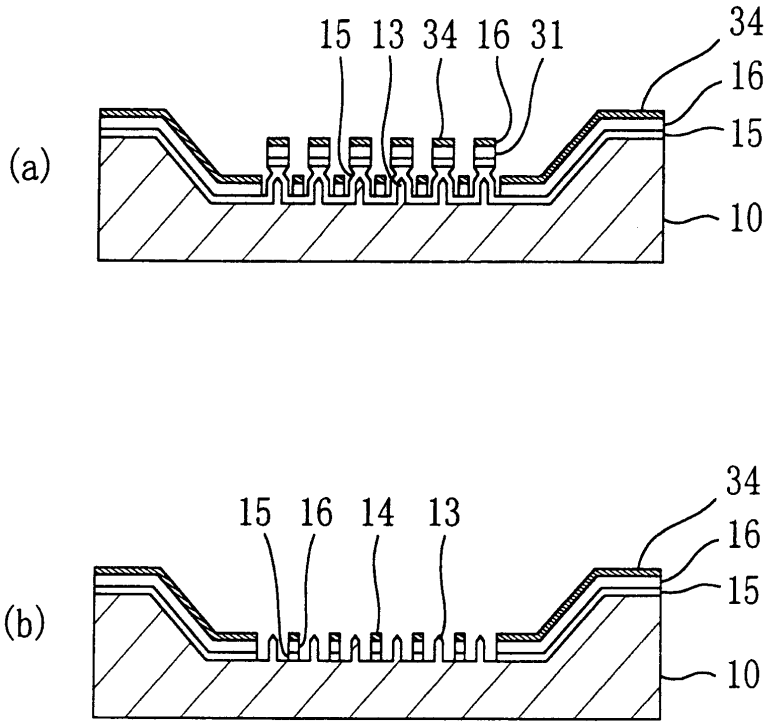
도면2



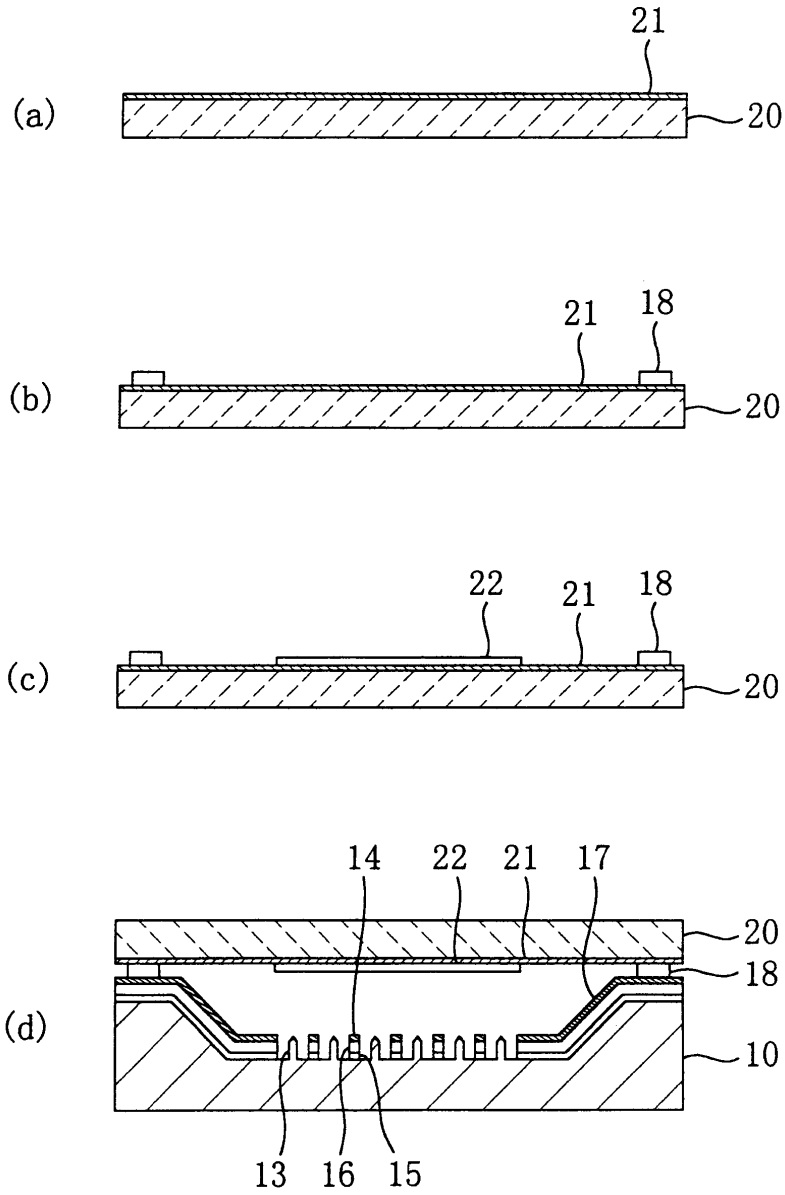
도면3


(a)
12
31
32B
11
10
(b)
12
33
32B
31
11
10
(c)
12
33
32C
31
11
10
(d)
12
15
13
31
11
10

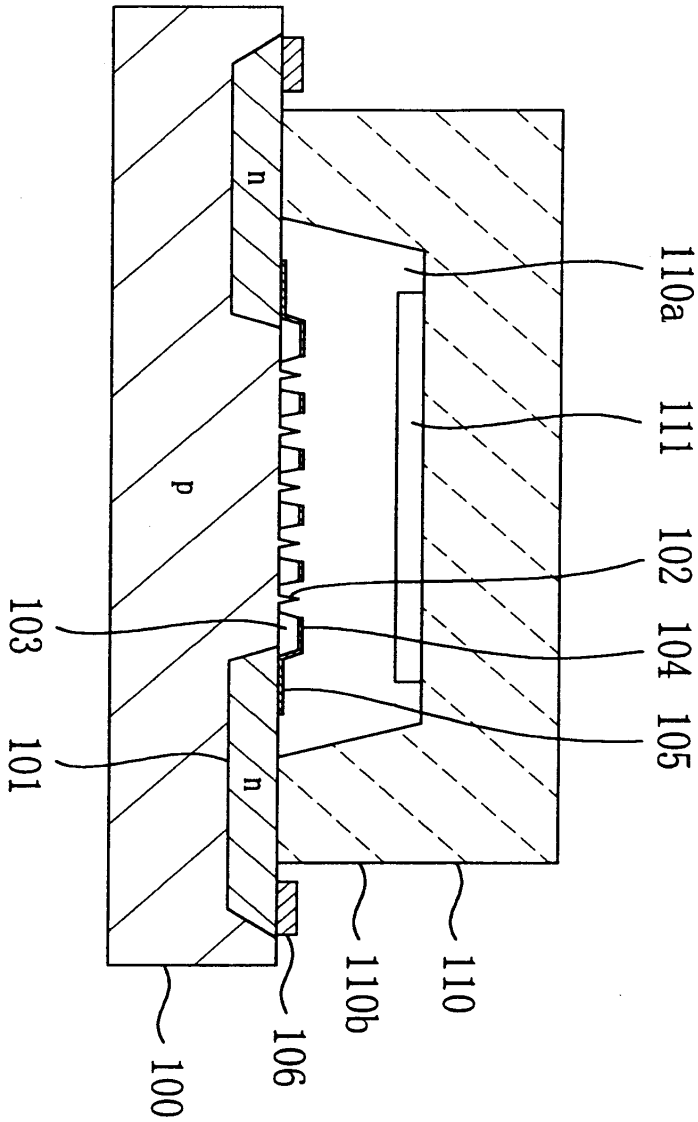
도면4



도면5



도면6



도면7

