ČESKOSLOVENSKÁ SOCIALISTICKÁ REPUBLIKA
(19)

ÚŘAD PRO VYNÁLEZY A OBJEVY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

(22) Přihlášeno 19 02 80
(21) (PV 1114-80)

(40) Zveřejněno **27 08 82**

(45) Vydáno 15 08 85

219473
(11) (B1)

(51) Int. Cl.[3]
G 01 R 31/00

(75)
Autor vynálezu MIKULÁŠEK ZDENĚK ing., BRNO

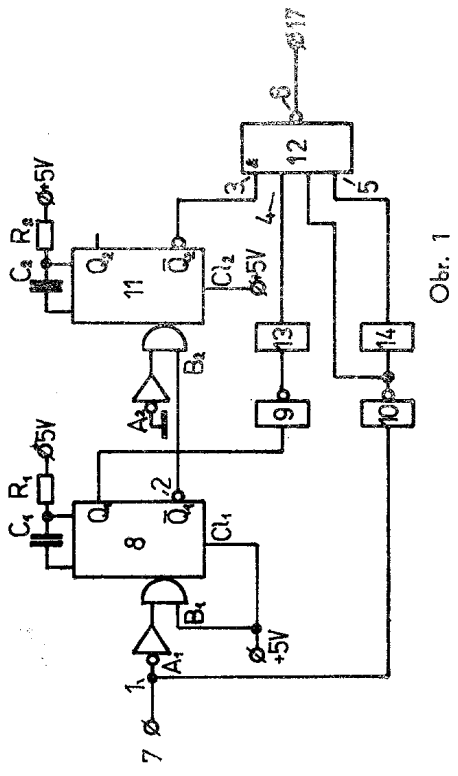
(54) Zpožďovací obvod logických signálů

1

Vynález se týká zpožďovacího obvodu logických signálů s krátkou zotavovací dobou. Zapojení je určeno k využití v oblasti TTL v sítích logiky v informačních měřicích systémech. Podstatou vynálezu je dvojice monostabilních klopných obvodů zapojených se dvěma invertory a dvěma pomocnými RC členy se čtyřvstupovým součinovým hradlem, jehož výstup současně tvoří výstupní svorku obvodu.

Zapojení je určeno k zpoždění účinku signálu v určitém časovém sledu.

2



Obr. 1

Vynález se týká zpožďovacího obvodu logických signálů s krátkou zotavovací dobou.

V sítích tranzistorové logiky (TTL), v informačních měřicích systémech se vyskytuje častá potřeba vytvořit obvody pro zpoždění účinku signálu v určitém časovém sledu. Jsou známá zapojení pro vytváření řádově malých zpoždění s použitím RC členů zařazených například za invertorem v jednom vstupu dvouvstupového hradla NAND. Druhý vstup hradla je pak spojen přímo s invertorem. Pro funkční činnost tohoto obvodu platí pak podmínka, že doba trvání logického signálu i doba prodlevy musí být větší než je doba zpoždění vlastního signálu zpožďovacím obvodem. Nevýhodou těchto obvodů je omezení na řádově malá zpoždění. Pro vytvoření větších zpoždění se používá zapojení podobného, jak bylo shora uvedeno, ale se třívstupovým hradlem. Jeho jeden vstup je spojen přes monostabilní klopný obvod. Toto zapojení je schopné vytvořit časově větší zpoždění dané časovou konstantou monostabilního klopného obvodu. Zařazený RC člen v obvodu eliminuje dopravní zpoždění monostabilního klopného obvodu. Pro funkci tohoto obvodu platí podmínka, že doba trvání logického signálu, stejně jako polovina opakovací doby signálu musí být větší než doba vlastního zpoždění signálu zpožďovacím obvodem. Nevýhodou je, že obvod je omezen jen na zpoždění s relativně menší dobou. Nevýhodou obou dosavadních zapojení je, že je nelze použít v případě, kdy doba prodlevy je rovna nebo menší než doba trvání logického signálu, protože by nedošlo k jejich zotavení, a tím ke správné funkci.

Tyto dosavadní nevýhody odstraňuje zpožďovací obvod logických signálů, tvořený dvojicí monostabilních klopných odvodů jehož podstatou je, že vstupní svorka obvodu je spojena se vstupem druhého invertoru a s prvním vstupem prvního monostabilního klopného obvodu, jehož druhý a třetí vstup je spojen s kladnou svorkou zdroje stejnosměrného napětí a první výstup je spojen se vstupem prvního invertoru, druhý výstup je spojen s druhým vstupem druhého monostabilního klopného obvodu, jehož první vstup je spojen se společným vodičem a třetí vstup je spojen s kladnou svorkou zdroje stejnosměrného napětí, zatímco jeho druhý výstup je spojen s prvním vstupem čtyřvstupového součinového hradla, jehož druhý vstup je spojen přes první RC člen s výstupem prvního invertoru, třetí vstup je spojen s výstupem druhého invertoru a přes druhý RC člen s jeho čtvrtým vstupem, přičemž výstupní svorka obvodu tvoří výstup čtyřvstupového součinového hradla.

Hlavní předností tohoto obvodu je, že umožňuje realizovat v širokém rozsahu zpoždění i při mnohem větší době trvání logického signálu než je doba prodlevy.

Vynález blíže objasní výkres, kde na obr. 1 je blokové schéma, na obr. 2 časový diagram funkce zpožďovacího obvodu.

Základem zpožďovacího obvodu jsou dva monostabilní klopné obvody **8**, **11**, například SN 74 123 nebo jeho ekvivalent UCY 74 123. Vstupní svorka **7** obvodu je spojena s prvním vstupem A_1 monostabilního klopného obvodu **8** a se vstupem druhého invertoru **10**. Druhý a třetí vstup B_1, Cl_1 je spojen s kladnou svorkou zdroje stejnosměrného napětí. Součástí monostabilního klopného obvodu **8** je první RC člen **13** spojený rovněž s kladnou svorkou zdroje stejnosměrného napětí. Druhý RC člen **14** je ekvivalentně zapojen u druhého monostabilního klopného obvodu **11**. První výstup Q_1 prvního monostabilního klopného obvodu **8** je spojen se vstupem prvního invertoru **9** a druhý výstup $\overline{Q_1}$ se druhým vstupem B_2 druhého monostabilního klopného obvodu **11**, jehož první vstup A_2 je spojen se společným vodičem a třetí vstup Cl_2 je spojen s kladnou svorkou zdroje stejnosměrného napětí. Druhý výstup Q_2 monostabilního klopného obvodu **11** je spojen s prvním vstupem čtyřvstupového součinového hradla **12**, spojeného druhým vstupem přes první RC člen **13** s výstupem prvního invertoru **9**, dále pak třetím vstupem s výstupem druhého invertoru **10** a čtvrtým vstupem přes druhý RC člen **14** s druhým invertorem **10**. Výstupní svorku **17** tvoří výstup čtyřvstupového součinového hradla **12**. Vztahové značky 1 až 6 naznačují uzlová místa pro časový diagram uvedený na obr. 2.

Funkční podstatu zapojení objasňuje časový diagram funkce na obr. 2. Časový sled impulsů na vertikální ose v bodech uzlů **1** až **6** zapojení je úměrný časovému úseku vyznačenému v horizontální ose. V časovém diagramu funkce obr. 2 představuje T_B dobu trvání vstupního signálu, T_A dobu prodlevy vstupního signálu. Pro správnou funkci musí být doba T_A větší než T_2. Jak patrno z diagramu vstupní signál v uzlu **1** (změna logické úrovně H do L) na vstupní svorce **7** způsobí spuštění prvního monostabilního klopného obvodu **8** přes první vstup A_1. Na jeho druhé výstupní svorce Q_2 v uzlu **2** se tato změna zobrazí po čase T_{D1}, což je jeho dopravní zpoždění. Signál trvá po dobu τ_1, která je úměrná časové konstantě prvního RC členu **13**. Po uplynutí doby τ_1 je náběžnou hranou spuštěn druhý monostabilní klopný obvod **11** přes druhý vstup B_2. Pak na druhém výstupu Q_2 v uzlu **3** se změna zobrazí po čase T_{D2}, což znamená dopravní zpoždění druhého monostabilního klopného obvodu **11**. Signál trvá po dobu τ_2. Tato doba je úměrná časové konstantě druhého RC členu **14**. Obě doby τ_1, τ_2 časové konstanty obou monostabilních klopných obvodů **8**, **11** je vhodné zvolit stejné, aby byla zaručena kvalitní funkce obvodu.

Po odeznění impulsu v době τ_2 na druhém monostabilním klopném obvodu **11** se po čase T_D, což je dopravní zpoždění čtyřvstupového součinového hradla **12**, zobrazí na výstupu **17** v uzlu **6** zpožděný signál, který je proti počáteční změně zpožděn o čas τ. Pro zpoždění obvodu platí:

$$\tau = \tau_1 + \tau_2 + T_{D1} + T_{D2} + T_D$$

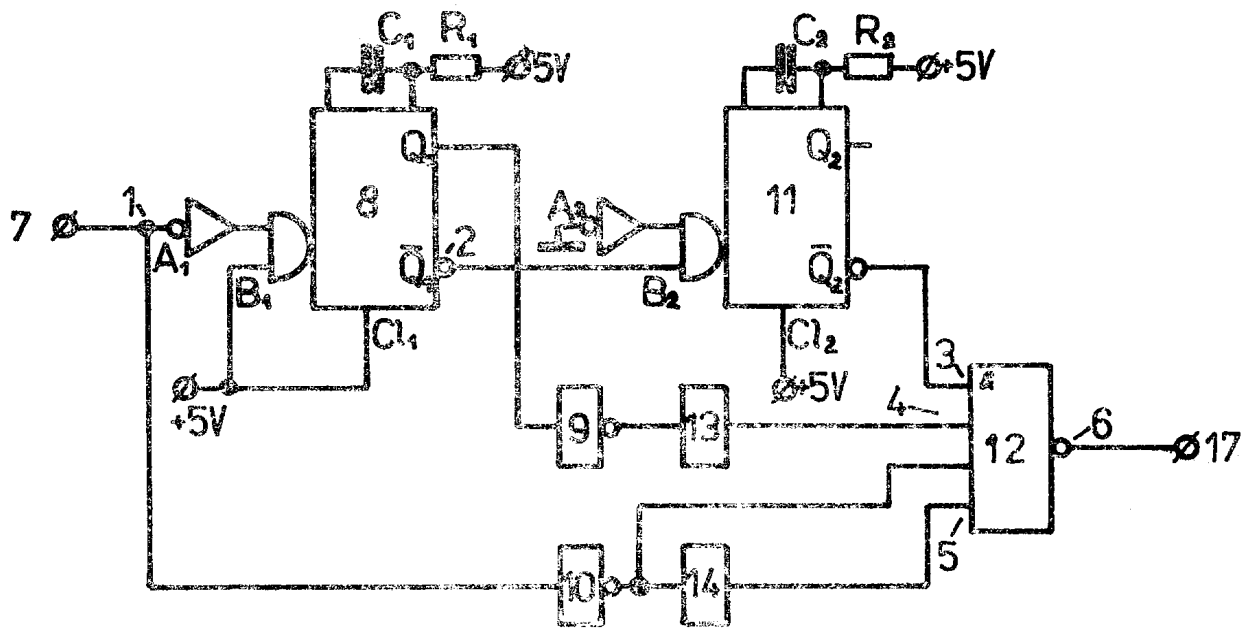
Časový průběh v uzlu **4** představuje zpožděný signál prvního monostabilního klopného obvodu **8** na vstup čtyřvstupového součinového hradla **12**. Toto zpoždění T_1 je úměrné časové konstantě prvního RC členu **13** a eliminuje dopravní zpoždění T_{D2} druhého monostabilního klopného obvodu **11**. Zpoždění T_1 musí být větší než dopravní zpoždění T_{D2}. Časový průběh v uzlu **5** představuje zpožděný vstupní signál v uzlu **1** na vstup čtyřvstupového součinového hradla **12**. Toto zpoždění T_2 je úměrné časové konstantě druhého RC členu **14** a eliminuje dopravní zpoždění T_{D1} prvního monostabilního klopného obvodu **8** a zpoždění T_1 prvního RC členu **13**. Zpoždění T_2 musí být větší než součet T_{D1} a T_1.

Zapojení je určeno pro obvody v sítích tranzistorové logiky, zejména v informačních měřicích systémech.

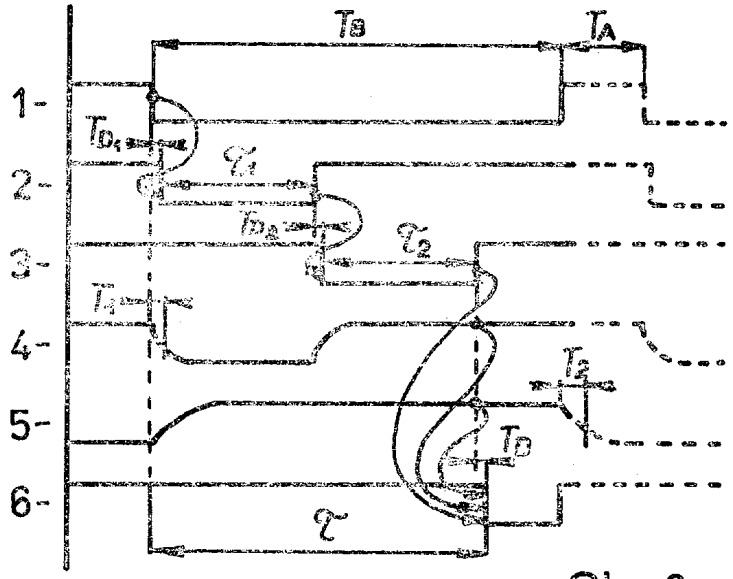
PŘEDMĚT VYNÁLEZU

Zpožďovací obvod logických signálů tvořený dvojicí monostabilních klopných obvodů, vyznačený tím, že vstupní svorka (7) obvodu je spojena se vstupem druhého invertoru (10) a s prvním vstupem (A_1) prvního monostabilního klopného obvodu (8), jehož druhý a třetí vstup (B_1, Cl_1) je spojen s kladnou svorkou zdroje stejnosměrného napětí a první výstup (Q_1) je spojen se vstupem prvního invertoru (9), druhý výstup ($\overline{Q_1}$) je spojen s druhým vstupem (B_2) druhého monostabilního klopného obvodu (11), jehož první vstup (A_2) je spojen se společným vodičem a třetí vstup (Cl_2) je spojen s kladnou svorkou zdroje stejnosměrného napětí, zatímco jeho druhý výstup ($\overline{Q_2}$) je spojen s prvním vstupem čtyřvstupového součinového hradla (12), jehož druhý vstup je spojen přes první RC člen (13) s výstupem prvního invertoru (9), třetí vstup je spojen s výstupem druhého invertoru (10) a přes druhý RC člen (14) s jeho čtvrtým vstupem, přičemž výstupní svorka (17) obvodu tvoří výstup čtyřvstupového součinového hradla (12).

1 list výkresů



Obr. 1



Obr. 2

Severografia, n. p., závod 7 Most

Cena 2,40 Kčs