

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-146579

(P2010-146579A)

(43) 公開日 平成22年7月1日(2010.7.1)

(51) Int.Cl.	F I	テーマコード (参考)
G06F 15/78 (2006.01)	G06F 15/78 510B	5B062
G06F 13/38 (2006.01)	G06F 13/38 340A	5B077
	G06F 15/78 510D	

審査請求 有 請求項の数 14 O L (全 21 頁)

(21) 出願番号	特願2010-592 (P2010-592)	(71) 出願人	503121103
(22) 出願日	平成22年1月5日 (2010.1.5)		株式会社ルネサステクノロジ
(62) 分割の表示	特願2009-193040 (P2009-193040) の分割	(74) 代理人	100089071
原出願日	平成13年10月24日 (2001.10.24)		弁理士 玉村 静世
(31) 優先権主張番号	特願2001-22587 (P2001-22587)	(72) 発明者	西本 順一
(32) 優先日	平成13年1月31日 (2001.1.31)		東京都小平市上水本町五丁目20番1号
(33) 優先権主張国	日本国 (JP)	(72) 発明者	株式会社日立製作所半導体グループ内
			中澤 拓一郎
			東京都小平市上水本町五丁目20番1号
		(72) 発明者	株式会社日立製作所半導体グループ内
			山田 孔司
			東京都小平市上水本町五丁目20番1号
			株式会社日立製作所半導体グループ内

最終頁に続く

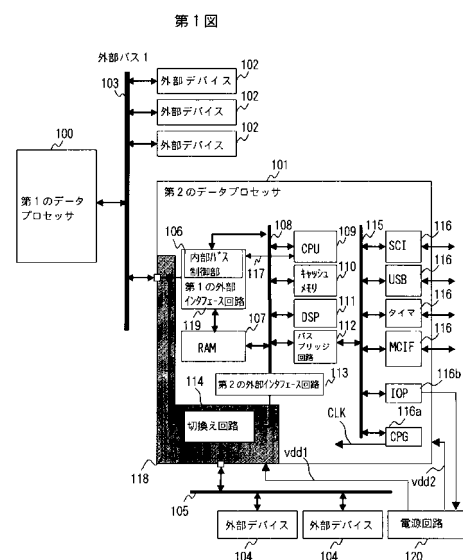
(54) 【発明の名称】 シングルチップデータプロセッサ及び半導体集積回路

(57) 【要約】 (修正有)

【課題】接続している別のデータプロセッサから、当該データプロセッサの内部機能若しくは当該データプロセッサの外付け回路を効率良く利用する方法を提供する。

【解決手段】一のデータプロセッサ100に他のデータプロセッサ101との接続を可能にするためのインタフェース手段119を設け、このインタフェース手段に、一のデータプロセッサ内の内部バス108に他のデータプロセッサをバスマスタとして接続可能にする機能を設け、内部バスにメモリマップされた周辺機能を前記インタフェース手段を介して外部より当該他のデータプロセッサが直接操作できるようにする。これにより、データプロセッサは、実行中のプログラムを中断することなく、別のデータプロセッサの周辺機能等を使うことが可能となる。要するに、一のデータプロセッサは別のデータプロセッサの周辺リソースを共有することが可能になる。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

命令実行可能な中央処理装置と、
第 1 外部バスに接続可能な第 1 端子と、
前記第 1 外部バスとは異なる第 2 外部バスに接続可能な第 2 端子と、
前記中央処理装置に接続される内部バスと、
前記第 1 端子と前記内部バスとに接続される第 1 インタフェース回路と、
前記第 2 端子と前記内部バスとに接続される第 2 インタフェース回路と、
前記第 1 端子と前記第 2 端子とを接続する信号経路と、を有し、
前記中央処理装置が命令を実行可能な第 1 状態と、前記中央処理装置が命令実行を抑止される第 2 状態とを有し、
前記第 2 状態のとき、前記第 1 端子と前記信号経路及び前記第 2 端子とが接続され、クロック同期回路へのクロック信号の供給が停止され、
前記中央処理装置は、前記クロック同期回路の一つであり、
前記中央処理装置、前記内部バス、前記第 1 インタフェース回路及び前記第 2 インタフェース回路は、第 1 領域に配置され、
前記信号経路は、第 2 領域に配置され、
前記第 2 状態のとき、前記第 1 領域は低消費電力状態である、シングルチップデータプロセッサ。

【請求項 2】

前記信号経路が配置される前記第 2 領域は、前記第 2 状態のとき動作可能である請求項 1 記載のシングルチップデータプロセッサ。

【請求項 3】

前記第 2 状態のとき、前記第 1 端子を介して第 1 外部バスから時刻表示制御の情報を入力され、前記信号経路を介して、前記第 2 端子から前記第 2 外部バスへ出力する請求項 2 記載のシングルチップデータプロセッサ。

【請求項 4】

さらに、前記第 1 端子に接続された前記信号経路と、前記第 2 インタフェースの何れを前記第 2 端子へ接続するかの切換制御を行うための切換回路を有し、

前記第 1 状態のとき、前記切換回路は、前記第 2 インタフェースと前記第 2 端子とを接続して、前記内部バスを経由した信号を、前記第 2 端子へ出力可能に構成され、

前記第 2 状態のとき、前記切換回路は、前記信号経路と前記第 2 端子とを接続して、前記第 1 端子を介して入力された前記時刻表示制御の情報を、前記信号経路を経由して前記第 2 端子へ出力可能に構成される、請求項 3 記載のシングルチップデータプロセッサ。

【請求項 5】

前記切換回路は、前記第 2 領域に配置され、前記第 2 状態のとき、動作可能とされる請求項 4 記載のシングルチップデータプロセッサ。

【請求項 6】

前記第 2 状態のとき、前記第 1 領域に対する電源供給は停止される請求項 1 乃至 5 の何れか 1 項に記載のシングルチップデータプロセッサ。

【請求項 7】

中央処理装置と、
外部バスに接続可能な第 1 端子と、
前記外部バスとは別の外部バスに接続可能な第 2 端子と、
前記中央処理装置に接続される内部バスと、
前記内部バスをバイパスするために、前記第 1 端子と前記第 2 端子とを接続するための経路と、
前記第 1 端子と前記内部バスとに接続され、前記外部バスから入力された信号のインタフェースを行うための第 1 インタフェース回路と、を有し、
前記中央処理装置が命令実行可能な第 1 状態と、前記中央処理装置の命令実行が抑止さ

10

20

30

40

50

れる第 2 状態とを有し、

前記第 1 状態のとき、前記外部バスから前記第 1 端子を介して入力された信号は、前記第 1 インタフェース回路を経由して前記内部バスに出力され、

前記第 2 状態のとき、前記外部バスから前記第 1 端子を介して入力された信号は、前記経路を介して前記第 2 端子から前記別の外部バスへ出力され、

前記第 2 状態は、低消費電力状態であり、前記中央処理装置へのクロック信号の供給は停止されるシングルチップデータプロセッサ。

【請求項 8】

前記第 2 状態のとき、前記第 1 端子を介して入力された信号は、前記第 2 端子を介して別の外部バスに接続される液晶装置の表示制御である請求項 7 記載のシングルチップデータプロセッサ。

10

【請求項 9】

前記第 2 状態のとき、前記中央処理装置および第 1 インタフェースに対する電源供給は停止され、前記経路は電源供給される状態である請求項 7 または 8 記載のシングルチップデータプロセッサ。

【請求項 10】

さらに、前記経路と前記第 2 端子との接続、または、前記内部バスと前記第 2 端子との接続を切換制御するための回路を有し、

前記第 1 状態のとき、前記回路は、前記内部バスと前記第 2 端子とを接続して、前記内部バス上の信号を前記別の外部バスへ出力可能に制御し、

20

前記第 2 状態のとき、前記回路は、前記経路と前記第 2 端子とを接続し、前記第 1 端子を経由して入力された信号を、前記内部バスをバイパスし、前記経路と前記第 2 端子を介して外部へ出力可能に制御する請求項 9 記載のシングルチップデータプロセッサ。

【請求項 11】

第 1 内部バス及び第 2 内部バスと、

第 1 外部バスに接続可能な第 1 端子と、

前記第 1 及び第 2 内部バスの何れか一方を選択的に前記第 1 端子に接続可能な切換え回路と、

前記第 1 外部バスとは異なる第 2 外部バスを接続可能に構成される第 2 端子と、

中央処理装置を含む内部回路と、を有し、

30

前記第 1 内部バスは、前記内部回路から供給される第 1 情報を前記切換え回路へ供給し、

前記第 2 内部バスは、前記第 1 端子を介して前記第 1 外部バスから入力された第 2 情報を前記切換え回路へ供給可能とし、

前記切換え回路は、前記第 1 内部バスを介して供給される第 1 情報と、前記第 1 端子を介して前記第 1 外部バスから入力されて、前記第 2 内部バスを介して供給される前記第 2 情報の何れか一方を、選択的に前記第 2 端子を介して前記第 2 外部バスが接続されるべき外部へ出力制御し、

前記第 2 端子は、前記第 2 外部バスを介して外部デバイスを接続可能で、

前記第 2 情報は、時間表示制御に利用される情報を含み、

40

さらに、前記内部回路および前記第 1 内部バスを動作可能状態とし、前記中央処理装置が命令実行可能とする第 1 の動作モードと、

前記中央処理装置の命令実行が抑止され、前記内部回路へのクロック信号の供給を停止する第 2 の動作モードと、を有し、

前記切換え回路は、

前記第 1 の動作モードのとき、前記第 1 内部バスを前記第 2 端子へ接続し、前記第 1 情報を前記第 2 端子を介して第 2 外部バスへ出力可能とし、

前記第 2 の動作モードのとき、前記第 2 内部バスを前記第 2 端子へ接続し、前記第 1 端子を介して前記第 1 外部バスから供給された前記第 2 情報を、前記第 2 内部バス及び前記第 2 端子を介して、直接前記第 2 外部バスへ出力可能とする半導体集積回路。

50

【請求項 1 2】

前記第 2 の動作モードのとき、前記内部回路への電源の供給を停止する請求項 1 1 記載の半導体集積回路。

【請求項 1 3】

前記中央処理装置を含む内部回路と、前記第 1 内部バスとは、半導体集積回路の第 1 領域に配置され

前記切換回路と、前記第 2 内部バスとは第 2 領域に配置され、

前記第 2 領域は、半導体集積回路装置が動作可能なときは、常に電源が供給される請求項 1 2 記載の半導体集積回路。

【請求項 1 4】

前記第 1 の動作モードのとき、前記第 1 内部バスを介して画像表示制御のための情報を、前記第 2 端子を介して外部へ出力することが可能である請求項 1 3 記載の半導体集積回路。

【発明の詳細な説明】**【技術分野】****【0001】**

本発明は、複数のデータプロセッサと複数のシステムバスで構成されるシステムにおいて、データプロセッサ間を接続するバスのデータ転送方式及びデータ転送システムの技術分野に属する。例えば、一のデータプロセッサが他のデータプロセッサの内蔵回路を共有する技術、一のデータプロセッサが他のデータプロセッサの外部バスをアクセスする技術に適用して有効な技術に関する。更に本発明は、データプロセッサの動作プログラムをメモリに初期的に格納するブート制御の技術に関する。

【背景技術】**【0002】**

システムの複雑さに伴い、そのシステム上に搭載されるデータプロセッサ及び部品の数が増えてきている。例えば携帯電話のシステムにおいては、従来までは通信を制御するためのベースバンドデータプロセッサがソフトウェア（アプリケーション、キー制御など）やハードウェア（RF 回路、LCD、メモリなどの部品）の制御を行っていた。しかし機能の多様化に伴い、全ての処理をベースバンドデータプロセッサ行うことが困難になってきている。従来の PC 系のシステムではこの問題をデータプロセッサの動作周波数を向上することで解決していたが、近年のバッテリー駆動型の携帯端末では電池寿命を長くしなくてはならないという理由から、単純に周波数の高速化による性能向上は行えない。

【0003】

データプロセッサが行う処理により周波数を可変にする手法も存在するが、実際にシステム上で実現するのは複雑であるため実用化が難しい。また高速動作を行えるデータプロセッサはチップ面積が大きくなる傾向にあり、スタンバイ時の電流値を減らすことが困難である。

【0004】

この問題を解決するために、従来のデータプロセッサでは処理しきれないアプリケーションをコプロセッサもしくは別のデータプロセッサで処理するといった手段が採られるようになってきている。これにより特定の処理が必要になったときに、その処理に適したデータプロセッサだけを動作することが可能となるため、システム構築が容易となり最終的にはシステム全体の低消費電力化にもつながる。

【先行技術文献】**【特許文献】****【0005】**

【特許文献 1】特開平 7 - 3 6 7 0 4 号公報

【発明の概要】**【発明が解決しようとする課題】****【0006】**

10

20

30

40

50

1つのシステム上にデータプロセッサ及びコプロセッサ等のように複数のデータプロセッサが搭載される場合、そのデータプロセッサ同士の接続には共有バスが用いられることが多い。しかしバスを共有できないデータプロセッサや、バス共有を行っていたのではメモリアクセス性能が足りず性能が出せない場合などには、片側のデータプロセッサに別のインタフェースを内蔵し、このインタフェースをもう片側のデータプロセッサのバスに接続することでデータ転送を行う必要が生じる。このインタフェースとして例えばT IのDSP (T M S 3 2 0 C 5 4 x) がサポートしているホストポートインタフェースなどがあり、実際にはデータプロセッサに内蔵されたRAMと割り込み機能を用いることによりデータプロセッサ間のデータ転送を行う。ただし転送したデータを使うためにはソフトウェアを実行する必要がある。

10

【0007】

システムだけでなくデータプロセッサの機能自体も高機能化している。このためシステム上に複数のデータプロセッサを搭載した場合、お互いのデータプロセッサに搭載された機能を効率良く使うことにより、重複して同じ機能を複数のデータプロセッサがサポートする必要がなくなる。例えばSDRAM (シンクロナスDRAM) 等に対するメモリインタフェースやUSB (ユニバーサル・シリアル・バス)、メモリカード、シリアルインタフェースなどである。前記共通バスによらないインタフェースでデータプロセッサ同士が接続されている場合、それぞれのデータプロセッサがサポートしている機能を使うときは、転送されたデータをソフトウェアで処理する必要がある。例えばあるデータプロセッサが別のデータプロセッサのメモリインタフェースを用いて、そのメモリへアクセスしたい場合には、一度前記インタフェースでアクセスするデータを前記別のデータプロセッサに転送した後に、割り込みで当該別のデータプロセッサのプログラム実行を起動し、そのプログラムを実行する前記別のデータプロセッサがメモリへのアクセスを行い、アクセス後に再度前記別のデータプロセッサから前記一方のデータプロセッサに対して割り込みを発生して、当該一方のデータプロセッサへ前記インタフェースを介してデータの転送を行う必要があった。

20

【0008】

システムの複雑さに起因する別の問題として、実装面積の削減が挙げられる。特に携帯情報端末においては消費電力・コストの観点から実装面積を減らすためにシステムの部品点数を削減することが必要となる。しかしシステムが多機能化するにつれ、それを実現するための部品点数が増加する。特に前述のように複数のデータプロセッサを内蔵するような場合にはこの問題はさらに深刻となる。

30

【0009】

従来の技術で述べたようにシステム上に複数のデータプロセッサを搭載して、そのデータプロセッサ同士が共有バスで接続できない場合には、データプロセッサを相互に接続するインタフェースを内蔵する必要が生じる。T IのDSPのようなホストインタフェースはデータプロセッサに内蔵されたRAMと割り込み機能を用いることによりハンドシェイクを行い、データ転送を実現する。この方法ではデータ転送の度に割り込み処理プログラムを実行する必要が生じるため、それまで走っていたプログラムの実行が中断され性能が劣化することがある。特にそのデータプロセッサがサポートする外部インタフェースだけを使いたい場合などに対処するには問題がある。

40

【0010】

更に、本発明者は、データプロセッサの動作プログラムをメモリに初期的に格納する技術について検討した。例えば、CPUの動作プログラムを格納する電氣的に書換え可能なフラッシュメモリがオンチップされたマイクロプロセッサにおいて、前記フラッシュメモリに対する初期的なプログラムの書き込みは例えば、その製造段階においてEPROMライタのような書き込み装置を用いて行なわれるのが一般的である。しかしながら、そのような書き込み動作はベリファイ処理や再書き込みを伴うこともあり処理が複雑な上に時間もかかり、データプロセッサの製造コストを上昇させる原因にもなっている。

【0011】

50

本発明の目的は、複雑・多機能化するデータ処理システムにおいて、データプロセッサがメモリインタフェースとは別にデータ転送を行うためのデータ転送インタフェースを実現することにある。更に本発明は、そのインタフェースに接続している別のデータプロセッサもしくはデバイスから、当該データプロセッサの内部機能若しくは当該データプロセッサの外付け回路を効率良く利用することを可能にすることを目的とする。そして本発明は、それによって、システム性能の向上と低コスト化を図り、最終的には低消費電力化を実現しようとするものである。

【 0 0 1 2 】

本発明の別の目的は、データプロセッサが実行すべきプログラムを不揮発性メモリに初期的に書き込む処理が容易なデータ処理システム、更にはデータプロセッサを提供することにある。

10

【 0 0 1 3 】

本発明の上記並びにその他の目的と新規な特徴は本明細書の以下の記述と添付図面から明らかにされるであろう。

【 発明の効果 】

【 0 0 1 4 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 1 5 】

すなわち、第 1 のデータプロセッサは、第 2 のデータプロセッサが待機状態であっても、当該第 2 のデータプロセッサに接続されている外付け回路を、該第 2 のデータプロセッサ内部をバイパスして制御することができる。

20

【 図面の簡単な説明 】

【 0 0 1 6 】

【 図 1 】 本発明に係るデータ処理システムの一例を示すブロック図である。

【 図 2 】 図 1 の第 2 のデータプロセッサにおけるバイパス用の領域の詳細を例示するブロック図である。

【 図 3 】 データプロセッサをマルチチップモジュールで構成した場合の例を示すブロック図である。

【 図 4 】 第 2 のデータプロセッサが備える第 1 の外部インタフェース回路の具体的な一例を示すブロック図である。

30

【 図 5 】 第 2 のデータプロセッサが備える第 1 の外部インタフェース回路の更に具体的な別の例を示すブロック図である。

【 図 6 】 本発明に係るデータ処理システムにおけるデータプロセッサのブートプログラムの初期的書き込みに関する説明図である。

【 図 7 】 図 6 のデータ処理システムにおけるブート動作のタイミングチャートである。

【 図 8 】 図 6 のデータ処理システムにおけるブート動作の別のタイミングチャートである。

【 図 9 】 プログラムメモリにブートプログラムが格納されている状態において、ブートプログラムの更新又は第 2 のデータプロセッサで実行されるアプリケーションを追加 / 更新する場合のタイミングチャートである。

40

【 図 1 0 】 図 3 のデータプロセッサを構成するマルチチップモジュールの断面図である。

【 発明を実施するための形態 】

【 0 0 1 7 】

1 . 実施の形態の概要

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【 0 0 1 8 】

〔 1 〕 本発明の第 1 に観点は、他のデータプロセッサにデータプロセッサの内部バスアクセスを許容するものである。

50

【 0 0 1 9 】

この観点による本発明は、一のデータプロセッサ（ 1 0 0 ）に他のデータプロセッサ（ 1 0 1 ）との接続を可能にするためのインタフェース手段（ 1 1 9 ）を設け、このインタフェース手段に、一のデータプロセッサ内の内部バスに他のデータプロセッサをバスマスタとして接続可能にする機能を設け、内部バスにメモリマップされた周辺機能を前記インタフェース手段を介して外部より当該他のデータプロセッサが直接操作する機能をサポートするものである。これにより、データプロセッサは、実行中のプログラムを中断することなく、別のデータプロセッサの周辺機能等を使うことが可能となる。例えば第 1 のデータプロセッサが第 2 のデータプロセッサのメモリインタフェースを使って特定のメモリへアクセスする場合、第 1 のデータプロセッサは、第 2 のデータプロセッサの前記インタフェース手段を介して、当該第 2 データプロセッサの周辺メモリやその他の周辺回路をアクセスして利用することが可能になる。要するに、一のデータプロセッサは別のデータプロセッサの周辺リソースを共有することが可能になる。換言すれば、第 1 のデータプロセッサは第 2 のデータプロセッサに内蔵されている別のインタフェース機能を直接使うことができるようになり、システムの高性能化を図ることが可能となる。

10

【 0 0 2 0 】

上記観点による発明を更に詳述する。上記第 1 の観点によるデータ処理システムは、第 1 のデータプロセッサ（ 1 0 0 ）及び第 2 のデータプロセッサ（ 1 0 1 ）を含む。前記第 2 のデータプロセッサは、前記第 1 のデータプロセッサが前記第 2 のデータプロセッサの内部バスのバス権を獲得することを可能とするインタフェース手段（ 1 1 9 ）を内蔵する。前記インタフェース手段は、前記内部バスのバス権を獲得した第 1 のデータプロセッサによる前記内部バスに接続された入出力回路のアクセスを可能にするものである。

20

【 0 0 2 1 】

前記入出力回路は、例えば、S D R A M に接続可能な S D R A M インタフェース回路、液晶ディスプレイ装置に接続可能な L C D インタフェース回路、メモリカードに接続可能なメモリカードインタフェース回路、シリアルインタフェース回路、揮発性メモリ、電気的に書き換え可能な不揮発性メモリ、及び汎用入出力ポート回路の中から選ばれた単数若しくは複数の回路である。

【 0 0 2 2 】

前記インタフェース手段は、第 2 のデータプロセッサ内部からのアクセスと前記第 1 のデータプロセッサからのアクセスとに排他的に応答して動作可能とするバッファ R A M （ 1 0 7 ）を含んでよい。

30

【 0 0 2 3 】

〔 2 〕本発明の第 2 の観点は、他のデータプロセッサに一のデータプロセッサ固有の外部バスに対するアクセスを当該一のデータプロセッサ経由で許容するものである。

【 0 0 2 4 】

この観点による本発明は、第 2 のデータプロセッサの低消費電力化のために第 2 のデータプロセッサ（ 1 0 1 ）の待機時（電源をオフもしくはスタンバイ状態）に、第 1 のデータプロセッサ（ 1 0 0 ）とのインタフェースを第 2 のデータプロセッサ内部で当該第 2 のデータプロセッサの外付けデバイス（ 1 0 4 ）とインタフェース可能にする手段（ 1 1 4 ）を設ける。これにより、第 2 のデータプロセッサに接続していたデバイスを、当該第 2 のデータプロセッサの待機中には外付け回路なしに第 1 のデータプロセッサが制御できるようになる。要するに、第 1 のデータプロセッサは、第 2 のデータプロセッサが待機状態であっても、当該第 2 のデータプロセッサに接続されている外付け回路を、該第 2 のデータプロセッサ内部をバイパスさせて制御できる。これによりデータ処理システムを構成する部品点数の削減が行え、低コスト化が可能となる。

40

【 0 0 2 5 】

上記観点による発明を更に詳述する。上記第 2 の観点によるデータ処理システムは、第 1 のデータプロセッサ（ 1 0 0 ）、前記第 1 のデータプロセッサに接続される第 1 のバス（ 1 0 3 ）、前記第 1 のバスに接続される第 2 のデータプロセッサ（ 1 0 1 ）、及び前記

50

第2のデータプロセッサに接続される第2のバス(105)を含む。前記第2のデータプロセッサは、前記第1のバスに一方が接続され内部バスに他方が接続される第1の外部インタフェース回路(119)と、前記第2のバスに一方が接続される内部バスに他方が接続される第2の外部インタフェース回路(113)と、第2のデータプロセッサの待機状態において前記第2の外部インタフェース回路の前記一方の代わりに前記第1のインタフェース回路の前記一方を前記第2のバスに接続する切換え回路(114)と、を含む。

【0026】

前記第2のデータプロセッサの待機状態は、例えば、前記第2のデータプロセッサに含まれるクロック同期回路へのクロック信号の供給が停止される状態である。また、前記第2のデータプロセッサにおいて前記切換え回路の動作電源とその他の回路の動作電源とを分離可能とし、前記第2のデータプロセッサの待機状態にตอบสนองして前記その他の回路の全部又は一部への動作電源の供給を停止させる電源制御回路(116b)を更に含む。これにより、前記第2のデータプロセッサは待機状態において電力消費が低減される。

10

【0027】

前記第2の外部インタフェース回路は、例えば、液晶ディスプレイコントローラに接続可能なLCDインタフェース回路を含む。このとき、前記第2のバスには液晶ディスプレイコントローラが接続される。これにより、前記第1のデータプロセッサは前記切換え回路を介して前記液晶ディスプレイコントローラを制御可能になる。

【0028】

〔3〕本発明の第3の観点は、リセット動作解除後にデータプロセッサが実行すべき動作プログラムをオンチップの不揮発性メモリやローカルバス上の不揮発性メモリに初期的に書き込むための動作制御を当該データプロセッサを介して可能にするものである。

20

【0029】

この観点の本発明によるデータ処理システムは、第1のデータプロセッサ(100)及び第2のデータプロセッサ(101)を含む。前記第2のデータプロセッサは、リセット動作解除後の第1動作モードにおいて前記第1のデータプロセッサにより書き込み可能にされる揮発性メモリ(107)と、前記第1動作モードによる書き込み後における命令フェッチの対象を前記揮発性メモリとするCPU(109)と、リセット動作解除後の第2動作モードにおいてCPUによる命令フェッチの対象とされる電氣的に書換え可能な不揮発性メモリ(502)とを含む。前記第1のデータプロセッサは、第2のデータプロセッサに第1動作モードを指定し、前記揮発性メモリに、前記不揮発性メモリに対する書き込み制御用プログラムを格納して、CPUに命令フェッチを許可する。これにより、第2のデータプロセッサは、揮発性メモリに書き込まれた書き込み制御プログラムを実行し、これに従って前記オンチップの不揮発性メモリに第1のデータプロセッサの動作プログラムを初期的に書き込むことができる。この動作プログラムを実行するときは、リセット動作解除後に第2動作モードが指定されればよい。

30

【0030】

電氣的に書き込み可能な不揮発性メモリは第1のデータプロセッサにオンチップされたメモリに限定されない。第1のデータプロセッサのローカルバスに接続された電氣的に書換え可能な不揮発性メモリ(501)であってもよい。

40

【0031】

第3の観点による発明によれば、リセット動作解除後にデータプロセッサが実行すべき動作プログラムをオンチップの不揮発性メモリやローカルバス上の不揮発性メモリに初期的に書き込むための動作制御を当該データプロセッサを介して行うことができる。要するに、データプロセッサの製造過程においてオンチップのプログラムメモリ等にプログラムを書き込む処理を行わなくてもよい。

【0032】

〔4〕本発明の第4の観点は、前記第1乃至3の観点によるデータ処理システムに適用されるデータプロセッサに着目する。

【0033】

50

データプロセッサは、CPU(109)と、前記CPUに接続する内部バスと、前記内部バスに接続する周辺回路(116)と、第1の外部端子に一方が接続され前記内部バスに他方が接続される第1の外部インタフェース回路(119)と、第2の外部端子に一方が接続され前記内部バスに他方が接続される第2の外部インタフェース回路(113)とを含む。前記第1の外部インタフェース回路は外部からのアクセス要求に応答して、内部バスのバス権を獲得し、内部バスに接続された前記周辺回路のアクセスを可能にする。これにより、データプロセッサは内部バスに接続するオンチップの周辺回路などを他のデータプロセッサに利用させることが可能になる。

【0034】

前記CPUの待機状態において前記第2の外部インタフェース回路の一方の代わりに前記第1の外部端子を前記第2の外部端子に接続する切換え回路(114)を更に含んでよい。他のデータプロセッサに一のデータプロセッサ固有の外部バスに対するアクセスを当該一のデータプロセッサ経由で許容するものである。例えばデータプロセッサのローカルバスにLCDコントローラが接続されるとき、当該データプロセッサの待機状態においてシステムバス経由で他のデータプロセッサがローカルバス上の前記LCDコントローラを介してLCDに対する時間表示制御機能を実現することが可能になる。

10

【0035】

前記第3の観点の如く、データプロセッサのブートプログラムを初期的に書き込むという観点では、データプロセッサは、リセット動作解除後の第1動作モードにおいて前記第1の外部インタフェース回路を介し外部から書き込み可能にされる揮発性メモリと、プログラムメモリ例えば電氣的に書き込み可能な不揮発性メモリとを更に含む。前記CPUは、前記第1動作モードによる書き込み後に前記揮発性メモリから命令をフェッチして実行可能であり、また、CPUは、リセット動作解除後の第2動作モードにおいて前記プログラムメモリから命令をフェッチして実行可能である。前記第2動作モードで前記プログラムメモリに対する書き込み制御プログラムを揮発性メモリに書き込み、書き込んだ書き込み制御プログラムを第2動作モードで実行すれば、不揮発性プログラムメモリにデータプロセッサのブートプログラムを初期的に書き込むことができる。

20

【0036】

前記CPU、前記内部バス、前記第1の外部インタフェース回路、前記第2の外部インタフェース回路、前記切換え回路、前記揮発性メモリ、及び前記プログラムメモリを1個の半導体基板上に形成して、データプロセッサをシングルチップで構成することができる。また、前記CPU、前記内部バス、前記第1の外部インタフェース回路、前記第2の外部インタフェース回路、前記切換え回路、及び前記揮発性メモリを第1の半導体基板上に形成し、前記プログラムメモリ(501)を第2の半導体基板上に形成し、前記第1の半導体基板と第2の半導体基板を例えば高密度実装基板に実装し1個のパッケージに封入し、マルチチップモジュールとして構成してよい。

30

【0037】

〔5〕本発明の第5の観点は、前記第1の観点によるデータ処理システムに適用されるデータプロセッサを更に別の観点から把握する。

【0038】

データプロセッサは、第1のバスに接続される第1の端子と、第2のバスに接続される第2の端子と、第1の状態又は第2の状態を選択的に採り得る第1の内部回路と、第2の内部回路と、前記第1の端子から前記第1の内部回路と前記第2の内部回路を介して前記第2の端子に接続される第1の信号経路と、前記第1の端子から前記第2の内部回路を介して前記第2の端子に接続される第2の信号経路とを含む。前記第2の内部回路は、前記第1の内部回路の状態に応じて、前記第1の信号経路と前記第2の信号経路の何れかの信号経路を選択する。

40

【0039】

前記第1の状態は例えば前記第1の内部回路が命令を実行可能な動作状態であり、前記第2の状態は例えば命令の実行が抑止される待機状態である。前記第2の内部回路は、動

50

作状態において前記第 1 の経路を選択し、待機状態において第 2 の経路を選択する。

【 0 0 4 0 】

前記第 1 の内部回路に対する第 1 の電源の供給と前記第 2 の内部回路に対する第 2 の電源の供給とを制御する電源制御回路を有する。このとき、前記電源制御回路は、前記第 2 の内部回路に前記第 2 の信号経路が選択される場合に第 1 の内部回路の全部又は一部への第 1 の電源の供給を停止する。要するに、待機状態では動作を行う必要のない回路には無駄な動作電源の供給を行わないようにする。

【 0 0 4 1 】

前記第 1 の内部回路、第 2 の内部回路、及び電源制御回路は 1 個の半導体基板上に形成してよい。また、前記第 1 の内部回路及び前記電源制御回路は第 1 の半導体基板上に形成し、前記第 2 の内部回路は第 2 の半導体基板上に形成し、前記第 1 の半導体基板と第 2 の半導体基板を 1 個のパッケージに封入して、データプロセッサをマルチチップモジュール等として構成してもよい。

10

【 0 0 4 2 】

前記第 1 の内部回路に同期動作のクロック信号を供給するクロック制御回路 (1 1 6 a) を有するとき、前記クロック制御回路は、前記第 2 の内部回路に前記第 2 の信号経路が選択される場合に前記第 1 の内部回路へのクロック信号の供給を停止させるとよい。待機状態では動作を行う必要のない回路には無駄な電力消費につながるようなクロック信号の供給を停止したほうが望ましいからである。

【 0 0 4 3 】

望ましい形態として、前記第 1 の内部回路に対する第 1 の電源の供給と前記第 2 の内部回路に対する第 2 の電源の供給とを制御する電源制御回路は、前記第 1 の内部回路へのクロック信号の供給が停止されるとき、前記第 1 の内部回路の全部又は一部への電源供給を停止するのがよい。

20

【 0 0 4 4 】

前記第 1 の内部回路、第 2 の内部回路、クロック制御回路、及び電源制御回路は 1 個の半導体基板上に形成してよい。また、前記第 1 の内部回路、クロック制御回路及び電源制御回路は第 1 の半導体基板上に形成し、前記第 2 の内部回路は第 2 の半導体基板上に形成し、前記第 1 の半導体基板と第 2 の半導体基板を 1 個のパッケージに封入して、データプロセッサをマルチチップモジュール等として構成してもよい。

30

【 0 0 4 5 】

〔 6 〕本発明の第 6 の観点は、前記第 1 の観点による情報処理システムを更に別の観点から把握する。

【 0 0 4 6 】

情報処理システムは、第 1 のバスと、第 2 のバスと、前記第 1 のバス及び第 2 のバスに接続されるデータプロセッサとを有する。前記データプロセッサは、第 1 動作態様と第 2 動作態様を有し、前記第 1 動作態様において前記データプロセッサは、前記第 1 のバスから供給された情報を処理し、前記第 2 のバスに所定の情報を供給可能とする。前記第 2 動作態様において前記データプロセッサは、前記第 1 のバスから供給された情報をそのまま前記第 2 のバスに供給する。

40

【 0 0 4 7 】

更に観点を变える。携帯電話システムは、第 1 乃至第 3 の半導体集積回路、前記第 1 の半導体集積回路と第 2 の半導体集積回路とを接続する第 1 のバス、及び前記第 2 の半導体集積回路と第 3 の半導体集積回路とを接続する第 2 のバスを有する。前記第 2 の半導体集積回路は、第 1 の動作態様と第 2 の動作態様を有し、前記第 1 の動作態様は、前記第 2 の半導体集積回路が前記第 1 の半導体集積回路から供給される情報に基づいて所定の処理を行い、前記第 3 の半導体集積回路に処理結果を供給する動作態様である。前記第 2 の動作態様は、前記第 2 の半導体集積回路が前記第 1 の半導体集積回路から供給される情報をそのまま前記第 3 の半導体集積回路に供給する動作態様である。

【 0 0 4 8 】

50

前記携帯電話システムにおいて、前記第２の半導体集積回路が前記第１又は第２の動作態様の何れの動作態様に遷移すべきかを制御する制御信号を、前記第１の半導体集積回路が供給してよい。そのような制御信号はコマンドとして与えられてよい。

【００４９】

前記携帯電話システムにおいて、例えば、前記第１の半導体集積回路は、ベースバンド処理用であり、前記第３の半導体集積回路は表示制御用である。前記所定の処理は、例えば、少なくとも画像を取り扱うための信号処理である。

【００５０】

前記第２のバスに記憶装置を接続してよい。例えば、前記記憶装置には、前記第２の半導体集積回路で行う処理を規定した処理プログラムを格納してよい。

【００５１】

２．実施の形態の詳細

図１に本発明に係るデータ処理システムの一例を示す。本システムは第１の外部バス１０３に接続された第１のデータプロセッサ１００と、第２の外部バス１０５に接続された第２のデータプロセッサ１０１で構成される。第１の外部バス１０３にはＲＡＭ、ＲＯＭ、フラッシュメモリ（ＦＬＡＳＨ）等の複数の外部デバイス１０２が接続される。第２の外部バス１０５には、ＲＡＭ、ＲＯＭ、ＦＬＡＳＨ、液晶ディスプレイ（ＬＣＤ）コントローラ等の外部デバイス１０４が接続されている。第２のデータプロセッサ１０１は、第１の外部バス１０３上のデバイスの１つとして第１の外部インタフェース回路１１９を介して第１の外部バス１０３に接続されている。

【００５２】

第２のデータプロセッサ１０１は、内部高速バス１０８と内部低速バス１１５を有する。前記内部高速バス１０８には、ＣＰＵ１０９、キャッシュメモリ１１０、デジタル信号処理プロセッサ（ＤＳＰ）１１１、内部高速バス１０８と内部低速バス１１５との間のバスブリッジ回路としてのブリッジ回路１１２、第１の外部インタフェース回路１１９、第２の外部インタフェース回路１１３、及びＲＡＭ１０７が接続されている。前記内部低速バス１１５にはシリアルインタフェース回路（ＳＣＩ）、ＵＳＢ（ユニバーサル・シリアル・バス）、タイマ、メモリカードインタフェース回路（ＭＣＩＦ）、ＩＯポートのような汎用入出力ポート（ＩＯＰ）、クロックパルスジェネレータ（ＣＰＧ）、フラッシュメモリ等の周辺回路１１６が接続されている。図１においてクロックパルスジェネレータ（ＣＰＧ）には参照符号１１６ａが付され、汎用入出力ポート（ＩＯＰ）には参照符号１１６ｂが付されている。

【００５３】

データ処理システムは、特に制限されないが、携帯電話システムとされる。このとき、第１のデータプロセッサ１００はベースバンド処理を行なう。第２のデータプロセッサ１０１は液晶ディスプレイコントローラのような外部デバイス１０４に対して画像表示制御の為に制御と圧縮伸張などの信号処理を行なう。液晶ディスプレイコントローラを介する時刻表示などの制御は、特に制限されないが、第１のデータプロセッサ１００が第２のデータプロセッサ１０１を経由して行なう。

【００５４】

前記第１の外部インタフェース回路１１９は、前記第１のデータプロセッサ１００が第２のデータプロセッサ１０１の内部バス例えば内部高速バス１０８のバス権を獲得することを可能にするものであり、内部バス１０８のバス権を獲得した第１のデータプロセッサ１００による前記内部バス１０８に接続された入出力回路のアクセスを可能にする。入出力回路とは、ＤＳＰ１１１のレジスタ等を意味する。要するに、第１のデータプロセッサ１００は内部高速バス１０８のバスマスタとして動作することが可能にされる。そのようなバスマスタとしての動作制御は内部バス制御部１０６が行なう。

【００５５】

また、前記第１の外部インタフェース回路１１９は前記ＲＡＭをＣＰＵ１０９と第１のデータプロセッサ１００との共有メモリもしくは共有バッファとして動作制御する。即ち

10

20

30

40

50

、CPU 109からのRAM 107へのアクセス要求と第1のデータプロセッサ100からRAM 107へのアクセス要求とに排他的に回答してRAM 107を動作させる。このRAM 107に対する共有バッファ機能により、第1のデータプロセッサ100と第2のデータプロセッサ101との間のデータ転送を実現できる。このデータ転送には、例えば割込み信号117を用いたハンドシェイク制御を採用してよい。具体的には、第1のデータプロセッサ100からRAM 107にデータが格納されると、CPU 109の割込み信号117が与えられ、この割込みに応ずる割り込み処理にてCPU 109がRAM 107のデータを取りこむ。逆の場合には外部インタフェース回路119は第1のデータプロセッサ100に向けて割込み要求を発行する。

【0056】

前記第2の外部インタフェース回路113は外部バス105に接続される外部デバイスとのインタフェースを実現する為のインタフェース仕様を有する。例えば、外部デバイス104としてFLASH、液晶ディスプレイ(LCD)コントローラが接続することを想定している場合、第2の外部インタフェース回路113は、フラッシュメモリインタフェース回路、LCDインタフェース回路としてのインタフェース機能を有する。

【0057】

図1の構成において、前記領域118には、第2のデータプロセッサ101の待機状態において、前記第2の外部インタフェース回路113における外部バス105との接続端の代わりに、前記第1の外部インタフェース回路における外部バス103との接続端を、前記外部バス105に接続する切換え回路114が設けられている。即ち、前記切換え回路114は、第2のデータプロセッサ101の待機時に、第2の外部インタフェース回路113に代えて第1の外部バス103を第2の外部バス105へ接続する接続態様を選択する。これにより、第1のデータプロセッサ100は切換え制御部114を介して、第2の外部バス105上のデバイスをアクセスすることが可能になる。例えば、第1のデータプロセッサ100は切換え回路114を介して外部バス105上の外部デバイス104として液晶ディスプレイコントローラを制御可能である。ここで図1の中の領域118の回路は第2のデータプロセッサ101の待機時にも動作する領域である。

【0058】

前記第2のデータプロセッサ101の待機状態は、当該第2のデータプロセッサ101に含まれるCPU 109、DSP 111、シリアルインタフェース回路、タイマ等のクロック同期回路へのクロック信号の供給が停止される状態である。例えば、CPU 109がクロックパルスジェネレータ116aの待機状態レジスタに待機状態イネーブルビットをセットすることにより、クロックパルスジェネレータ116aはクロック信号CLKの出力動作もしくは発振動作を停止して、クロック信号の供給を抑止する。

【0059】

図1において120で示される回路は電源回路である。前記第2のデータプロセッサ101において前記切換え回路114の動作電源vdd1とその他の回路の動作電源vdd2とは分離可能とされる。例えば、動作電源vdd1の外部電源端子及び電源配線と、動作電源vdd2の外部電源端子及び電源配線とは、物理的に分離される。電源回路120は動作電源vdd1、vdd2を対応する電源端子に供給する。前記汎用入出力ポート116bは電源回路120に対する電源制御回路として利用される。汎用入出力ポート116bは前記第2のデータプロセッサ101の待機状態への遷移過程において前記その他の回路の全部又は一部への動作電源vdd2の供給を停止させる。前記切換え回路114には第2のデータプロセッサ101が動作可能なときは動作電源vdd1が常時供給される。待機状態から抜けるのに割込みを利用する場合には割込み制御回路には動作電源が供給されている。電源制御回路116bは、待機状態への遷移過程において電源回路120の電源制御レジスタを電源供給停止指示状態にセットする。これにより、動作電源vdd2の供給が停止される。電源制御レジスタに対する電源供給指示状態へのリセット動作は、待機状態から動作状態への復帰処理過程で行われればよい。

【0060】

10

20

30

40

50

図 2 に図 1 の第 2 のデータプロセッサ 101 の領域 118 の詳細図が例示される。更にこの例では、第 1 の外部インタフェース回路 119 が内部低速バス 115 のバスマスタとして信号線 200 で接続されている。図 2 の信号線 200 が示す通り、第 1 の外部インタフェース回路 119 がバスマスタとなる内部バスは高速バス 108 に限定されず、低速バスであってもよい。

【0061】

データプロセッサ 1 において領域 118 に構成される回路を第 2 の回路、その他の領域に構成される CPU 109 などの回路を第 1 の回路と称する。領域 118 には、第 1 外部端子 210、第 1 の外部端子と第 1 の回路を接続する第 1 バス 211、第 1 の回路と第 2 の回路を接続する第 2 バス 212、第 1 外部端子と第 2 の内部回路を接続する第 3 バス 213、第 2 外部端子 215、第 2 外部端子と第 2 の回路を接続する第 4 バス 216、前記第 2 バス 212 と第 3 バス 213 の何れを第 4 バスに接続するかを選択するセレクタ 217、バスドライバ 218、及び第 5 バス 219 を有する。セレクタ 217 は待機状態への遷移過程で第 1 バス 211 を第 4 バス 216 に接続する接続形態を選択する。CPU 109 の状態に着目すると、待機状態は第 1 の回路による命令実行が抑止される状態（第 1 の状態）であり、動作状態は第 1 の回路が命令を実行可能な状態（第 2 の状態）である。第 2 のデータプロセッサ 101 は、待機状態において、第 1 の外部バス 103 を第 2 の外部バス 105 に直接接続することが可能となる。この例では、第 2 のデータプロセッサ 101 の待機状態において第 1 の外部バス 103 のデータを第 2 の外部バス 105 に無条件に伝達するように構成されているが、第 1 の外部バス 103 と第 2 の外部バス 105 を入出力バッファ（図示せず）を介して接続することも可能である。こうすれば第 1 の外部バス 103 から第 2 の外部バス 105 の入出力を制御することが可能となる。

【0062】

図 1 及び図 2 において第 2 のデータプロセッサ 101 は 1 個の半導体基板上に構成された、所謂シングルチップのデータプロセッサとして構成される。

【0063】

図 3 にはマルチチップモジュールで第 2 のデータプロセッサ 300 を構成した場合の例が示される。第 2 のデータプロセッサ 300 は第 1 の外部インタフェース回路 119 及び切換え回路 114 の機能を内蔵したチップ 301 とそれ以外の機能を内蔵したチップ 302 で構成される。チップ 302 は内部高速バス 108 への接続部 303 を第 1 の外部インタフェース回路 119 とのインタフェース部としており、この接続部 303 に接続するチップ 301 が内部高速バス 108 のバスマスタになることが可能となる。第 2 のデータプロセッサ 300 の待機状態においてチップ 301 だけを動作させることにより、第 1 の外部バス 103 を第 2 の外部バス 105 へ接続することが可能になる。

【0064】

図 4 には第 2 のデータプロセッサ 101 が備える第 1 の外部インタフェース 119 の具体的な一例を示す。第 1 の外部インタフェース回路 119 は外部バスアクセス制御部 401、バス変換調停部 402、内部バスアクセス制御部 403、RAM アクセス制御部 404、リセット / 割り込み制御部 405 から構成される。

【0065】

第 1 の外部バス 103 からのアクセス情報は外部バスアクセス制御部 401 に入力され、入力情報が同期化されてバス変換調停部 402 へ転送される。バス変換調停部は当該アクセスが RAM 107 へのアクセスか内部バス 108 へのアクセスかを判定し、内部バス 108 へのアクセスであった場合には内部バスアクセス制御部 403 へアクセス要求を出して内部バス 108 のバスアクセス仕様に仕立てたバスアクセス動作を起動する。要するに、アドレス信号、バスアクセス制御信号、データを内部バス 108 のバスアクセス仕様に準拠してバス 108 に供給し、また、データをバス 108 から受取る。RAM 107 へのアクセス要求である場合には RAM アクセス制御部 404 にメモリアクセス要求を出して RAM 107 のアクセス仕様に準拠してアクセス動作を起動する。要するに、アドレス信号、メモリ制御信号、データをメモリアクセス仕様に仕立てて RAM 107 に供給

10

20

30

40

50

し、また、データをRAM 107から受取る。

【0066】

CPU 109への割り込み/リセットの発行や、CPU 109からの割り込みはリセット/割り込み制御部405で処理され、外部バスアクセス制御部401が第1の外部バス103上のデバイスに対して対応する要求を発行する。また、第1の外部バス103上のデバイスからの要求やRAMアクセス制御部404からの動作要求は外部バスアクセス制御部401が対応する割り込み要求としてリセット/割り込み制御部405に与える。

【0067】

図5には第2のデータプロセッサ101が備える第1の外部インタフェース119の更に具体的な別の例を示す。同図には、バス103との間のインタフェース、バス115との間のインタフェース、RAM 107との間のインタフェースとを実現する為の具体例を示す。第1の外部インタフェース回路119は、制御回路410、インデックスレジスタIDX、アドレスフラグFGを有する。制御回路410はアドレスレジスタADR、データレジスタDAT、コマンドレジスタCMD、アクセス制御レジスタACS、ステータスレジスタSTSなどの制御回路内蔵レジスタを有する。アドレスフラグFGは、論理値“1”が設定されると、インデックスレジスタIDXの選択を指定し、論理値“0”が設定されると制御回路内蔵レジスタの選択を指定する。論理値“0”が設定されたとき、制御回路内蔵レジスタの内のどのレジスタを選択するかはインデックスレジスタIDXの値で決まる。インデックスレジスタIDX及びアドレスフラグFGは第1の外部バス103を介してアクセスされる。バス103はデータバス103D、アドレスバス103A及びコントロールバス103Cから成る。インデックスレジスタIDXの値にしたがって制御回路内蔵レジスタが選択されて、対応するレジスタにデータバス103D経由でアドレス情報、データ情報、バスアクセス制御情報、コマンド情報がロードされ、ロードされたコマンド情報に従って、RAM 107に対するアクセス、バス115に対するアクセスが起動される。この時のアクセスには前記レジスタの設定値が用いられ、アクセスタイミングはアクセス制御情報が決定する。外部バス103を介してRAM 107に書き込まれたデータはCPU 109が内部バス108を経由してアクセスすることができる。バス108はデータバス108D、アドレスバス108A及びコントロールバス108Cから成る。バス115はデータバス115D、アドレスバス115A及びコントロールバス115Cから成る。

【0068】

図6には本発明に係るデータ処理システムにおけるデータプロセッサのブートプログラムの初期的書き込みに関する例を示す。図6の例では、CPU 109の内部バス115にメモリ502が配置され、また、第2の外部バス105にメモリ501が配置される。この例では、特に制限されないが、前記メモリ501, 502はユーザプログラム格納領域として利用されることになる。その場合には、第2のデータプロセッサ101がリセット直後に実行するブートプログラムは、前記メモリ501又は502に通常格納される。図6では内部メモリ502を内部低速バス115に接続しているが、内部高速バス108に接続してもよい。第2のデータプロセッサの内部メモリ502はフラッシュメモリ等のような電氣的に書き換え可能な不揮発性メモリであり、CPU 109等と同じ半導体基板上に形成してもよく、或は異なる半導体基板上にそれぞれを形成し、1のパッケージに封入するものであってもよい。異なる半導体基板上に形成して1のパッケージに封入する場合、第2のデータプロセッサ101の内部バス108, 115に接続するのではなく、パッケージ内部において第2の外部バス105に接続するようにしてもよい。ここでは、電氣的に書き換え可能な不揮発性メモリ501, 502をプログラムメモリとして利用する。

【0069】

前記電氣的に書き込み可能な不揮発性メモリ501, 502に対するプログラムの初期的な書き込みはデータプロセッサ101などの半導体集積回路の製造過程においてEPROMライタのような書き込み装置を用いて行なうことが従来から行われてきた。図6の例では、データプロセッサ101がデータ処理システム上に実装された初期的な段階では不揮

10

20

30

40

50

発性メモリ501, 502にブートプログラムが初期書き込みされていない状態を想定する。図6のデータ処理システムはそのような状態からブートプログラムを初期的に書き込み可能とするものである。要するに、第2のデータプロセッサ101のブートをRAM107から行える仕組みを第2のデータプロセッサ101に内蔵させる。即ち、第1のデータプロセッサ100から第1の外部バス103を経由して第2のデータプロセッサ101のブートプログラムをRAM107に書き込み、書き込み後に第2のデータプロセッサ101にRAM107のプログラムを実行させる。そのためには、第2のデータプロセッサ101をRAM107のプログラム実行により起動するかメモリ501又は502のプログラム実行により起動するかを切り替える必要がある。この切り換えは、リセット信号(RES)504によるリセット動作の指示に際してブートモード信号(BT)503のレベルを用いて行なう。例えばリセット信号504がローレベルの期間に、ブートモード信号503がハイレベルの時はRAM107のプログラム実行から起動し、ブートモード信号503がローレベルの時はメモリ501、502のプログラム実行から起動する。

10

20

30

40

50

【0070】

ブートプログラムの初期的書き込みの為の構成を詳述する。前記第2のデータプロセッサ101において、前記RAM107は、リセット信号504によるリセット動作解除後の第1動作モードにおいて前記第1のデータプロセッサ100により書き込み可能にされる。前記第1動作モードは、例えばリセット信号504がローレベルされるリセット期間に、ブートモード信号503がハイレベルにされていて、リセット信号504がハイレベルにネゲートされてリセット動作が解除された動作状態である。このとき、CPU109は命令フェッチが抑制される。要するに、CPU109に対するスタートベクタの供給が抑制されている。このときのRAM107に対するアクセスは前述の通り、第1のデータプロセッサ100が第1の外部インタフェース回路106に対して行なえばよい。データプロセッサ100によるRAM107への書き込みが終了すると、データプロセッサ100から第1の外部インタフェース回路119に与えられるコマンドにより、或はブートモード信号503のハイレベルからローレベルへの変化に応答して、CPU109にRAM107の先頭アドレスを指定するスタートベクタが供給される。これによってCPU109はRAM107に格納されたプログラムを実行する。ここでは、ユーザプログラムの初期的な書き込みという操作に着目しているのであるから、RAM107に格納される前記プログラムは少なくともユーザプログラムの書き込み制御プログラムであればよい。ユーザプログラム自体も前記プログラムと一緒にRAM107に予め転送されていてよい。或は、RAM107に転送された書き込み制御プログラムの実行により、ユーザプログラムをシリアルインタフェース回路116等から取り込んでメモリ502などに初期的に書き込むようにしてもよい。

【0071】

リセット動作解除後の第2動作モードではCPU109による命令フェッチの対象は、前記メモリ501又は502である。前記第2動作モードは、例えばリセット信号504がローレベルにされるリセット期間に、ブートモード信号503がローレベルにされて、リセット信号504がハイレベルにネゲートされてリセット動作が解除された動作状態である。これにより、CPU109は前記第1動作モードを介して前記メモリ501又は502に初期的に格納されたユーザプログラムを実行する。

【0072】

前記第1のデータプロセッサ100からRAM107へブートプログラムとしての前記書き込み制御用プログラムを格納する動作を説明する。

【0073】

先ず、第2のデータプロセッサ101をブートする前に、第1のデータプロセッサ100に接続しているメモリ505もしくはメモリカード506などの外部記憶もしくは図示を省略するシリアルインタフェースなどから入力したブートプログラムを第1のデータプロセッサ100が第2のデータプロセッサ101のRAM107に書き込む。

【0074】

R A M 1 0 7 に転送するブートプログラムはアプリケーションまでを含んだものでも構わないが、次のような処理を含んでいれば短いブートプログラムで対応可能となる。例えば、R A M 1 0 7 上のプログラムには、第 1 のデータプロセッサ 1 0 0 から第 1 の外部インターフェイス回路 1 1 9 を介してプログラムの転送を行なってメモリ 5 0 1 又は 5 0 2 に書き込むプログラムが格納されている。或は、第 2 のデータプロセッサの周辺デバイス 1 1 6 のシリアル、U S B、メモリカードを用いて、プログラムをメモリ 5 0 1、5 0 2 に転送して書き込むプログラムが格納される。

【 0 0 7 5 】

上記より、第 2 のデータプロセッサ 1 0 1 のブート用メモリ 5 0 1、5 0 2 がフラッシュメモリであった場合に、システム組み立ての後工程において本来ならフラッシュメモリを初期化する仕組みが必要であったが、R A M 1 0 7 からブートするモードでフラッシュメモリの初期化を行うことができるようになるため、データプロセッサ 1 0 1 の量産コストを低減することが可能になる。

【 0 0 7 6 】

図 7 には図 6 のデータ処理システムにおけるブート動作のタイミングチャートが例示される。

【 0 0 7 7 】

第 1 のデータプロセッサ 1 0 0 はブートモード信号 5 0 3 とリセット信号 5 0 4 を供給し、第 2 のデータプロセッサ 1 0 1 の起動を制御する。

【 0 0 7 8 】

第 1 のデータプロセッサはブートモード信号 5 0 3 をハイレベルにしてリセットを解除（リセット信号をローレベルからハイレベルに遷移）することで、R A M 1 0 7 からブートするモードで第 2 のデータプロセッサを起動し、第 1 の外部バス 1 0 3 を介して R A M 1 0 7 にブートプログラムを転送する。第 2 のデータプロセッサの C P U 1 0 9 は、ブートモード信号がハイレベルであることを検出し、第 1 の外部インターフェイス回路 1 1 9 を介して R A M 1 0 7 からブートプログラムをフェッチする。C P U 1 0 9 は、ブートプログラムの転送中には命令フェッチが抑止されるため、ブートプログラムの供給が行われず、ウェイトした状態におかれる。ブートプログラムの転送終了にあわせて第 1 のデータプロセッサ 1 0 0 は転送終了コマンドを第 1 の外部インターフェイス回路 1 1 9 に転送し、第 1 の外部インターフェイス回路 1 1 9 は C P U 1 0 9 にブートプログラムのフェッチを指示することで、第 2 のデータプロセッサ 1 0 1 は R A M 1 0 7 のプログラムで起動する。C P U 1 0 9 は R A M 1 0 7 内のブートプログラムを実行し、内部高速バス 1 0 8 を経由して、メモリ 5 0 1、5 0 2 にブートプログラムを書き込む処理を行なう。メモリ 5 0 1、5 0 2 へのブートプログラムの書込みが終了した段階で再度第 2 のデータプロセッサ 1 0 1 をリセットし（リセット信号（R E S）5 0 4 をハイレベルからローレベルに遷移）、次はブートモード信号（B T）5 0 3 をローレベルにした状態でリセットを解除し、第 2 のデータプロセッサ 1 0 1 を起動する。これにより C P U 1 0 9 は、メモリ 5 0 1、5 0 2 からブートプログラムをフェッチし、これを実行することにより、第 2 のデータプロセッサのデータ処理動作が起動される。

【 0 0 7 9 】

図 7 の例は、第 1 の外部バス 1 0 3 を介して、第 1 のデータプロセッサ 1 0 0 に接続しているメモリ 5 0 5 若しくはメモリカード 5 0 6 からメモリ 5 0 1、5 0 2 にブートプログラムを供給する動作タイミングを示している。

【 0 0 8 0 】

図 8 には図 6 のデータ処理システムにおけるブート動作の別のタイミングチャートが例示される。同図に示されるタイミングは、第 2 のデータプロセッサ 1 0 1 にあるシリアルや U S B 1 1 6 等を介してメモリ 5 0 1、5 0 2 に格納するブートプログラムを供給する場合を想定している。その他の点は図 7 と同じである。

【 0 0 8 1 】

図 9 にはメモリ 5 0 1 又は 5 0 2 にブートプログラムが格納されている状態において、

10

20

30

40

50

ブートプログラムの更新又は第２のデータプロセッサ１０１で実行されるアプリケーションを追加／更新する場合のタイミングチャートが例示される。

【００８２】

第１のデータプロセッサ１００はブートモード信号５０３をローレベルにしてリセットを解除することで、第２のデータプロセッサ１０１はメモリ５０１，５０２からブートプログラムをフェッチし起動を開始する。メモリ５０１，５０２には予めブートプログラムの更新又はプロセッサ２で実行されるアプリケーションを追加／更新するための転送プログラムが格納されており、第１のデータプロセッサ１００からの起動指示等により転送プログラムが起動される。例えば第１のデータプロセッサ１００に接続されるアンテナを介して、無線通信により追加のアプリケーションを受信する場合、第１のプロセッサ１００は受信した追加のアプリケーションを外部バス１０３を介してＲＡＭ１０７に転送する。第２のデータプロセッサ１０１はＲＡＭ１０７に格納された追加のアプリケーションを第１の外部インターフェイス回路１１９を介して内部バス１０８に取り込み、メモリ５０１又は５０２に転送して書込を行う。

【００８３】

図１０には図３のデータプロセッサ３００を構成するマルチチップモジュールの断面図が例示される。高密度実装基板５１０の一面には、ガラスエポキシ基板で成るようなプリント配線基板の実装面に接続されるパンプ電極５１１が多数配列され、他方の面には前記パンプ電極５１１に接続されたマイクロパンプ電極５１２及びパッド電極５１３が多数配置される。マイクロパンプ電極５１２の一部には前記半導体チップ３０２のボンディングパッドがフェースダウンで実装される。前記半導体チップ３０２の上に別の半導体チップ３０１が積層配置され、この半導体チップ３０１のボンディングパッドはボンディングワイヤ５１５にて対応する前記パッド電極５１３に接続される。ボンディングワイヤ５１５及び半導体チップ３０１，３０２の全体は樹脂５１６でモールドされる。

【００８４】

以上本発明者によってなされた発明を具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【００８５】

例えばデータプロセッサが内蔵する周辺回路やその他の回路モジュールは図１などに基づいて説明した回路に限定されず適宜変更することが可能である。データプロセッサの内部バスは高速バスと低速バスに別れていなくてもよい。また、第１の回路部と第２の回路部に対する動作電源系統は外部電源端子から別々にしなくても、スイッチ回路で電源供給の停止を制御できるようにしてもよい。また、データプロセッサをマルチチップモジュールとして構成するとき、登載する半導体集積回路の種類は上記の例に限定されず、フラッシュメモリ５０２のような半導体チップと、その他ＣＰＵ１０９などのプロセッサコアチップ、及び半導体チップ３０１のようなインタフェースチップを合計３枚登載してもよい。フラッシュメモリチップはマルチチップモジュールに複数チップ登載してもよい。

【００８６】

本発明は、携帯電話システム、更には表示制御システム、プリンタシステム、その他の携帯情報端末等、複数のデータプロセッサを用いて処理負担の分散を企図したデータ処理システム、そしてそのようなデータ処理システムに利用するデータプロセッサに広く適用することができる。

【符号の説明】

【００８７】

- １００ 第１のデータプロセッサ
- １０１ 第２のデータプロセッサ
- １０３ 第１のバス
- １０５ 第２のバス
- １１３ 第２の外部インタフェース回路

10

20

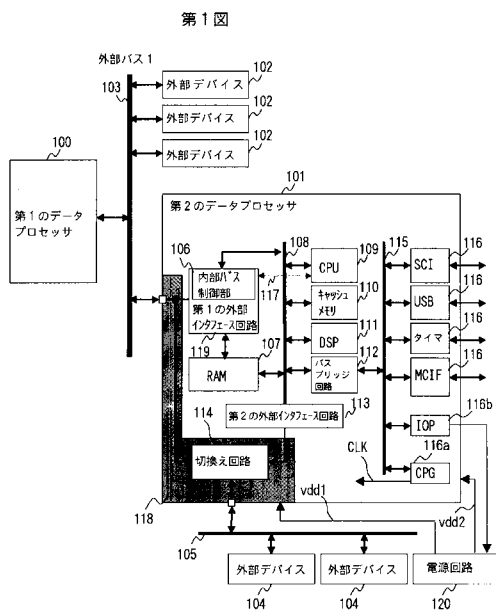
30

40

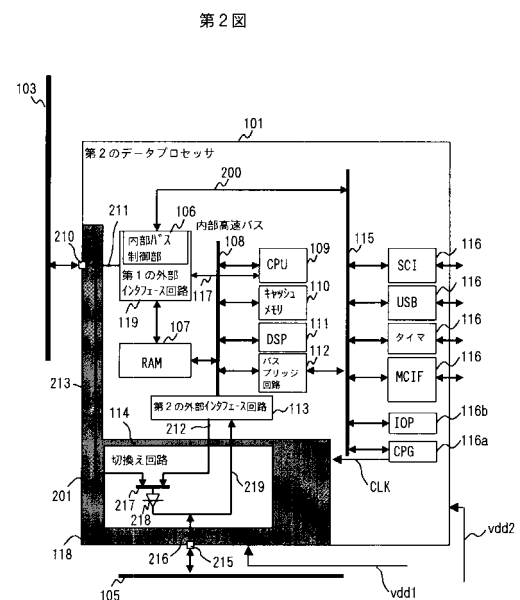
50

- 1 1 4 切 換 え 回 路
1 1 9 第 1 の 外 部 イン タ フ ェ ー ス 回 路

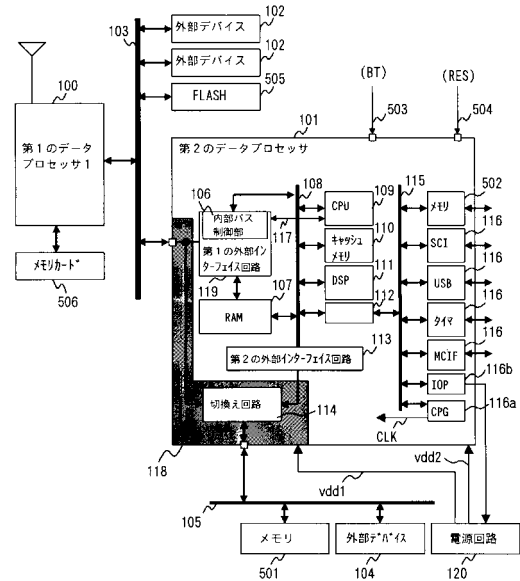
【 図 1 】



【 図 2 】

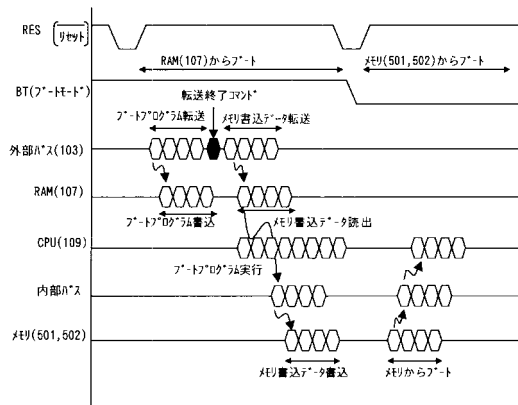


第3図



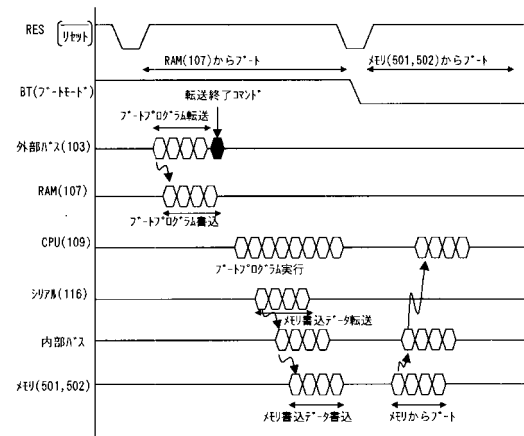
【図 7】

第 7 図



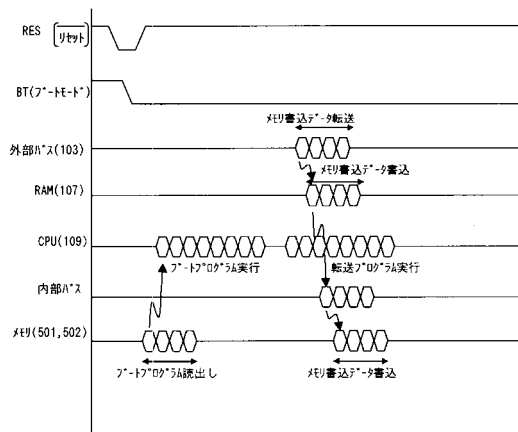
【図 8】

第 8 図



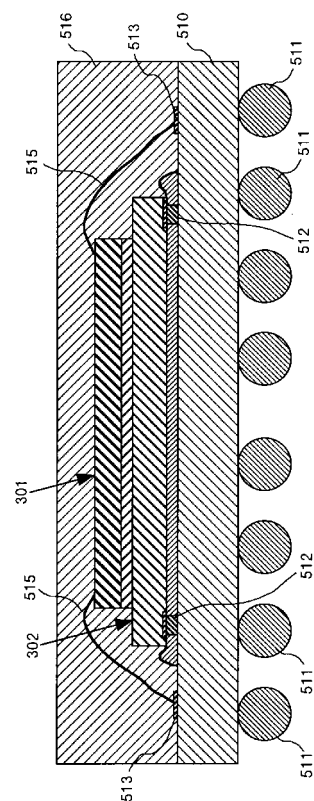
【図 9】

第 9 図



【図 10】

第 10 図



フロントページの続き

(72)発明者 服部 俊洋

東京都小平市上水本町五丁目 2 0 番 1 号 株式会社日立製作所半導体グループ内

F ターム(参考) 5B062 AA05 CC01 EE10 FF02 FF04 HH06

5B077 BA04 BA08 MM02