(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年9月27日(27.09.2018)

WIPO | PCT

(10) 国際公開番号
WO 2018/173281 A1

(51) 国際特許分類:
G09G 3/3233 (2016.01) *G09G 3/3291* (2016.01)
G09G 3/20 (2006.01)

(21) 国際出願番号： PCT/JP2017/012123

(22) 国際出願日： 2017年3月24日(24.03.2017)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人:シャープ株式会社(**SHARP KABUSHIKI KAISHA**) [JP/JP]; 〒5908522 大阪府堺市堺区匠町１番地 Osaka (JP).

(72) 発明者: 横山 真 (**YOKOYAMA, Makoto**). 三谷 昌弘 (**MITANI, Masahiro**). 酒井 保 (**SAKAI, Tamotsu**). 小林 史幸 (**KOBAYASHI, Fumiyuki**).

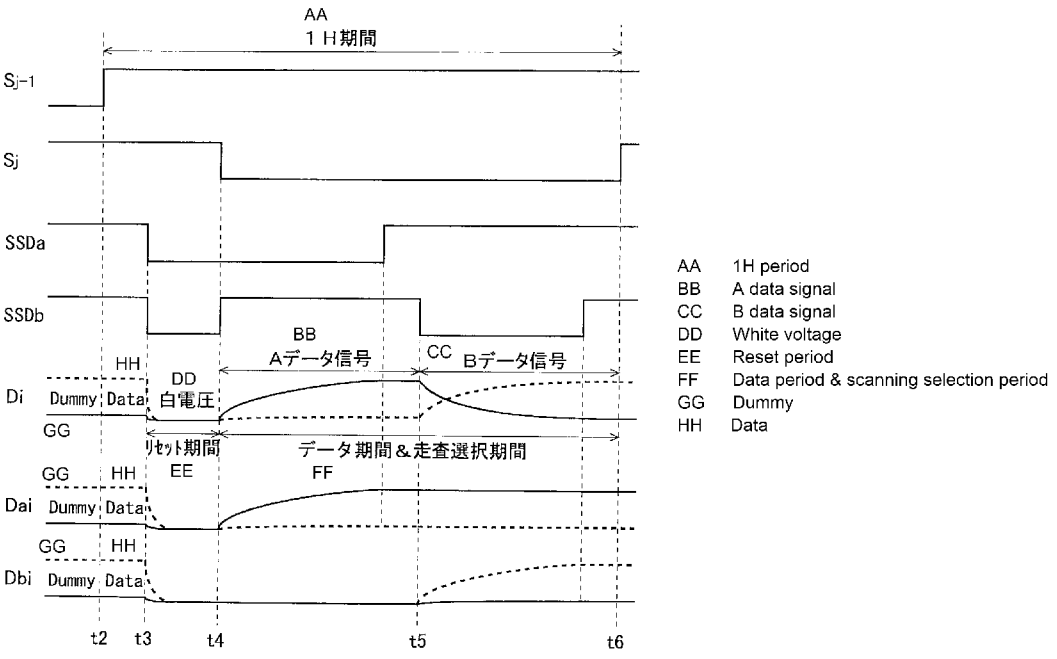
(74) 代理人: 島田 明宏, 外 (**SHIMADA, Akihiro** et al.); 〒6340078 奈良県橿原市八木町１丁目１０番３号 萬盛庵ビル 島田特許事務所 Nara (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA,

WO 2018/173281 A1

(54) **Title:** DISPLAY DEVICE AND DRIVING METHOD THEREFOR

(54) 発明の名称： 表示装置およびその駆動方法



(57) **Abstract:** The present invention provides an organic EL display device of an SSD type, which is capable of sufficiently carrying out internal compensation and charging at a data voltage in a pixel circuit even when a displayed image has a high definition. M-number of demultiplexers are provided corresponding to m sets of data signal line groups, in which k-number of data signal lines (here, k=2) constitute a single set. Each of the demultiplexers simultaneously sets selection control signals SSDa, SSDb to low levels (active) during a reset period before a scanning signal line Sj is se-

［続葉有］

RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

lected. At this time, a white voltage is supplied as a reset voltage from a data-side driving circuit to data signal lines via the respective demultiplexers. Then, during the selection period of the scanning signal line Sj, each of the demultiplexers sequentially switches the data signal lines, to which a data signal from the data side driving circuit should be suppled among the k-number of data signal lines, in response to the selection control signals SSDa, SSDb.

(57) 要約:本願は、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行えるＳＳＤ方式の有機ＥＬ表示装置を開示する。ｋ本のデータ信号線(ここではｋ＝２)を１組とするｍ組のデータ信号線群にそれぞれ対応するｍ個のデマルチプレクサが設けられる。各デマルチプレクサは、走査信号線Ｓｊが選択される前のリセット期間に選択制御信号ＳＳＤａ，ＳＳＤｂを同時にローレベル(アクティブ)とする。このとき、データ側駆動回路から白電圧がリセット電圧として各デマルチプレクサを介して各データ信号線に供給される。その後、走査信号線Ｓｊの選択期間において各デマルチプレクサは、データ側駆動回路からのデータ信号を供給すべきデータ信号線を対応するｋ本のデータ信号線の間で選択制御信号ＳＳＤａ，ＳＳＤｂにより順次切り換える。

明　細　書

発明の名称 ： 表示装置およびその駆動方法

技術分野

[0001] 本発明は表示装置に関し、より詳しくは、有機ＥＬ（Electro Luminescence）表示装置等の電流で駆動される表示素子を備えた表示装置およびその駆動方法に関する。

背景技術

[0002] 薄型、高画質、低消費電力の表示装置として、有機ＥＬ表示装置が知られている。有機ＥＬ表示装置には、電流で駆動される自発光型表示素子である有機ＥＬ素子（「有機発光ダイオード（Organic Light Emitting Diode）」とも呼ばれる）および駆動トランジスタ等を含む複数の画素回路がマトリクス状に配置されている。

[0003] ところで、有機ＥＬ表示装置等の各種表示装置の駆動方式の１つとして、データ側駆動回路（以下「データドライバ」ともいう）で生成された各駆動信号を逆多重化して表示部における２以上の所定数のデータ信号線（ソースライン）に与える駆動方式（以下「ＳＳＤ（Source Shared Driving）方式」と呼ぶ）が知られている。図１５は、特許文献１に開示された、ＳＳＤ方式を採用した有機ＥＬ表示装置における画素回路と各種配線との接続関係を示す回路図である。このＳＳＤ方式を採用した有機ＥＬ表示装置（以下「第１従来例」という）では、ＲＧＢ３原色によるカラー表示が行われる。ｍ×ｋ（ｍ，ｋは２以上の整数）本のデータ線とｎ（ｎは２以上の整数）本の走査線との交差点に対応して、ｍ×ｋ×ｎ個の画素回路１１が設けられている。本明細書では、Ｒ（赤）に対応する画素回路を「Ｒ画素回路」といい、符号「１１ｒ」で表す。また、Ｇ（緑）に対応する画素回路を「Ｇ画素回路」といい、符号「１１ｇ」で表す。また、Ｂ（青）に対応する画素回路を「Ｂ画素回路」といい、符号「１１ｂ」で表す。

[0004] 図示しないデータドライバの出力端子に接続されたｍ本の出力線Ｄｉ（ｉ

＝１～ｍ）は、ｍ個のデマルチプレクサ４１にそれぞれ対応している。各デマルチプレクサ４１に対応する出力線Ｄｉは、当該デマルチプレクサ４１に含まれる３個の選択トランジスタＭｒ，Ｍｇ，Ｍｂを介して、３本のデータ線Ｄｒｉ，Ｄｇｉ，Ｄｂｉにそれぞれ接続されている。選択トランジスタＭｒ，Ｍｇ，Ｍｂはすべてｐチャネル型である。選択トランジスタＭｒ，Ｍｇ，Ｍｂはそれぞれｒ，ｇ，ｂに対応している。選択トランジスタＭｒは、ｒに対応するデータ信号（以下「ｒデータ信号」という。）をデータ線Ｄｒｉに供給すべきときに選択制御信号ＳＳＤｒに応じてオン状態になる。選択トランジスタＭｇは、ｇに対応するデータ信号（以下「ｇデータ信号」という。）をデータ線Ｄｇｉに供給すべきときに選択制御信号ＳＳＤｇに応じてオン状態になる。選択トランジスタＭｂは、ｂに対応するデータ信号（以下「ｂデータ信号」という。）をデータ線Ｄｂｉに供給すべきときに選択制御信号ＳＳＤｂに応じてオン状態になる。以下では、選択トランジスタＭｒ，Ｍｇ，Ｍｂをそれぞれ「ｒ選択トランジスタ」、「ｇ選択トランジスタ」、および「ｂ選択トランジスタ」という。また、選択制御信号ＳＳＤｒ，ＳＳＤｇ，ＳＳＤｂをそれぞれ「ｒ選択制御信号」、「ｇ選択制御信号」、「ｂ選択制御信号」という。また、データ線Ｄｒｉ，Ｄｇｉ，Ｄｂｉをそれぞれ「ｒデータ線」、「ｇデータ線」、および「ｂデータ線」という。データドライバから出力されるデータ信号は、各デマルチプレクサ４１により時分割されて当該デマルチプレクサ４１に接続されたｒデータ線Ｄｒｉ、ｇデータ線Ｄｇｉ、およびｂデータ線Ｄｂｉに順に与えられる。このようなＳＳＤ方式を採用することにより、データドライバの回路規模を縮小することができる。

[0005] 第１従来例（特許文献１に開示された有機ＥＬ表示装置）では、図１５に示すように、ｒデータ線Ｄｒｉ、ｇデータ線Ｄｇｉ、およびｂデータ線Ｄｂｉに、データ信号の電圧（以下「データ電圧」ともいう）を保持するためのデータキャパシタＣｄｒｉ，Ｃｄｇｉ，Ｃｄｂｉがそれぞれ接続されている。以下では、データキャパシタＣｄｒｉ，Ｃｄｇｉ，Ｃｄｂｉをそれぞれ「

Ｒデータキャパシタ」、「Ｇデータキャパシタ」、「Ｂデータキャパシタ」という。各画素回路１１は、１個の有機ＥＬ素子ＯＬＥＤ、６個のトランジスタＭ１～Ｍ６、２個のキャパシタＣ１，Ｃ２を含んでいる。トランジスタＭ１～Ｍ６はすべてＰチャネル型である。トランジスタＭ１は、有機ＥＬ素子ＯＬＥＤに供給すべき電流を制御するための駆動トランジスタである。トランジスタＭ２は、データ信号の電圧（データ電圧）を画素回路に書き込むための書込用トランジスタである。トランジスタＭ３は、輝度ムラの原因となる駆動トランジスタＭ１のしきい値電圧のばらつきを補償するための補償用トランジスタである。トランジスタＭ４は、駆動トランジスタＭ１のゲート電圧Ｖｇを初期化するための初期化用トランジスタである。トランジスタＭ５は、画素回路１１へのハイレベル電源電圧ＥＬＶＤＤの供給を制御するための電源供給用トランジスタである。トランジスタＭ６は、有機ＥＬ素子ＯＬＥＤの発光期間を制御するための発光制御用トランジスタである。キャパシタＣ１，Ｃ２は、駆動トランジスタＭ１のソース－ゲート間電圧Ｖｇｓを保持するためのキャパシタである。Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂのそれぞれで、書込用トランジスタＭ２のゲート端子は、これらのＲ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂに沿った走査線Ｓｊに接続されている。

[0006] 図１６は、図１５に示す画素回路の駆動方法を示すタイミングチャートである。時刻ｔ１～ｔ２では、初期化用トランジスタＭ４がオン状態になることにより駆動トランジスタＭ１のゲート電圧Ｖｇが初期化される。時刻ｔ２～ｔ３では、Ｒデータ線ＤｒｉにＲデータ信号が供給され、ＲデータキャパシタＣｄｒｉに当該Ｒデータ信号の電圧が保持される。時刻ｔ３～ｔ４では、Ｇデータ線ＤｇｉにＧデータ信号が供給され、ＧデータキャパシタＣｄｇｉに当該Ｇデータ信号の電圧が保持される。時刻ｔ４～ｔ５では、Ｂデータ線ＤｂｉにＢデータ信号が供給され、ＢデータキャパシタＣｄｂｉに当該Ｂデータ信号の電圧が保持される。時刻ｔ５になると、Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂのそれぞれで書込用トランジスタ

Ｍ２および補償用トランジスタＭ３がオン状態になることにより、書込用トランジスタＭ２、駆動トランジスタＭ１、および補償用トランジスタＭ３を介して、データ電圧が駆動トランジスタＭ１のゲート端子に与えられる。このとき、駆動トランジスタＭ１はダイオード接続状態となり、駆動トランジスタＭ１のゲート電圧Ｖｇは、次式（１）で与でられる。

$$Vg = Vdata - Vth \quad \cdots (1)$$

ここで、Ｖｄａｔａはデータ電圧であり、Ｖｔｈは駆動トランジスタＭ１のしきい値電圧である。

[0007] 時刻ｔ６になると、書込用トランジスタＭ２および補償用トランジスタＭ３がオフ状態になり、電源供給用トランジスタＭ５および発光制御用トランジスタＭ６がオン状態になる。このため、次式（２）で与えられる駆動電流Ｉが有機ＥＬ素子ＯＬＥＤに供給され、駆動電流Ｉの電流値に応じて有機ＥＬ素子ＯＬＥＤが発光する。

$$I = (\beta / 2) \cdot (Vgs - Vth)^2 \quad \cdots (2)$$

ここで、βは定数、Ｖｇｓは駆動トランジスタＭ１のソース－ゲート間電圧を表す。駆動トランジスタＭ１のソース－ゲート間電圧Ｖｇｓは、次式（３）で与えられる。

$$Vgs = ELVDD - Vg$$
$$= ELVDD - Vdata + Vth \quad \cdots (3)$$

[0008] 式（２）および式（３）から、次式（４）が導かれる。

$$I = \beta / 2 \cdot (ELVDD - Vdata)^2 \quad \cdots (4)$$

式（４）では、しきい値電圧Ｖｔｈの項がなくなっている。このため、駆動トランジスタＭ１のしきい値電圧Ｖｔｈのばらつきが補償される。このようにして第１従来例では、画素回路内の構成によって駆動トランジスタのしきい値電圧のばらつきが補償される（以下、このようして駆動トランジスタのしきい値電圧を補償することを「内部補償」という）。なお、駆動トランジスタＭ１のしきい値電圧Ｖｔｈのばらつきは、駆動トランジスタＭ１をダイオード接続状態とすることによりしきい値電圧Ｖｔｈの補償を行う期間Ｔ

ｃｏｍｐを長く設けるほど抑制されることが従来から知られている。

先行技術文献

特許文献

[0009] 特許文献1：日本国特開２００７－７９５８０号公報

特許文献2：日本国特開２００８－１５８４７５号公報

特許文献3：日本国特開２００７－２８６５７２号公報

発明の概要

発明が解決しようとする課題

[0010] 上記第１従来例（特許文献１に開示された有機ＥＬ表示装置）では、Ｒデータ信号、Ｇデータ信号、およびＢデータ信号を順にＲデータ線Ｄｒｉ、Ｇデータ線Ｄｇｉ、およびＢデータ線Ｄｂｉにそれぞれ供給している。また、図１５に示すように、書込用トランジスタＭ２のゲート端子の接続先は、Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂのいずれにおいても走査線Ｓｊとなっている。このため、Ｒデータ線ＤｒｉへのＲデータ信号の供給、Ｇデータ線ＤｇｉへのＧデータ信号の供給、および、Ｂデータ線ＤｂｉへのＢデータ信号の供給のいずれかが開始される前に走査線Ｓｊが選択状態なると、Ｒデータ線Ｄｒｉ、Ｇデータ線Ｄｇｉ、および、Ｂデータ線Ｄｂｉの電圧のいずれかを、キャパシタＣ１に書き込めないことがある。

[0011] 例えば図１７に示すように、Ｒデータ線ＤｒｉへのＲデータ信号の供給が開始される前に走査線Ｓｊが選択状態になると（走査信号がローレベルになると）、先行の走査線Ｓｊ－１の選択時にＲデータ線Ｄｒｉに供給されたＲデータ信号の電圧（以下「直前走査時のＲデータ電圧」という）が駆動トランジスタＭ１を介してキャパシタＣ１に書き込まれる。図１５からわかるように、走査線Ｓｊが選択状態のときには、Ｒデータ線Ｄｒｉは、ダイオード接続状態の駆動トランジスタＭ１を介してキャパシタＣ１に電気的に接続されている。このため、走査線Ｓｊの選択状態のときにＲデータ線Ｄｒに供給されるＲデータ信号の電圧（以下「現走査時のＲデータ電圧」という）が直

前走査時のＲデータ電圧よりも低い場合には、現走査時のＲデータ電圧をキャパシタＣ１に書き込むことができない。例えば、直前走査時のＲデータ電圧が最低輝度（黒表示）に近い輝度に相当する電圧である場合、図１７に示すように、走査線Ｓｊが選択されてからデマルチプレクサ４１における選択トランジスタＭｒがオンするまでの間（走査線Ｓｊの信号がローレベルに変化してから選択制御信号ＳＳＤｒがローレベルに変化するまでの間）に最低輝度に近い輝度に相当する電圧すなわち最大値に近い電圧がＲ画素回路１１ｒ内のキャパシタＣ１に書き込まれる。このため、比較的高い輝度の電圧すなわち最大値Ｖｄ１よりも十分に小さい電圧Ｖｄ２が現走査時のＲデータ電圧として画素回路１１ｒに与えられると、その画素回路１１ｒの駆動トランジスタＭ１はオフ状態となり、そのキャパシタＣ１の電圧（駆動トランジスタＭ１のゲート電圧Ｖｇ）は最大値に近い電圧Ｖｎｇ２のまま維持される。

[0012] このような問題（以下「ダイオード接続に起因するデータ書込不良の問題」という）を回避すべく、上記第１従来例は、図１６に示すように、Ｒ、Ｇ、およびＢデータ信号がＲ、Ｇ、およびＢデータ線Ｄｒｊ，Ｄｇｊ，Ｄｂｊにそれぞれ供給されている期間であるデータ書込期間では走査線Ｓｊは非選択状態であり、このデータ書込期間後に走査線Ｓｊが選択状態（図１６の例ではローレベル）となるように構成されている。

[0013] このようにして上記第１従来例では、Ｒ、Ｇ、およびＢデータ信号は、ＳＳＤ方式に基づきＲ、Ｇ、およびＢデータ線Ｄｒｊ，Ｄｇｊ，Ｄｂｊに順次に書き込まれた後に走査線Ｓｊが選択状態とされることによりＲ、Ｇ、およびＢ画素回路に書き込まれる。すなわち、この第１従来例のようにダイオード接続を利用して内部補償を行うＳＳＤ方式の有機ＥＬ表示装置では、Ｒ、Ｇ、およびＢデータ線Ｄｒｊ，Ｄｇｊ，Ｄｂｊのような１組のデータ信号線群へのデータ信号の順次的な書き込みが完了した後でなければ、それらデータ信号の示す階調データ（データ電圧）を画素回路に書き込むことができない。このため、画素回路への階調データの書き込み、すなわち画素回路内のデータ保持用のキャパシタＣ１へのデータ電圧による充電を十分に行えない

おそれがある。近年における表示画像の高精細化に伴って水平期間が短くなると、各水平期間におけるデータ信号線へのデータ書込期間や走査線の選択期間も短くなることから、このような充電不足は特に問題となる。また、走査線の選択期間が短くなると、各画素回路内の駆動トランジスタのしきい値電圧のばらつきの補償による輝度ムラの抑制も十分に行えない。

[0014] これに対し、例えば特許文献２に記載された有機ＥＬ表示装置（有機電界発光表示装置）（以下「第２従来例」という）は、図１５に示した第１従来例と同様にＳＳＤ方式を採用しつつ内部補償を行うように構成されており、図１８に示すような駆動方法が使用されている。この駆動方法では、データプログラミング段階で、データ線Ｄｒｉ，Ｄｇｉ，Ｄｂｉの電圧を低下させてデータ線を初期化するデータライン初期化段階Ｓｄｉを含む。すなわち、図１５に示した回路構成を前提とすると、図１８に示すように、デマルチプレクサ４１の選択トランジスタ（スイッチング素子）Ｍｒ，Ｍｇ，Ｍｂが選択制御信号ＳＳＤｒ、ＳＳＤｇ、ＳＳｂに応じて順次オンすることによりデータ線Ｄｒｉ，Ｄｇｉ，Ｄｂｉを介して画素回路１１ｒ，１１ｇ，１１ｂにデータ信号Ｒｄｎ，Ｇｄｎ，Ｂｄｎがそれぞれ供給された後、時点ｔｓにおいてデータライン初期化段階Ｓｄｉが開始される。この駆動方法によれば、現在走査線Ｓｊの選択期間（図１８ではローレベルの期間）でデータ線Ｄｒｉ，Ｄｇｉ，Ｄｂｉにデータ信号Ｒｄｎ，Ｇｄｎ，Ｂｄｎがそれぞれ供給される前の前回走査線Ｓｊ－１の選択期間において、選択トランジスタＭｒ，Ｍｇ，Ｍｂがオフされる前にデータ線Ｄｒｉ，Ｄｇｉ，Ｄｂｉが初期化データ信号Ｒｉ，Ｇｉ，Ｂｉによってそれぞれ初期化される。

[0015] 上記第２従来例によれば、図１７に示される問題すなわちダイオード接続に起因するデータ書込不良の問題を回避しつつ画素回路へのデータ電圧の書込や駆動トランジスタのしきい値電圧Ｖｔｈの補償を行うための期間を上記第１従来例よりも長くすることができる（図１６、図１８参照）。しかし図１８に示すように、各水平期間（１Ｈ期間）において走査線が選択状態である間に３つのデータライン初期化段階Ｓｄｉが含まれる。このため、表示画

像の高精細化が進むと、上記第２従来例においても、画素回路におけるデータ電圧の充電不足や内部補償における時間不足を十分に解消することができなくなる。

[0016] そこで、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行えるＳＳＤ方式の有機ＥＬ表示装置を提供することが望まれている。

課題を解決するための手段

[0017] 本発明のいくつかの実施形態に係る表示装置は、表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

２以上の所定数のデータ信号線を１組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサと、

前記複数の走査信号線を選択的に駆動する走査側駆動回路と、

前記複数のデマルチプレクサ、前記データ側駆動回路、および、前記走査側駆動回路を制御する表示制御回路とを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第１導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第２導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか１つに対応するとともに前記複数の走査信号線のいずれか１つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持容量に与えられるように構成されており、

前記表示制御回路は、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたリセット期間において、前記所定数のスイッチング素子を同時にオン状態とし、

前記所定数のスイッチング素子のうち少なくとも１つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とし、

前記データ側駆動回路は、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として各出力端子から出力し、

前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記表示制御回路による制御に応じて、各出力端子から前記所定数のアナログ電圧信号を時分割的に出力する。

[0018] 本発明の他のいくつかの実施形態に係る駆動方法は、表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、

前記表示装置は、

２以上の所定数のデータ信号線を１組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサとを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第１導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第２導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか１つに対応するとともに前記複数の走査信号線のいずれか１つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線から前記駆動トランジスタを介して前記保持容量に電圧が与えられるように構成されており、

前記駆動方法は、

前記複数の走査信号線を選択的に駆動する走査側駆動ステップと、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたリセット期間において、前記所定数のスイッチング素子を同時にオン状態とするリセットステップと、

前記所定数のスイッチング素子のうち少なくとも１つのスイッチング素

子が各走査信号線の選択期間においてオン状態であるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とする逆多重化ステップと、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として前記データ側駆動回路の各出力端子から出力するリセット電圧出力ステップと、

前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記逆多重化ステップに応じて、前記データ側駆動回路の各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ信号出力ステップとを備える。

発明の効果

[0019] 本発明の上記いくつかの実施形態では、ＳＳＤ方式が採用されていて、各走査信号線につき、当該走査信号線が選択される直前に選択された先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたリセット期間において各デマルチプレクサにおける所定数のスイッチング素子が同時にオン状態とされ、そのリセット期間において、各データ信号線を初期化するための電圧がリセット電圧としてデータ側駆動回路の各出力端子から出力される。その後、各デマルチプレクサにおける所定数のスイッチング素子のうち少なくとも１つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、そのリセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に各デマルチプレクサにおける所定数のスイッチング素子が所定期間ずつ順次にオン状態となる。これにより、データ側駆動回路の各出力端子から時分割的に出力される所定数のアナログ電圧信号が、対応するデマルチプレクサを介して対応する所定数のデータ信号線に順次に供給される。このようにして本発明の上記いくつかの実施形態によれば、各走査信号線の選択期間の前でかつ各データ信号線

にデータ信号としてのアナログ電圧信号が供給される前に設けられたリセット期間において、各データ信号線が初期化される。このため、画素回路内のダイオード接続に起因するデータ書込不良の問題を回避しつつデータ期間と走査選択期間とを重複させることで、走査選択期間を狭めることなく、データライン充電期間を従来に比べ大幅に増大させることができる。これにより、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行うことができる。

図面の簡単な説明

[0020] [図1]第１の実施形態に係る表示装置の全体構成を示すブロック図である。

[図2]上記第１の実施形態における画素回路と各種配線との接続関係を示す回路図である。

[図3]図１に示す表示装置において従来の駆動方法を採用した場合の当該表示装置の駆動を説明するための信号波形図である。

[図4]上記第１の実施形態に係る表示装置の駆動を説明するための信号波形図である。

[図5]図１に示す表示装置において従来の駆動方法を採用した場合の当該表示装置の動作を説明するための信号波形図である。

[図6]本実施形態に係る表示装置の動作を説明するための信号波形図である。

[図7]上記第１の実施形態の変形例に係る表示装置を動作を説明するための信号波形図（Ａ，Ｂ）である。

[図8]第２の実施形態に係る表示装置の全体構成を示すブロック図である。

[図9]上記第２の実施形態における画素回路と各種配線との接続関係を示す回路図である。

[図10]上記第２の実施形態に係る表示装置の駆動を説明するための信号波形図である。

[図11]上記第２の実施形態に係る表示装置の動作を説明するための信号波形図である。

[図12]上記第２の実施形態の変形例に係る表示装置の動作を説明するための

信号波形図（Ａ，Ｂ）である。

[図13]上記各実施形態の他の変形例に係る表示装置を説明するための信号波形図である。

[図14]上記各実施形態の更なる他の変形例に係る表示装置を説明するための信号波形図である。

[図15]第１従来例における画素回路と各種配線との接続関係を示す回路図である。課題を説明するための信号波形図である。

[図16]図１５に示す画素回路の駆動方法を示すタイミングチャートである。

[図17]従来の有機ＥＬ表示装置における課題を説明するための信号波形図である

[図18]第２従来例における駆動方法を説明するための信号波形図である。

発明を実施するための形態

[0021] 以下、添付図面を参照しながら各実施形態について説明する。なお、以下で言及する各トランジスタにおいて、ゲート端子は制御端子に相当し、ドレイン端子およびソース端子の一方は第１導通端子に相当し、他方は第２導通端子に相当する。また、各実施形態におけるトランジスタはすべてＰチャネル型であるものとして説明するが、本発明はこれに限定されない。さらに、各実施形態におけるトランジスタは例えば薄膜トランジスタであるが、本発明はこれに限定されない。さらにまた、本明細書における「接続」とは、特に断らない限り「電気的接続」を意味し、本発明の要旨を逸脱しない範囲において、直接的な接続を意味する場合のみならず、他の素子を介した間接的な接続を意味する場合も含むものとする。

[0022] ＜１．第１の実施形態＞

＜１．１　全体構成＞

図１は、第１の実施形態に係る表示装置１の全体構成を示すブロック図である。この表示装置１は、内部補償を行うＳＳＤ方式の有機ＥＬ表示装置であって、図１に示すように、表示部１０、表示制御回路２０、データ側駆動回路（「データドライバ」とも呼ばれる）３０、デマルチプレクサ部４０、

走査側駆動回路（「走査ドライバ」とも呼ばれる）５０、および、発光制御線駆動回路（「エミッションドライバ」とも呼ばれる）６０を備えている。本実施形態では、走査側駆動回路５０および発光制御線駆動回路６０は表示部１０と一体的に形成されている（この点は、他の実施形態や変形例においても同様である）。ただし、本発明はこれに限定されない。

[0023] 表示部１０には、ｍ×ｋ（ｍ，ｋは２以上の整数であり、本実施形態ではｋ＝２である。）本のデータ信号線Ｄａ１，Ｄｂ１，Ｄａ２，Ｄｂ２，…，Ｄａｍ，Ｄｂｍと、これらに交差するｎ本の走査信号線Ｓ１～Ｓｎとが配設されており、ｎ本の走査信号線Ｓ１～Ｓｎに沿ってｎ本の発光制御線（「エミッションライン」とも呼ばれる）Ｅ１～Ｅｎがそれぞれ配設されている。また図１に示すように、表示部１０には２ｍ×ｎ個の画素回路１１が設けられており、これら２ｍ×ｎ個の画素回路１１は、それぞれが、上記２ｍ本のデータ信号線Ｄｘ１～Ｄｘｍ（ｘ＝ａ，ｂ）のいずれか１つに対応し、かつ、上記ｎ本の走査信号線Ｓ１～Ｓｎのいずれか１つに対応し、かつ、上記ｎ本の発光制御線Ｅ１～Ｅｎのいずれか１つに対応するように、上記２ｍ本のデータ信号線Ｄｘ１～Ｄｘｍ（ｘ＝ａ，ｂ）および上記ｎ本の走査信号線Ｓ１～Ｓｎに沿ってマトリクス状に配置されている。上記２ｍ本のデータ信号線Ｄｘ１～Ｄｘｍ（ｘ＝ａ，ｂ）はデマルチプレクサ部４０に接続され、上記ｎ本の走査信号線Ｓ１～Ｓｎは走査側駆動回路５０に接続され、上記ｎ本の発光制御線Ｅ１～Ｅｎは発光制御線駆動回路６０に接続されている。

[0024] また表示部１０には、各画素回路１１に共通の図示しない電源線が配設されている。より詳細には、後述の有機ＥＬ素子を駆動するためのハイレベル電源電圧ＥＬＶＤＤを供給するための電源線（以下「ハイレベル電源線」といい、ハイレベル電源電圧と同じく符号ＥＬＶＤＤで表す。）および有機ＥＬ素子を駆動するためのローレベル電源電圧ＥＬＶＳＳを供給するための電源線（以下「ローレベル電源線」といい、ローレベル電源電圧と同じく符号ＥＬＶＳＳで表す。）が配設されている。さらに、後述の初期化動作のための初期化電圧Ｖｉｎｉを供給するための初期化線（初期化電圧と同じく符号

Ｖｉｎｉで表す。）が配設されている。これらの電圧は、図示しない電源回路から供給される。

[0025] 図１では、ｍ本のデータ信号線Ｄａ１～Ｄａｍにそれぞれ形成される配線容量Ｃｄａ１～Ｃｄａｍのそれぞれが１つのキャパシタとして示され、他のｍ本のデータ信号線Ｄｂ１～Ｄｂｍにそれぞれ形成される配線容量Ｃｄｂ１～Ｃｄｂｍのそれぞれが１つのキャパシタとして示されている（以下、これらの配線容量Ｃｄｘｉ（ｘ＝ａ，ｂ；ｉ＝１～ｍ）を「データライン容量」と呼ぶ）。各データライン容量Ｃｄｘｉを示すキャパシタの一端（データ信号線Ｄｘｉが接続されていない側）には例えば接地電圧が与えられるが、本発明はこれに限定されない。

[0026] 表示制御回路２０は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号Ｓｉｎを表示装置１の外部から受け取り、この入力信号Ｓｉｎに基づき、データ側駆動回路３０、デマルチプレクサ部４０、走査側駆動回路５０、および、発光制御線駆動回路６０に各種制御信号を出力する。より詳細には、表示制御回路２０は、データ側駆動回路３０にデータスタートパルスＤＳＰ、データクロック信号ＤＣＫ、表示データＤＡ、およびラッチパルスＬＰを出力する。表示制御回路２０はまた、デマルチプレクサ部４０にＡ選択制御信号ＳＳＤａおよびＢ選択制御信号ＳＳＤｂを出力する。表示制御回路２０はまた、走査側駆動回路５０に走査スタートパルスＳＳＰおよび走査クロック信号ＳＣＫを出力する。表示制御回路２０はまた、発光制御線駆動回路６０に発光制御スタートパルスＥＳＰおよび発光制御クロック信号ＥＣＫを出力する。

[0027] データ側駆動回路３０は、図示しないｍビットのシフトレジスタ、サンプリング回路、ラッチ回路、およびｍ個のＤ／Ａコンバータ等を含んでいる。シフトレジスタは、互いに縦続接続されたｍ個の双安定回路を有し、初段に供給されたデータスタートパルスＤＳＰをデータクロック信号ＤＣＫに同期して転送し、各段からサンプリングパルスを出力する。サンプリングパルスの出力タイミングに合わせて、サンプリング回路には表示データＤＡが供給

される。サンプリング回路は、サンプリングパルスに従って表示データＤＡを記憶する。サンプリング回路に１行分の表示データＤＡが記憶されると、表示制御回路２０はラッチ回路に対してラッチパルスＬＰを出力する。ラッチ回路は、ラッチパルスＬＰを受け取ると、サンプリング回路に記憶された表示データＤＡを保持する。Ｄ／Ａコンバータは、データ側駆動回路３０のｍ個の出力端子Ｔｄ１～Ｔｄｍにそれぞれ接続されたｍ本の出力線Ｄ１～Ｄｍに対応して設けられており、ラッチ回路に保持された表示データＤＡをアナログ電圧信号であるデータ信号に変換し、得られたデータ信号を出力線Ｄ１～Ｄｍに供給する。本実施形態に係る表示装置１では、ＳＳＤ方式が採用されていることから、各出力線Ｄｉにはデータ信号およびＢデータ信号が順次に（時分割的に）供給される。ここで、Ａデータ信号は、表示部１０における２ｍ本のデータ信号線Ｄｘ１～Ｄｘｍ（ｘ＝ａ，ｂ）のうち奇数番目のデータ信号線（以下「Ａデータ信号線」ともいう）Ｄａ１～Ｄａｍに印加すべきデータ信号であり、Ｂデータ信号は、偶数番目のデータ信号線（以下「Ｂデータ信号線」ともいう）Ｄｂ１～Ｄｂｍに印加すべきデータ信号である。

[0028] デマルチプレクサ部４０は、データ側駆動回路３０のｍ個の出力端子Ｔｄ１～Ｔｄｍにそれぞれ対応する第１から第ｍデマルチプレクサ４１からなるｍ個のデマルチプレクサ４１を含んでいる。第ｉデマルチプレクサの入力端子は、データ側駆動回路３０の対応する出力端子Ｔｄｉに出力線Ｄｉを介して接続されている（ｉ＝１～ｍ）。第ｉデマルチプレクサ４１（ｉ＝１～ｍ）は２個の出力端子を有し、これら２個の出力端はそれぞれ、２本のデータ信号線Ｄａｉ，Ｄｂｉに接続されている。第ｉデマルチプレクサ４１は、データ側駆動回路３０の出力端子Ｔｄｉから出力線Ｄｉを介して順次供給されるＡデータ信号およびＢデータ信号をＡデータ信号線ＤａｉおよびＢデータ信号線Ｄｂｉにそれぞれ供給する。各デマルチプレクサ４１の動作は、Ａ選択制御信号ＳＳＤａおよびＢ選択制御信号ＳＳＤｂにより制御される。このようなＳＳＤ方式によれば、ＳＳＤ方式を採用しない場合に比べて、データ

側駆動回路３０に接続される出力線の数を１／２にすることができる。これにより、データ側駆動回路３０の回路規模が縮小されるので、データ側駆動回路３０の製造コストを削減できる。

[0029] 走査側駆動回路５０は、ｎ本の走査信号線Ｓ１～Ｓｎを駆動する。より詳細には、走査側駆動回路５０は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、走査クロック信号ＳＣＫに同期して走査スタートパルスＳＳＰを順次転送する。シフトレジスタの各段からの出力である走査信号は、バッファを経由して対応する走査信号線Ｓｊ（ｊ＝１～ｎ）に供給される。アクティブな（ローレベルの）走査信号により、走査信号線Ｓｊに接続された２ｍ個の画素回路１１が一括して選択される。

[0030] 発光制御線駆動回路６０は、ｎ本の発光制御線Ｅ１～Ｅｎを駆動する。より詳細には、発光制御線駆動回路６０は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、発光制御クロック信号ＥＣＫに同期して発光制御スタートパルスＥＳＰを順次転送する。シフトレジスタの各段からの出力である発光制御信号は、バッファを経由して対応する発光制御線Ｅｊ（ｊ＝１～ｎ）に供給される。

[0031] 図１に示すように、走査側駆動回路５０は表示部１０の一端側（図１では表示部１０に対する左側）に配置され、発光制御線駆動回路６０は表示部１０の他端側（図１では表示部１０に対する右側）に配置されている。しかし、これに代えて、走査側駆動回路５０および発光制御線駆動回路６０の双方または発光制御線駆動回路の機能を備えた走査側駆動回路が、表示部１０の一端側または他端側のいずれか一方に配置されていてもよい（この点は、他の実施形態や変形例においても同様である）。

[0032] ＜１．２　画素回路と各種配線との接続関係＞

図２は、本実施形態における一部の画素回路１１ａ，１１ｂと各種配線との接続関係を示す回路図である。これらの画素回路１１ａ，１１ｂは、表示部１０における２ｍ×ｎ個の画素回路１１のうち、同一の走査信号線Ｓｊに接続されるとともに同一のデマルチプレクサ４１に２本のデータ信号線Ｄａ

ｉ，Ｄｂｉをそれぞれ介して接続されている。ここで、符号“１１ａ”は、Ａデータ信号線Ｄａｉに接続された画素回路（以下「Ａ画素回路」ともいう）１１であることを示すために使用し、符号“１１ｂ”は、Ｂデータ信号線Ｄｂｉに接続された画素回路（以下「Ｂ画素回路」ともいう）１１であることを示すために使用するものとする。

[0033] 図２に示すように、各デマルチプレクサ４１は、Ａ選択トランジスタＭａおよびＢ選択トランジスタＭｂを含んでおり、これらのトランジスタＭａ，Ｍｂはいずれもスイッチング素子として機能する。Ａ選択トランジスタＭａの制御端子としてのゲート端子にはＡ選択制御信号ＳＳＤａが与えられ、Ｂ選択トランジスタＭｂの制御端子としてのゲート端子にはＢ選択制御信号ＳＳＤｂが与えられる。これら選択トランジスタＭａ，Ｍｂの第１導通端子としてのドレイン端子はデータ信号線Ｄａｉ，Ｄｂｉにそれぞれ接続され、これら選択トランジスタＭａ，Ｍｂの第２導通端子としてのソース端子はいずれも出力線Ｄｉに接続されている（ｉ＝１～ｍ）。したがって各出力線Ｄｉは、対応するデマルチプレクサ４１において、Ａ選択トランジスタＭａを介してＡデータ信号線Ｄａｉに接続され、Ｂ選択トランジスタＭｂを介してＢデータ信号線Ｄｂｉに接続されている。

[0034] 図２に示すように、Ａ画素回路１１ａおよびＢ画素回路１１ｂは、走査信号線の延伸する方向において順に並べて配置されている。なお、Ａ画素回路１１ａおよびＢ画素回路１１ｂの構成は基本的に同一であるので、以下では、これらの画素回路で互いに共通する部分についてはＡ画素回路１１ａの構成を例に挙げて説明し、これらの画素回路で互いに異なる部分については、適宜個別に説明する。

[0035] Ａ画素回路１１ａは、有機ＥＬ素子ＯＬＥＤ、駆動トランジスタＭ１、書込用トランジスタＭ２、補償用トランジスタＭ３、第１初期化用トランジスタＭ４、電源供給用トランジスタＭ５、発光制御用トランジスタＭ６、第２初期化用トランジスタＭ７、および、データ電圧を保持するための保持容量としてのデータ保持キャパシタＣ１を含んでいる。駆動トランジスタＭ１は

、ゲート端子、第１導通端子、および第２導通端子を有している。本実施形態では、補償用トランジスタＭ３および第１初期化用トランジスタＭ４については、オフリーク電流を小さくするためにデュアルゲートトランジスタが使用されているが、通常のシングルゲートトランジスタを使用してもよい。なお、Ｂ画素回路１１ｂもＡ画素回路１１ａと同様の素子を含み、それらの素子間の接続関係も同様である。

[0036] Ａ画素回路１１ａには、それに対応する走査信号線（画素回路に注目した説明において便宜上「対応走査信号線」という）Ｓｊ、対応走査信号線Ｓｊの直前の走査信号線（走査信号線Ｓ１～Ｓｎの走査順における直前の走査信号線であり、画素回路に注目した説明において便宜上「先行走査信号線」という）Ｓｊ－１、それに対応する発光制御線（画素回路に注目した説明において便宜上「対応発光制御線」という）Ｅｊ、それに対応するＡデータ信号線（画素回路に注目した説明において便宜上「対応データ信号線」という）Ｄａｉ、ハイレベル電源線ＥＬＶＤＤ、ローレベル電源線ＥＬＶＳＳ、および、初期化線Ｖｉｎｉが接続されている。Ｂ画素回路１１ｂには、Ａデータ信号線Ｄａｉに代えてＢデータ信号線Ｄｂｉが対応データ信号線として接続されている。その他の接続はＡ画素回路１１ａと同様である。なお既述のように、Ａデータ信号線Ｄａｉにはデータライン容量Ｃｄａｉが形成され、Ｂデータ信号線Ｄｂｉにはデータライン容量Ｃｄｂｉが形成されている（図２参照）。

[0037] Ａ画素回路１１aでは、書込用トランジスタＭ２は、対応走査信号線Ｓｊにゲート端子が接続され、対応データ信号線Ｄａｉにソース端子が接続されている。Ｂ画素回路１１ｂでは、書込用トランジスタＭ２は、対応走査信号線Ｓｊにゲート端子が接続され、対応データ信号線Ｄｂｉにソース端子が接続されている。

[0038] Ａ画素回路１１ａおよびＢ画素回路１１ｂのそれぞれにおいて、書込用トランジスタＭ２は、対応走査信号線Ｓｊの選択に応じて、対応データ信号線Ｄｘｉの電圧すなわちデータライン容量Ｃｄｘｉに保持されたデータ電圧を

駆動トランジスタＭ１に供給する（ｘ＝ａ，ｂ）。

[0039] 駆動トランジスタＭ１の第１導通端子は、書込用トランジスタＭ２のドレイン端子に接続されている。駆動トランジスタＭ１は、ソース－ゲート間電圧Ｖｇｓに応じた駆動電流Ｉを有機ＥＬ素子ＯＬＥＤに供給する。

[0040] 補償用トランジスタＭ３は、駆動トランジスタＭ１のゲート端子と第２導通端子との間に設けられている。補償用トランジスタＭ３のゲート端子は対応走査信号線Ｓｊに接続されている。補償用トランジスタＭ３は、対応走査信号線Ｓｊの選択に応じて、駆動トランジスタＭ１をダイオード接続状態にする。

[0041] 第１初期化用トランジスタＭ４は、先行走査信号線Ｓｊ－１にゲート端子が接続され、駆動トランジスタＭ１のゲート端子と初期化線Ｖｉｎｉとの間に設けられている。第１初期化用トランジスタＭ４は、先行走査信号線Ｓｊ－１の選択に応じて駆動トランジスタＭ１のゲート電圧Ｖｇを初期化する。また、第２初期化用トランジスタＭ７は、先行走査信号線Ｓｊ－１にゲート端子が接続され、有機ＥＬ素子ＯＬＥＤのアノードと初期化線Ｖｉｎｉとの間に設けられている。第２初期化用トランジスタＭ７は、先行走査信号線Ｓｊ－１の選択に応じて、駆動トランジスタＭ１のゲート端子と有機ＥＬ素子ＯＬＥＤのアノードとの間に存在する寄生容量の電圧を初期化する。これにより、前フレーム画像の影響による輝度の不均一化が抑制される。

[0042] 電源供給用トランジスタＭ５は、発光制御線Ｅｊにゲート端子が接続され、ハイレベル電源線ＥＬＶＤＤと駆動トランジスタＭ１の第１導通端子との間に設けられている。電源供給用トランジスタＭ５は、発光制御線Ｅｊの選択に応じてハイレベル電源電圧ＥＬＶＤＤを駆動トランジスタＭ１の第１導通端子としてのソース端子に供給する。

[0043] 発光制御用トランジスタＭ６は、発光制御線Ｅｊにゲート端子が接続され、駆動トランジスタＭ１の第２導通端子としてのドレイン端子と有機ＥＬ素子ＯＬＥＤのアノードとの間に設けられている。発光制御用トランジスタＭ６は、発光制御線Ｅｊの選択に応じて駆動電流Ｉを有機ＥＬ素子ＯＬＥＤに

伝達する。

[0044] データ保持キャパシタＣ１の第１端子はハイレベル電源線ＥＬＶＤＤに接続されている。このデータ保持キャパシタＣ１は、対応走査信号線Ｓｊが選択状態であるときに対応データ信号線Ｄｘｉの電圧（データ電圧）で充電され、この充電によって書き込まれたデータ電圧を対応走査信号線Ｓｊが非選択状態であるときに保持することで駆動トランジスタＭ１のゲート電圧Ｖｇを維持する。

[0045] 有機ＥＬ素子ＯＬＥＤは、アノードが発光制御用トランジスタＭ６を介して駆動トランジスタＭ１の第２導通端子に接続され、カソードがローレベル電源線ＥＬＶＳＳに接続されている。有機ＥＬ素子ＯＬＥＤは、駆動電流Ｉに応じた輝度で発光する。

[0046] ＜１．３　駆動方法＞

＜１．３．１　従来の駆動方法＞

本実施形態に係る表示装置１の駆動方法を説明する前に、本実施形態と同様のＳＳＤ方式の有機ＥＬ表示装置において従来の駆動方法を採用した場合の当該表示装置の駆動につき、図２、図３、および図５を参照して説明する。図３は、図１および図２に示すように構成された表示装置において従来の駆動方法を採用した場合の当該表示装置の駆動を説明するための信号波形図である。すなわち図３は、同一の走査信号線Ｓｊに接続されるとともに同一のデマルチプレクサ４１に２本のデータ信号線Ｄａｉ，Ｄｂｉをそれぞれ介して接続される２つの画素回路１１ａ，１１ｂに着目し、これらの画素回路１１ａ，１１ｂを駆動するための信号の波形を示している。図５は、この従来の駆動方法を採用した場合の表示装置の動作を説明するための１Ｈ期間についての詳細な信号波形を数値例とともに示す図である。なお、以下で述べる画素回路１１ａ，１１ｂにおけるトランジスタ等の回路素子は、特に断らない限り、これらの画素回路１１ａ，１１ｂのいずれにおいても同様に動作するものとする。

[0047] 図３に示す従来の駆動方法では、先行走査信号線Ｓｊ－１の電圧がローレ

ベル（アクティブ）である走査選択期間を含む水平期間（１Ｈ期間）において、その先行走査信号線Ｓｊ－１がローレベルに変化する前に対応発光制御線Ｅｊの電圧がローレベルからハイレベルに変化する。このため、画素回路１１ａ，１１ｂにおいて、電源供給用トランジスタＭ５および発光制御用トランジスタＭ６がオフ状態に変化する。これにより、有機ＥＬ素子ＯＬＥＤが非発光状態になる。

[0048] 時刻ｔ１において、先行走査信号線Ｓｊ－１の電圧がハイレベルからローレベルに変化することで先行走査信号線Ｓｊ－１が選択状態となる。このため、第１初期化用トランジスタＭ４がオン状態に変化する。これにより、駆動トランジスタのゲート電圧Ｖｇが初期化電圧Ｖｉｎｉに初期化される。初期化電圧Ｖｉｎｉは、画素回路へのデータ電圧の書き込み時に、駆動トランジスタＭ１をオン状態に維持できる程度の電圧である。より詳細には、初期化電圧Ｖｉｎｉは、次式（５）を満たす。

Ｖｉｎｉ－Ｖｄａｔａ＜－Ｖｔｈ …（５）

ここで、Ｖｄａｔａはデータ電圧であり、Ｖｔｈ（＞０）は駆動トランジスタＭ１のしきい値電圧である。このような初期化動作を行うことにより、画素回路へのデータ電圧の書き込みを確実に行うことができる。なお、時刻ｔ１において、先行走査信号線Ｓｊ－１の電圧がハイレベルからローレベルに変化することにより第２初期化用トランジスタＭ７もオン状態に変化する。その結果、駆動トランジスタＭ１のゲート端子と有機ＥＬ素子ＯＬＥＤのアノードとの間に存在する寄生容量の電圧が初期化される。この第２初期化トランジスタＭ７による初期化動作は、本発明には直接に関係しないので、以下では説明を省略する（他の実施形態や変形例においても同様）。

[0049] 時刻ｔ２において、先行走査信号線Ｓｊ－１の電圧がローレベルからハイレベルに変化することで先行走査信号線Ｓｊ－１が非選択状態となる。このため、第１初期化用トランジスタＭ４がオフ状態に変化する。その後、時刻ｔ３～ｔ５の期間において、Ａ選択制御信号ＳＳＤａおよびＢ選択制御信号ＳＳＤｂが所定期間ずつ順次ローレベルとなる。これにより、デマルチプレ

クサ４１におけるＡ選択トランジスタＭａおよびＢ選択トランジスタＭｂが当該所定期間ずつ順次オン状態となる。一方、データ側駆動回路３０の出力端子Ｔｄｉからは、この時刻ｔ３～ｔ５の期間において、図５に示すようにＡ選択制御信号ＳＳＤａおよびＢ選択制御信号ＳＳＤｂに連動してＡデータ信号およびＢデータ信号が順次に出力される（図６に示す出力線Ｄｉの電圧波形参照）（以下、このようにしてデータ側駆動回路３０の出力端子Ｔｄｉからデータ信号が出力される期間を「データ期間」という）。これら順次に出力されるＡデータ信号およびＢデータ信号の電圧（データ電圧）は、上記デマルチプレクサ４１によってデータ信号線Ｄａｉ，Ｄｂｉにそれぞれ供給され、データライン容量Ｃｄａｉ，Ｃｄｂｉによりそれぞれ保持される。なお、時刻ｔ４において、Ｂ選択制御信号ＳＳＤｂがハイレベルからローレベルに変化し、その前にＡ選択制御信号ＳＳＤａはローレベルからハイレベルに変化している。

[0050] 上記データ期間の終了時点である時刻ｔ５では、選択トランジスタＭａ，Ｍｂはいずれもオフ状態であり、Ａデータ信号線Ｄａｉの電圧はデータライン容量Ｃｄａｉにより上記Ａデータ信号の電圧に維持されており、Ｂデータ信号線Ｄｂｉの電圧はデータライン容量Ｃｄｂｉにより上記Ｂデータ信号の電圧に維持されている。この時刻ｔ５において、対応走査信号線Ｓｊの電圧がハイレベルからローレベルに変化する。このため、書込用トランジスタＭ２および補償用トランジスタＭ３がオン状態に変化する。これにより、Ａデータ信号線Ｄａｉのデータライン容量Ｃｄａｉに保持された電圧（Ａデータ信号の電圧に相当し、以下「Ａデータ電圧ＶｄＡ」という）が、Ａ画素回路１１ａにおいて、書込用トランジスタＭ２、駆動トランジスタＭ１、および補償用トランジスタＭ３を介して、駆動トランジスタＭ１のゲート端子に供給される。このとき、駆動トランジスタＭ１の第２導通端子としてのドレイン端子と制御端子としてのゲート端子とが互いに電気的に接続されることにより、駆動トランジスタＭ１はダイオード接続状態になる。駆動トランジスタＭ１がダイオード接続状態となっている間、駆動トランジスタのゲート電

圧Ｖｇは上記式（１）で与えられる値に向かって変化する（ただし、Ｖｄａｔａ＝ＶｄＡとする）。なお、厳密には、データライン容量Ｃｄａｉに保持された電荷がデータライン容量Ｃｄａｉおよびデータ保持キャパシタＣ１に再分配されるので、駆動トランジスタＭ１のゲート端子に実際に供給される電圧は、上記式（１）で与えられるゲート電圧Ｖｇよりも低くなる可能性がある。しかし、各データライン容量Ｃｄｘｉ（ｘ＝ａ，ｂ）は、各画素回路１１ｘにおけるデータ保持キャパシタＣ１の容量よりも十分に大きいので、以下では、上記電荷の分配によるゲート電圧Ｖｇの低下は無視できるものとする。

[0051] また、時刻ｔ５において対応走査信号線Ｓｊの電圧がハイレベルからローレベルに変化すると、Ｂデータ信号線Ｄｂｉのデータライン容量Ｃｄｂｉに保持された電圧（Ｂデータ信号の電圧に相当し、以下「Ｂデータ電圧ＶｄＢ」という）が、Ｂ画素回路１１ｂにおいて、書込用トランジスタＭ２、駆動トランジスタＭ１、および補償用トランジスタＭ３を介して、駆動トランジスタＭ１のゲート端子に供給される。このため、Ｂ画素回路１１ｂにおいても、その内部のランジスタ等の回路素子がＡ画素回路１１ａ内の回路素子と同様に動作し、駆動トランジスタのゲート電圧Ｖｇは上記式（１）で与えられる値に向かって変化する（ただし、Ｖｄａｔａ＝ＶｄＢとする）。

[0052] Ａ画素回路１１ａにおける駆動トランジスタＭ１のゲート端子へのＡデータ電圧ＶｄＡの供給、および、Ｂ画素回路１１ｂにおける駆動トランジスタＭ１のゲート端子へのＢデータ電圧ＶｄＢの供給は、対応走査信号線Ｓｊの電圧がローレベルである期間すなわち対応走査信号線Ｓｊが選択状態である間（図３に示す走査選択期間ｔ５～ｔ６）、継続する。その結果、この走査選択期間ｔ５～ｔ６において各画素回路１１ｘにおけるデータ保持キャパシタＣ１が対応データ信号線Ｄｘｉの電圧（データ電圧）で充電されることにより、そのデータ電圧に相当する電圧が階調データとして当該画素回路１１（のデータ保持キャパシタＣ１）に書き込まれる（ｘ＝ａ，ｂ）。

[0053] 時刻ｔ６において、対応走査信号線Ｓｊの電圧がローレベルからハイレベ

ルに変化し、走査選択期間が終了する。このため、Ａ画素回路１１ａおよびＢ画素回路１１ｂのそれぞれにおいて、書込用トランジスタＭ２および補償用トランジスタＭ３がオフ状態に変化する。

[0054] また時刻ｔ６において、対応発光制御線Ｅｊの電圧がハイレベルからローレベルに変化する。このため、Ａ画素回路１１ａおよびＢ画素回路１１ｂのそれぞれにおいて、電源供給用トランジスタＭ５および発光制御用トランジスタＭ６がオン状態に変化する。これにより、駆動トランジスタＭ１のゲート電圧Ｖｇおよびハイレベル電源線ＥＬＶＤＤに応じた駆動電流Ｉ、すなわちデータ保持キャパシタＣ１に保持された電圧に応じた駆動電流Ｉが有機ＥＬ素子ＯＬＥＤに供給され、駆動電流Ｉの電流値に応じて有機ＥＬ素子ＯＬＥＤが発光する。駆動電流Ｉは上記式（４）により与えられる。以上のような動作が、１フレーム期間においてｎ回繰り返されることにより、１フレーム分の画像が表示される。

[0055] 図３に示すように上記従来の駆動方法によれば、デマルチプレクサ４１を介してデータ信号線Ｄｘｉに供給すべきデータ信号がデータ側駆動回路３０から出力されるデータ期間と、データ信号線Ｄａｉ，Ｄｂｉの電圧がそれぞれ画素回路１１ａ，１１ｂ内のデータ保持キャパシタＣ１に書き込まれる走査選択期間とが分離されている。このため、図１７に示すようにデータ期間と走査選択期間とが重複する場合に生じる既述の問題（データ電圧を画素回路内のキャパシタＣ１に正しく書き込めないという問題）を回避することができる。しかし、図３に示す従来の駆動方法では、表示画像の高精細化が進むと、水平期間（１Ｈ期間）の短縮化にしたがってデータ期間（および走査選択期間）が短くなることにより、階調データの書込のためのデータ信号線（および画素回路内のデータ保持キャパシタ）への充電が不足する。したがって、表示画像の高精細化に伴って良好な表示品位を得ることができなくなる。

[0056] ＜１．３．２　本実施形態における駆動方法＞

次に、本実施形態に係る表示装置１の駆動方法につき図２、図４、および

図６を参照して説明する。図４は、図１および図２に示す本実施形態に係る表示装置１の駆動を説明するための信号波形図である。図４も、図３と同様、同一の走査信号線Ｓｊに接続されるとともに同一のデマルチプレクサ４１に２本のデータ信号線Ｄａｉ，Ｄｂｉをそれぞれ介して接続される２つの画素回路１１ａ，１１ｂに着目し、これらの画素回路１１ａ，１１ｂを駆動するための信号の波形を示している。図６は、本実施形態に係る表示装置１の動作を説明するための１Ｈ期間についての詳細な信号波形を数値例とともに示す図である。なお、以下で述べる画素回路１１ａ，１１ｂにおけるトランジスタ等の回路素子は、特に断らない限り、これらの画素回路１１ａ，１１ｂのいずれにおいても同様に動作するものとする。

[0057] 図４に示す駆動方法では、先行走査信号線Ｓｊ－１の電圧がローレベルである走査選択期間を含む水平期間（１Ｈ期間）において、その先行走査信号線Ｓｊ－１がローレベルに変化する前に対応発光制御線Ｅｊの電圧がローレベルからハイレベルに変化する。このため、画素回路１１ａ，１１ｂにおいて、その先行走査信号線Ｓｊ－１がローレベルに変化する前に電源供給用トランジスタＭ５および発光制御用トランジスタＭ６がオフ状態に変化する。これにより、有機ＥＬ素子ＯＬＥＤが非発光状態になる。

[0058] 時刻ｔ１において、先行走査信号線Ｓｊ－１の電圧がハイレベルからローレベルに変化する。このため、第１初期化用トランジスタＭ４がオン状態に変化し、これにより、駆動トランジスタＭ１のゲート電圧Ｖｇが初期化電圧Ｖｉｎｉに初期化される。このような初期化動作は、上記従来の駆動方法と同様であるので詳しい説明を省略する。

[0059] 時刻ｔ２において、先行走査信号線Ｓｊ－１の電圧がローレベルからハイレベルに変化する。本実施形態では、この時刻ｔ２以降に設けられるデータ期間および走査選択期間の前にリセット期間（図４に示す時刻ｔ３～ｔ４の期間）が設けられている。すなわち、時刻ｔ３において、Ａ選択制御信号ＳＳＤａおよびＢ選択制御信号ＳＳＤｂがともに、ハイレベルからローレベルに変化し、時刻ｔ４までローレベルが継続する。このリセット期間では、図

６に示すように表示制御回路２０は、データ側駆動回路３０が白電圧を各出力端子Ｔｄｉ（ｉ＝１～ｍ）から出力線Ｄｉに出力するようにデータ側駆動回路３０を制御する。ここで白電圧とは、白表示（最大輝度階調）に相当する電圧であり、本実施形態において走査選択期間にデータ電圧が取り得る最低電圧に対応する。なお、リセット期間においてデータ側駆動回路３０の各出力端子Ｔｄｉから出力すべき電圧（以下「リセット電圧」という）は、白電圧に限定されない。すなわち、リセット電圧は、走査選択期間にデータ電圧が取り得るどの電圧によっても画素回路１１ｘでダイオード接続状態の駆動トランジスタＭ１を介してデータ保持キャパシタＣ１を充電可能なように各データ信号線Ｄｘｉを初期化する電圧であれよい（ｘ＝ａ，ｂ）。

[0060] 図２からわかるように本実施形態では、時刻ｔ３～ｔ４のリセット期間において、白電圧がデマルチプレクサ４１を介してデータ信号線Ｄａｉ，Ｄｂｉに供給され、データライン容量Ｃｄａｉ，Ｃｄｂｉによりそれぞれ保持される。

[0061] リセット期間の終了時点である時刻ｔ４において、Ｂ選択制御信号ＳＳＤｂがローレベルからハイレベル（非アクティブ）に変化するとともに、対応走査信号線Ｓｊの電圧がハイレベルからローレベルに変化することで対応走査信号線Ｓｊが選択状態となる。Ａ選択制御信号ＳＳＤａは、時刻ｔ３の後もローレベルを維持し、その後、Ｂ選択制御信号ＳＳＤｂが時刻ｔ５においてローレベルに変化する前にローレベルからハイレベルに変化する。なお、図４に示す例ではリセット期間（ｔ３～ｔ４）とＡデータ信号についてのデータ期間（ｔ４～ｔ５）とが連続しているが（図６参照）、これらの期間が分離されていてもよい。

[0062] 時刻ｔ４～ｔ６の期間はデータ期間に相当する。このデータ期間では、Ａ選択制御信号ＳＳＤａおよびＢ選択制御信号ＳＳＤｂが所定期間ずつ順次ローレベルとなることにより、デマルチプレクサ４１におけるＡ選択トランジスタＭａおよびＢ選択トランジスタＭｂが当該所定期間ずつ順次オン状態となる。一方、データ側駆動回路３０の出力端子Ｔｄｉからは、このデータ期

間において、図６に示すようにＡ選択制御信号ＳＳＤａおよびＢ選択制御信号ＳＳＤｂに連動してＡデータ信号およびＢデータ信号が出力線Ｄｉに順次に出力される。これら順次に出力されるＡデータ信号およびＢデータ信号の電圧は、上記デマルチプレクサ４１によってデータ信号線Ｄａｉ，Ｄｂｉにそれぞれ供給され、データライン容量Ｃｄａｉ，Ｃｄｂｉによりそれぞれ保持される。また、対応走査信号線Ｓｊは、時刻ｔ４でローレベルに変化した後に時刻ｔ５でハイレベルに変化する。このため、時刻ｔ４～ｔ６の期間は走査選択期間にも相当し（以下、このようにデータ期間と走査選択期間の双方に相当する期間を「データ期間＆走査選択期間」と記す）、この走査選択期間において書込用トランジスタＭ２および補償用トランジスタＭ３はオン状態である。なお図６に示すように、Ａ選択トランジスタＭａとＢ選択トランジスタＭｂは、１Ｈ期間内においてリセット期間の終了時点ｔ４以降に所定期間ずつ交番的にオン状態となるが、この所定期間（時点ｔ４以降で選択制御信号ＳＳＤｘがローレベルである期間）は、各データライン容量Ｃｄｘｉをデータ信号の電圧で充電するための期間であり（ｘ＝ａ，ｂ）、時刻ｔ４～ｔ６の期間においてデマルチプレクサ４１によるデータ信号の逆多重化および各画素回路１１ｘにおけるデータ保持キャパシタＣ１の充電（画素充電）を適正に行える範囲内で長くするのが好ましい（他の実施形態においても同様）。また本実施形態では、この所定期間の長さはＡ選択トランジスタＭａとＢ選択トランジスタＭｂとで同一とされているが、各画素回路１１ｘにおけるデータ保持キャパシタＣ１の充電時間や容量値等を考慮して（ｘ＝ａ，ｂ）、Ａ選択トランジスタＭａとＢ選択トランジスタＭｂとでこの所定期間の長さが異なるようにしてもよい。

[0063] 上記より、時刻ｔ４～ｔ６のデータ期間＆走査選択期間のうち時刻ｔ４以降において、Ａデータ信号の電圧がＡデータ信号線Ｄａｉに供給されてデータライン容量ＣｄａｉにＡデータ電圧ＶｄＡとして保持されるとともに、Ａ画素回路１１ａにおいてダイオード接続状態の駆動トランジスタＭ１を介してデータ保持キャパシタＣ１に供給される。これにより、この駆動トランジ

スタＭ１のゲート電圧Ｖｇは上記式（１）で与えられる値に向かって変化する（ただし、Ｖｄａｔａ＝ＶｄＡとする）。また、このデータ期間＆走査選択期間のうち時刻ｔ５以降において、Ｂデータ信号の電圧がＢデータ信号線Ｄｂｉに供給されてデータライン容量ＣｄｂｉにＢデータ電圧ＶｄＢとして保持されるとともに、Ｂ画素回路１１ｂにおいてダイオード接続状態の駆動トランジスタＭ１を介してデータ保持キャパシタＣ１に供給される。これにより、この駆動トランジスタＭ１のゲート電圧Ｖｇも上記式（１）で与えられる値に向かって変化する（ただし、Ｖｄａｔａ＝ＶｄＢとする）。

[0064] 時刻ｔ６において、対応走査信号線Ｓｊの電圧がローレベルからハイレベルに変化し、走査選択期間が終了する。このため、Ａ画素回路１１ａおよびＢ画素回路１１ｂのそれぞれにおいて、書込用トランジスタＭ２および補償用トランジスタＭ３がオフ状態に変化する。

[0065] また時刻ｔ６において、対応発光制御線Ｅｊの電圧がハイレベルからローレベルに変化する。このため、Ａ画素回路１１ａおよびＢ画素回路１１ｂのそれぞれにおいて、電源供給用トランジスタＭ５および発光制御用トランジスタＭ６がオン状態に変化する。これにより、駆動トランジスタＭ１のゲート電圧Ｖｇおよびハイレベル電源線ＥＬＶＤＤに応じた駆動電流Ｉ、すなわちデータ保持キャパシタＣ１に保持された電圧に応じた駆動電流Ｉが有機ＥＬ素子ＯＬＥＤに供給され、駆動電流Ｉの電流値に応じて有機ＥＬ素子ＯＬＥＤが発光する。駆動電流Ｉは上記式（４）により与えられる。以上のような動作が、１フレーム期間においてｎ回繰り返されることにより、１フレーム分の画像が表示される。

[0066] ＜１．４　効果＞

以下、上記のような本実施形態の効果を図５および図６を参照して説明する。図５は、上記従来の駆動方法を採用した場合において図２に示す画素回路１１ａ，１１ｂを駆動するための主要な信号の１Ｈ期間における波形を示しており、図６は、本実施形態において図２に示す画素回路１１ａ，１１ｂを駆動するための主要な信号の１Ｈ期間における波形を示している。

[0067] いま説明のために、表示画像が１０８０×１９２０の画素数の解像度であり、１Ｈ期間（１水平期間）は８．１８μｓである場合を考える。この１Ｈ期間のうち各データ信号線Ｄｘｉ（ｘ＝ａ，ｂ）にデータ信号の電圧（データ電圧）を書き込むための時間、すなわち各データライン容量Ｃｄｘｉをデータ電圧で充電するための時間（以下「データライン充電期間」という）は、当該データ信号線Ｄｘｉが接続されるデマルチプレクサ４１における選択トランジスタＭｘがオン状態である期間に相当する。１Ｈ期間が８．１８μｓという上記条件の下で上記従来の駆動方法を採用した場合には、例えば図５に示す波形において、１Ｈ期間の始点からいずれかの選択トランジスタＭｘがオンするまでの時間（いずれかの選択制御信号ＳＳＤｘがローレベルに変化するまでの時間）を１．５μｓ、走査選択期間を３．０μｓ、選択トランジスタＭｘのオン期間の間隔（選択制御信号ＳＳＤｘがローレベルである期間の間隔）を０．４μｓ、選択トランジスタＭｘの最後のオン期間と走査選択期間との間隔を０．４μｓとすると（ｘ＝ａ，ｂ）、データライン充電期間は１．４４μｓである。これに対し本実施形態では、同様の条件の下、図６に示す波形において、リセット期間を１．０μｓとすると、データ期間が走査選択期間と重複していることから、データライン充電期間は、２．４４μｓであり、上記従来の駆動方法に比べ大幅に増大する。

[0068] また本実施形態では、図６に示すように、データライン充電期間を含むデータ期間（データ期間＆走査選択期間）の前に設けられたリセット期間において、各データ信号線Ｄｘｉにリセット電圧として白電圧が供給される。このため、データ期間と走査選択期間とが重複しても、図１７に示すようなダイオード接続に起因するデータ書込不良の問題は生じない。

[0069] このようにして本実施形態によれば、ダイオード接続に起因するデータ書込不良の問題を回避しつつデータ期間と走査選択期間とを重複させることで、走査選択期間を狭めることなく、データライン充電期間を従来に比べ大幅に増大させることができる。これにより，ＳＳＤ方式の有機ＥＬ表示装置において、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充

電および内部補償を十分に行うことができる。

[0070] なお、図１８に示した第２従来例においても、本実施形態におけるリセット期間の代わりにデータライン初期化段階Ｓｄｉを設けることで、ダイオード接続に起因するデータ書込不良の問題を回避しつつデータ期間と走査選択期間とを重複させることができるが、各水平期間（１Ｈ期間）において走査線が選択状態である間（各走査選択期間）に３つのデータライン初期化段階Ｓｄｉが含まれる。これに対し本実施形態では、各水平期間（１Ｈ期間）において１つのリセット期間が含まれるだけである（図４、図６参照）。したがって、本実施形態は、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行うという点に関し、第２従来例に対しても有利である。

[0071] ＜１．５　第１の実施形態の変形例＞

上記第１の実施形態では、図６からわかるように、Ａデータ信号によるデータライン充電期間すなわちＡ選択トランジスタＭａがオン状態であってＡデータ信号がＡデータ信号線Ｄａｉに供給される期間（以下「Ａデータライン充電期間」という）は、Ｂデータ信号によるデータライン充電期間すなわちＢ選択トランジスタＭｂがオン状態であってＢデータ信号がＢデータ信号線Ｄｂｉに供給される期間（以下「Ｂデータライン充電期間」という）よりも先行しており、走査選択期間はデータ期間と一致している。このため、データ期間＆走査選択期間において、Ａデータ信号線Ｄａｉ（のデータライン容量Ｃｄａｉ）に保持されるデータ電圧でＡ画素回路１１ａ内のデータ保持キャパシタＣ１を充電する時間は、Ｂデータ信号線Ｄｂｉ（のデータライン容量Ｃｄｂｉ）に保持されるデータ電圧でＢ画素回路１１ｂ内のデータ保持キャパシタＣ１を充電する時間よりも長くなる。その結果、Ａ画素回路１１ａとＢ画素回路１１ｂとの間で、データ保持キャパシタＣ１の充電率に差が生じ、これにより輝度にも差が生じる可能性がある。

[0072] そこで、各水平期間におけるＡデータライン充電期間とＢデータライン充電期間との時間的な前後関係を１以上の所定フレーム期間毎に入れ替えると

いう構成が考えられる。図７は、このような構成を有する上記第１の実施形態の変形例に係る表示装置の動作を説明するための信号波形図であり、図２に示す画素回路１１ａ，１１ｂを駆動するための主要な信号の１Ｈ期間における波形を示している。以下、本変形例について説明する。ただし、本変形例の構成のうち上記第１の実施形態と同一の部分には同一の参照符号を付して説明を省略する。

[0073] 本変形例は、奇数フレームにおける各水平期間（１Ｈ期間）では、上記第１の実施形態と同様、Ａデータライン充電期間がＢデータライン充電期間よりも先行し（図７（Ａ）参照）、偶数フレームにおける各水平期間（１Ｈ期間）では、Ｂデータライン充電期間がＡデータライン充電期間よりも先行するように（図７（Ｂ）参照）、表示制御回路２０がデマルチプレクサ部４０およびデータ側駆動回路３０を制御する構成となっている。すなわち、本変形例における表示制御回路２０は、奇数フレームか偶数フレームかに応じて図７（Ａ）または図７（Ｂ）に示すＡ選択制御信号ＳＳＤａ、Ｂ選択制御信号ＳＳＤｂ、および、データ側駆動回路３０の出力線Ｄｉのデータ信号が生成されるように構成されている。なお、出力線Ｄｉのデータ信号は、表示制御回路２０からデータ側駆動回路３０に与えられる表示データＤＡ等に基づきデータ側駆動回路３０により生成される。

[0074] このような本変形例によれば、各水平期間におけるＡデータライン充電期間とＢデータライン充電期間との時間的な前後関係が１フレーム期間毎に入れ替わるので、Ａ画素回路１１ａとＢ画素回路１１ｂとの間でデータ保持キャパシタＣ１の充電率の差によって輝度に差が生じても、その輝度差が時間的に平均化されて観察者には視認されにくくなる。したがって、本変形例は、上記第１の実施形態と同様の効果を奏しつつ、上記輝度差を視覚的に抑制して上記第１の実施形態よりも表示品質を向上させることができる。

[0075] ＜２．第２の実施形態＞

＜２．１　全体構成＞

図８は、第２の実施形態に係る表示装置２の全体構成を示すブロック図で

ある。この表示装置２は、内部補償を行うＳＳＤ方式の有機ＥＬ表示装置であって、赤、緑、および青の３原色によるカラー表示を行う。図８に示すように表示装置２も、上記第１の実施形態と同様、表示部１０、表示制御回路２０、データ側駆動回路３０、デマルチプレクサ部４０、走査側駆動回路５０、および、発光制御線駆動回路６０を備えている。

[0076] 表示部１０には、ｍ×ｋ（ｍ，ｋは２以上の整数）本のデータ信号線が配設されている。本実施形態では、ｋ＝２である上記第１の実施形態とは異なり、ｋ＝３である。すなわち本実施形態では、表示部１０には、３ｍ本のデータ信号線Ｄｒ１，Ｄｇ１，Ｄｂ１，Ｄｒ２，Ｄｇ２，Ｄｂ２，…，Ｄｒｍ，Ｄｇｍ，Ｄｂｍが配設されており、さらに、これらに交差するｎ本の走査信号線Ｓ１～Ｓｎが配設されていて、ｎ本の走査信号線Ｓ１～Ｓｎに沿ってｎ本の発光制御線Ｅ１～Ｅｎがそれぞれ配設されている。また図８に示すように、表示部１０には３ｍ×ｎ個の画素回路１１が設けられており、これら３ｍ×ｎ個の画素回路１１は、それぞれが、上記３ｍ本のデータ信号線Ｄｘ１～Ｄｘｍ（ｘ＝ｒ，ｇ，ｂ）のいずれか１つに対応し、かつ、上記ｎ本の走査信号線Ｓ１～Ｓｎのいずれか１つに対応し、かつ、上記ｎ本の発光制御線Ｅ１～Ｅｎのいずれか１つに対応するように、上記３ｍ本のデータ信号線Ｄｘ１～Ｄｘｍ（ｘ＝ｒ，ｇ，ｂ）および上記ｎ本の走査信号線Ｓ１～Ｓｎに沿ってマトリクス状に配置されている。上記３ｍ本のデータ信号線Ｄｘ１～Ｄｘｍ（ｘ＝ｒ，ｇ，ｂ）はデマルチプレクサ部４０に接続され、上記ｎ本の走査信号線Ｓ１～Ｓｎは走査側駆動回路５０に接続され、上記ｎ本の発光制御線Ｅ１～Ｅｎは発光制御線駆動回路６０に接続されている。

[0077] また表示部１０には、上記第１の実施形態と同様、各画素回路１１に共通の図示しない電源線として、ハイレベル電源線ＬＶＤＤおよびローレベル電源線ＥＬＶＳＳが配設されるとともに、初期化電圧Ｖｉｎｉを供給する初期化線Ｖｉｎｉが配設されている。これらの電圧は、図示しない電源回路から供給される。

[0078] 図８では、ｍ本のデータ信号線Ｄｒ１～Ｄｒｍ（以下「Ｒデータ信号線Ｄ

ｒ１～Ｄｒｍ」ともいう）にそれぞれ形成される配線容量Ｃｄｒ１～Ｃｄｒｍのそれぞれが１つのキャパシタとして示され、他のｍ本のデータ信号線Ｄｇ１～Ｄｇｍ（以下「Ｇデータ信号線Ｄｇ１～Ｄｇｍ」ともいう）にそれぞれ形成される配線容量Ｃｄｇ１～Ｃｄｇｍのそれぞれが１つのキャパシタとして示され、さらに他のｍ本のデータ信号線Ｄｂ１～Ｄｂｍ（以下「Ｂデータ信号線Ｄｂ１～Ｄｂｍ」ともいう）にそれぞれ形成される配線容量Ｃｄｂ１～Ｃｄｂｍのそれぞれが１つのキャパシタとして示されている（以下、これらの配線容量Ｃｄｘｉ（ｘ＝ｒ，ｇ，ｂ；ｉ＝１～ｍ）を「データライン容量」と呼ぶ）。各データライン容量Ｃｄｘｉを示すキャパシタの一端（データ信号線Ｄｘｉが接続されていない側）には例えば接地電圧が与えられるが、本発明はこれに限定されない。

[0079] 表示制御回路２０は、表示すべき画像を表す画像情報および画像表示のためのタイミング制御情報を含む入力信号Ｓｉｎを表示装置２の外部から受け取り、この入力信号Ｓｉｎに基づき、データ側駆動回路３０、デマルチプレクサ部４０、走査側駆動回路５０、および、発光制御線駆動回路６０に各種制御信号を出力する。より詳細には、表示制御回路２０は、データ側駆動回路３０にデータスタートパルスＤＳＰ、データクロック信号ＤＣＫ、表示データＤＡ、およびラッチパルスＬＰを出力する。表示データＤＡには、Ｒデータ、Ｇデータ、およびＢデータが含まれる。また表示制御回路２０は、上記第１の実施形態とは異なり、デマルチプレクサ部４０にＲ選択制御信号ＳＳＤｒ、Ｇ選択制御信号ＳＳＤｇ、およびＢ選択制御信号ＳＳＤｂを出力する。表示制御回路２０はまた、走査側駆動回路５０に走査スタートパルスＳＳＰおよび走査クロック信号ＳＣＫを出力する。表示制御回路２０はまた、発光制御線駆動回路６０に発光制御スタートパルスＥＳＰおよび発光制御クロック信号ＥＣＫを出力する。

[0080] データ側駆動回路３０は、上記第１の実施形態と同様、図示しないｍビットのシフトレジスタ、サンプリング回路、ラッチ回路、およびｍ個のＤ／Ａコンバータ等を含んでいる。ｍ個のＤ／Ａコンバータは、データ側駆動回路

３０のｍ個の出力端子Ｔｄ１～Ｔｄｍにそれぞれ接続されたｍ本の出力線Ｄ１～Ｄｍに対応しており、表示データＤＡに基づくアナログ形式のデータ信号を出力線Ｄ１～Ｄｍに供給する。本実施形態に係る表示装置２はＲＧＢ３原色（赤、緑、および青の３原色）によるカラー表示を行い、かつＳＳＤ方式を採用しているので、各出力線Ｄｉにはデータ信号、Ｇデータ信号、およびＢデータ信号が順次に（時分割的に）供給される。ここで、Ｒデータ信号は、表示部１０における３ｍ本のデータ信号線Ｄｘ１～Ｄｘｍ（ｘ＝ｒ，ｇ，ｂ）のうちＲデータ信号線Ｄｒ１～Ｄｒｍに印加すべきデータ信号であり、表示すべき画像の赤色成分を表している。Ｇデータ信号は、当該３ｍ本のデータ信号線Ｄｘ１～Ｄｘｍのうち Ｇデータ信号線Ｄｇ１～Ｄｇｍに印加すべきデータ信号であり、表示すべき画像の緑色成分を表している。Ｂデータ信号は、当該３ｍ本のデータ信号線Ｄｘ１～Ｄｘｍのうち Ｂデータ信号線Ｄｂ１～Ｄｂｍに印加すべきデータ信号であり、表示すべき画像の青色成分を表している。

[0081] デマルチプレクサ部４０は、データ側駆動回路３０のｍ個の出力端子Ｔｄ１～Ｔｄｍにそれぞれ対応する第１から第ｍデマルチプレクサ４１からなるｍ個のデマルチプレクサ４１を含んでいる。第ｉデマルチプレクサの入力端子は、データ側駆動回路３０の対応する出力端子Ｔｄｉに出力線Ｄｉを介して接続されている（ｉ＝１～ｍ）。上記第１の実施形態とは異なり、各デマルチプレクサ４１は３個の出力端を有し、第ｉデマルチプレクサ４１の３個の出力端はそれぞれ、３本のデータ信号線Ｄｒｉ，Ｄｇｉ，Ｄｂｉに接続されている。第ｉデマルチプレクサ４１は、データ側駆動回路３０の出力端子Ｔｄｉから出力線Ｄｉを介して順次供給されるＲデータ信号、Ｇデータ信号、およびＢデータ信号をＲデータ信号線Ｄｒｉ、Ｇデータ信号線Ｄｇｉ、およびＢデータ信号線Ｄｂｉにそれぞれ供給する。各デマルチプレクサ４１の動作は、Ｒ選択制御信号ＳＳＤｒ、Ｇ選択制御信号ＳＳＤｇ，およびＢ選択制御信号ＳＳＤｂにより制御される。このようなＳＳＤ方式によれば、ＳＳＤ方式を採用しない場合に比べて、データ側駆動回路３０に接続される出力

線の数を１／３にすることができる。これにより、データ側駆動回路３０の回路規模が縮小されるので、データ側駆動回路３０の製造コストを削減できる。

[0082] 走査側駆動回路５０は、上記第１の実施形態と同様にしてｎ本の走査信号線Ｓ１～Ｓｎを駆動する。より詳細には、走査側駆動回路５０は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、走査クロック信号ＳＣＫに同期して走査スタートパルスＳＳＰを順次転送する。シフトレジスタの各段からの出力である走査信号は、バッファを経由して対応する走査信号線Ｓｊ（ｊ＝１～ｎ）に供給される。アクティブな（本実施形態ではローレベルの）走査信号により、走査信号線Ｓｊに接続された３ｍ個の画素回路１１が一括して選択される。

[0083] 発光制御線駆動回路６０は、上記第１の実施形態と同様にしてｎ本の発光制御線Ｅ１～Ｅｎを駆動する。より詳細には、発光制御線駆動回路６０は、図示しないシフトレジスタおよびバッファ等を含んでいる。シフトレジスタは、発光制御クロック信号ＥＣＫに同期して発光制御スタートパルスＥＳＰを順次転送する。シフトレジスタの各段からの出力である発光制御信号は、バッファを経由して対応する発光制御線Ｅｊ（ｊ＝１～ｎ）に供給される。

[0084] 図８に示すように走査側駆動回路５０は、上記第１の実施形態と同様、発光制御線駆動回路６０とは分離されていて、表示部１０の一端側（図８では表示部１０に対する左側）に配置され、発光制御線駆動回路６０は表示部１０の他端側（図８では表示部１０に対する右側）に配置されているが、このような配置や構成に限定されない。

[0085] ＜２．２　画素回路と各種配線との接続関係＞

図９は、本実施形態における一部の画素回路１１ｒ，１１ｇ，１１ｂと各種配線との接続関係を示す回路図である。これらの画素回路１１ｒ，１１ｇ，１１ｂは、表示部１０における３ｍ×ｎ個の画素回路１１のうち、同一の走査信号線Ｓｊに接続されるとともに同一のデマルチプレクサ４１にデータ信号線Ｄｒｉ，Ｄｇｉ，Ｄｂｉをそれぞれ介して接続されている。ここで、

符号“１１ｒ”は、Ｒデータ信号線Ｄｒｉに接続された画素回路（以下「Ｒ画素回路」ともいう）１１であることを示すために使用し、符号“１１ｇ”は、Ｇデータ信号線Ｄｇｉに接続された画素回路（以下「Ｇ画素回路」ともいう）１１であることを示すために使用し、符号“１１ｂ”は、Ｂデータ信号線Ｄｂｉに接続された画素回路（以下「Ｂ画素回路」ともいう）１１であることを示すために使用するものとする。

[0086] 図９に示すように、各デマルチプレクサ４１は、Ｒ選択トランジスタＭｒ、Ｇ選択トランジスタＭｇ、およびＢ選択トランジスタＭｂを含んでおり、これらのトランジスタＭｒ，Ｍｇ，Ｍｂはいずれもスイッチング素子として機能する。Ｒ選択トランジスタＭｒの制御端子としてのゲート端子にはＲ選択制御信号ＳＳＤｒが与えられ、Ｇ選択トランジスタＭｇの制御端子としてのゲート端子にはＧ選択制御信号ＳＳＤｇが与えられ、Ｂ選択トランジスタＭｂの制御端子としてのゲート端子にはＢ選択制御信号ＳＳＤｂが与えられる。これら選択トランジスタＭｒ，Ｍｇ，Ｍｂの第１導通端子としてのドレイン端子はデータ信号線Ｄｒｉ，Ｄｇｉ，Ｄｂｉにそれぞれ接続され、これら選択トランジスタＭｒ，Ｍｇ，Ｍｂの第２導通端子としてのソース端子はいずれも出力線Ｄｉに接続されている（ｉ＝１～ｍ）。したがって各出力線Ｄｉは、対応するデマルチプレクサ４１において、Ｒ選択トランジスタＭｒを介してＲデータ信号線Ｄｒｉに接続され、Ｇ選択トランジスタＭｇを介してＧデータ信号線Ｄｇｉに接続され、Ｂ選択トランジスタＭｂを介してＢデータ信号線Ｄｂｉに接続されている。

[0087] 次に、画素回路の構成について説明する。図９に示すように、Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂは、走査信号線の延伸する方向において順に並べて配置されている。なお、Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂの構成は基本的に同様であるので、以下では、これらの画素回路で互いに共通する部分についてはＲ画素回路１１ｒの構成を例に挙げて説明し、これらの画素回路で互いに異なる部分については、適宜個別に説明する。

[0088] Ｒ画素回路１１ｒは、上記第１の実施形態におけるＡ画素回路１１ａおよびＢ画素回路１１ｂと同様、有機ＥＬ素子ＯＬＥＤ、駆動トランジスタＭ１、書込用トランジスタＭ２、補償用トランジスタＭ３、第１初期化用トランジスタＭ４、電源供給用トランジスタＭ５、発光制御用トランジスタＭ６、第２初期化用トランジスタＭ７、および、データ電圧を保持するための保持容量としてのデータ保持キャパシタＣ１を含んでおり、これらの素子間の接続関係も同様である（図２、図９参照）。Ｇ画素回路１１ｇおよびＢ画素回路１１ｂも、Ｒ画素回路１１ｒと同様の素子を含み、それらの素子間の接続関係も同様である（図９参照）。

[0089] Ｒ画素回路１１ｒには、それに対応する走査信号線（対応走査信号線）Ｓｊ、対応走査信号線Ｓｊの直前の走査信号線（先行走査信号線）Ｓｊ－１、それに対応する発光制御線（対応発光制御線）Ｅｊ、それに対応するＲデータ信号線（対応データ信号線）Ｄｒｉ、ハイレベル電源線ＥＬＶＤＤ、ローレベル電源線ＥＬＶＳＳ、および、初期化線Ｖｉｎｉが接続されている。Ｇ画素回路１１ｇには、Ｒデータ信号線Ｄｒｉに代えてＧデータ信号線Ｄｇｉが対応データ信号線として接続されている。その他の接続はＲ画素回路１１ｒと同様である。Ｂ画素回路１１ｂには、Ｒデータ信号線Ｄｒｉに代えてＢデータ信号線Ｄｂｉが対応データ信号線として接続されている。その他の接続はＲ画素回路１１ｒと同様である。なお上述のように、Ｒデータ信号線Ｄｒｉにはデータライン容量Ｃｄｒｉが形成され、Ｇデータ信号線Ｄｇｉにはデータライン容量Ｃｄｇｉが形成され、Ｂデータ信号線Ｄｂｉにはデータライン容量Ｃｄｂｉが形成されている（図８参照）。

[0090] Ｒ画素回路１１ｒでは、書込用トランジスタＭ２は、対応走査信号線Ｓｊにゲート端子が接続され、対応データ信号線Ｄｒｉにソース端子が接続されている。Ｇ画素回路１１ｇでは、書込用トランジスタＭ２は、対応走査信号線Ｓｊにゲート端子が接続され、対応データ信号線Ｄｇｉにソース端子が接続されている。Ｂ画素回路１１ｂでは、書込用トランジスタＭ２は、対応走査信号線Ｓｊにゲート端子が接続され、対応データ信号線Ｄｂｉにソース端

子が接続されている。

[0091] Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂのそれぞれにおいて、書込用トランジスタＭ２は、対応走査信号線Ｓｊの選択に応じて、対応データ信号線Ｄｘｉの電圧すなわちデータライン容量Ｃｄｘｉに保持されたデータ電圧を駆動トランジスタＭ１に供給する（ｘ＝ｒ，ｇ，ｂ）。

[0092] Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂのそれぞれにおける上記以外の構成（配線および接続関係）は、上記第１の実施形態におけるＡ画素回路１１ａおよびＢ画素回路１１ｂの構成と同様であるので、その説明を省略する（図２、図９参照）。

[0093] ＜２．３　駆動方法＞

次に、本実施形態に係る表示装置２の駆動方法につき図９、図１０、および図１１を参照して説明する。図１０は、図８および図９に示す本実施形態に係る表示装置２の駆動を説明するための信号波形図である。図１０は、同一の走査信号線Ｓｊに接続されるとともに同一のデマルチプレクサ４１に３本のデータ信号線Ｄｒｉ，Ｄｇｉ，Ｄｂｉをそれぞれ介して接続される３つの画素回路１１ｒ，１１ｇ，１１ｂに着目し、これらの画素回路１１ｒ，１１ｇ，１１ｂを駆動するための信号の波形を示している。図１１は、本実施形態に係る表示装置２の動作を説明するための１Ｈ期間についての詳細な信号波形を数値例とともに示す図である。なお、以下で述べる画素回路１１ｒ，１１ｇ，１１ｂにおけるトランジスタ等の回路素子は、特に断らない限り、これらの画素回路１１ｒ，１１ｇ，１１ｂのいずれにおいても同様に動作するものとする。

[0094] 図１０および図１１に示すように、上記第１の実施形態と同様（図４、図６）、データ期間＆走査選択期間の前にリセット期間が設けられている。本実施形態では、このリセット期間は、Ｒ選択制御信号ＳＳＤｒ、Ｇ選択制御信号ＳＳＤｇ、およびＢ選択制御信号ＳＳＤｂがいずれもローレベルであり、これによりＲ選択トランジスタＭｒ、Ｇ選択トランジスタＭｇ、およびＢ

選択トランジスタＭｂはいずれもオン状態である。このリセット期間において表示制御回路２０は、図１１に示すように、上記第１の実施形態と同様、データ側駆動回路３０がリセット電圧として白電圧を各出力端子Ｔｄｉ（ｉ＝１～ｍ）から出力線Ｄｉに出力するようにデータ側駆動回路３０を制御する。 図９からわかるように本実施形態では、このリセット期間において、白電圧がデマルチプレクサ４１を介してデータ信号線Ｄｒｉ，Ｄｇｉ，Ｄｂｉに供給され、データライン容量Ｃｄｒｉ，Ｃｄｇｉ，Ｃｄｂｉによりそれぞれ保持される。

[0095] 上記リセット期間の終了時点において、Ｇ選択制御信号ＳＳＤｇおよびＢ選択制御信号ＳＳＤｂがローレベルからハイレベル（非アクティブ）に変化するとともに、対応走査信号線Ｓｊの電圧がハイレベルからローレベル（アクティブ）に変化する。Ｒ選択制御信号ＳＳＤｒは、このリセット期間の終了後も所定期間だけローレベルを維持し、その後、Ｇ選択制御信号ＳＳＤｇがローレベルに変化する前にローレベルからハイレベルに変化する（なお、図１０、図１１に示す例ではリセット期間とＲデータ信号線Ｄｒｉについてのデータ期間とが連続しているが、これらの期間が分離されていてもよい）。Ｇ選択制御信号ＳＳＤｇは、この後、所定期間だけローレベルを維持した後、Ｂ選択制御信号ＳＳＤｂがローレベルに変化する前にローレベルからハイレベルに変化する。Ｂ選択制御信号ＳＳＤｂは、この後、所定期間だけローレベルを維持した後、対応走査信号線Ｓｊの電圧がローレベルからハイレベル（非アクティブ）に変化する前にローレベルからハイレベルに変化する。

[0096] このようにして本実施形態では、図１０、図１１に示すようにデータ期間＆走査選択期間において、Ｒ選択制御信号ＳＳＤｒ、Ｇ選択制御信号ＳＳＤｇ、およびＢ選択制御信号ＳＳＤｂが所定期間ずつ順次ローレベルとなることにより、デマルチプレクサ４１におけるＲ選択トランジスタＭｒ、Ｇ選択トランジスタＭｇ、およびＢ選択トランジスタＭｂが当該所定期間ずつ順次オン状態となる。一方、データ側駆動回路３０の出力端子Ｔｄｉからは、こ

のデータ期間＆走査選択期間において、図１１に示すようにＲ選択制御信号ＳＳＤｒ、Ｇ選択制御信号ＳＳＤｇ、およびＢ選択制御信号ＳＳＤｂに連動してＲデータ信号、Ｇデータ信号、およびＢデータ信号が順次に出力される（図１１に示す出力線Ｄｉの電圧波形参照）。これら順次に出力されるＲデータ信号、Ｇデータ信号、およびＢデータ信号の電圧（データ電圧）は、上記デマルチプレクサ４１によってデータ信号線Ｄｒｉ，Ｄｇｉ，Ｄｂｉにそれぞれ供給され、データライン容量Ｃｄｒｉ，Ｃｄｇｉ，Ｃｄｂｉによりそれぞれ保持される。

[0097] 上記より、データ期間＆走査選択期間のうち対応走査信号線Ｓｊの電圧がローレベル（アクティブ）に変化した時点以降において、Ｒデータ信号の電圧がＲデータ信号線Ｄｒｉに供給されてデータライン容量ＣｄｒｉにＲデータ電圧ＶｄＲとして保持されるとともに、Ｒ画素回路１１ｒにおいてダイオード接続状態の駆動トランジスタＭ１を介してデータ保持キャパシタＣ１に供給される。これにより、この駆動トランジスタＭ１のゲート電圧Ｖｇは上記式（１）で与えられる値に向かって変化する（ただし、Ｖｄａｔａ＝ＶｄＲとする）。また、このデータ期間＆走査選択期間のうちＧ選択制御信号ＳＳＤｇがローレベル（アクティブ）に変化した時点以降において、Ｇデータ信号の電圧がＧデータ信号線Ｄｇｉに供給されてデータライン容量ＣｄｇｉにＧデータ電圧ＶｄＧとして保持されるとともに、Ｇ画素回路１１ｇにおいてダイオード接続状態の駆動トランジスタＭ１を介してデータ保持キャパシタＣ１に供給される。これにより、この駆動トランジスタＭ１のゲート電圧Ｖｇも上記式（１）で与えられる値に向かって変化する（ただし、Ｖｄａｔａ＝ＶｄＧとする）。また、このデータ期間＆走査選択期間のうちＢ選択制御信号ＳＳＤｂがローレベル（アクティブ）に変化した時点以降において、Ｂデータ信号の電圧がＢデータ信号線Ｄｂｉに供給されてデータライン容量ＣｄｂｉにＢデータ電圧ＶｄＢとして保持されるとともに、Ｂ画素回路１１ｂにおいてダイオード接続状態の駆動トランジスタＭ１を介してデータ保持キャパシタＣ１に供給される。これにより、この駆動トランジスタＭ１のゲ

ート電圧Ｖｇも上記式（１）で与えられる値に向かって変化する（ただし、Ｖｄａｔａ＝ＶｄＢとする）。

[0098] データ期間＆走査選択期間の終了時点において、対応走査信号線Ｓｊの電圧がローレベルからハイレベルに変化する。このため、Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂのそれぞれにおいて、書込用トランジスタＭ２および補償用トランジスタＭ３がオフ状態に変化する。

[0099] また図１０に示すように、データ期間＆走査選択期間の終了時点において、対応発光制御線Ｅｊの電圧がハイレベルからローレベルに変化する。このため、Ｒ画素回路１１ｒ、Ｇ画素回路１１ｇ、およびＢ画素回路１１ｂのそれぞれにおいて、電源供給用トランジスタＭ５および発光制御用トランジスタＭ６がオン状態に変化する。これにより、駆動トランジスタＭ１のゲート電圧Ｖｇおよびハイレベル電源線ＥＬＶＤＤに応じた駆動電流Ｉ、すなわちデータ保持キャパシタＣ１に保持された電圧に応じた駆動電流Ｉが有機ＥＬ素子ＯＬＥＤに供給され、駆動電流Ｉの電流値に応じて有機ＥＬ素子ＯＬＥＤが発光する。このとき、Ｒ画素回路１１ｒにおける有機ＥＬ素子ＯＬＥＤは赤色光を、Ｇ画素回路１１ｇにおける有機ＥＬ素子ＯＬＥＤは緑色光を、Ｂ画素回路１１ｂにおける有機ＥＬ素子ＯＬＥＤは青色光を、それぞれ発する。駆動電流Ｉは上記式（４）により与えられる。以上のような動作が、１フレーム期間においてｎ回繰り返されることにより、１フレーム分の画像が表示される。

[0100] ＜２．４　効果＞

本実施形態によれば、上記第１の実施形態と同様、データライン充電期間を含むデータ期間と画素回路１１内のデータ保持キャパシタＣ１の充電が行われる走査選択期間とを重複させることで（図１０、図１１の「データ期間＆走査選択期間」参照）、データライン充電期間を十分に確保することができる。例えば、図１１に示す波形において、表示画像が１０８０×１９２０の画素数の解像度で１Ｈ期間が８．１８μｓである場合、１Ｈ期間の始点からリセット期間の始点までの時間を１．５μｓ、リセット期間を１．０μｓ

、選択トランジスタＭｘのオン期間の間隔（選択制御信号ＳＳＤｘがローレベルである期間の間隔）を０．４μｓとすると（ｘ＝ｒ，ｇ，ｂ）、データ側駆動回路３０から出力される各データ信号がデマルチプレクサ４１で３本のデータ信号線Ｄｒｉ，Ｄｇｉ，Ｄｂｉに順次に供給されるＳＳＤ方式すなわち多重度が３のＳＳＤ方式（以下「３ＳＳＤ方式」という）であっても、１．４９μｓのデータライン充電期間を確保することができる。

[0101] また本実施形態によれば、上記第１の実施形態と同様、図１１に示すように、データライン充電期間を含むデータ期間（データ期間＆走査選択期間）の前にリセット期間が設けられ、このリセット期間において各データ信号線Ｄｘｉ（ｘ＝ｒ，ｇ，ｂ）にリセット電圧として白電圧が供給されるので、データ期間と走査選択期間とが重複しても、図１７に示すようなダイオード接続に起因するデータ書込不良の問題は生じない。

[0102] したがって本実施形態においても、ダイオード接続に起因するデータ書込不良の問題を回避しつつデータ期間と走査選択期間とを重複させることで、走査選択期間を狭めることなく、データライン充電期間を従来に比べ大幅に増大させることができる。これにより，３ＳＳＤ方式の有機ＥＬ表示装置において、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行うことができる。

[0103] ＜２．５　第２の実施形態の変形例＞

上記第２の実施形態においても、Ｒ画素回路１１ｒとＧ画素回路１１ｇとＢ画素回路１１ｂの間でデータ保持キャパシタＣ１の充電率に差が生じる可能性を考慮し、上記第１の実施形態の変形例（図７）と同様、各水平期間（１Ｈ期間）におけるＲデータ信号線Ｄｒｉ、Ｇデータ信号線Ｄｇｉ，Ｂデータ信号線Ｄｂｉへのデータ電圧による充電期間の順序を１以上の所定フレーム期間毎に入れ替えるという構成が考えられる。図１２は、このような構成を有する上記第２の実施形態の変形例に係る表示装置の動作を説明するための信号波形図であり、図９に示す画素回路１１ｒ，１１ｇ，１１ｂを駆動するための主要な信号の１Ｈ期間における波形を示している。以下、本変形例

について説明する。ただし、本変形例の構成のうち上記第２の実施形態と同一の部分には同一の参照符号を付して説明を省略する。なお以下において、Ｒデータ信号によるデータライン充電期間すなわちＲ選択トランジスタＭｒがオン状態であってＲデータ信号がＲデータ信号線Ｄｒｉに供給される期間を「Ｒデータライン充電期間」といい、Ｇデータ信号によるデータライン充電期間すなわちＧ選択トランジスタＭｇがオン状態であってＧデータ信号がＧデータ信号線Ｄｇｉに供給される期間を「Ｇデータライン充電期間」といい、Ｂデータ信号によるデータライン充電期間すなわちＢ選択トランジスタＭｂがオン状態であってＢデータ信号がＢデータ信号線Ｄｂｉに供給される期間を「Ｂデータライン充電期間」というものとする。

[0104] 本変形例は、奇数フレームにおける各水平期間（１Ｈ期間）では、上記第２の実施形態と同様、各組のデータ信号線群に対応する３つのデータライン充電期間がＲデータライン充電期間、Ｇデータライン充電期間、Ｂデータライン充電期間の順に現れ（図１２（Ａ）参照）、偶数フレームにおける各水平期間（１Ｈ期間）では、各組のデータ信号線群に対応する３つのデータライン充電期間がＢデータライン充電期間、Ｇデータライン充電期間、Ｒデータライン充電期間の順に現れるように（図１２（Ｂ）参照）、表示制御回路２０がデマルチプレクサ部４０およびデータ側駆動回路３０を制御する構成となっている。すなわち、本変形例における表示制御回路２０は、奇数フレームか偶数フレームかに応じて図１２（Ａ）または図１２（Ｂ）に示すＲ選択制御信号ＳＳＤｒ、Ｇ選択制御信号ＳＳＤｇ、Ｂ選択制御信号ＳＳＤｂ、および、データ側駆動回路３０の出力線Ｄｉのデータ信号が生成されるように構成されている。なお、出力線Ｄｉのデータ信号は、表示制御回路２０からデータ側駆動回路３０に与えられる表示データＤＡ等に基づきデータ側駆動回路３０により生成される。

[0105] このような本変形例によれば、各水平期間におけるＲデータライン充電期間とＢデータライン充電期間との時間的な位置関係が１フレーム期間毎に入れ替わるので、Ｒ画素回路１１ｒとＢ画素回路１１ｂとの間でデータ保持キ

ャパシタＣ１の充電率の差によって輝度に差が生じても、その輝度差が時間的に平均化されて観察者には視認されにくくなる。したがって本変形例は、上記第２の実施形態と同様の効果を奏しつつ、上記輝度差を視覚的に抑制して上記第２の実施形態よりも表示品質を向上させることができる。

[0106] なお本変形例は、各水平期間におけるＲデータライン充電期間とＢデータライン充電期間との時間的な位置関係が１フレーム期間毎に入れ替わるように構成されているが、これに代えて、各水平期間におけるＲデータライン充電期間とＧデータライン充電期間とＢデータライン充電期間との時間的な位置関係が１フレーム期間毎に循環的に入れ替わるように構成されていてもよい。このような構成によれば、Ｒ画素回路１１ｒとＧ画素回路１１ｇとＢ画素回路１１ｂとの間でデータ保持キャパシタＣ１の充電率の差によって輝度に差が生じても、その輝度差が３フレーム期間単位で時間的に平均化されて観察者には視認されにくくなり、表示品質をさらに向上させることができる。

[0107] ＜３．他の変形例＞

本発明は上記各実施形態および上記変形例に限定されるものではなく、本発明の範囲を逸脱しない限りにおいてさらに種々の変形を施すことができる。

[0108] 例えば、上記各実施形態では、ダイオード接続に起因するデータ書込不良の問題（図１７）を回避すべく設けられたリセット期間において各データ信号線Ｄｘｉ（ｘ＝ａ，ｂまたはｘ＝ｒ，ｇ，ｂ）にリセット電圧として白電圧が与えられるが、このリセット電圧は、白電圧に限定されるものではなく、走査選択期間においてデータ信号線Ｄｘｉが取り得る最低電圧または当該最低電圧よりも低い電圧であればよい。なお上記各実施形態では、データ信号線Ｄｘｉがダイオード接続状態の駆動トランジスタＭ１におけるアノード側に相当するが、データ信号線Ｄｘｉがダイオード接続状態の駆動トランジスタにおけるカソード側に相当する場合（画素回路１１につき例えば駆動トランジスタＭ１としてＮチャネル型トランジスタを使用する他の構成を採用

することにより、ダイオード接続状態の駆動トランジスタＭ１で仮想的に実現されるダイオードの向きが上記各実施形態と逆になる場合）には、このリセット電圧は、走査選択期間においてデータ信号線が取り得る最高電圧または当該最高電圧よりも高い電圧であればよい。より一般的には、このリセット電圧は、走査選択期間にデータ電圧が取り得るどの電圧によっても画素回路１１ｘでダイオード接続状態の駆動トランジスタＭ１を介してデータ保持キャパシタＣ１を充電可能なように各データ信号線Ｄｘｉを初期化する電圧であれよい。したがって、データ保持キャパシタＣ１の初期化電圧Ｖｉｎｉとして使用可能な電圧はリセット電圧としても使用することができる。例えば、図１および図２に示す構成の有機ＥＬ表示装置において、走査選択期間にデータ信号の電圧が取り得る最低電圧よりも低い電圧、例えば有機ＥＬ素子を駆動するためのローレベル電源電圧ＥＬＶＳＳ（＜０）をリセット電圧してもよい。また例えば、図１および図２に示す構成の有機ＥＬ表示装置において、グランド電圧（以下「ＧＮＤ」と記すことにする）である０Ｖをリセット電圧としてもよい。この場合、図２に示す構成における画素回路１１ａ，１１ｂは、図１３に示すような信号により駆動される。

[0109] また上記各実施形態では、走査信号線Ｓｊが選択状態である期間（走査選択期間）にいずれのデータライン充電期間（Ｘデータライン充電期間（Ｘ＝Ａ，ＢまたはＸ＝Ｒ，Ｇ，Ｂ））も含まれるように選択制御信号ＳＳＤｘ（ｘ＝ａ，ｂまたはｘ＝ｒ，ｇ，ｂ）が生成されるが（図６、図１１等参照）、これに代えて、走査信号線Ｓｊが選択状態である期間（走査選択期間）が１つ以上のデータライン充電期間と重なるように（各デマルチプレクサ４１において１つ以上の選択トランジスタＭｘが走査選択期間にオン状態となるように）選択制御信号ＳＳＤｘが生成される構成としてもよい。例えば図１および図２に示す構成の有機ＥＬ表示装置において、図１４に示すように、Ａ選択トランジスタＭａがオン状態であるＡデータライン充電期間（Ａデータ信号がＡデータ信号線Ｄａｉに供給される期間）の終了後に走査信号線Ｓｊが選択状態となり、その走査信号線Ｓｊの選択期間においてＢ選択トラン

ジスタＭｂのみがオン状態となってＢデータ信号がＢデータ信号線Ｄｂｉに供給されるようにしてもよい。このような構成は、Ａ画素回路１１ａとＢ画素回路１１ｂとの間でデータ保持キャパシタＣ１の充電率の差によって生じ得る輝度差の抑制に有効である。

[0110] また、上記第１の実施形態では多重度が２のＳＳＤ方式が採用され（図２）、上記第２の実施形態では多重度が３のＳＳＤ方式が採用されているが（図９）、多重度が４以上のＳＳＤ方式を採用してもよい。例えば、４つの原色に基づきカラー画像を表示する有機ＥＬ表示装置において、当該４つの原色に対応する４本のデータ信号線を１組として表示部における複数のデータ信号線をｍ組のデータ信号線群にグループ化し、多重度が４のＳＳＤ方式を採用してもよい。この場合、当該ｍ組のデータ信号線群にそれぞれ対応するｍ個のデマルチプレクサが設けられ、各デマルチプレクサには、対応する組の４本のデータ信号線にそれぞれ接続された４個の選択トランジスタがスイッチング素子として含まれており、データ側駆動回路３０の各出力端子Ｔｄｉから時分割的に出力される４つのデータ信号（４つの原色に対応する４つのアナログ電圧信号）は、当該デマルチプレクサ４１により当該４本のデータ信号線にそれぞれ与えられる。より一般的には、ＳＳＤ方式の多重度は、表示部１０に配設されるデータ信号線の本数よりも十分に小さい２以上の所定数であればよく、多重度が２以上の所定数であるＳＳＤ方式を採用した場合、当該所定数のデータ信号線を１組として表示部における複数のデータ信号線がｍ組のデータ信号線群にグループ化され、当該ｍ組のデータ信号線群にそれぞれ対応するｍ個のデマルチプレクサ４１が設けられる。この場合、各デマルチプレクサ４１には、対応する組の当該所定数のデータ信号線にそれぞれ接続された所定数の選択トランジスタがスイッチング素子として含まれており、データ側駆動回路３０の各出力端子Ｔｄｉから時分割的に出力される所定数のデータ信号（所定数のアナログ電圧信号）は、当該デマルチプレクサ４１により当該所定数のデータ信号線にそれぞれ与えられる。

[0111] なお以上において、有機ＥＬ表示装置を例に挙げて各実施形態およびその

変形例が説明されたが、本発明は、有機ＥＬ表示装置に限定されるものではなく、電流で駆動される表示素子を用いたＳＳＤ方式の表示装置であれば適用可能である。ここで使用可能な表示素子は、電流によって輝度または透過率等が制御される表示素子であり、例えば、有機ＥＬ素子すなわち有機発光ダイオード（Organic Light Emitting Diode（ＯＬＥＤ））の他、無機発光ダイオードや量子ドット発光ダイオード（Quantum dot Light Emitting Diode（ＱＬＥＤ））等が使用可能である。

[0112] ＜４．付記＞

＜付記１＞

表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

２以上の所定数のデータ信号線を１組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサと、

前記複数の走査信号線を選択的に駆動する走査側駆動回路と、

前記複数のデマルチプレクサ、前記データ側駆動回路、および、前記走査側駆動回路を制御する表示制御回路とを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第１導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第２導通端子と、オン／オフを制御する選択制御信号を受け取る

ための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか１つに対応するとともに前記複数の走査信号線のいずれか１つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持容量に与えられるように構成されており、

前記表示制御回路は、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたリセット期間において、前記所定数のスイッチング素子を同時にオン状態とし、

前記所定数のスイッチング素子のうち少なくとも１つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とし、

前記データ側駆動回路は、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として各出力端子から出力し、

前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記表示制御回路による制御に応じて、各出力端子から前記所定数のアナログ電圧信号を時分割的に出力する、表示装置。

[0113] ＜付記２＞

付記１に記載の表示装置において、

前記表示制御回路は、前記複数の走査信号線のそれぞれの選択期間において前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とするよう

に構成されていてもよい。

[0114] このような付記２に記載の表示装置によれば、表示部における複数の走査信号線のそれぞれの選択期間において、各デマルチプレクサにおける所定数のスイッチング素子が所定期間ずつ順次にオン状態とされ、これに応じてデータ側駆動回路の各出力端子から所定数のアナログ電圧信号が時分割的に出力される。これにより、画素回路内のダイオード接続に起因するデータ書込不良の問題を回避しつつ、従来に比べデータライン充電期間を大幅に増大させ、選択期間も大幅に増大させることができる。これにより、表示画像の高精細化が進んでも画素回路におけるデータ電圧での充電および内部補償を十分に行うことができる。

[0115] ＜付記３＞

付記２に記載の表示装置において、

前記表示制御回路は、前記所定数のスイッチング素子を所定期間ずつオン状態とする順序を、１以上のフレーム期間毎に変更するように構成されていてもよい。

[0116] このような付記３に記載の表示装置によれば、各デマルチプレクサにおける所定数のスイッチング素子が所定期間ずつオン状態となる順序が、１以上のフレーム期間毎に変更される。これにより、各デマルチプレクサに対応する所定数のデータ信号線における互いに異なるデータ信号線に接続された画素回路の間で保持容量の充電率の差によって輝度差が生じても、その輝度差が時間的に平均化されて観察者には視認されにくくなる。したがって、付記２に記載の表示装置と同様の効果に加えて、その輝度差が視覚的に抑制されて表示品質が向上するという効果が得られる。

[0117] ＜付記４＞

付記１または２に記載の表示装置において、

前記複数のデータ信号線は、３以上の所定数の原色に基づくカラー画像を表す複数のアナログ電圧信号を伝達し、各データ信号線は前記所定数の原色のいずれかに対応し、

前記複数組のデータ信号線群は、前記所定数の原色に対応する所定数のデータ信号線を１組として前記複数のデータ信号線をグループ化することにより得られるものであり、

前記複数の画素回路は、前記複数のアナログ電圧信号に基づき前記カラー画像を表示するように構成されていてもよい。

[0118] このような付記４に記載の表示装置によれば、表示部における複数のデータ信号線は、３以上の所定数の原色に基づくカラー画像を表す複数のアナログ電圧信号を伝達し、当該所定数の原色に対応する所定数のデータ信号線を１組として複数組のデータ信号線群にグループ化されている。データ側駆動回路の各出力端子から時分割的に出力されるアナログ電圧信号は、当該出力端子に対応する組の所定数のデータ信号線に順次供給される。このようなＳＳＤ方式によりカラー画像を表示する表示装置において、付記１または２に記載の表示装置と同様の特徴に基づき同様の効果が得られる。

[0119] ＜付記５＞

付記４に記載の表示装置において、

前記表示制御回路は、前記所定数のスイッチング素子を前記所定期間ずつオン状態とする順序を、１以上のフレーム期間毎に変更するように構成されていてもよい。

[0120] このような付記５に記載の表示装置によれば、付記３に記載の表示装置と同様、各デマルチプレクサに対応する所定数のデータ信号線における互いに異なるデータ信号線に接続された画素回路の間で保持容量の充電率の差によって輝度差が生じても、その輝度差が時間的に平均化されて観察者には視認されにくくなる。したがって、付記４に記載の表示装置と同様の効果に加えて、その輝度差が視覚的に抑制されて表示品質が向上するという効果が得られる。

[0121] ＜付記６＞

付記１から５のいずれかに記載の表示装置において、

各画素回路は、対応するデータ信号線が当該画素回路内のダイオード接続

状態の駆動トランジスタにおけるアノード側に相当するように構成されており、

前記データ側駆動回路は、前記複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最低電圧または当該最低電圧よりも低い電圧をリセット電圧として各出力端子から前記リセット期間に出力するように構成されていてもよい。

[0122] このような付記６に記載の表示装置によれば、各画素回路は、それに対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるアノード側に相当するように構成されており、表示部における複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最低電圧または当該最低電圧よりも低い電圧がリセット電圧としてリセット期間に各データ信号線に与えられる。これにより、データ期間と走査選択期間とが重複しても、画素回路内のダイオード接続に起因するデータ書込不良の問題は生じない。

[0123] ＜付記７＞

付記１から５のいずれかに記載の表示装置において、

各画素回路は、対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるカソード側に相当するように構成されており、

前記データ側駆動回路は、前記複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最高電圧または当該最高電圧よりも高い電圧をリセット電圧として各出力端子から前記リセット期間に出力するように構成されていてもよい。

[0124] このような付記７に記載の表示装置によれば、各画素回路は、それに対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるカソード側に相当するように構成されており、表示部における複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最高電圧または当該最高電圧よりも高い電圧がリセット電圧としてリセッ

ト期間に各データ信号線に与えられる。これにより、データ期間と走査選択期間とが重複しても、画素回路内のダイオード接続に起因するデータ書込不良の問題は生じない。

符号の説明

[0125] １，２…表示装置

１０　…表示部

１１，１１ｘ　…画素回路（ｘ＝ａ，ｂまたはｘ＝ｒ，ｇ，ｂ）

２０　…表示制御回路

３０　…データ側駆動回路

４０　…デマルチプレクサ部

４１　…デマルチプレクサ

５０　…走査側駆動回路

６０　…発光制御線駆動回路

Ｔｄｉ…出力端子（ｉ＝１～ｍ）

Ｄｉ　…出力線（ｉ＝１～ｍ）

Ｄａｉ，Ｄｂｉ　　…データ信号線

Ｄｒｉ，Ｄｇｉ，Ｄｂｉ…データ信号線

Ｓｊ　…走査信号線（ｊ＝１～ｎ）

Ｅｊ　…発光制御線（ｊ＝１～ｎ）

Ｃｄａｉ，Ｃｄｂｉ　　…データライン容量（ｉ＝１～ｍ）

Ｃｄｒｉ，Ｃｄｇｉ，Ｃｄｂｉ…データライン容量（ｉ＝１～ｍ）

Ｍａ，Ｍｂ　　…選択トランジスタ（スイッチング素子）

Ｍｒ，Ｍｇ，Ｍｂ　…選択トランジスタ（スイッチング素子）

Ｍ１…駆動トランジスタ

Ｍ２…書込用トランジスタ

Ｍ３…補償込用トランジスタ

Ｍ４，Ｍ７…初期化用トランジスタ

Ｍ５…電源供給用トランジスタ

Ｍ６…発光制御用トランジスタ

Ｃ１…データ保持キャパシタ（保持容量）

ＳＳＤｘ…選択制御信号（ｘ＝ａ，ｂまたはｘ＝ｒ，ｇ，ｂ）

請求の範囲

[請求項1] 表示すべき画像を表す複数のアナログ電圧信号を伝達するための複数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置であって、

２以上の所定数のデータ信号線を１組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有し、各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサと、

前記複数の走査信号線を選択的に駆動する走査側駆動回路と、

前記複数のデマルチプレクサ、前記データ側駆動回路、および、前記走査側駆動回路を制御する表示制御回路とを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第１導通端子と、当該デマルチプレクサに接続された出力端子から前記データ側駆動回路が出力するアナログ電圧信号を受け取るための第２導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか１つに対応するとともに前記複数の走査信号線のいずれか１つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容

量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線の電圧が前記駆動トランジスタを介して前記保持容量に与えられるように構成されており、

前記表示制御回路は、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたリセット期間において、前記所定数のスイッチング素子を同時にオン状態とし、

前記所定数のスイッチング素子のうち少なくとも１つのスイッチング素子が各走査信号線の選択期間においてオン状態となるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とし、

前記データ側駆動回路は、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として各出力端子から出力し、

前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記表示制御回路による制御に応じて、各出力端子から前記所定数のアナログ電圧信号を時分割的に出力する、表示装置。

[請求項2] 前記表示制御回路は、前記複数の走査信号線のそれぞれの選択期間において前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする、請求項１に記載の表示装置。

[請求項3] 前記表示制御回路は、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする順序を、１以上のフレーム期間毎に変更する、請求項２に記載の表示装置。

[請求項4] 前記複数のデータ信号線は、３以上の所定数の原色に基づくカラー画像を表す複数のアナログ電圧信号を伝達し、各データ信号線は前記所定数の原色のいずれかに対応し、

前記複数組のデータ信号線群は、前記所定数の原色に対応する所定数のデータ信号線を１組として前記複数のデータ信号線をグループ化することにより得られるものであり、

前記複数の画素回路は、前記複数のアナログ電圧信号に基づき前記カラー画像を表示する、請求項１または２に記載の表示装置。

[請求項5] 前記表示制御回路は、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする順序を、１以上のフレーム期間毎に変更する、請求項４に記載の表示装置。

[請求項6] 各画素回路は、対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるアノード側に相当するように構成されており、

前記データ側駆動回路は、前記複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最低電圧または当該最低電圧よりも低い電圧をリセット電圧として各出力端子から前記リセット期間に出力する、請求項１から５のいずれか１項に記載の表示装置。

[請求項7] 各画素回路は、対応するデータ信号線が当該画素回路内のダイオード接続状態の駆動トランジスタにおけるカソード側に相当するように構成されており、

前記データ側駆動回路は、前記複数の走査信号線のいずれかが選択状態であるときに各データ信号線が取り得る最高電圧または当該最高電圧よりも高い電圧をリセット電圧として各出力端子から前記リセット期間に出力する、請求項１から５のいずれか１項に記載の表示装置。

[請求項8] 表示すべき画像を表す複数のアナログ電圧信号を伝達するための複

数のデータ信号線と、前記複数のデータ信号線に交差する複数の走査信号線と、前記複数のデータ信号線および前記複数の走査信号線に沿ってマトリクス状に配置された複数の画素回路とを有する表示装置の駆動方法であって、

前記表示装置は、

２以上の所定数のデータ信号線を１組として前記複数のデータ信号線をグループ化することにより得られる複数組のデータ信号線群にそれぞれ対応する複数の出力端子を有するデータ側駆動回路と、

前記データ側駆動回路の前記複数の出力端子にそれぞれ接続され、前記複数組のデータ信号線群にそれぞれ対応する複数のデマルチプレクサとを備え、

各デマルチプレクサは、対応する組の所定数のデータ信号線にそれぞれ対応する所定数のスイッチング素子を含み、各スイッチング素子は、対応するデータ信号線に接続された第１導通端子と、当該デマルチプレクサに接続された出力端子から出力されるアナログ電圧信号を受け取るための第２導通端子と、オン／オフを制御する選択制御信号を受け取るための制御端子とを有し、

前記複数の画素回路のそれぞれは、前記複数のデータ信号線のいずれか１つに対応するとともに前記複数の走査信号線のいずれか１つに対応し、

各画素回路は、電流によって駆動される表示素子と、前記表示素子の駆動電流を制御する電圧を保持するための保持容量と、前記保持容量に保持された電圧に応じた駆動電流を前記表示素子に与えるための駆動トランジスタとを含み、対応する走査信号線が選択状態のときに前記駆動トランジスタがダイオード接続状態となって対応するデータ信号線から前記駆動トランジスタを介して前記保持容量に電圧が与えられるように構成されており、

前記駆動方法は、

前記複数の走査信号線を選択的に駆動する走査側駆動ステップと、

各走査信号線につき、当該走査信号線が選択される直前に選択された他の走査信号線である先行走査信号線が非選択状態に変化した後であって当該走査信号線が選択される前に設定されたリセット期間において、前記所定数のスイッチング素子を同時にオン状態とするリセットステップと、

前記所定数のスイッチング素子のうち少なくとも１つのスイッチング素子が各走査信号線の選択期間においてオン状態であるように、前記リセット期間後であって当該走査信号線が選択状態から非選択状態に変化する前に前記所定数のスイッチング素子を所定期間ずつ順次にオン状態とする逆多重化ステップと、

前記リセット期間に、各データ信号線を初期化するための電圧をリセット電圧として前記データ側駆動回路の各出力端子から出力するリセット電圧出力ステップと、

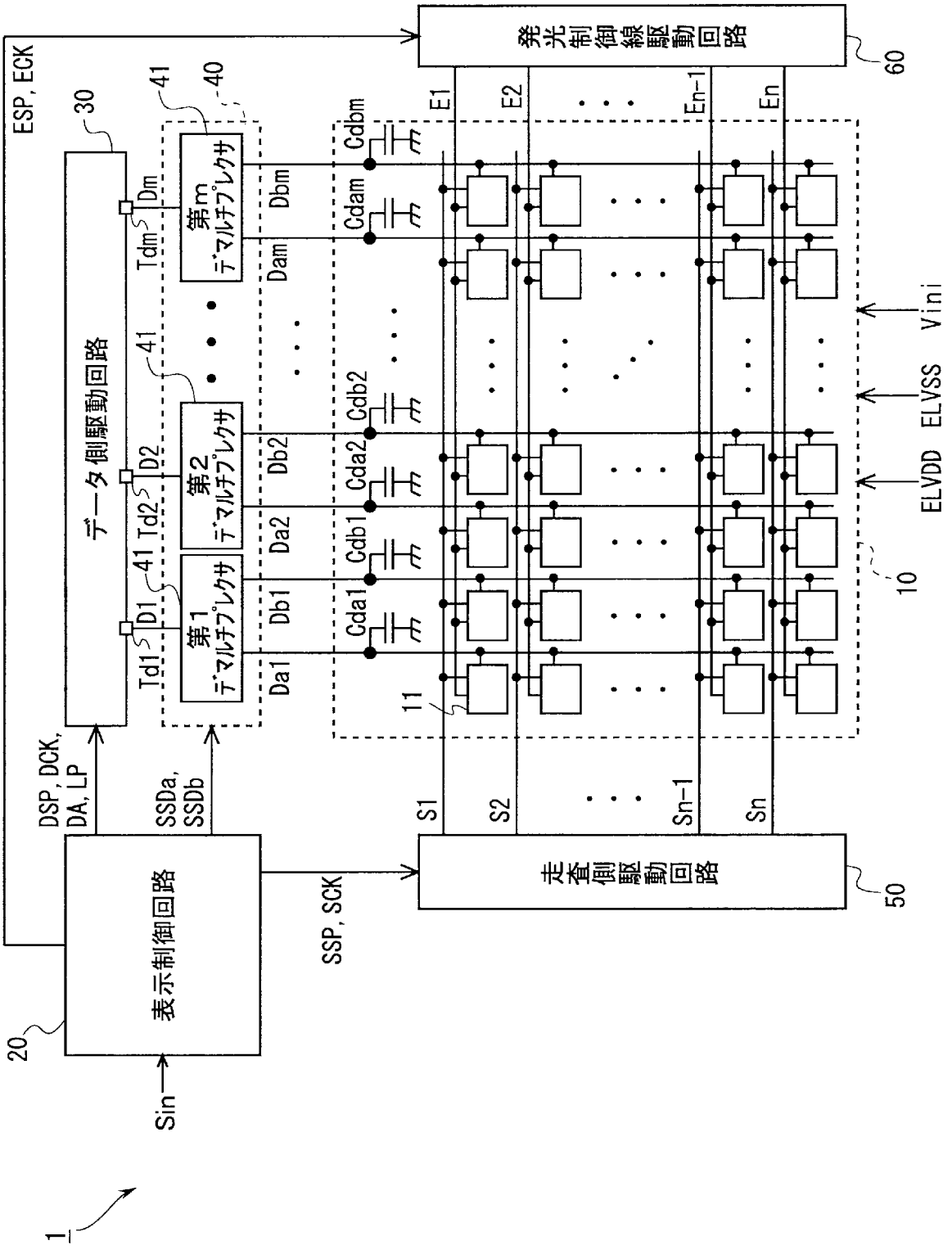
前記リセット期間後に、前記所定数のスイッチング素子を前記所定期間ずつ順次にオン状態とする前記逆多重化ステップに応じて、前記データ側駆動回路の各出力端子から、当該出力端子に対応する組の所定数のデータ信号線によりそれぞれ伝達すべき所定数のアナログ電圧信号を時分割的に出力するデータ信号出力ステップとを備える、駆動方法。

[請求項9] 前記逆多重化ステップでは、前記複数の走査信号線のそれぞれの選択期間において前記所定数のスイッチング素子が前記所定期間ずつ順次にオン状態とされる、請求項８に記載の駆動方法。

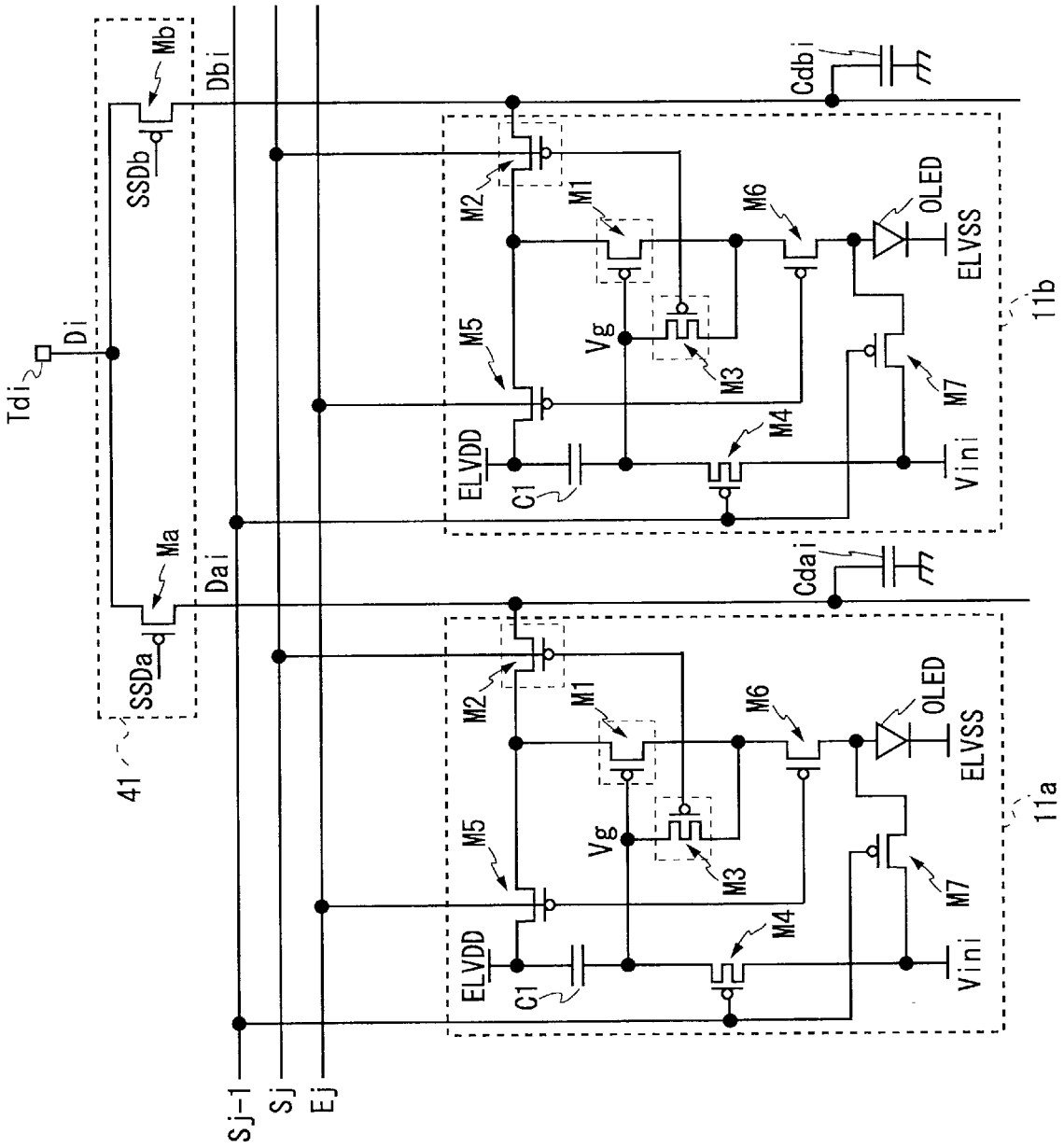
[請求項10] 前記逆多重化ステップでは、前記所定数のスイッチング素子が前記所定期間ずつオン状態とされる順序が、１以上のフレーム期間毎に変更される、請求項９に記載の駆動方法。

WO 2018/173281 PCT/JP2017/012123

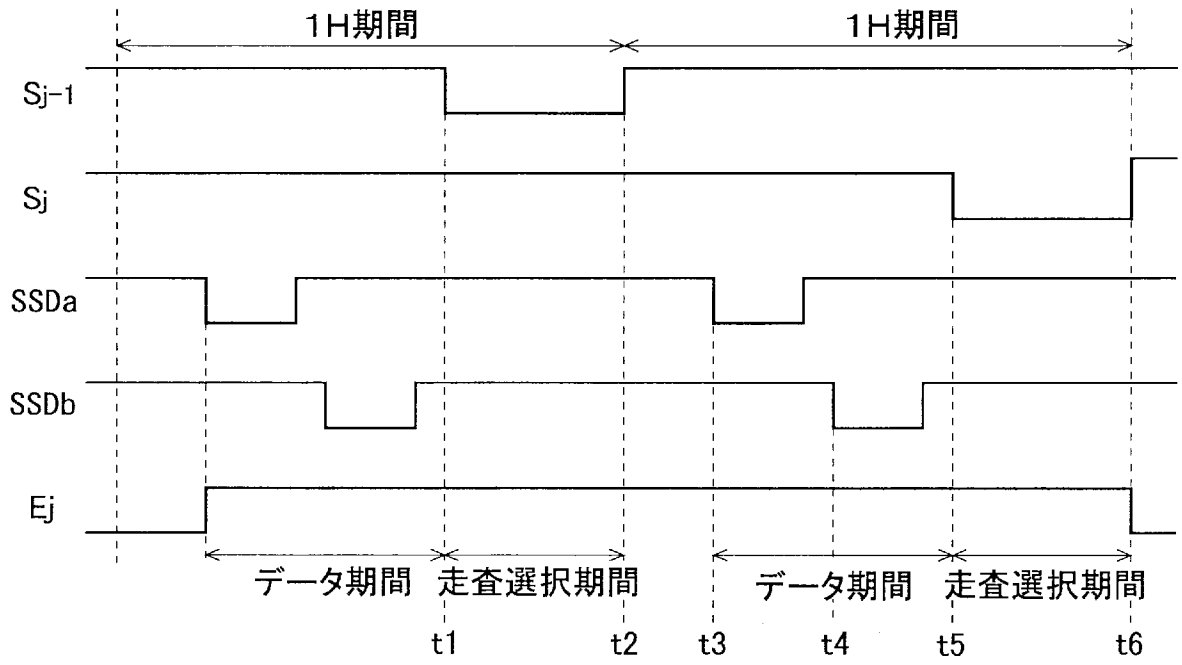
[図1]



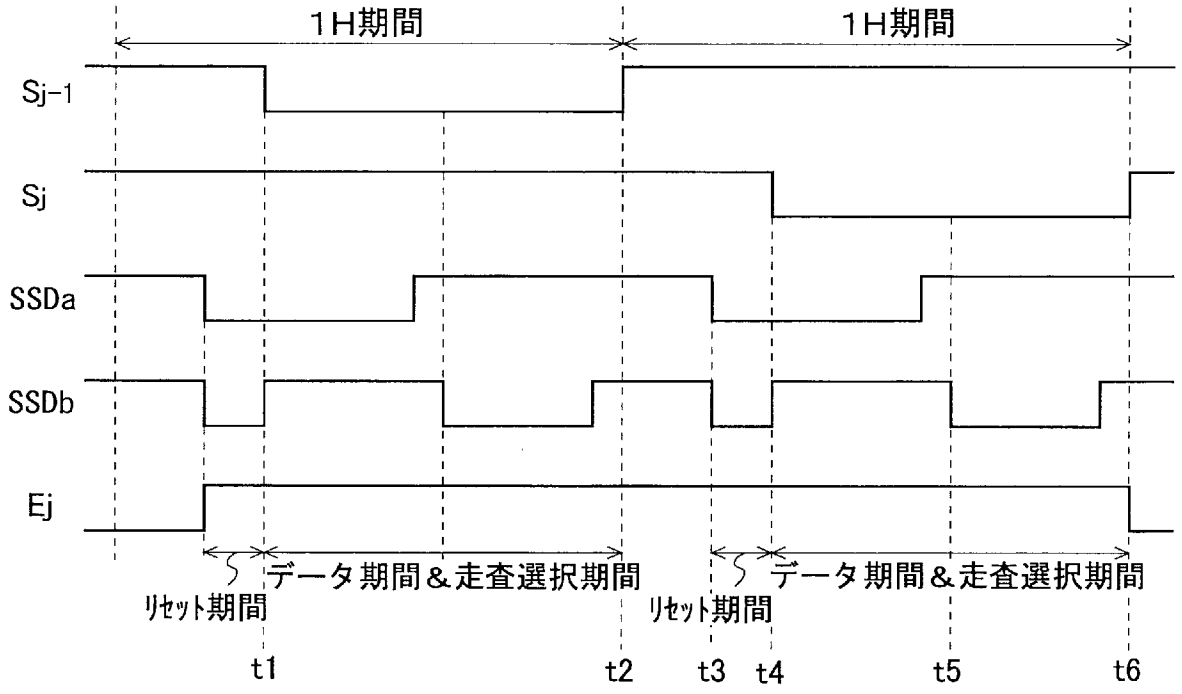
[図2]


Mb
SSDb
Dbi
Cdbi
M2
M1
M6
OLED
ELVSS
Di
Tdi
M5
Vg
M3
M7
11b
ELVDD
C1
M4
Vini
Ma
Dai
Cdai
SSDa
41
11a
Sj-1
Sj
Ej

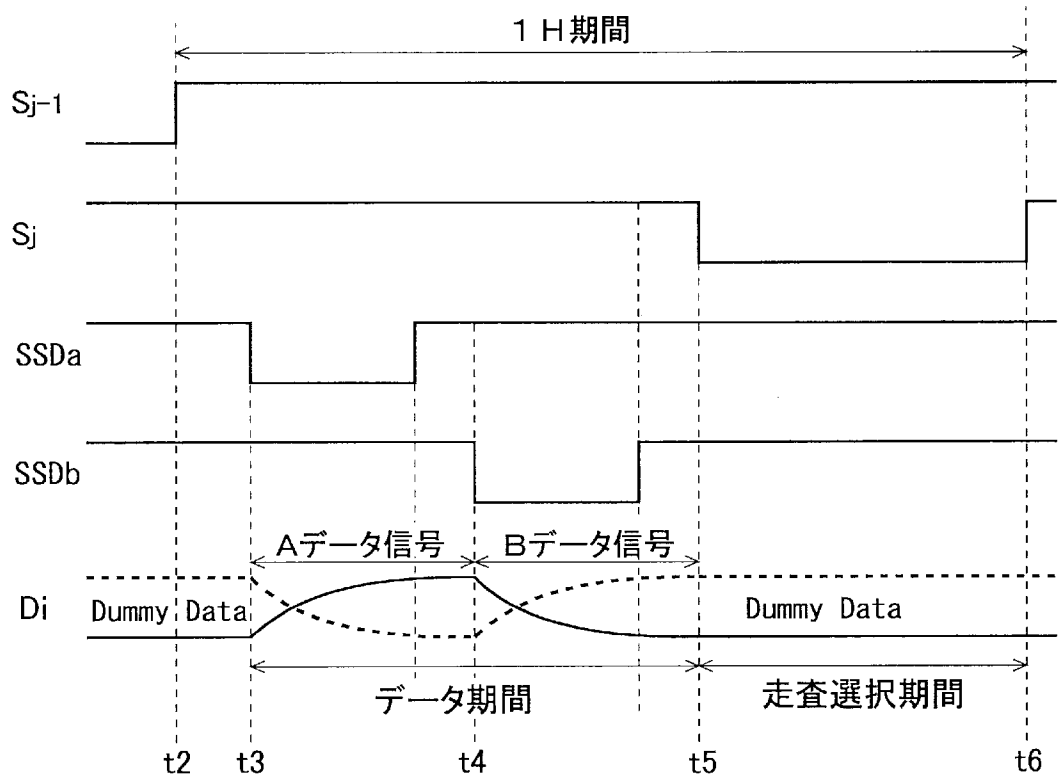
[図3]


1H期間
1H期間
Sj-1
Sj
SSDa
SSDb
Ej
データ期間
走査選択期間
データ期間
走査選択期間
t1
t2
t3
t4
t5
t6

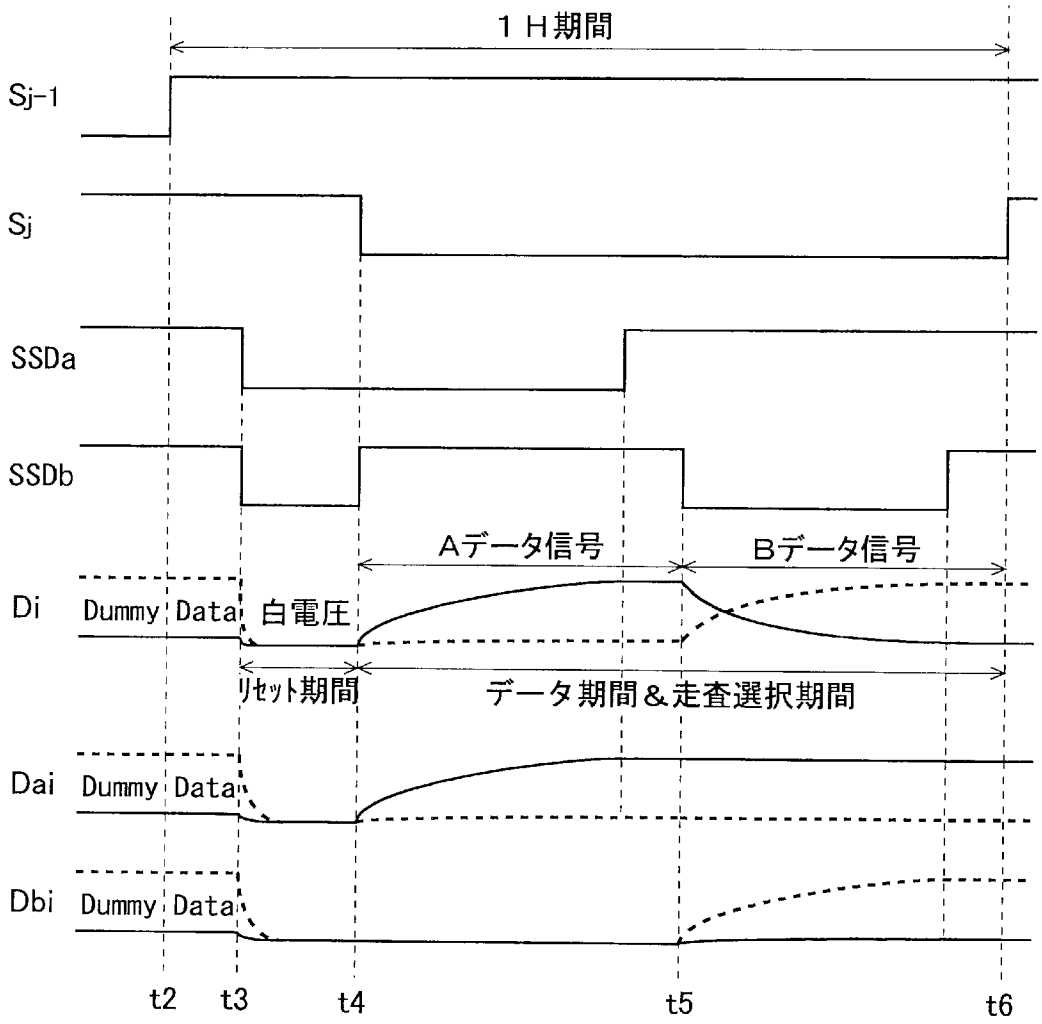
[図4]


1H期間
1H期間
Sj-1
Sj
SSDa
SSDb
Ej
リセット期間
データ期間＆走査選択期間
リセット期間
データ期間＆走査選択期間
t1
t2
t3
t4
t5
t6

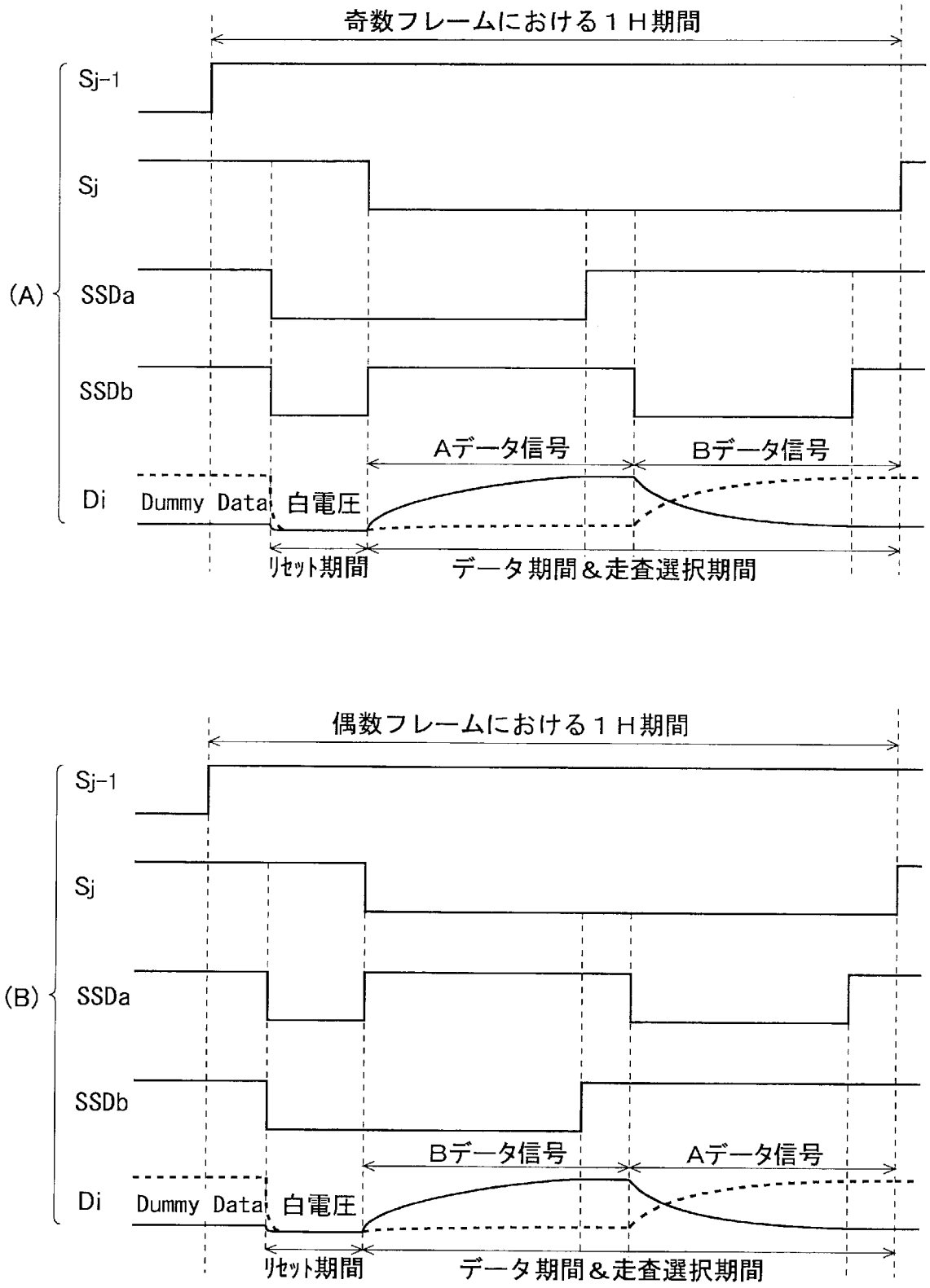
[図5]


１Ｈ期間
Sj-1
Sj
SSDa
SSDb
Aデータ信号
Bデータ信号
Di
Dummy Data
Dummy Data
データ期間
走査選択期間
t2
t3
t4
t5
t6

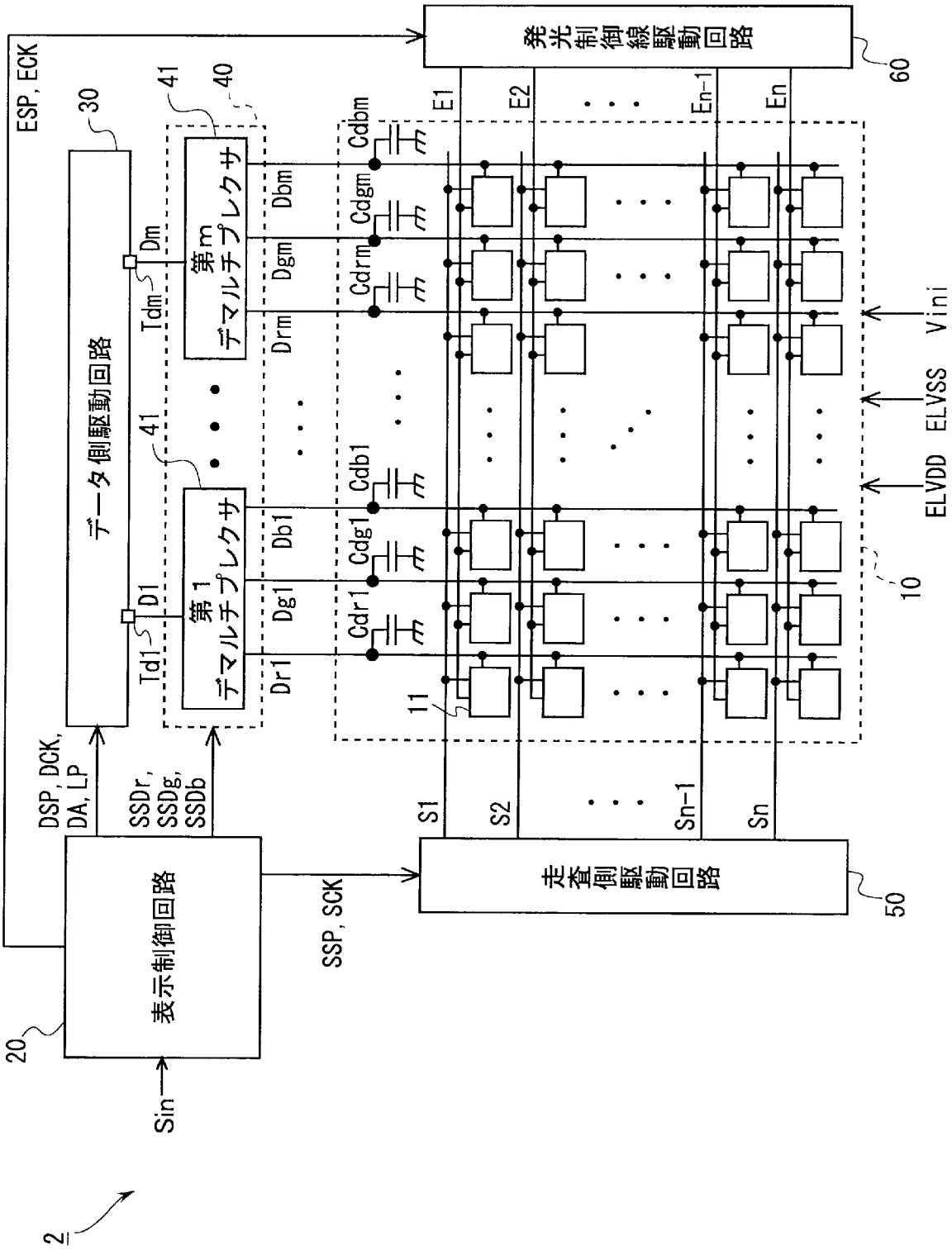
[図6]


１Ｈ期間
Sj-1
Sj
SSDa
SSDb
Aデータ信号
Bデータ信号
Di
Dummy Data
白電圧
リセット期間
データ期間＆走査選択期間
Dai
Dummy Data
Dbi
Dummy Data
t2
t3
t4
t5
t6

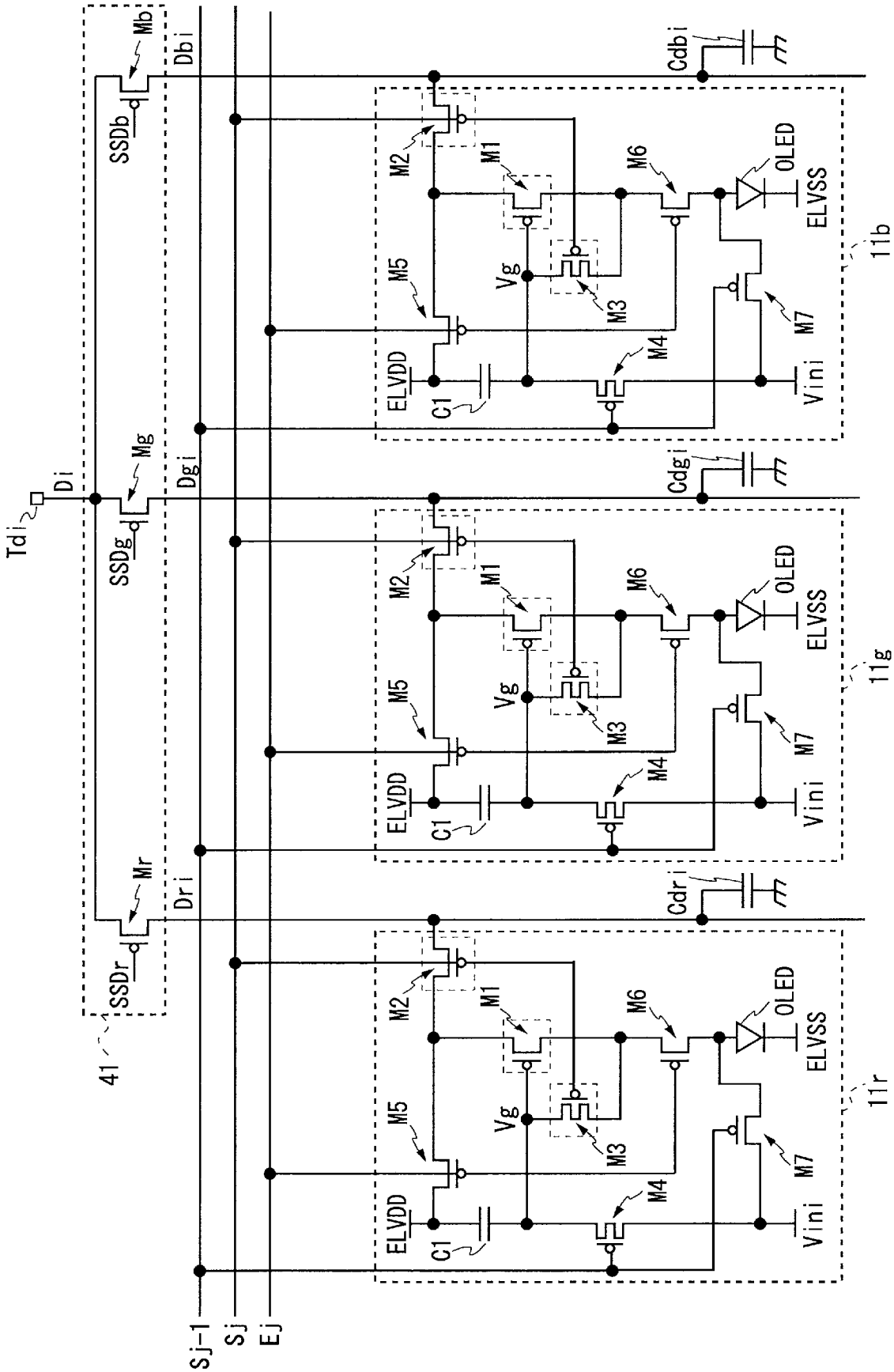
[図7]


奇数フレームにおける１Ｈ期間
Sj-1
Sj
(A)
SSDa
SSDb
Aデータ信号
Bデータ信号
Di
Dummy Data
白電圧
リセット期間
データ期間＆走査選択期間
偶数フレームにおける１Ｈ期間
Sj-1
Sj
(B)
SSDa
SSDb
Bデータ信号
Aデータ信号
Di
Dummy Data
白電圧
リセット期間
データ期間＆走査選択期間

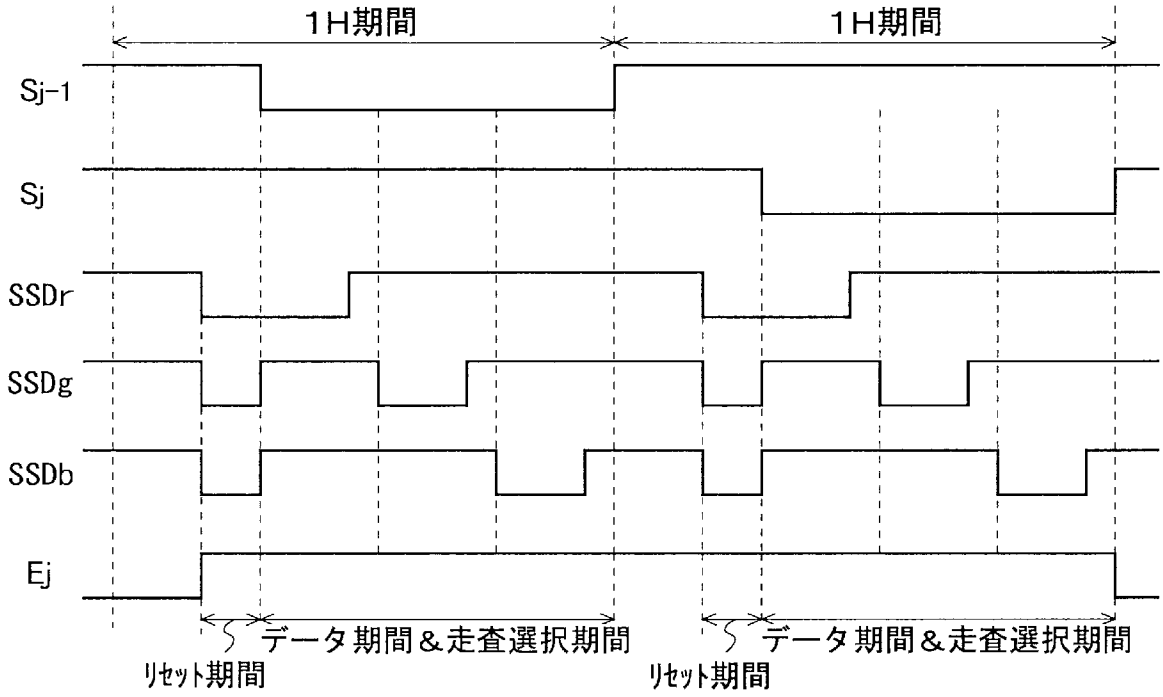
[図8]


発光制御線駆動回路
60
ESP, ECK
30
データ側駆動回路
41
40
第m デマルチプレクサ
第1 デマルチプレクサ
Dm
D1
Tdm
Td1
Dbm
Dgm
Drm
Db1
Dg1
Dr1
Cdbm
Cdgm
Cdrm
Cdb1
Cdg1
Cdr1
E1
E2
En-1
En
11
10
ELVDD ELVSS Vini
S1
S2
Sn-1
Sn
走査側駆動回路
50
DSP, DCK, DA, LP
SSDr, SSDg, SSDb
SSP, SCK
表示制御回路
20
Sin
2

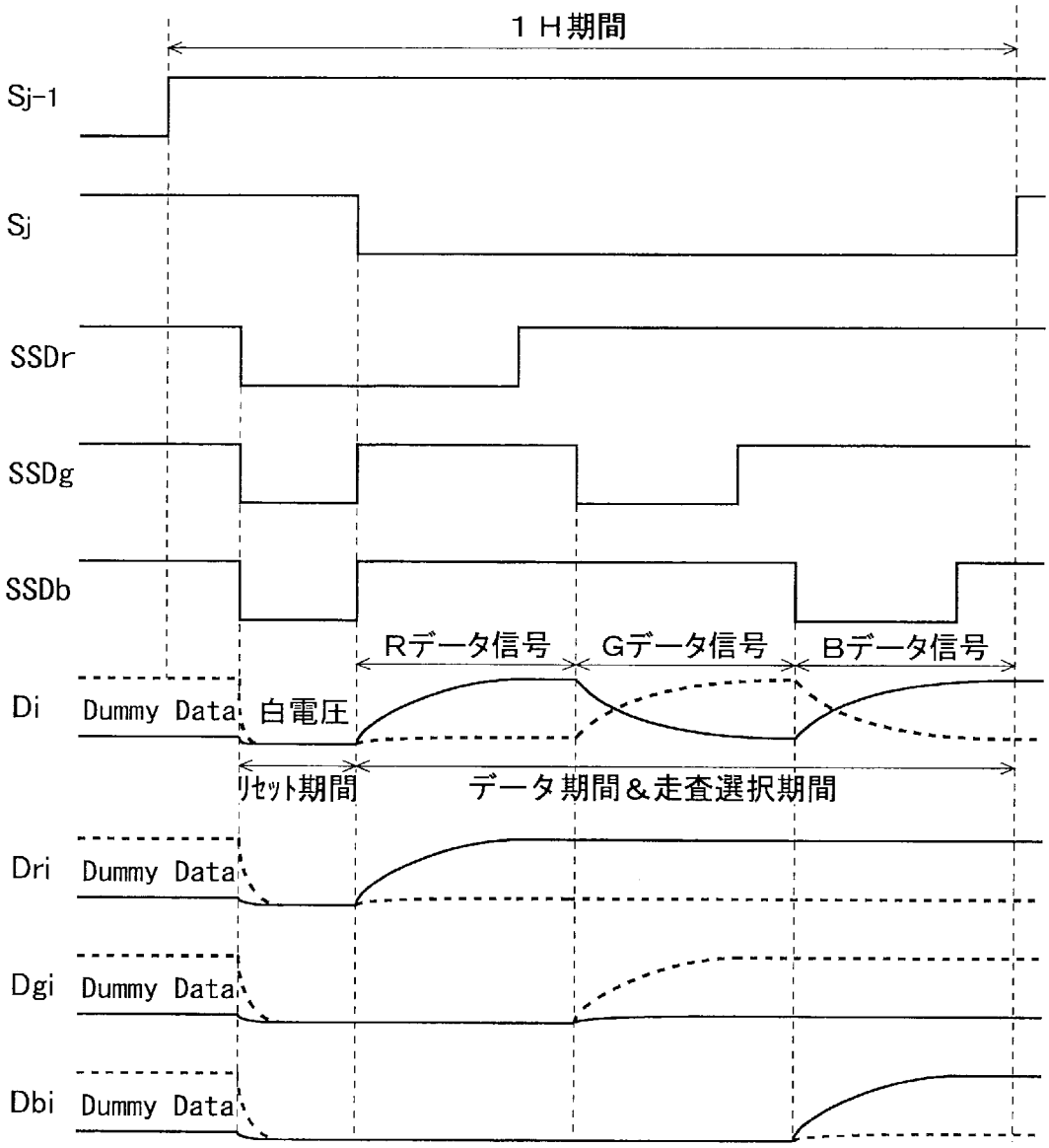
[図9]


Tdi
Di
Mb
Mg
Mr
SSDb
SSDg
SSDr
41
Dbi
Dgi
Dri
Cdbi
Cdgi
Cdri
M1
M2
M3
M4
M5
M6
M7
Vg
ELVDD
C1
OLED
ELVSS
Vini
11b
11g
11r
Sj-1
Sj
Ej

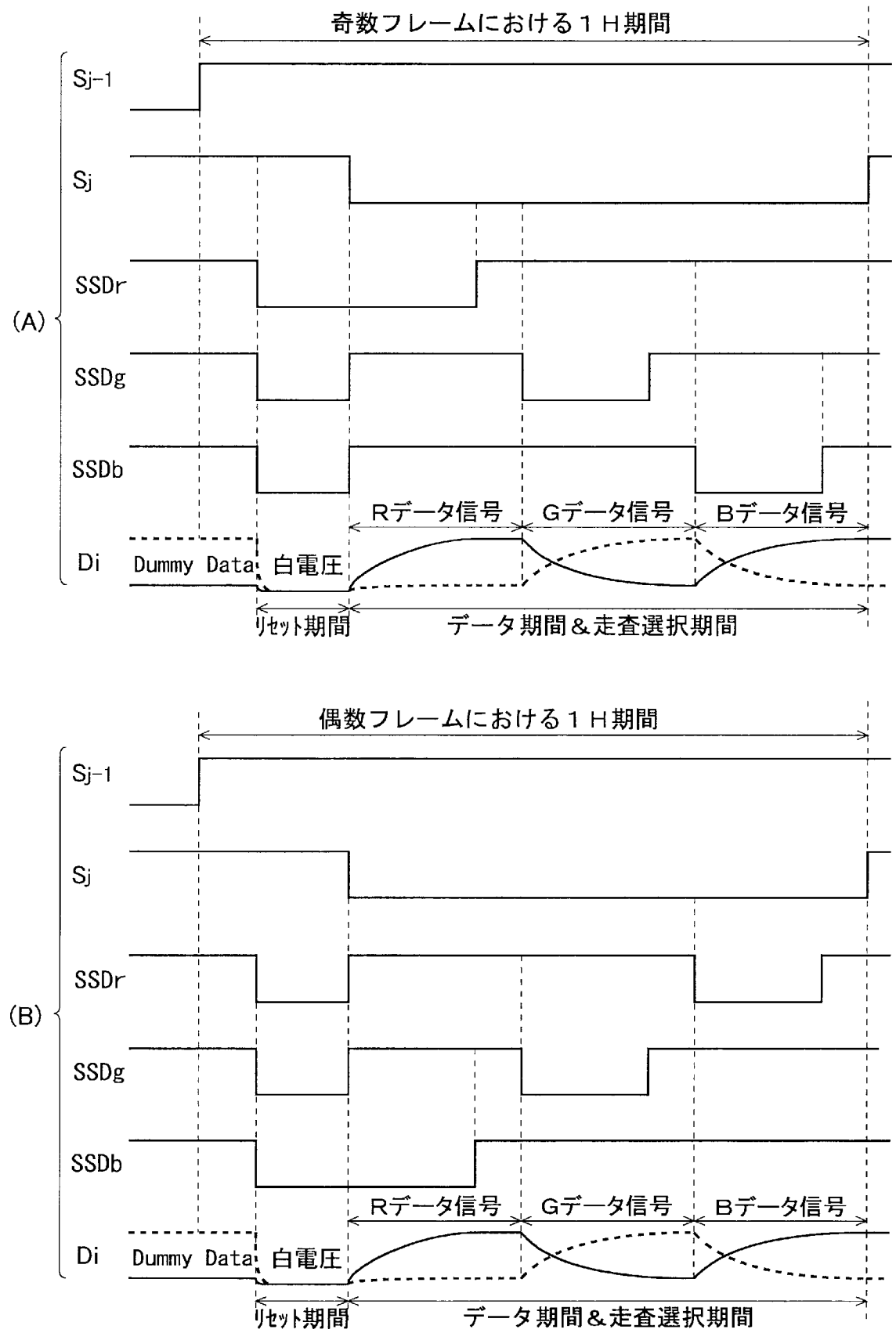
[図10]


1H期間
1H期間
Sj-1
Sj
SSDr
SSDg
SSDb
Ej
データ期間＆走査選択期間
データ期間＆走査選択期間
リセット期間
リセット期間

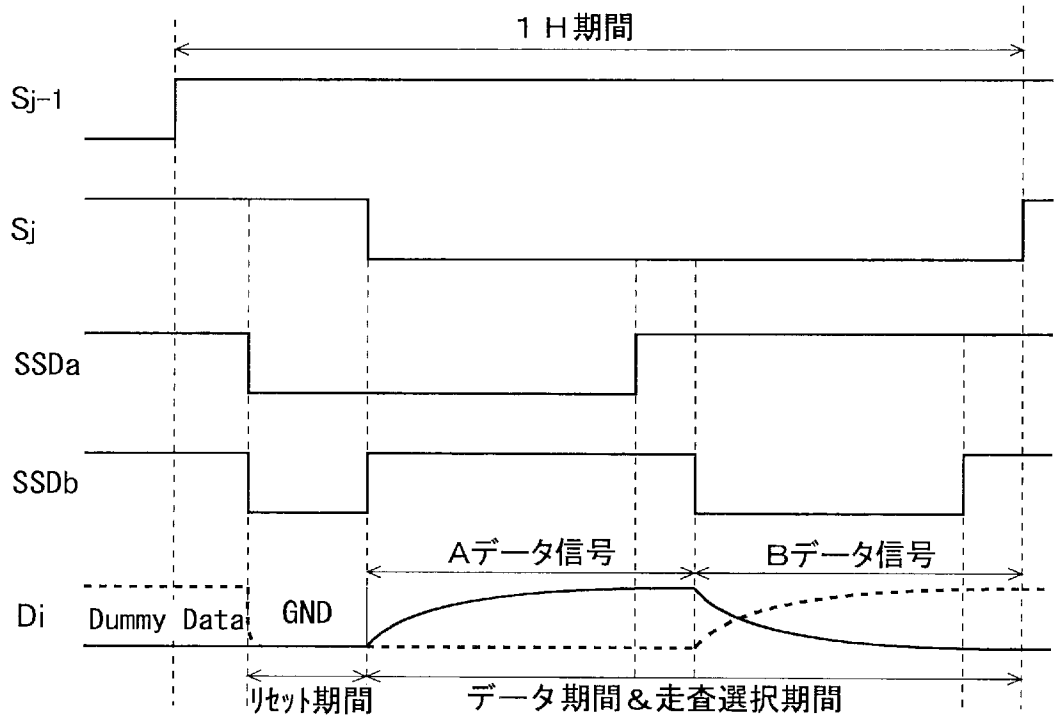
[図11]


１Ｈ期間
Sj-1
Sj
SSDr
SSDg
SSDb
Rデータ信号
Gデータ信号
Bデータ信号
Di
Dummy Data
白電圧
リセット期間
データ期間＆走査選択期間
Dri
Dummy Data
Dgi
Dummy Data
Dbi
Dummy Data

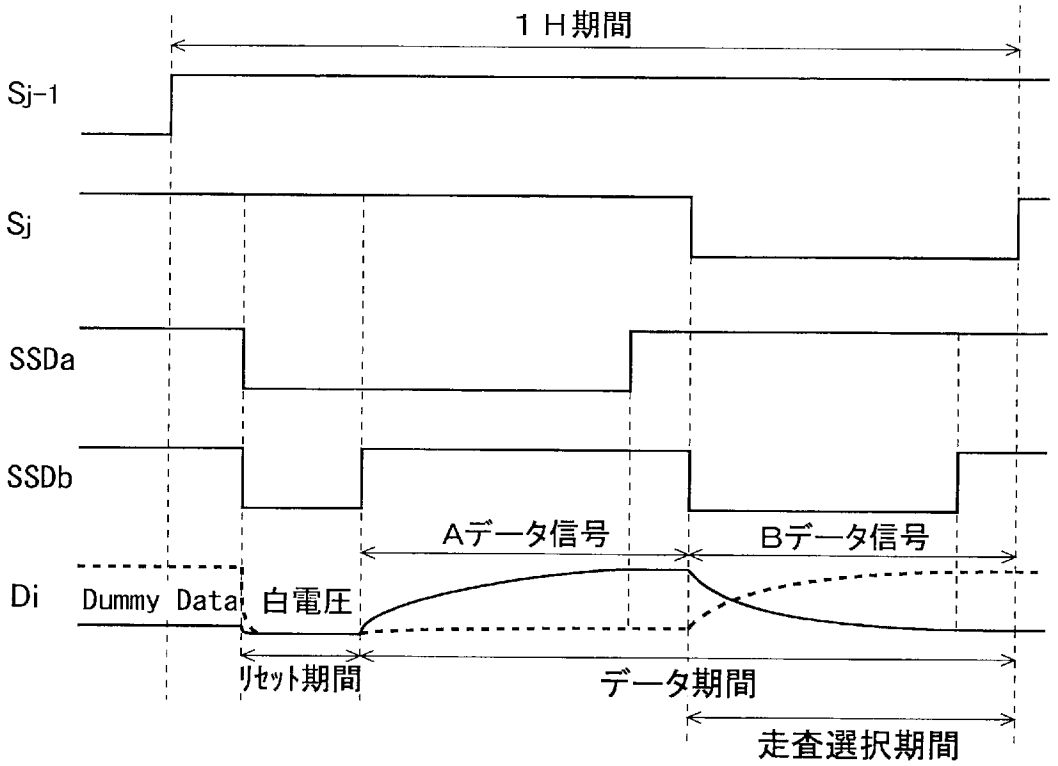
[図12]


奇数フレームにおける１Ｈ期間
Sj-1
Sj
SSDr
SSDg
SSDb
(A)
Rデータ信号
Gデータ信号
Bデータ信号
Di
Dummy Data
白電圧
リセット期間
データ期間＆走査選択期間
偶数フレームにおける１Ｈ期間
Sj-1
Sj
SSDr
SSDg
SSDb
(B)
Rデータ信号
Gデータ信号
Bデータ信号
Di
Dummy Data
白電圧
リセット期間
データ期間＆走査選択期間

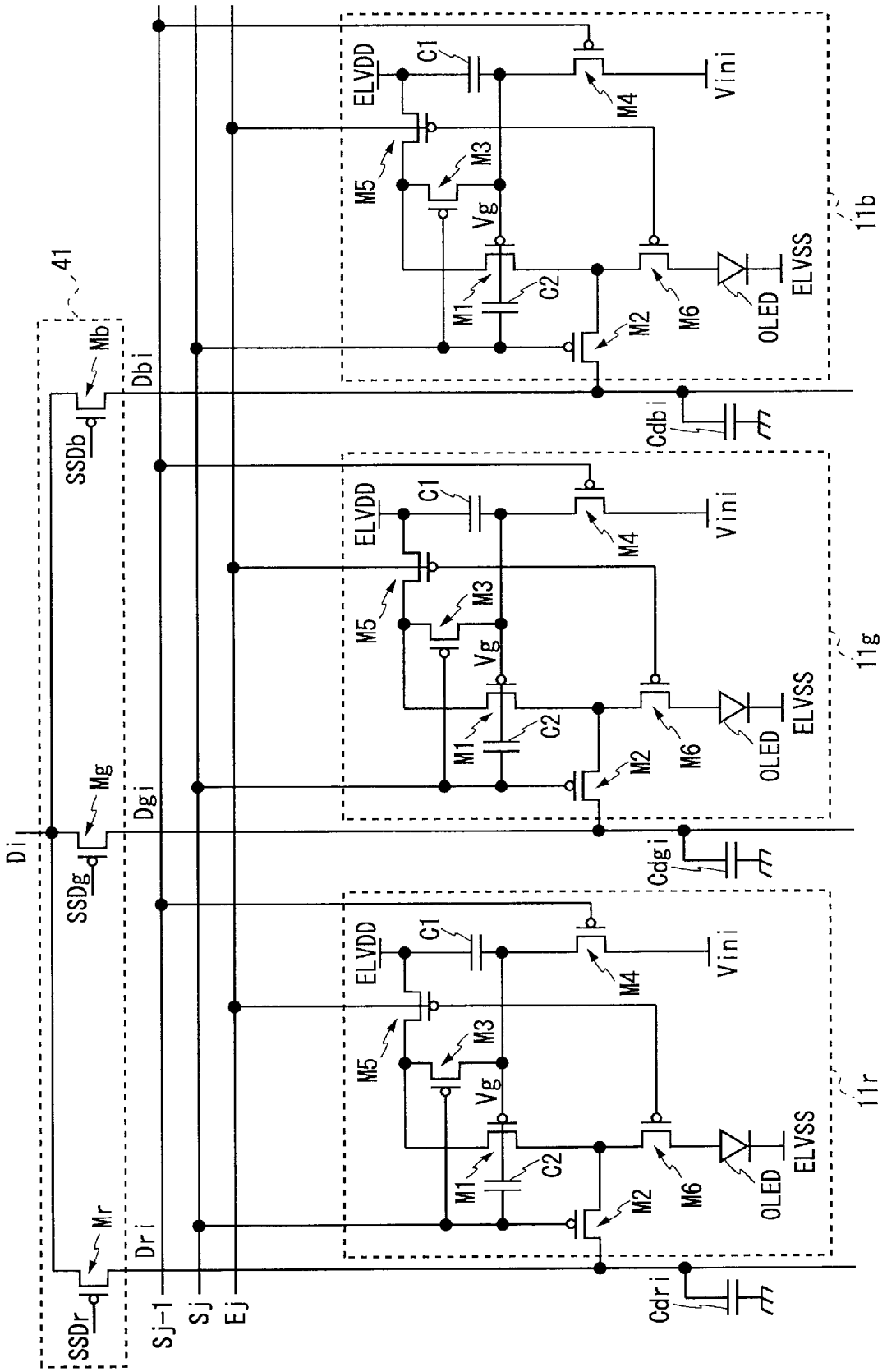
[図13]


１Ｈ期間
Sj-1
Sj
SSDa
SSDb
Aデータ信号
Bデータ信号
Di
Dummy Data
GND
リセット期間
データ期間＆走査選択期間

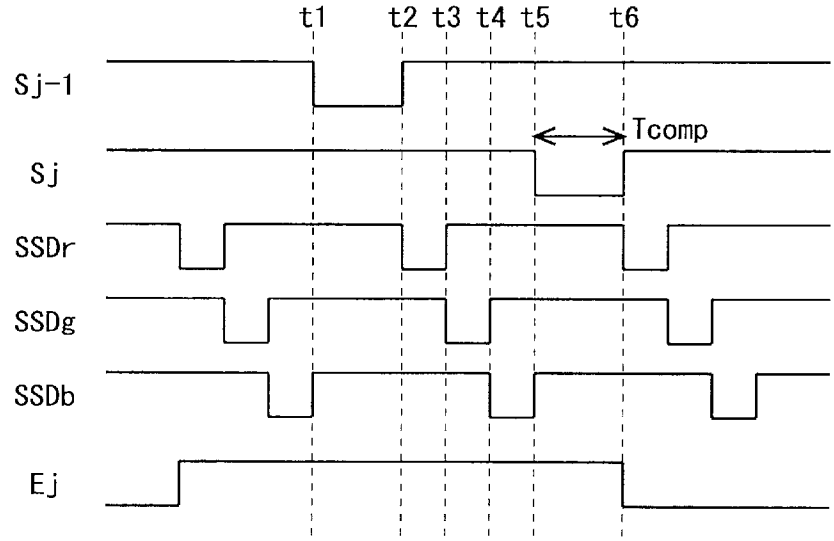
[図14]


１Ｈ期間
Sj-1
Sj
SSDa
SSDb
Aデータ信号
Bデータ信号
Di
Dummy Data
白電圧
リセット期間
データ期間
走査選択期間

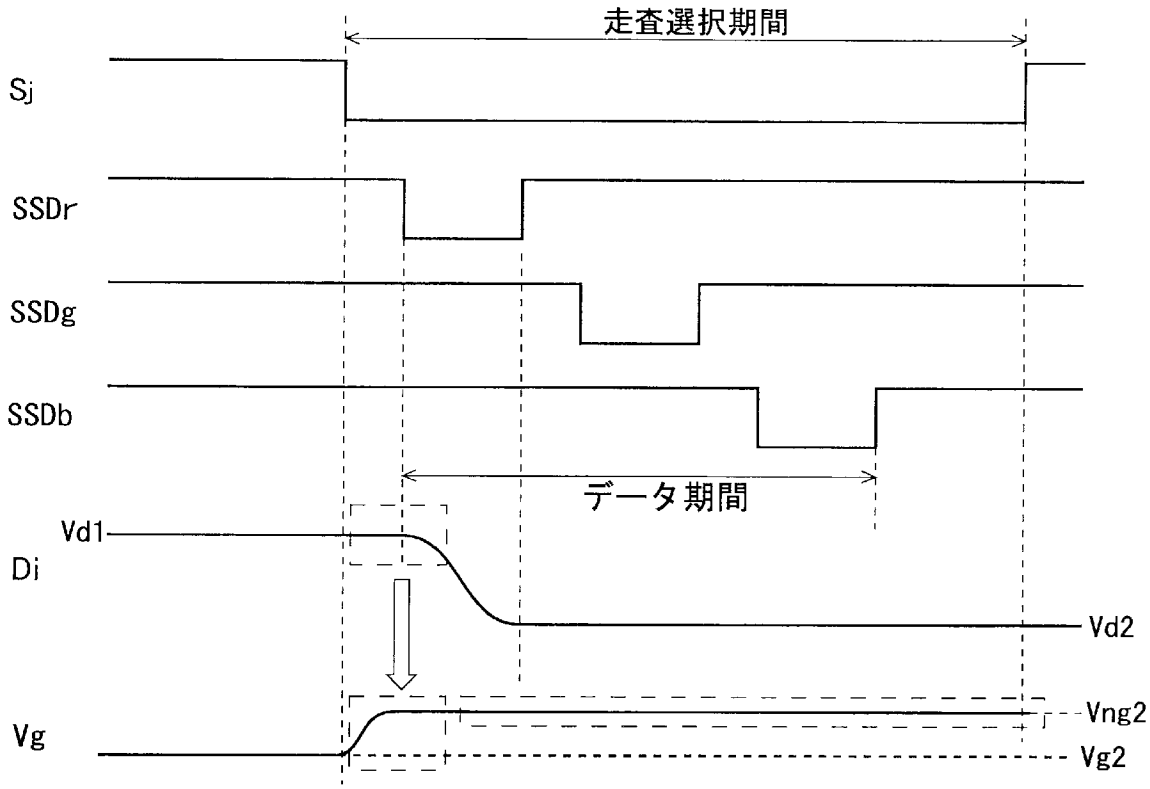
[図15]


41
Mb
SSDb
Dbi
Mg
SSDg
Dgi
Di
Mr
SSDr
Dri
Sj-1
Sj
Ej
ELVDD
C1
Vini
M4
M5
M3
Vg
M1
C2
M2
M6
OLED
ELVSS
11b
11g
11r
Cdbi
Cdgi
Cdri

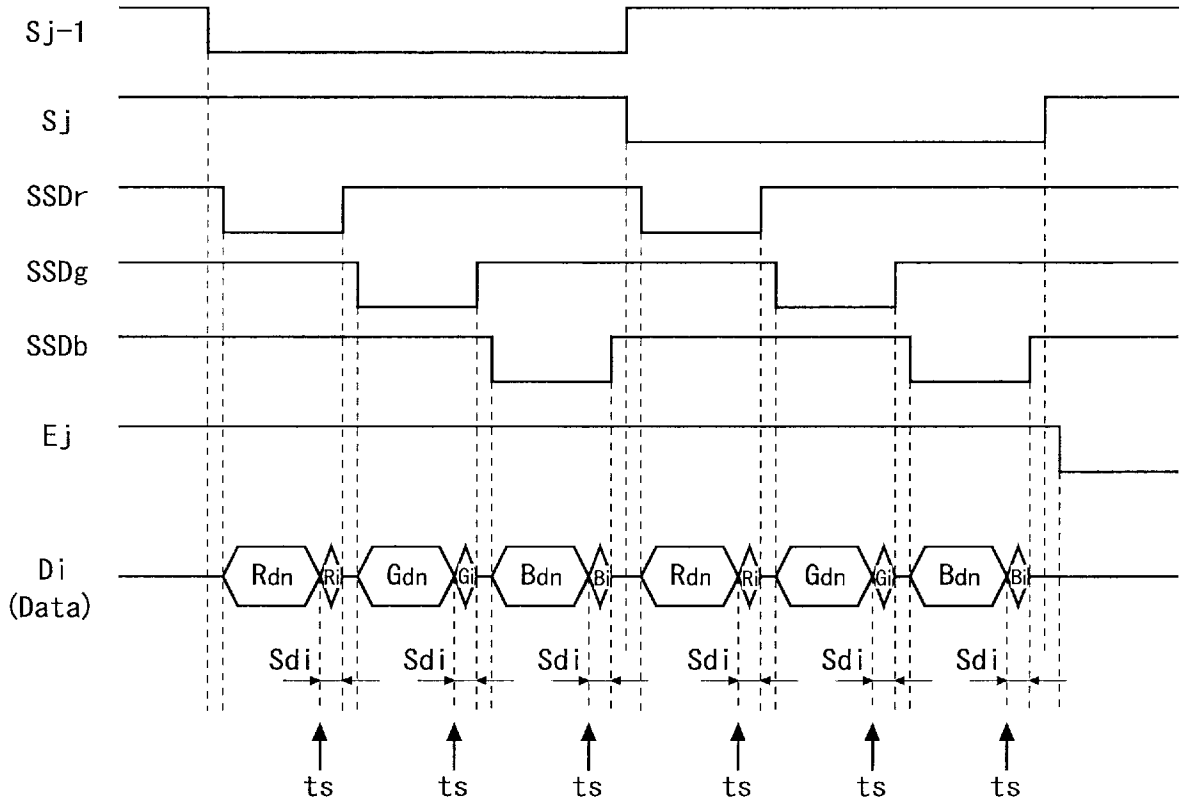
[図16]


t1
t2
t3
t4
t5
t6
Sj-1
Tcomp
Sj
SSDr
SSDg
SSDb
Ej

[図17]


走査選択期間
Sj
SSDr
SSDg
SSDb
データ期間
Vd1
Di
Vd2
Vng2
Vg
Vg2

[図18]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/012123

A. CLASSIFICATION OF SUBJECT MATTER
G09G3/3233(2016.01)i, *G09G3/20*(2006.01)i, *G09G3/3291*(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/3233, G09G3/20, G09G3/3291

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2011/0025678 A1 (SAMSUNG MOBILE DISPLAY CO., LTD.), 03 February 2011 (03.02.2011), paragraphs [0021] to [0082]; fig. 1 to 5 & KR 10-2011-0011940 A	1-2,4,6-8 3,5
Y	JP 2003-157051 A (Toshiba Corp.), 30 May 2003 (30.05.2003), paragraph [0025]; fig. 3, 8 & US 2003/0043132 A1 paragraph [0048]; fig. 3, 8	3,5
Y	JP 2003-140626 A (Hitachi, Ltd.), 16 May 2003 (16.05.2003), paragraphs [0055] to [0057]; fig. 5, 7 & US 2003/0085885 A1 paragraphs [0093] to [0095]; fig. 5, 7	3,5

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
12 June 2017 (12.06.17)	20 June 2017 (20.06.17)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3,Kasumigaseki,Chiyoda-ku, Tokyo 100-8915,Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2017/012123

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 2016/0063922 A1 (APPLE INC.), 03 March 2016 (03.03.2016), entire text; all drawings & CN 104282266 A	1-8
A	JP 2010-20048 A (Seiko Epson Corp.), 28 January 2010 (28.01.2010), entire text; all drawings (Family: none)	1-8
A	JP 2006-65328 A (Samsung SDI Co., Ltd.), 09 March 2006 (09.03.2006), entire text; all drawings & US 2006/0107146 A1	1-8
A	JP 2006-39544 A (Samsung SDI Co., Ltd.), 09 February 2006 (09.02.2006), entire text; all drawings & US 2006/0038754 A1	1-8

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１７／０１２１２３

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/3233(2016.01)i, G09G3/20(2006.01)i, G09G3/3291(2016.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G09G3/3233, G09G3/20, G09G3/3291

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１７年
日本国実用新案登録公報	１９９６－２０１７年
日本国登録実用新案公報	１９９４－２０１７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	US 2011/0025678 A1 (SAMSUNG MOBILE DISPLAY CO., LTD.)	1-2,4,6-8
Y	2011.02.03, [0021]-[0082],FIGS.1-5 & KR 10-2011-0011940 A	3,5
Y	JP 2003-157051 A (株式会社東芝) 2003.05.30, [0025],図3,8 & US 2003/0043132 A1,[0048],FIGS.3,8	3,5
Y	JP 2003-140626 A (株式会社日立製作所) 2003.05.16, [0055]-[0057],図5,7 & US 2003/0085885 A1,[0093]-[0095],FIGS.5,7	3,5

☑　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１２．０６．２０１７	２０．０６．２０１７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　２Ｉ　９７０７
橋本　直明
電話番号　０３－３５８１－１１０１　内線　３２７３

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
A	US 2016/0063922 A1 (APPLE INC.) 2016.03.03, 全文全図 & CN 104282266 A	1-8
A	JP 2010-20048 A (セイコーエプソン株式会社) 2010.01.28, 全文全図 (ファミリーなし)	1-8
A	JP 2006-65328 A (三星エスディアイ株式会社) 2006.03.09, 全文全図 & US 2006/0107146 A1	1-8
A	JP 2006-39544 A (三星エスディアイ株式会社) 2006.02.09, 全文全図 & US 2006/0038754 A1	1-8