



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0003223
(43) 공개일자 2019년01월09일

(51) 국제특허분류(Int. Cl.)
H01L 29/778 (2006.01) H01L 21/324 (2017.01)
H01L 29/08 (2006.01) H01L 29/66 (2006.01)
(52) CPC특허분류
H01L 29/778 (2013.01)
H01L 21/324 (2013.01)
(21) 출원번호 10-2017-0083830
(22) 출원일자 2017년06월30일
심사청구일자 2017년06월30일

(71) 출원인
기초과학연구원
대전광역시 유성구 엑스포로 55(도룡동)
포항공과대학교 산학협력단
경상북도 포항시 남구 청암로 77 (지곡동)
(72) 발명자
조문호
경상북도 포항시 남구 희망대로 502, 102동 403호
허호석
경기도 안양시 동안로 40, 201동 1004호
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 15 항

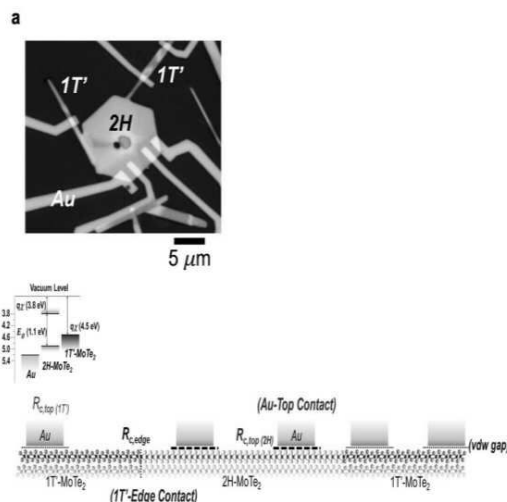
(54) 발명의 명칭 2차원 이중 접합 구조 전계 효과 트랜지스터 및 그 제조 방법

(57) 요약

본 발명은 전자 디바이스에 응용 가능한 2차원(2 Dimension, 이하 2D라 한다) 이중 접합(Hetero-junction) 구조 전계 효과 트랜지스터(Field Effect Transistor, 이하 FET라 한다) 및 그 제조 방법에 관한 것이다.

본 발명에 따르면, 제 1 면저항 값을 가지며 기관의 평면 상에 위치하는 소스층; 상기 소스층의 측면에 헤테로 에피층으로서 위치하며, 상기 제1 면저항 값과 다른 제 2 면저항 값을 가지는 채널층; 및 상기 채널층의 측면들 중에서 상기 소스층과 대향하는 측면에 헤테로 에피층으로서 위치하며, 상기 제1 면저항 값을 가지며 드레인층;을 포함하는 구성을 가짐으로써, FET와 같은 반도체 소자에 있어서 2D 반도체와 2D 금속의 순수한 에지 컨택을 형성할 수 있고, 이로 인해 나노 스케일의 2D 전계 효과 트랜지스터에서의 금속과 반도체 사이의 컨택 저항을 크게 낮출 수 있는 매우 뛰어난 효과를 가지게 된다.

대표도 - 도11



(52) CPC특허분류

H01L 29/0817 (2013.01)

H01L 29/66242 (2013.01)

H01L 29/66916 (2013.01)

(72) 발명자

시새롬

충청남도 천안시 서북구 충무로 93, 104동 702호

성지호

부산광역시 남구 못골변영로40번길 59

명세서

청구범위

청구항 1

반도체상으로서 층상구조의 채널층;

상기 채널층의 측면에 헤테로-에피층으로 형성된 층상구조이며, 금속상인 소스층 및 드레인층;

을 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).

청구항 2

제 1항에서 있어서,

상기 소스층과 채널층 및 채널층과 드레인층의 계면은 솔기 없는(Seamless) 계면인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).

청구항 3

제 1항에 있어서, 상기 트랜지스터는 배면 게이트(Back gate)인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).

청구항 4

제 1항에 있어서,

상기 트랜지스터는 전면 게이트(Front gate)인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).

청구항 5

제 1항에 있어서,

상기 소스층, 채널층 및 드레인층은 동일 조성인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).

청구항 6

제 1항 또는 5항에 있어서,

상기 소스층, 채널층 및 드레인층은 전이금속다이칼코젠(TMDC) 성분을 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).

청구항 7

제 6항에 있어서,

상기 소스층, 채널층 및 드레인층은 MoTe_2 를 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).

청구항 8

제 1항에 있어서,

상기 소스층, 채널층 및 드레인층의 두께가 같은 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).

청구항 9

전이금속 원소를 포함하는 전구체와 칼코게나이드 전구체를 퍼니스의 내부에 준비하는 단계;

상기 전구체들을 제 1 온도로 가열하여 기판의 평면 상에 위치하는 층상구조로서 금속상의 소스층 및 드레인층을 형성하는 단계;

상기 소스층 및 드레인층의 사이에서 헤테로 에피층으로서 위치하며, 반도체상의 채널층을 제 2 온도에서 형성하는 단계; 를 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터((2D FET)의 제조 방법.

청구항 10

제 9항에서 있어서,

상기 소스층과 채널층 및 채널층과 드레인층의 계면은 솔기없는(Seamless) 계면인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법.

청구항 11

제 9항에 있어서,

상기 제 1 온도는 상기 제 2 온도보다 높은 것을 특징으로 하는 2차원 전계 효과 트랜지스터 (2D FET)의 제조 방법.

청구항 12

제 9항에 있어서,

상기 준비 단계에서 촉매로서 NaCl을 추가로 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법.

청구항 13

제 9항에 있어서,

상기 소스층, 채널층 및 드레인층은 동일 조성인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법.

청구항 14

제 9항 또는 13항에 있어서,

상기 소스층, 채널층 및 드레인층은 MoTe_2 를 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법.

청구항 15

제 9항에 있어서,

상기 소스층, 채널층 및 드레인층의 두께가 같은 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 디바이스에 응용 가능한 2차원(2 Dimension, 이하 2D라 한다) 이종 접합(Hetero-junction) 구조 전계 효과 트랜지스터(Field Effect Transistor, 이하 FET라 한다) 및 그 제조 방법에 관한 것이다.

배경 기술

[0003] 모든 반도체 전자 디바이스는 반도체 재료 내부에 주입된 대전된 입자들의 전기적 접촉(Contact, 이하 '컨택'이라 한다)을 통한 흐름을 정밀하게 제어하는 것을 이용한다. 따라서 전기적 컨택의 품질은 반도체 디바이스의 적합한 기능을 수행하는데 있어 매우 중요한 요소이며, 전기적 컨택은 컨택 저항(contact resistance)를 통해 정량화 된다.

[0004] 최근의 나노 재료 기술의 발달과 함께, 카본 나노 튜브 및 반도체 나노 와이어 등의 1차원 재료들, 그리고 그래핀 등과 같은 2차원 재료들까지, 다른 차원들을 가지는 나노 구조들을 이용한 전자 디바이스에 대한 연구 및 개발이 활발히 진행되고 있다.

[0005] 이러한 새로운 재료를 적용하려는 시도 가운데, 몇 개 층 두께의 층상 전이 금속 다이칼코게나이드(Transition Metal Di-Chalcogenides, 이하 TMDC라 한다) 재료는 최근 과학적인 관심을 끌고 있다.

[0006] 상기 TMDC는 통상 MX_2 의 화학조성을 가지는데, 여기서 M은 통상적으로 Mo, W, Nb, Ta, 또는 Ti와 같은 전이 금속이고, X는 S, Se, 또는 Te과 같은 주기율표에서 6족 원소이다.

[0007] 상기 TMDC가 최근 주목을 받고 있는 이유는, TMDC가 2D 반도체 구조에 적합한 재료이기 때문이다. 보다 구체적으로, 상기 TMDC 재료는 기판 위에 증착 시 기판의 평면 방향으로 원자들끼리 1차원 공유결합을 형성하는데 반해, 기판의 높이 방향으로 반 데 발스(van der Waals) 결합을 형성한다.

[0008] 이와 같은 TMDC 재료의 특성은 TMDC 재료가 기판에 성장 시 단일 또는 단지 몇 개의 원자층으로 존재할 수 있게 하며, 이러한 구조로 인해 원자 단위의 두께와 큰 밴드 갭(1-2eV)을 가지게 된다. 또한 이러한 TMDC의 구조는 나노 단위 트랜지스터 개발을 위한 높은 수준의 정전기적(electrostatic) 컨트롤과 확장성, 정교한 센싱 능력, 높은 파괴 전압, 조절 가능한 광학 특성, 높은 수준의 기계적 신축성, 및 새로운 재료를 설계할 수 있는 가능성 등을 제시한다.

[0009] TMDC가 적용될 수 있는 가장 가능성이 높은 전자 디바이스들 중 하나는 전계 효과 트랜지스터이다.

[0010] 2D 반도체 디바이스, 특히 2D FET에서 현재 가장 중요한 이슈는 2D 반도체와 벌크(Bulk) 또는 3D 금속 사이의 계면에서의 컨택 저항이 매우 크다는 것이다. 이러한 큰 컨택 저항은 결국 반도체 소자 측면에서는 드레인 전류를 극단적으로 제한시킨다.

[0011] 현재까지 사용되고 개발되고 있는 모든 반도체들은 3D 컨택을 기반으로 한다. 따라서 새로운 2D 반도체의 컨택은 많은 실험적인 그리고 개념 또는 관념적인 새로운 도전이 필요하다.

[0012] 특히 2D라는 극단적인 한계에서는, 계면 특성, 다시 말하면 금속과 반도체 사이의 화학적 상호 작용은 모든 것을 지배한다. 벌크 또는 3D 반도체에서 컨택 저항을 감소시키기 위해 통상적으로 사용된 치환형 도핑과 같은 방법은 2D에서는 적용이 되지 못한다. 왜냐하면 도핑은 2D 재료와 특성을 변화시켜 버리기 때문이다. 게다가 2D 재료가 가지는 땀글링 결합(dangling bonds)이 없는 표면은, 소스나 드레인 재료로 사용되는 통상적인 금속들과의 강한 계면 결합의 형성을 매우 어렵게 하며, 그 결과 계면에서의 컨택 저항이 매우 커지게 된다.

[0013] 따라서 2D 반도체 디바이스의 개발을 위해서는 먼저 2D와 3D에서의 금속과 반도체 사이의 계면에 대한 조사가 필요하다.

- [0014] 벌크 금속과 2D 반도체 사이에는 기본적으로 2개의 계면 형태가 존재한다. 하나는 톱 컨택이며, 다른 하나는 에지 컨택이다(도면 1 a, b).
- [0015] 순수한 톱 컨택은 금속과 2D 반도체 재료의 에지 사이의 컨택을 피함으로써 만들어 진다. 그러나 표준적인 리소그래피 기술을 사용하여 단일 또는 단지 몇 개 층의 2D 재료의 에지와 금속 사이에서 순수한 에지 컨택을 만드는 것은 현실적으로 불가능할 정도로 매우 어렵다.
- [0016] 따라서 2D 재료와의 컨택에 대한 실제 보고된 대부분의, 실질적으로는 거의 전부의, 실험들은 톱 컨택과 에지 컨택이 조합된 것들이다.
- [0017] 일반적으로 벌크 금속과 벌크 반도체가 컨택되는 경우는, 금속과 반도체 사이에는 공유 결합이 형성되며 쇼트키 장벽(Schottky barrier, 이하 'SB'라 함)이 존재하는 것으로 알려져 있다(도면 2 a, b). 그런데 이와 같은 벌크에서의 예와는 달리, 2D 재료들의 표면에서는 이러한 공유결합을 형성하지 않는다. 톱 컨택의 배치에서는 금속들과 2D 재료들간의 계면에서는 반 데 발스 갭(van der Waals gap, 이하 'vdW' 갭이라 함)이 형성된다(도면 2 c). 또한 도면 2 (d)에서 도시된 바와 같이, 이와 같이 톱 컨택된 계면에서의 vdW 갭은, 고유의 SB 이전에, 전하 이동자에 대한 부가적인 터널 장벽(Tunnel Barrier, 이하 'TB'라 함)으로서 작용한다. 이 TB는 금속으로부터의 전하 주입을 굉장히 감소시키고, 벌크 톱 컨택과 대비하여, 이것은 다시 더 높은 컨택 저항으로서 작용한다.
- [0018] 이러한 2D의 톱 컨택에 의한 vdW 갭을 극복하는 하나의 컨택은 에지 컨택을 이용하는 것이다.
- [0019] 다른 연구자들의 밀도 함수 이론(Density functional theory, 이하 'DFT'라 함)에 따르면, 2D 재료에서의 에지 컨택은, 톱 컨택과 대비하여, 더 강한 혼성화(공유결합에서의 오비탈의 오버랩을 의미)를 수반하는 더 짧은 결합 길이를 이끌어 내는 것으로 조사되었다. 또한 이러한 결합길이의 감소는 TB를 감소시킬 수 있다.
- [0020] 2D 재료, 특히 FET 등의 디바이스 제작에 필요한 2D 반도체와 에지 컨택을 하기 위해서는, 기존의 벌크 또는 3D 금속들과는 별개로 2D와 동일한 저차원 재료를 사용하여 컨택을 고려하여야 한다. 왜냐하면, 기존 벌크 또는 3D 금속들은 리소그래피 공정의 정밀도 등의 특성상, 완벽한 에지 컨택이 현실적으로 거의 불가능하기 때문이다.
- [0021] 따라서 2D 반도체 재료와 2D 또는 1D 금속을 에지 컨택시킬 수 있는 기술은 반도체의 성능 향상과 집적화를 모두 해결할 수 있는 획기적인 기술이라 할 것이다.
- [0022] 관련된 선행기술로는 대한민국 공개특허공보 제10-2015-0144176호가 있으며, 상기 선행문헌에는 그래핀-금속 접합 구조체 및 상기 구조체를 구비하는 반도체 소자가 개시되어 있고, 그래핀층과 금속층 사이에 마련되는 것으로, 그 구성 물질의 경계부분이 상기 금속층과 컨택하여 에지-컨택을 형성하는 중간 물질층을 포함하는 내용이 개시되어 있다.

발명의 내용

해결하려는 과제

- [0024] 본 발명은 전자 디바이스, 특히 FET와 같은 반도체 소자에 있어서, 2D 반도체와 2D 금속의 순수한 에지 컨택을 형성한 나노 스케일의 2차원 전계 효과 트랜지스터를 제공하는 것을 목적으로 한다.
- [0025] 상기 2D 반도체와 2D 금속의 순수한 에지 컨택을 형성하기 위해, 상기 2D 반도체와 2D 금속은 헤테로 에피층으로 형성된 나노 스케일의 2차원 전계 효과 트랜지스터를 제공하는 것을 본 발명의 또 다른 목적으로 한다.
- [0026] 이와 더불어, 본 발명은 상기 2차원 전계 효과 트랜지스터를 제조하기 위한 방법으로, 전이금속 원소를 포함하는 전구체와 칼코게나이드 전구체를 출발물질로 하고 화학 기상 증착법을 이용하며, 휘발성이 높은 Te의 증기압을 안정적으로 유지시켜 원하는 반도체상 또는 금속상을 안정적이고 선택적으로 조절하여 제조할 수 있는 2차원 전계 효과 트랜지스터의 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0028] 상술한 기술적 과제를 해결하기 위해, 반도체상으로서 층상구조의 채널층; 상기 채널층의 측면에 헤테로-에피층으로 형성된 층상구조이며, 금속상인 소스층 및 드레인층;을 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET).가 제공될 수 있다.
- [0029] 바람직하게는, 상기 소스층과 채널층 및 채널층과 드레인층의 계면은 솔기 없는(Seamless) 계면인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)이다.

- [0030] 바람직하게는, 상기 트랜지스터는 버텀 게이트(Bottom gated)인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)이다.
- [0031] 바람직하게는, 상기 트랜지스터는 톱 게이트(Top gated)인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)이다.
- [0032] 바람직하게는, 상기 소스층, 채널층 및 드레인층은 동일 조성인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)이다.
- [0033] 특히, 상기 소스층, 채널층 및 드레인층은 TMDC 성분을 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)이다.
- [0034] 더 나아가, 상기 소스층, 채널층 및 드레인층은 MoTe_2 를 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)이다.
- [0035] 바람직하게는, 상기 소스층, 채널층 및 드레인층의 두께가 같은 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)이다.
- [0036] 본 발명의 다른 측면에 따르면, 전이금속 원소를 포함하는 전구체와 칼코게나이드 전구체를 퍼니스의 내부에 준비하는 단계; 상기 전구체들을 제 1 온도로 가열하여 기판의 평면 상에 위치하는 층상구조로서 금속상의 소스층 및 드레인층을 형성하는 단계; 상기 소스층 및 드레인층의 사이에서 헤테로 에피층으로서 위치하며, 반도체상의 채널층을 제 2 온도에서 형성하는 단계; 를 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터((2D FET)의 제조 방법이 제공된다.
- [0037] 바람직하게는, 상기 소스층과 채널층 및 채널층과 드레인층의 계면은 솔기없는(Seamless) 계면인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법이다.
- [0038] 바람직하게는, 상기 제 1 온도는 상기 제 2 온도보다 높은 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법이다.
- [0039] 바람직하게는, 상기 제 1 면저항 값과 상기 제 2 면저항 값은 각각 금속과 반도체의 면저항 값인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법이다.
- [0040] 바람직하게는, 상기 준비 단계에서 촉매로서 NaCl을 추가로 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법이다.
- [0041] 바람직하게는, 상기 소스층, 채널층 및 드레인층은 동일 조성인 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법이다.
- [0042] 특히, 상기 소스층, 채널층 및 드레인층은 MoTe_2 를 포함하는 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법이다.
- [0043] 바람직하게는, 상기 소스층, 채널층 및 드레인층의 두께가 같은 것을 특징으로 하는 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법이다.

발명의 효과

- [0045] 본 발명에 따르면, FET와 같은 반도체 소자에 있어서 2D 반도체와 2D 금속의 순수한 에지 컨택을 형성함으로써 나노 스케일의 2D 전계 효과 트랜지스터에서의 금속과 반도체 사이의 컨택 저항을 크게 낮출 수 있는 효과가 있다.
- [0046] 또한 본 발명의 2차원 전계 효과 트랜지스터는 낮은 컨택 저항으로 인해, 높은 I_{on} 전류 값과 $I_{\text{on}}/I_{\text{off}}$ 비율을 얻을 수 있어, 트랜지스터의 광반응성이 높고 높은 주파수에서도 작동할 수 있는 유리한 효과를 얻을 수 있다.
- [0047] 이와 더불어 본 발명에 따른 2차원 전계 효과 트랜지스터(2D FET)의 제조 방법은, 2D 반도체와 2D 금속의 순수한 에지 컨택을 재현 가능성과 신뢰성 있게 제조할 수 있게 함으로써 2차원 전계 효과 트랜지스터(2D FET)의 고 집적도 및 실용화를 가능하게 하는 효과가 있다.

도면의 간단한 설명

[0049]

도 1은 벌크 금속과 2D 반도체 재료의 계면 형태를 모식도를 개략적으로 도시한 것이다. (a) 톱 콘택, (b) 에지 콘택.

도 2는 금속과 반도체 간의 서로 다른 유형의 접합과 각각의 밴드 다이어그램의 모식도를 도시한 것이다. (a) 통상적인 벌크 금속/벌크 반도체 계면의 모식도, (b) (a) 계면에 대응하는 밴드 다이어그램, (c) 벌크 금속/2D 반도체 계면의 모식도, (d) (c) 계면에 대응하는 밴드 다이어그램.

도 3은 연속적인 측면 헤테로 에피택시에 의한 동일 원자면 내에서의 $1T'/2H$ MoTe₂ 몇 개의 원자층 결정의 다형성 집적화의 모식도를 도시한 것이다. (a) $1T'/2H$ MoTe₂ 다형체들의 동일 평면 헤테로 에피택시의 연속적인 성장 구조, (b) $1T'/2H$ MoTe₂ 결정들 사이의 헤테로 접합(Junction)에서의 결정학적 제 1 변형(왼쪽) 및 제 2 변형(오른쪽)의 대표적인 주사전자현미경 이미지, (c) 헤테로 에피택시의 결정학적 두 변형에 대한 개략적인 평면도.

도 4는 각각 (a) 사각 형상(다사정계) 측면의 $1T'$ MoTe₂ 및 (b) 육방정계 측면의 $2H$ MoTe₂의 광학현미경 이미지이다.

도 5는 각각 (a) $1T'$ MoTe₂의 저배율 투과전자현미경 이미지와 그것의 선택된 면적 전자 회절 패턴(Selected area electron diffraction pattern, 이하 SAED라 함)의 삽입도이고, (b) $2H$ MoTe₂의 저배율 투과전자현미경 이미지와 그것의 SAED의 삽입도이다.

도 6은 각각 (a) $1T'$ MoTe₂의 관찰된 고배율 고각 환형 암시야(High Angle Annular Dark Field, 이하 'HAADF'라 한다)-STEM이미지이고, (b) 중첩된 단위적 개략도와 함께 멀티슬라이스 방법에 의해 전산모사된 $1T'$ MoTe₂의 HAADF-STEM 이미지이며, (c) $1T'$ MoTe₂ 격자의 동일 면상(상부) 및 단면(하부) 원자 배치 모식도이다.

도 7은 각각 (a) $2H$ MoTe₂의 관찰된 고배율 고각 환형 암시야(High Angle Annular Dark Field, 이하 'HAADF'라 한다)-STEM이미지이고, (b) 중첩된 단위적 개략도와 함께 멀티슬라이스 방법에 의해 전산모사된 $2H$ MoTe₂의 HAADF-STEM 이미지이며, (c) $2H$ MoTe₂ 격자의 동일 면상(상부) 및 단면(하부) 원자 배치 모식도이다.

도 8은 각각 (a) 다형성 계면의 제 1 변형에서의 저배율 HAADF-STEM 이미지이고, (b) $1T'/2H$ 계면에서 얻어진 SAED이다.

도 9는 왼쪽 그림은 제 1 변형 다형성 계면의 원자 단위 HAADF-STEM 이미지이다. 이 원자적으로 선명한 헤테로 에피택셜 $1T'/2H$ 계면은, $1T'$ 의 Te 종료와 $2H$ 의 Mo의 종료(하부 점선)에 의해 형성된, 지그재그 에지(상부 점선)에서 $1T'$ 의 (2 0 0)면이 $2H$ 의 (0 1 -1 0)면과 결합됨을 증명한다. 도 9의 오른쪽 그림은 중첩된 단위적 개략도와 함께 $1T'2H$ 계면의 전산모사된 HAADF-STEM 이미지이다.

도 10은 $2H$ 와 $1T'$ MoTe₂의 원자 규모의 결정과 전자구조를 도시한 것이다. (a)와 (b)는 각각 $2H$ -MoTe₂($U_T = 1.0V$, $I_T = 50$ pA)와 $1T'$ -MoTe₂($U_T = 0.4V$, $I_T = 2$ nA)의 주사 터널링 현미경 지형 (Scanning tunneling microscope topography) 이미지이며, (c) $2H$ MoTe₂ 결정과 $1T'$ MoTe₂ 결정의 주사 터널링 분광법 I-V 곡선들이다.

도 11은 본 발명의 $1T'-2H-1T'$ MoTe₂ 다형성 디바이스의 광학 현미경 이미지이고(왼쪽), 여기서 두 개의 $1T'$ MoTe₂ 결정들은 금속 전극으로 작용하고, $2H$ MoTe₂ 결정에 에피층으로 연결(stitch)된다. 오른쪽 아래에 도시된 본 연구에서의 MoTe₂의 다형성 디바이스는 세가지 다른 형태의 콘택들을 포함한다; 동일 평면 $1T'-2H$ 다형성 콘택($R_{c,edge}$), $2H$ 채널과의 Au의 탑 콘택($R_{c,top}$), 그리고 $1T'$ MoTe₂ 금속과 Au의 탑 콘택.

도 12는 각각 (a) $1T'$ -동일 평면 콘택, Au 탑 콘택 $2H$ MoTe₂ 트랜지스터들과 Au 탑 콘택된 $1T'$ - MoTe₂의 300K에서의 전류-전압($I-V_b$) 곡선들을 나타내고, 삽입도는 $1T'$ - 동일 평면 콘택된 디바이스의 V_b 의 함수로서의 dI/dV 를 나타내며, (b) $1T'$ -동일 평면 콘택된 $2H$ MoTe₂ FET 및 Au 탑 콘택된 $2H$ MoTe₂ FET에 대한 면 컨덕턴스의 배면 전위(V_g) 변조의 전송 특성을 나타내고, 삽입도는 300K에서 다양한 V_g 에서의 아웃풋 특성을 보여주며, (c) $1T'$ -동일 평면 콘택, Au 탑 콘택 $2H$ MoTe₂ 트랜지스터들과 Au 탑 콘택된 $1T'$ - MoTe₂의 $V_g = -30V$ 에서의 면 컨덕턴스의

아레니우스 플롯(Arrhenius plot)을 보여주며, (d) 1T'-동일 평면 컨택 FET에 대해 $V_b = 50\text{meV}$ 에서의 면 컨덕턴스의 온도 의존성 V_b 변조특성을 나타내고, 삽입도는 다양한 온도에서 측정된 I_{on}/I_{off} 를 보여주며, (e) 1T'-동일 평면 컨택, Au 탑 컨택 2H MoTe₂ FET들과 하나의 컨택은 동일 평면 1T'이고 다른 컨택은 Au 탑 컨택을 가지는 동일 채널 FET의 온도 의존성 전계 효과 이동도를 나타낸다.

도 13은 각각 (a) MoTe₂ 층들과 다형성 1T'의 동일 평면 컨택과 (b) MoTe₂ 트랜지스터들과 Au 탑 컨택에 대한 에너지 밴드 다이어그램의 개략도이다.

도 14는 각각 (a) 다양한 V_g 에서의 1T' 컨택된 FET의 $\ln(I_d)$ 대 $1/kT$ 플롯으로, 여기서 고온에서 데이터에 대한 선형 피트(fit)는 열이온 방출 모델에서의 빌트인 포텐셜(Built-in potential, $q\Phi_{bi}$)을 나타내고, (b)와 (c)는 각각 1T'-동일 평면 컨택에서와 Au 탑 컨택에서의 $V_g(d)$ 의 함수로서의 유효 $q\Phi_{bi}$ 을 나타내는데, 여기서 $q\Phi_{SB}$ 는 SB 높이를 의미한다.

발명을 실시하기 위한 구체적인 내용

- [0050] 이하, 본원에 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 2차원 전계 효과 트랜지스터(2D FET)와 이를 제조하는 방법을 상세히 설명하기로 한다.
- [0051] 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있으며, 단지 본 실시예는 본 발명의 개시가 완전하도록 하며 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위하여 제공되는 것이다.
- [0052] 먼저 본 발명에서 사용한 다형성(Polymorphism, 동질이상 또는 다형성이라 하며, 이하 '다형성'이라 한다) TMDC에 대해 설명한다.
- [0053] 전이금속 다이칼코게나이드(TMDC)는 반 데르 발스의 힘에 의해 결합된 층상 구조로 이루어져있기 때문에 원자층 단위로 얇은 이차원(2D) 물질로 존재할 수 있다. 또한 전이금속과 칼코젠 원소의 상대적인 원자배열에 따라서 하나 이상의 결정(crystal) 구조를 가질 수 있는 다형성이 나타난다.
- [0054] TMDC에서의 구조적 다형성은 전기적 성질의 변화도 수반되기 때문에 조성이 같은 하나의 물질이 금속 혹은 반도체로써 존재할 수 있다. 특히 TMDC 중에서도 MoTe₂ 성분의 TMDC는, 왜곡된(distorted) 팔면체 구조를 가지는 다형체(polymorph, 이하 '다형체'라 한다)는 금속성을 보이는데, 통상적으로 이를 distorted 1T, 혹은 1T' 상(phase)이라고 한다. 한편, 상기 MoTe₂ 성분의 TMDC는 삼각형 프리즘 구조를 가지는 다형체도 가지며, 이 다형체는 반도체의 성질을 나타내며 통상적으로 2H 상, 또는 간략히 2H라 불린다.
- [0055] 본 발명에서는 원자 단위 스케일에서 2D 다형체 모델로서 MoTe₂ 성분의 TMDC를 선택하였다. 왜냐하면, 상기 TMDC는 다른 성분의 TMDC 보다 1T'(금속)과 2H(반도체) 사이의 기저 에너지 차이가 상대적으로 낮기 때문이다. 또한, 상기 2H는 1.0~1.1eV의 에너지 밴드 갭을 가지는데, 이 값은 실리콘의 에너지 밴드 갭과 가깝기 때문이다.
- [0056] MoTe₂ 성분의 벌크 결정 성장은 1960년대 초반부터 순수한 Mo와 Te의 고체 전구체를 사용하여 기상 전송(Vapor transport) 또는 소결 방법에 의해 만들어 졌다. 성장온도 T_G 가 약 800~950℃에서는 1T' 상(β -MoTe₂라고 일컬어지는)상을 형성하는 반응이 전형적으로 일어나지만, $T_G < 800^\circ\text{C}$ 에서는 2H 상(α -MoTe₂라고 일컬어지는)이 만들어진다. 두 상들은 고온에서는 열분해 되기 쉬운데, 이는 Te의 높은 휘발특성 때문이다.
- [0057] 본 발명에서는 원자적으로 얇은 MoTe₂ 결정들의 화학 기상 증착이 "직접적인" 증기 상 반응법에 의해 달성되었는데, 상기 반응은 핫 월(Hot walled) 퀴즈 튜브 퍼니스 내에서 NaCl과 함께 고순도의 MoO₃와 Te 전구체를 사용하여 임의의 기판 위에서 이루어 졌다. NaCl의 첨가는 서로 다른 T_G 에서 각 상들을 안정화시키는데 핵심적이며, T_G 의 정밀한 컨트롤은 단사정계(Monoclinic) 1T'상(더 높은 T_G) 또는 육방정계(Hexagonal) 2H(낮은 T_G) 형태를 결정하는데 중요한 요인이 밝혀졌고, 그로 인해 금속 또는 반도체를 선택적으로 결정할 수 있다.

- [0058] 본 발명에서의 금속 또는 반도체라는 용어는 전기적 저항 값을 기준으로 분류하는 것으로, 상기 용어는 본 발명이 속하는 기술분야에서는 널리 알려진 용어이다. 또한 전기적 저항 값의 측정은 통상적인 방법, 예를 들면 4 포인트 프루브 방법 등,을 이용한다는 것은 자명한 사항이므로 이하에서는 이에 대한 별도의 설명은 생략한다.
- [0059] 이하, 아래의 제조방법에 따라 본 발명에서 제조한 2 차원 전계 효과 트랜지스터(2D FET)를 자세히 살펴보기로 한다.
- [0061] **2 차원 전계 효과 트랜지스터(2D FET)의 제조 방법**
- [0062] 고체 형태의 입자 전구체들로부터 기상 이동 합성법(Vapor transport synthesis)에 의해 몇 개 원자층들 두께의 1T'과 2H가 성장되었다.
- [0063] MoO_3 (99.5%)와 NaCl (99.8% 이상)의 혼합물들이 서로 다른 몰 비율로 입자 전구체들로서 균일하게 연마되었고, 그 다음 이 혼합물 200mg이 알루미늄 보트 내에서 성장 기판들로서 SiO_2 (300nm)/Si 웨이퍼들과 함께, 직경 3.81 cm와 길이 30.48cm를 가지는 퀴츠 튜브 퍼니스의 중앙에 놓여 졌다.
- [0064] Te(순도 99.5% 이상, 500mg) 입자들은 튜브 퍼니스를 따라 온도 경사에 대해 연속적으로 Te 증기를 공급하기 위해 튜브 퍼니스의 중앙으로부터 10cm 떨어진 곳에 놓였다.
- [0065] 가열 전에, 퍼니스는 잔류 산소를 제거하기 위해 10^{-2} torr까지 진공을 유지한 후 10분 동안 100sccm의 조건으로 고순도 Ar을 도입하였다. 개개의 MoTe_2 다형체들의 성장 전에, 퍼니스의 중앙부는 20 sccm의 Ar과 2 sccm의 수소의 흐름 아래에 710°C 에서 30분동안 가열되었다.
- [0066] 1T' MoTe_2 의 성장을 위해, 퍼니스는 전체 700torr의 압력에서 5 sccm의 Ar과 5 sccm의 수소의 흐름으로 변화된 가스의 흐름 속도에서 710°C 에서 30분 동안 유지되었다. 2H MoTe_2 의 성장을 위해, 퍼니스의 중앙부는 전체 700torr의 압력에서 5 sccm의 Ar과 5 sccm의 수소의 흐름으로 변화된 가스의 흐름 속도에서 670°C 에서 30분동안 유지되었다. 양 다형체들의 성장 과정 후에, 챔버는 2 sccm의 Ar을 도입하면서 상온까지 급격히 냉각되었다.
- [0067] 1T'와 2H MoTe_2 다형체들의 측면 헤테로 에피택셜 성장은 두 개의 다른 T_{growth} 에서 연속적인 증기 증착에 의해 달성되었다.
- [0068] 먼저, 1T' MoTe_2 의 합성을 위해, 퍼니스의 중앙은 20 sccm의 Ar과 2 sccm의 수소의 흐름 속도에서 730°C 가 10분 동안 유지되었다. 다음으로, 2H MoTe_2 의 합성을 위해, 퍼니스는 5 sccm의 Ar과 5 sccm의 수소의 흐름 속도에서 $1.5^\circ\text{C}/\text{분}$ 의 냉각속도로 40분 동안 670°C 까지 냉각된 후 670°C 에서 15분간 유지되었다. 전체 성장 과정 동안, 성장 압력은 700torr에서 유지되었다. 마지막으로, 챔버는 2sccm의 Ar의 흐름 하에서 상온까지 급격히 냉각되었다.
- [0070] 이하 상기 제조 방법에 의해 만들어진 1T'/2H MoTe_2 헤테로 에피택시의 특성과 상기 헤테로 에피택시를 포함한 2차원 전계 효과 트랜지스터(2D FET)를 설명하기로 한다.
- [0072] 도면 3의 a-c는 연속적인 헤테로 에피택시에 의해 동일한 2차원(2D) 원자 먼들 내에서 1T'/2H MoTe_2 몇 개 층 결정들의 다형체 집적화를 예시하고 있다. 본 발명에서의 반도체와 금속의 동일 평면상의 헤테로 에피택시는, 원자적으로 솔기 없는(seamless, 2D의 금속과 2D의 반도체 내부에서의 원자들 사이의 결합이 서로 동일할 때의 금속과 반도체의 컨택을 seamless라 정의하며, 도면 3 a에서의 금속과 반도체의 계면 형태를 의미함) 2D 집적 회로를 위해, 단일 조성의 재료로 만들어진 새로운 형태의 2D 플랫폼을 제공할 수 있다.
- [0074] $T_g=710^\circ\text{C}$ 에서의 성장 반응은 크기가 수십 마이크로미터의 직사각형의 또는 사다리꼴 측면 결정들을 형성한다(도면 4a). 상기 결정들은 라만 스펙터링 스펙트럼과 이미지에 의해 균일한 1T' MoTe_2 인 것으로 확인되었다. 더 높은 온도인 $T_g>710^\circ\text{C}$ 에서는, 1T' MoTe_2 결정들은 크기, 두께 및 결정 밀도가 증가되었다. $T_g=670^\circ\text{C}$ 에서는, 상기 반응들은 비슷한 크기의 육각형 또는 삼각형 단면을 가지는 결정들을 주로 형성하였고(도면 4b), 이것은 2H MoTe_2 에 해당하였다. 양 반응 생성물의 화학 양론은 $\text{Mo}:\text{Te} = 1:2$ 인 것으로 X레이 스펙트로스코피에 의해 조사되었다.
- [0075] 상기와 같은 T_g 온도 범위에서 NaCl 증기가 없는 경우, 불규칙한 모양들의 결정 핵들만을 얻을 수 있었는데, 이

핵들은 후속 반응에 특징적인 측면을 가지는 결정으로 성장하지 않았다. 반면에 NaCl 증기가 초과된 경우, Te 원소의 결정들이 석출되었다. 이와 같은 결과는, 첨가된 NaCl이 안정한 결정성장을 가능하게 하기에 충분한 수준의 Te 증기압을 유지하는 것을 도와주는 것을 의미한다.

[0076] 투과전자현미경(Transmission Electron Microscopy)과 수차보정 주사투과전자 현미경(Aberration-corrected Scanning Transmission Electron Microscopy)을 사용하여 1T'과 2H MoTe₂의 다형체 결정구조를 조사하였다.

[0077] 도면 5의 a, b의 저배율 TEM 이미지들은 직사각형(단사정계 1T')과 육방정계(육방정계 2H) 측면 결정들을 보여준다. 도면 5a에서의 삽입도는 단사정계 1T' MoTe₂의 (1 0 0)과 (0 1 0)로 인덱스된 면들의 회절 패턴을 보여주며, 면간 간격은 각각 6.342 Å과 3.500 Å로 밝혀졌다. (1 0 0) 면을 따르는 1T' MoTe₂ 모양의 길고 직선인 측면은 (1 0 0)면이 성장면(Habit plane)임을 의미한다.

[0078] 본 발명에서는 HAADF-STEM을 사용하여 면 내에서의 원자 배열을 조사하였다(도면 6a). 도면 6a에서는 HAADF-STEM 이미지 위에 단사정계 단위정이 중첩되어 있다. 도면 6b는 멀티슬라이스 방법에 의한 1T' MoTe₂ 단일층의 전산모사된 HAADF-STEM 이미지를 보여준다. 전산모사된 도면 6b는 실제 실험적으로 관찰된 도면 6a와 정확하게 매치됨을 알 수 있다. 전산 모사된 1T' MoTe₂의 두 개의 층들 또는 세 개의 층들이 확실하게 식별 가능하다. Mo 및 Te 원자들의 지그재그 배열은, 도면 6a에서 점선으로 표시된 바와 같이, [0 1 0] 방향을 따라 우선적으로 진행된다. 이와 같은 배열은 근본적으로, 1T상(도면 6 c)의 완벽한 팔면체 배위로부터 Mo 및 Te 원자들이 변위되었기 때문이다.

[0079] 반면에, 도면 7a의 회절 패턴은 육방정계 결정을 나타내며, 여기서 [0 0 0 1] 축을 따라 <1 -1 0 0> 및 <1 1 -2 0> 방향들은 육방정계 결정의 모서리와 꼭지점을 나타낸다. (1 -1 0 0) 및 (1 1 -2 0) 면들의 면간 간격은 3.062 Å 및 1.762 Å 인 것으로 측정되었는데, 이 값들은 다른 문헌들에서 벌크 2H MoTe₂ 결정에서의 값들과 잘 일치한다.

[0080] 관찰된 HAADF-STEM 이미지(도면 7a)에 중첩된 도식적인 육방정계 격자와 전산모사된 이미지 결과(도면 7b)에 나타난 도식적인 육방정계 격자는 서로 일치한다. 여기서 원자번호의 차이에도 불구하고($Z_{Mo} = 42$, $Z_{Te} = 52$), Mo 원자와 Te 원자 위치에서의 유사한 원자 명암(Contrast)은, 2H 상이 Mo와 Te 층들의 알려진 적층 순서를 가지는 다층으로 존재함을 의미한다; 1T'상보다 2H 상의 HAADF-STEM 이미지에서의 더 강한 명암 비는, 2H상이 1T' 상보다 더 두껍다는 것을 뒷받침한다.

[0081] 단사정계 결정 단위정(1T')이 육방정계 결정 단위정(2H)에 에피택셜하게 연결될 때, 계면에는 2개의 방향성 변형(variants)이 있다(도면 3 c); 첫 번째 형태는 $[0\ 1\ -1\ 0]_{2H} // [2\ 0\ 0]_{1T'}$ 계면이고, 두 번째 것은 $[0\ 1\ -1\ 0]_{2H} // [2\ 2\ 0]_{1T'}$ 계면이다. 직접적이고 연속적인 성장에 관한 본 발명에서의 결과들로부터, 본 발명자들은 두 경우를 모두 확인하였다.

[0082] 첫 번째 형태는, 육방정계 2H 측면의 에지가 단사정계 1T'상의 긴 측면 에지와 인접하는 경우이고(도면 3b의 왼쪽 패널), 두 번째 형태는 2H 에지가 1T'측면 에지에 인접하는 경우이다(도면 3b의 오른쪽 패널).

[0083] 두 가지 연결 변형들(variants)의 이러한 관찰은 이차원 동일 평면 헤테로 에피택시(2D Coplanar Hetero-epitaxy)가 존재한다는 것에 대한 직접적인 증거이다.

[0084] 첫 번째 형태에서, 1T'의 (0 2 0) 면의 면간 간격과 2H의 (2 -1 -1 0)의 면간 간격은 각각 1.754Å과 1.762 Å으로, ~0.45%의 미스매치를 만들었다. 첫 번째 형태의 HAADF-STEM의 저배율 이미지에서(도면 8 a), 다형체 $(0\ 1\ -1\ 0)_{2H} // (2\ 0\ 0)_{1T'}$ 헤테로 계면은 국부적인 주름 없는, 원자적으로-규칙화된 계면을 보여준다. 상기 1T'/2H 계면으로부터 얻어진 SAED의 2H 유형에서의 (2 -1 -1 0)와 (0 1 -1 0) 스팟들은 1T'에서의 (0 2 0)과 (2 0 0)과 중첩됨을 보여주는데, 이는 상기 헤테로 계면을 가로 질러서 두 다형체 단위정들이 정합(coherency)을 유지함을 의미한다.

[0085] 이러한 원자적으로 선명한 헤테로 에피택셜 1T'/2H 계면은 HAADF-STEM과 이미지 전산모사를 사용하여 더 자세히 조사되었고(도면 9), 1T'의 (2 0 0)의 면은 2H의 (0 1 -1 0) 면과 지그재그 에지에서 결합되어 있고, 상기 면들은 1T'의 Te 종료와 2H의 Mo 종료에 의해 형성된다. 두 번째 형태의 헤테로 에피택셜 관계도, 1T'상들의 단사정계 단위정들이 지그재그 에지들에 대해 60도만큼 회전된 것만 제외하고, 본질적으로 첫 번째 형태에서의 헤테로 에피택셜 관계와 동일하다. 이러한 방향관계는 2H MoTe₂의 (0 1 -1 0) 면은 1T' MoTe₂의 (1 1 0)면과 연결됨을

의미한다.

- [0086] 원자 표면 구조와 함께, 2H와 1T' MoTe₂ 층들의 고유의 전자 구조를 입증하기 위해, 본 발명에서의 CVD 성장 챔버로부터 초고진공 STM 챔버로 옮겨진 샘플들(두께 $t = 5\sim6\text{nm}$)에 대해 300K에서 스캐닝 터널링 현미경(Scanning Tunneling Microscope, STM)와 스캐닝 터널링 분광기(Scanning Tunneling Spectroscopy, STS)를 사용하였다.
- [0087] 도면 10a-b는 STM 이미지로, 2H와 1T' MoTe₂의 원자 구조를 보여준다. 2H MoTe₂에서는, Te-Mo-Te의 샌드위치 구조는 삼각 프리즘들로 형성되었고, 육방정계의 c축과 수직하며 원자적으로 편평하다(도면 10a와 도면 7c 참조). 반면에 1T'MoTe₂은 대칭성을 줄이기 위해 변형된 팔면체 Te를 차지하는 Mo 원자들과 덧붙여, a 축을 따라 주기적으로 골이 형성되어 있다(도면 10b와 도면 6c 참조).
- [0088] 측정된 격자 상수들은 앞에서의 TEM 분석 결과와 잘 일치한다. 1T' MoTe₂의 경우, 개략적인 단사정계 원자 구조들을 비교함으로써, STM 이미지에서 제일 밝은 돌출부들은 최 표층의 Te 원자들로 밝혀 졌고, 중간 색깔은 더 낮은 위치에 놓이는 Mo 원자들을 나타내는 것으로 밝혀졌다. STS 측정과, 도면 10c에서의 터널링 전류(I) 대 샘플에 인가된 전압(V) 곡선들과, 도면 10 c의 삽입도에서의 dI/dV 대 V 곡선들은, 오염의 증거 없이 다음과 같은 고유의 전자 구조를 알아볼 수 있게 한다.
- [0089] 2H MoTe₂ 반도체에서의 에너지 밴드 갭(E_g)은 ~ 1.1 eV이고, 1T' MoTe₂ 금속 내에서의 금속의 전자상태밀도는 유한값을 가진다.
- [0090] 다음으로, 본 발명자들은 1T'-2H-1T' MoTe₂ FET 내에서의 동일 평면 컨택 특성을 조사하였다. 상기 FET는 3단계 연속적인 헤테로 에피택시에 의해 형성되었는데, 여기에서 소스와 드레인 전극들로서 작용하는 두 개의 1T' MoTe₂는 에피택시하게 하나의 2H MoTe₂에 연결되어 모두 하나로 된 층(all-in-one layer) FET를 형성한다(도면 11a에서 2H와 1T'는 모두 두께(t) = 6nm).
- [0091] 각 상들은 SiO₂/p⁺-Si 기판들 위에서 전자 빔 리소그래피와 리프트 오프(Lift-off) 방법에 의해 Au 전극들과 컨택되어, 배면 게이트(back gate) FET 배치 구조에서 각 상 내에서 및 각 상을 가로 질러 국부적인 특성평가를 가능하게 하였다. 물론 전면 게이트(front gate) FET 배치 구조를 가질 수도 있음은 자명한 사항이다. 여기서, 직접적인 on-device 비교를 위해, 본 발명에서는 동일한 2H MoTe₂ 채널에서 두 가지 형태의 전기적 컨택을 형성하였다.
- [0092] 본 발명에서의 동일평면 1T'/2H MoTe₂ 계면은 1차원 결정학적 경계에서(에지 등이 1차원 경계에 해당) 공유결합에 의해 형성된 순수한 에지 컨택을 선천적으로 형성한다. 이는 2차원 회로에서 낮은 컨택 저항 R_c 를 가지는 2차원 반도체와 금속의 원자적으로 술기 없는(seamless) 집적화를 제시한다. 평면 금속 탑 컨택은 부피가 있고(bulky), 따라서 vdW 갭을 가로 지르는 실질적인 컨택 장벽으로 인해 큰 R_c 값을 피할 수 없다.
- [0093] 먼저, 도면 12의 a에서, 1T' 동일 평면 컨택들의 전체 컨덕턴스(G)는 300K에서 61 nS로, Au 톱 컨택 FET의 경우(1.1nS)보다 높은 것으로 밝혀졌고, 77K에서는 26.4nS로 약간 감소하였다. 특히, 77K에서의 값은, Au 톱 컨택 FET에서의 컨덕턴스보다 크기 면에서 5 오더(100,000배)만큼 높은 수치이다. 본 발명자들은 본 발명에서의 동일 평면 컨택 소자에서, 전류(I) - 인가 전압(V_b) 특성은 약간 비선형적인 것을 관찰하였다.
- [0094] 다음으로, 배면-게이트 전압(V_g)-dependent G 관계를 비교하였고, 1T' 동일 동일평면 컨택된 FET에서 더 효율적인 게이트-조정가능성을 발견하였다. 다시 말하면 1T'동일평면 컨택 FET에서, -8 V의 더 작은 임계 전압($V_{g,th}$)(Au 톱 컨택의 경우 -40V)과 p 타입 특성 내에서 $V_b = 50\text{mV}$ 에서 $6.7\mu\text{S}$ 의 더 높은 온 전류(Au 톱 컨택의 경우 $0.6\mu\text{S}$) 값을 보였다.
- [0095] 세 번째는 FET들의 온도(T)-의존성 G 에서, 도면 12 c의 아레니우스 플롯(Arrhenius plot)에서의 150~300K의 온도범위에서, 두 경우의 FET의 G 값은 모두 열적 활성화 전달(transport)에 의해 모델링 된다. 여기서, 이 직접적인 비교에서의 어떠한 차이도 특정 컨택 성질 때문인 것으로 해석되는데, 이는 두 가지 형태의 FET들이 이 같은 먼저항과 게이트 정전용량을 가지는 동일한 2H MoTe₂를 공유하기 때문이다.
- [0096] 도면 12 d는 1T' 동일평면 FET의 온도(T) 종속 드레인 전류(I_d) - V_g 특성을 나타내는데, 300K에서는 $\sim 10^5$ 그리

고 77K에서는 10^7 이라는 매우 높은 on/off 전류비($V_b = 50\text{meV}$ 에서의 I_{on}/I_{off})를 보여준다. 이는 1.1eV라는 상대적으로 낮은 E_g 를 가지는 비패시베이션화된 배면-게이트 전압(Bottom gate) 2D 반도체의 경우 매우 주목할 만하다. 특히 150~300K에서 온도가 감소함에 따라, $V_b = 50\text{meV}$ 에서 I_{off} 는 포화된 I_{on} 과 비교하여 급격히 감소하여, 낮은 온도 범위에서 더 높은 I_{on}/I_{off} 비율을 만드는데 기여한다.

[0097] 이와 같은 현상은 동일평면 컨택들에서는 더 낮은 컨택 장벽 때문인 것이다. 1T' 동일평면 컨택들을 가지는 FET의 이동도(μ)는 300K에서 $16.2\text{cm}^2/\text{Vs}$ 인 것으로 측정되었고, 77K에서는 $8.3\text{cm}^2/\text{Vs}$ 로 약간 감소하였다(도면 12e). 반면 Au 튜브 컨택된 FET들에서는, FET의 이동도(μ)는 더 작아서 300K에서 $4.0\text{cm}^2/\text{Vs}$ 인 것으로 측정되었고, 77K에서는 $0.03\text{cm}^2/\text{Vs}$ 로 급격하게 줄어든다. 두 형태의 FET들에서의 FET 이동도(μ)는 이 온도 범위에서는 온도가 감소함에 따라 감소한다. 즉, FET의 이동도(μ) 변화는 $\mu \sim T^x$ 의 피트(fit)에서 하전된 불순물 산란에 의해 지배되며, 이는 유전 기관과 표면 및 계면에서 하전된 불순물을 가지는 비패시베이션된 2D TMDC 반도체들에서 통상적인 발생한다.

[0098] 콘트롤 실험으로써, 본 발명자들은 하나의 동일 채널 FET를 측정하였고, 컨택들 중 하나의 컨택은 1T' 동일평면 컨택이고 다른 하나는 Au 튜브 컨택이며, 관찰된 FET의 이동도(μ)의 온도 의존성은 양쪽 컨택이 Au 튜브 컨택을 가지는 FET의 이동도(μ)의 온도 의존성과 유사하다. 이러한 관찰은 컨택 형태에 따라 FET 전하 전송이 실질적으로 수정됨을 입증하는 것이다.

[0099] 최근 리뷰에서의 2D 반도체의 다양한 컨택 형태의 분류를 바탕으로, 본 연구자들은 Au 튜브 컨택은 Au의 페르미 레벨과 2H MoTe₂ 전자 친화도 사이의 에너지 오프셋으로부터 기인한 고유의 쇼트키 장벽(Schottky barriers, SB)과 평면 반 데 발스 갭(van der Waals gap)에서 기인한 터널 장벽(Tunnel barrier)을 형성한다고 가정하였다. 그리고 이러한 가정은 본 발명의 명세서에서 이미 기재한 바와 같이, 본 발명이 속하는 기술분야에서는 최근에 일반적으로 받아들여지고 있는 이론이다.

[0100] 그 후, 본 발명자들은 1T' 동일 평면 컨택은 추가적인 vdW 터널 장벽 없이 "국부적인 SB 형태" 장벽을 형성한다고 모델링 하였는데, 이는 계면이 원자 정밀도 단위에서 공유 결합되어 있기 때문이다. 거기에 덧붙여, 동일 평면 컨택 기하학에서의 극소(ultra)-작은 컨택 면적(동일 평면 컨택은 에지 컨택이며, 평면 내에는 수 원자층 두께의 2D 막이 서로 에지 컨택하므로, 그 결과 컨택 면적이 극소로 작아짐을 의미함)에 기인하여, 이 동일평면 SB에서의 컨택 정전기학은 통상적의 Au 튜브 컨택에서의 평면 SB 컨택과 정성적으로 다름이 확실하다.

[0101] 본 발명자들은 개략적으로 그러한 모델에 대해 도면 13 a 및 b에 예시하였는데, 여기서 특정 장벽 높이와 폭은 다음과 같이 결정된다.

[0102] 먼저 초기에 다양한 V_g 에서의 1T' 동일평면 컨택의 온도(T) 의존 전류(I_d) (도면 14 a)는 150~300K에서 열적으로 활성화된 전송을 보였는데, 이것은 열이온방출 모델 내에서 빌트인 포텐셜(Built-in potential, $q\Phi_{bi}$)들의 변화를 예측할 수 있게 한다. 도면 14 b는 변화하는 V_g 에서 도면 14 (a)의 선형 피트로부터 추정된 $q\Phi_{bi}$ 이며, 편평한 밴드(Flat band) 조건($V_{g,FB} = -6\text{V}$)에서의 SB 높이($q\Phi_{SB}$)는, 화살표로 표시된 바와 같이, ~22 meV로 추출되었다. 동일한 방법으로, 본 발명자들은 Au 튜브 컨택된 FET의 $q\Phi_{SB}$ 는 ~150meV인 것을 발견하였는데, 이것은 다른 연구자들의 문헌에서 보고된 값과 잘 부합한다. 특히, 300K에서 $k_B T$ 보다 작은, ~22meV의 $q\Phi_{SB}$ 는 보고된 TMDC FET들 가운데 가장 작은 값이다. 2H MoS₂에 탑 금속 컨택에서의 $q\Phi_{SB}$ 는 얻을 수 없고, 2H MoS₂ 다층들과 탑 금속 컨택에서의 $q\Phi_{SB}$ 는 통상적으로는 100~200 meV의 범위이고 가장 낮은 일함수를 가지는 Sc 컨택에서 가장 낮은 값인 ~30meV이다. 이러한 발견은 결국 다형체적 동일 평면 컨택은, 특히 $V_b > q\Phi_{SB}$ 및/또는 $V_g < V_{g,th}$ 에서, 열적으로 지원되는 TB 타입임을 의미한다. 도면 14 c에서 다양한 T_s 에 따른 I_{off} 의 큰 변화뿐만 아니라 낮은 V_b 에서의 $I-V_b$ 의 비선형성은 이전의 관찰들과도 잘 부합한다.

[0103] 본 발명에서의 다형체 동일 평면 컨택에서의 극단적으로 낮은 $q\Phi_{SB}$ 는, 나노미터 스케일에서는 컨택 포텐셜의 공간적인 변화가 타이트하게 제한될 수 있다는, 다시 말하면 밴드 밴딩(band bending; 접합 근처에서 반도체의 밴드 구조의 에너지 오프셋에서의 국부적인 변화를 의미)의 공간적인 확장이 없다는, 가능성을 제시한다.

[0104] 본 발명자들은, 2차원 동일 평면 정전기학 모델을 사용하여, 공핍층의 넓이(depletion width) $W_d = (2\epsilon/q) \cdot$

(Φ_{bi}/N_A)는 6.1nm인 것으로 추산하였는데, 여기서 ϵ 은 2H MoTe₂의 유전상수와 억셉터(acceptor)의 밀도이고, N_A 는 평행판 캐패시터 모델(Parallel plate capacitor model)을 사용하여 $V_g = V_{g,th}$ 에서 $4.9 \times 10^{11}/\text{cm}^2$ 인 것으로 추정될 수 있다.

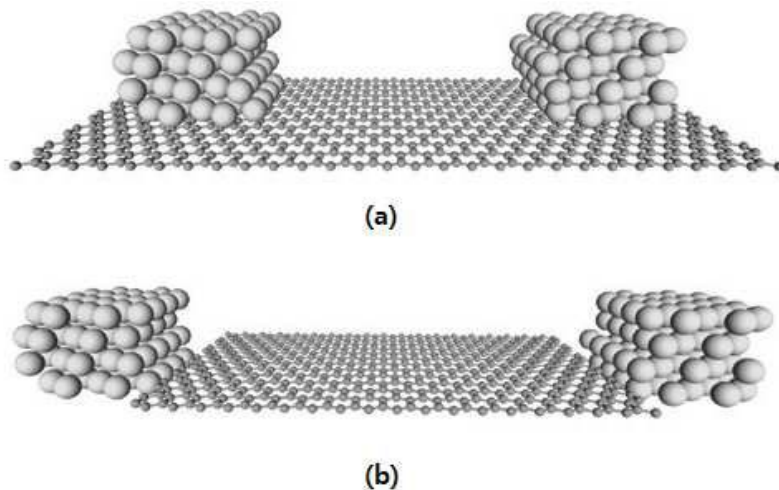
[0105] 직접적인 비교를 위해, 본 발명자들은 비교예인 Au 톱 컨택 FET을 2D 접합이라고 가정했을 때의 W_d 는 40.7nm인 것으로 발견하였다. 한편, 톱 컨택된 그래핀 FET들과 탄소 나노 튜브 FET들의 W_d 는 수백 나노미터의 범위에 있음이 이전 연구들에 의해 입증되었다.

[0106] 따라서 본 발명에서의 다형체 동일 평면 계면들의 이러한 국부적인 TB 형태의 컨택은, 짧은 채널 효과들(Short channel effects)이 없는, 나노미터 스케일에서 극단적으로 짧은 FET들의 실용화를 위한 가능성을 제공할 수 있다.

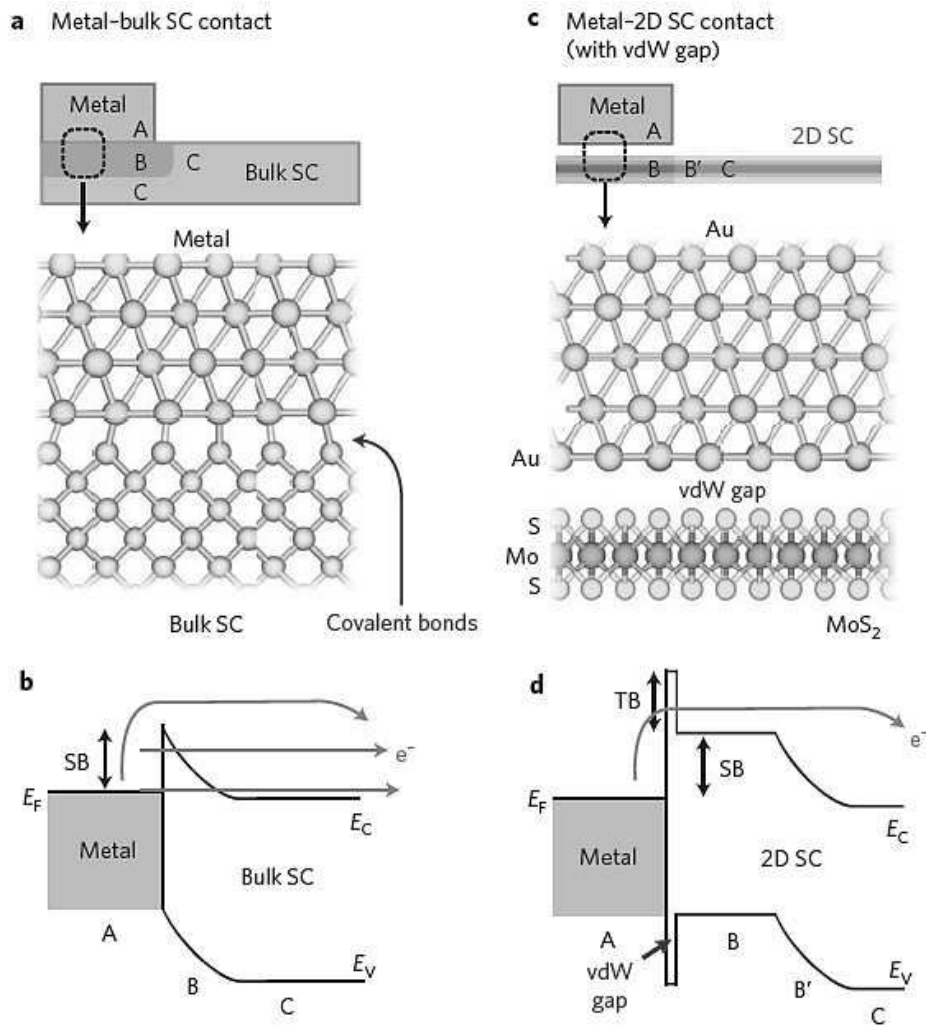
[0108] 이상과 같이 본 발명에 대해서 예시한 도면을 참조로 하여 설명하였으나, 본 명세서에 개시된 실시예와 도면에 의해 본 발명이 한정되는 것은 아니며, 본 발명의 기술사상의 범위 내에서 통상의 기술자에 의해 다양한 변형이 이루어질 수 있음은 자명하다. 아울러 앞서 본 발명의 실시예를 설명하면서 본 발명의 구성에 따른 작용 효과를 명시적으로 기재하여 설명하지 않았을 지라도, 해당 구성에 의해 예측 가능한 효과 또한 인정되어야 함은 당연하다.

도면

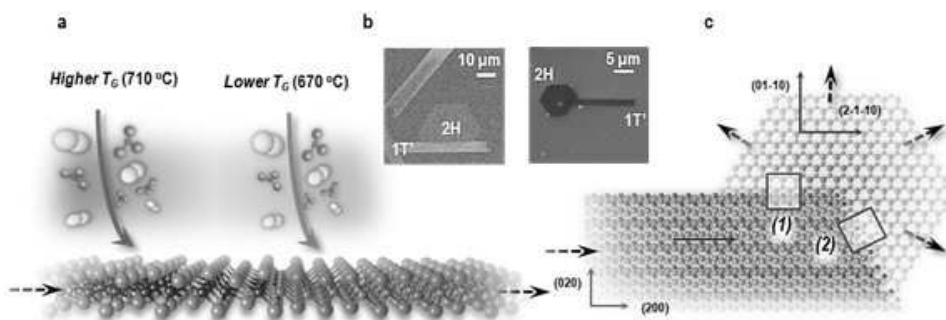
도면1



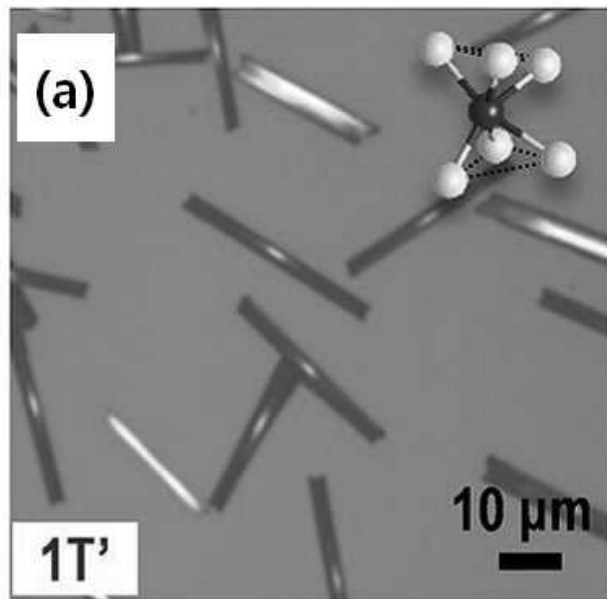
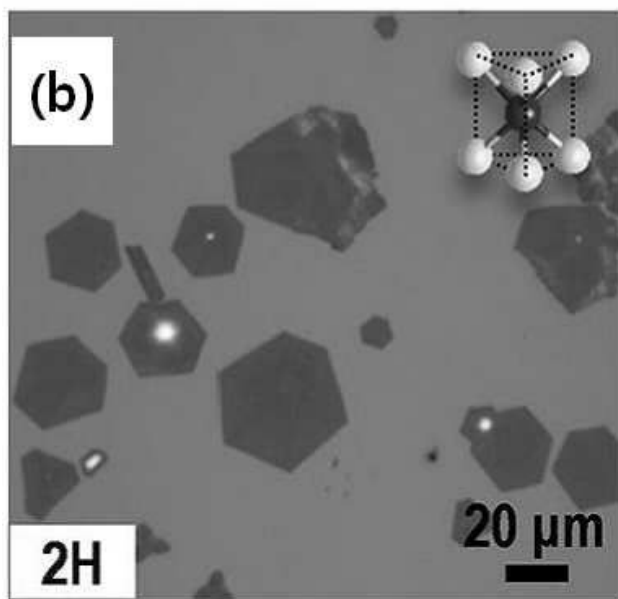
도면2



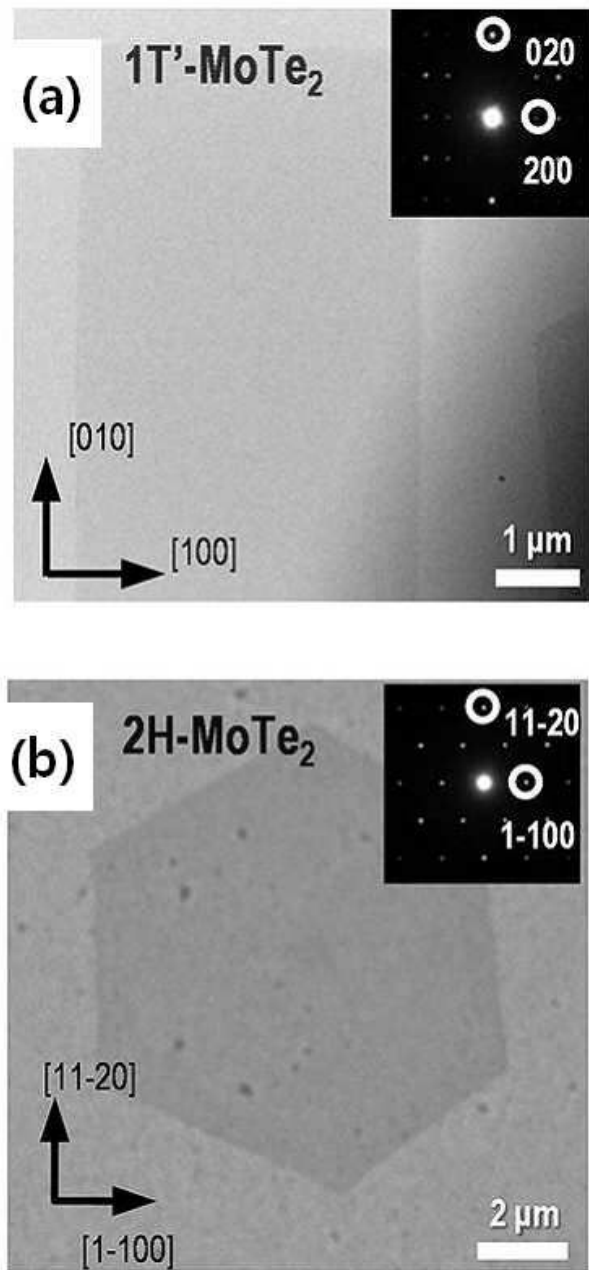
도면3



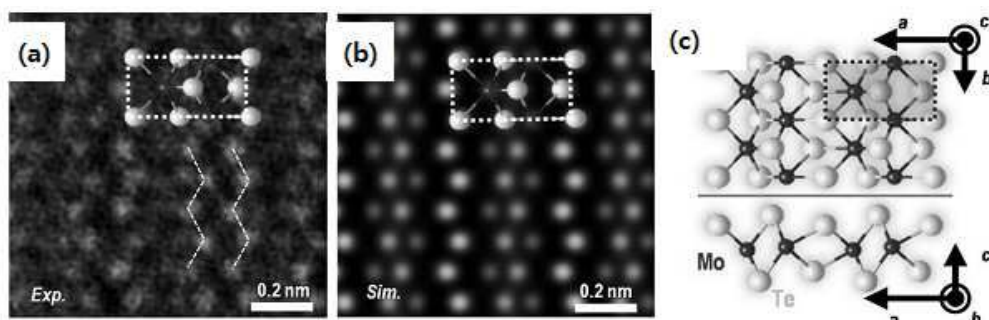
도면4



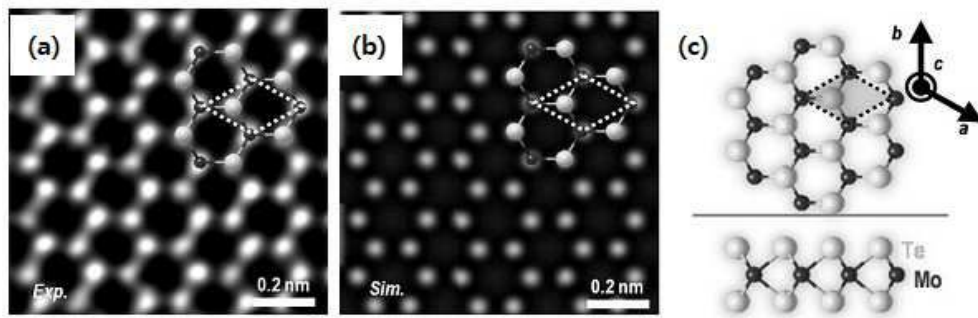
도면5



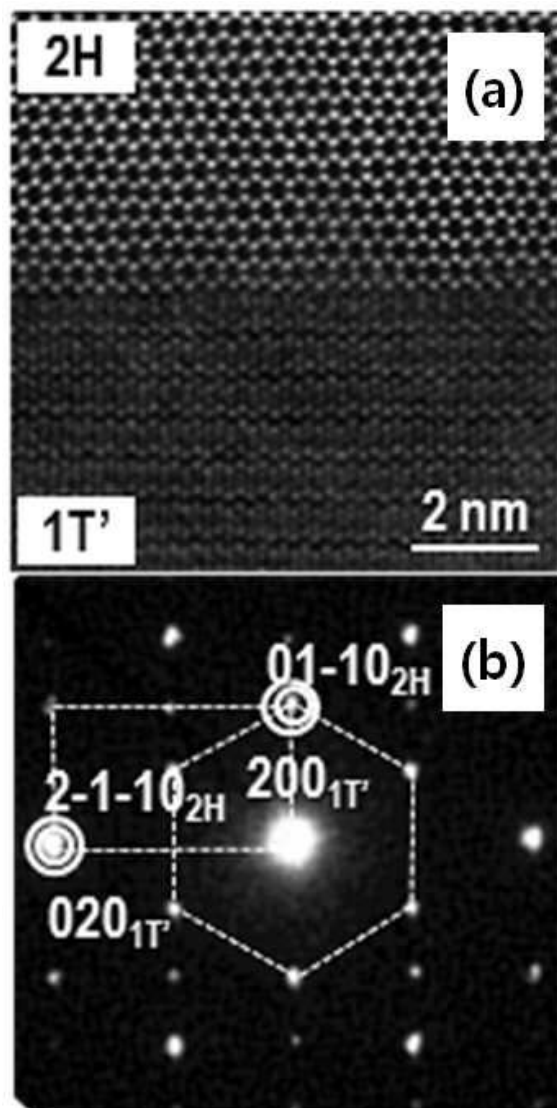
도면6



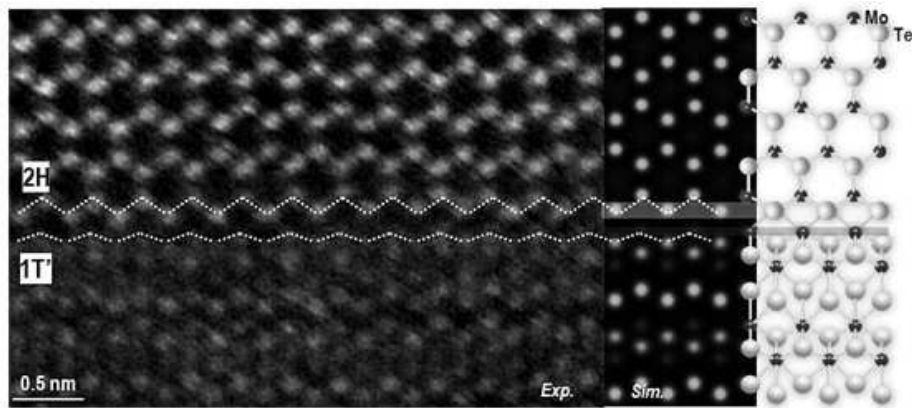
도면7



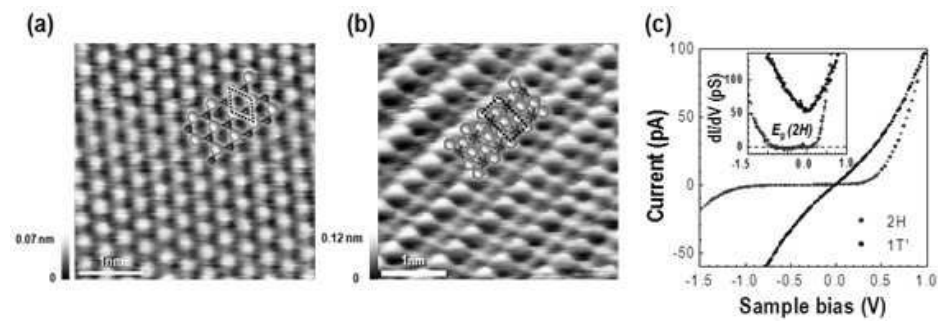
도면8



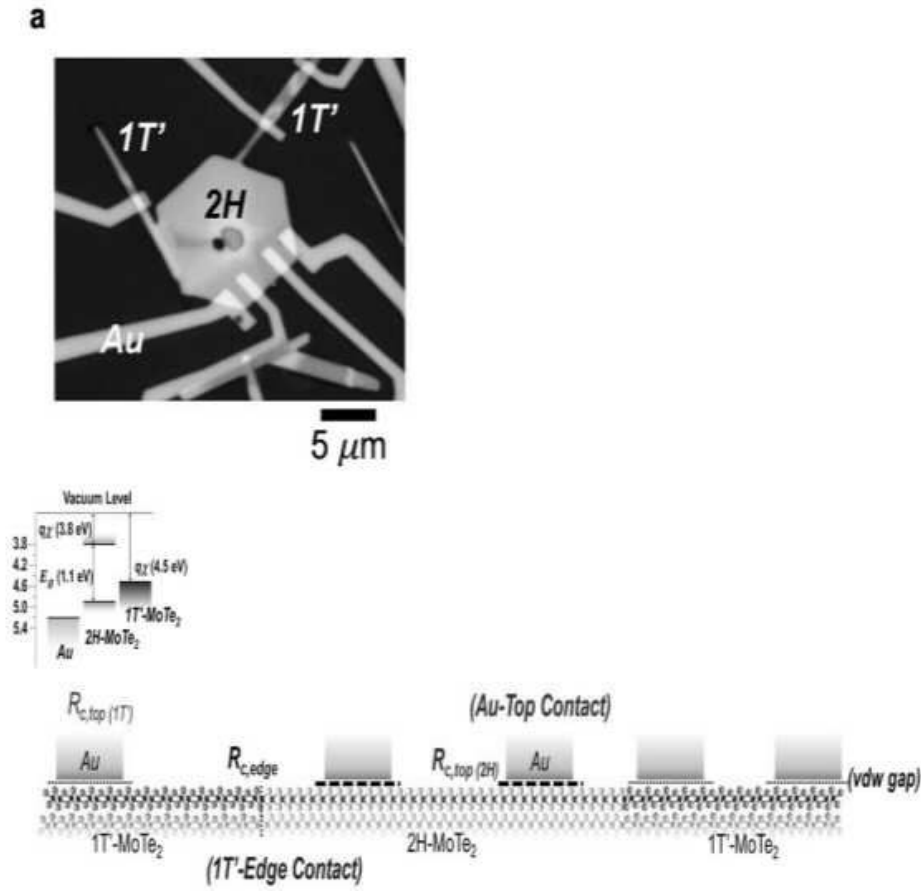
도면9



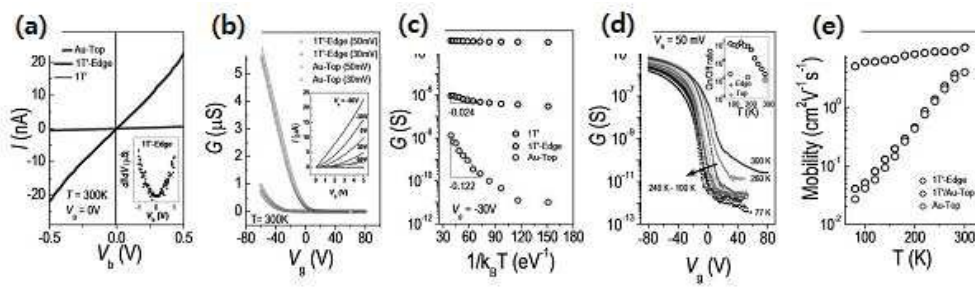
도면10



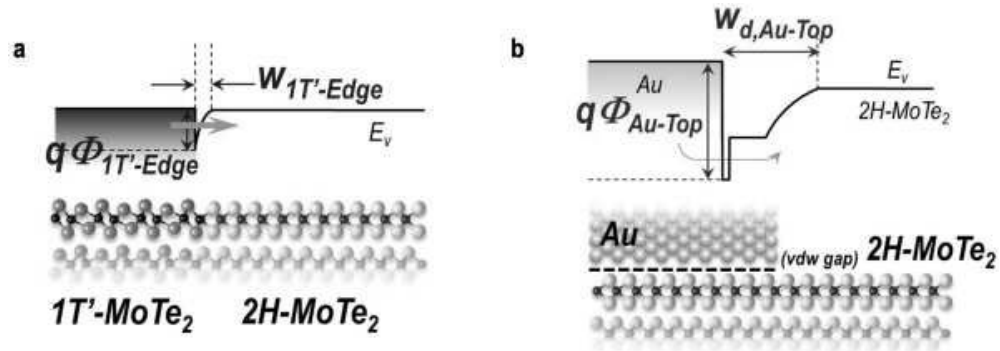
도면11



도면12



도면13



도면14

