

19



OFICINA ESPAÑOLA DE
PATENTES Y MARCAS

ESPAÑA



11 Número de publicación: **2 936 882**

51 Int. Cl.:

B41J 2/045 (2006.01)

12

TRADUCCIÓN DE PATENTE EUROPEA

T3

86 Fecha de presentación y número de la solicitud internacional: **06.02.2019 PCT/US2019/016815**

87 Fecha y número de publicación internacional: **13.08.2020 WO20162919**

96 Fecha de presentación y número de la solicitud europea: **06.02.2019 E 19706346 (4)**

97 Fecha y número de publicación de la concesión europea: **21.12.2022 EP 3710269**

54 Título: **Componente de impresión de comunicación**

45 Fecha de publicación y mención en BOPI de la traducción de la patente:
22.03.2023

73 Titular/es:
**HEWLETT-PACKARD DEVELOPMENT
COMPANY, L.P. (100.0%)
10300 Energy Drive
Spring, TX 77389, US**

72 Inventor/es:
**LINN, SCOTT A.;
GARDNER, JAMES MICHAEL y
CUMBIE, MICHAEL W.**

74 Agente/Representante:
DEL VALLE VALIENTE, Sonia

ES 2 936 882 T3

Aviso: En el plazo de nueve meses a contar desde la fecha de publicación en el Boletín Europeo de Patentes, de la mención de concesión de la patente europea, cualquier persona podrá oponerse ante la Oficina Europea de Patentes a la patente concedida. La oposición deberá formularse por escrito y estar motivada; sólo se considerará como formulada una vez que se haya realizado el pago de la tasa de oposición (art. 99.1 del Convenio sobre Concesión de Patentes Europeas).

DESCRIPCIÓN

Componente de impresión de comunicación

5 Antecedentes

Las impresoras y los cartuchos de impresora pueden usar una serie de tecnologías para transportar tinta a un medio. La tinta puede aplicarse a un medio mediante el uso de un dispositivo que se afecta por las diferencias de temperatura a través del dispositivo. La calidad de impresión puede determinarse en parte por el resultado de un trabajo de impresión que coincida con la entrada que se le indica a la impresora que imprima. El documento EP1136267 describe una sección de control de cuerpo principal de aparato y una sección de control de acceso a la memoria que transmiten y reciben datos por medio de comunicación de datos en serie. La sección de control de acceso a la memoria lee diversa información (la cantidad de tinta restante, el año y mes de inicio de uso, y similares) almacenada en memorias no volátiles y almacena la información de lectura en una RAM en la sección de control de acceso a la memoria.

Sumario

La invención está definida por las características de la reivindicación independiente. En las reivindicaciones dependientes se exponen realizaciones preferidas.

Descripción de los dibujos

Ciertos ejemplos se describen en la siguiente descripción detallada y en referencia a los dibujos, en los que:

25 La Fig. 1 es un diagrama de bloques de un sistema de componentes de impresión de ejemplo;

La Fig. 2 es un diagrama de bloques de un sistema de componentes de impresión de matriz múltiple de ejemplo;

30 La Fig. 3 es un diagrama de bloques de un sistema de componentes de impresión de plumas múltiples de ejemplo;

La Fig. 4 es un diagrama de bloques de un plano de circuitos de ejemplo;

35 La Fig. 5 es un diagrama de bloques de una arquitectura del sensor de plumas múltiples de ejemplo;

La Fig. 6 es un diagrama de bloques de una arquitectura de circuitos de impresión de ejemplo;

40 La Fig. 7 es un diagrama de flujo de un método de ejemplo para comunicar datos almacenados desde un cartucho de cabezal de impresión reemplazable de comunicación;

La Fig. 8 es un diagrama de bloques de un medio legible por ordenador no transitorio de ejemplo que incluye instrucciones para dirigir un procesador para comunicar datos almacenados desde un cartucho de cabezal de impresión reemplazable de comunicación;

45 La Fig. 9 es un diagrama de flujo de un método de ejemplo para acceder a una celda de memoria;

La Fig. 10 es un dibujo que muestra un conjunto de señales de ejemplo para una escritura de registro de configuración;

50 La Fig. 11 es un esquema de un acceso de ejemplo a bits de memoria mediante el uso de múltiples registros habilitados y datos de boquillas;

La Fig. 12 es una realización de la invención que muestra un esquema de circuitos lógicos que acceden a una celda de memoria;

55 La Fig. 13 es una realización de la invención que muestra un diagrama de flujo de un método para acceder a una celda de memoria en respuesta a estados de acceso habilitado;

La Fig. 14 es un diagrama de bloques de un circuito de ejemplo y un plan de escritura de bits de memoria;

60 La Fig. 15 es un diagrama de flujo de un método de ejemplo para proporcionar un voltaje de escritura con un regulador de voltaje de memoria a la combinación seleccionada de bits de memoria; y

65 La Figura 16 es un diagrama de bloques que ilustra otro ejemplo 1600 de un circuito integrado con múltiples bits de memoria asociados con cada actuador de fluido.

Descripción detallada

Proporcionar fluido, como tintas o agentes, a un medio, como páginas, polvo, cámaras de fluido, etc., puede incluir empujar fluido a través de boquillas con actuadores de fluido. En un ejemplo, el control de los actuadores de fluido puede regularse mediante bits de memoria que se ubican en los circuitos integrados. En un ejemplo, los circuitos integrados es una matriz de impresión posiblemente hecha de silicio. Puede haber una gran cantidad de boquillas, los correspondientes actuadores de fluido y los correspondientes bits de memoria para administrar. Estos bits de memoria pueden conectarse comunicativamente en paralelo por un bus. El bus puede ser un bus analógico de un solo carril. En la presente descripción, el bus puede medir todas las combinaciones de bits de memoria en paralelo. Además, el uso de un bus analógico de un solo carril permite el ordenamiento de un cableado de bus más complejo, traza u organización general de la matriz de impresión. El uso de un bus de un solo carril para medir múltiples bits de memoria en paralelo evita la necesidad de arquitecturas de matriz de bus múltiple. Además, el sistema descrito proporciona un marco para conectar bits de memoria a través de múltiples matrices de impresión con un bus analógico de un solo carril. La reducción en la cantidad de carriles de bus necesarios también puede reducir la cantidad de almohadillas de medición externas porque todos los bits, secciones o divisiones de memoria pueden medirse mediante el uso de una sola almohadilla. En un ejemplo, la almohadilla es externa a la matriz para conectarse a un contacto del lado de la impresora. En un ejemplo, la almohadilla es una almohadilla de señales analógicas para comunicar una señal analógica.

Como se usa en la presente descripción, los bits de memoria específicos para los que se realizan mediciones pueden seleccionarse mediante el uso del bus de un solo carril. En un ejemplo, el bus de un solo carril es una ruta de datos de alta velocidad y puede ser una traza, un cable u otro medio de conexión de comunicación electrónica entre componentes. Los bits de memoria pueden seleccionarse mediante el uso de la información que se transmite como parte de datos primitivos en un paquete de datos. En un ejemplo, el paquete de datos puede denominarse grupo de pulsos de disparo. En un ejemplo, las selecciones específicas de bits de memoria se realizan mediante el uso de datos primitivos para representar un grupo de pulsos de disparo. El paquete de datos, o grupo de pulsos de disparo, también se transmite a través de los circuitos integrados para direccionar o seleccionar actuadores de fluido específicos. Un método para direccionar los actuadores de fluido incluye un número primitivo y un número de dirección. En algunos ejemplos, puede haber un bit de memoria correspondiente a cada actuador de fluido. En otros ejemplos, puede haber más o menos bits de memoria que actuadores de fluido.

Los bits de memoria pueden seleccionarse usando el mismo carril de selección y lógica de selección para seleccionar la pluralidad de bits de memoria y actuadores fluidicos. En un ejemplo, el paquete de datos que porta la información para la selección de actuadores de fluido incluye adicionalmente datos para seleccionar el bit de memoria correspondiente a esos actuadores de fluido específicos, incluyendo el número primitivo y el número de dirección.

El uso de sistemas de direccionamiento de esta manera, por ejemplo, mediante el uso de un bus analógico de un solo carril, permite seleccionar y leer múltiples bits de memoria a lo largo del bus analógico de un solo carril hacia la almohadilla. En un ejemplo, la almohadilla es una almohadilla de sensor para comunicar los estados del sensor, además de la señal de bits de memoria.

La misma línea de datos puede usarse para impulsar varios dispositivos de activación de fluidos. Además, el uso de un bus analógico de un solo carril permite seleccionar y leer varios bits de memoria que se ubican dentro de la misma matriz y en la misma dirección, uno a la vez o en combinación en paralelo desde la misma almohadilla. En otro ejemplo, el uso de un solo bus analógico permite seleccionar y leer varios bits de memoria dentro de diferentes matrices de silicio en el mismo cabezal de impresión desde el mismo carril de selección. Los bits de memoria pueden ubicarse en diferentes matrices. Cada matriz puede corresponder a un color diferente. Por ejemplo, una pluma puede ser una pluma de color e incluir tres matrices de impresión de silicio. La otra pluma puede ubicarse en una pluma de tinta negra y puede tener una sola matriz de impresión de silicio. El uso de un solo bus analógico permite seleccionar y leer desde la misma almohadilla varios bits de memoria a través de múltiples matrices de silicio en múltiples cabezales de impresión dentro del sistema de impresión, como una pluma de color y una pluma negra separadas. En la selección de bits de memoria por dirección, cada matriz de silicio única puede seleccionar un bit de memoria en un número de dirección diferente, pero los bits de memoria dentro de la misma matriz pueden seleccionarse en la misma dirección.

Los circuitos integrados puede ser una matriz de impresión. Los circuitos integrados pueden usar bits de memoria que son bits de memoria volátil o no volátil (NVM). En un ejemplo, la memoria que se usa en los circuitos integrados es one time-programmable (programable una vez - OTP) y puede leerse externamente mediante el uso de la almohadilla analógica. Por ejemplo, el bit o los bits de memoria pueden proporcionar una respuesta analógica esperada o predecible bajo diversas condiciones y combinaciones de medición. Debido a este enfoque más matizado para acceder y realizar lecturas desde múltiples bits de memoria, el acceso a las funciones del cabezal de impresión está más protegido contra el acceso o la manipulación no autorizados. Además, la mayor granularidad de la medición permite un monitoreo de estado más específico de la funcionalidad de los componentes de impresión. Además, en un ejemplo, el direccionamiento o lectura de múltiples bits de memoria en combinación, en paralelo y/o simultáneamente mediante el uso de un bus de un solo carril puede reducir el número de acciones de direccionamiento o lectura, acelerando así la

operación. Además, y en contraste, el uso de un bus de varios carriles para intentar lecturas en paralelo usaría múltiples líneas de circuito que podrían acumular espacio en una matriz de impresión. Además, agregar otro cable al cabezal de impresión o cabezales de impresión conllevaría un aumento asociado en el costo y una disminución en la confiabilidad.

5 El componente de imprimir o el componente de impresión es extraíble. Un componente de imprimir extraíble puede quitarse o insertarse desde o dentro de una impresora. El mismo circuito que se usa para seleccionar qué boquillas dispersarán la tinta ante una señal de DISPARO también puede usarse para acceder a la memoria de los circuitos integrados. Los circuitos para seleccionar una boquilla y seleccionar un bit de memoria pueden compartirse.
10 Compartir circuitos permite, en parte, la minimización del área de circuito que se usa. Además, la señalización inadvertida entre estos dos componentes que comparten una línea puede suponer un riesgo de acciones inadvertidas o cambios en la memoria. La presente descripción incluye métodos y dispositivos destinados a protegerse de la señalización inadvertida mediante el uso de una secuencia de acceso antes de permitir el acceso a la memoria.

15 Como se señaló, los circuitos de la impresora incluyen líneas compartidas entre los circuitos de activación de fluido y los circuitos de la celda de memoria. En una realización de la invención, y para reducir la complejidad en la matriz, gran parte de una ruta de datos de alta velocidad que se usa para seleccionar boquillas de chorro de tinta tiene un propósito múltiple para seleccionar también elementos de memoria. Las técnicas específicas para la selección de bits de memoria pueden habilitar las salvaguardas con una secuencia de acceso a la memoria para garantizar que los bits de memoria no se seleccionen inadvertidamente durante la impresión. Los bits de memoria que se seleccionan inadvertidamente durante la impresión pueden estar dañados e inutilizables en la memoria del cabezal de impresión.

25 Las presentes técnicas muestran una secuencia de modo de acceso que se usa para acceder a los modos de lectura y escritura de la memoria en los circuitos integrados como un cabezal de impresión. En un ejemplo, el cabezal de impresión puede incluir una matriz, como una matriz de silicio. La matriz de silicio puede ser una pieza larga de silicio. Con el fin de reducir el tamaño y por lo tanto el costo del silicio en bruto, el tamaño o perfil de los circuitos puede reducirse mediante múltiples componentes que comparten las mismas líneas de señalización. Por ejemplo, la selección de boquillas puede usar el mismo hardware que se usa para configurar los bits de memoria. En un ejemplo, los bits de memoria o las celdas de memoria pueden ser una non-volatile memory (memoria no volátil - NVM). El uso de NVM puede usarse para transferir información desde el cabezal de impresión a la impresora. La comunicación de información, como mediciones de grietas y temperaturas fuera de la matriz, permite el cálculo y ajuste de instrucciones al cabezal de impresión de acuerdo con las condiciones detectadas. En un ejemplo, la información que se incluye en la NVM que se comunicará a la impresora puede incluir el comportamiento térmico de una matriz, desplazamientos para una matriz, información de la región, un mapa de color, el número de boquillas, función de la boquilla, temperatura de la matriz en diversas regiones, detección de grietas y otra información.

40 Para garantizar que se guarden los datos adecuados en la NVM en lugar de ruido o señalización no intencionada para un componente compartido, se usa una secuencia de acceso. La secuencia de acceso puede evitar la escritura inadvertida en la memoria mediante circuitos que también entregan y ejecutan datos de selección de impresión. La capacidad de compartir circuitos sin pérdida de calidad permite ahorros significativos en el área del circuito. Compartir componentes incluye, en una realización de la invención, compartir una ruta de datos para seleccionar tanto los actuadores de fluido como los bits de NVM.

45 Otra forma de evitar accesos involuntarios a la memoria es restablecer la secuencia de acceso en el flanco descendente de la señal de DISPARO. Esto asegura que los fallos de señal o ruido en una almohadilla de MODO se limiten a una primera etapa de una secuencia de acceso donde los bits de memoria no están expuestos. En cambio, el proceso para acceder a los bits de memoria puede comenzar temporalmente antes de salir rápidamente sin daño o señalización incorrecta.
50

En un ejemplo, la secuencia para habilitar un modo de acceso a la memoria puede tener seis etapas. En una primera etapa de ejemplo, puede accederse a un registro de configuración para habilitar un modo de memoria. En una segunda etapa de ejemplo, la carga de datos del fire pulse group (grupo de pulsos de disparo - FPG) puede incluir el bit o los bits que se escribirán junto con un bit de habilitación de memoria no volátil (habilitación de NVM) que se establece en el encabezado de FPG. Como se usa en la presente descripción, FPG puede referirse a un paquete de datos que se usa para seleccionar una primitiva para disparar. Como se usa en la presente descripción, una primitiva puede referirse a un grupo de dispositivos de activación de fluidos, tales como boquillas. En un ejemplo, el bit de habilitación de NVM puede referirse a un bit de habilitación que se almacena en un elemento de memoria como un elemento floating gate avalanche metal oxide semiconductor (semiconductor de óxido metálico de avalancha de puerta flotante - FAMOS). En una tercera etapa de ejemplo, un pulso de un botón de DISPARO desde una señal 0 a una señal 1 hasta un 0, que corresponde a una secuencia de señalización de baja a alta a baja a lo largo de la línea de DISPARO. La señal de DISPARO no solo puede activar los actuadores de fluido para que actúen, sino que también puede afectar la configuración del circuito de memoria y los registros de memoria al borrar los datos. Este borrado o restablecimiento de datos ayuda a prevenir accesos involuntarios a la memoria si el acceso inicial fue en cambio mediante una señalización inadvertida en la misma línea. Una cuarta etapa de ejemplo incluye

otro acceso al registro de configuración para habilitar el modo de memoria. Un ejemplo de la quinta etapa incluye una escritura en un registro de configuración de memoria que solo se hace visible una vez que se han ejecutado los cuatro pasos anteriores. Por último, en un ejemplo, puede haber un pulso de la almohadilla de DISPARO desde la señal 0 a la señal 1 hasta un 0. Durante la duración de esta segunda señal de DISPARO que se dispara en un estado de señal alta, el bit o los bits pueden leerse de los elementos de memoria o escribirse en los elementos de memoria.

Con respecto a la carga del grupo de pulsos de disparo, los bits de memoria se seleccionan mediante el uso de la misma ruta de datos de alta velocidad que se usa para seleccionar los datos primitivos del grupo de pulsos de disparo para los actuadores de fluido. Esto significa que los bits de memoria pueden seleccionarse de manera similar por número primitivo y número de dirección con la misma granularidad que los actuadores de fluido individuales. En un ejemplo, siempre que la almohadilla de DISPARO cambia de alto (1) a bajo (0), puede borrarse el bit de habilitación de NVM en un registro de configuración. Como se señaló anteriormente, la limpieza reduce la posibilidad de acceso inadvertido. Cuando se borra el bit de habilitación de NVM del registro de configuración, también se borran todos los bits del registro de configuración de memoria. En consecuencia, la señal de DISPARO descendente inhabilita el acceso adicional a la NVM. Para acceder a la NVM, debe establecerse el bit de habilitación de NVM del registro de configuración, junto con el bit de habilitación de NVM en los datos de desplazamiento. Para estas condiciones iniciales, el orden de ocurrencia es intercambiable siempre que ambas ocurran antes de que se eleve la señal de DISPARO. Cuando la señal de DISPARO sube o es alta, esta señal permite que el bit de habilitación de NVM de desplazar_datos establezca un bloqueo dentro de la matriz de impresión integrada. En un ejemplo, una vez que se establece el bloqueo interno, el bit de habilitación de NVM en un registro de configuración puede reescribirse a un 1 porque el bit de habilitación de NVM se borró por la señal de DISPARO descendente. En este ejemplo, cada vez que el bit de habilitación de NVM es 0, se borra el registro de configuración de memoria. Mediante el uso de un bloqueo interno establecido junto con un bit de habilitación de NVM que se establece en el registro de configuración, el registro de configuración de memoria está habilitado para escritura.

En un ejemplo, un registro de configuración de memoria es un registro oculto en el sentido de que puede funcionar en paralelo a las conexiones del registro de configuración, pero se limita a escribir bits solo después de que se cumplan condiciones complejas en un cierto orden. Como tal, el registro de configuración de memoria puede habilitarse mediante un bit en el flujo de datos de puntos, así como un bit en el registro de configuración, que luego habilita el registro de configuración de memoria para el cambio. Además, en un ejemplo, el registro de configuración de memoria puede usarse como una habilitación final para el modo NVM y también para seleccionar lectura/escritura y bits de memoria de columna o especiales.

Si bien se muestran varias secuencias, se contemplan otros protocolos de escritura en serie más complejos en el alcance de las técnicas descritas aquí. Podrían usarse otras técnicas de acceso complejas para garantizar aún más que no pueda accederse accidentalmente a NVM durante las operaciones normales (no NVM). Las secuencias de acceso y los protocolos que se discuten en la presente descripción también pueden modificarse adicionalmente de varias formas, tales como eliminar el registro de control de memoria que es esencialmente un registro paralelo, oculto al registro de configuración. Además, en los ejemplos que se discuten en la presente descripción con respecto a la señalización, la señal de la almohadilla de MODO también podría usarse para reemplazar la señal de DISPARO para invocar el acceso a la memoria del registro de configuración de la memoria.

La Fig. 1 es un diagrama de bloques de un sistema de componentes de impresión de ejemplo 100. El diagrama simplificado incluye y excluye componentes con el fin de proporcionar contexto para mostrar las técnicas.

Un componente de impresión puede ser un cartucho de impresión, un carro de impresión para contener múltiples plumas y cartuchos, o hardware de impresión para organizar otros componentes del sistema de impresión. En un ejemplo, el componente de impresión puede ser extraíble y reemplazable en un sistema de impresión. El componente de impresión puede ser un dispositivo recargable. El componente de impresión puede incluir un tanque, una cámara o un recipiente para un fluido como la tinta. El componente de impresión puede incluir un recipiente reemplazable para fluido.

El componente de impresión puede incluir un circuito integrado 102. El circuito integrado 102 puede ser desechable. El componente de impresión y el circuito integrado 102 pueden unirse físicamente de manera que ambos estén dispuestos al mismo tiempo. En un ejemplo, el componente de impresión y el circuito integrado 102 pueden separarse físicamente de manera que uno pueda desecharse y reemplazarse mientras el otro permanece en un sistema de impresión. El circuito integrado 102 puede incluir varias boquillas a través de las cuales se distribuye fluido. El circuito integrado 102 puede incluir varias boquillas de alimentación de fluido a través de las cuales los actuadores de fluido conducen el fluido en la dirección del medio de impresión. El medio de impresión puede ser papel, plástico y metal, entre otros. En un ejemplo, el circuito integrado 102 puede funcionar mediante inyección piezoeléctrica, inyección térmica u otras tecnologías de impresión mediante el uso de múltiples puntos de dispersión a lo largo del cabezal de impresión.

El circuito integrado 102 puede incluir un número de bits de memoria. En un ejemplo, el circuito integrado 102 puede incluir el bit de memoria A 104, el bit de memoria B 106, el bit de memoria C 108, el bit de memoria D 110, el bit de

memoria E 112 y el bit de memoria F 114. En conjunto, estos bits de memoria pueden denominarse como un número de bits de memoria.

El número de bits de memoria puede acoplarse de forma conductiva mediante un bus analógico de un solo carril 116 a una almohadilla 118 que se ubica en el exterior del circuito integrado 102. En un ejemplo, la almohadilla 118 puede ubicarse en el exterior del componente de impresión. El acoplamiento conductivo del número de bits de memoria a la almohadilla 118 puede incluir una conexión electrónica a través de cables o trazas. En un ejemplo, el acoplamiento puede ser a través de otros medios comunicativos que proporcionen información analógica a la almohadilla 118.

Puede seleccionarse, accederse o leerse un bit de memoria, o una combinación específica de bits de memoria, todos a la vez. Una combinación de bits de memoria seleccionados puede identificarse y seleccionarse individualmente para lectura, acceso o acción simultáneos. En un ejemplo, se selecciona un bit de memoria o una combinación de bits de memoria mediante el uso de un modo de acceso a la memoria y el bus analógico de un solo carril 116. En un ejemplo, los bits de memoria se seleccionan mediante un modo de acceso a la memoria que se habilita mediante el uso de un acceso al registro de configuración. En un ejemplo, la configuración de un modo de acceso a la memoria puede realizarse a través de otras estructuras de datos y esquemas de organización distintos a un registro. El uso del modo de acceso a la memoria y el bus analógico de un solo carril para seleccionar, manipular, activar o leer múltiples bits de memoria en paralelo se realiza a través de una ruta de datos en serie para seleccionar la primitiva deseada y la dirección de cada bit de memoria que va a medirse. Una vez que los bits de memoria se seleccionan mediante el uso de información primitiva y de dirección que se transmite a través de una ruta de datos en serie, puede accederse a los bits de memoria o leerlos al mismo tiempo a través del bus analógico de un solo carril compartido 116 hasta la almohadilla 118.

En un ejemplo, una lectura de un bit de memoria puede dar como resultado que se mida una salida de voltaje cuando se aplica una corriente conocida al bit de memoria seleccionado. En un ejemplo, una lectura de un bit de memoria puede dar como resultado que se mida una salida de corriente cuando se aplica un voltaje conocido al bit de memoria seleccionado. De manera similar, estas mediciones para entradas conocidas pueden realizarse para combinaciones de bits de memoria que se miden simultáneamente. La combinación única de bits de memoria que se seleccionan para la medición puede ser predecible y asignable a combinaciones específicas de bits de memoria. En consecuencia, la medición de una combinación de bits de memoria puede realizarse en paralelo con la respuesta en dependencia de cuántos bits se seleccionen y cuántos de los bits seleccionados estén programados. En un ejemplo, un bit de memoria programado puede responder de manera diferente a un bit de memoria no programado. Por lo tanto, cuando se aplica una señal analógica conocida a un bit de memoria o una combinación de bits de memoria, una almohadilla conectada 118 puede detectar una señal de salida analógica que puede usarse para realizar mediciones que transmitan la combinación específica de bits de memoria seleccionados y si esos bits de memoria son programados o no.

A medida que la almohadilla 118 recibe la señal del bus analógico 116, la señal eléctrica puede transmitirse además a un contacto de componente de impresión y, finalmente, a los circuitos del evaluador. La señal eléctrica que se transmite por la almohadilla 118 es una señal eléctrica representativa del número de bits de memoria y, más específicamente, la señal representa la combinación de todos los bits seleccionados del número de bits de memoria.

Los bits de memoria pueden medirse al forzar una corriente o al forzar un voltaje. La señal analógica de salida en respuesta a una corriente o voltaje forzado es distinta tanto para bits de memoria individuales como para combinaciones de bits de memoria. En un ejemplo, un circuito integrado 102 puede incluir mil bits de memoria por circuitos integrados o matriz de impresión. En la presente descripción, cada uno del número de bits de memoria podría conectarse al bus analógico 116. A través de esta conexión, cada uno de los mil bits puede ser individualmente, o un subconjunto en paralelo con base en direcciones comunes, seleccionado y conectado a la almohadilla. En un ejemplo, la almohadilla está en los circuitos integrados del cabezal de impresión o en la matriz. Los bits de memoria pueden ser metal-oxide semiconductor field-effect transistors (transistores de efecto de campo semiconductores de óxido metálico de puerta flotante - MOSFET) y pueden comportarse con una resistencia relativamente alta cuando no están programados y una resistencia relativamente menor cuando están programados. Aprovechar esta propiedad de resistencia permite establecer relaciones de respuesta conocidas mediante el uso de la ley de Ohm que relaciona corriente, voltaje y resistencia.

Por ejemplo, cuando se aplica una corriente, puede leerse o medirse un voltaje. Para aplicar una corriente conocida a través de bits de memoria seleccionados, puede usarse una fuente de corriente interna o externa. En un ejemplo, la fuente de corriente externa puede proporcionarse a través de la almohadilla a lo largo del bus analógico de un solo carril. Se aplica una corriente conocida a través del bit de memoria seleccionado o una combinación de bits en paralelo. Como cada memoria se conecta en paralelo, en respuesta a una corriente conocida, cada bit de memoria adicional que se programa reduce una respuesta de voltaje de salida. Esto cumple con la ley de Ohm, donde a medida que aumenta el número de resistencias, es decir, bits de memoria programados, que están cableados en paralelo, el voltaje de salida disminuye de manera predecible. En consecuencia, con base en el voltaje de salida medido, puede conocerse información sobre la combinación de bits de memoria que se selecciona o programa.

De manera correspondiente, cuando se aplica un voltaje conocido como entrada para mediciones de bits de memoria, puede medirse la corriente. Para aplicar un voltaje conocido a través de bits de memoria seleccionados, puede usarse un voltaje interno o externo. En un ejemplo, el voltaje externo puede proporcionarse a través de la almohadilla a lo largo del bus analógico de un solo carril. El voltaje conocido se aplica a través del bit de memoria seleccionado o la combinación de bits en paralelo. Como cada memoria se conecta en paralelo, en respuesta a un voltaje conocido, cada bit de memoria adicional que se programa aumenta una respuesta de corriente de salida. Esto cumple con la ley de Ohm, donde a medida que aumenta el número de resistencias, es decir, bits de memoria programados, que están cableados en paralelo, la corriente de salida aumenta de manera predecible para un voltaje constante y conocido. En consecuencia, con base en la corriente de salida medida, puede conocerse información sobre la combinación de bits de memoria que se selecciona o programa.

La Fig. 2 es un diagrama de bloques de un sistema de componentes de impresión de matriz múltiple de ejemplo 200. Los elementos numerados similares son los descritos con respecto a la Fig. 1.

En el componente de impresión de la Fig. 2, el bit de memoria A 104, el bit de memoria B 106 y el bit de memoria C 108 pueden estar todos ubicados en la matriz de impresión A 202. En un ejemplo, la matriz de impresión de la matriz de impresión A 202 puede ser una forma de un circuito integrado. La matriz de impresión de la matriz de impresión A 202 puede ser una matriz de impresión de silicio. Además, en el componente de impresión de la Fig. 2, el bit de memoria D 110, el bit de memoria E 112 y el bit de memoria F 114 pueden todos ubicarse en la matriz de impresión B 204. En un ejemplo, la matriz de impresión de la matriz de impresión B 204 puede ser una forma de circuitos integrados. La matriz de impresión de la matriz de impresión B 204 puede ser una matriz de impresión de silicio.

La organización del componente de impresión puede permitir la ubicación de un primer bit de memoria tal como el bit de memoria A 104 en una primera matriz tal como la matriz de impresión A 202, y la ubicación de un segundo bit de memoria tal como el bit de memoria D 110 en una segunda matriz tal como la matriz de impresión B 204. En esta organización con bits de memoria que se dividen entre la matriz de impresión, el bus analógico 116 aún puede conectar cada uno de los bits de memoria a través de múltiples matrices en una vía de un solo carril a la almohadilla 118. Como el bus analógico 116 permanece conectado en paralelo a través de múltiples matrices, los bits de memoria de múltiples matrices pueden leerse simultáneamente en paralelo de la misma manera que si todos los bits de memoria no estuvieran separados por la matriz como se ve en la Fig. 1. Por ejemplo, podría aplicarse simultáneamente un voltaje conocido a los bits de memoria tanto de la matriz de impresión A 202 como de la matriz de impresión B 204. A medida que se aplica el voltaje conocido a los bits de memoria a través de ambas matrices, la combinación de bits de memoria puede leerse en paralelo a través del bus analógico de un solo carril que se conecta a la almohadilla 118.

En un ejemplo, la matriz de impresión A 202 puede dispensar un primer tipo de fluido, como el rojo. La matriz de impresión B 204 puede dispensar un segundo tipo de fluido, como el azul. La medición, selección y lectura de múltiples bits de memoria aún pueden realizarse a través de múltiples matrices de impresión, cada una de las cuales imprime un color diferente al de la otra matriz de impresión. En un ejemplo, la matriz de impresión A 202 y la matriz de impresión B 204 pueden disponerse en uno o varios cabezales de impresión 206.

La Fig. 3 es un diagrama de bloques de un sistema de componentes de impresión de plumas múltiples de ejemplo 300. Los elementos numerados similares son los descritos con respecto a la Fig. 1 y la Fig. 2.

El componente de impresión de la Fig. 3 incluye una pluma de impresión A 302 que contiene uno o varios cabezales de impresión 206. El componente de impresión de la Fig. 3 también incluye una pluma de impresión separada B 304. Como se usa en la presente descripción, una pluma de impresión puede ser un carro, soporte, separador, carcasa de impresión, cartucho de impresión u otra fabricación o dispositivo de separación. La pluma de impresión B 304 se muestra con el bit de memoria G 306 y el bit de memoria H 308 dispuestos en la matriz de impresión C 310 y la matriz de impresión D 312, respectivamente. Los bits de memoria y la matriz de impresión de la pluma de impresión B 304 tienen la misma función que los bits de memoria y la matriz de impresión de la pluma de impresión A 302, aunque físicamente distintos entre sí. El bit de memoria G 306 y el bit de memoria H 308 pueden conectarse mediante el bus analógico 116 en paralelo con el bit de memoria A 104, el bit de memoria B 106, el bit de memoria C 108, el bit de memoria D 110, el bit de memoria E 112 y el bit de memoria F 114. Los bits de memoria tanto en la pluma de impresión A 302 como en la pluma de impresión B 304 se acoplan comunicativamente a través del bus analógico 116 a la almohadilla 118.

En este sistema de componentes de impresión de plumas múltiples 300, pueden dividirse bits de memoria entre la matriz de impresión y las plumas de impresión, y el bus analógico 116 puede conectar cada uno de los bits de memoria a través de la matriz múltiple en las plumas de impresión múltiples en una vía de un solo carril a la almohadilla 118. Como el bus analógico 116 permanece conectado en paralelo a través de múltiples matrices, los bits de memoria pueden leerse simultáneamente en paralelo de la misma manera que si todos los bits de memoria no estuvieran separados por matrices como se ve en la Fig. 1. Por ejemplo, podría aplicarse simultáneamente un voltaje conocido a los bits de memoria tanto de la matriz de impresión A 202 en la pluma de impresión A 302 como de la matriz de impresión C 310 en la pluma de impresión B 304. La combinación de bits de memoria a través de la matriz y la pluma de impresión puede leerse en paralelo a través del bus analógico de un solo carril que se conecta a la almohadilla 118.

La Fig. 4 es un diagrama de bloques de un plano de circuito de ejemplo 400. Es posible que no se muestren varios componentes para facilitar la discusión de las presentes técnicas. Además, las flechas que se muestran no limitan el flujo de datos de una manera que indique exclusivamente un empuje o un tirón de datos por componentes, sino que indican un flujo general de información relevante para las técnicas descritas.

El plan de circuitos 400 puede permitir para una impresora separada 402 incluir un circuito integrado de la impresora 404, o un application specific integrated circuit (circuito integrado de aplicación específica - ASIC). La impresora 402 puede usar el circuito integrado de la impresora 404 para procesar o interactuar con los mensajes y datos que se enviarán y recibirán desde un componente de impresión 406. En un ejemplo, el componente de impresión 406 puede ser un cartucho de impresión que es extraíble o recargable. El componente de impresión 406 puede ser una pluma de impresión, un cartucho de impresora, un cabezal de impresión o puede contener un número de cabezales de impresión. En el componente 406 de impresión, puede haber una almohadilla 408 de DISPARO, una almohadilla 410 de CLK, una almohadilla 412 de DATOS y una almohadilla 414 de MODO. Estas almohadillas pueden ser contactos de impresora que transmiten señales digitales, analógicas o eléctricas desde la impresora al componente 406 de impresión. La almohadilla 410 de CLK puede referirse a una almohadilla de reloj. En un ejemplo, la almohadilla 410 de CLK, la almohadilla 412 de DATOS y la almohadilla 414 de MODO proporcionan información al registro de configuración de la matriz 416 que puede configurar la matriz o cabezal de impresión, que incluye la selección de actuadores de fluido en el grupo 418 de pulso de disparo, lo que permite un interruptor de sensor externo 420 para leer la memoria del grupo de pulso de disparo, y habilitar otras resistencias en la matriz, como un interruptor para una resistencia 422 de detección de grietas.

El grupo 418 de pulsos de disparo es una agrupación de actuadores de fluido y sus bits 424 de memoria asociados que pueden seleccionarse. En respuesta a la selección, los bits 424 de memoria pueden controlar si los actuadores de fluido se dispararán o no en respuesta a una señal de DISPARO de la almohadilla 408 de DISPARO. La almohadilla 408 de DISPARO puede usar un diodo de bloqueo para seleccionar y disparar datos en el bit 424 de memoria en el grupo 418 de pulsos de disparo.

Los bits 424 de memoria también pueden almacenar información sobre la función de los actuadores de fluido, como la temperatura y la funcionalidad. Como se discute más a fondo a continuación, un acceso al bit 424 de memoria puede incluir habilitar el acceso a través de un modo de memoria que se está habilitando así como un acceso que se indica en los datos primitivos, así como una señal de DISPARO desde la almohadilla 408 de DISPARO. Como se usa en la presente descripción, una primitiva puede referirse al grupo de actuadores de fluido y sus bits 424 de memoria asociados.

El interruptor para una resistencia 422 de detección de grietas puede habilitar la resistencia de detección de grietas 426 que puede entretejerse hacia adelante y hacia atrás entre las boquillas 428. En un ejemplo, el fluido es tinta y las boquillas 428 pueden ser boquillas.

El componente 406 de impresión puede incluir un número de otros componentes que incluyen un interruptor N 430 para habilitar un diodo N 432, un interruptor M 434 para habilitar un diodo M 436 y un interruptor S 438 para habilitar un diodo S 440.

Cada uno de estos componentes, los bits de memoria, las resistencias de detección de grietas, los interruptores y diodos, pueden conectarse a un bus de DETECCIÓN analógico de un solo carril 442 que se conecta a una almohadilla 444 de DETECCIÓN. En un ejemplo, la almohadilla de DETECCIÓN puede ser una almohadilla que interactúe con el circuito integrado de la impresora 404. En un ejemplo, el circuito integrado de la impresora 404 puede conducir una corriente o un voltaje a través de la almohadilla 444 de DETECCIÓN para determinar una medición analógica de la respuesta a través del número de componentes y resistencias. Estas señales analógicas que son impulsadas a través de la almohadilla 444 de DETECCIÓN o el registro de configuración de matriz 416 o la almohadilla 408 de DISPARO pueden polarizarse o conectarse a tierra. El circuito integrado de la impresora 404 puede incluir su propia polarización analógica y conversión de analógico a digital dentro de la impresora 402 y fuera del componente 406 de impresor. En un ejemplo, la eliminación de la conversión analógica a digital puede mover esta operación y el componente fuera de la matriz de impresión. Además, el circuito integrado de la impresora 404 puede forzar una corriente para medir el voltaje de componentes tales como una combinación de los bits 424 de memoria. Además, el circuito integrado de la impresora 404 puede forzar un voltaje para medir la corriente de los bits 424 de memoria combinados con el fin de monitorear los sensores en la matriz y los bits de memoria seleccionados correspondientes a los actuadores de fluido.

En la presente descripción, el número de bits 424 de memoria puede seleccionarse mediante la lógica de selección que se usa para seleccionar la pluralidad de bits de memoria y actuadores fluidicos mediante el uso del mismo carril de selección. Además, la señal eléctrica procedente del circuito integrado de la impresora 404 puede ser una fuerza de corriente externa con respecto al componente de impresión 406. La aplicación de la fuerza de corriente externa puede producir un voltaje medido más bajo en una almohadilla, tal como la almohadilla 444 de DETECCIÓN para el número de bits 424 de memoria en relación con el voltaje que se mediría para un solo bit de memoria 424

seleccionado. Esto se debe a que a medida que aumenta el número de resistencias, por ejemplo, los bits de memoria 424 seleccionados, el voltaje de salida para una corriente de entrada establecida y conocida disminuirá.

Asimismo, la señal eléctrica procedente del circuito integrado de la impresora 404 puede ser una fuerza de voltaje externa que se aplica al componente 406 de impresión. La aplicación de la fuerza de voltaje externa puede resultar en un mayor consumo de corriente medido por la almohadilla, como la almohadilla 444 de DETECCIÓN para el número de bits 424 de memoria en comparación con el consumo de corriente que se mediría para un solo bit 424 de memoria seleccionado. Esto se debe a que a medida que aumenta el número de resistencias, por ejemplo, los bits de memoria 424 seleccionados, aumentará el consumo de corriente para un voltaje de entrada establecido y conocido.

En un ejemplo, el componente 406 de impresión incluye bits 424 de memoria que corresponden a actuadores de fluido próximos a las boquillas 428. Además, la almohadilla, tal como la almohadilla 444 de DETECCIÓN, puede conectarse de manera conductora para transmitir una señal eléctrica desde una resistencia de detección de grietas 426 en combinación con el número de bits 424 de memoria. Además, esta conexión conductora se realiza a través de un bus de DETECCIÓN analógico de un solo carril 442. En un ejemplo, los bits 424 de memoria corresponden a actuadores de fluido próximos a varias boquillas 428, y la resistencia 426 de detección de grietas se encamina entre las boquillas 428.

La Fig. 5 es un diagrama de bloques de una arquitectura del sensor de plumas múltiples de ejemplo 500. Los elementos numerados similares son los descritos con respecto a la Fig. 4.

Los circuitos integrados, como una matriz de impresora, puede separarse en varias matrices de silicio para tinta negra y tinta de color. En un ejemplo, a cada matriz puede asignársele su propio color. En un ejemplo, cada color puede tener una matriz correspondiente separada de la otra matriz. La matriz puede disponerse en plumas de impresión separadas.

En la Fig. 5, puede haber una pluma de impresión en color 502 para contener una matriz 504 de impresión cian 504, una matriz de impresión magenta 506 y una matriz de impresión amarilla 508. Otras matrices de impresión en color son compatibles, incluidas las combinaciones RBY (rojo, azul, amarillo) de matriz de impresión. Como se ve en la pluma de impresión en color, 502 cada una de las matrices de impresión es una matriz de impresión físicamente separada, sin embargo, el bus de DETECCIÓN analógico de un solo carril 442 sigue siendo común en todas las matrices de color en la pluma de impresión en color 502.

En la arquitectura del sensor de múltiples plumas 500, puede haber una pluma de impresión monocromática, tal como una pluma de impresión negra 510 que lleva una matriz de impresión negra 512. El bus de DETECCIÓN analógico de un solo carril 442 se conecta a la matriz de impresión negro 512 así como a la matriz de impresión a color en la pluma de impresión separada en serie. En consecuencia, una señal forzada a través de la almohadilla de DETECCIÓN 444 podría recopilar una medida de la matriz de impresión que se ubica en múltiples plumas de impresión físicamente separadas que incluyen la pluma de impresión en color 502 y la pluma de impresión monocromática 510. En un ejemplo, las plumas de impresión 502 y 510 pueden ser extraíbles.

En un ejemplo, la almohadilla de detección de un solo contacto, tal como la almohadilla de DETECCIÓN 444, puede usarse para comunicar datos almacenados desde un bus analógico de un solo carril 442 acoplado de manera conductiva para comunicar un número de bits de memoria en combinación en una única señal analógica a través de la almohadilla de detección de un solo contacto, tal como la almohadilla de DETECCIÓN 444. En un ejemplo, un primer bit de memoria del número de bits de memoria puede estar ubicado en una primera matriz de silicio, tal como la matriz de impresión cian 504 y un segundo bit de memoria del número de bits de memoria puede estar ubicado en una segunda matriz de silicio, tal como la matriz de impresión magenta 506.

En un ejemplo, el circuito de memoria puede incluir una primera matriz de silicio que se asocia con un primer tipo de fluido, como la matriz de impresión cian 504, y la segunda matriz de silicio se asocia con un segundo tipo de fluido, como la matriz de impresión magenta 506. El circuito de memoria también puede incluir una primera matriz de silicio que se encuentra en una primera pluma de impresión, como la pluma de impresión en color 502, y la segunda matriz de silicio se ubica en una segunda pluma de impresión, como la pluma de impresión monocromática 510. En un ejemplo, la almohadilla de datos 412 puede estar separada para cada matriz de impresión, mientras que la conexión de la almohadilla de MODO, las conexiones de la almohadilla CLK y las conexiones de la almohadilla de DISPARO son compartidas por la matriz de impresión.

La Fig. 6 es un diagrama de bloques de una arquitectura de circuitos de impresión de ejemplo 600. Los elementos con números similares son tal como se describieron con respecto a la Fig. 4.

La arquitectura de circuitos 600 de impresión puede incluir un registro 602 de configuración, un registro 604 de configuración de memoria, un registro 606 de estado y un vigilante 608. Si bien se usa el término registro, también se contemplan otros elementos de almacenamiento. El registro 602 de configuración puede establecerse mediante una serie de almohadillas que incluyen la almohadilla 412 de datos, la almohadilla 414 de modo y la almohadilla 410 de CLK. El registro de configuración puede usarse para establecer señales de control para pruebas, detección de grietas, habilitación del vigilante 608, retardos analógicos que incluyen la polarización 610 de retardo, acceso a la

- memoria a través de los bits de memoria 424 y validación mediante la confirmación de la detección a través de la almohadilla de DETECCIÓN 444. Otras configuraciones del registro de configuración 602 pueden incluir una selección de prueba, una prueba de la almohadilla de detección 444, el retardo de voltaje para los circuitos de boquillas específicas. Una de las razones de estos retrasos podría incluir evitar la interferencia de fluidos por la expulsión de demasiadas gotas de boquillas cercanas al mismo tiempo. El registro de configuración 602 también puede incluir y establecer bits para accesos a los bits de memoria 424 a través de una habilitación de bits de memoria. El registro de configuración 602 puede incluir la habilitación de la detección de grietas y la habilitación del vigilante.
- En un ejemplo, el registro de configuración de memoria 604 al menos tres bits, uno de los cuales indica una habilitación de columna de manera que pueda accederse a todos los bits de la columna de memoria en la columna indicada. El registro de configuración de memoria 604 también incluye una habilitación de escritura en memoria para indicar un modo de lectura o escritura. El registro de configuración de memoria 604 también incluye una región habilitada para permitir el acceso a los bits de memoria regionalizados 424.
- El registro de estado 606 puede incluir un estado según lo indicado por la almohadilla de DATOS 412, la almohadilla de CLK 410 y la almohadilla de MODO. El registro de estado 606 puede informar sobre el estado del cabezal de impresión... En un ejemplo, un bit del registro de estado 606 puede ser un bit de vigilancia para monitorear un panel de entrada e indicar cuando un estado, como una señal de DISPARO, puede no estar funcionando correctamente. En un ejemplo, el registro de estado también puede incluir bits de revisión para indicar otra información. En un ejemplo, el registro de estado puede usarse durante una prueba de oblea para la alineación de la sonda.
- El vigilante 608 asegura que si la señal de DISPARO de la almohadilla de DISPARO 408 se conduce a un nivel alto más allá de un cierto umbral de tiempo, entonces las señales de DISPARO internas se inhabilitan hasta que se borra el fallo. El mecanismo para eliminar la falla es apagando el vigilante 608 o mediante un reinicio externo de la matriz. Por ejemplo, establecer el registro de configuración en cero también borra el bit de fallo de vigilancia detectado en el registro de estado.
- La arquitectura de circuitos de impresión 600 incluye otras almohadillas que incluyen VDD, LGND, Nreset, PGND y VPP, entre otras. El VDD puede referirse a una línea de alimentación lógica común (VDD), LGND puede referirse a una línea de tierra lógica común. Nreset puede referirse al reinicio de un vigilante 608 que se disparó. La almohadilla PGND puede incluir una tierra que se conecta a los actuadores de fluido. La almohadilla VPP puede referirse a un bus de potencia compartida (VPP) que se conecta a los actuadores de fluido.
- Como se indicó anteriormente, la polarización 610 de retardo puede ajustar los tiempos de disparo almacenados en la boquilla y los datos térmicos 612. La boquilla y los datos térmicos 612 pueden establecerse principalmente en función del reloj, los datos y las líneas de disparo. Los datos térmicos pueden referirse a la temperatura del cabezal de impresión a través de la matriz de boquillas. Las diferencias de temperatura pueden provocar bandas y, por lo tanto, la temperatura de diferentes partes de la matriz de boquillas puede mejorar la calidad de impresión mediante el mantenimiento de la consistencia de la temperatura de la matriz de impresión.
- La boquilla y los datos térmicos 612 pueden almacenarse en un elemento de almacenamiento de circuito como un biestable y bloqueo y pueden ejecutarse a través de actuadores de fluido tales como resistencias térmicas de chorro de tinta 614. En un ejemplo, la boquilla y los datos térmicos también brindan acceso a bits de memoria cuando se sigue una secuencia específica. La secuencia de acceso específica para los bits de memoria 424 mediante el uso de la misma boquilla y los mismos datos térmicos se describe más adelante con respecto a la Fig. 9 a la 13. Cuando se accede a un bit de memoria, el bit de memoria 424 puede escribirse con un generador de voltaje de memoria 616 que se controla por el registro de configuración de memoria 604.
- La Fig. 7 es un diagrama de flujo de un método de ejemplo 700 para comunicar datos almacenados desde un cartucho de cabezal de impresión reemplazable de comunicación. En el bloque 702, el método 700 incluye seleccionar un número de bits de memoria. En un ejemplo, el número de bits de memoria corresponde cada uno a un actuador de fluido que se ubica en una matriz de silicio. El número de bits de memoria puede corresponder a varios actuadores de fluido, donde el número de actuadores de fluido se encuentra en varias matrices de silicio. En el bloque 704, el método 700 incluye proporcionar una señal eléctrica analógica de entrada al número de bits de memoria.
- En el bloque 706, el método 700 incluye medir una señal eléctrica analógica de salida en una almohadilla de detección de un solo contacto conectada de manera comunicativa al número de bits de memoria, realizándose la medición para el número de bits de memoria en combinación. En un ejemplo, se mide que la señal eléctrica analógica de salida es un voltaje más bajo en la almohadilla de detección de un solo contacto que mide el número de bits de memoria en combinación con respecto a un voltaje de comparación para un único bit de memoria en la almohadilla de detección de un solo contacto. La señal eléctrica analógica de salida puede medirse para que sea una corriente más alta en la almohadilla de detección de un solo contacto al medir el número de bits de memoria en combinación con respecto a una corriente de comparación para un solo bit de memoria en la almohadilla de detección de un solo contacto.

Debe entenderse que el diagrama de bloques de la Fig. 7 no pretende indicar que el método 700 debe incluir todas las acciones que se muestran en la Fig. 7. Más bien, el método 700 puede incluir menos componentes o componentes adicionales no ilustrados en la Fig. 7.

5

La Fig. 8 es un diagrama de bloques de un medio legible por ordenador no transitorio de ejemplo 800 que incluye instrucciones para dirigir un procesador para comunicar datos almacenados desde un cartucho de cabezal de impresión reemplazable de comunicación. El medio legible por ordenador 800 puede incluir el procesador 802 para ejecutar instrucciones que se reciben desde el medio legible por ordenador 800. Las instrucciones pueden almacenarse en el medio legible por ordenador 800. Estas instrucciones pueden dirigir el procesador 802 para comunicar datos almacenados desde un cartucho de cabezal de impresión reemplazable de comunicación. Pueden comunicarse instrucciones a través de un bus 804 como señales eléctricas, señales de luz o cualquier otro medio adecuado de comunicación para la transmisión de datos en un entorno informático similar.

10

15

El medio legible por ordenador 800 puede usar un selector de bits de memoria 806 para seleccionar un número de bits de memoria. En un ejemplo, el número de bits de memoria corresponde cada uno a un actuador de fluido que se ubica en una matriz de silicio. El número de bits de memoria puede corresponder a varios actuadores de fluido, donde el número de actuadores de fluido se encuentra en varias matrices de silicio.

20

El medio legible por ordenador 800 puede usar un proveedor de entrada analógica 808 para proporcionar una señal eléctrica analógica de entrada al número de bits de memoria. El medio legible por ordenador 800 es un medidor de salida analógica 810 para medir una señal eléctrica analógica de salida en una almohadilla de detección de un solo contacto que se conecta comunicativamente al número de bits de memoria, la medición a realizar para el número de bits de memoria en combinación. En un ejemplo, la señal eléctrica analógica de salida se mide para que sea un voltaje más bajo en la almohadilla de detección de un solo contacto al medir el número de bits de memoria en combinación con respecto a un voltaje de comparación para un solo bit de memoria en la almohadilla de detección de un solo contacto. La señal eléctrica analógica de salida puede medirse para que sea una corriente más alta en la almohadilla de detección de un solo contacto al medir el número de bits de memoria en combinación con respecto a una corriente de comparación para un solo bit de memoria en la almohadilla de detección de un solo contacto.

25

30

Debe entenderse que el diagrama de bloques de la Fig. 8 no pretende indicar que el medio legible por ordenador 800 debe incluir todos los componentes que se muestran en la Fig. 8. Más bien, el medio legible por ordenador 800 puede incluir menos componentes o componentes adicionales no ilustrados en la Fig. 8.

35

La Fig. 9 es un diagrama de flujo de un método 900 de ejemplo para acceder a una celda de memoria. El orden de algunas etapas, incluidos los bloques 902 y 904, puede realizarse en cualquier orden, mientras que otras etapas, como los bloques 906 al 916, se realizan en la secuencia indicada. Además, aunque se nombran bits, señales y componentes de circuito específicos, como registros, estos elementos específicos son simplemente un ejemplo de componentes y elementos más generales que también pueden tener los mismos resultados.

40

En el bloque 902, el método 900 para acceder a la memoria incluye escribir un bit de habilitación de NVM en un registro de configuración. Como se usa en la presente descripción, el bit de habilitación de NVM puede referirse a un bit para habilitar un elemento semiconductor de óxido metálico de avalancha de puerta flotante (FAMOS) que puede actuar como un elemento de memoria. Como se señaló anteriormente, también pueden usarse otros elementos de memoria capaces de almacenar y cambiar entre al menos dos estados de un bit de información. La escritura del bit de habilitación de NVM en un registro de configuración también puede hacer referencia a otros ejemplos de otros elementos de almacenamiento distintos de los registros. El registro de configuración puede ser reemplazado por otros métodos de organización de datos o circuitos capaces de recibir y almacenar información tal como el bit de habilitación de NVM para un circuito de configuración dentro del cabezal de impresión.

50

En el bloque 904, el método 900 incluye cargar datos de la boquilla con líneas de datos, donde los datos de la boquilla incluyen información para establecer el bit de habilitación de NVM en el flujo de datos, así como la información para seleccionar un bit de memoria no volátil (NVM) para acceder mediante el uso de una dirección específica para una boquilla. Como se usa en la presente descripción, puede haber una serie de líneas que proporcionen una señal eléctrica en una matriz de impresión, una de las cuales puede ser una línea de datos. La línea de datos puede proporcionar información a una serie de dispositivos de activación de fluido, como una selección de las boquillas que se dispararán en respuesta a una próxima señal de DISPARO. La selección de cuáles boquillas se dispararán a continuación puede almacenarse en bits NVM correspondientes a las boquillas. En un ejemplo, los datos de selección que se proporcionan por la línea de datos también incluyen un bit de habilitación de NVM correspondiente en los datos de selección de la boquilla. En un ejemplo, el bit de habilitación de NVM puede transmitirse en el encabezado o pie de página de los datos de selección de boquillas. Como se indicó anteriormente, 902 y 904 pueden realizarse en cualquier orden. El resultado de estas dos etapas es que el bit de habilitación de NVM se escribe en el registro de configuración y el bit de habilitación de NVM se establece en la línea de datos.

55

60

En el bloque 906, una señal de DISPARO se activa desde la almohadilla de DISPARO de unos circuitos integrados, primero impulsada a señal alta y luego baja. Como se usa en la presente descripción, una señal de DISPARO es

65

una señal que se envía a cada boquilla a través de una conexión eléctrica a la almohadilla de DISPARO. Estas boquillas pueden agruparse en grupos llamados primitivos. Además de las boquillas, los bits de los registros también se conectan a una línea de DISPARO que, cuando se dispara, da lugar a que se tomen acciones en el registro de configuración. Como se señaló anteriormente, el uso del término registro es una implementación específica y en la presente descripción se contemplan otros elementos de almacenamiento. Como se usa en la presente descripción, una señal que se impulsa hacia arriba y luego hacia abajo se refiere a una amplitud de la señal que corresponde aproximadamente a la intensidad de la señal, ya sea una corriente o un voltaje. En un ejemplo, una señal de DISPARO alta puede interpretarse como un valor de 1, mientras que una señal de DISPARO baja o nada puede interpretarse como un valor de 0. En un ejemplo, la señal de DISPARO pasa de 0 a 1 a 0. La variación en la señalización puede indicar cuándo debe llevarse a cabo una acción, como disparar boquillas. La activación de la almohadilla de DISPARO de alto a bajo ha borrado el bit de habilitación de NVM del registro de configuración, sin embargo, se ha establecido un bloqueo interno dentro de los circuitos integrados. Este bloqueo interno combinado con la futura señalización puede permitir un acceso a un bit de memoria.

En el bloque 908, el método 900 incluye escribir un bit de habilitación de NVM en un registro de configuración. Este es la misma etapa que el bloque 902, sin embargo, en este caso, la etapa se realiza después de que se haya establecido el bloqueo interno y se haya borrado el bit de habilitación de NVM en el registro de configuración. Escribir el bit de habilitación de NVM nuevamente en el registro de configuración, mientras se transmite el bit de habilitación de NVM a través de una línea de datos, habilita el acceso a un bit de acceso a la memoria.

En el bloque 910, el método 900 incluye escribir un bit de acceso a la memoria en un registro de configuración de la memoria. Como se usa en la presente descripción, el registro de configuración de memoria puede ser otro elemento de almacenamiento separado del registro de configuración. En algunos ejemplos, hay menos bits en el registro de configuración de memoria que en el registro de configuración. Una vez que se escribe un bit de acceso a la memoria en el registro de configuración de la memoria, puede accederse a la memoria de los circuitos integrados. Los bits habilitados del registro de configuración de memoria pueden actuar como señales de control que permiten acceder a los elementos de memoria NVM o FAMOS.

En el bloque de decisión 912, se realiza una determinación con base en las señales de control que se indican por los bits del registro de configuración de memoria. Si los bits del registro de configuración de memoria indican una escritura en la memoria, el método 900 pasa al bloque 914. Si los bits del registro de configuración de memoria no indican una escritura en la memoria, el método 900 pasa al bloque 916.

En el bloque 914, la almohadilla de DISPARO se acciona alta durante un tiempo de escritura deseado, después baja. En un ejemplo, la activación de la almohadilla de DISPARO puede incluir proporcionar una señal 0, luego una señal 1, luego una señal 0 en la línea de disparo. El valor de la señal 0 puede corresponder a una corriente o voltaje en una línea de DISPARO. Durante la duración del tiempo de escritura, puede accederse al elemento de memoria, como un FAMOS. El acceso a FAMOS u otro elemento de memoria puede incluir escribir información en FAMOS o en el elemento de memoria.

En el bloque 916, la almohadilla de DISPARO puede ser alta y un voltaje o corriente forzada en una línea de DETECCIÓN para medición, luego retornar a la línea de DISPARO a una señal baja. Como se usa en la presente descripción, la línea de DETECCIÓN puede referirse a una línea de sensor que se conecta a una almohadilla, como una almohadilla de sensor. La línea de detección puede usarse para detectar condiciones en los circuitos integrados, como grietas o temperatura de una matriz de impresión. Ya sea que se proceda a través del bloque 914 o del bloque 916, el flanco descendente de la señal de DISPARO borra el registro de configuración de memoria y borra el bit de habilitación de NVM del registro de configuración.

La Fig. 10 es un dibujo que muestra un conjunto 1000 de señales de ejemplo para una escritura de registro de configuración. Como se señaló anteriormente, se contemplan otras estructuras de organización y almacenamiento de datos distintos de los registros. En un ejemplo, pueden usarse otros elementos de almacenamiento en lugar de un registro. Los conjuntos de señales se proporcionan para ilustrar una forma de acceder al registro de configuración mediante el uso de las mismas líneas que se usan para proporcionar datos a los dispositivos de activación de fluidos tales como boquillas.

El conjunto 1000 de señales puede incluir una línea 1002 de MODO, una línea 1004 de DISPARO, una línea CLK 1006 y una línea 1008 de DATOS. Como se usa en la presente descripción, la línea de modo puede estar conectada. Como se usa en la presente descripción, una línea puede referirse a un medio de transmisión de señales, como trazas metálicas para señales eléctricas. Para señales eléctricas, también son posibles otros tipos de líneas conductoras. Asimismo, si se envían señales distintas de las señales eléctricas, también podrían usarse los medios de transmisión adecuados. La línea 1002 de MODO puede indicar que un modo puede conectarse a los circuitos integrados, tal como una matriz que incluye un registro de configuración de la matriz. La línea 1004 de DISPARO puede conectarse al registro de configuración de los circuitos integrados así como a los dispositivos de activación de fluido y puede indicar cuándo deben actuar los dispositivos de activación de fluido. Esta acción puede incluir la dispersión de gotitas de tinta correspondientes a actuadores de fluido seleccionados hacia un medio de

impresión. La acción que se toma en respuesta a una señal de DISPARO que se conecta al registro de configuración también puede incluir la escritura o borrado de bits en los registros o en la memoria.

5 La línea 1006 CLK muestra una señal de reloj de configuración que habilita acciones sobre las acciones ascendentes de cada tic del reloj. La línea 1008 de DATOS puede ser una línea de datos de configuración para una matriz de impresión específica y sus registros y bits de memoria asociados. Los datos de configuración pueden recibirse directamente de la línea 1008 de DATOS cuando se cumplen ciertas condiciones.

10 Por ejemplo, el registro de configuración puede habilitarse para una acción de escritura cuando una señal en la línea 1002 de MODO cambia a 1010 alto y la línea 1008 de DATOS también proporciona una señal 1012 alta que muestra un valor de señal de 1. Después de un registro de configuración que habilita la acción de las dos líneas, los datos adicionales pueden cambiarse al registro serial habilitado en el tiempo con los flancos ascendentes de la señal CLK como se ve en la acción ascendente A 1014, la acción ascendente B 1016, la acción ascendente C 1018 y la acción ascendente D 1020. A tiempo con cada una de estas acciones ascendentes, los datos de la línea 1008 de DATOS pueden transmitirse al registro de configuración. Por ejemplo, los datos para un bit de tercer lugar 1022 para un registro de configuración pueden desplazarse al registro cuando la línea 1008 de DATOS está señalando alto en el momento de la acción ascendente A 1014 en la línea CLK 1006. Asimismo, los datos para un bit de segundo lugar 1024 para un registro de configuración pueden desplazarse al registro cuando la línea 1008 de DATOS está señalando baja en el momento de la acción ascendente B 1016 en la línea CLK 1006. En un ejemplo, los datos para un bit de primer lugar 1026 para un registro de configuración pueden desplazarse al registro de configuración cuando la línea 1008 de DATOS está señalando alto en el momento de la acción ascendente C 1018 en la línea CLK 1006. En un ejemplo, los datos para un bit de lugar cero 1028 para un registro de configuración pueden desplazarse al registro cuando la línea 1008 de DATOS está señalando alto en el momento de la acción ascendente D 1020 en la línea CLK 1006. Este ejemplo muestra una escritura de registro de configuración de 4 bits de longitud, por lo tanto, los cuatro lugares de datos que pueden indicarse en la línea 1008 de DATOS con las correspondientes acciones ascendentes en la línea 1006 de CLK. Como se señaló anteriormente, otras longitudes de escrituras de registro de configuración podrían ser de mayor o menor tamaño en dependencia del tamaño del registro de configuración. Asimismo, puede usarse una señalización similar para escribir en otras configuraciones de memoria y también puede variar en longitud y cantidad de datos transferidos de acuerdo con el tamaño y la estructura de la memoria.

30 En un ejemplo, los flancos ascendentes de CLK desplazan datos al registro de configuración en serie y los bits antiguos/extra se desplazan al final, como Msbits.

35 La Fig. 11 es un esquema de un acceso de ejemplo 1110 a bits de memoria mediante el uso de múltiples registros habilitados y datos de boquillas. Los elementos numerados similares son los que se describen en la Fig. 10. Además, para conectarse al registro 1102 de configuración como se indica en la Fig. 11, la línea 1002 de MODO, la línea 1004 de DISPARO, la línea 1006 CLK y la línea 1008 de DATOS también pueden conectarse comunicativamente al registro 1104 de configuración de memoria. Dado que los bits de datos de acceso a la memoria, tales como los bits de habilitación de NVM, pueden incluirse en los datos de la boquilla, este bit de los datos 1106 de la boquilla puede escribirse en el registro 1104 de configuración de memoria mediante el uso de los métodos descritos al menos en la Fig. 9 o la Fig. 13. Además de habilitar un acceso a memoria o un modo de escritura de acceso a memoria, el registro 1102 de configuración también puede tener bits para servir como señales de control 1108 para probar elementos de los circuitos integrados tales como detección de grietas, habilitación de vigilancia, retardos analógicos y validación de componentes.

45 El registro 1104 de configuración de memoria se habilita a través de un bit en el flujo de datos de puntos, tal como el bit de los datos 1106 de boquilla así como un bit de memoria de registro 1110 de configuración en el registro 1102 de configuración. Cuando los tres se habilitan, es decir, el bit en los datos 1106 de la boquilla, el bit de memoria del registro de configuración 1110 y el registro 1104 de configuración de memoria, entonces el registro 1104 de configuración de memoria está habilitado para acceder a los bits 1112 de control de la memoria. Cuando la línea 1004 de DISPARO señala un flanco descendente, se borran los bits en el registro 1104 de configuración de memoria así como el bit de memoria del registro 1110 de configuración en el registro 1102 de configuración.

55 La Fig. 12 es un esquema que muestra una realización de la invención de circuitos lógicos 1200 que acceden a una celda de memoria. Es posible que no se muestren muchos componentes para facilitar la descripción de los componentes mostrados. Además, los circuitos lógicos que se muestran aquí pueden ser parte de los mismos circuitos de matriz y también pueden ser los mismos circuitos que realizan diferentes tareas mientras se encuentra en diferentes estados. El circuito de activación de fluido y el circuito de configuración en un ejemplo pueden ser el mismo circuito en diferentes estados.

60 Los circuitos lógicos 1200 pueden incluir un circuito 1202 de activación de fluido. Como se usa en la presente descripción, el circuito 1202 de activación de fluido es un circuito que usa información 1204 de selección para controlar la dispersión de fluido a través de un dispositivo 1206 de activación de fluido. En un ejemplo, el circuito 1202 de activación de fluido puede estar dispuesto sobre o dentro de unos circuitos integrados. El dispositivo 1206 de activación de fluido puede ser una primitiva de un grupo de primitivas. Como se usa en la presente descripción, una primitiva puede referirse a un grupo de boquillas de dispersión de fluidos que expulsan o desplazan de otra manera fluidos como la tinta hacia un medio de impresión. Los datos de selección 1204 en el circuito 1202 de

activación de fluido pueden usarse para seleccionar boquillas específicas por línea de dirección y número primitivo o número de región para indicar qué boquillas pueden dispararse en respuesta a una señal de DISPARO.

La información 1204 de selección incluye un bit 1208 de estado de datos. El bit 1208 de estado de datos puede almacenarse en un encabezado o pie de página de un paquete de información 1204 de selección. El bit de estado de datos también puede corresponder a un 0 o un 1. En un ejemplo, un 0 del bit de estado de datos puede indicar que el bit de estado de datos no está intentando iniciar el proceso para acceder a una celda 1210 de memoria. Un 1 almacenado en el bit 1208 de estado de datos puede indicar que el bit de estado de datos está iniciando el proceso para acceder a la celda 1210 de memoria. Sin embargo, para acceder a la celda 1210 de memoria, el bit 1208 de estado de datos, el circuito 1212 de configuración y el circuito 1214 de memoria deben todos habilitarse cuando se despliega una señal de DISPARO a través de los circuitos integrados. Como se usa en la presente descripción, el circuito 1212 de configuración puede incluir el registro 1102 de configuración de la Fig. 11 así como otros tipos de circuitos de conversión de bits. Como se usa en la presente descripción, el circuito 1214 de memoria puede incluir el registro 1104 de configuración de memoria de la Fig. 11 así como otros tipos de circuitos de conversión de bits.

El circuito 1212 de configuración puede configurarse para tener un estado de acceso a la configuración que puede establecerse en uno de, y cambiar entre, un estado habilitado y un estado deshabilitado. En un ejemplo, el circuito 1212 de configuración puede configurarse para habilitar y deshabilitar el estado de acceso a la configuración en respuesta a un bit 1216 de estado de configuración. En un ejemplo, el bit 1216 de estado de configuración puede almacenarse en un registro de configuración. El circuito 1202 de activación de fluido puede transmitir información 1204 de selección para un dispositivo 1206 de activación de fluido mientras que dentro de los mismos datos y circuitos, la información 1204 de selección incluye un bit 1208 de estado de datos establecido para habilitar el estado de acceso a la configuración. En consecuencia, el bit 1216 de estado de configuración puede establecerse o cambiarse de manera que el circuito 1212 de configuración cambie de un estado inhabilitado a un estado habilitado. En un ejemplo, un bit 1208 de estado de datos puede establecerse en un valor alto o un 1 y estos datos pueden reflejarse, emparejarse o desplazarse de manera que un estado de habilitación se refleje en el circuito 1212 de configuración. En un ejemplo, esta duplicación, coincidencia o desplazamiento puede realizarse mediante el bit 1216 de estado de configuración que puede reflejar el valor o señal del bit 1208 de estado de datos.

El circuito 1214 de memoria puede configurarse para tener un estado de acceso a la memoria que puede establecerse en uno de, y cambiar entre un estado habilitado y un estado inhabilitado. En un ejemplo, el circuito 1214 de memoria se configura para habilitar o deshabilitar el estado de acceso a la memoria en respuesta a un bit 1218 de estado de memoria. En un ejemplo, el bit 1218 de estado de memoria puede cambiarse en respuesta al bit 1208 de estado de datos y el bit 1216 de estado de configuración, ambos señalando alto, cada uno con valores de 1, o ambos indicando que están habilitados en el momento de una acción de subida de la señal CLK o de una acción de subida de la señal de DISPARO.

En un ejemplo, la celda 1210 de memoria se hace accesible al tener habilitados tanto el estado de acceso a la memoria del circuito 1214 de memoria como el estado de acceso a la configuración del circuito 1212 de configuración. En un ejemplo, cuando el bit 1208 de estado de datos se habilita así como el bit 1216 de estado de configuración del circuito 1212 de configuración y el bit 1218 de estado de memoria del circuito 1214 de memoria, entonces puede accederse a la celda 1210 de memoria. En un ejemplo, puede accederse a la celda de memoria en respuesta a que el estado de acceso a la memoria esté habilitado, el estado de acceso a la configuración esté habilitado y el circuito de activación de fluido para transmitir información de selección que incluye el bit de estado de datos que se establece. En un ejemplo, el bit de estado de datos debe establecerse en un estado de acceso a la memoria junto con la habilitación del circuito 1212 de configuración y el circuito 1214 de memoria. El hecho de que se prohíba el acceso a menos que los tres estados estén habilitados garantiza que no se escriba accidentalmente en la memoria el ruido de la señal que pueda estar presente en los circuitos compartidos. Como el circuito 1202 de activación de fluido incluye datos 1204 de selección que pueden seleccionarse de una gran cantidad de boquillas a lo largo del tiempo para indicar la impresión en una señal de DISPARO, este circuito compartido debe asegurarse para garantizar que estas muchas señales no afecten a los datos en una celda 1210 de memoria. En consecuencia, la secuencia descrita y el número de bits de estado que deben habilitarse para acceder a la celda 1210 de memoria permiten la protección de los datos de la celda de memoria y también asegura que el acceso a la celda de memoria se conceda cuando se pretende.

En un ejemplo, se accede a la celda 1210 de memoria durante la duración de una señal de DISPARO. El acceso a la celda 1210 de memoria puede ser para escribir en la celda 1210 de memoria o la modificación o lectura de la celda 1210 de memoria. En un ejemplo, el flanco descendente de una señal de DISPARO establece el estado de acceso a la memoria a un estado inhabilitado y el estado de acceso a la configuración a un estado inhabilitado. El establecimiento del estado inhabilitado puede lograrse restableciendo el bit 1216 de estado de configuración y el bit 1218 de estado de memoria a 0 o a una señal baja o mediante la eliminación de cualquier valor almacenado.

En un ejemplo, el bit 1218 de estado de memoria, el bit 1216 de estado de configuración y el bit 1208 de estado de datos deben recibirse a través del mismo panel de interfaz. En un ejemplo, este puede ser el panel de DATOS, el panel CLK, el panel de DISPARO u otros, en dependencia de las implementaciones específicas. Como se usa en la presente descripción, cada uno de estas almohadillas corresponde a una línea sobre la cual se proporcionan

señales eléctricas a los diversos circuitos lógicos 1200. En un ejemplo, una señal de reloj o CLK en el circuito integrado activa un bit 1218 de estado de memoria para habilitar el estado de acceso a la memoria y un bit 1216 de estado de configuración para habilitar el estado de acceso a la configuración. Como se muestra en la Fig. 10, esto puede ocurrir en una acción ascendente. En un ejemplo, la activación de un bit 1218 de estado de memoria para habilitar el estado de acceso a la memoria y un bit 1216 de estado de configuración para habilitar el estado de acceso a la configuración también puede estar en el flanco descendente de una señal de reloj.

La Fig. 13 es una realización de la invención que define un diagrama de flujo de un método 1300 para acceder a una celda de memoria en respuesta a estados de acceso habilitado. La secuencia que se muestra puede incluir u omitir acciones que se toman por los circuitos integrados para facilitar la descripción de los elementos mostrados.

En el bloque 1302, el método 1300 comienza al configurar un circuito integrado para que tenga un estado de acceso a la memoria que puede establecerse en uno de entre un estado habilitado y un estado inhabilitado. En un ejemplo, un circuito de configuración habilita o deshabilita el estado de acceso a la configuración en respuesta al bit de estado de configuración.

En el bloque 1304, el método 1300 incluye transmitir, con un circuito de activación de fluido, información de selección para un dispositivo de activación de fluido, que incluye la información de selección de un bit de estado de datos. En un ejemplo, un circuito de memoria habilita o deshabilita el estado de acceso a la memoria en respuesta al bit de estado de la memoria.

En el bloque 1306, el método 1300 incluye configurar una matriz de celdas de memoria de manera que cada celda de memoria sea accesible por el estado de acceso a la memoria habilitado y el bit de estado de datos establecido. En un ejemplo, el acceso a la celda de memoria incluye que el estado de acceso a la configuración esté habilitado además de que el bit de estado de datos y el estado de acceso a la memoria también estén habilitados. Puede accederse a la celda de memoria durante la duración de una señal de DISPARO. En un ejemplo, el flanco descendente de una señal de DISPARO establece el estado de acceso a la memoria a un estado inhabilitado y el estado de acceso a la configuración a un estado inhabilitado. En un ejemplo, el bit de estado de memoria, el bit de estado de configuración y el bit de estado de datos deben recibirse a través del mismo panel de interfaz. El método 1300 puede incluir además activar un bit de configuración de memoria para habilitar el estado de acceso a la memoria y un bit de estado de configuración para habilitar el estado de acceso a la configuración en respuesta a una señal de reloj.

En un ejemplo, para acceder a la memoria, las etapas incluyen establecer el bit de habilitación mediante el uso de datos que son parte del flujo de datos de los dispositivos de activación de fluido. Además, en un ejemplo, escribe el bit de registro de configuración. Después de estas dos etapas, conduce la señal de DISPARO a nivel alto para permitir que se establezca un bit de habilitación interno y que se borre el bit de configuración. Cuando se establece un bit de configuración por segunda vez, y el bit de habilitación interno se establece como se indicó anteriormente, puede escribirse en el registro de configuración de memoria para configurar la condición de lectura/escritura, así como cuál de los dos tipos de bits de memoria puede ser accesible.

La Fig. 14 es un diagrama de bloques de un circuito de ejemplo y un plan de escritura de bits de memoria 1400. Los elementos con números similares son tal como se describieron con respecto a la Fig. 4.

El regulador de voltaje 1402 de memoria puede proporcionar voltaje a los bits 424 de memoria en respuesta a una única acción de aumento de la señal de DISPARO que habilita el modo de escritura de memoria a través de los registros de memoria y configuración. Pueden verse ejemplos de habilitación de un modo de escritura al menos con respecto a la Fig. 9 a la 13. El regulador de voltaje 1402 de memoria puede aceptar energía de una fuente de energía compartida (VPP) 1404 que se comparte con los actuadores de fluido. La almohadilla 1404 de VPP puede referirse a un bus de potencia compartida (VPP) que se conecta a los actuadores de fluido. En un ejemplo, los actuadores de fluido son boquillas. El regulador de voltaje de memoria puede escribir en los bits de memoria correspondientes a los actuadores de fluido seleccionados.

Los bits de memoria que se escribirán en paralelo pueden seleccionarse mediante el uso de la ruta de datos de alta velocidad, como parte de los datos primitivos del grupo de pulsos de disparo. En un ejemplo, los bits de memoria se seleccionan mediante un número primitivo y un número de dirección como actuadores de fluido. La selección de bits de memoria por número primitivo y número de dirección permite seleccionar y escribir en paralelo varios bits de memoria que se ubican dentro de la misma matriz y en la misma dirección. La selección de bits de memoria por número primitivo y número de dirección también permite seleccionar y escribir en paralelo múltiples bits de memoria dentro de diferentes matrices de silicio en el mismo cabezal de impresión. En un ejemplo, las diferentes matrices de silicio pueden estar dentro de una sola pluma, como una pluma de color con tres matrices de silicio. La selección y escritura paralela de bits de memoria por número primitivo y número de dirección también permite la selección de múltiples bits de memoria en múltiples matrices de silicio. Estos bits de silicio también pueden estar en varios cabezales de impresión dentro del sistema de impresión, como la escritura paralela de bits de memoria en una pluma de color y una pluma de negro.

Al seleccionar bits por dirección, cada matriz de silicio única puede seleccionar un bit en un número de dirección diferente, pero los bits dentro de la misma matriz se seleccionarán en la misma dirección. Esto reduce el tiempo de prueba de fabricación de la pluma al escribir varios bits en paralelo dentro de la matriz o a través de las ranuras dentro de un cabezal de impresión. Además, las presentes técnicas mejoran el control del nivel de programación mediante el uso de una señal de almohadilla de DISPARO para controlar el tiempo de escritura.

En un ejemplo, la señal de DISPARO no pasa realmente al regulador de voltaje 1402 de memoria. En cambio, el regulador de voltaje 1402 de memoria se habilita por el estado del modo de acceso a la memoria en el que ha entrado la matriz mediante el uso de la secuencia que se muestra en las Fig. 9 - 13. Una vez que se habilita el regulador de voltaje 1402 de memoria, una acción ascendente en la señal de DISPARO puede habilitar la memoria. La habilitación del bit de memoria permite que la corriente fluya desde el regulador de voltaje 1402 de memoria a través de la combinación seleccionada de bits de memoria, programándolos así en paralelo.

La Fig. 15 es un diagrama de flujo de un método de ejemplo 1500 para proporcionar un voltaje de escritura con un regulador de voltaje de memoria a la combinación seleccionada de bits de memoria. La secuencia que se muestra puede incluir u omitir acciones que se toman por los circuitos integrados para facilitar la descripción de los elementos mostrados.

En el bloque 1502, el método 1500 incluye seleccionar al menos un bit de memoria de la pluralidad de bits de memoria y actuadores de disparo de un grupo de pulsos de disparo. En un ejemplo, la selección de la combinación de bits de memoria se realiza con un solo grupo de pulsos de disparo. El número de dispositivos de activación de fluidos puede activarse con la misma línea de datos para acceder a la memoria. En un ejemplo, cada una de las combinaciones seleccionadas de bits de memoria se escribe uno a la vez o en paralelo en respuesta a una única acción de aumento de la señal de DISPARO. En un ejemplo, un primer bit de memoria de la combinación seleccionada de bits de memoria se ubica en una primera matriz de silicio y un segundo bit de memoria de la combinación seleccionada de bits de memoria se ubica en una segunda matriz de silicio. En un ejemplo, la primera matriz de silicio se ubica en una primera pluma de impresión y la segunda matriz de silicio se ubica en una segunda pluma de impresión. En un ejemplo, cada uno del número de bits de memoria corresponde a un actuador de fluido. En un ejemplo, la combinación seleccionada del número de bits de memoria se identifica en los datos seleccionados por un número primitivo y un número de dirección en el grupo de pulsos de disparo único.

En el bloque 1504, el método 1500 incluye proporcionar un voltaje de escritura con un regulador de voltaje de memoria a al menos un bit de memoria de la pluralidad de bits de memoria. En un ejemplo, el regulador de voltaje de memoria proporciona el voltaje de escritura a la combinación seleccionada del número de bits de memoria durante la duración de una sola señal de DISPARO.

La Fig. 16 es un diagrama de bloques que ilustra otro ejemplo de un circuito integrado 1600 con múltiples bits de memoria asociados con cada actuador de fluido. Las conexiones entre elementos pueden ser una ruta de señal, una traza u otra conexión comunicativa o conductora de electricidad. El circuito integrado 1600 puede incluir una pluralidad de dispositivos de activación 1602₀ a 1602_N de fluido, una pluralidad de celdas 1604_{0A} a 1604_{NB} de memoria, un circuito 1606 de selección y una lógica 1608 de control. Además, el circuito integrado 1602 incluye un circuito 1610 de escritura, un sensor 1612 y un registro 1614 de configuración.

En este ejemplo, el circuito 1606 de selección incluye un decodificador 1616 de dirección y una lógica 1618 de activación. El decodificador 1616 de dirección recibe direcciones y datos a través de una interfaz 1620 de datos. El decodificador 1616 de dirección se acopla eléctricamente a la lógica 1618 de activación. La lógica 1618 de activación recibe una señal de disparo a través de una interfaz 1622 de disparo. Cada celda 1604_{0A} a 1604_{NB} de memoria se acopla eléctricamente al circuito 1610 de escritura a través de una interfaz 1624 de detección. El sensor 1612 se acopla eléctricamente a la lógica 1608 de control a través de una ruta de señal y a la interfaz 1624 de detección.

El decodificador de direcciones 1616 selecciona los dispositivos de activación de fluido 1602₀ a 1602_N y las celdas 1604_{0A} a 1604_{NB} de memoria correspondientes a los 1602₀ a 1602_N dispositivos de activación de fluido seleccionados en respuesta a una dirección. Como se ilustra, cada dispositivo de activación de fluido 1602_N tiene múltiples celdas de memoria 1604_{NA} y 1604_{NB}. En un ejemplo, las múltiples celdas 1604_{NA} y 1604_{NB} de memoria por dispositivo 1602_N de activación de fluido, pueden ubicarse fuera del registro 1614 de configuración.

Las direcciones pueden recibirse a través de una interfaz de datos 1620. En un ejemplo, la lógica de activación 1618 activa los dispositivos 1602₀ a 1602_N de activación de fluido seleccionados y las celdas 1604_{0A} a 1604_{NB} de memoria correspondientes a los dispositivos 1602₀ a 1602_N de activación de fluido seleccionados con base en una señal de datos y una señal de disparo. La señal de datos puede incluir datos de la boquilla que indiquen qué dispositivo(s) de accionamiento de fluido para la dirección proporcionada deben seleccionarse. La señal de datos puede recibirse a través de la interfaz 1620 de datos. La señal de disparo indica cuándo se van a activar (es decir, disparar) los dispositivos de accionamiento de fluido seleccionados o cuándo se debe acceder a las correspondientes células de memoria. La señal de disparo puede recibirse a través de la interfaz 1622 de disparo. Cada una de la interfaz 1620 de datos, la interfaz 1622 de disparo y la interfaz 1624 de detección puede ser una almohadilla de contacto, una

clavija, una protuberancia, un cable u otra interfaz eléctrica adecuada para transmitir señales hacia y/o desde el circuito integrado 1600. Cada una de las interfaces 1620, 1622 y 1624 puede acoplarse eléctricamente a un sistema de expulsión de fluido.

5 El registro 1614 de configuración almacena datos para habilitar o inhabilitar el acceso a la pluralidad de celdas 1604_{0A} a 1604_{NB} de memoria. La lógica 1608 de control 1 activa los dispositivos 1602₀ a 1602_N de activación de fluido seleccionados o accede a las celdas 1604_{0A} a 1604_{NB} de memoria correspondientes a los 1602₀ a 1602_N dispositivos de activación de fluido seleccionados en base a los datos almacenados en el registro 1614 de configuración. En un ejemplo, el registro 1614 de configuración puede tener múltiples bits para corresponder a la pluralidad 1604_{0A} a 1604_{NB} de memoria. En otro ejemplo, el registro 1614 de configuración también almacena o transmite datos para habilitar o deshabilitar el sensor 1612.

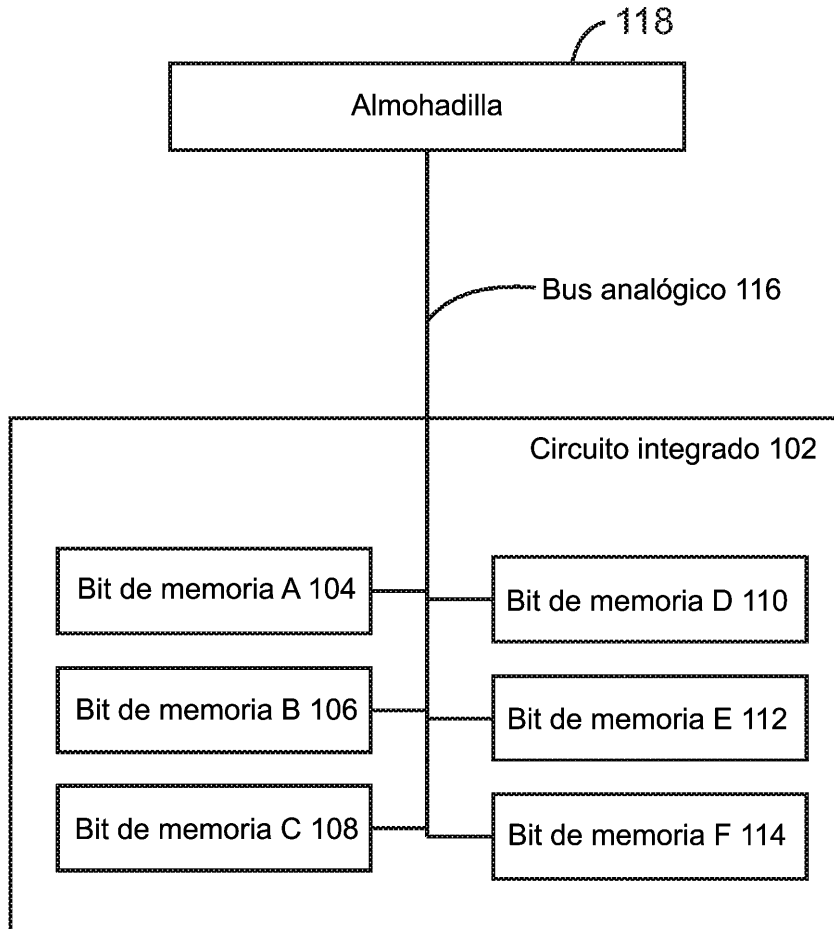
15 El registro 1614 de configuración puede ser un dispositivo de memoria (por ejemplo, memoria no volátil, registro de desplazamiento, etc.) y puede incluir cualquier número adecuado de bits (por ejemplo, de 4 bits a 24 bits, como 12 bits) y puede incluir múltiples bits por cada uno de los dispositivos 1602₀ a 1602_N de activación de fluido. En ciertos ejemplos, el registro 1614 de configuración también puede almacenar datos de configuración para probar el circuito integrado 1600, detectar grietas dentro de un sustrato del circuito integrado 1600, habilitar temporizadores del circuito integrado 1600, establecer retardos analógicos del circuito integrado 1600, validar operaciones del circuito integrado 1600, o para configurar otras funciones del circuito integrado 1600.

20 Los datos almacenados en las celdas 1604_{0A} a 1604_{NB} de memoria pueden leerse a través de la interfaz 1624 de detección cuando se ha accedido a las celdas 1604_{0A} a 1604_{NB} de memoria seleccionadas mediante la lógica de control 1608. Además, el circuito 1610 de escritura puede escribir datos en celdas de memoria seleccionadas cuando se ha accedido a las celdas 1604_{0A} a 1604_{NB} de memoria seleccionadas por la lógica 1608 de control. El sensor 1612 puede ser un dispositivo de unión (por ejemplo, un diodo térmico), un dispositivo resistivo (por ejemplo, un detector de grietas) u otro dispositivo adecuado para detectar un estado del circuito integrado 1600. El sensor 1612 puede leerse a través de la interfaz 1624 de detección.

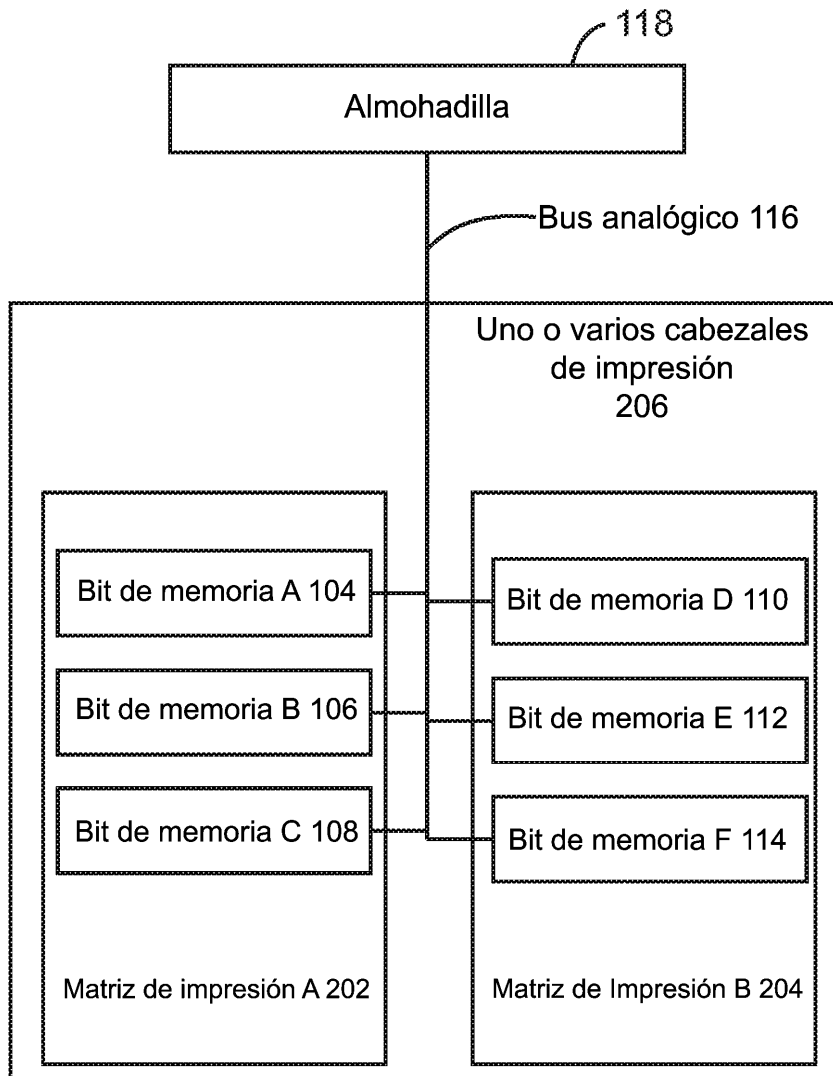
30 La invención está definida por las características de la reivindicación independiente. En las reivindicaciones dependientes se exponen realizaciones preferidas.

REIVINDICACIONES

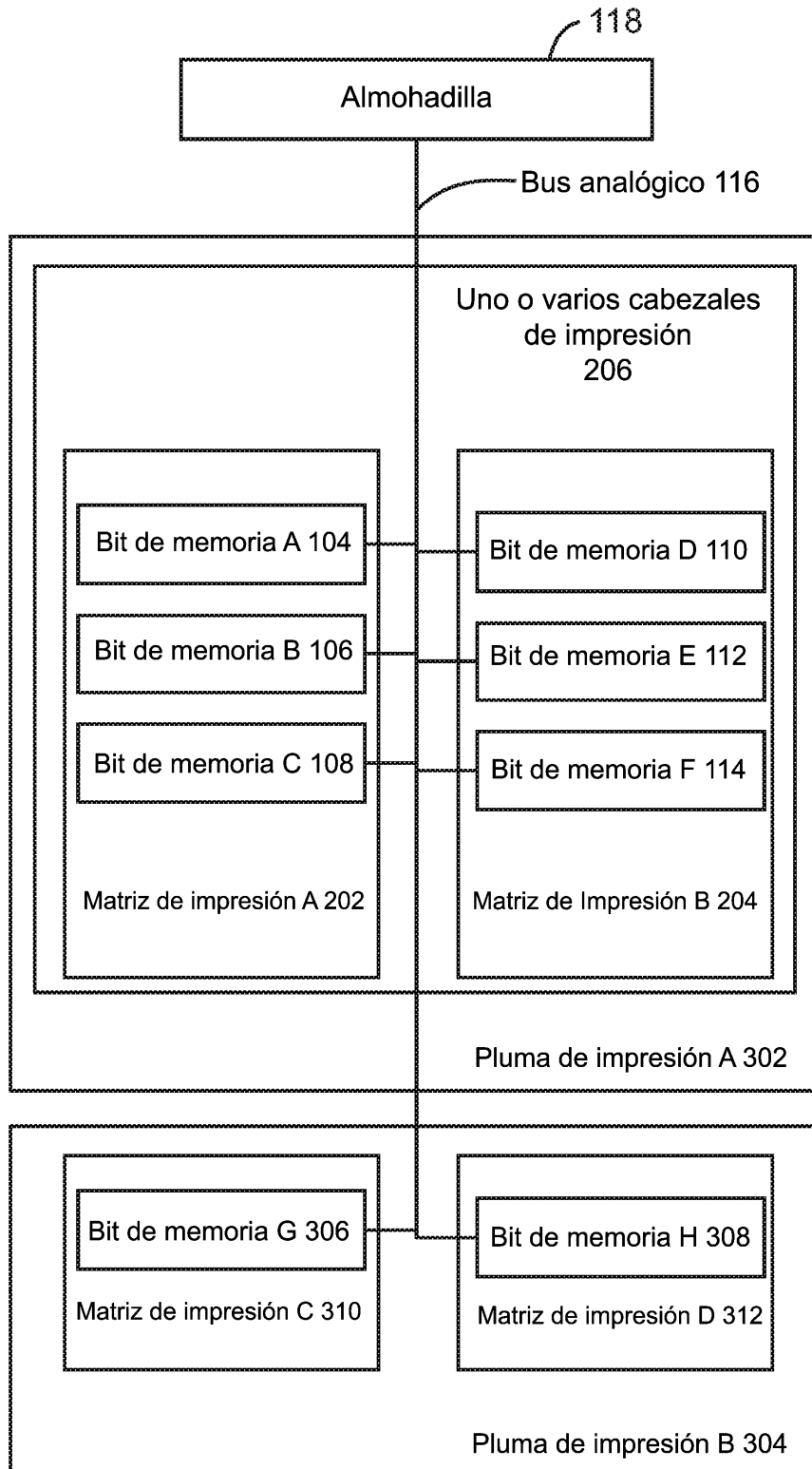
1. Un componente de imprimir extraíble que comprende:
un circuito (1200) integrado, que comprende:
5 una pluralidad de dispositivos (1206) de activación de fluido;
un circuito (1212, 1214) configurado para tener un estado de acceso a la memoria que puede establecerse en uno de un estado habilitado y un estado inhabilitado;
un circuito (1202) de activación de fluido para transmitir información (1204) de selección para un
10 dispositivo (1206) de activación de fluido, la información (1204) de selección para controlar la dispersión de fluido a través de la pluralidad de dispositivos (1206) de activación de fluido y comprendiendo un bit (1208) de estado de datos; y
una matriz de celdas de memoria, configurada de manera que cada celda (1210) de memoria es accesible por el estado de acceso a la memoria estando habilitado y el bit de estado (1208) de
15 datos estando establecido.
2. El componente de imprimir extraíble de la reivindicación 1, en donde:
20 el circuito (1212, 1214) comprende un estado de acceso a la configuración que puede establecerse en uno de un estado habilitado y un estado inhabilitado;
se hace que pueda accederse a cada celda (1210) de memoria por el estado de acceso a la memoria estando habilitado, el estado de acceso a la configuración estando habilitado y el circuito (1202) de activación de fluido transmitiendo información (1204) de selección que comprende el bit (1208) de estado de datos establecido.
3. El componente de imprimir extraíble de cualquiera de las reivindicaciones 1-2, en donde el circuito (1212, 1214) comprendiendo además un bit (1218) de estado de memoria, y un circuito (1214) de memoria para habilitar el estado de acceso a la memoria en respuesta a establecerse el bit (1218) de estado de memoria.
- 30 4. El componente de imprimir extraíble de cualquiera de las reivindicaciones 2-3, que comprende un circuito (1212) de configuración configurado para habilitar y deshabilitar el estado de acceso a la configuración.
5. El componente de imprimir extraíble de la reivindicación 4, en donde el circuito (1212) de configuración habilita y deshabilita el estado de acceso a la configuración en respuesta a un bit (1216) de estado de configuración.
- 35 6. El componente de imprimir extraíble de cualquiera de las reivindicaciones 3-5, en donde el circuito (1214) de memoria habilita el estado de acceso a la memoria en respuesta a un bit (1218) de estado de memoria.
7. El componente de imprimir extraíble de cualquiera de las reivindicaciones 1-6, configurado de modo que sólo puede accederse a la celda (1210) de memoria durante una duración de una señal de DISPARO.
- 40 8. El componente de imprimir extraíble de cualquiera de las reivindicaciones 1-7, configurado de modo que un flanco descendente de una señal de DISPARO establece el estado de acceso a la memoria a un estado inhabilitado.
- 45 9. El componente de imprimir extraíble de cualquiera de las reivindicaciones 2-8, configurado de modo que un flanco descendente de una señal de DISPARO establece el estado de acceso a la memoria a un estado inhabilitado y el estado de acceso a la configuración a un estado inhabilitado.
- 50 10. El componente de imprimir extraíble de cualquiera de las reivindicaciones 1-9, en donde un bit (1218) de estado de memoria, un bit (1216) de estado de configuración y el bit (1208) de estado de datos deben recibirse a través de la misma almohadilla de interfaz.
- 55 11. El componente de imprimir extraíble de cualquiera de las reivindicaciones 2-10, en donde una señal de reloj en el circuito activa un bit (1218) de estado de memoria para habilitar el estado de acceso a la memoria y un bit (1216) de estado de configuración para habilitar el estado de acceso a la configuración.



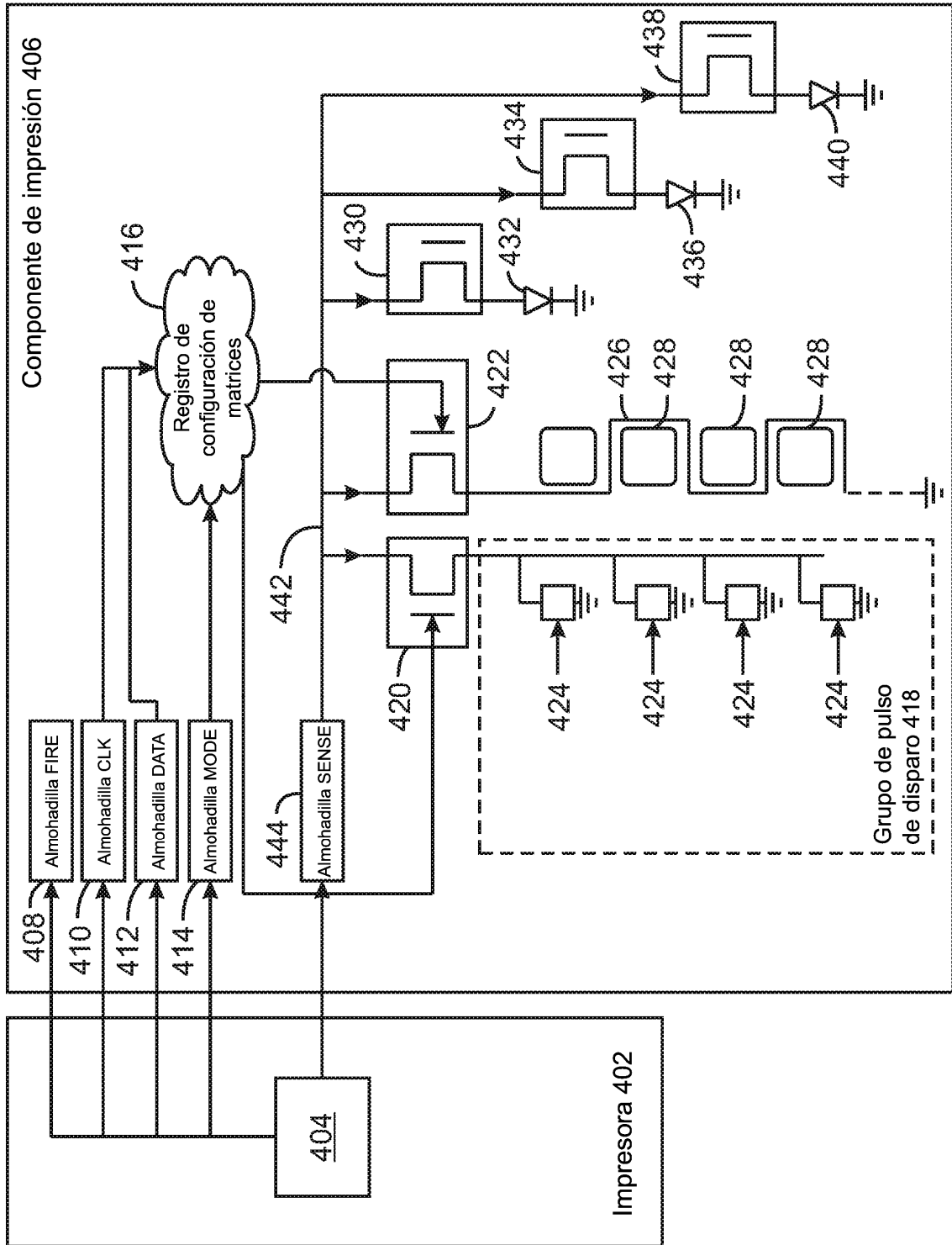
¹⁰⁰
Fig. 1



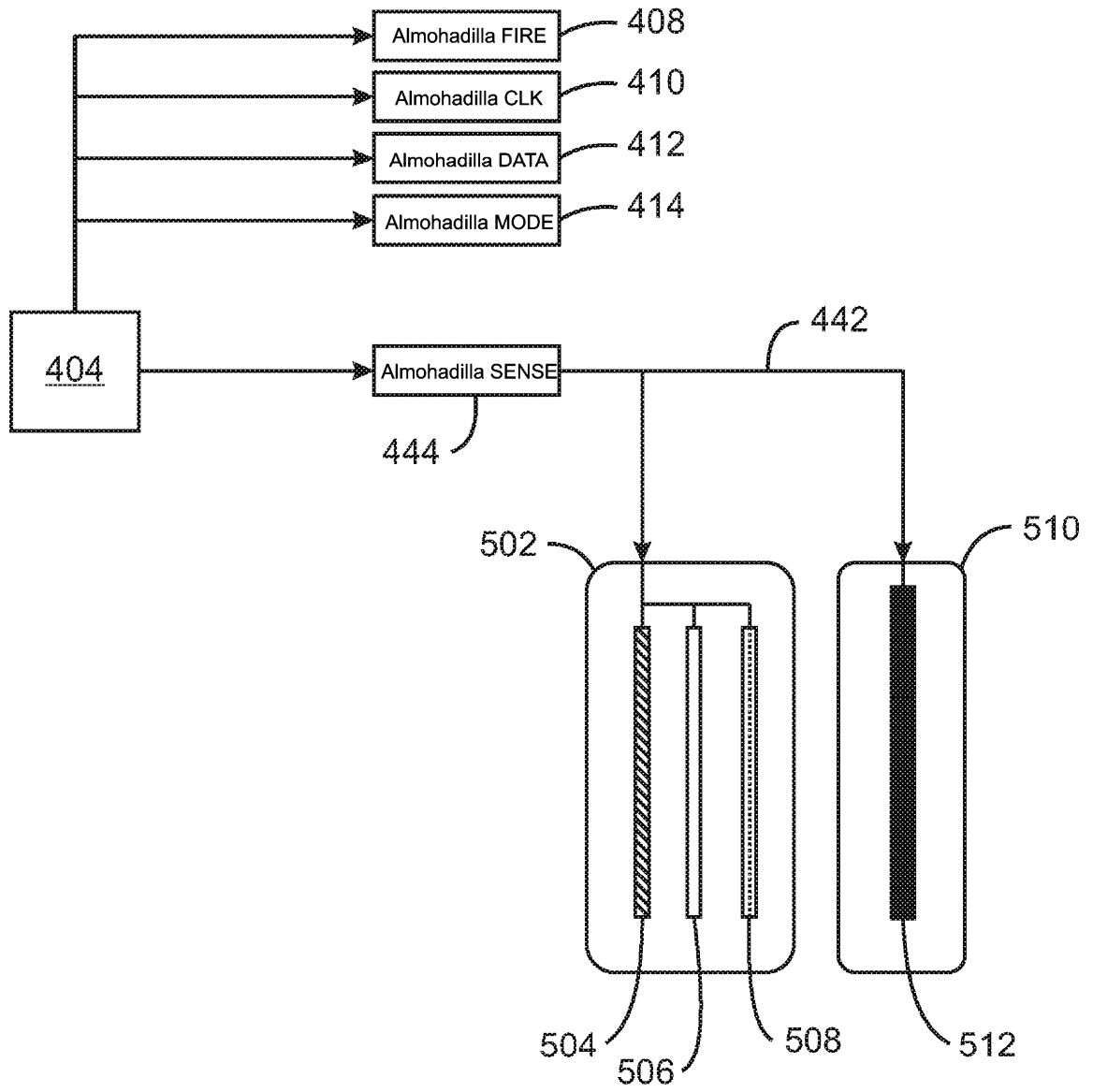
200
Fig. 2



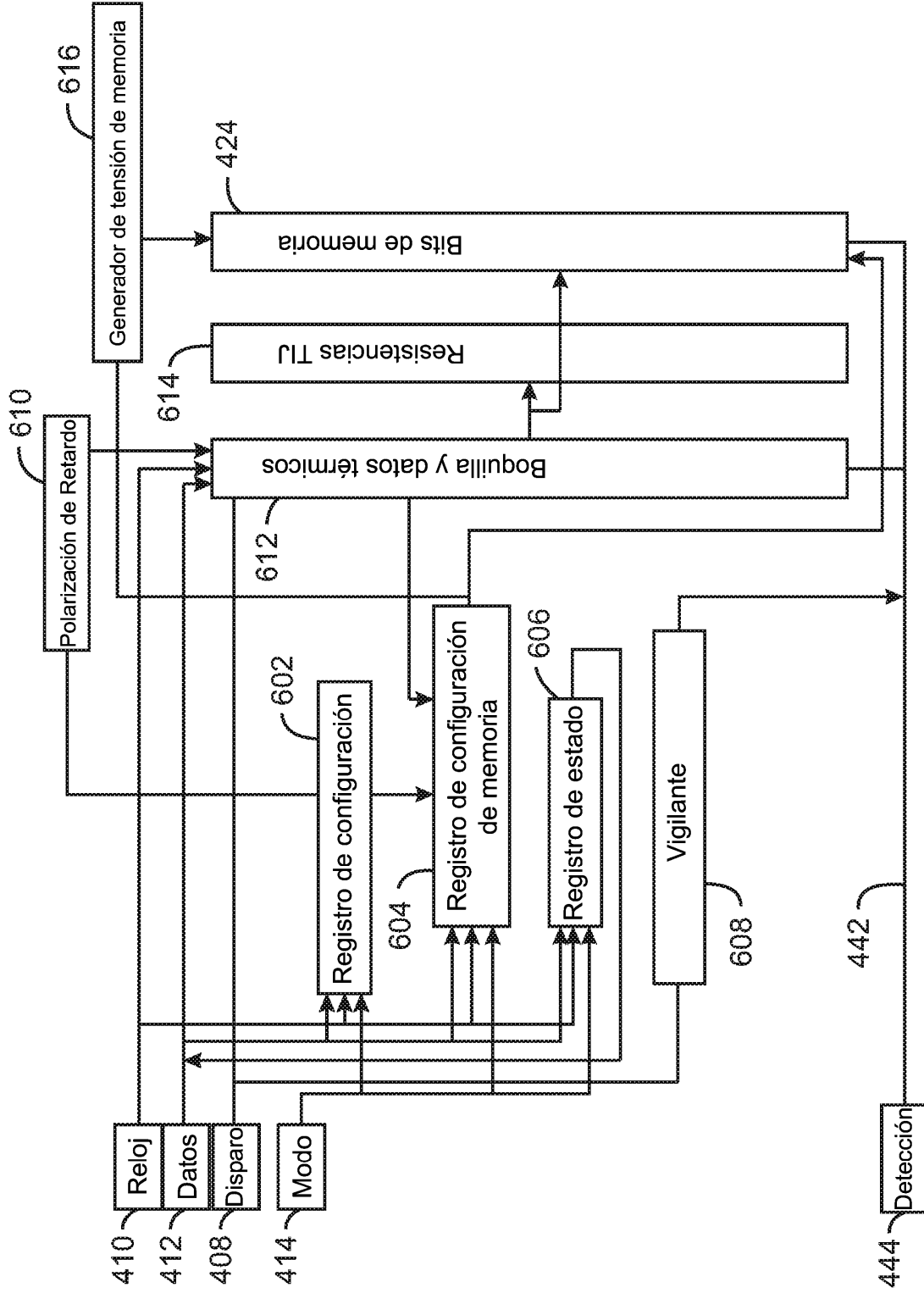
300
Fig. 3



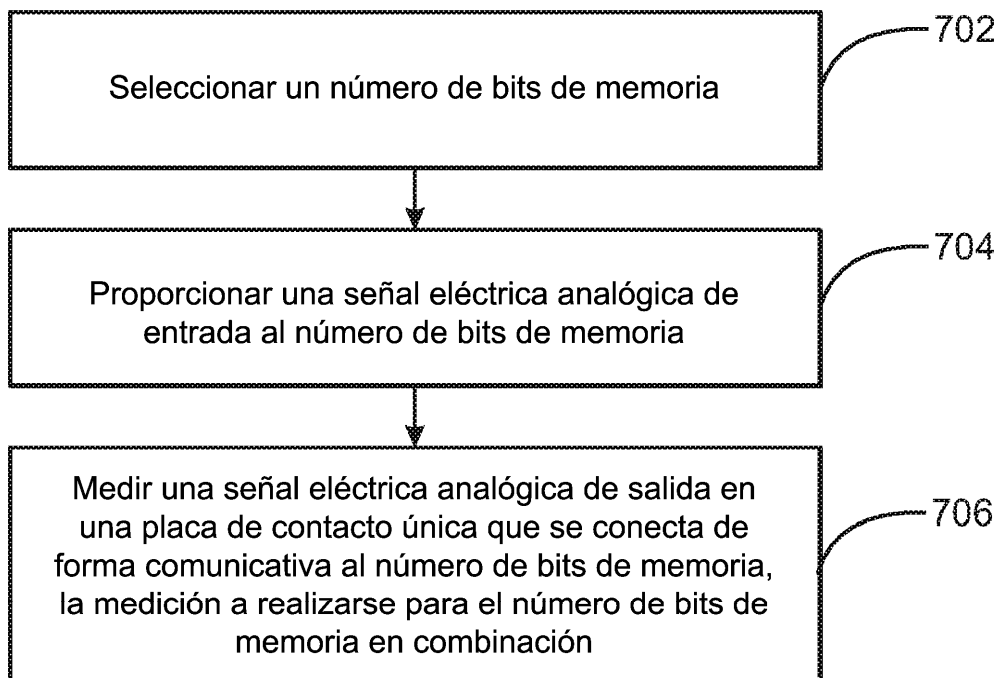
400
Fig. 4



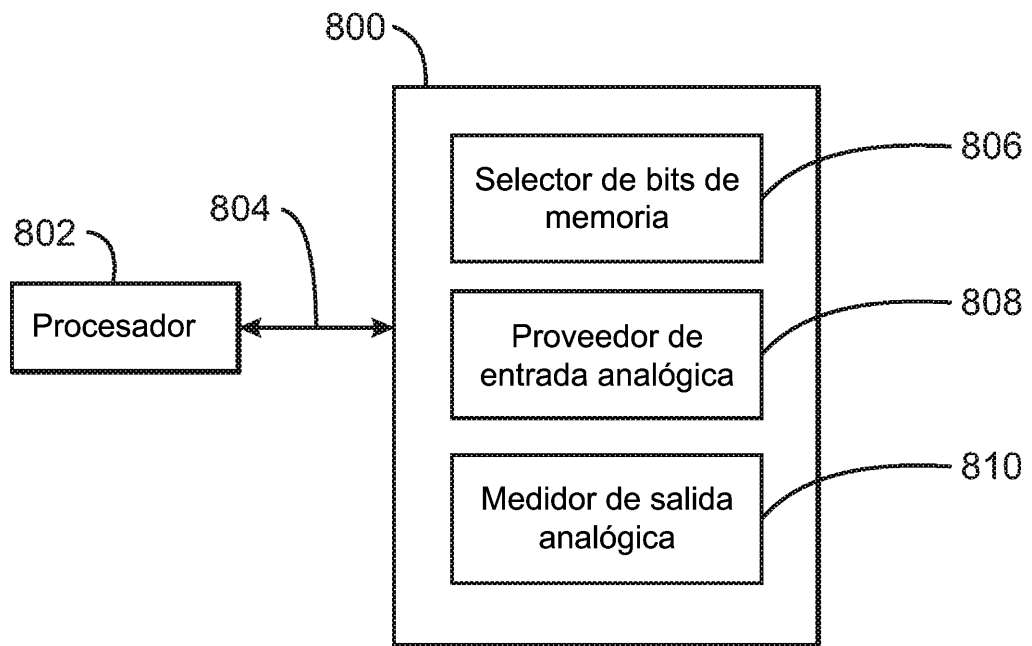
500
Fig. 5



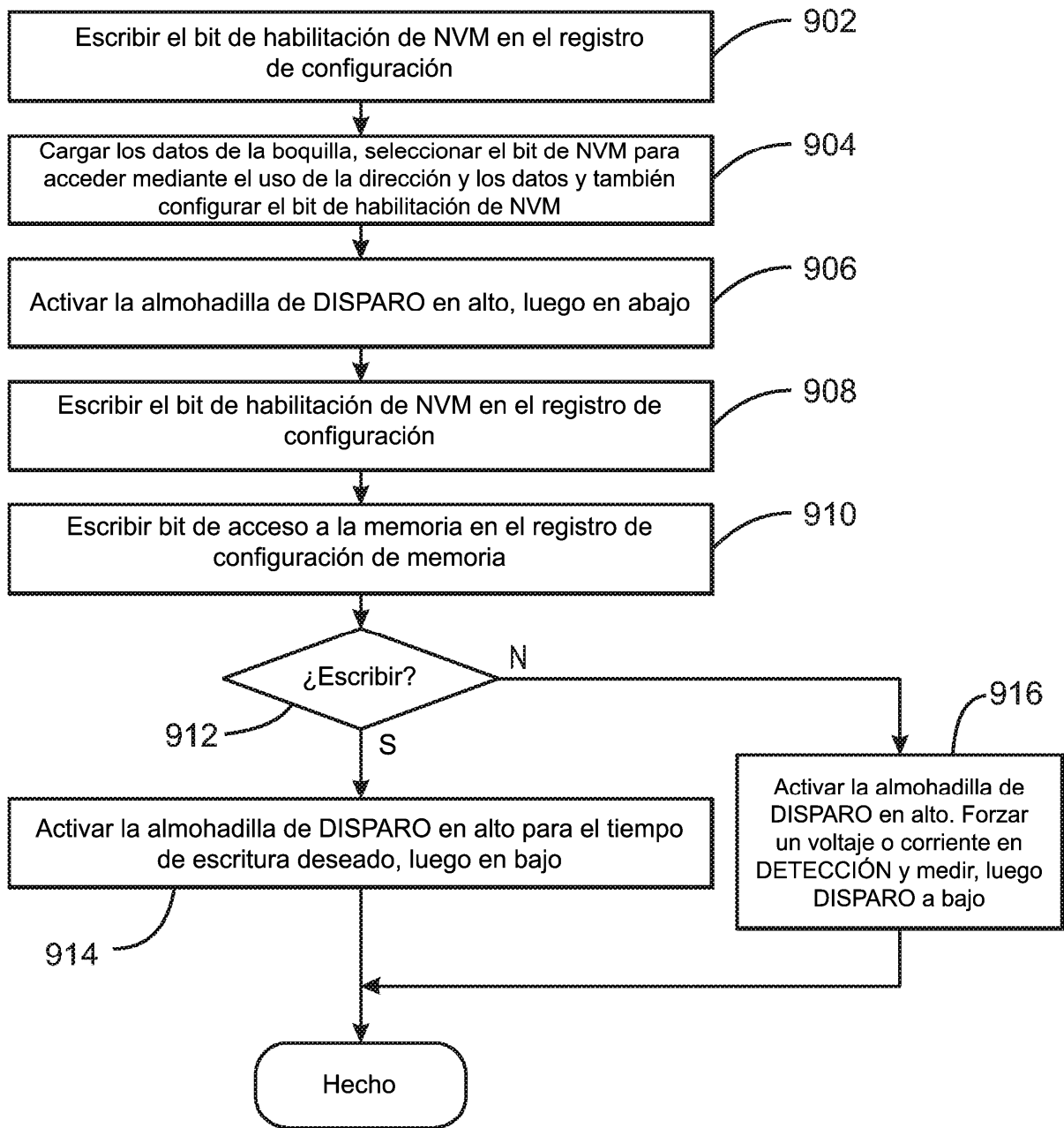
600
Fig. 6



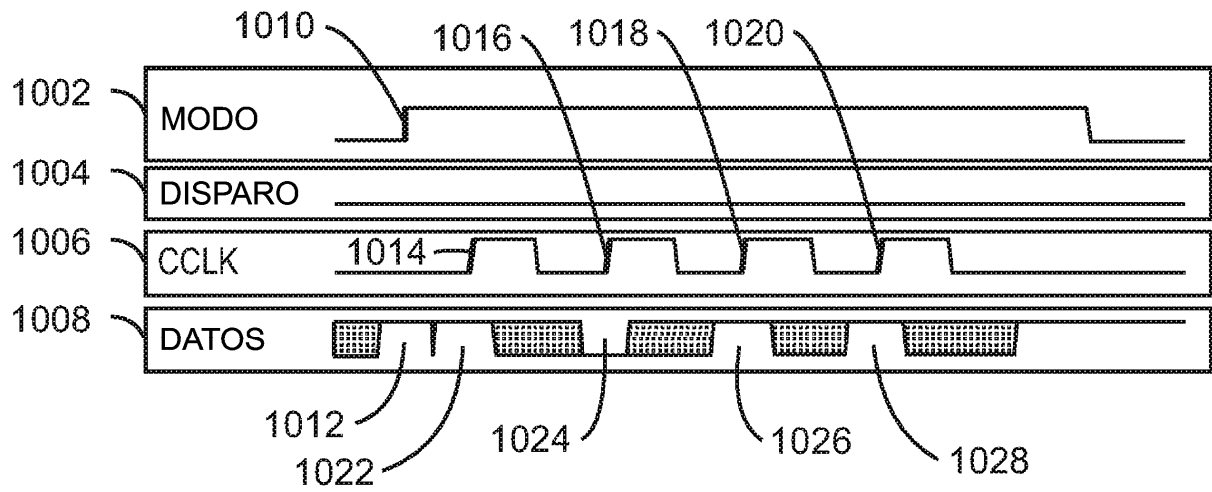
700
Fig. 7



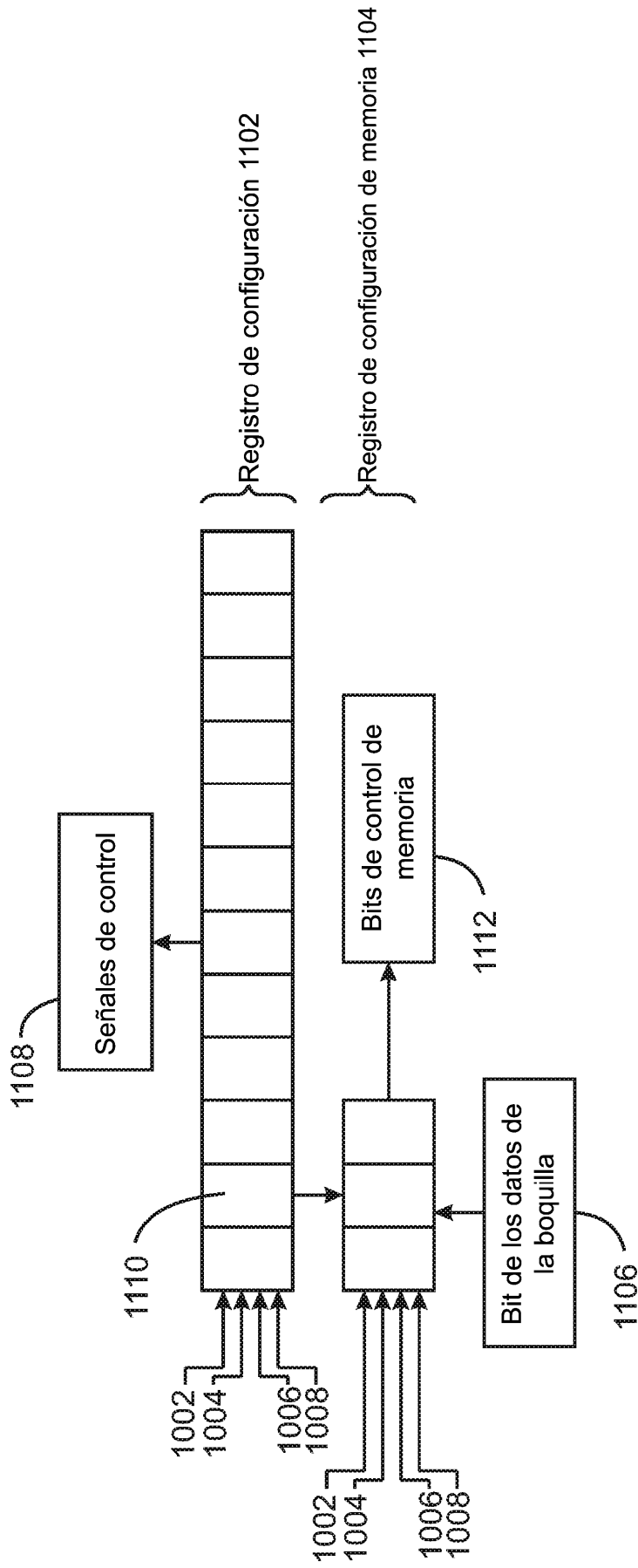
800
Fig. 8



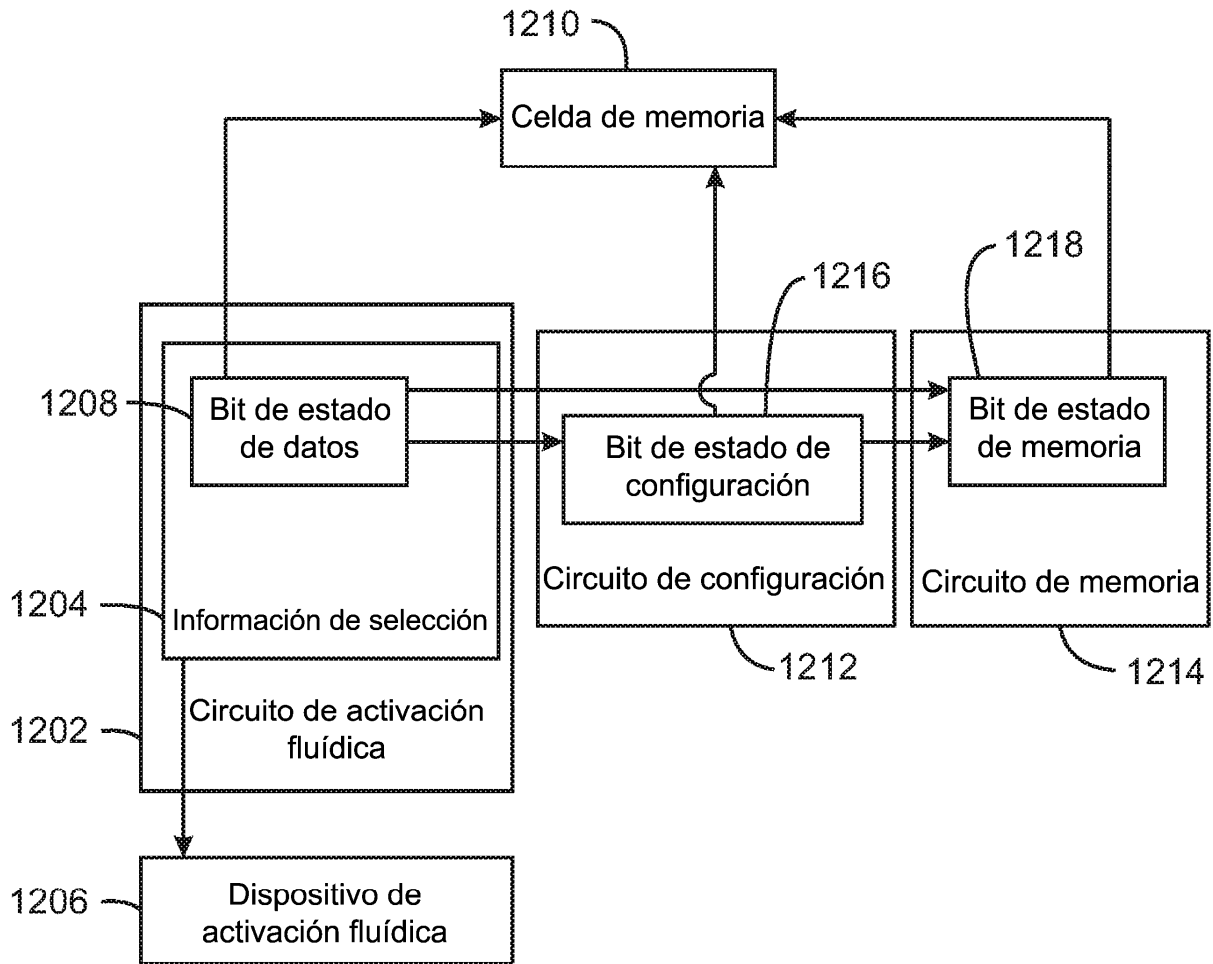
900
Fig. 9



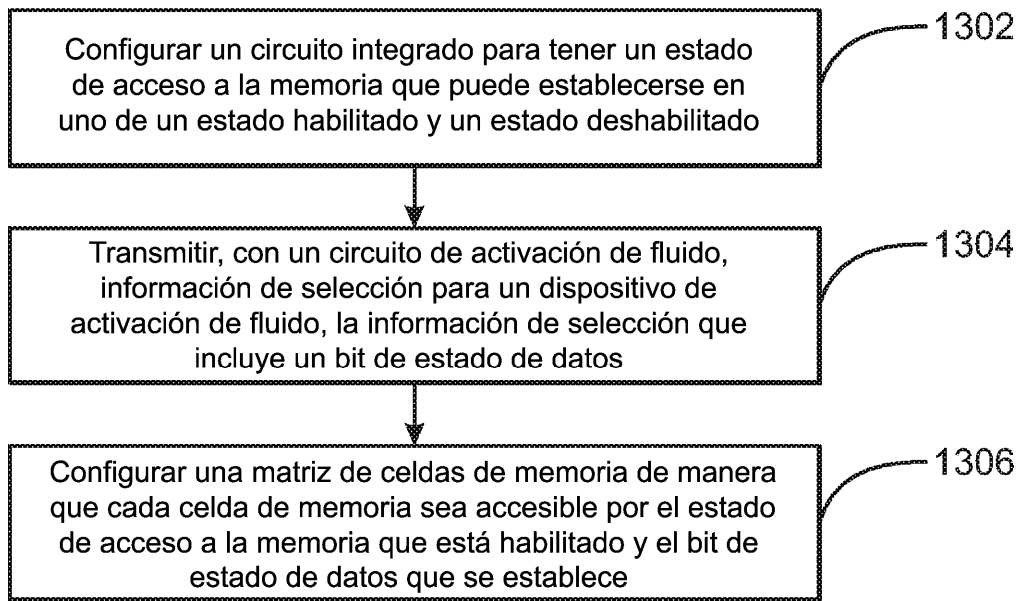
1000
Fig. 10



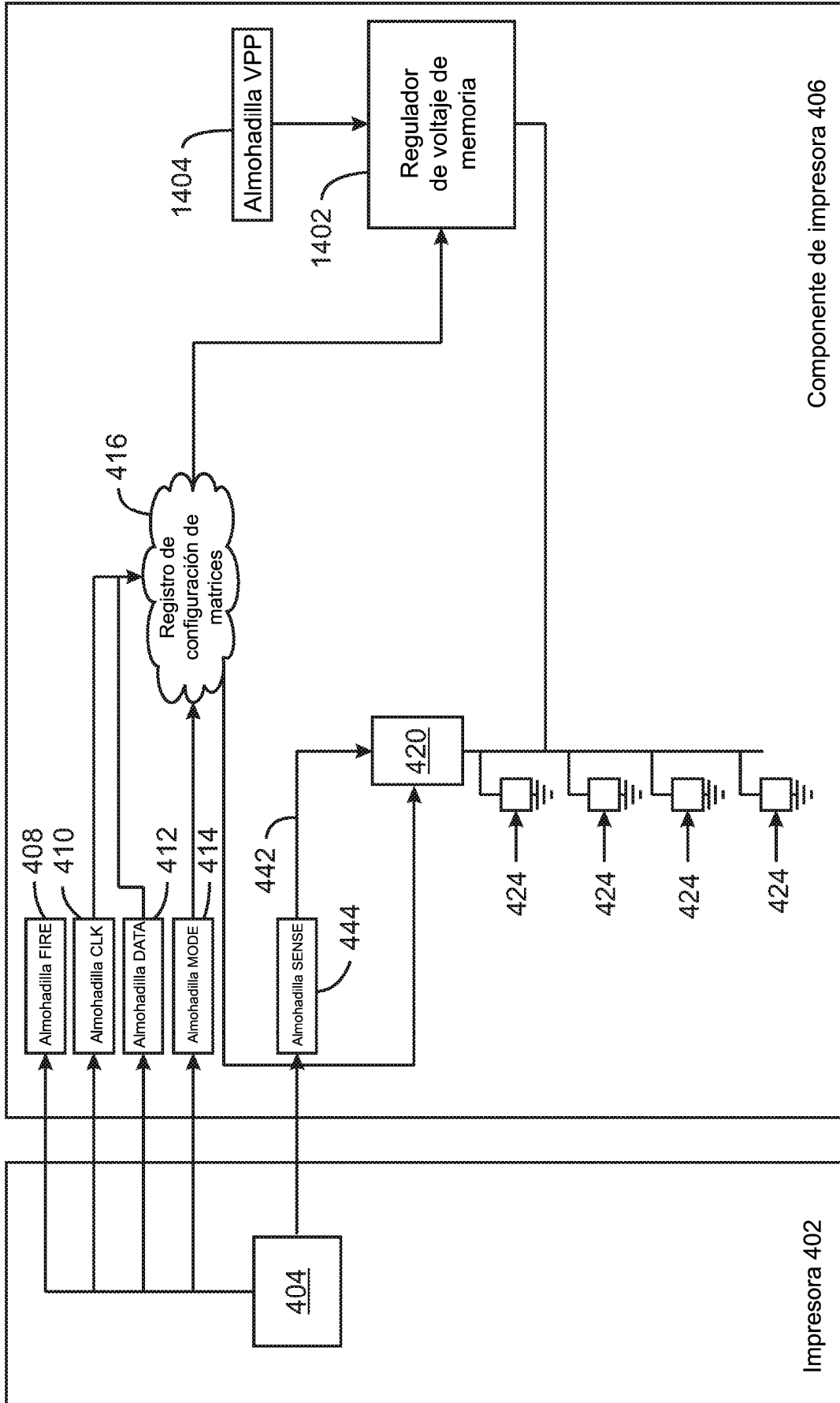
1100
Fig. 11



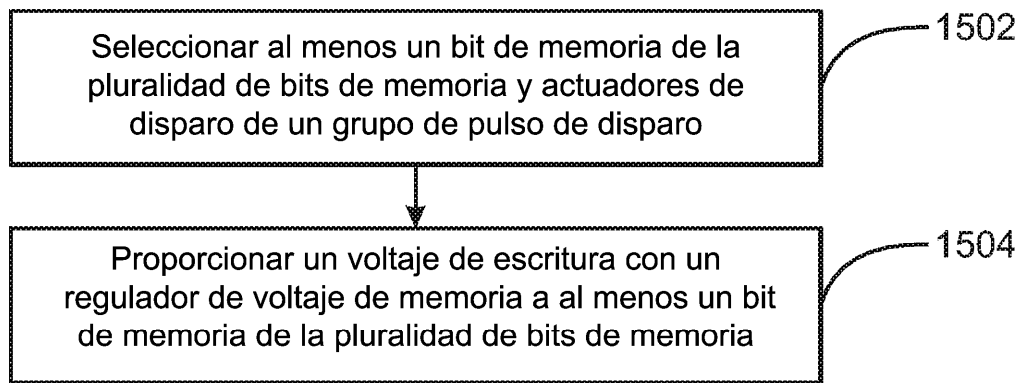
1200
Fig. 12



1300
Fig. 13



1400
Fig. 14



1500
Fig. 15

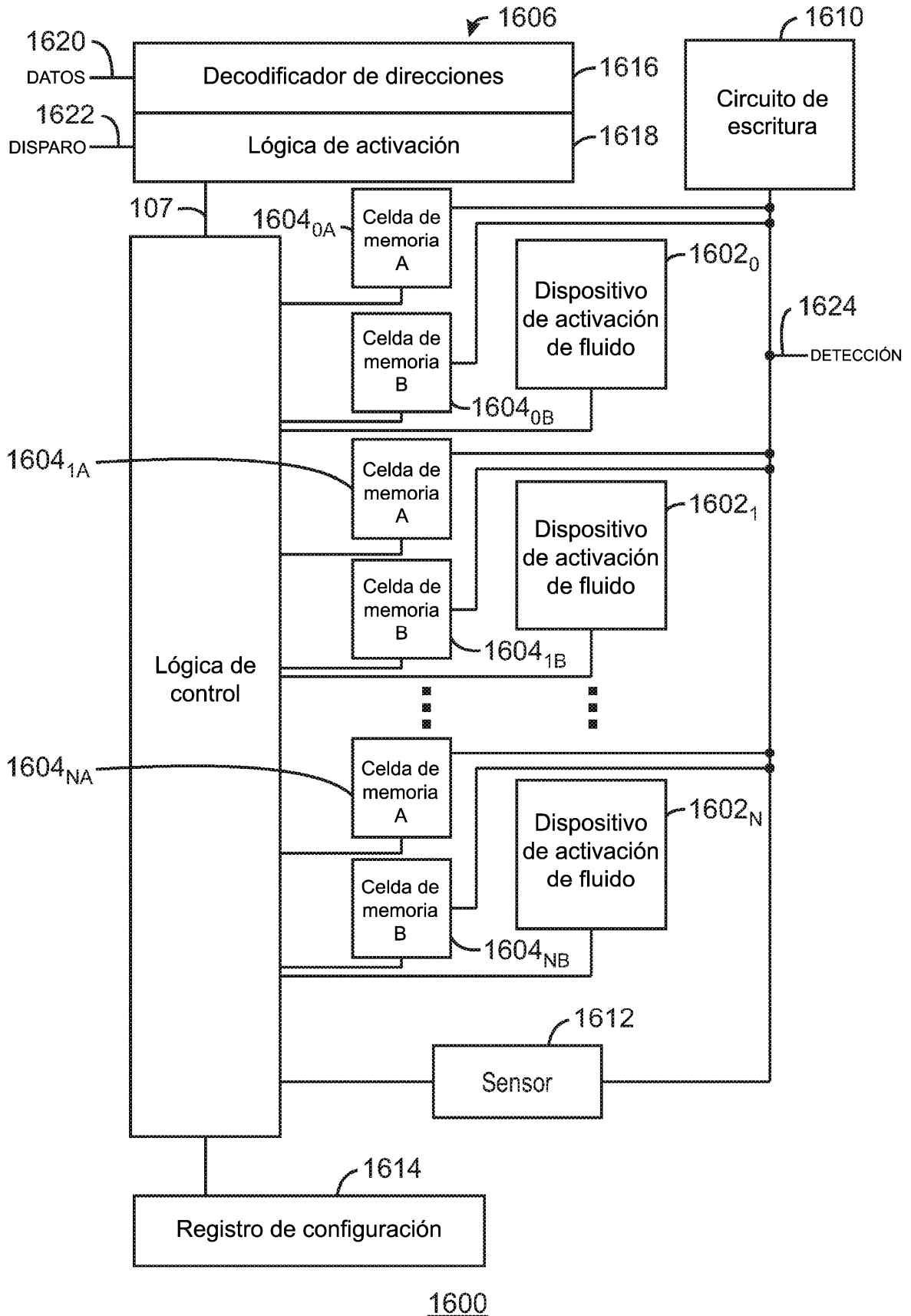


Fig. 16