

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2008-103675

(P2008-103675A)

(43) 公開日 平成20年5月1日 (2008. 5. 1)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 F	5 F 0 3 8
H O 1 L 27/04 (2006.01)	H O 1 L 27/08 1 O 2 C	5 F 0 4 8
H O 1 L 21/8234 (2006.01)	H O 1 L 27/10 4 3 4	5 F 0 8 3
H O 1 L 27/088 (2006.01)	H O 1 L 29/78 3 7 1	5 F 1 0 1
H O 1 L 21/8247 (2006.01)	H O 1 L 27/04 A	
審査請求 未請求 請求項の数 24 O L (全 37 頁) 最終頁に続く		

(21) 出願番号	特願2007-186344 (P2007-186344)	(71) 出願人	000003078
(22) 出願日	平成19年7月17日 (2007. 7. 17)		株式会社東芝
(31) 優先権主張番号	特願2006-257752 (P2006-257752)		東京都港区芝浦一丁目1番1号
(32) 優先日	平成18年9月22日 (2006. 9. 22)	(74) 代理人	100058479
(33) 優先権主張国	日本国 (JP)		弁理士 鈴江 武彦
		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100108855
			弁理士 蔵田 昌俊
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100109830
			弁理士 福原 淑弘
		最終頁に続く	

(54) 【発明の名称】 半導体集積回路

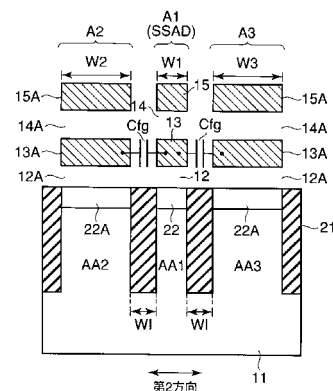
(57) 【要約】

【課題】 エージングデバイスの寿命を簡単な回路により制御する。

【解決手段】 本発明の例に関わる半導体集積回路は、半導体基板 1 1 と、半導体基板 1 1 の表面領域に形成される素子分離絶縁層 2 1 と、素子分離絶縁層 2 1 により分離され、第 2 方向に隣接する第 1 及び第 2 素子領域内にそれぞれ形成される第 1 及び第 2 M I S 型デバイス A 1 , A 2 とを備え、第 1 及び第 2 M I S 型デバイス A 1 , A 2 は、それぞれ、フローティングゲート及びコントロールゲート電極を持つスタックゲート構造を有し、第 1 M I S 型デバイス A 1 は、エージングデバイスとして機能し、第 2 M I S 型デバイス A 2 は、エージングデバイスの電荷保持特性を制御する制御デバイスとして機能する。

【選択図】 図 4

図 4



【特許請求の範囲】**【請求項 1】**

半導体基板と、前記半導体基板の表面領域に形成される素子分離絶縁層と、前記素子分離絶縁層により分離され、第 1 方向に直交する第 2 方向に隣接する第 1 及び第 2 素子領域内にそれぞれ形成される第 1 及び第 2 M I S 型デバイスとを具備し、前記第 1 及び第 2 M I S 型デバイスは、それぞれ、フローティングゲート及びコントロールゲート電極を持つスタックゲート構造を有し、前記第 1 M I S 型デバイスは、エージングデバイスとして機能し、前記第 2 M I S 型デバイスは、前記エージングデバイスの電荷保持特性を制御する制御デバイスとして機能することを特徴とする半導体集積回路。

【請求項 2】

前記第 1 及び第 2 M I S 型デバイスのコントロールゲート電極は、それぞれ独立に制御されることを特徴とする請求項 1 に記載の半導体集積回路。

【請求項 3】

前記第 1 M I S 型デバイスのフローティングゲートは、前記第 1 M I S 型デバイス直下の前記半導体基板の表面領域の導電型と同じ導電型であり、前記第 2 M I S 型デバイスのフローティングゲートは、前記第 2 M I S 型デバイス直下の前記半導体基板の表面領域の導電型と逆の導電型であることを特徴とする請求項 1 又は 2 に記載の半導体集積回路。

【請求項 4】

前記第 1 素子領域の前記第 2 方向の幅は、前記第 2 素子領域の前記第 2 方向の幅よりも狭いことを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載の半導体集積回路。

【請求項 5】

前記第 1 M I S 型デバイスに関し、前記フローティングゲートの前記第 2 方向の幅は、前記フローティングゲートの前記第 1 方向の長さよりも短いことを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路。

【請求項 6】

前記第 1 M I S 型デバイスに関し、前記フローティングゲートの前記第 1 方向の両辺には、窪みが設けられていることを特徴とする請求項 1 乃至 4 のいずれか 1 項に記載の半導体集積回路。

【請求項 7】

前記第 2 M I S 型デバイスに関し、前記フローティングゲートの前記第 2 方向の幅は、前記フローティングゲートの前記第 1 方向の長さよりも長いことを特徴とする請求項 1 乃至 6 のいずれか 1 項に記載の半導体集積回路。

【請求項 8】

前記第 1 及び第 2 M I S 型デバイスは、それぞれ、2 つのセレクトゲートトランジスタにより挟み込まれ、かつ、前記 2 つのセレクトゲートトランジスタに直列接続されることを特徴とする請求項 1 乃至 7 のいずれか 1 項に記載の半導体集積回路。

【請求項 9】

前記第 1 及び第 2 素子領域間の前記素子分離絶縁層の前記第 2 方向の幅は、前記 2 つのセレクトゲートトランジスタのうちの 1 つのゲート電極から前記第 1 又は第 2 M I S 型デバイスの前記フローティングゲートまでの前記第 1 方向の幅よりも狭いことを特徴とする請求項 8 に記載の半導体集積回路。

【請求項 10】

前記第 1 M I S 型デバイスを挟み込む前記 2 つのセレクトゲートトランジスタのゲート電極の前記第 2 方向の幅は、前記ゲート電極の前記第 1 方向の長さよりも短いことを特徴とする請求項 8 又は 9 に記載の半導体集積回路。

【請求項 11】

前記第 1 及び第 2 M I S 型デバイスの前記フローティングゲートの前記第 1 方向の長さは、互いに等しいことを特徴とする請求項 1 乃至 10 のいずれか 1 項に記載の半導体集積回路。

【請求項 12】

10

20

30

40

50

前記第 1 及び第 2 M I S 型デバイスを挟み込む前記 4 つのセレクトゲートトランジスタのうち、前記素子分離絶縁層を挟んで対向する、それぞれ 2 つの前記セレクトゲートトランジスタのゲート電極の前記第 1 方向の長さは、互いに等しいことを特徴とする請求項 1 乃至 11 のいずれか 1 項に記載の半導体集積回路。

【請求項 13】

前記素子分離絶縁層により前記第 1 及び第 2 素子領域と分離され、前記第 1 素子領域に隣接して形成される第 3 素子領域と、前記第 3 素子領域内に形成される第 3 M I S 型デバイスとを具備し、前記第 2 及び第 3 M I S 型デバイスは、前記第 1 M I S 型デバイスを挟み込み、前記第 3 M I S 型デバイスは、前記エージングデバイスの電荷保持特性を制御する制御デバイスとして機能することを特徴とする請求項 1 乃至 12 のいずれか 1 項に記載の半導体集積回路。

10

【請求項 14】

前記第 1 M I S 型デバイスに関し、前記フローティングゲートの前記第 2 方向の幅は、前記第 1 素子領域の前記第 2 方向の幅よりも広いことを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載の半導体集積回路。

【請求項 15】

前記第 2 M I S 型デバイスに関し、前記フローティングゲートの前記第 2 方向の幅は、前記第 2 素子領域の前記第 2 方向の幅よりも広いことを特徴とする請求項 1 乃至 14 のいずれか 1 項に記載の半導体集積回路。

【請求項 16】

20

前記素子分離絶縁層の前記第 2 方向の幅は、前記第 1 素子領域の前記第 2 方向の幅及び前記第 2 素子領域の前記第 2 方向の幅よりも広いことを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載の半導体集積回路。

【請求項 17】

前記第 1 M I S 型デバイスのフローティングゲートの前記第 2 方向の幅は、前記第 2 M I S 型デバイスのフローティングゲートの前記第 2 方向の幅よりも狭いことを特徴とする請求項 1 乃至 16 のいずれか 1 項に記載の半導体集積回路。

【請求項 18】

請求項 13 に記載の半導体集積回路において、前記第 2 又は第 3 M I S 型デバイスの前記フローティングゲートに電荷を注入し、この後、前記第 1 M I S 型デバイスの前記フローティングゲートに電荷を注入して初期設定を完了することを特徴とする書き込み方法。

30

【請求項 19】

前記第 1、第 2 又は第 3 M I S 型デバイスの前記フローティングゲートに対する電荷の注入は、同一の第 1 矩形パルス、又は、大きさ若しくは幅が段階的に変化する第 2 矩形パルスを、前記コントロールゲート電極に繰り返し印加する書き込みにより行い、前記第 1 又は第 2 矩形パルスを印加した直後に、前記第 1 又は第 2 M I S 型デバイスの状態を確認する読み出しを行い、前記第 1 又は第 2 M I S 型デバイスの状態が所定の状態になるまで、前記書き込みと前記読み出しを繰り返すことを特徴とする請求項 18 に記載の書き込み方法。

【請求項 20】

40

半導体基板と、前記半導体基板の表面領域に形成される素子分離絶縁層と、前記素子分離絶縁層により取り囲まれる素子領域内に形成される第 1 導電型の 1 つの拡散層と、前記拡散層上で第 1 方向に並んで形成される第 1 及び第 2 M I S 型デバイスと、前記拡散層の前記第 1 方向の 2 つの端部にそれぞれ 1 つずつ配置される 2 つのセレクトゲートトランジスタとを具備し、前記第 1 及び第 2 M I S 型デバイスは、それぞれ、フローティングゲート及びコントロールゲート電極を持つスタックゲート構造を有し、前記第 1 M I S 型デバイスは、エージングデバイスとして機能し、前記第 2 M I S 型デバイスは、前記エージングデバイスの電荷保持特性を制御する制御デバイスとして機能することを特徴とする半導体集積回路。

【請求項 21】

50

前記第 1 及び第 2 M I S 型デバイスのコントロールゲート電極は、それぞれ独立に制御されることを特徴とする請求項 2 0 に記載の半導体集積回路。

【請求項 2 2】

前記第 1 M I S 型デバイスのフローティングゲートは、前記第 1 導電型であり、前記第 2 M I S 型デバイスのフローティングゲートは、前記第 1 導電型とは異なる第 2 導電型であることを特徴とする請求項 2 0 又は 2 1 に記載の半導体集積回路。

【請求項 2 3】

請求項 2 0 乃至 2 2 のいずれか 1 項に記載の半導体集積回路において、前記第 2 M I S 型デバイスの前記フローティングゲートに電荷を注入し、この後、前記第 1 M I S 型デバイスの前記フローティングゲートに電荷を注入して初期設定を完了することを特徴とする書き込み方法。

10

【請求項 2 4】

前記第 1 M I S 型デバイスの前記フローティングゲートに電荷を注入した後に、前記第 2 M I S 型デバイスの前記フローティングゲート内の電荷を抜き取る書き戻しを行うことを特徴とする請求項 2 3 に記載の書き込み方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、バッテリーの要らない電子タイマーを搭載した半導体集積回路に関する。

【背景技術】

20

【0 0 0 2】

近年、バッテリーの要らない電子タイマー、即ち、時間の経過と共に出力が変化する経時変化デバイス（以下、エージングデバイス）が、コンテンツ配信、クレジットカード、デジタル製品のレンタル、デジタルソフトのレンタルなどの分野で使用が検討され始めている。

【0 0 0 3】

エージングデバイスは、フローティングゲートとコントロールゲート電極とからなるスタックゲート構造を有し、フローティングゲート内の電荷の保持特性（寿命）により一定期間を計測する電子タイマーとして機能する（例えば、特許文献 1，2 参照）。

【0 0 0 4】

30

このようなエージングデバイスによれば、例えば、トンネル絶縁膜の厚さを変えることにより、その寿命を変化させることができる。

【0 0 0 5】

しかし、フローティングゲートからの電荷リークは、製造ばらつきにより変化するため、エージングデバイスを正確な電子タイマーとして機能させるには、その製造ばらつきによる誤差をなくすための複雑な回路が必要になる。

【0 0 0 6】

また、エージングデバイスが使用される分野が広がるにつれて、それぞれのビジネスモデルに対応するようにその寿命を設定しなければならない。これは、エージングデバイスの製造ラインを、その寿命に対応させて複数設けなければならないことを意味するため、製造コストの増大を招く。

40

【特許文献 1】特開 2 0 0 4 - 1 7 2 4 0 4 号公報

【特許文献 2】特開 2 0 0 5 - 3 1 0 8 2 4 号公報

【発明の開示】

【発明が解決しようとする課題】

【0 0 0 7】

本発明の例では、エージングデバイスの寿命を、トンネル絶縁膜の厚さによらず、簡単な回路により変更できる半導体集積回路を提案する。

【課題を解決するための手段】

【0 0 0 8】

50

本発明の例に関わる半導体集積回路は、半導体基板と、半導体基板の表面領域に形成される素子分離絶縁層と、素子分離絶縁層により分離され、第1方向に直交する第2方向に隣接する第1及び第2素子領域内にそれぞれ形成される第1及び第2MIS型デバイスとを備え、第1及び第2MIS型デバイスは、それぞれ、フローティングゲート及びコントロールゲート電極を持つスタックゲート構造を有し、第1MIS型デバイスは、エージングデバイスとして機能し、第2MIS型デバイスは、エージングデバイスの電荷保持特性を制御する制御デバイスとして機能する。

【0009】

本発明の例に関わる半導体集積回路は、半導体基板と、半導体基板の表面領域に形成される素子分離絶縁層と、素子分離絶縁層により取り囲まれる素子領域内に形成される第1導電型の1つの拡散層と、拡散層上で第1方向に並んで形成される第1及び第2MIS型デバイスと、拡散層の第1方向の2つの端部にそれぞれ1つずつ配置される2つのセレクトゲートトランジスタとを備え、第1及び第2MIS型デバイスは、それぞれ、フローティングゲート及びコントロールゲート電極を持つスタックゲート構造を有し、第1MIS型デバイスは、エージングデバイスとして機能し、第2MIS型デバイスは、エージングデバイスの電荷保持特性を制御する制御デバイスとして機能する。

10

【発明の効果】

【0010】

本発明の例によれば、エージングデバイスの寿命を、トンネル絶縁膜の厚さによらず、簡単な回路により変更できる。

20

【発明を実施するための最良の形態】

【0011】

以下、図面を参照しながら、本発明の例を実施するための最良の形態について詳細に説明する。

【0012】

1. 概要

本発明の例では、エージングデバイスの寿命を、トンネル絶縁膜の厚さではなく、エージングデバイスを挟み込む2つの制御デバイスにより制御する。

【0013】

エージングデバイス及び制御デバイスは、それぞれ、MIS型デバイスから構成し、フローティングゲート及びコントロールゲート電極を有するスタックゲート構造とする。

30

【0014】

この場合、エージングデバイスのフローティングゲートと制御デバイスのフローティングゲートとの間には寄生容量が発生するため、制御デバイスのフローティングゲート内に注入する電荷量に応じて、エージングデバイスの寿命を制御できる。

【0015】

即ち、制御デバイスのフローティングゲート内の電荷量が多ければ、エージングデバイスのフローティングゲート内の電荷が抜ける時間が短くなり、エージングデバイスの寿命が短くなる。

【0016】

反対に、制御デバイスのフローティングゲート内の電荷量が少なければ、エージングデバイスの寿命が長くなる。

40

【0017】

このような構成により、エージングデバイスの寿命を、トンネル絶縁膜の厚さによらず、簡単な回路により変更できるようになる。

【0018】

ここで、制御デバイスについては、フラッシュメモリのメモリセルのように、フローティングゲート内の電荷のリークが発生し難い構造とする。

【0019】

例えば、エージングデバイスのチャネルと制御デバイスの拡散層とを同一導電型(n/p)

50

の不純物で形成する。

【0020】

2. 実施の形態

(1) エージングデバイス

まず、エージングデバイスについて説明する。

【0021】

図1は、エージングデバイスの基本ユニットの例を示している。

【0022】

エージングデバイスの基本ユニットは、スタックゲート構造を有するMIS型デバイスから構成される。即ち、半導体基板11上には、トンネル絶縁膜12を介してフローティングゲート13が形成される。また、フローティングゲート13上には、電極間絶縁層14を介してコントロールゲート電極15が形成される。

10

【0023】

本例では、エージングデバイスの基本ユニットは、MISFETを構成している。具体的には、半導体基板11内には、ドレイン拡散層16とソース拡散層17が形成され、これらの間のチャンネル領域18の上部には、フローティングゲート13が形成される。

【0024】

尚、基本ユニットは、必ずしもMISFETである必要はない。

【0025】

このようなエージングデバイスの基本ユニットに対する書き込み（初期設定）は、フラッシュメモリにおける技術を利用する。例えば、コントロールゲート電極15の電位をチャンネル領域18の電位よりも十分に高い値に設定することにより、FN(Fowler-Nordheim)トンネリングを利用して、電子をチャンネル領域18からフローティングゲート15内に注入する。

20

【0026】

ここで、エージングデバイスは、フローティングゲート13内に蓄積された電荷量の経時変化、即ち、電荷リークによりチャンネル領域18の電位が変化する現象を利用して一定期間を計測する。つまり、この経時変化が、ドレイン電極19とソース電極20との間に流れる電流（ドレイン電流 I_d ）を経時変化（エージング）させる。

【0027】

従って、フローティングゲート13内の電荷の保持量を正確に制御することが重要である。

30

【0028】

図2は、エージングデバイスの4つの基本機能を示している。

【0029】

同図(a)は、エージングデバイスの寿命(τ_1)に到達すると、それまであった出力信号が消滅するものである。ここで、エージングデバイスの寿命とは、書き込み（初期設定）から電荷リークにより出力信号が変化するまでの期間のことであり、電荷保持特性に依存する。

【0030】

同図(b)は、エージングデバイスの寿命(τ_2)に到達すると、それまでなかった出力信号が発生するものである。

40

【0031】

同図(c)は、エージングデバイスの第1寿命(τ_2)に到達すると、それまでなかった出力信号が発生し、第2寿命(τ_1)に到達すると、それまであった出力信号が消滅するものである。

【0032】

ここで分かることは、電荷リークにより出力信号が変化する時点は1つに制限されないことである。つまり、例えば、複数の基本ユニットを組み合わせエージングデバイスを構成することによりエージングデバイスに複数の寿命を持たせることもできる。

50

【 0 0 3 3 】

同図 (d) は、エージングデバイスの第 1 寿命 (τ_1) に到達すると、それまであった出力信号が消滅し、第 2 寿命 (τ_2) に到達すると、それまでなかった出力信号が発生するものである。

【 0 0 3 4 】

ここで、出力信号の消滅とは、急減衰のことである。

【 0 0 3 5 】

エージングデバイスにより一定期間を計測するメカニズムは、表 1 に示すように、基本ユニットで考えると 4 通り存在する。

【 表 1 】

10

表 1

	「忘れる」の実現方法		「思い出す」の実現方法	
	pMOSFET	nMOSFET	pMOSFET	nMOSFET
タイプ	ノーマリオフ		ノーマリオン	
動作	オン → オフ		オフ → オン	
電荷	電子	正孔	正孔	電子

20

【 0 0 3 6 】

ノーマリオン型は、「思い出す」という機能を実現し、ノーマリオフ型は、「忘れる」という機能を実現する。

【 0 0 3 7 】

ノーマリオフ型の場合、まず、書き込み (初期設定) により、フローティングゲート内に電子 (p チャネル MOSFET) 又は正孔 (n チャネル MOSFET) を蓄積し、トランジスタ (基本ユニット) をオンにする。

【 0 0 3 8 】

書き込み時から時間が経過するにつれてフローティングゲート内の電子又は正孔がリークし、ある時点で、トランジスタは、オンからオフに変化する。この時、出力信号は、図 2 (a) に示すようになる。

30

【 0 0 3 9 】

ノーマリオン型の場合、まず、書き込み (初期設定) により、フローティングゲート内に電子 (n チャネル MOSFET) 又は正孔 (p チャネル MOSFET) を蓄積し、トランジスタ (基本ユニット) をオフにする。

【 0 0 4 0 】

書き込み時から時間が経過するにつれてフローティングゲート内の電子又は正孔がリークし、ある時点で、トランジスタは、オフからオンに変化する。この時、出力信号は、図 2 (b) に示すようになる。

【 0 0 4 1 】

40

ところで、図 2 (c) の機能は、短い寿命のノーマリオン型基本ユニットと長い寿命のノーマリオフ型基本ユニットを直列接続することにより実現できる。また、図 2 (d) の機能は、短い寿命のノーマリオフ型基本ユニットと長い寿命のノーマリオン型基本ユニットを並列接続することにより実現できる。

【 0 0 4 2 】

(2) 第 1 実施の形態

A. 構造

図 3 は、第 1 実施の形態に関わる半導体集積回路の平面図を示している。

【 0 0 4 3 】

図 4 は、図 3 の I V - I V 線に沿う断面図、図 5 は、図 3 の V - V 線に沿う断面図、図

50

6 は、図 3 の V I - V I 線に沿う断面図、図 7 は、図 3 の V I I - V I I 線に沿う断面図である。

【 0 0 4 4 】

半導体基板 1 1 内には、S T I (shallow trench isolation) 構造の素子分離絶縁層 2 1 が形成される。第 1、第 2 及び第 3 素子領域 (アクティブエリア) A A 1, A A 2, A A 3 は、素子分離絶縁層 2 1 により分離され、第 1 方向に直交する第 2 方向に互いに隣接して配置される。

【 0 0 4 5 】

第 1 素子領域 A A 1 の第 2 方向の幅 W 1 は、第 2 及び第 3 素子領域 A A 2, A A 3 の第 2 方向の幅 W 2, W 3 よりも狭くなるようにレイアウトされる。

10

【 0 0 4 6 】

第 1 素子領域 A A 1 内には、エージングデバイスとして機能する第 1 M I S 型デバイス A 1 (SSAD: solid state aging device) 及びこれを挟み込む 2 つのセレクトゲートトランジスタ S G D 1, S G S 1 が配置される。第 1 M I S 型デバイス A 1 及び 2 つのセレクトゲートトランジスタ S G D 1, S G S 1 は、直列接続される。

【 0 0 4 7 】

第 1 M I S 型デバイス A 1 は、スタックゲート構造を有する。即ち、半導体基板 1 1 上には、トンネル絶縁膜 1 2 を介してフローティングゲート (F G) 1 3 が形成され、フローティングゲート 1 3 上には、電極間絶縁層 1 4 を介してコントロールゲート電極 (C G) 1 5 が形成される。

20

【 0 0 4 8 】

フローティングゲート 1 3 の第 2 方向の幅 W 1 は、フローティングゲート 1 3 の第 1 方向の長さ L A よりも短くなるようにレイアウトされる。

【 0 0 4 9 】

第 1 M I S 型デバイス A 1 の直下の半導体基板 1 1 内には、拡散層 2 2 が形成される。

【 0 0 5 0 】

セレクトゲートトランジスタ S G D 1 のドレイン拡散層 1 6 は、コンタクトプラグを介してドレイン電極 1 9 に接続される。セレクトゲートトランジスタ S G S 1 のソース拡散層 1 7 は、コンタクトプラグを介してソース電極 2 0 に接続される。

【 0 0 5 1 】

30

セレクトゲートトランジスタ S G D 1, S G S 1 のゲート電極の第 2 方向の幅 W 1 は、セレクトゲートトランジスタ S G D 1, S G S 1 のゲート電極の第 1 方向の長さ L D, L S よりも短くなるようにレイアウトされる。

【 0 0 5 2 】

第 2 素子領域 A A 2 内には、制御デバイスとして機能する第 2 M I S 型デバイス A 2 及びこれを挟み込む 2 つのセレクトゲートトランジスタ S G D 2, S G S 2 が配置される。第 2 M I S 型デバイス A 2 及び 2 つのセレクトゲートトランジスタ S G D 2, S G S 2 は、直列接続される。

【 0 0 5 3 】

第 2 M I S 型デバイス A 2 は、第 1 M I S 型デバイス A 1 と同様に、スタックゲート構造を有する。即ち、半導体基板 1 1 上には、トンネル絶縁膜 1 2 A を介してフローティングゲート (F G) 1 3 A が形成され、フローティングゲート 1 3 A 上には、電極間絶縁層 1 4 A を介してコントロールゲート電極 (C G) 1 5 A が形成される。

40

【 0 0 5 4 】

フローティングゲート 1 3 A の第 2 方向の幅 W 2 は、フローティングゲート 1 3 A の第 1 方向の長さ L A よりも長くなるようにレイアウトされる。

【 0 0 5 5 】

第 2 M I S 型デバイス A 2 の直下の半導体基板 1 1 内には、拡散層 2 2 A が形成される。

【 0 0 5 6 】

50

セレクトゲートトランジスタSGD2のドレイン拡散層16Aは、コンタクトプラグを介してドレイン電極19Aに接続される。セレクトゲートトランジスタSGS2のソース拡散層17Aは、コンタクトプラグを介してソース電極20Aに接続される。

【0057】

第3素子領域AA3内には、制御デバイスとして機能する第3MIS型デバイスA3及びこれを挟み込む2つのセレクトゲートトランジスタSGD3, SGS3が配置される。第3MIS型デバイスA3及び2つのセレクトゲートトランジスタSGD3, SGS3は、直列接続される。

【0058】

第3MIS型デバイスA3の構造は、第2MIS型デバイスA2と同じであり、また、第3MIS型デバイスA3を挟み込む2つのセレクトゲートトランジスタSGD3, SGS3の構造は、第2MIS型デバイスA2を挟み込む2つのセレクトゲートトランジスタSGD2, SGS2の構造と同じであるため、ここでは、その説明を省略する。

【0059】

このような半導体集積回路において、第1、第2及び第3MIS型デバイスA1, A2, A3のコントロールゲート電極(CG)15, 15Aは、それぞれ独立に制御される。

【0060】

また、第1及び第2素子領域AA1, AA2間の素子分離絶縁層21の第2方向の幅WIは、セレクトゲートトランジスタSGD1, SGS1, SGD2, SGS2のうちの1つのゲート電極から第1及び第2MIS型デバイスA1, A2のフローティングゲート(FG)13, 13Aまでの第1方向の幅Wsよりも狭くなるようにレイアウトされる。

【0061】

同様に、第1及び第3素子領域AA1, AA3間の素子分離絶縁層21の第2方向の幅WIについても、セレクトゲートトランジスタSGD1, SGS1, SGD3, SGS3のうちの1つのゲート電極から第1及び第3MIS型デバイスA1, A3のフローティングゲート(FG)13, 13Aまでの第1方向の幅Wsよりも狭くなるようにレイアウトされる。

【0062】

第1、第2及び第3MIS型デバイスA1, A2, A3のフローティングゲート(FG)13, 13Aの第1方向の長さLAは、互いに等しくなるようにレイアウトされ、セレクトゲートトランジスタSGD1, SGS1, SGD2, SGS2, SGD3, SGS3のゲート電極の第1方向の長さLD, LSは、互いに等しくなるようにレイアウトされる。

【0063】

セレクトゲートトランジスタSGD1, SGS1, SGD2, SGS2, SGD3, SGS3は、第1、第2及び第3MIS型デバイスA1, A2, A3と同様に、スタックゲート構造を有するが、上側のゲート電極と下側のゲート電極とが導電プラグにより互いに接続される。

【0064】

このような半導体集積回路は、フラッシュメモリの製造プロセスを利用して容易に形成することができる。但し、第1、第2及び第3MIS型デバイスA1, A2, A3のコントロールゲート電極(CG)15, 15Aを互いに分離する必要があるため、マスクパターンの変更が必要である。

【0065】

図6及び図7の半導体集積回路では、MIS型デバイスA1, A2, A3は、MISFETになっていないが、例えば、図10及び図11に示すように、MISFETとすることも可能である。

【0066】

図8及び図9は、図10及び図11の拡散層22, 22Aを除いたものである。これでも、エージングデバイスとしての所定の機能を実現できる。

10

20

30

40

50

【 0 0 6 7 】

図 1 0 及び図 1 1 は、図 6 及び図 7 に対応する第 1 方向の断面図である。第 2 方向の断面図は、図 4 及び図 5 と同じなので、ここでは、省略する。

【 0 0 6 8 】

B. 動作

図 3 乃至図 7 の半導体集積回路では、制御デバイスとしての M I S 型デバイス A 2 , A 3 を用いて、M I S 型デバイス（エージングデバイス）A 1 の寿命を制御する。この制御とは、フローティングゲート 1 3 , 1 3 A 間の容量カップリング C f g を利用する、というものである。

【 0 0 6 9 】

フローティングゲート 1 3 からのリーク電流は、フローティングゲート 1 3 の自己電位によって決まる。一方、容量カップリング C f g を利用することで、制御デバイス A 2 , A 3 のフローティングゲート 1 3 A がエージングデバイスのフローティングゲート 1 3 の自己電位を制御することができる。

【 0 0 7 0 】

従って、制御デバイスとしての M I S 型デバイス A 2 , A 3 のフローティングゲート 1 3 A 内の電荷量を調節して、フローティングゲート 1 3 A の自己電位を操作すれば、エージングデバイス A 1 のフローティングゲート 1 3 からの電荷のリーク量を制御できる。

【 0 0 7 1 】

制御デバイス A 2 , A 3 によるエージングデバイス A 1 の寿命の制御性を向上するには、容量カップリング C f g を十分に強くしておく必要がある。

【 0 0 7 2 】

その方法は、いくつか考えられるが、代表的なものを 3 つ挙げておく。

i) 素子分離絶縁層（例えば、S T I）2 1 の第 2 方向の幅 W I をできるだけ狭くする。これは、フローティングゲート 1 3 , 1 3 A 間の距離を短くして容量カップリング C f g を強くすることを目的としたものである。

【 0 0 7 3 】

ii) エージングデバイス A 1 のフローティングゲート 1 3 のゲート長（第 1 方向の長さ）L A をできるだけ長くする。これは、フローティングゲート 1 3 , 1 3 A が対向する面積を大きくして容量カップリング C f g を強くすることを目的としたものである。

【 0 0 7 4 】

iii) フローティングゲート 1 3 , 1 3 A 間に高い誘電率を持つ絶縁層を配置する。これは、フローティングゲート 1 3 , 1 3 A 間の絶縁層の比誘電率を高くして容量カップリング C f g を強くすることを目的としたものである。

【 0 0 7 5 】

このうち、iii)を採用する場合には、他の領域（例えば、メモリセル）のプロセスとの整合性を損なう可能性がある。従って、いずれを採用するかは、周辺事情を考慮し、例えば、i) ~ iii)のうち、必要と思われるものを適宜選択して採用することが重要である。

【 0 0 7 6 】

書き込み（初期設定）は、フラッシュメモリと同様に、M I S 型デバイス A 1 , A 2 , A 3 のフローティングゲート 1 3 , 1 3 A 内に電荷を注入することにより行う。

【 0 0 7 7 】

例えば、F N トンネリングにより、制御デバイス A 2 , A 3 のフローティングゲート 1 3 A 内に電荷を注入した後、エージングデバイス A 1 のフローティングゲート 1 3 内に電荷を注入する。

【 0 0 7 8 】

制御デバイス A 2 , A 3 に対する書き込みは、例えば、電子を注入する場合には、ドレイン側セレクトゲートトランジスタ S G D 2 , S G D 3 及びソース側セレクトゲートトランジスタ S G S 2 , S G S 3 のうちの少なくとも 1 つをオンにし、拡散層 2 2 A にソース又はドレインの接地電位を転送し、コントロールゲート電極 1 5 A にプラスの書き込み電

10

20

30

40

50

位を与えることにより行う。

【 0 0 7 9 】

制御デバイス A 2 , A 3 に対する書き込みは、両者を同時に行ってもよいし、別々に行ってもよい。

【 0 0 8 0 】

エージングデバイス A 1 に対する書き込みは、例えば、電子を注入する場合には、ドレイン側セレクトゲートトランジスタ S G D 1 及びソース側セレクトゲートトランジスタ S G S 1 のうちの少なくとも 1 つをオンにし、拡散層 2 2 にソース又はドレインの接地電位を転送し、コントロールゲート電極 1 5 にプラスの書き込み電位を与えることにより行う。

10

【 0 0 8 1 】

書き込みについては、フローティングゲート 1 3 , 1 3 A 内に注入する電荷量をベリファイ (verify) 技術により制御できる。

【 0 0 8 2 】

図 1 2 は、書き込み電位 V_{cg} を次第に大きくし、フローティングゲート 1 3 , 1 3 A 内に注入する電荷量を制御する技術である。

【 0 0 8 3 】

コントロールゲート電極 1 5 , 1 5 A には、大きさが段階的に変化する矩形パルス 1 , 2 , 3 , 4 , 5 , . . . が一定間隔で印加される。

【 0 0 8 4 】

矩形パルス 1 , 2 , 3 , 4 , 5 , . . . の間のインターバルには、読み出しを行うため、セレクトゲートトランジスタ S G D 1 , S G S 1 , S G D 2 , S G S 2 , S G D 3 , S G S 3 をオンにするための電圧 V_{pass} を印加する。但し、 V_{pass} は、一般に V_{cg} よりも小さい。この V_{pass} が印加されている間に、読み出しパルス V_{sd} がソース及びドレイン間に印加される。

20

【 0 0 8 5 】

読み出しデータに応じて、フローティングゲート 1 3 , 1 3 A 内に注入された電荷量を把握できるため、正確な電荷量の制御が可能になる。

【 0 0 8 6 】

読み出しデータが期待値に到達していない場合には、期待値になるまで、書き込みのための矩形パルス (V_{cg}) 1 , 2 , 3 , 4 , 5 , . . . をコントロールゲート電極 1 5 , 1 5 A に与えると共に、 V_{pass} をセレクトゲートトランジスタ S G D 1 , S G S 1 , S G D 2 , S G S 2 , S G D 3 , S G S 3 のゲート電極に与える。

30

【 0 0 8 7 】

V_{pass} を印加している間に、読み出し電圧 V_{sd} をソース及びドレイン間に印加する。この例では、M I S 型デバイス A 2 , A 3 に対して書き込みを行った後に、M I S 型デバイス A 1 に対する書き込みを実行する。しかし、この順序を逆にしても、同様の効果を得ることができる。

【 0 0 8 8 】

読み出しデータが期待値になったときは、書き込みを終了する。

40

【 0 0 8 9 】

この例では、矩形パルス 1 , 2 , 3 , 4 , 5 , . . . が大きくなり過ぎないように、最大値を設定しておくことが重要である。矩形パルス 1 , 2 , 3 , 4 , 5 , . . . の大きさが最大値に到達したときに、読み出しデータが期待値になっていないときは、全てをリセットした後、再び、書き込みを行うか、又は、書き込み不良とする。

【 0 0 9 0 】

ベリファイ技術としては、図 1 2 以外にも、図 1 3 に示すように、書き込み電位 V_{cg} の幅を次第に広くしていく技術がある。この場合、コントロールゲート電極 1 5 , 1 5 A には、幅が段階的に変化する矩形パルス 1 , 2 , 3 , 4 , 5 , . . . が一定間隔で印加される。

50

【 0 0 9 1 】

また、図 1 4 に示すように、書き込み電位 V_{cg} の大きさ及び幅が一定の矩形パルス 1, 2, 3, 4, 5, ... を一定間隔でコントロールゲート電極 1 5, 1 5 A に印加してもよい。

【 0 0 9 2 】

このように、ベリファイ技術を利用することにより、エージングデバイス A 1 及び制御デバイス A 2, A 3 の双方に対して、フローティングゲート 1 3, 1 3 A 内に注入する電荷量を正確に制御できる。

【 0 0 9 3 】

従って、制御デバイスの制御性を向上できると共に、エージングデバイスの寿命の誤差も小さくできる。

10

【 0 0 9 4 】

C. 寿命の制御性

エージングデバイスの寿命の制御性を向上させるには、制御デバイスの寿命をエージングデバイスの寿命よりも長くすることが必要である。

【 0 0 9 5 】

そのためには、制御デバイスのトンネル絶縁膜の厚さをエージングデバイスのトンネル絶縁膜の厚さよりも大きくしてもよいが、成膜プロセスの複雑化を避けるため、制御デバイスとエージングデバイスのトンネル絶縁膜の厚さについては、互いに同じにし、以下の構成を採用することが有効な手段である。

20

【 0 0 9 6 】

- ・ 制御デバイスのフローティングゲートの体積をエージングデバイスのフローティングゲートの体積よりも大きくする。

【 0 0 9 7 】

- ・ 制御デバイスのフローティングゲート内の不純物の導電型とその直下の半導体基板内の拡散層の不純物の導電型とを異ならせ、エージングデバイスのフローティングゲート内の不純物の導電型とその直下の半導体基板内の拡散層の不純物の導電型とを同じにする。

【 0 0 9 8 】

前者は自明なので、後者の手段が有効である理由について述べる。

【 0 0 9 9 】

エージングデバイス及び制御デバイスのそれぞれの寿命は、フローティングゲートからの電荷のリーク量により決定される。

30

【 0 1 0 0 】

図 1 5 及び図 1 6 は、ウェル領域、フローティングゲート及びこれらの間の酸化層からなる MOS キャパシタの J V 特性を示している。

【 0 1 0 1 】

図 1 5 の例では、フローティングゲートは、N 型ポリシリコン (N+poly) から構成され、図 1 6 の例では、フローティングゲートは、P 型ポリシリコン (P+poly) から構成される。

【 0 1 0 2 】

これらの図から分かることは、ウェル領域内の不純物の導電型とフローティングゲート内の不純物の導電型が異なるときは、両者が同じときよりも、リーク電流 J_g が小さくなる、ということである。

40

【 0 1 0 3 】

例えば、ゲート電位 V_g が負の場合、P 型ウェル領域 (P-Well) と N 型ポリシリコン (N+poly) のペアで MOS キャパシタを構成するときは、N 型ウェル領域 (N-Well) と N 型ポリシリコン (N+poly) のペアで MOS キャパシタを構成するときよりも、リーク電流が小さくなる。

【 0 1 0 4 】

また、ゲート電位 V_g が正の場合、N 型ウェル領域 (N-Well) と P 型ポリシリコン (P+poly) のペアで MOS キャパシタを構成するときは、P 型ウェル領域 (P-Well) と P 型ポリシリ

50

コン(P+poly)のペアでMOSキャパシタを構成するときよりも、リーク電流が小さくなる。

【0105】

図6及び図7の構造を例にとると、拡散層22, 22AをN型とすると、エージングデバイスA1のフローティングゲート13は、N型ポリシリコン層から構成し、また、制御デバイスA2, A3のフローティングゲート13Aは、P型ポリシリコン層から構成する。

【0106】

同様に、拡散層22, 22AをP型とすると、エージングデバイスA1のフローティングゲート13は、P型ポリシリコン層から構成し、また、制御デバイスA2, A3のフローティングゲート13Aは、N型ポリシリコン層から構成する。

10

【0107】

ここで、図6及び図7の構造では、エージングデバイスA1のフローティングゲート13の導電型と制御デバイスA2, A3のフローティングゲート13Aの導電型とが互いに異なることになる。

【0108】

そこで、制御デバイスA2, A3のフローティングゲート13A直下の拡散層22Aを省略して、図9に示すような構造にするか、若しくは、図11のように、FETにすれば、フローティングゲート13, 13Aの導電型を同じにすることもできる。

【0109】

20

この場合、半導体基板がP型、拡散層22がN型であるとする、エージングデバイスA1のフローティングゲート13及び制御デバイスA2, A3のフローティングゲート13Aは、それぞれ、N型ポリシリコン層から構成する。

【0110】

このようにすれば、書き込み時、例えば、コントロールゲート電極15, 15Aには、共に、正の電位を与え、電子をフローティングゲート13, 13A内に注入できる。電子注入後の状態は、図15の $V_g < 0$ となる。

【0111】

また、半導体基板がN型、拡散層22がP型であるとする、エージングデバイスA1のフローティングゲート13及び制御デバイスA2, A3のフローティングゲート13Aは、それぞれ、P型ポリシリコン層から構成する。

30

【0112】

このようにすれば、書き込み時、例えば、コントロールゲート電極15, 15Aには、共に、負の電位を与え、正孔をフローティングゲート13, 13A内に注入できる。正孔注入後の状態は、図16の $V_g > 0$ となる。

【0113】

尚、図8に示すように、図6の拡散層22を省略することもできる。

【0114】

D. エージングデバイスのタイプ

図3乃至図7におけるMIS型デバイスは、エンハンスメント型であり、この場合、エージングデバイスとしては、表1におけるノーマリオン型となる。

40

【0115】

ノーマリオフ型のエージングデバイスを実現するには、MIS型デバイスをディプレッション型にする必要があるが、この場合、リーク電流が大きくなり過ぎる危険性がある。

【0116】

そこで、例えば、ディプレッション型である図10及び図11の構造において、MIS型デバイス(MISFET)のチャネル領域に不純物をドーピングし、チャネル領域の不純物濃度を薄くするカウンタドーピング技術を採用する。

【0117】

即ち、図17に示すように、エージングデバイスA1(SSAD)のチャネル領域に不純物を

50

ドーピングし、カウンタードーピング領域 2 3 とする。

【 0 1 1 8 】

この場合、図 1 5 及び図 1 6 で示した N 型ウェル領域(N-Well)と P 型ウェル領域(P-Well)との電位差がやや小さくなるが、上述と同様の効果が得られる。

【 0 1 1 9 】

もう一つの方法は、図 1 8 に示すように、制御デバイス A 2 , A 3 のフローティングゲート 1 3 A の体積を、エージングデバイス A 1 のフローティングゲート 1 3 の体積よりもできるだけ大きくすることにより、リーク電流差(寿命の差)を十分に確保することができる。

【 0 1 2 0 】

図 1 8 の構造は、カウンタードーピング技術との相性が良いが、エージングデバイスの寿命の制御性を高めるという意味では、カウンタードーピング技術と併用しなくてもよい。

【 0 1 2 1 】

また、図 1 8 の構造は、フラッシュメモリの製造技術を応用することにより容易に得ることができる。

【 0 1 2 2 】

例えば、第 1、第 2 及び第 3 導電性ポリシリコン層(1st Poly/2nd Poly/3rd Poly)をスタックした後、これら第 1、第 2 及び第 3 導電性ポリシリコン層をパターンニングすればよい。

【 0 1 2 3 】

ここで、第 1 素子領域 A A 1 上の第 1 及び第 2 導電性ポリシリコン層は、それぞれ、フローティングゲート 1 3 及びコントロールゲート電極 1 5 となる。また、第 2 及び第 3 素子領域 A A 2 , A A 3 上の第 1 及び第 2 導電性ポリシリコン層は、プラグにより結合され、フローティングゲート 1 3 A となり、第 3 導電性ポリシリコン層は、コントロールゲート電極 1 5 A となる。

【 0 1 2 4 】

ノーマリオフ型エージングデバイスは、図 1 0 及び図 1 1 の構造において容易に実現することができる。

【 0 1 2 5 】

図 1 9 は、図 1 0 のエージングデバイス A 1 をノーマリオフ型として使用するもう一つの場合の構造を示している。

【 0 1 2 6 】

半導体基板 1 1 は、P 型、ウェル領域 2 4 は、N 型、拡散層 1 6 , 1 7 , 2 2 は、それぞれ P 型とする。また、フローティングゲート 1 3 及びコントロールゲート電極 1 5 は、N 型の導電性ポリシリコン層から構成する。

【 0 1 2 7 】

この場合、例えば、チャネル領域に接地電位を印加し、コントロールゲート電極 1 5 に正の書き込み電位を印加すると、F N トンネリングにより、電子がチャネル領域からフローティングゲート 1 3 内に注入される。

【 0 1 2 8 】

フローティングゲート 1 3 内に電子が注入された状態では、M I S 型デバイス(M I S F E T) A 1 のチャネル領域は、N 型から P 型に反転するため、M I S 型デバイス A 1 としては、オン状態である。

【 0 1 2 9 】

そして、フローティングゲート 1 3 内の電子は、時間の経過と共に放出され、ある時点で、M I S 型デバイス A 1 のチャネル領域は、P 型から N 型に戻り、M I S 型デバイス A 1 としては、オフ状態になる。

【 0 1 3 0 】

このオフになった時点が寿命である。

10

20

30

40

50

【 0 1 3 1 】

このように、図 1 9 の構造を用いて、ノーマリオフ型エージングデバイスを実現できる。

【 0 1 3 2 】

尚、図 1 9 の構造において、半導体基板 1 1 を N 型、ウェル領域 2 4 を P 型、拡散層 1 6 , 1 7 , 2 2 を N 型とし、フローティングゲート 1 3 及びコントロールゲート電極 1 5 を P 型の導電性ポリシリコン層から構成しても、ノーマリオフ型エージングデバイスを実現できる。

【 0 1 3 3 】

この場合、書き込み（初期設定）は、例えば、チャネル領域に接地電位を印加し、コントロールゲート電極 1 5 に負の書き込み電位を印加し、正孔をフローティングゲート 1 3 内に注入することにより行う。

【 0 1 3 4 】

フローティングゲート 1 3 内に正孔が注入された状態では、M I S 型デバイス（M I S F E T）A 1 のチャネル領域は、P 型から N 型に反転するため、M I S 型デバイス A 1 としては、オン状態である。

【 0 1 3 5 】

そして、フローティングゲート 1 3 内の正孔は、時間の経過と共に放出され、ある時点で、エージングデバイス A 1 のチャネル領域は、N 型から P 型に戻り、エージングデバイス A 1 としては、オフ状態になる。

【 0 1 3 6 】

以上、ノーマリオン型エージングデバイスとノーマリオフ型エージングデバイスとを実現できたので、この 2 種類のエージングデバイスを組み合わせて、表 1 に示す 4 つの機能を実現できる。

【 0 1 3 7 】

E. その他

ベリファイ読み出しについて、図 6 及び図 7 のノーマリオン型エージングデバイスを例に説明する。

【 0 1 3 8 】

半導体基板 1 1 は、N 型、拡散層 1 6 , 1 7 , 2 2 は、P 型とし、フローティングゲート 1 3 及びコントロールゲート電極 1 5 は、P 型の導電性ポリシリコン層とする。

【 0 1 3 9 】

まず、コントロールゲート電極 1 5 に書き込み電位を印加しない状態で、セレクトゲートトランジスタ S G D 1 , S G S 1 のゲート電極に負電位を印加し、これらをオン状態にする。この時、エージングデバイスの状態（フローティングゲート 1 3 内の電荷量）に応じて、ドレイン拡散層 1 6 とソース拡散層 1 7 の間に流れる電流（ドレイン電流）が変わるため、これをセンスアンプにより検出する。

【 0 1 4 0 】

尚、コントロールゲート電極 1 5 に書き込みパルスを印加しているときは、例えば、チャネル領域を接地電位にしておかなければならないため、セレクトゲートトランジスタ S G D 1 , S G S 1 の少なくとも 1 つをオンにし、接地電位をチャネル領域に転送する。

【 0 1 4 1 】

また、ベリファイについては、制御デバイス及びエージングデバイスに対する書き込みが完了した後に、さらに、寿命の調整のために繰り返し行ってもよい。

【 0 1 4 2 】

制御デバイス内のフローティングゲート内に注入される電荷量が多ければ多いほど、エージングデバイスの寿命は短くなるため、制御デバイスとエージングデバイスのトンネル絶縁膜の厚さが同じであっても、エージングデバイスの寿命の制御が可能になる。

【 0 1 4 3 】

エージングデバイスのリーク特性の製造ばらつきについては、出荷前に、リーク特性を

10

20

30

40

50

検査し、その結果に応じて、制御デバイスに対する書き込み（電荷の注入）方法の条件を決定することが可能である。

【0144】

この方法を採用すると、同じラインで製造したエージングデバイスでも、制御デバイスのフローティングゲート内に注入する電荷量を変えることにより、異なる寿命を持つ複数のエージングデバイスを提供できるようになる。

【0145】

従って、ユーザは、その目的に応じ、上述の条件を用いてエージングデバイスの寿命を設定できるようになると共に、製造ばらつきによる寿命誤差も抑制できる。

【0146】

また、エージングデバイス搭載製品を購入したエンドユーザは、このような事情を知ることなく、製品提供者が設定した期間のみ、製品の使用が可能となる。つまり、エンドユーザが製品をネットワークに接続しようが、外部電源から切断しようが、この使用期間外で製品を使用することが不可能になる。

【0147】

(3) 第2実施の形態

A. 構造

図20は、第2実施の形態に関わる半導体集積回路の平面図を示している。

【0148】

図21は、図20のXIX - XIX線に沿う断面図、図22は、図20のXX - XX線に沿う断面図、図23は、図20のXXI - XXI線に沿う断面図である。

【0149】

第1実施の形態では、制御デバイス/エージングデバイス/制御デバイスの列が素子分離絶縁層を介して形成されるが、第2実施の形態では、1つの素子領域内に、制御デバイス/エージングデバイス/制御デバイスの列が形成される。

【0150】

半導体基板11内には、STI構造の素子分離絶縁層21が形成される。素子領域（アクティブエリア）AAは、素子分離絶縁層21に取り囲まれる。素子領域AAの第2方向の幅は、W1に設定される。

【0151】

素子領域AA内には、エージングデバイスとして機能する第1MIS型デバイスA1(SAD)及びこれを挟み込む制御デバイスとしての第2及び第3MIS型デバイスA2, A3が配置される。また、素子領域AA内には、第1、第2及び第3MIS型デバイスA1, A2, A3を挟み込む2つのセレクトゲートトランジスタSGD, SGSが配置される。

【0152】

第1、第2及び第3MIS型デバイスA1, A2, A3及び2つのセレクトゲートトランジスタSGD, SGSは、直列接続される。

【0153】

第1MIS型デバイスA1は、スタックゲート構造を有する。即ち、半導体基板11上には、トンネル絶縁膜12を介してフローティングゲート13が形成され、フローティングゲート13上には、電極間絶縁層14を介してコントロールゲート電極15が形成される。

【0154】

フローティングゲート13の第1方向の長さは、L1、第2方向の幅は、W1に設定される。

【0155】

第2及び第3MIS型デバイスA2, A3は、第1MIS型デバイスA1と同様に、スタックゲート構造を有する。即ち、図23に示すように、半導体基板11上には、トンネル絶縁膜12Aを介してフローティングゲート13Aが形成され、フローティングゲート13A上には、電極間絶縁層14Aを介してコントロールゲート電極15Aが形成される

10

20

30

40

50

。

【 0 1 5 6 】

但し、トンネル絶縁膜 1 2 A 及び電極間絶縁層 1 4 A は、それぞれ、トンネル絶縁膜 1 2 及び電極間絶縁層 1 4 と共通であるのが望ましい。

【 0 1 5 7 】

フローティングゲート 1 3 A の第 1 方向の長さは、L 2 又は L 3、第 2 方向の幅は、W 1 に設定される。

【 0 1 5 8 】

拡散層 2 2 は、第 1、第 2 及び第 3 M I S 型デバイス A 1、A 2、A 3 の直下の半導体基板 1 1 内に形成される。

10

【 0 1 5 9 】

セレクトゲートトランジスタ S G D のドレイン拡散層 1 6 は、コンタクトプラグを介してドレイン電極 1 9 に接続される。セレクトゲートトランジスタ S G S のソース拡散層 1 7 は、コンタクトプラグを介してソース電極 2 0 に接続される。

【 0 1 6 0 】

セレクトゲートトランジスタ S G D、S G S は、第 1、第 2 及び第 3 M I S 型デバイス A 1、A 2、A 3 と同様に、スタックゲート構造を有するが、上側のゲート電極と下側のゲート電極とが導電プラグにより互いに接続される。

【 0 1 6 1 】

このような半導体集積回路において、第 1、第 2 及び第 3 M I S 型デバイス A 1、A 2、A 3 のコントロールゲート電極 1 5、1 5 A は、それぞれ独立に制御される。

20

【 0 1 6 2 】

また、拡散層 2 2 及びフローティングゲート 1 3 は、同じ導電型に設定され、拡散層 2 2 及びフローティングゲート 1 3 A は、異なる導電型に設定される。本例では、半導体基板は、P 型、拡散層 1 6、1 7、2 2 は、N 型であるため、フローティングゲート 1 3 は、N⁺ 型ポリシリコン層とし、フローティングゲート 1 3 A は、P⁺ 型ポリシリコン層とする。

【 0 1 6 3 】

さらに、フローティングゲート 1 3、1 3 A 間に発生する容量カップリング C f g の強さが十分であれば、制御デバイス A 2、A 3 に注入する電荷量を用いてエージングデバイス A 1 の寿命を制御できる。

30

【 0 1 6 4 】

このような半導体集積回路は、第 1 実施の形態と同様に、フラッシュメモリの製造プロセスを利用して容易に形成することができる。但し、第 1、第 2 及び第 3 M I S 型デバイス A 1、A 2、A 3 のコントロールゲート電極 1 5、1 5 A を互いに分離する必要があるため、マスクパターンの変更が必要である。

【 0 1 6 5 】

B. 動作

第 2 実施の形態の特徴の一つは、エージングデバイスとしての M I S 型デバイス A 1 のフローティングゲートの導電型と、制御デバイスとしての M I S 型デバイス A 2、A 3 のフローティングゲートの導電型とが異なる点にある。

40

【 0 1 6 6 】

図 2 0 乃至図 2 3 の構造を例にとると、まず、制御デバイスに対する書き込み（初期設定）を行い、その後、エージングデバイスに対する書き込みを行うことが好ましい。これは、両方の書き込みを同時に行うことを避けるためであり、同時でなければ、順序は逆でも構わない。

【 0 1 6 7 】

尚、各々の書き込みにおいては、第 1 実施の形態で述べたように、ベリファイ技術（図 1 2 乃至図 1 4）を採用し、エージングデバイスの寿命の制御を正確に行う。

【 0 1 6 8 】

50

第2実施の形態では、エージングデバイス及び制御デバイスのうちのいずれか一方に対して書き込みを実行しているときに、他方に対しても、弱く書き込みが行われてしまう、という現象が生じる恐れがある。

【0169】

図24は、その一例を示している。

【0170】

エージングデバイスとしての第1MIS型デバイスA1に対する書き込み時の様子である。

【0171】

第1MIS型デバイスA1のコントロールゲート電極に書き込み電位 V_{prg2} (>0)を印加し、第2及び第3MIS型デバイスA2, A3のコントロールゲート電極に接地電位 V_{ss} ($=0V$)を印加し、セレクトゲートトランジスタSGD, SGSのゲート電極に電源電位 V_{dd} を印加する。

【0172】

また、ドレイン電極19及びソース電極20には、それぞれ、0V未満の電位 V_d , V_s を印加する。

【0173】

この時、セレクトゲートトランジスタSGD, SGSは、オンになるため、0V未満の電位 V_d , V_s が拡散層22に転送される。すると、第1MIS型デバイスA1のトンネル絶縁膜には、高電界がかかり、FNトンネリングにより、電子が拡散層22から第1MIS型デバイスA1のフローティングゲート内に注入される。

【0174】

同時に、第2及び第3MIS型デバイスA2, A3においても、そのフローティングゲート内に電子が弱く注入される。

【0175】

そこで、第1MIS型デバイスA1に対する書き込み動作後に、第2及び第3MIS型デバイスA2, A3に対して書き戻し動作を行う。

【0176】

図25は、書き戻し動作の例を示している。

【0177】

第1MIS型デバイスA1のコントロールゲート電極に書き込み電位 V_{prg2} (>0)を印加した状態で、第2及び第3MIS型デバイスA2, A3のコントロールゲート電極を、接地電位 V_{ss} ($=0V$)から V_{prg1} (<0)に変える。また、ドレイン電極19及びソース電極20には、それぞれ、0Vを超える電位 V_d , V_s を印加する。

【0178】

V_{prg1} , V_d 及び V_s の大きさは、書き戻しの程度に応じて最適な値に設定される。

【0179】

セレクトゲートトランジスタSGD, SGSのゲート電極については、電源電位 V_{dd} のままとする。

【0180】

この時、セレクトゲートトランジスタSGD, SGSは、オンになるため、0Vを超える電位 V_d , V_s が拡散層22に転送される。すると、第2及び第3MIS型デバイスA2, A3のトンネル絶縁膜には、高電界がかかり、FNトンネリングにより、電子が第2及び第3MIS型デバイスA2, A3のフローティングゲートから拡散層22内に放出される。

【0181】

図20乃至図23の構造では、各部分の導電型を逆にしても同様の効果を得ることができる。

【0182】

図26は、その例を示している。

10

20

30

40

50

【 0 1 8 3 】

半導体基板は、N型、拡散層16, 17, 22は、P型であり、フローティングゲート13は、P⁺型ポリシリコン層とし、フローティングゲート13Aは、N⁺型ポリシリコン層とする。

【 0 1 8 4 】

エージングデバイスとしてのMIS型デバイスA1の寿命は、フローティングゲート13, 13A間に発生する容量カップリングC_{fg}の強さが十分であれば、制御デバイスとしてのMIS型デバイスA2, A3のフローティングゲート13Aに注入した電荷量で調節できる。

【 0 1 8 5 】

10

C. 寿命の制御性

第2実施の形態においても、制御デバイスの寿命は、エージングデバイスの寿命よりも十分に長く、制御デバイスによるエージングデバイスの寿命の制御性が向上する。

【 0 1 8 6 】

図27及び図28は、ウェル領域、フローティングゲート及びこれらの間の酸化層からなるMOSキャパシタのJ-V特性を示している。

【 0 1 8 7 】

図27の例は、図23に示すように、拡散層22がN型(N-Well)である場合である。この場合、フローティングゲートがP型ポリシリコン(P+poly)から構成されるときは、N型ポリシリコン(N+poly)から構成されるときよりも、リーク電流が減少する。

20

【 0 1 8 8 】

図28の例は、図26に示すように、拡散層22がP型(P-Well)である場合である。この場合、フローティングゲートがN型ポリシリコン(N+poly)から構成されるときは、P型ポリシリコン(P+poly)から構成されるときよりも、リーク電流が減少する。

【 0 1 8 9 】

つまり、いずれの場合においても、制御デバイスとしての第2及び第3MIS型デバイスA2, A3の寿命は、エージングデバイスとしての第1MIS型デバイスA1の寿命よりも長くなるため、エージングデバイスの寿命の制御性が向上する。

【 0 1 9 0 】

(4) 第3実施の形態

30

第3実施の形態は、第1実施の形態の変形例である。

【 0 1 9 1 】

エージングデバイスとしての性能を向上させるには、エージングデバイスと制御デバイスとの干渉を大きくすると共に、エージングデバイスとセレクトゲートトランジスタとの干渉を小さくすることが好ましい。

【 0 1 9 2 】

第1実施の形態では、そのための手段の一つとして、図29に示すように、エージングデバイスとしての第1MIS型デバイスA1のフローティングゲートの第1方向の幅を第2方向の幅よりも広くする。

【 0 1 9 3 】

40

これに対し、第3実施の形態では、エージングデバイスのフローティングゲートの第1方向の両辺に窪みを設け、エージングデバイスと制御デバイスとの干渉を大きくすると共に、エージングデバイスとセレクトゲートトランジスタとの干渉を小さくする。

【 0 1 9 4 】

A. 構造

図30は、第3実施の形態に関わる半導体集積回路の平面図を示している。

【 0 1 9 5 】

図31は、図30のXXXI-XXXI線に沿う断面図、図32は、図30のXXXII-XXXII線に沿う断面図、図33は、図30のXXXIII-XXXIII線に沿う断面図、図34は、図30のXXXIV-XXXIV線に沿う断面図である。

50

【0196】

半導体基板11内には、STI構造の素子分離絶縁層21が形成される。第1、第2及び第3素子領域(アクティブエリア)AA1, AA2, AA3は、素子分離絶縁層21により分離され、第1方向に直交する第2方向に互いに隣接して配置される。

【0197】

第1素子領域AA1の第2方向の幅W1は、第2及び第3素子領域AA2, AA3の第2方向の幅W2, W3よりも狭い。

【0198】

第1素子領域AA1内には、エージングデバイスとして機能する第1MIS型デバイスA1(SSAD)及びこれを挟み込む2つのセレクトゲートトランジスタSGD1, SGS1が配置される。第1MIS型デバイスA1及び2つのセレクトゲートトランジスタSGD1, SGS1は、直列接続される。

10

【0199】

第1MIS型デバイスA1は、スタックゲート構造を有する。即ち、半導体基板11上には、トンネル絶縁膜12を介してフローティングゲート(FG)13が形成され、フローティングゲート13上には、電極間絶縁層14を介してコントロールゲート電極(CG)15が形成される。

【0200】

フローティングゲート13の第2方向の幅W1は、フローティングゲート13の第1方向の長さLAよりも長い。また、フローティングゲート13の第2方向の幅W1は、第1素子領域AA1の幅と同じである。さらに、フローティングゲート13の第1方向の両辺には、窪みが設けられる。

20

【0201】

第1MIS型デバイスA1の直下の半導体基板11内には、拡散層22が形成される。

【0202】

セレクトゲートトランジスタSGD1のドレイン拡散層16は、コンタクトプラグを介してドレイン電極19に接続される。セレクトゲートトランジスタSGS1のソース拡散層17は、コンタクトプラグを介してソース電極20に接続される。

【0203】

セレクトゲートトランジスタSGD1, SGS1のゲート電極の第2方向の幅W1は、セレクトゲートトランジスタSGD1, SGS1のゲート電極の第1方向の長さLD, LSよりも長い。

30

【0204】

第2素子領域AA2内には、制御デバイスとして機能する第2MIS型デバイスA2及びこれを挟み込む2つのセレクトゲートトランジスタSGD2, SGS2が配置される。第2MIS型デバイスA2及び2つのセレクトゲートトランジスタSGD2, SGS2は、直列接続される。

【0205】

第2MIS型デバイスA2は、第1MIS型デバイスA1と同様に、スタックゲート構造を有する。即ち、半導体基板11上には、トンネル絶縁膜12Aを介してフローティングゲート(FG)13Aが形成され、フローティングゲート13A上には、電極間絶縁層14Aを介してコントロールゲート電極(CG)15Aが形成される。

40

【0206】

フローティングゲート13Aの第2方向の幅W2は、フローティングゲート13Aの第1方向の長さLAよりも長い。また、フローティングゲート13Aの第2方向の幅W2は、第2素子領域AA2の幅と同じである。

【0207】

第2MIS型デバイスA2の直下の半導体基板11内には、拡散層22Aが形成される。

【0208】

50

セレクトゲートトランジスタSGD2のドレイン拡散層16Aは、コンタクトプラグを介してドレイン電極19Aに接続される。セレクトゲートトランジスタSGS2のソース拡散層17Aは、コンタクトプラグを介してソース電極20Aに接続される。

【0209】

第3素子領域AA3内には、制御デバイスとして機能する第3MIS型デバイスA3及びこれを挟み込む2つのセレクトゲートトランジスタSGD3, SGS3が配置される。第3MIS型デバイスA3及び2つのセレクトゲートトランジスタSGD3, SGS3は、直列接続される。

【0210】

第3MIS型デバイスA3の構造は、第2MIS型デバイスA2と同じであり、また、第3MIS型デバイスA3を挟み込む2つのセレクトゲートトランジスタSGD3, SGS3の構造は、第2MIS型デバイスA2を挟み込む2つのセレクトゲートトランジスタSGD2, SGS2の構造と同じであるため、ここでは、その説明を省略する。

【0211】

このような半導体集積回路において、第1、第2及び第3MIS型デバイスA1, A2, A3のコントロールゲート電極(CG)15, 15Aは、それぞれ独立に制御される。

【0212】

また、第1及び第2素子領域AA1, AA2間の素子分離絶縁層21の第2方向の幅WIは、セレクトゲートトランジスタSGD1, SGS1, SGD2, SGS2のうちの1つのゲート電極から第1及び第2MIS型デバイスA1, A2のフローティングゲート(FG)13, 13Aまでの第1方向の幅Wsよりも狭い。

【0213】

同様に、第1及び第3素子領域AA1, AA3間の素子分離絶縁層21の第2方向の幅WIについても、セレクトゲートトランジスタSGD1, SGS1, SGD3, SGS3のうちの1つのゲート電極から第1及び第3MIS型デバイスA1, A3のフローティングゲート(FG)13, 13Aまでの第1方向の幅Wsよりも狭い。

【0214】

第1、第2及び第3MIS型デバイスA1, A2, A3のフローティングゲート(FG)13, 13Aの第1方向の長さLAは、互いに等しくなるようにレイアウトされ、セレクトゲートトランジスタSGD1, SGS1, SGD2, SGS2, SGD3, SGS3のゲート電極の第1方向の長さLD, LSは、互いに等しくなるようにレイアウトされる。

【0215】

セレクトゲートトランジスタSGD1, SGS1, SGD2, SGS2, SGD3, SGS3は、第1、第2及び第3MIS型デバイスA1, A2, A3と同様に、スタックゲート構造を有するが、上側のゲート電極と下側のゲート電極とが導電プラグにより互いに接続される。

【0216】

このような半導体集積回路は、フラッシュメモリの製造プロセスを利用して容易に形成することができる。但し、第1、第2及び第3MIS型デバイスA1, A2, A3のコントロールゲート電極(CG)15, 15Aを互いに分離する必要があるため、マスクパターンの変更が必要である。

【0217】

図33及び図34の半導体集積回路では、MIS型デバイスA1, A2, A3は、MISFETになっていないが、例えば、図37及び図38に示すように、MISFETとすることも可能である。

【0218】

図35及び図36は、図37及び図38の拡散層22, 22Aを除いたものである。それでも、エージングデバイスとしての所定の機能を実現できる。

【0219】

10

20

30

40

50

図 3 7 及び図 3 8 は、図 3 3 及び図 3 4 に対応する第 1 方向の断面図である。第 2 方向の断面図は、図 3 1 及び図 3 2 と同じなので、ここでは、省略する。

【 0 2 2 0 】

B. 動作

図 3 0 乃至図 3 4 の半導体集積回路では、制御デバイスとしての M I S 型デバイス A 2 , A 3 を用いて、M I S 型デバイス (エージングデバイス) A 1 の寿命を制御する。この制御には、フローティングゲート 1 3 , 1 3 A 間の容量カップリング C f g を利用する。

【 0 2 2 1 】

尚、動作については、第 1 実施の形態と同じであるので、ここでは、その説明を省略する。

【 0 2 2 2 】

C. 寿命の制御性

エージングデバイスの寿命の制御性を向上させるには、制御デバイスの寿命をエージングデバイスの寿命よりも長くすることが必要である。

【 0 2 2 3 】

寿命の制御性についても、第 1 実施の形態と同じであるので、ここでは、その説明を省略する。

【 0 2 2 4 】

E. むすび

第 3 実施の形態によれば、エージングデバイスとしての第 1 M I S 型トランジスタのフローティングゲートの形状を工夫することにより、第 1 実施の形態のように、第 1 M I S 型トランジスタのフローティングゲートの第 1 方向の幅を第 2 方向の幅よりも長くしなくても、第 1 実施の形態と同様の効果を得ることができる。

【 0 2 2 5 】

(5) 第 4 実施の形態

第 4 実施の形態は、第 3 実施の形態の変形例である。

両実施の形態の異なる点は、第 1 素子領域の幅にある。

【 0 2 2 6 】

図 3 9 は、第 4 実施の形態に関わる半導体集積回路の平面図を示している。

【 0 2 2 7 】

図 4 0 は、図 3 9 の X L - X L 線に沿う断面図、図 4 1 は、図 3 9 の X L I - X L I 線に沿う断面図である。

【 0 2 2 8 】

尚、図 3 9 の X X X I I I - X X X I I I 線に沿う断面図は、図 3 3 に示すようになり、図 3 9 の X X X I V - X X X I V 線に沿う断面図は、図 3 4 に示すようになる。

【 0 2 2 9 】

半導体基板 1 1 内には、S T I 構造の素子分離絶縁層 2 1 が形成される。第 1、第 2 及び第 3 素子領域 (アクティブエリア) A A 1 , A A 2 , A A 3 は、素子分離絶縁層 2 1 により分離され、第 1 方向に直交する第 2 方向に互いに隣接して配置される。

【 0 2 3 0 】

第 1 素子領域 A A 1 の第 2 方向の幅 W 1 は、第 2 及び第 3 素子領域 A A 2 , A A 3 の第 2 方向の幅 W 2 , W 3 よりも狭い。

【 0 2 3 1 】

第 1 素子領域 A A 1 内には、エージングデバイスとして機能する第 1 M I S 型デバイス A 1 (SSAD) 及びこれを挟み込む 2 つのセレクトゲートトランジスタ S G D 1 , S G S 1 が配置される。第 1 M I S 型デバイス A 1 及び 2 つのセレクトゲートトランジスタ S G D 1 , S G S 1 は、直列接続される。

【 0 2 3 2 】

第 1 M I S 型デバイス A 1 は、スタックゲート構造を有する。即ち、半導体基板 1 1 上には、トンネル絶縁膜 1 2 を介してフローティングゲート (F G) 1 3 が形成され、フロ

10

20

30

40

50

ーティングゲート 13 上には、電極間絶縁層 14 を介してコントロールゲート電極 (CG) 15 が形成される。

【0233】

フローティングゲート 13 の第 2 方向の幅 W1 は、第 1 素子領域 AA1 の幅よりも広い。さらに、フローティングゲート 13 の第 1 方向の両辺には、窪みが設けられる。

【0234】

第 1 MIS 型デバイス A1 の直下の半導体基板 11 内には、拡散層 22 が形成される。

【0235】

セレクトゲートトランジスタ SGD1 のドレイン拡散層 16 は、コンタクトプラグを介してドレイン電極 19 に接続される。セレクトゲートトランジスタ SGS1 のソース拡散層 17 は、コンタクトプラグを介してソース電極 20 に接続される。

【0236】

また、セレクトゲートトランジスタ SGD1, SGS1 のゲート電極の第 2 方向の幅 W1 は、第 1 素子領域 AA1 の幅よりも広い。

【0237】

第 2 素子領域 AA2 内には、制御デバイスとして機能する第 2 MIS 型デバイス A2 及びこれを挟み込む 2 つのセレクトゲートトランジスタ SGD2, SGS2 が配置される。第 2 MIS 型デバイス A2 及び 2 つのセレクトゲートトランジスタ SGD2, SGS2 は、直列接続される。

【0238】

第 2 MIS 型デバイス A2 は、第 1 MIS 型デバイス A1 と同様に、スタックゲート構造を有する。即ち、半導体基板 11 上には、トンネル絶縁膜 12A を介してフローティングゲート (FG) 13A が形成され、フローティングゲート 13A 上には、電極間絶縁層 14A を介してコントロールゲート電極 (CG) 15A が形成される。

【0239】

フローティングゲート 13A の第 2 方向の幅 W2 は、第 2 素子領域 AA2 の幅と同じである。

【0240】

第 2 MIS 型デバイス A2 の直下の半導体基板 11 内には、拡散層 22A が形成される。

【0241】

セレクトゲートトランジスタ SGD2 のドレイン拡散層 16A は、コンタクトプラグを介してドレイン電極 19A に接続される。セレクトゲートトランジスタ SGS2 のソース拡散層 17A は、コンタクトプラグを介してソース電極 20A に接続される。

【0242】

第 3 素子領域 AA3 内には、制御デバイスとして機能する第 3 MIS 型デバイス A3 及びこれを挟み込む 2 つのセレクトゲートトランジスタ SGD3, SGS3 が配置される。第 3 MIS 型デバイス A3 及び 2 つのセレクトゲートトランジスタ SGD3, SGS3 は、直列接続される。

【0243】

第 3 MIS 型デバイス A3 の構造は、第 2 MIS 型デバイス A2 と同じであり、また、第 3 MIS 型デバイス A3 を挟み込む 2 つのセレクトゲートトランジスタ SGD3, SGS3 の構造は、第 2 MIS 型デバイス A2 を挟み込む 2 つのセレクトゲートトランジスタ SGD2, SGS2 の構造と同じであるため、ここでは、その説明を省略する。

【0244】

第 4 実施の形態によれば、エージングデバイスとしての第 1 MIS 型トランジスタのフローティングゲートの形状を工夫することにより、第 1 実施の形態のように、第 1 MIS 型トランジスタのフローティングゲートの第 1 方向の幅を第 2 方向の幅よりも長くしなくても、第 1 実施の形態と同様の効果を得ることができる。

【0245】

10

20

30

40

50

(6) 第5実施の形態

第5実施の形態は、第4実施の形態の変形例である。

両実施の形態の異なる点は、第2及び第3素子領域の幅にある。

【0246】

図42は、第5実施の形態に関わる半導体集積回路の平面図を示している。

【0247】

図43は、図42のX L I I I - X L I I I線に沿う断面図、図44は、図42のX L I V - X L I V線に沿う断面図である。

【0248】

尚、図42のX X X I I I - X X X I I I線に沿う断面図は、図33に示すようになり、図42のX X X I V - X X X I V線に沿う断面図は、図34に示すようになる。

10

【0249】

半導体基板11内には、S T I構造の素子分離絶縁層21が形成される。第1、第2及び第3素子領域(アクティブエリア)A A 1, A A 2, A A 3は、素子分離絶縁層21により分離され、第1方向に直交する第2方向に互いに隣接して配置される。

【0250】

第1素子領域A A 1内には、エージングデバイスとして機能する第1M I S型デバイスA 1(SSAD)及びこれを挟み込む2つのセレクトゲートトランジスタS G D 1, S G S 1が配置される。第1M I S型デバイスA 1及び2つのセレクトゲートトランジスタS G D 1, S G S 1は、直列接続される。

20

【0251】

第1M I S型デバイスA 1は、スタックゲート構造を有する。即ち、半導体基板11上には、トンネル絶縁膜12を介してフローティングゲート(F G)13が形成され、フローティングゲート13上には、電極間絶縁層14を介してコントロールゲート電極(C G)15が形成される。

【0252】

フローティングゲート13の第2方向の幅W 1は、第1素子領域A A 1の幅よりも広い。さらに、フローティングゲート13の第1方向の両辺には、窪みが設けられる。

【0253】

第1M I S型デバイスA 1の直下の半導体基板11内には、拡散層22が形成される。

30

【0254】

セレクトゲートトランジスタS G D 1のドレイン拡散層16は、コンタクトプラグを介してドレイン電極19に接続される。セレクトゲートトランジスタS G S 1のソース拡散層17は、コンタクトプラグを介してソース電極20に接続される。

【0255】

また、セレクトゲートトランジスタS G D 1, S G S 1のゲート電極の第2方向の幅W 1は、第1素子領域A A 1の幅よりも広い。

【0256】

第2素子領域A A 2内には、制御デバイスとして機能する第2M I S型デバイスA 2及びこれを挟み込む2つのセレクトゲートトランジスタS G D 2, S G S 2が配置される。第2M I S型デバイスA 2及び2つのセレクトゲートトランジスタS G D 2, S G S 2は、直列接続される。

40

【0257】

第2M I S型デバイスA 2は、第1M I S型デバイスA 1と同様に、スタックゲート構造を有する。即ち、半導体基板11上には、トンネル絶縁膜12Aを介してフローティングゲート(F G)13Aが形成され、フローティングゲート13A上には、電極間絶縁層14Aを介してコントロールゲート電極(C G)15Aが形成される。

【0258】

フローティングゲート13Aの第2方向の幅W 2は、第2素子領域A A 2の幅よりも広い。

50

【0259】

第2MIS型デバイスA2の直下の半導体基板11内には、拡散層22Aが形成される。

【0260】

セレクトゲートトランジスタSGD2のドレイン拡散層16Aは、コンタクトプラグを介してドレイン電極19Aに接続される。セレクトゲートトランジスタSGS2のソース拡散層17Aは、コンタクトプラグを介してソース電極20Aに接続される。

【0261】

また、セレクトゲートトランジスタSGD2, SGS2のゲート電極の第2方向の幅W2は、第2素子領域AA2の幅よりも広い。

10

【0262】

第3素子領域AA3内には、制御デバイスとして機能する第3MIS型デバイスA3及びこれを挟み込む2つのセレクトゲートトランジスタSGD3, SGS3が配置される。第3MIS型デバイスA3及び2つのセレクトゲートトランジスタSGD3, SGS3は、直列接続される。

【0263】

第3MIS型デバイスA3の構造は、第2MIS型デバイスA2と同じであり、また、第3MIS型デバイスA3を挟み込む2つのセレクトゲートトランジスタSGD3, SGS3の構造は、第2MIS型デバイスA2を挟み込む2つのセレクトゲートトランジスタSGD2, SGS2の構造と同じであるため、ここでは、その説明を省略する。

20

【0264】

第5実施の形態によれば、エージングデバイスとしての第1MIS型トランジスタのフローティングゲートの形状を工夫することにより、第1実施の形態のように、第1MIS型トランジスタのフローティングゲートの第1方向の幅を第2方向の幅よりも長くしなくても、第1実施の形態と同様の効果を得ることができる。

【0265】

(7) その他

第1乃至第5実施の形態では、2つの制御デバイスにより1つのエージングデバイスを挟み込む構造を提案する。

【0266】

しかし、本発明の本質は、制御デバイスのフローティングゲートとエージングデバイスのフローティングゲートとの間に発生する容量カップリングを利用して、トンネル絶縁膜の厚さによらず、エージングデバイスの寿命を制御する、という点にある。

30

【0267】

従って、制御デバイスの数は、2つに制限されず、例えば、エージングデバイスに隣接する形で1つのみ設けてもよい。また、制御デバイスの数は、3つ以上であっても構わない。

【0268】

また、第3乃至第5実施の形態において、エージングデバイスとしての第1MIS型トランジスタA1のフローティングゲートの形状は、様々な変形が可能である。例えば、図45にその例について示す。

40

【0269】

重要な点は、第1MIS型トランジスタA1のフローティングゲートの第1方向の両辺に窪みを設け、エージングデバイスとセレクトゲートトランジスタとの干渉を弱くすることにある。

【0270】

3. 適用例

本発明のエージングデバイスは、様々な半導体集積回路に適用可能であるが、特に、プロセス上の観点からすれば、スタックゲート構造のメモリセルを有する不揮発性半導体メモリとの混載に有望である。

50

【 0 2 7 1 】

例えば、図 4 6 に示すように、不揮発性半導体メモリに対するデータの読み出し / 書き込みを本発明のエージングデバイスを介して行えば、データの読み出し / 書き込みを許可する期間をエージングデバイスにより制御できる。

【 0 2 7 2 】

このようなシステムを構成すれば、1つのエージングデバイスで不揮発性半導体メモリ全体の寿命を制御できるため、各ビットの寿命を各々制御する場合に比べて、ビット間の寿命のばらつきが発生することはない。従って、寿命制御可能な不揮発性半導体メモリの大容量化にも貢献できる。

【 0 2 7 3 】

10

4 . むすび

本発明の例によれば、エージングデバイスの寿命を、トンネル絶縁膜の厚さによらず、簡単な回路により変更できる。

【 0 2 7 4 】

本発明の例は、上述の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で、各構成要素を変形して具体化できる。また、上述の実施の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の実施の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施の形態の構成要素を適宜組み合わせてもよい。

【 図面の簡単な説明 】

20

【 0 2 7 5 】

【 図 1 】 基本ユニットの構造を示す図。

【 図 2 】 エージングデバイスの 4 つの基本機能を示す図。

【 図 3 】 第 1 実施の形態の半導体集積回路を示す平面図。

【 図 4 】 図 3 の I V - I V 線に沿う断面図。

【 図 5 】 図 3 の V - V 線に沿う断面図。

【 図 6 】 図 3 の V I - V I 線に沿う断面図。

【 図 7 】 図 3 の V I I - V I I 線に沿う断面図。

【 図 8 】 図 6 の変形例を示す断面図。

【 図 9 】 図 7 の変形例を示す断面図。

30

【 図 1 0 】 第 1 実施の形態の変形例を示す断面図。

【 図 1 1 】 第 1 実施の形態の変形例を示す断面図。

【 図 1 2 】 ステップアップ書き込みの例を示す図。

【 図 1 3 】 ステップアップ書き込みの例を示す図。

【 図 1 4 】 ステップアップ書き込みの例を示す図。

【 図 1 5 】 M O S キャパシタの J V (リーク) 特性を示す図。

【 図 1 6 】 M O S キャパシタの J V (リーク) 特性を示す図。

【 図 1 7 】 カウンタードローピング技術の適用例を示す断面図。

【 図 1 8 】 第 1 実施の形態の変形例を示す断面図。

【 図 1 9 】 第 1 実施の形態の変形例を示す断面図。

40

【 図 2 0 】 第 2 実施の形態の半導体集積回路を示す平面図。

【 図 2 1 】 図 2 0 の X I X - X I X 線に沿う断面図。

【 図 2 2 】 図 2 0 の X X - X X 線に沿う断面図。

【 図 2 3 】 図 2 0 の X X I - X X I 線に沿う断面図。

【 図 2 4 】 書き込み時の様子を示す断面図。

【 図 2 5 】 書き戻し時の様子を示す断面図。

【 図 2 6 】 第 2 実施の形態の変形例を示す断面図。

【 図 2 7 】 M O S キャパシタの J V (リーク) 特性を示す図。

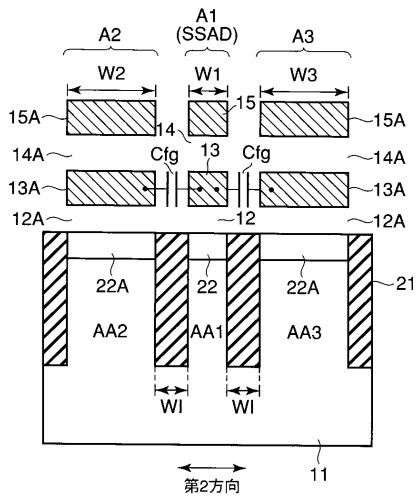
【 図 2 8 】 M O S キャパシタの J V (リーク) 特性を示す図。

【 図 2 9 】 第 1 実施の形態の半導体集積回路を示す斜視図。

50

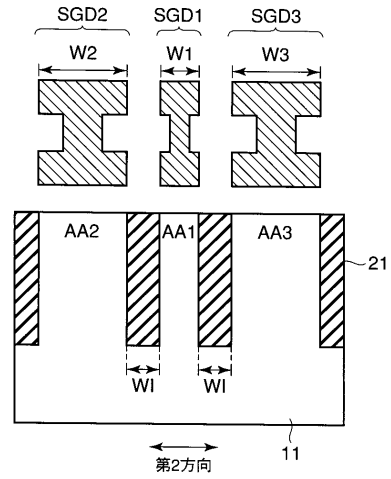
【 図 4 】

図 4



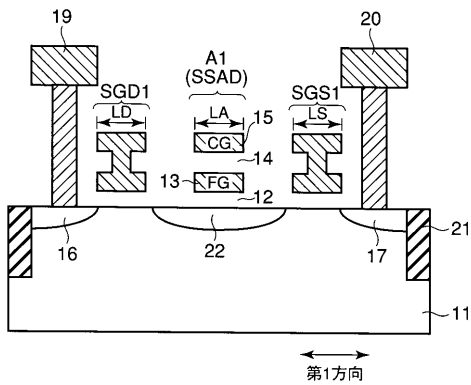
【 図 5 】

図 5



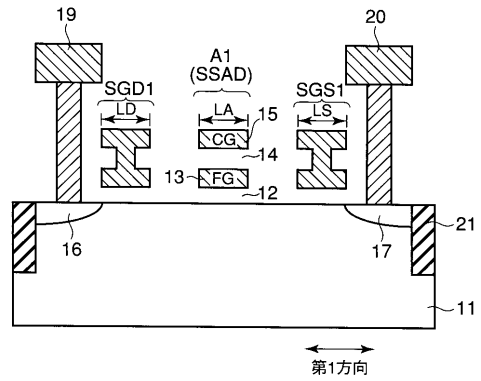
【 図 6 】

図 6



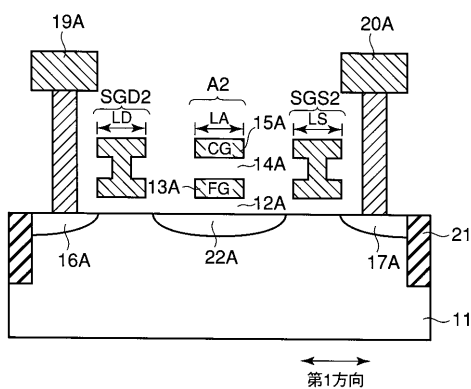
【 図 8 】

図 8



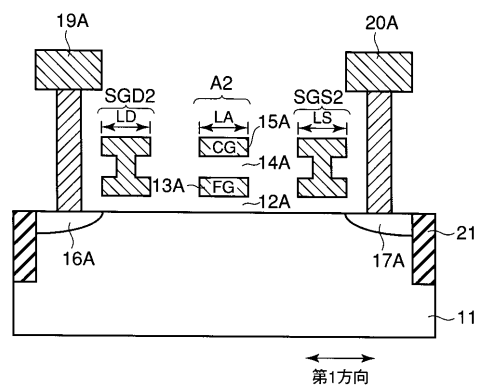
【 図 7 】

図 7

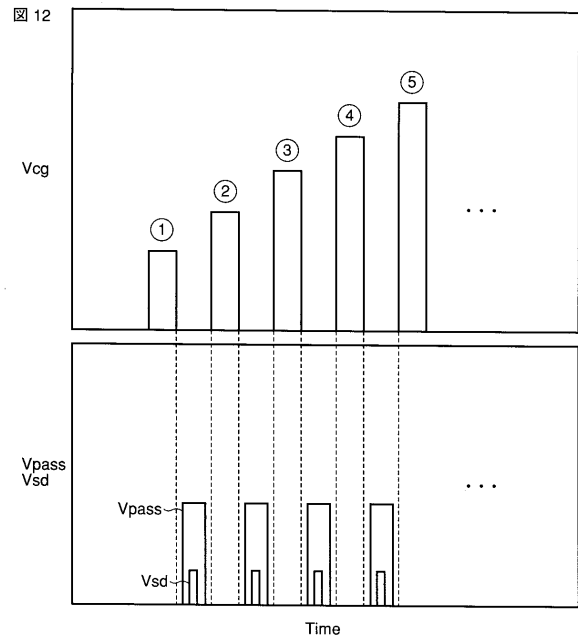


【 図 9 】

図 9



【 図 1 2 】



【 図 1 4 】

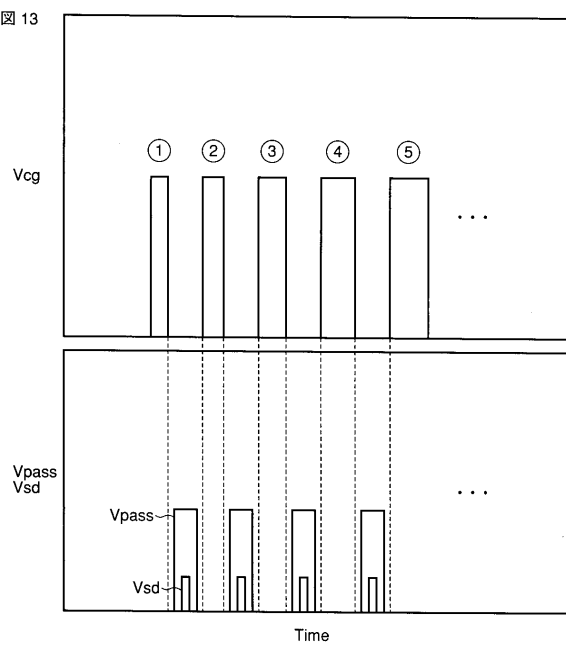
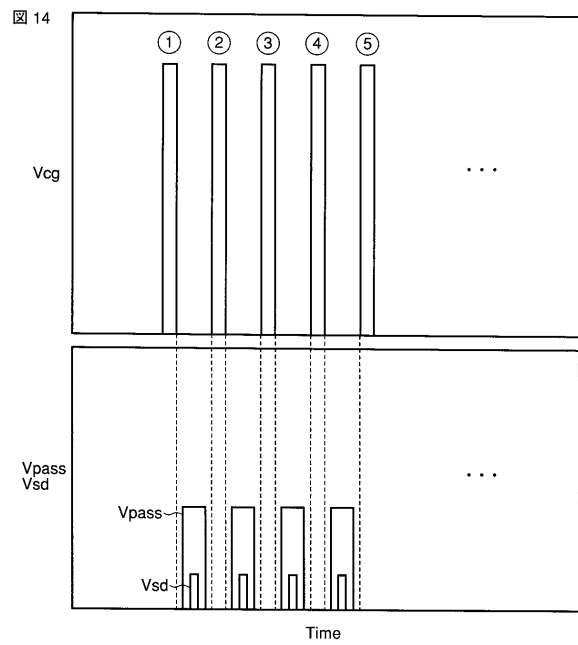
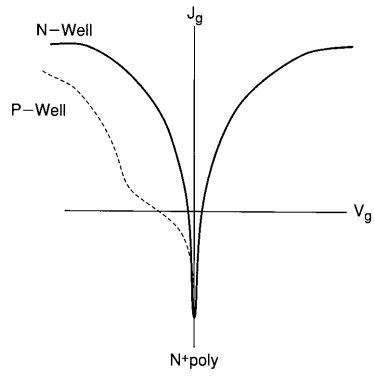


图 14



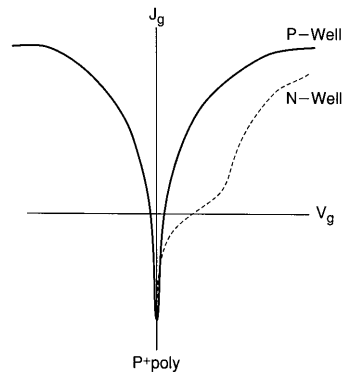
【図 15】

図 15



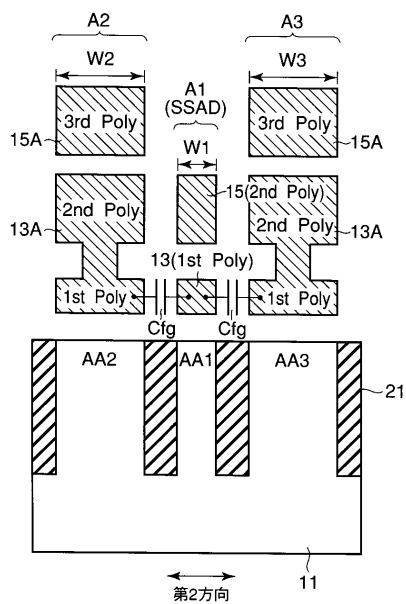
【図 16】

図 16



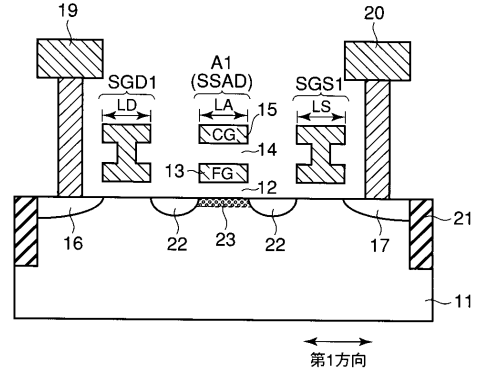
【図 18】

図 18



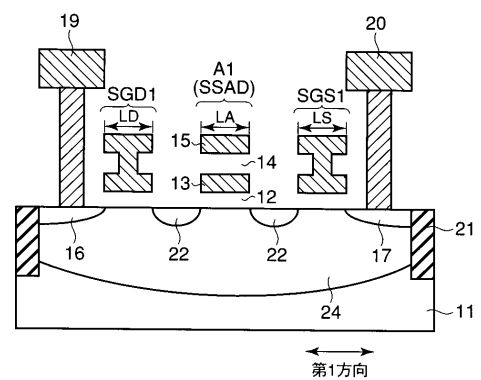
【図 17】

図 17



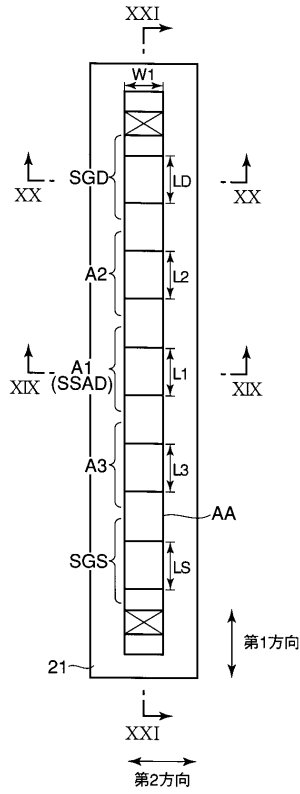
【図 19】

図 19



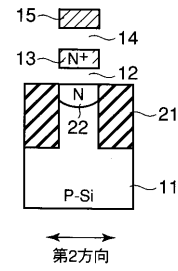
【図 20】

図 20



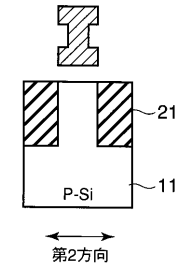
【図 21】

図 21



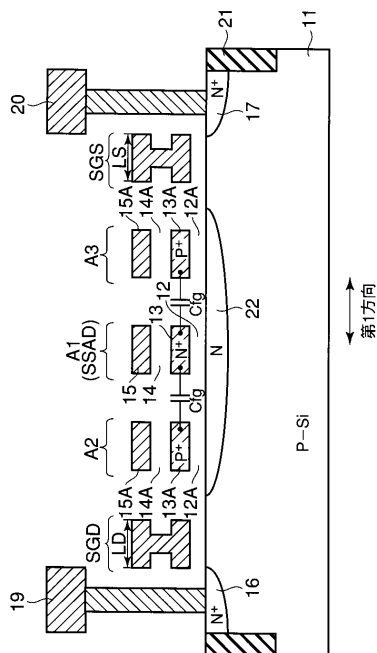
【図 22】

図 22



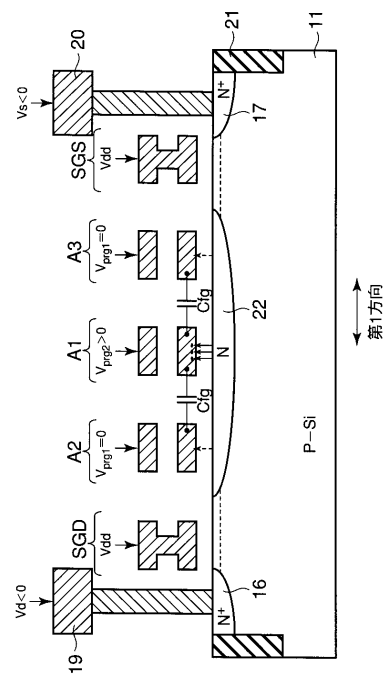
【図 23】

図 23



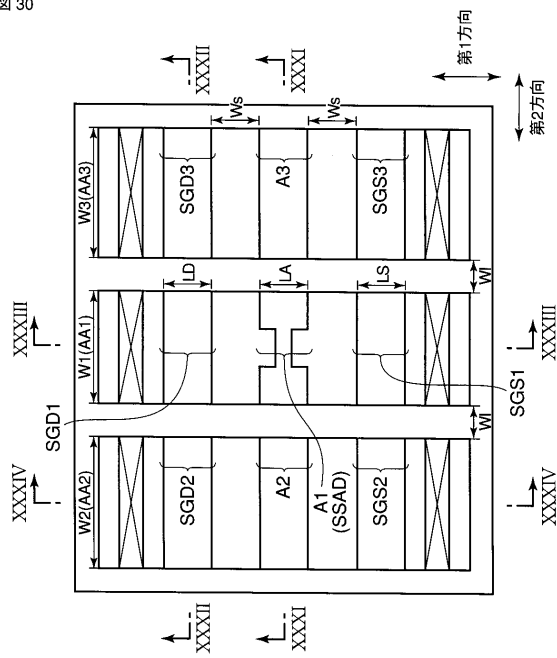
【図 24】

図 24



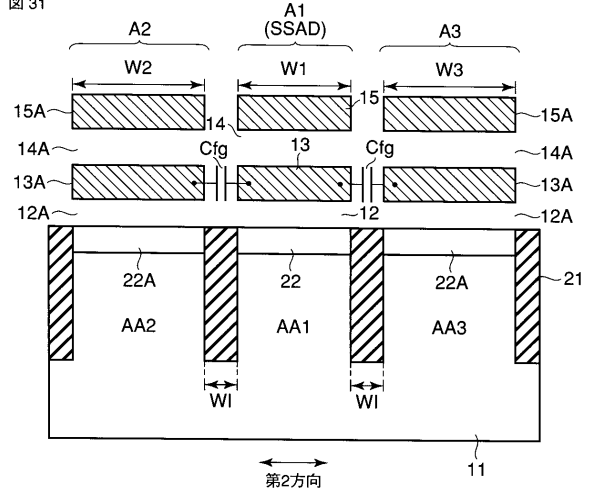
【図 30】

図 30



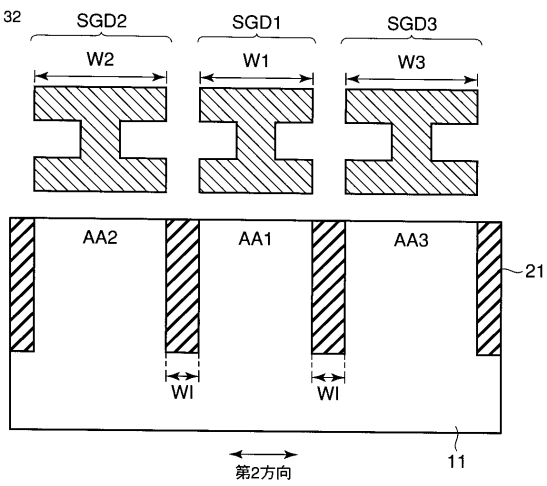
【図 31】

図 31



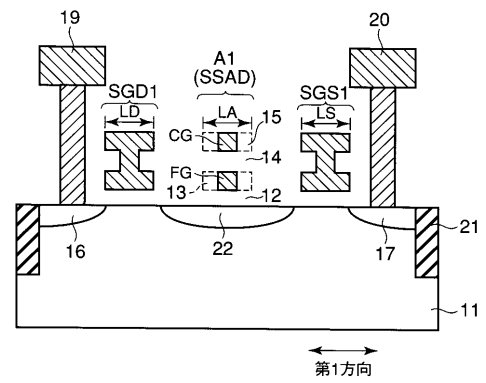
【図 32】

図 32



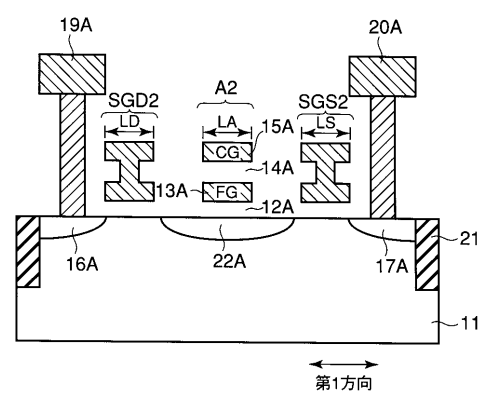
【図 33】

図 33

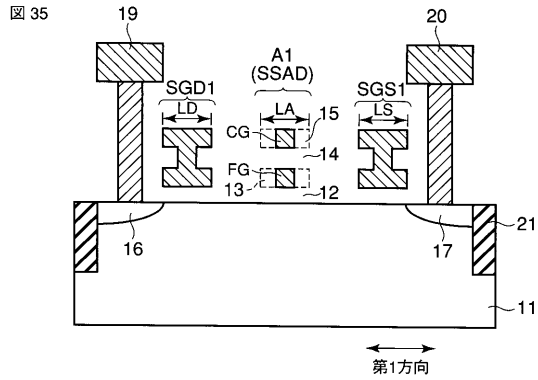


【図 34】

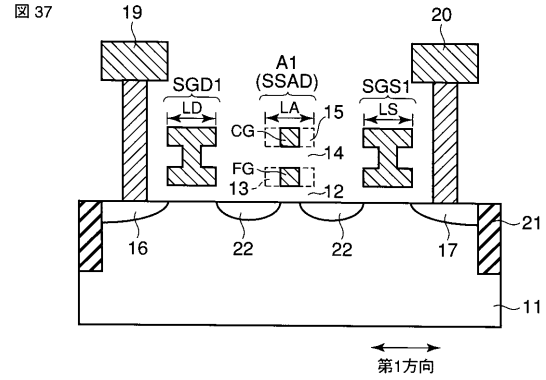
図 34



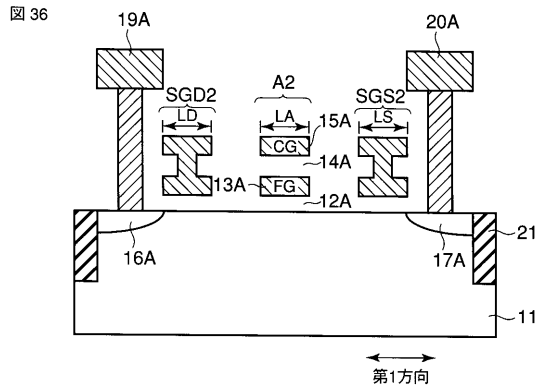
【図 3 5】



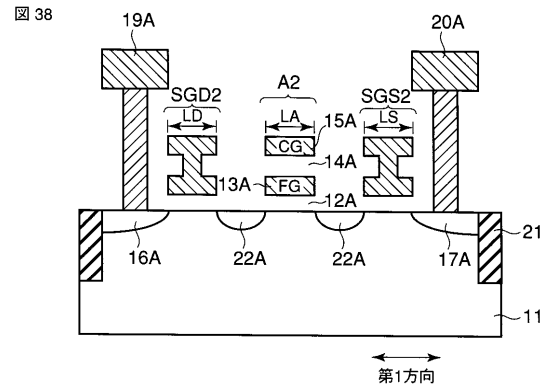
【図 3 7】



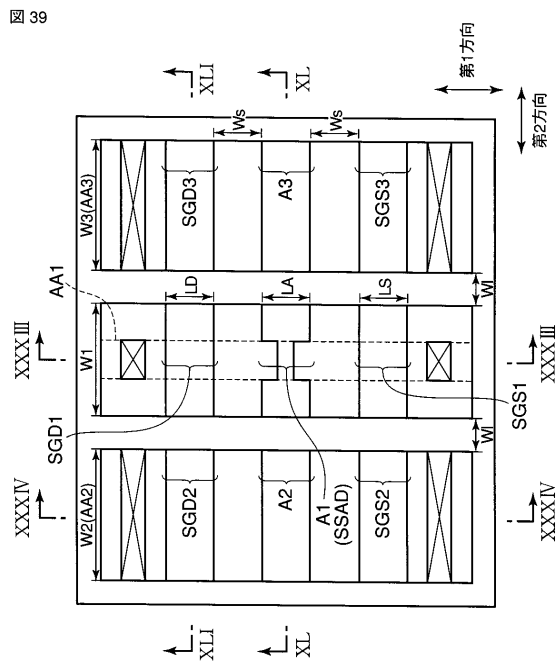
【図 3 6】



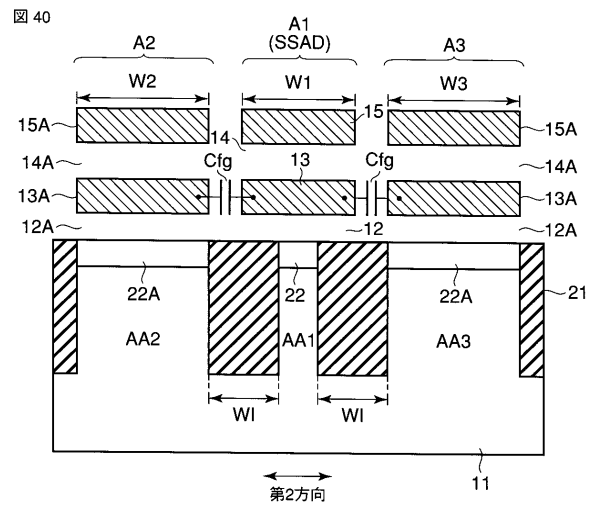
【図 3 8】



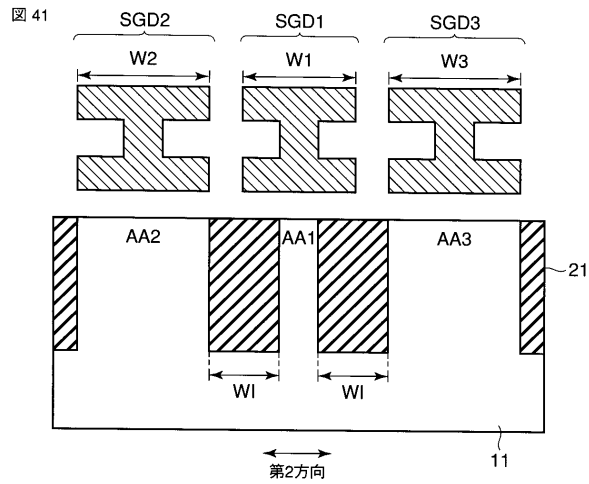
【図 3 9】



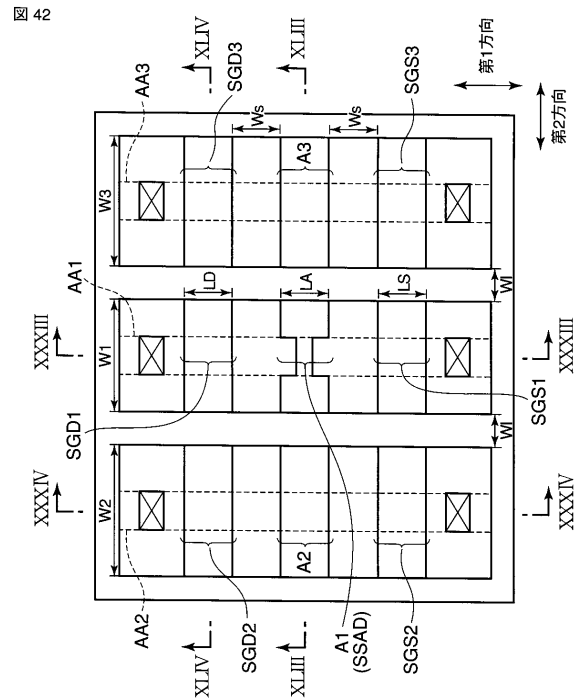
【図 4 0】



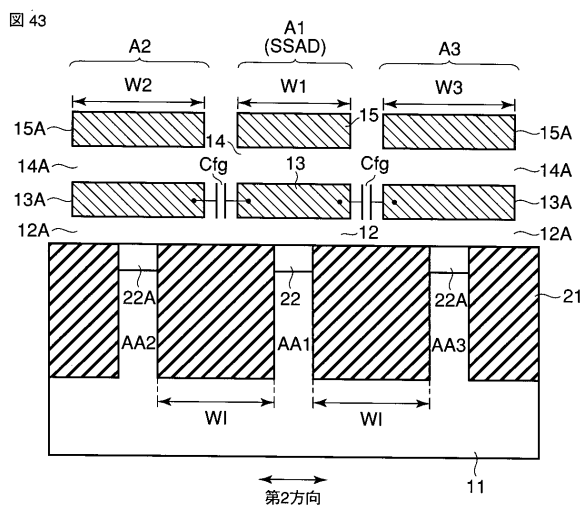
【 図 4 1 】



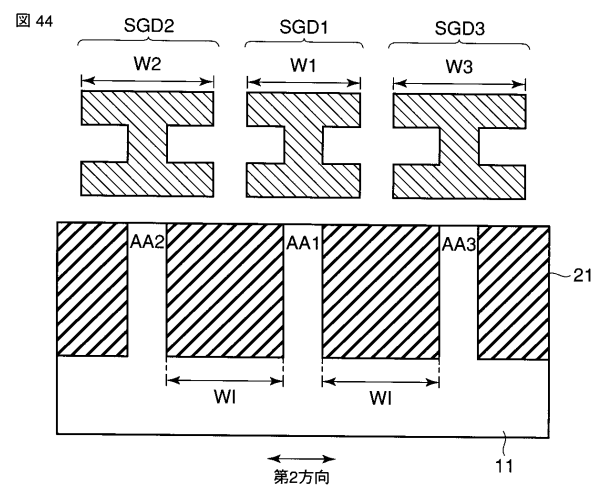
【 図 4 2 】



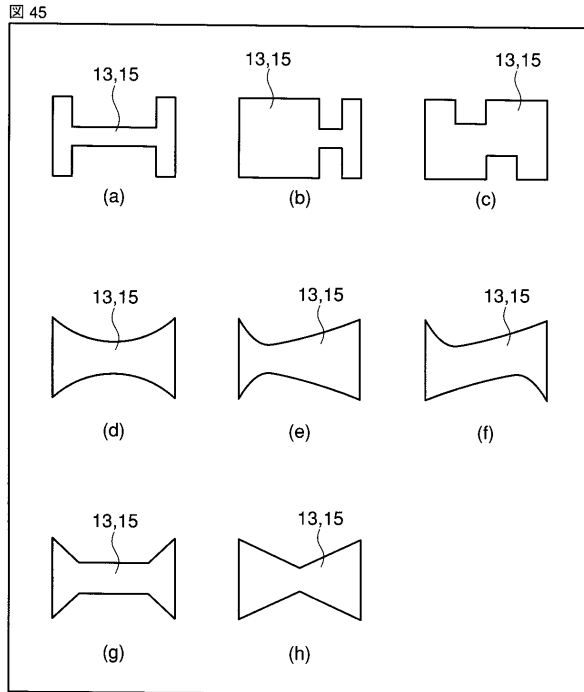
【 図 4 3 】



【 図 4 4 】

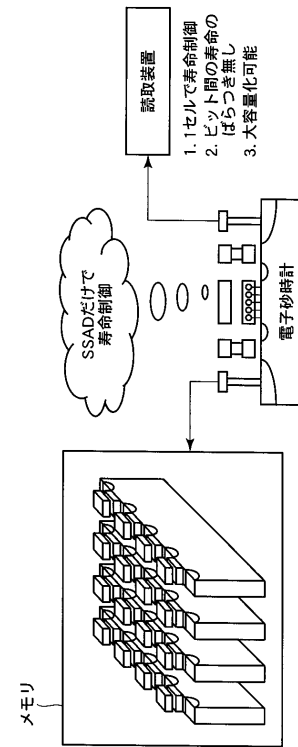


【図 45】



【図 46】

図 46



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 27/115 (2006.01)	H 0 1 L 27/06 1 0 2 A	
H 0 1 L 29/788 (2006.01)		
H 0 1 L 29/792 (2006.01)		
H 0 1 L 27/06 (2006.01)		

(74)代理人 100084618

弁理士 村松 貞男

(74)代理人 100092196

弁理士 橋本 良郎

(72)発明者 渡辺 浩志

東京都港区芝浦一丁目1番1号 株式会社東芝内

(72)発明者 西山 彰

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5F038 AC03 AC04 AC05 AZ02 CA02 CA06 EZ20

5F048 AB01 AB10 AC01 AC10 BA01 BB01 BB03 BB06 BB07 BD04

BF16 BG13

5F083 EP02 EP23 EP33 EP34 ER03 ER09 ER21 GA30 MA06 MA19

NA01

5F101 BA01 BB05 BC02 BD22 BD35 BE07 BG10