

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4253309号  
(P4253309)

(45) 発行日 平成21年4月8日(2009.4.8)

(24) 登録日 平成21年1月30日(2009.1.30)

(51) Int.Cl.		F I		
<b>G 1 1 C</b>	<b>16/02</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 4 1
<b>G 1 1 C</b>	<b>16/06</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 3 4 D
<b>G 1 1 C</b>	<b>16/04</b>	<b>(2006.01)</b>	G 1 1 C	17/00 6 2 3 Z
			G 1 1 C	17/00 6 3 4 Z

請求項の数 5 (全 51 頁)

(21) 出願番号	特願2005-79443 (P2005-79443)	(73) 特許権者	000003078 株式会社東芝 東京都港区芝浦一丁目1番1号
(22) 出願日	平成17年3月18日(2005.3.18)	(74) 代理人	100092820 弁理士 伊丹 勝
(65) 公開番号	特開2006-260711 (P2006-260711A)	(72) 発明者	戸田 春希 神奈川県川崎市幸区小向東芝町1番地 株 株式会社東芝 マイクロエレクトロニクスセ ンター内
(43) 公開日	平成18年9月28日(2006.9.28)	審査官	滝谷 亮一
審査請求日	平成18年4月7日(2006.4.7)		

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数の物理量レベルを設定できるメモリセルが配列されて、同時に選択される二つのメモリセルがデータ記憶単位となるペアセルを構成するメモリセルアレイを有し、

各メモリセルにN (Nは3以上の整数) 個の物理量レベルの一つが設定され、各ペアセルは、それを構成する二つのメモリセルの物理量レベルが異なりかつ、物理量レベルの差が異なる組み合わせ状態により決まる、 $M = 2^n$  (nは2以上の整数) で表されるM値データ (但し  $M > N$ ) を記憶する

ことを特徴とする半導体記憶装置。

【請求項2】

複数のしきい値レベルを設定できる電氣的書き換え可能な不揮発性メモリセルが配列されて、同時に選択される二つのメモリセルがデータ記憶単位となるペアセルを構成するメモリセルアレイと、

ペアセルに所定の読み出し電圧を印加した状態でそのセル電流差を検出してデータをセンスする電流検出型の差動増幅器を有するセンスユニットとを有し、

各メモリセルにN (Nは3以上の整数) 個のしきい値レベルの一つが設定され、各ペアセルは、それを構成する二つのメモリセルのしきい値レベルが異なりかつ、しきい値レベルの差が異なる組み合わせ状態により決まる、 $M = 2^n$  (nは2以上の整数) となるM値データ (但し  $M > N$ ) を記憶する

ことを特徴とする半導体記憶装置。

10

20

## 【請求項 3】

前記メモリセルは、3つのしきい値レベルのいずれかが設定される電氣的書き換え可能な不揮発性メモリセルであって、

各ペアセルは、それを構成する第1及び第2のメモリセルのしきい値レベルが異なりかつ、しきい値レベルの差が異なる組み合わせ状態により決まる4値データを記憶することを特徴とする請求項1又は2記載の半導体記憶装置。

## 【請求項 4】

3つのしきい値レベルをL0、L1及びL2（但し、 $L0 < L1 < L2$ ）とし、4値データを上位ビットHBと下位ビットLBを用いて（HB、LB）と表すものとして、

前記ペアセルは、第1、第2のメモリセルにそれぞれレベルL0、L2が書かれたデータ（1、1）、第1、第2のメモリセルにそれぞれレベルL1、L2が書かれたデータ（1、0）、第1、第2のメモリセルにそれぞれレベルL2、L1が書かれたデータ（0、1）、第1、第2のメモリセルにそれぞれL2、L0が書かれたデータ（0、0）の一つを記憶する

ことを特徴とする請求項3記載の半導体記憶装置。

## 【請求項 5】

4値データ読み出しは、

第1及び第2のメモリセルにレベルL2より高い第1の読み出し電圧を与えて、そのセル電流差に従って上位ビットデータを読み出す第1のステップと、

前記第1及び第2のメモリセルの一方に第1の読み出し電圧を、他方にレベルL1とL2の間に設定された第2の読み出し電圧を与えて、そのセル電流差に従って前記上位ビットデータが第1論理状態のペアセルの下位ビットデータを読み出す第2のステップと、

前記第1及び第2のメモリセルに与える読み出し電圧を第2のステップとは逆転させて、そのセル電流差に従って前記上位ビットデータが第2論理状態のペアセルの下位ビットデータを読み出す第3のステップとにより行われる

ことを特徴とする請求項4記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、電氣的書き換え可能な不揮発性メモリセルを用いて構成される半導体記憶装置（EEPROM）に関する。

## 【背景技術】

## 【0002】

EEPROMフラッシュメモリには、大きく分けてNAND型とNOR型がある。NAND型フラッシュメモリは、隣接セルでソース、ドレイン拡散層を共有して複数セルを直列接続したNANDストリング（NANDセルユニット）を用いるため、NOR型に比べてセル密度が高い。またNAND型フラッシュメモリは、FNTトンネル電流による複数セルの一括書き込みが可能で消費電流が少ない。これらの特徴から、NAND型フラッシュメモリは主として、大規模容量のファイルメモリに応用されている。

## 【0003】

一方NOR型フラッシュメモリは、ホットエレクトロン注入を利用した書き込みを行うため、消費電流は大きいが高速度アクセスが可能なることから主としてモバイル機器へ応用されてきた。

## 【0004】

しかし最近では、モバイル機器でも大きなデータ量の画像データ等を扱うようになり、高速度でしかもファイルメモリ並みの容量を持つフラッシュメモリが必要とされるようになってきた。NAND型フラッシュメモリは、前述のようにNANDストリング構造を用いるために読み出し時のセル電流が小さく、高速度ランダムアクセスには向かない。そこで、NAND型フラッシュメモリをDRAM等のバッファメモリを持つ高速システムに対応させるために、例えばデータをページバッファに読み出し、これをシリアルに転送出力する

10

20

30

40

50

ことでデータ転送レートを上げる手法が用いられている。

【0005】

しかしそれでも、NAND型フラッシュメモリの高速化には限界がある。NAND型フラッシュメモリのセル電流は、NOR型のその数十分の一であり、参照レベルを用いた高速のセンスができないからである。NAND型フラッシュメモリのセンスアンプは、セルのオン/オフによってセンスアンプ内ラッチの電荷が放電されるか否かを利用して、セルデータを読み出しており、読み出しにマイクロ秒単位の時間が必要である。これに比べてNOR型フラッシュメモリでは、セルデータ読み出しが数十ナノ秒の時間ですむ。

【0006】

NAND型フラッシュメモリのセル電流を増加させるには、セル寸法(チャンネル幅)を大きくすればよいが、これは、NAND型フラッシュメモリの小さい単位セル面積という特徴を減殺する。

10

【0007】

フラッシュメモリにおいて、より大きなデータ量記憶を可能とするため多値記憶を利用することは、既に提案されている。また、多値記憶を利用したときのデータ読み出し回数を減らして、読み出し時間を短縮する手法も提案されている(例えば、特許文献1参照)。

【0008】

また、ビット線対に接続されて同時に選択される二つのメモリセルをペアセルとして、それらに互いに異なるしきい値電圧の組み合わせにより定義される多値データを記憶する方式も提案されている(例えば、特許文献2参照)。

20

【特許文献1】特開2001-93288号公報

【特許文献2】特開2003-111960号公報

【発明の開示】

【発明が解決しようとする課題】

【0009】

この発明は、安定した多値データ記憶と高速読み出しを可能とした半導体記憶装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

30

この発明の第1の態様による半導体記憶装置は、複数の物理量レベルを設定できるメモリセルが配列されて、同時に選択される二つのメモリセルがデータ記憶単位となるペアセルを構成するメモリセルアレイを有し、各メモリセルにN(Nは3以上の整数)個の物理量レベルの一つが設定され、各ペアセルは、それを構成する二つのメモリセルの物理量レベルが異なりかつ、物理量レベルの差が異なる組み合わせ状態により決まる、 $M = 2^n$ (nは2以上の整数)で表されるM値データ(但し $M > N$ )を記憶する。

【0011】

この発明の第2の態様による半導体記憶装置は、複数のしきい値レベルを設定できる電氣的書き換え可能な不揮発性メモリセルが配列されて、同時に選択される二つのメモリセルがデータ記憶単位となるペアセルを構成するメモリセルアレイと、ペアセルに所定の読み出し電圧を印加した状態でそのセル電流差を検出してデータをセンスする電流検出型の差動増幅器を有するセンスユニットとを有し、各メモリセルにN(Nは3以上の整数)個のしきい値レベルの一つが設定され、各ペアセルは、それを構成する二つのメモリセルのしきい値レベルが異なりかつ、しきい値レベルの差が異なる組み合わせ状態により決まる、 $M = 2^n$ (nは2以上の整数)となるM値データ(但し $M > N$ )を記憶する。

40

【0012】

この発明の第3の態様による半導体記憶装置は、複数のしきい値レベルを設定できる電氣的書き換え可能な不揮発性メモリセルが配列され、同時に選択される二つのメモリセルがデータ記憶単位となるペアセルを構成するメモリセルアレイと、前記メモリセルアレイ内の同時に選択される複数のペアセルにそれぞれ接続される複数のセンスユニットとを有

50

し、各ペアセルは、それを構成する二つのメモリセルのしきい値レベルが異なりかつ、しきい値レベルの差が異なる組み合わせ状態により決まる、 $M = 2^n$  ( $n$ は2以上の整数)となるM値データを記憶するものであって、センスユニット数分のペアセルの集合を選択するためのメインページアドレスと、各メインページアドレス内でnビットを選択するためのサブページアドレスとが設定され、読み出し時、メインページ内のあるサブページアドレスが他とは独立にアクセス可能となるように、M値データのnビットデータが割りつけられている。

【発明の効果】

【0013】

この発明によると、安定した多値データ記憶と高速読み出しを可能とした半導体記憶装置を提供することができる。

【発明を実施するための最良の形態】

【0014】

以下、図面を参照して、この発明の実施の形態を説明する。

【0015】

この実施の形態のフラッシュメモリでは、一つのメモリセルがN(3以上)個の物理量レベルのいずれかを記憶し、かつビット線対に接続されて同時に選択される二つのメモリセルをデータ記憶単位となるペアセルとして用いて、多値記憶を行う。具体的に各ペアセルは、それを構成する二つのメモリセルの物理量レベルが異なりかつ、物理量レベルの差が異なる組み合わせ状態を用いて、 $M = 2^n$  ( $n$ は2以上の整数)となるnビットで表されるM値データ(但し $M > N$ )を記憶する。

【0016】

この様なペアセル方式と多値記憶方式の組み合わせにより、ビット密度を維持して高速センス動作が可能なフラッシュメモリシステムを構成できる。特にデータ読み出しには、ペアセルが接続されるビット線対に流れるセル電流差を検出する、電流検出型の差動増幅器を用いることが好ましい。これにより、高速の読み出しが可能になるだけでなく、多値データのレベル間隔を小さく設定しても、十分なデータマージンを確保することができる。

【0017】

[メモリチップ構成]

図1は、実施の形態によるNAND型フラッシュメモリの構成を示している。メモリセルアレイ1は、センスアンプ回路3を共有する二つのセルアレイ1t, 1cにより構成される。セルアレイ1t, 1c内の同時に選択される、対応するビット線TBL, CBLがペアを構成するオープンビット線方式が用いられる。

【0018】

このビット線ペアTBL, CBLと、セルアレイ1t, 1c内で同時に選択されるワード線TWL, CWLにより選択される二つのメモリセル、T-cellとC-cellが互いに異なるレベルのデータを記憶するペアセル(相補的セル)を構成する。

【0019】

この実施の形態においてオープンビット線方式を採用する理由は、後に説明するように、データ書き込み及び読み出し時に同時に選択されるワード線TWL, CWLに対して異なる電圧を与える必要があるためである。セルアレイ1t, 1cのビット線対TBL, CBLは、それぞれカラムゲート2t, 2cにより選択されてセンスアンプ回路3に接続される。センスアンプ回路3の領域に配置されたデータ線DQと外部入出力端子の間のデータ授受は、データバッファ11を介して行われる。

【0020】

各セルアレイ1t, 1cとセンスアンプ回路3の間には、ビット線選択を行うカラムゲート2t, 2cが配置される。カラムゲート2t, 2cはそれぞれカラムデコーダ5t, 5cにより制御される。セルアレイ1t, 1cのワード線はそれぞれロウデコーダ4t, 4cにより選択駆動される。

10

20

30

40

50

## 【0021】

アドレス信号  $A d d$  は、アドレスバッファ 6 を介し、アドレスレジスタ 7 を介して、ロウデコーダ  $4 t$  ,  $4 c$  及びカラムデコーダ  $2 t$  ,  $2 c$  に供給される。

## 【0022】

動作モードを決定するコマンド  $C M D$  は、コマンドデコーダ 8 でデコードされて、コントローラ 9 に供給される。コントローラ 9 は、データ読み出し、書き込み及び消去のシーケンス制御を行う。

## 【0023】

セルアレイ  $1 t$  ,  $1 c$  やロウデコーダ  $4 t$  ,  $4 c$  には、動作モードに応じて種々の高電圧  $V p p$  (書き込み電圧  $V p g m$  , ベリファイ電圧  $V r$  , パス電圧  $V p a s s$  ,  $V r e a d$  等) が必要である。これらの高電圧  $V p p$  を発生するために高電圧発生回路 10 が設けられている。この高電圧発生回路 10 も、コントローラ 9 により制御される。

10

## 【0024】

図 2 は、各セルアレイ  $1 t$  ,  $1 c$  の内部構成を示している。互いに交差する複数本ずつのビット線  $B L$  とワード線  $W L$  の各交差部にメモリセル  $M C$  が配置される。メモリセル  $M C$  は浮遊ゲートと制御ゲートが積層された  $M O S$  トランジスタ構造を有し、浮遊ゲートの電荷蓄積状態によりデータ記憶を行う。

## 【0025】

この実施の形態では、16個のメモリセル  $M C 0 \sim M C 15$  が直列接続されて  $N A N D$  スtring (  $N A N D$  セルユニット )  $N U$  を構成する。  $N A N D$  セルユニット  $N U$  の一端は、選択ゲートトランジスタ  $S G 1$  を介してビット線  $B L$  に、他端は選択ゲートトランジスタ  $G 2$  を介して共通ソース線  $S L$  に接続される。

20

## 【0026】

メモリセル  $M C 0 \sim M C 15$  の制御ゲートはそれぞれワード線  $W L 0 \sim W L 15$  に接続される。選択ゲートトランジスタ  $S G 1$  ,  $S G 2$  のゲートはそれぞれワード線  $W L$  と並行する選択ゲート線  $S G D$  ,  $S D S$  に接続される。ワード線方向に並ぶ複数の  $N A N D$  セルユニットの範囲が、データ消去の際のベリファイ単位となる  $N A N D$  ブロック  $B L K i$  を構成し、通常ビット線方向に複数の  $N A N D$  ブロック  $B L K i$  が配置される。図 1 に示したように、相補セルアレイ  $1 t$  ,  $1 c$  のなかで同時に選択される二つのメモリセル、  $T - c e l l$  と  $C - c e l l$  がペアセルを構成する。

30

## 【0027】

図 1 では、ページバッファを構成する一つのセンスアンプ回路 3 とこれを共有する二つのセルアレイ  $1 t$  ,  $1 c$  のみを示している。実際には、1ページ分の読み出し/書き込みを行うためのセンスアンプ回路 3 とこれを共有する二つのセルアレイ  $1 t$  ,  $1 c$  の単位を“ページバンク”として、図 3 に示すように、データ線  $D Q$  ,  $/ D Q$  を共有して複数のページバンク ( 図の例では、  $B N K 0 - B N K 3$  の 4 ページバンク ) が配置される。これにより、ページバンク間でインタリーブを行うことができ、ページアクセスを連続的に行うことが可能になる。

## 【0028】

図 4 は、センスアンプ回路 3 の中の一つのセンスユニット 30 と、ビット線対の選択回路  $3 1 t$  ,  $3 1 c$  を示している。センスユニット 30 は、後に説明するように、データセンスとデータ保持を行うセンス・ラッチ系と、書き込みや消去のベリファイ判定を行うベリファイ・結果判定系とを含む。

40

## 【0029】

ビット線選択回路  $3 1 t$  ,  $3 1 c$  はそれぞれ、選択信号  $b p 0 - b p 7$  により、セルアレイ  $1 t$  ,  $1 c$  の 8 本ずつのビット線  $T B L 0 - 7$  ,  $C B L 0 - 7$  から一本ずつを選択して、センスユニット 30 に接続する。即ち、この選択回路  $3 1 t$  ,  $3 1 c$  により、8組のビット線ペアの一つが選択される。選択信号  $b p 0 - b p 7$  は、ページアドレス信号の一部をなす。

## 【0030】

50

センスユニット30には、各種制御信号が入力される。またINQi, FINiは、書き込み及び消去時のベリファイ結果判定のための入力信号、出力信号である。センス・ラッチ系は、グローバルデータ線であるDQ, /DQ線に選択的に接続出来るようになっている。このデータ線ペアDQ, /DQは全ページバンクに共通であり、選択されたページバンクとの間でデータ転送を行う。

【0031】

ベリファイ結果を判定する入出力信号INQi, FINiは、後に説明するように、あるセンスユニットの出力信号FINiが次のセンスユニットの入力信号INQi+1となるように、ページバンクごとにベリファイ判定回路が構成される。ベリファイ書き込み或いは消去の際、ページバンク全体の書き込み或いは消去が終了していれば最終出力信号FIN (= "H") がパスフラグとして出力されることになる。

10

【0032】

各データ線対DQ, /DQは、出力バッファ11において適当に選択されてメモリチップ外部端子I/Oに出力データが転送される。ここでビット幅などの変換がなされる。

【0033】

ページバンク内のページごとに、消去のベリファイ、書き込み及び読出しが、そのページに属する全メモリセルに対して一括して行われる。このページ指定を行うためのアドレス構造を、模式的に図5に示す。

【0034】

アドレスは、どのペアセルをセンスユニットに接続するかを決めるデータパス接続部分と、選択されたワード線ペアのレベルをどう設定するかを決めるワード線レベル部分とからなる。データパス接続部分は、メインページアドレス部であり、ページバンク内のセンスユニット数分のビット線ペアTBL, CBLと、一つのワード線ペアTWL, CWLを選択する部分である。これにより同時に選択されるペアセルの集合が書き込み或いは読み出しの単位である1ページを構成する。

20

【0035】

ワード線レベル部分は、メインページアドレス内に設定されるサブページアドレス部である。サブページアドレス部は、ワード線対TWL, CWLのレベルの組合せを指定することによって、多値データのビット情報(4値の場合の上位と下位の2ビット情報、8値の場合の上位、中間及び下位の3ビット情報)を指定する。

30

【0036】

ページデータは一斉にアクセスされるのでページを構成するデータは多ビットデータとして転送するか高速なランダムアクセスで転送するかは、システムの応用による。このデータ転送中に別のページバンクをアクセスすることにより、バンクインタリーブが可能となり、切れ目の無いデータ転送もできる。

【0037】

データ書き込みの際には、多値データのレベル設定の履歴が必要であるので、メインページアドレス内でのサブページアドレスの選択順には制約がある。即ち、上位ビットを書き込んでから、中間ビットを書き込み、その後下位ビットを書き込む、という順序は守らなければならない。この順序さえ守られるならば、上位ビット、中間ビット、下位ビットが連続してプログラムされる必要はない。すなわち途中で読出しなどの割り込みが入っても良い。

40

【0038】

データ読出しについては、多値データのビット割り付け法により、サブページ指定順に制約がつく場合と、サブページを任意に(即ち他のサブページとは独立に)読み出しできる場合とがある。

【0039】

この発明では、複数の物理量レベルの一つを不揮発に設定できるメモリセルを二つ組み合わせペアセルを構成する。この場合、一つのセルがNレベル(N値)を採れるものとして、ペアセルの間のレベル差が異なる組み合わせ状態を多値データとして用いるものと

50

すると、その状態数は、 $M = 2(N - 1) + 1$ となる。これらの状態数のうち、二つのセルが同一レベルとなる場合を除くと、 $M = 2(N - 1)$ の状態がある。

【0040】

例えば、 $N = 2$ の場合は、 $M = 2$ となり、ペアセルを構成する意味が殆どない。 $N = 3$ の場合、 $M = 4$ となり、4値/ペアセルが実現できる。 $N = 4$ の場合は、 $M = 6$ となり、6値/ペアセルのデータ記憶が可能になる。 $N = 5$ の場合は、 $M = 8$ となり、8値/ペアセルの記憶が可能になる。

【0041】

多値データは、2のべき乗のデータ状態数に設定することが、データ処理の観点から好ましい。ペアセルに2のべき乗の多値データを記憶するには、一つのセルが取りうるレベルを、 $N = 3, 5, 9 \dots$ のように選択すればよい。

10

【0042】

以下においては、主として、3レベル/セル - 4値/ペアセルの4値データ記憶を行う例と、5レベル/セル - 8値/ペアセルの8値データ記憶を行う例を説明する。また、メモリセルが取りうる物理量レベルとして、以下の実施の形態ではしきい値電圧レベルを用いる。

【0043】

[3レベル/セル - 4値/ペアセル(その1)]

図6は、ペアセルを構成する二つのセル、*T-cell*と*C-cell*がそれぞれ、3つのしきい値電圧レベル $L_0, L_1$ 及び $L_2$ のいずれかに設定され、それらの状態の組み合わせで4値記憶を行う例のデータしきい値分布とデータビット割り付けを示している。

20

【0044】

レベル $L_0$ は、後に説明するように負のしきい値電圧の消去状態であり、レベル $L_1, L_2$ は書き込まれた正のしきい値電圧である。*C-cell*の最上位レベル $L_2$ と、*T-cell*の最下位レベル $L_0$ 及び中間レベル $L_1$ との組み合わせによるデータ状態A及びB、*T-cell*の最上位レベル $L_2$ と、*C-cell*の中間レベル $L_1$ 及び最下位レベル $L_0$ の組み合わせによるデータ状態C及びDによって、4値データが定義される。

【0045】

同じレベル $L_0, L_1, L_2$ 同士の3つの組み合わせは、互いに識別できないので、除かれる。また、レベル $L_0$ と $L_1$ の組み合わせは、レベル $L_1$ と $L_2$ の組み合わせとペアセルのレベル差が同じになるものとして、除かれている。

30

【0046】

*C-cell*の最上位レベル $L_2$ を基準とするデータA、Bは正論理値として、*T-cell*の最上位レベル $L_2$ を基準とするデータC、Dは負論理値としてセンスされるものとする。また4値データは、上位ビットHBと下位ビットLBにより、(HB, LB)で表されるものとする。図6の例では、ペアセルの4つの組み合わせデータA、B、C、Dに対して、 $A = (1, 1), B = (1, 0), C = (0, 1), D = (0, 0)$ なるビット割り付けがなされている。

【0047】

最下位レベル $L_0$ は、前述のように消去後のしきい値電圧であり、この消去しきい値レベルは $V_{ss}$ より負電圧に向かって分布しているのみではっきりした狭い分布を仮定できない。後に詳細に説明するが、一括消去でのベリファイモードではワード線に $V_{ss}$ を与えてセルを駆動し、そのセル電流を、参照セルが流す参照電流と比較する。セル電流が参照電流より大きくなれば、消去完了と判断するので分布を狭める動作は行わない。

40

【0048】

これに対して、レベル $L_1$ 及び $L_2$ は、書き込みベリファイモードで分布を狭める動作を行う。従って、レベル $L_0$ より狭い、一定のしきい値電圧分布を設定することができる。このようなセルレベルの状態を仮定して、以下にはこの4値記憶が可能になる条件を検討する。

【0049】

50

図7は、この4値データの読み出しに必要な3サイクル(又は3ステップ)  $t_1$  ,  $t_2 T$  及び  $t_2 C$  でのペアセル  $T - cell$  と  $C - cell$  のレベル関係を示している。図7は、3サイクルの間、選択されたワード線  $TWL$  ,  $CWL$  に与えられる読み出し電圧(ワード線レベル)を一定として、 $T - cell$  又は  $C - cell$  のレベル  $L_0 - L_2$  に相対的バイアスを与えることによって、4値データが判別できることを示している。

【0050】

これに対して図8は、3サイクルの間でワード線レベルを切り換えることによって、同じように4値データが判別できることを示している。図8は、より実際の読み出し動作に近い。

【0051】

データ状態  $A$  ,  $B$  ,  $C$  ,  $D$  について、 $C - cell$  のレベルが  $T - cell$  のそれより高いときに、“1”としてデータセンスするものと仮定する。サイクル  $t_1$  では、データ状態  $A$  ,  $B$  は共に“1”としてセンスされ、下位ビットデータは縮退している。同様に、データ状態  $C$  ,  $D$  は共に“0”としてセンスされ、下位ビットデータは縮退している。

【0052】

これらのデータ縮退状態は、サイクル  $t_2 T$  と  $t_2 C$  とで解くことができる。サイクル  $t_2 T$  では、 $T - cell$  のレベルを見かけ上上昇させることによって(即ち  $T - cell$  のワード線レベルを  $C - cell$  のそれよりある程度下げることによって)、データ状態  $A$  は“0”として、データ状態  $B$  は“1”としてセンスされる。これにより、データ状態  $A$  ,  $B$  の“1”データの縮退が解かれたことになる。

【0053】

サイクル  $t_2 C$  では  $C - cell$  のレベルを見かけ上上昇させることによって(即ち  $C - cell$  のワード線レベルを  $T - cell$  のそれよりある程度下げることによって)、データ状態  $C$  は“0”として、データ状態  $D$  は“1”としてセンスされるから、データ状態  $C$  ,  $D$  の“0”データの縮退が解かれたことになる。

【0054】

以上のように、サイクル  $t_1$  は、ペアセルの上位ビットデータを判別するものである。またサイクル  $t_2 T$  と  $t_2 C$  はそれぞれ、上位ビットデータが“1”と“0”のペアセルについて下位ビットデータを判別するものである。従ってサイクル  $t_2 T$  と  $t_2 C$  の順序は問わない。

【0055】

以上の4値データ識別が可能になるワード線設定条件を具体的に明らかにするために、図8に示すように、レベル  $L_0$  と  $V_{SS}$  との間の電位差を  $V_0$  、レベル  $L_1$  と  $V_{SS}$  との間の電位差を  $V_1$  、レベル  $L_1$  ,  $L_2$  間の電位差を  $V_2$  、最上位レベル  $L_2$  と高レベル時のワード線レベルとの電位差を  $V_3$  、同じく最上位レベル  $L_2$  と低レベル時ワード線レベルとの電位差を  $V_4$  とおく。このとき、ワード線レベルの振幅は  $V_3 - V_4$  となる。

【0056】

図9は、消去レベル(レベル  $L_0$ )と書き込まれるレベル  $L_1$  ,  $L_2$  のしきい値電圧分布を考慮して、サイクル  $t_2 C$  において、データ状態  $C$  と  $D$  とが識別できる条件でのレベル関係を示している。ここでは、図7と同様に読出しワード線レベルをそろえて示している。書き込みベリファイ時のワード線レベル(書き込みベリファイ電圧)は、 $V_{VERI} = V_{L0} + m \times V_2$  ( $m = 0, 1, 2 \dots$ )とする。

【0057】

消去ベリファイ時のワード線レベル(消去ベリファイ電圧)は  $V_{SS}$  であり、消去しきい値電圧分布を狭くする動作を特に行わない。そこで  $V_0$  の値は保障できないのでこの影響をできるだけ減らすように読出しの条件設定をする必要がある。

【0058】

ベリファイ読出しを行う際のリファレンス電流を生成する電流源回路のセル等価のしきい値電圧を  $V_{ref}$  とし、センスアンプの不感帯の等価電圧を  $\pm s$  とすれば、センスアンプの不感帯での誤判定も考慮すると、レベル  $L_0$  を決定する  $V_{L0}$  は、 $(V_{ref} - s)$  以上

10

20

30

40

50

であることしか保障できない。

【0059】

他のレベルL1, L2は、書き込みベリファイ時の書き込みベリファイ電圧 $V_{V E R I}$ と $V_{r e f}$ との比較なので、そのしきい値電圧分布は、 $V_{V E R I} - (V_{r e f} + s)$ 以上であり、 $V_{V E R I} - (V_{r e f} - s)$ 以下となる。すなわちベリファイレベル $V_{V E R I}$ の下側に、 $(V_{r e f} - s)$ から $(V_{r e f} + s)$ の間のしきい値電圧分布となる。図では、この書き込みベリファイ電圧 $V_{V E R I}$ とレベルL1, L2のしきい値電圧分布のずれは考慮して描いていないので注意する必要がある。

【0060】

T-cellのレベルL2を基準として、C-cellのレベルL0とL1とを識別する必要があるから、このとき次のような関係式(1), (2)が成り立つことが必要である。

【0061】

$$> +s \dots (1)$$

$$+ + > +s \dots (2)$$

このとき、C-cellのワード線レベル $V_{R E A D C}$ と、T-cellのワード線レベル $V_{R E A D T}$ はそれぞれ、 $V_{R E A D C} = +$ ,  $V_{R E A D T} = + +$ である。さらに実際のレベル間の関係はしきい値分布を考慮する必要がある。(1)式は、側の分布最小値 $+ (V_{r e f} - s)$ と側の分布最大値 $+ (V_{r e f} + s)$ を入れて、下記式(3)となる。

【0062】

$$> + 3s \dots (3)$$

(2)式についても、 $+ +$ の分布最小値(すなわちの分布最小値 $V_{r e f} - s$ との分布最大値 $+ (V_{r e f} + s)$ )を入れて、下記(4)式となる。

【0063】

$$+ > + 3s \dots (4)$$

これらの条件から、より簡単なレベル設定法を検討する。しきい値分布を考慮した式(3), (4)のレベル設定条件に対して、それらのレベル間がの幅でマージンを持って分離できるものとして、 $= 0$ ,  $= 2 \times$ ,  $=$ とすれば、式(3), (4)の条件は、より簡単に次の式(5)としてまとめることができる。

【0064】

$$> 3s \dots (5)$$

図10はこの条件での状態判定とレベル関係を、図9と対応させて示した。消去およびプログラムのベリファイ時および読み出し時のワード線レベルは $m \times$  ( $m = 0, 1, 2, 3, \dots$ )とまとめることができるから、の倍数のワード線駆動電圧を発生する回路を用意すればよい。

【0065】

図11及び図12は、この様な条件を適用したときのそれぞれ、図7及び図8に対応するレベル関係である。

【0066】

以上のようにして、3レベル/セル - 4値/ペアセルのデータ分布を、図6に示すように設定することができる。図6において、 $P_0 (= V_{s s} = 0V)$ は消去ベリファイ電圧、 $P_1$ はレベルL2をプログラムするときの書き込みベリファイ電圧、 $P_2$ はレベルL1をプログラムするときの書き込みベリファイ電圧である。また、 $R_1$ は読み出しステップ $t_1$ のワード線レベル(読み出し電圧)であり、 $R_2$ は読み出しステップ $t_{2T}$ 又は $t_{2C}$ でT-cellまたはC-cellの一方に設定される読み出し電圧である。

【0067】

図13は、3読み出しサイクル $t_1, t_{2T}, t_{2C}$ でのデータ遷移により、図6において定義された4値データ(1, 1), (1, 0), (0, 1), (0, 0)が識別できることを示している。

10

20

30

40

50

## 【 0 0 6 8 】

[ 5 レベル / セル - 8 値 / ペアセル ( その 1 ) ]

図 1 4 は、ペアセルを構成するセル、T - c e l l と C - c e l l がそれぞれ、5 つの物理量レベル ( 具体的にはしきい値電圧レベル ) L 0 , L 1 , L 2 , L 3 及び L 4 のいずれかに設定され、それらの状態の組み合わせで 8 値記憶を行う例のデータしきい値分布とデータビット割り付けを示している。

## 【 0 0 6 9 】

8 値データの組み合わせの選択条件は、先の 3 レベル / セル - 4 値 / ペアセルの場合と同じである。ペアセルの一方のセルの最上位レベル L 4 を基準として、これと他方のセルのレベル L 0 - L 3 との間の 4 通りの組み合わせと、その逆の 4 通りの組み合わせの合計 8 通りの組み合わせが用いられる。

10

## 【 0 0 7 0 】

図 1 5 は、この 8 値データの読み出しに必要な 7 サイクル  $t_1$  ,  $t_{2T}$  ,  $t_{2C}$  ,  $t_{3T}$  ,  $t_{3C}$  ,  $t_{4T}$  及び  $t_{4C}$  でのペアセル T - c e l l と C - c e l l のレベル関係を、先の例の図 7 と対応させて示している。即ち、7 サイクルの間に、選択されたワード線 T W L , C W L に与えられるワード線レベルを一定として、T - c e l l 又は C - c e l l のレベル L 0 - L 4 に相対的バイアスを与えることによって、8 値データが判別できることを示している。

## 【 0 0 7 1 】

これに対して図 1 6 は、レベル L 0 - L 4 を一定に保ち、7 サイクルの間でワード線レベルを切り換えることによって、同じように 8 値データが判別できることを、図 8 と対応させて示している。

20

## 【 0 0 7 2 】

ペアセルの 8 値データについて、C - c e l l のレベルが T - c e l l のそれより高いときに、“ 1 ” としてデータセンスするものと仮定する。サイクル  $t_1$  では、C - c e l l のレベル L 4 は、T - c e l l のレベル L 0 - L 3 より全て高く、C - c e l l の最上位レベル L 4 を基準とする 4 データ状態は共に “ 1 ” としてセンスされる。このデータ “ 1 ” は上位ビットデータであり、中間ビット及び下位ビットは縮退している。同様に、T - c e l l の最上位レベル L 4 を基準とする 4 データ状態は共に、上位ビット = “ 0 ” としてセンスされ、中間ビット及び下位ビットは縮退している。

30

## 【 0 0 7 3 】

これらのデータ縮退状態は、以下のサイクルで順次解くことができる。サイクル  $t_{2T}$  では、T - c e l l のレベルを見かけ上上昇させることによって ( 即ち T - c e l l のワード線レベルを C - c e l l のそれよりある程度下げることによって ) 、 “ 1 ” データの縮退状態の一部が解ける。即ち T - c e l l の上から 2 番目のレベル L 3 がそれ以下のレベル L 0 - L 2 と識別される。

## 【 0 0 7 4 】

サイクル  $t_{2C}$  では C - c e l l のレベルを見かけ上上昇させることによって ( 即ち C - c e l l のワード線レベルを T - c e l l のそれよりある程度下げることによって ) 、 “ 0 ” データの縮退状態が一部解ける。即ち C - c e l l の上から 2 番目のレベル L 3 がそれ以下のレベル L 0 - L 2 と識別される。

40

## 【 0 0 7 5 】

サイクル  $t_{3T}$  では T - c e l l のレベルを見かけ上さらに上昇させて “ 1 ” の状態の縮退をさらに一部解いている。すなわち C - c e l l の最上位レベル L 4 を基準として T - c e l l の上から 3 番目のレベル L 2 を、それ以下のレベルと極性反転により判別可能としている。サイクル  $t_{3C}$  では C - c e l l のレベルを見かけ上さらに上昇させて、“ 0 ” の状態の縮退をさらに一部解く。

## 【 0 0 7 6 】

サイクル  $t_{4T}$  では T - c e l l のレベルを見かけ上さらに上昇させて “ 1 ” の状態の縮退を完全に解いている。すなわち、C - c e l l の最上位レベル L 4 を基準として T -

50

c e l lの上から4番目のレベルL 1と最下位レベルL 0とを判別している。サイクルt 4 CではC - c e l lのレベルを見かけ上さらに上昇させて、“0”の状態の縮退を完全に解いている。

【0077】

図16に示したワード線レベル間の関係は、先の3レベル/セル - 4値/ペアセルの場合と同様の考察によって得られる。消去レベル(最下位レベル)L 0と、書き込みレベルL 1 - L 4のしきい値分布を想定して、ペアセルのデータの判定をする条件を検討する。

【0078】

図17は、最上位レベルをL n + 1として一般化した場合について、図15及び図16のサイクルt 2 Tでの判定条件を説明するものである。即ちT - c e l lの上から2番目のレベルL nをそれ以下のレベルと識別する条件を検討する。

10

【0079】

消去後のしきい値電圧(レベルL 0)と消去ベリファイ電圧V s sとの電位差を、書き込まれるレベルL 1のV s sとの電位差を、T - c e l l側のワード線読み出し電圧V R E A D TとレベルL nとの電位差を、各レベル間の電位差を、C - c e l l側のワード線読み出し電圧V R E A D CとレベルL n + 1との電位差をとした。書き込みベリファイ時のワード線レベルは、 $V_{V E R I} = +m \times$  (m = 1, 2, 3, ...)となる。

【0080】

消去ベリファイ時のワード線電圧はV s sであり消去しきい値分布を狭くする動作を特に行わない。そこでの影響をできるだけ減らすように読出しの条件設定をする必要があるのは先の例と同様である。

20

【0081】

C - c e l lのレベルL n + 1を基準として、T - c e l lのレベルL nとL n - 1の状態を分けるのであるから、これらのレベル間には次の関係式(6)、(7)が成り立つ必要がある。

【0082】

$$> +s \dots (6)$$

$$+ > +s \dots (7)$$

このときワード線レベルは、C - c e l lとT - c e l lでそれぞれ、 $V_{R E A D C} = +n \times +$ と $V_{R E A D T} = +(n - 1) \times +$ である。実際のレベル間の関係はしきい値分布を考慮する必要があるので、(6)式には、側の最小値 $+(V_{r e f} - s)$ と側の最大値 $+(V_{r e f} + s)$ を入れて、下記式(8)が得られる。

30

【0083】

$$> +3s \dots (8)$$

(7)式には、+の最小値 $+(V_{r e f} - s)$ との最大値 $+(V_{r e f} + s)$ を入れて、下記式(9)が得られる。

【0084】

$$+ > +3s \dots (9)$$

しきい値分布を考慮した式(8)、(9)の条件で各レベル間の電位差を判定するには、 $- = 0.5 \times$ が最適となる。そこで $=$ 、 $= 0$ とすれば、式(8)、(9)の条件はより簡単に、下記式(10)となる。

40

【0085】

$$0.5 \times > 3s \dots (10)$$

図18はこの状態での判定条件とレベルの関係を示した。消去およびプログラムのベリファイ時および読出し時のワード線レベルは、 $m \times$  (m = 0, 1, 2, 3, ...)と $0.5 \times$ が必要であるから、 $0.5 \times$ の倍数のレベルを発生させればよい。は、しきい値分布が十分に分離できてセンスアンプの不感帯よりも十分大きいことが条件となる。

【0086】

この条件で、レベルL 1とL 0とを判別するとき(例えば、図15のサイクルt 4 T又

50

は  $t4C$  ) には、 だけでなく、消去レベル  $L0$  の  $V_{ss}$  との差 が関与するので、判定が問題ないかどうかを調べる。図 19 は、  $C-cell$  の最上位レベル  $L_{n+1}$  を基準として、  $T-cell$  の最下位レベル  $L0$  とそれ以上のレベルとを識別するレベル関係を示している。

【 0087 】

レベル  $L0$  が判定できる条件は、  $+ > 0.5x + s$  であり、これに の最小値  $V_{ref-s}$  を入れると、  $0.5x > 2s - V_{ref}$  が条件となる。この条件は、 ( 10 ) 式が満たされれば満たされるので、問題なくレベル判定ができる

8 値データは、上位ビット  $HB$ 、中間ビット  $MB$  及び下位ビット  $LB$  の 3 ビットを用いて、  $(HB, MB, LB)$  と表される。図 14 には、この例の 8 値データに用いる  $T-cell$  と  $C-cell$  のレベル間を線で結んだ組み合わせ状態と、データビット割り付けが示されている。

10

【 0088 】

最上位レベル  $L4$  が基準レベルであり、  $C-cell$  が基準レベルにあるときにビットデータの正論理値であり、  $T-cell$  のレベル  $L0, L1, L2, L3$  と  $C-cell$  の最上位レベル  $L4$  の組み合わせがそれぞれ、  $(1, 1, 1), (1, 1, 0), (1, 0, 1), (1, 0, 0)$  となる。また  $T-cell$  が基準レベルにあるときにビットデータの負論理値であり、  $C-cell$  のレベル  $L0, L1, L2, L3$  と  $T-cell$  の最上位レベル  $L4$  の組み合わせがそれぞれ、  $(0, 0, 0), (0, 0, 1), (0, 1, 0), (0, 1, 1)$  となる。

20

【 0089 】

上位ビット  $HB$ 、中間ビット  $MB$  及び下位ビット  $LB$  は、図 15, 16 に示した複数サイクルの読み出しにおいて、この順に分別される。読み出しサイクルの初期には、ビットデータが縮退しており、サイクル進行に従って順次縮退が解ける。

【 0090 】

$P0 (= 0V)$  は消去ベリファイ電圧、  $P1$  はレベル  $L4$  をプログラムするときの書き込みベリファイ電圧であり、以下同様に  $P2, P3, P4$  はそれぞれレベル  $L1, L2, L3$  をプログラムするときの書き込みベリファイ電圧である。  $R1$  は読み出しサイクル  $t1$  での読み出し電圧であり、以下  $R2, R3, R4$  はそれぞれ、読み出しサイクル  $t2T$  又は  $t2C, t3T$  又は  $t3C, t4T$  又は  $t4C$  で一方のセルに設定される読み出し電圧である。

30

【 0091 】

以上の 7 サイクルは、具体的には、最初のサイクル  $t1$  で上位ビット  $HB$  が判別される。次のサイクル  $t2T$  と  $t2C$  で中間ビット  $MB$  が判別される。これらのサイクル  $t2T, t2C$  では下位ビットの一部も同時に判別され、更に残りの下位ビットが次のサイクル  $t3T, t3C, t4T, t4C$  で順次判別される。

【 0092 】

上位ビット  $HB$ 、中間ビット  $MB$ 、下位ビット  $LB$  はこの順にデータセンスすることが必要である。サイクル  $t2T$  と  $t2C$  は、それぞれ上位ビットが “ 1 ” と “ 0 ” であるペアセルの中間ビットを判別するものであって、その順序は問わない。同様に、下位ビットを判別するサイクル  $t3T$  と  $t3C$  の順序、サイクル  $t4T$  と  $t4C$  の順序も問わない。

40

【 0093 】

[ 4 レベル / セル - 4 値 / ペアセル ]

ここまで説明した 3 レベル / セル - 4 値 / ペアセル及び、 5 レベル / セル - 8 値 / ペアセルの方式はいずれも、ペアセルを構成する二つのセルの一方の最上位レベルを基準として、これと他方のセルの上記最上位レベルより低い複数レベルとの組み合わせにより、データ状態を設定している。

【 0094 】

この様なペアセルのレベル組み合わせとは異なる多値記憶方式もある。図 20 は、 4 レベル / セル - 4 値 / ペアセルの例を示している。これは全てのビットに対して固定した基

50

準レベルを設定しない方式であり、特許文献2で提案した方式である。ここでは、セルが取り得る4レベルL0 - L3について、C - c e l lのレベルL3とT - c e l lのレベルL0の組み合わせ状態をデータA、C - c e l lのレベルL2とT - c e l lのレベルL1の組み合わせ状態をデータB、C - c e l lのレベルL1とT - c e l lのレベルL2の組み合わせ状態をデータC、C - c e l lのレベルL0とT - c e l lのレベルL3の組み合わせ状態をデータDとして、4値データを定義している。例えば、 $A = (1, 1)$ 、 $B = (1, 0)$ 、 $C = (0, 1)$ 、 $D = (0, 0)$ とする。

【0095】

データ読み出しには、先の例の3レベル/セル - 4値/ペアセルと同様に、3サイクルを必要とする。サイクルt1では、ペアセルに対して共通のワード線電圧を用いてセル電流を比較してペアセルの状態を判定する。このとき、データA、Bの間、データCとDの間は縮退しており判別できない。これらのデータ縮退を解くには、サイクルt2T及びt2Cを必要とする。

10

【0096】

サイクルt2TではT - c e l lのレベルを見かけ上上昇させて、“1”状態の縮退を解いて、データA、Bの分別を行う。サイクルt2CではC - c e l lのレベルを見かけ上上昇させて、“0”状態の縮退を解いて、データC、Dの分別を行う。具体的にサイクルt1、t2T、t2Cでワード線に与える読み出し電圧を変化させた場合のペアセルのレベル関係は、図21のようになる。

【0097】

ワード線レベルの設定条件を具体的に決めるために、図21に示すようにレベル間の差、 $V_{L0-L1}$ 、 $V_{L1-L2}$ 、 $V_{L2-L3}$ を規定する。このときワード線電圧の振幅は $V_{REF} + s$ となる。図22は、データA、Bを判別するに必要なサイクルt2Tでのレベル関係を、ワード線レベルを揃えて示している。

20

【0098】

消去後のしきい値電圧(レベルL0)の $V_{SS}$ との差を $V_{L0}$ 、レベルL1(のペリファイレベル)と $V_{SS}$ との差を $V_{L1}$ 、T - c e l lのワード線レベル(読み出し電圧) $V_{READT}$ とレベルL1との差を $V_{L1T}$ 、レベルL1以上のレベル間の差を $V_{L1-L2}$ 、C - c e l lのワード線レベル(読み出し電圧) $V_{READC}$ とレベルL2の差を $V_{L2}$ とした。書き込みペリファイ時のワード線レベル(ペリファイ電圧) $V_{VERI}$ は、 $V_{VERI} = V_{L0} + m \times V_{L1}$ となる。

30

【0099】

このステップt2Tでは、C - c e l lのレベルL3とT - c e l lのレベルL0との組み合わせ状態Aと、C - c e l lのレベルL2とT - c e l lのレベルL1との組み合わせ状態Bとを分離するのであるから、レベル間には次の関係式(11)、(12)が成り立つ必要がある。

【0100】

$$\begin{aligned} &> V_{L0} + s \dots (11) \\ &+ V_{L1} + V_{L1T} > V_{L1} + s \dots (12) \end{aligned}$$

このときC - c e l l、T - c e l l側の読み出し電圧はそれぞれ、 $V_{READC} = V_{L0} + s$ 、 $V_{READT} = V_{L0} + s$ である。さらに実際のレベル間の関係は、しきい値分布を考慮する必要がある。

40

【0101】

(11)式は、C - c e l l側の最小値 $V_{L0} + (V_{REF} - s)$ とT - c e l l側の最大値 $V_{L0} + (V_{REF} + s)$ を入れて、下記式(13)となる。

【0102】

$$V_{L0} + 3s \dots (13)$$

(12)式は、C - c e l lの最小値 $V_{L0} + (V_{REF} - s)$ とT - c e l lの最小値 $V_{L1} - (V_{REF} + s)$ を入れて、下記式(14)となる。

【0103】

50

$$+ > - + 3 s \dots (14)$$

更に、 $=$ 、 $= 0$ 、 $=$  なる条件を与えて簡単化すれば、式(13)、(14)の条件は、下記式(15)としてまとめられる。

【0104】

$$> 3 s \dots (15)$$

図23はこのときの状態判定条件とレベル関係を図22に対応させて示した。消去および書き込みのベリファイ時および読出し時のワード線レベルは、 $m \times$  とまとめることができ、 $m$ の倍数のレベルを発生させれば良い。 $m$ は、隣接するしきい値レベル分布が十分分離できて、センスアンプの不感帯よりも十分大きいこと、が必要な条件となる。

【0105】

この4レベル/セル - 4値/ペアセル方式も、先の3レベル/セル - 4値/ペアセル方式とほぼ同様の条件で動作可能であるが、同じ4値データ記憶のために、各セルのレベル数が一つ多くなっている。従って、先の3レベル/セル - 4値/ペアセル方式更には、5レベル/セル - 8値/ペアセル方式は、これの改良版ということができる。

【0106】

先の3レベル/セル - 4値/ペアセル方式及び、5レベル/セル - 8値/ペアセル方式は、各セルの最上位レベルを基準として、ペアセルを構成する二つのセルのレベル間が異なる組み合わせ状態を多値データとして用いた。これに対して、セルが取りうるレベルのうち最下位レベルを基準として多値データの組み合わせを設定することも可能である。

【0107】

その様な例を以下に説明する。

【0108】

[3レベル/セル - 4値/ペアセル(その2)]

図24は、最下位レベル $L_0$ を基準とする3レベル/セル - 4値/ペアセル方式のペアセル構成を、図7と対比させて示している。この場合も、3サイクル $t_1$ 、 $t_2$ T、 $t_2$ Cの読み出し動作により、4値データを識別することができる。図24は、各サイクルを通してワード線レベルを一定とし、セルレベルを相対的に変化させた場合を示し、図25はより実際的に、各サイクルでワード線レベル(読み出し電圧)を切り換えた場合を示している。

【0109】

この場合も、C-cellのレベルが高い場合を“1”として4値データを次のように定義することができる。T-cellの最下位レベル $L_0$ とC-cellの最上位レベル $L_2$ との組み合わせをデータA=(1,1)、T-cellの最下位レベル $L_0$ とC-cellの中間レベル $L_1$ との組み合わせをデータB=(1,0)、C-cellの最下位レベル $L_0$ とT-cellの中間レベル $L_1$ の組み合わせをデータC=(0,1)、C-cellの最下位レベル $L_0$ とT-cellの最上位レベル $L_2$ の組み合わせをデータD=(0,0)。

【0110】

サイクル $t_1$ ではペアセルに対して共通のワード線電圧を用いてセル電流を比較してペアセルの状態を判定している。この時、データA、Bは共に“1”として、データC、Dは共に“0”としてのみ判定され、データは縮退している。

【0111】

サイクル $t_2$ TではT-cellのレベルを見かけ上上昇させることにより、データA、Bの“1”データの縮退を解いている。すなわち、T-cellの最下位レベルの基準を持ち上げて、中間レベル $L_1$ よりワード線レベルに近づけることにより、ペアセルのセル電流関係は逆転し、データAは“1”、データBは“0”として判定される。

【0112】

サイクル $t_2$ CではC-cellレベルを見かけ上上昇させて、“0”データ縮退を解いて、データC、Dを判別することができる。

【0113】

10

20

30

40

50

図 25 には、後にこの方式のワード線の設定条件を検討するために、各レベル間の差、 $\Delta V_{L0-L1}$ 、 $\Delta V_{L1-L2}$ 、 $\Delta V_{L2-L3}$ 、 $\Delta V_{L3-L4}$  を記載してある。ワード線レベルの振幅は  $V_{REF} + s$  となる。

【0114】

[5レベル/セル - 8値/ペアセル(その2)]

図 26 は、最下位レベル  $L_0$  を基準とする 5 レベル/セル - 8 値/ペアセル方式のペアセル構成を、図 15 と対比させて示している。この場合も、7 サイクル  $t_{1T}$ 、 $t_{2T}$ 、 $t_{2C}$ 、 $t_{3T}$ 、 $t_{3C}$ 、 $t_{4T}$ 、 $t_{4C}$  の読み出し動作により、8 値データを識別することができる。図 26 は、各サイクルを通してワード線レベルを一定とし、セルレベルを変化させた場合を示し、図 27 はより実際的に、各サイクルでワード線レベル(読み出し電圧)を切り換えた場合を示している。

10

【0115】

サイクル  $t_1$  ではペアセルに対して共通のワード線電圧を用いてセル電流を比較してペアセルのデータ状態を判定している。このとき、 $C-cell$  の最下位レベル  $L_0$  を基準とするデータは全てデータ "0" として、 $T-cell$  の最下位レベル  $L_0$  を基準とするデータは全て "1" として検出される。このデータ縮退状態は、以下にサイクルで順次解かれる。

【0116】

サイクル  $t_{2T}$  では  $T-cell$  のレベルを見かけ上上昇させて "1" データの縮退を一部解いている。サイクル  $t_{2C}$  では  $C-cell$  のレベルを見かけ上上昇させて "0" データの縮退を一部解いている。以下、サイクル  $t_{3T}$ 、 $t_{4T}$  で更に  $T-cell$  のレベルをあげて、"1" データの縮退状態を更に順次解き、 $t_{3C}$ 、 $t_{4C}$  では  $C-cell$  のレベルを更にあげて、"0" データの縮退状態を更に順次解く。

20

【0117】

図 27 には、図 25 と同様に、この方式のワード線の設定条件を検討するために、各レベル間の差  $\Delta V_{L0-L1}$ 、 $\Delta V_{L1-L2}$ 、 $\Delta V_{L2-L3}$ 、 $\Delta V_{L3-L4}$  を記載してある。ワード線レベルの振幅は  $V_{REF} + s$  (サイクル  $t_{2T}$ 、 $t_{2C}$ )、 $2 \times V_{REF} + s$  (サイクル  $t_{3T}$ 、 $t_{3C}$ )、 $3 \times V_{REF} + s$  (サイクル  $t_{4T}$ 、 $t_{4C}$ ) となる。

【0118】

次に、上述した 3 値/セル - 4 値/ペアセル(その2)と 5 値/セル - 8 値/ペアセル(その2)について、レベル設定条件を検討する。図 28 は、これら 2 方式に共通に適用される、 $C-cell$  の最下位レベル  $L_0$  との関係で、 $T-cell$  の最上位レベル  $L_{n+2}$  とそれ以下のレベルとを識別する最終読み出しサイクルのレベル関係を、ワード線レベルを固定して示している。

30

【0119】

消去後のしきい値(レベル  $L_0$ )と  $V_{SS}$  との差が  $V_{REF} - s$ 、レベル  $L_1$  と消去ベリファイ電圧  $V_{SS}$  との差が  $V_{REF}$ 、ワード線レベル(読み出し電圧)  $V_{READT}$  と最上位レベル  $L_{n+2}$  との差が  $V_{REF} + s$ 、各レベル間の差が  $s$  である。書き込みベリファイ時のワード線レベル(ベリファイ電圧)は、 $V_{VERI} = V_{REF} + m \times s$  となる。

【0120】

$C-cell$  の最下位レベル  $L_0$  を基準として、 $T-cell$  の最上位レベル  $L_{n+2}$  とその次のレベル  $L_{n+1}$  の状態を分けるのであるから、下記式(16)、(17)が成り立つことが必要である。

40

【0121】

$$V_{READT} > V_{REF} + s \dots (16)$$

$$V_{READT} + s > V_{REF} + s \dots (17)$$

このとき、 $C-cell$  と  $T-cell$  のワード線レベルはそれぞれ、 $V_{REF} + n \times s$  と  $V_{REF} + s$  である。実際のレベル間の関係はしきい値分布を考慮する必要があるので、式(16)は、 $V_{REF} - s$  の最小値  $V_{REF} - s$  と  $V_{REF} + s$  側の最大値  $V_{REF} + s$  を入れて、下記式(18)となる。

【0122】

50

$0 > + 3 s \dots (18)$

式(17)は、 $+$ の最小値 $+$   $+(V_{ref} - s)$ と $+$ の最大値を入れるのだが、この最大値はMAXとして、下記式(19)となる。

【0123】

$+ > MAX + 2 s - V_{ref} \dots (19)$

式(19)の条件は、MAXが制御できないこと、また $+$ 自体を決めるのが困難なことから、満たすことが難しい。

【0124】

以上の考察から、最下位レベルを基準として多値データの組み合わせを設定する3レベル/セル - 4値/ペアセル(その2)或いは5レベル/セル - 8値/ペアセル(その2)と比べると、各セルの最上位レベルを基準としてペアセルの多値データの組み合わせを設定する、4値/ペアセル(その1)或いは8値/ペアセル(その1)の方式がより好ましいといえることができる。

【0125】

[3レベル/セル - 4値/ペアセル(その1)の詳細]

図29は、3レベル/セル - 4値/ペアセル(その1)の方式での消去及び書き込み手順を示している。これ以上の多値の場合も基本的には同じ手順になる。

【0126】

“vp0”は、ペアセルのベリファイ消去ステップである。その詳細動作は後にセンスユニットとの関係で説明するが、消去ステップvp0では選択ブロック内のセルに消去電圧を印加する動作と、その後選択ブロックのワード線をVssにして、そのセル電流を参照セル(有効しきい値電圧がVrefのセル)のそれと比較する消去ベリファイとを繰り返す。これによって全てのセルのしきい値電圧を、セル電流が十分“1”と見なせる最下位レベルL0に設定する。

【0127】

この消去しきい値電圧分布に対して、書き込みデータとして、上位ビットHB及び下位ビットLBを与え、これをセルレベルに翻訳して順次書き込みを行うのが、ベリファイ書き込みステップvp1及びvp2である。

【0128】

書き込みステップvp1では、上位ビットHBの“1”，“0”に従って、T-cell, C-cellのしきい値電圧を、基準レベルである最上位レベルL2に上昇させる。具体的には、センスユニット30内のデータラッチに書き込みビットデータをロードし、選択されたビット線とセンスアンプを接続して書き込みが行われる。

【0129】

これも詳細動作は後に説明するが、書き込みベリファイと書き込み電圧印加動作とを繰り返す。ベリファイ後には、書き込み不十分のペアセルが存在するか否かのベリファイチェックを行う。この書き込みステップvp1が終了した段階では全てのペアセルは基準レベルL2と最下位レベル(消去レベル)L0の組合せになっている。

【0130】

この段階で、データ(0,0)と(0,1)は縮退している。同様に、データ(1,0)と(1,1)も縮退している。

【0131】

次の書き込みステップvp2では、下位ビットLBの“1”，“0”に従って、T-cell, C-cellの一部のセルのしきい値電圧を消去レベルL0から中間レベルL1に上昇させる。この書き込みステップvp2が終了すると、全てのペアセルの書き込みが終了し、(0,0)(1,0)(0,1)(0,0)の4値データを持ったペアセルが得られる。

【0132】

多値データを構成するレベル数が増えても、基準となる最上位レベルをまず書き込み、以下順次下位レベルを書き込むという方式は、同じである。

10

20

30

40

50

## 【 0 1 3 3 】

( センスユニット構成 )

図 3 0 は、この方式で用いられる、一对の選択ビット線 T B L , C B L に接続されるセンスユニット 3 0 の構成を示している。図 4 で説明したように実際には、一つのセンスユニット 3 0 は、複数対のビット線により共有される。

## 【 0 1 3 4 】

センスユニット 3 0 は、電流検出型の差動センスアンプ S A と二つのデータラッチ H B L , L B L を含むセンス・ラッチ系と、ベリファイチェック回路 V C K ( ベリファイ・結果判定系 ) とを有する。差動センスアンプ S A の二つの入力ノード I N , / I N は、通常読み出し時にはビット線 T B L , C B L に接続される。書き込みベリファイ或いは消去ベリファイ時に入力ノード I N , / I N の一方に参照電流を供給するために、参照電流源回路 3 0 1 が設けられている。

10

## 【 0 1 3 5 】

データラッチ H B L と L B L は、データ書き込み時は書き込みデータの上位ビット H B と下位ビット L B をそれぞれ保持し、読み出し時はセンスアンプ S A により読み出された上位ビット H B と下位ビット L B をそれぞれ保持するものである。消去時にはこれらのデータラッチ H B L , L B L は、上位ビット、下位ビットとは無関係に、T - c e l l アレイ 1 t と C - c e l l アレイ 1 c を順番に消去するための相補データが保持される。

## 【 0 1 3 6 】

データラッチ H B L , L B L は、センスアンプ S A との間でデータ転送するための共通のデータ転送ノード B , / B を有する。ノード B , / B は読み出し制御信号 R E A D により制御される N M O S トランジスタ N 2 1 , N 2 2 を介してセンスアンプ S A の出力ノード O U T , / O U T に接続されている。

20

## 【 0 1 3 7 】

ノード B , / B とデータラッチ H B L の間には N M O S トランジスタ N 3 1 , N 3 2 からなるデータ転送回路 3 0 3 が設けられている。この転送回路 3 0 3 は、前述した読み出しステップ t 1、書き込みステップ v p 1 或いは消去ステップ v p 0 ( 1 ) でオンになるように、それぞれのタイミング信号が供給される。

## 【 0 1 3 8 】

ノード B , / B とデータラッチ L B L の間には、N M O S トランジスタ N 4 1 - N 4 4 からなるデータ転送回路 3 0 4 と、N M O S トランジスタ N 5 1 - N 5 4 からなるデータ転送回路 3 0 5 が併設されている。これらの転送回路 3 0 4 , 3 0 5 は、データラッチ H B L の上位ビットデータ H B , / H B により選択され、また読み出しステップ t 2 T , t 2 C、書き込みステップ v p 2 或いは消去ステップ v p 0 ( 2 ) に対応するタイミング信号により制御される。

30

## 【 0 1 3 9 】

参照電流源回路 3 0 1 は、参照電圧 V r e f がゲートに与えられた N M O S トランジスタ N 1 0 を有する。この N M O S トランジスタ N 1 0 は、センスすべきセル電流を比較判定するための参照電流を流す参照セルとして用いられている。この N M O S トランジスタ N 1 0 は、書き込み又は消去ベリファイ時に選択的にセンスアンプ S A の入力ノード I N , / I N の一方に接続される。即ち N M O S トランジスタ N 1 0 は、参照ワード線 R e f W L により駆動される N M O S トランジスタ N 1 1 , N 1 2 を介し、データ転送ノード / B , B により制御される N M O S トランジスタ N 1 3 , N 1 4 を介して、センスアンプ S A の入力ノード I N , / I N に接続される。

40

## 【 0 1 4 0 】

センスアンプ S A の入力ノード I N , / I N は、読み出し制御信号 R E A D により制御される N M O S トランジスタ N 1 7 , N 1 9 を介してそれぞれビット線 T B L , C B L に接続される。これらの N M O S トランジスタ N 1 7 , N 1 9 には並列に、それぞれノード B , / B により相補的に制御される N M O S トランジスタ N 1 8 , N 2 0 が接続されている。

50

## 【 0 1 4 1 】

即ち、読み出し時は、NMOSトランジスタN17, N19がオンになり、ビット線対TBL, CBLがそれぞれ入力ノードIN, /INに接続される。このときリファレンス電流源回路301はセンスアンプSAには接続されない。

## 【 0 1 4 2 】

書き込み及び消去ベリファイ時には、NMOSトランジスタN17, N19はオフである。そしてデータラッチHBL, LBL等のデータに従って、NMOSトランジスタN18, N20の一方がオンになり、また参照電流源回路301ではNMOSトランジスタN13, N14の一方がオンになる。これにより、ビット線対TBL, CBLの一方がセンスアンプSAの一つの入力ノードに接続され、他方の入力ノードにはリファレンス電流源であるNMOSトランジスタN10が接続される。

10

## 【 0 1 4 3 】

ビット線TBL, CBLには、それぞれPMOSトランジスタP11 - P13, P14 - P16からなるプルアップ回路302T, 302Cが接続されている。これらは、センスデータに応じてビット線TBL, CBLの一方をVddにプルアップするために用いられる。また、センスデータに応じてビット線TBL, CBLの一方をVssのリセットするために、それぞれにNMOSトランジスタN15, N16が接続されている。

## 【 0 1 4 4 】

この実施の形態において、センスアンプSAが電流検出型の差動アンプであること及び、通常のデータ読み出しにはペアセルのセル電流差の検出を行うこと、が高速読み出しを可能としている。即ち通常のNAND型フラッシュメモリのセンスアンプは、ビット線をプリチャージした後、選択セルによりそのビット線をディスチャージさせる動作を行う。選択セルがオフ（例えばデータ“0”）の場合は、ビット線は放電されず、選択セルがオン（例えばデータ“1”）の場合はビット線が放電される。従って一定時間のビット線放電動作の後、ビット線電位を検出することによって、データを判定することができる。

20

## 【 0 1 4 5 】

しかしこのセンスアンプ方式では、セル電流が小さくなる程、またビット線容量が大きくなる程、データ判定のために長いビット線放電時間を必要とし、高速読み出しができなくなる。特に、多値記憶を行う場合には、複数回のセンス動作を必要とするために、読み出しの高速性能を如何に確保するかが重要な課題になる。

30

## 【 0 1 4 6 】

この実施の形態のセンスアンプSAは、ペアセルを構成する二つのセルT-cell, C-cellのセル電流の差を、ビット線対の間で差動検出する。後に詳細に説明するが、書き込みや消去のベリファイ読み出しには、参照電流源回路を用い、ベリファイすべきセルが接続されたビット線対の一方と参照セルとの間で、セル電流差の検出を行う。この場合には、センスアンプの差動入力側の負荷容量が大きく異なるために、セル電流差の検出には一定のビット線充電時間を必要とする。

## 【 0 1 4 7 】

しかし通常の読み出し時は、参照電流源回路を用いることなく、ペアセルのセル電流差を差動検出するので、センスアンプ差動入力端での容量バランスがとれている。従って、読み出し開始（即ちセル駆動開始）初期からセル電流の大小関係が決まり、開始後早い段階でセンスアンプを活性にしても、誤センスすることはない。従って、極めて短時間でデータセンスすることが可能であり、特に多値記憶方式での高速読み出し性能を実現する上で重要になる。

40

## 【 0 1 4 8 】

更に、電流検出型差動センスアンプは、微小なセル電流差を確実に検出することができる。このことは、多値データのしきい値電圧レベル差を小さく設定した場合にも、確実にデータをセンスできることを意味する。即ちこの実施の形態のデータセンス方式は、多値データレベルが多い場合でも、十分なデータマージンを確保することを可能にする。

## 【 0 1 4 9 】

50

図31は、その様なセンスアンプSAの具体的な構成例を示している。このセンスアンプSAは、一種のCMOSフリップフロップ311を主体として構成されるが、通常のフリップフロップではない。

【0150】

ゲートGAが共通接続されて直接接続されたPMOSTランジスタP23とNMOSTランジスタN61の共通ドレインは、一方の出力ノードOUTに接続されている。同じくゲートGBが共通接続されて直列接続されたPMOSTランジスタP24とNMOSTランジスタN62の共通ドレインは、他方の出力ノードOUTに接続されている。これらの共通ゲートGA, GBは、出力ノードOUT, OUTに交差接続されている。

【0151】

PMOSTランジスタP23, P24はそれぞれPMOSTランジスタP21, P22を介し、電源スイッチとしてのPMOSTランジスタP20を介して、電源端子Vddに接続されている。PMOSTランジスタP21, P22のゲートはそれぞれ共通ゲートGA, GBに接続されている。

【0152】

NMOSTランジスタN61, N62のソースは接地端子Vssに接続されている。共通ゲートGA, GBは、活性化用NMOSTランジスタN63, N64を介して接地端子Vssに接続されている。

【0153】

直列接続されたPMOSTランジスタP21, P23の接続ノードNA、同じく直列接続されたPMOSTランジスタP22, P24の接続ノードNBがそれぞれセル電流の入力ノードとなる。具体的に図31の例では、ビット線TBLに接続される側の入力ノードINとNAとの間及び、ビット線CBLに接続される側のノードINとNBの間にそれぞれ、PMOSTランジスタP27, P28によるカレントミラー回路312及び、PMOSTランジスタP29, P30によるカレントミラー回路313が配置されている。これらのカレントミラー回路312, 313によって、セル電流に対応するレプリカ電流がノードNA, NBに供給される。

【0154】

PMOSTランジスタP27, P28, P29, P30のドレインと接地端子Vssの間にそれぞれ接続されたNMOSTランジスタN71, N72, N73, N74は、初期化信号EQにより制御される。即ちセンス開始前に、EQ = "H" によって、ノードNA, NBをVssに初期化することができる。

【0155】

入力ノードIN/INには、センス結果を帰還してこれらのノードを制御するための帰還回路314, 315が設けられている。即ち、入力ノードINとNAの間及び、入力ノードINとNBの間には、出力ノードOUT, OUTによりゲートが制御されるPMOSTランジスタP25, P26が介在させている。入力ノードIN, INにはそれぞれ、出力ノードOUT, OUTによりゲートが制御される、ソースが接地されたNMOSTランジスタN65, N66が設けられている。

【0156】

このセンスアンプSAの動作を説明すると、次の通りである。通常の読み出し動作では、図30に示すリファレンス電流源301は用いられない。/ACC = "H", /SE = "H" の非活性状態では、NMOSTランジスタN63, N64がオンであり、出力ノードOUT, OUT及び共通ゲートノードGA, GBは、Vssに保持されている。

【0157】

二つのセルアレイの対をなすワード線TWL, CWLが選択され、一对のビット線TBL, CBLが入力ノードIN, INに接続されるときに、/ACC = "L"、その後少し遅れて/SE = "L" となり、センスアンプSAが活性化される。このとき、選択されたペアセルの二つセルT-cell, C-cellのセル電流がそれぞれノードNA, NBに供給される。

10

20

30

40

50

## 【 0 1 5 8 】

センスアンプ活性化直後、NMOSトランジスタN61, N62は共にオフであるが、 $V_{SS}$ にリセットされていたノードOUT (= GB), /OUT (GA)は、電源からの電流とこれに重なるセル電流により充電される。セル電流差により、出力ノードOUT, /OUTの間(従ってゲートノードGA, GBの間)に電位差が生じると、フリップフロップ313では、出力ノードOUT, /OUTの差電圧を増幅する正帰還動作が行われ、その差電圧は急速に拡大する。

## 【 0 1 5 9 】

例えば、OUT (GB)が/OUT (GB)より低いとすると、/SEからの正帰還動作により、NMOSトランジスタN61がオン、NMOSトランジスタN62がオフ、PMOSトランジスタP22, P24がオン、PMOSトランジスタP21, P23がオフとなって、出力ノードOUT, /OUTはそれぞれ、 $V_{SS}$ ,  $V_{DD}$ になる。

10

## 【 0 1 6 0 】

このような電流検出方式により、ペアセルのセル電流差を短時間でセンスすることができる。出力ノードOUT, /OUTの一方が $V_{SS}$ 、他方が $V_{DD}$ になると、NMOSトランジスタN65, N66の一方がオンになり、入力ノードIN, /INの一方を $V_{SS}$ にする帰還制御が行われる。これは書き込みベリファイ時に、ベリファイ読み出し結果に応じて、ビット線制御を行う必要があるためである。

## 【 0 1 6 1 】

以上のようにこのセンスアンプSAは、トランジスタN63, N64からの正帰還動作によりペアセルのセル電流差を短時間で検出ことができ、高速の読み出しが可能になる。しかも、フリップフロップ313は貫通電流が流れないので、消費電力も少ない。

20

## 【 0 1 6 2 】

図32は、基本的に図31と同様のフリップフロップ311を用いるが、より単純化したセンスアンプSAの例である。ここでは図31の回路で用いられているカレントミラー回路312, 313が省略されている。カレントミラー回路を用いてノードNA, NBにレプリカ電流を入れる場合には、電源電流に対してセル電流を加算することになるのに対し、直接セル電流を入れる場合には減算になる。従って、図31とは逆に、入力ノードIN, /INをそれぞれノードNB, NAに接続している。

## 【 0 1 6 3 】

ノードNA, NBには、電源スイッチPMOSトランジスタP20と相補的にオンオフされるリセットNMOSトランジスタN67, N68が接続されている。これにより、センス前にノードNA, NBは $V_{SS}$ に設定される。帰還回路314, 315は、NMOSトランジスタN65, N66のみであり、出力ノードOUT, /OUTの“H”, “L”が確定すると、入力ノードIN, /INの一方を“L” =  $V_{SS}$ にする動作が行われる。

30

## 【 0 1 6 4 】

図33は、図30におけるベリファイチェック回路VCKの具体構成を示している。このベリファイチェック回路VCKは、書き込み又は消去ベリファイ時、センスアンプ出力ノードOUT, /OUTにベリファイ読み出しされたデータが、ノードB, /Bに読み出されるデータラッチHBL又はLBLの期待値データと一致するか否かを判定するデータ比較回路320を用いている。

40

## 【 0 1 6 5 】

消去ベリファイと書き込みベリファイとは期待セル状態が異なる。即ち消去ベリファイでは、セルのしきい値電圧が十分に下がったことを検証するのに対し、書き込みベリファイではセルのしきい値電圧があるレベルまで上がったことを検証する。具体的に、消去ベリファイでは、ノードBと/OUTの間又は、/BとOUT間が逆論理となることを検出して完了とし、書き込みベリファイでは、ノードBと/OUTの間又は、/BとOUT間が同じ論理となることを検出して完了とする必要がある。

## 【 0 1 6 6 】

このために、チェック入力信号INQiにより制御される相補的にオンオフさせるPM

50

OSトランジスタP41とNMOSTトランジスタN89の間に、4つの電流経路が配置されている。

【0167】

ノードOUT及び/Bにそれぞれのゲートが接続されたNMOSTトランジスタN81及びN82の間に、書き込みベリファイ時のチェック信号PRQが入るNMOSTトランジスタN83を介在させた第1の経路及び、ノード/OUT及びBにそれぞれのゲートが接続されたNMOSTトランジスタN84及びN85の間に、書き込みベリファイ時のチェック信号PRQが入るNMOSTトランジスタN86を介在させた第2の経路が書き込みベリファイ時のデータ比較回路を構成する。

【0168】

NMOSTトランジスタN81及びN85とこれらの間に消去ベリファイ時のチェック信号ERQが入るNMOSTトランジスタN87を介在させた第3の経路及び、NMOSTトランジスタN84及びN82とこれらの間に同チェック信号ERQが入るNMOSTトランジスタN88を介在させた第4の経路が、消去ベリファイ時のデータ比較回路を構成する。

【0169】

ソースが電源に接続されたPMOSTトランジスタP41のドレインノードNCiは、INQi = "L"の間"H"レベルに充電される。そして、INQi = "H"を入力したときに、ベリファイ読み出しデータが期待値になったときに、このノードNCiが"L"レベルに放電される。このノードNCiの"L"レベル遷移を受けて、インバータ321がFINi = "H"を出力する。

【0170】

実際には、図34に示すように、同時に読み出される1ページ内の全センスユニット内のベリファイチェック回路VCKiが、チェック出力FIQiが次のチェック入力INQi+1となるように、ドミノ倒し接続される。ベリファイ判定時、最初のベリファイチェック回路VCK0にチェック入力INQ0 = "H"を入れる。1ページ内に書き込み或いは消去不十分のセルが一つでもあると、最終チェック出力FINn-1は"L"である。1ページ内の全セルの書き込み或いは消去が十分である場合に初めて、FINn-1 = "H"が得られ、これが書き込み或いは消去完了を示すパスフラグ信号となる。

【0171】

次に上述したセンスユニットに即して、具体的なデータ読み出し、ベリファイ消去及びベリファイ書き込みの動作を説明する。

【0172】

(読み出し)

データ読み出しは、4値データの2ビットを全て読み出すには、前述のように3ステップt1, t2T及びt2Cを必要とする。図35はこの3ステップでの上位ビットHBと下位ビットLBのデータ確定の様子を示している。図36は、この読み出しサイクルでのワード線対TWL, CWLの読み出し電圧変化を示している。上位ビットHBのみを読み出すには勿論1ステップt1のみでよい。

【0173】

最初のサイクルt1では、T-cell, C-cell側のワード線TWL, CWLに、図6に示す読み出し電圧R1を与える。このとき、図6から明らかなように、HB = "0"の場合、C-cellのセル電流がT-cellのそれより大きく、HB = "1"の場合は、セル電流は逆になる。

【0174】

即ち、センスアンプSAでは、CBL = "L", TBL = "H"としてHB = "0"が、CBL = "H", TBL = "L"としてHB = "1"がセンスされる。このセンス結果は、転送回路303を介して、データラッチHBLに転送保持される。

【0175】

ステップt2Tでは、HB = "1"なるペアセルについて、下位ビットLBをセンスする。このステップでは、図36に示すようにワード線TWL, CWLにそれぞれ、読み出

10

20

30

40

50

し電圧  $R_2$  ,  $R_1$  を与える。このとき、 $HB = "1"$  のペアセルについて、下位ビット  $LB$  が  $"1"$  であれば、 $TBL$  が  $CBL$  より低レベルになり（データ  $"11"$  ）、下位ビット  $LB$  が  $"0"$  であれば、 $TBL$  ,  $CBL$  は逆データになる（データ  $"10"$  ）。この下位ビットデータは、上位ビット  $HB = "1"$  によりオンになる転送回路  $304$  を介してデータラッチ  $LBL$  に転送保持される。

【0176】

ステップ  $t_2C$  では、 $HB = "0"$  なるペアセルについて、下位ビット  $LB$  をセンスする。このステップでは、図 36 に示すようにワード線  $TWL$  ,  $CWL$  にそれぞれ、読み出し電圧  $R_1$  ,  $R_2$  を与える。このとき、 $HB = "0"$  のペアセルについて、下位ビット  $LB$  が  $"0"$  であれば、 $CBL$  が  $TBL$  より低レベルになり（データ  $"00"$  ）、下位ビット  $LB$  が  $"1"$  であれば、 $CBL$  ,  $TBL$  は逆データになる（データ  $"01"$  ）。この下位ビットデータは、 $HB = "1"$  によりオンになる転送回路  $305$  を介してデータラッチ  $LBL$  に転送保持される。

10

【0177】

以上のように、図 35 に示すように、ステップ  $t_1$  で上位ビット  $HB$  の  $"0"$  と  $"1"$  が確定し、ステップ  $t_2T$  では上位ビットが  $HB = "1"$  のペアセルについて、下位ビット  $LB$  の  $"0"$  と  $"1"$  が確定し、ステップ  $t_2C$  では上位ビットが  $HB = "0"$  のペアセルについて、下位ビット  $LB$  の  $"0"$  と  $"1"$  が確定する。

【0178】

図 6 に示したデータビット割り付け法及び図 30 に示したセンスユニット構成では、下位ビット  $LB$  を読み出す前には必ず上位ビット  $HB$  が読み出されている必要がある。即ちペアセルが保持する下位ビットデータのみを独立に読み出すことはできないが、システムは簡単になる。但し、下位ビットを読み出すステップ  $t_2T$  と  $t_2C$  の順序は逆であってもよい。

20

【0179】

この実施の形態の読み出し法では、ペアセルのセル電流差を差動検出するため、高速の読み出しが可能である。例えば、後に説明するペリファイ読み出しでは、ペアセルを構成する各セルのセル電流を参照セルのそれと比較する。この場合には、センスアンプの差動入力ノードの一方のみにビット線が接続されるため、差動入力ノードの負荷容量のアンバランスが大きい。従って、データセンスのためには、ビット線容量の充電時間の経過を待

30

【0180】

これに対して通常読み出し動作では、ペアセルがつながるビット線対の間でセル電流差を検出するので、センスアンプ差動入力ノードの負荷バランスがとれている。従って、ビット線の充電時間を待つ必要はなく、極めて短時間でデータセンスが可能である。たとえ 3 サイクルの読み出し動作が必要であるとしても、通常の NAND フラッシュメモリに比べて、高速の読み出しが可能になる。

【0181】

（ペリファイ消去）

データ消去は、消去単位内の全セルに消去電圧を印加する動作と、その消去状態を確認するペリファイ動作との繰り返しにより行う。例えば、図 3 に示すように複数個配置されるページバンクについて、適当な複数ページバンクを含むブロックを消去単位とすることができる。或いはページバンクを消去単位としてもよい。

40

【0182】

消去動作はセルを最下位しきい値レベル  $L_0$  に設定する動作である。そのため選択ブロック内の全ワード線を  $V_{ss}$  とし、セルアレイが形成されたウェルに大きな消去電圧  $V_{era}$  を与えて、全セルのフローティングゲートから電子を抜き去る。

【0183】

センスアンプユニット  $30$  の両側の全てのビット線  $TBL$  ,  $CBL$  に接続されたセルのデータ消去を同時に行うが、消去ペリファイには、センスユニット  $30$  において、セル電

50

流をリファレンス電流源回路301によるリファレンス電流と比較する必要がある。このため、ページバンク内のT-cellアレイとC-cellアレイとを別々のタイミングでベリファイ読み出しする必要がある。

【0184】

このために、二つのデータラッチHBL, LBLに相補データを保持して、これによりT-cellアレイとC-cellアレイが順次選択されるようにする。例えば図37に示すように、図29に示した消去ステップvp0は、二つのベリファイ消去ステップp0(1), vp0(2)に分けられる。

【0185】

ステップvp0(1)は、データラッチHBLにセットした“1”データに基づいて行うT-cellアレイ1tに対してベリファイ消去を行う。ステップvp0(2)は、データラッチLBLにセットしたデータ“0”に基づいてC-cellアレイ1cに対してベリファイ消去を行う。

【0186】

但しこれらのセルアレイ選択は逆であってもよい。即ちHBL = “0”, “LBL” = “1”として、ステップvp0(1)でC-cellアレイを選択し、ステップvp0(2)でT-cellアレイを選択してもよい。

【0187】

具体的なベリファイ消去動作を図38及び図39を参照して説明する。コマンド入力に続いてアドレスを入力して、消去すべきブロックを選択する(ステップS1)。次に、センスユニット30内のデータラッチHBL, LBLにそれぞれ、データ“1”, “0”をセットする(ステップS2)。

【0188】

このデータセットのためには、図30には示していないがセンスユニット30のデータラッチ系に適当なりセット回路を設ければよい。例えばリセット信号により、データラッチLBLを“0”データ状態にリセットし、これを受けてデータラッチHBLがデータ“1”となるようなりセット回路である。

【0189】

チップ内部には、ブロック内の全ページバンク及びその中のNANDブロックを順に選択できるアドレスカウンタを備え、ベリファイ消去はこのアドレスカウンタに基づいて制御されるようにする。即ちアドレスカウンタが一巡したか否かを検出し(ステップS3)、一巡していなければ、データラッチHBL, LBLのデータに従って順次ベリファイ消去を行う。

【0190】

消去ステップvp0(1)では、転送回路303がオンになる。データラッチHBLのデータが“1”であれば、データノードB, /Bのデータに基づいて、T-cellアレイが選択される。即ち、一方のビット線TBLがセンスアンプSAの入力ノードINが接続され、他方のビット線CBLはセンスアンプから分離されて、入力ノード/INにはリファレンスセルN10が接続される。

【0191】

そして、消去ベリファイが行われ(ステップS4)、消去不足のセルがある場合には、消去電圧印加が行われる(ステップS5)。

【0192】

T-cellアレイの消去がパスしたら、消去ステップvp0(2)に移り、転送回路304がオンになる。そしてデータラッチLBLのデータに基づいて、C-cellアレイが選択される。なおHB = “0”, LB = “1”をセットする場合には、転送回路304でなく、転送回路305が選択される。

【0193】

そして同様に、消去ベリファイが行われ(ステップS6)、消去不足のセルがある場合には、消去電圧印加が行われる(ステップS7)。消去電圧印加は、前述のように選択ブ

10

20

30

40

50

ロック全体に対して行われる。

【0194】

1 ページバンク内のベリファイ消去は、図2に示すNANDブロック単位で、そのNANDブロック内の全ワード線にV<sub>ss</sub> (ベリファイ電圧P<sub>0</sub>)を与えて行われる。選択されたNANDブロックのセルが全て、ベリファイ電圧P<sub>0</sub>より低い負のしきい値電圧になっていれば、リファレンス電流より大きなセル電流が流れて、消去が確認される。

【0195】

ステップS4 或いはS6での消去ベリファイチェックは、前述のように、ベリファイチェック回路VCKにより行われる。同時に動作する全センスユニット30で消去が完了すれば、FIN<sub>n-1</sub> = "H" (パスフラグ出力)が得られる。

10

【0196】

T-cellアレイとC-cellアレイのNANDブロックの消去が確認されたら、アドレスカウンタをカウントアップして(ステップS8)、次のNANDブロックペアが選択され、以下同様のベリファイ消去が、選択ブロック内の全ページバンクの消去が確認されるまで繰り返される。

【0197】

図39は、ベリファイ読み出しステップS4及びS6の具体的なフローを示している。まずセンスアンプをリセットし、読み出し制御信号をREAD = "0"とし、選択されているNANDブロックの全ワード線(例えばTWL)とこれらと対をなす全ワード線(例えばCWL)をV<sub>ss</sub>とし、リファレンスワード線RefWLを"1"とする(ステップS11)。これにより、センスアンプ入力ノードIN、/INの一方に、ビット線が接続され、他方にリファレンスセルが接続される。

20

【0198】

その後センスアンプSAを活性化する(ステップS12)。次いで、PRQ = "0", ERQ = "1", INQ<sub>0</sub> = "1"を与えて、ベリファイチェック回路VCKを消去ベリファイモードで動作させる(ステップS13)。FIN<sub>n-1</sub> = "1"になったか否かによりパス又はフェイルを判定する(ステップS14)。フェイルであれば、消去が行われる。パスであればセンスアンプSAをリセットする(ステップS15)。

【0199】

(ベリファイ書き込み)

データ書き込みは図29に示したように、上位ビットのベリファイ書き込みステップvp1と、下位ビットのベリファイ書き込みステップvp2の2ステップで行われる。図40は、書き込みステップvp1で上位ビットHBの"0", "1"が確定し、書き込みステップvp2で上位ビット"0", "1"それぞれについて下位ビットLBの"0", "1"が確定することを示している。

30

【0200】

書き込みは、例えばあるページバンク内で全センスアンプユニットに同時に接続されるペアセルの集合(具体的には、一对のワード線TWL, CWLと、ビット線選択回路31t, 31cにより同時に選択される複数対のビット線TBL, CBLとにより選択されるペアセル集合)を書き込み単位(1ページ)として行われる。

40

【0201】

上位ビット書き込みと下位ビット書き込みの原理は同じであり、選択ワード線TWL, CWLに書き込み電圧V<sub>pgm</sub>を印加する書き込み電圧印加動作と、その書き込み状態を確認するベリファイ読み出し動作の繰り返しにより行われる。

【0202】

書き込み電圧印加時、"0"データが与えられた選択セルでフローティングゲートに電子注入が生じるように、予めNANDセルチャネルが書き込みデータにより電位設定される。NANDブロック内の非選択ワード線には、非選択セルで書き込みが起こらないように、必要な書き込みパス電圧を与える。

【0203】

50

図41は、書き込み単位のデータ書き込みのシーケンスを示している。書き込みコマンド入力に続いて選択アドレスを入力して、選択ページのワード線対TWL, CWLを選択する(ステップS20)。書き込みは、前述のように上位ビットHB、下位ビットLBの順に行う必要があり、まず上位ビットデータをデータラッチHBLにロードすることが必要である。

【0204】

ここでは、書き込みシーケンスが例えば同じページバンクに対する読み出しアクセスによって一時中断される場合があることを考慮している。そのため、上位ビット(HB)データが既にロードされているか否をまず判定し(ステップS21)、ロードされていない場合にのみ、外部からHBデータを入力して、データラッチHBLにロードする(ステップS24)。

10

【0205】

既にHBデータが書かれている場合には、それがデータラッチHBLに保持されているかどうかを判定し(ステップS22)、保持されていない場合にはこれをセルアレイから読み出してデータラッチHBLに転送する(ステップS23)。

【0206】

次に、下位ビット(LB)データを外部からロードして、データラッチLBLに転送保持する(ステップS25)。これで書き込みデータの準備が整ったことになる。

【0207】

次に、HBデータの書き込みベリファイを行う(ステップS26)。このとき、書き込みタイミング信号vp1="1"により、転送回路303がオンして、データラッチHBLのHBデータがノードB, /Bに出力される。このノードB, /Bの制御により、センスアンプSAの入力ノードIN, /INの一方にビット線が接続され、他方にはリファレンスセルN10が接続されて、ベリファイ読み出しが行われる。

20

【0208】

ベリファイ読み出しの結果により、プルアップ回路302T, 302Cが制御され、制御信号/PRG="0"(="L")により、ビット線TBL, CBLの一方がVddに設定され、他方はリセットトランジスタN15又はN16によって、Vssにリセットされる。

【0209】

書き込みベリファイがフェイルであれば、書き込みを行う(ステップS27)。書き込みは、ワード線TWL, CWLに書き込み電圧Vpgmを与えて行われる。HBデータによってセルチャネルがVssに設定されたセルでフローティングゲートに電子注入がなされ、しきい値電圧が上昇する("0"書き込み)。セルチャネルがより高いフローティング状態に設定されてセルでは、フローティングゲートに電子注入は生じない("1"書き込み或いは書き込み禁止)。

30

【0210】

同様の動作をベリファイパスするまで繰り返す。データ書き込みがHBデータの場合もあるため、ここで書き込み完了の検出が行われる(ステップS28)。

【0211】

LBデータ書き込みが必要な場合は、続いてLBデータ書き込みベリファイが行われる(ステップS29)。このとき、書き込みタイミング信号vp2="1"とHBデータにより、転送回路304又は305が選択されて、HBデータに応じてノードB, /BにLBデータが出力される。

40

【0212】

このノードB, /Bの制御により、センスアンプSAの入力ノードIN, /INの一方にビット線が接続され、他方にはリファレンスセルN10が接続されて、ベリファイ読み出しが行われる。書き込みベリファイがフェイルであれば、書き込みを行う(ステップS30)。以下、同様の動作をベリファイパスするまで繰り返す。この書き込みベリファイパスにより、1ページの書き込みが完了する。

50

## 【 0 2 1 3 】

図 4 2 は、書き込みベリファイステップ S 2 6 及び S 2 9 の具体的なフローを示している。センスアンプ S A をリセットし、読み出し制御信号を R E A D = “ 0 ” としてセンスアンプ出力とデータラッチを切り離し、ワード線 T W L , C W L にベリファイ電圧 P x を与え、リファレンスワード線 R e f W L に “ 1 ” ( = “ H ” ) を与える (ステップ S 4 1 )。

## 【 0 2 1 4 】

ベリファイ電圧 P x は、H B ビット書き込みの場合は、しきい値レベルが L 2 まで上昇したことを確認するために必要な電圧 P 1 であり、L B 書き込みの場合は、しきい値レベルが L 1 まで上昇したことを確認するために必要な電圧 P 2 である (図 6 参照)。これらのベリ  
10  
ファイ電圧 P 1 , P 2 は、参照電流よりセル電流が小さくなるような読み出しワード線電圧として定義されるから、それぞれしきい値レベル L 2 , L 1 の分布の上限値よりわずかに高い電圧値である。

## 【 0 2 1 5 】

この後、センスアンプ S A を活性化してデータセンスする (ステップ S 4 2 )。センス後、/ P R G = “ 0 ” として、ビット線 T B L , C B L の一方を V d d、他方を V s s に確定させ、P R Q = “ 1 ” , E R Q = “ 0 ” , I N Q 0 = “ 1 ” を与えて、ベリファイチェック回路 V C K を書き込みベリファイモードで動作させる (ステップ S 4 3 )。そして F I N n - 1 = “ 1 ” になったか否かによりパス又はフェイルを判定する (ステップ S 4 4 )。フェイルであれば、書き込みが行われる。パスであればセンスアンプ S A をリセ  
20  
ットする (ステップ S 4 5 )。

## 【 0 2 1 6 】

なお、データラッチ H B L , L B L に保持される書き込みデータと対応するベリファイ読み出しデータは論理レベルが反転する。しきい値電圧を上昇させるセルのデータは、選択ビット線を “ L ” レベル ( = V s s ) とするデータとして与えられ、そのセルに所望のしきい値電圧が書かれると、その選択ビット線が “ H ” となる読み出しが行われるからである。この点を考慮して、読み出し / 書き込みデータ転送のインターフェース回路を構成することが必要である。

## 【 0 2 1 7 】

[ 5 レベル / セル - 8 値 / ペアセル ( その 1 ) の詳細 ]

次に、図 1 4 で説明した 5 レベル / セル - 8 値 / ペアセル方式の詳細システムを説明する。センスアンプとラッチシステムの 8 値 / ペアセルへの拡張は容易である。ペアセルに記憶されるビットデータの増加に伴いデータラッチの数を増やすこととその切り替えの信号をステップ数に応じて増やすことが必要になる。具体的に 8 値 / ペアセルの場合、上位ビット H B、中間ビット M B 及び下位ビット L B の 3 ビットデータとなるのでデータラッチは 3 つとなる。

## 【 0 2 1 8 】

( 読み出し )

図 4 3 は、データ読み出しに必要なセンスユニット構成を示している。センスアンプ S A は、先の 4 値 / ペアセルの場合と同様の電流検出型差動センスアンプである。読み出される上位ビット H B、中間ビット M B 及び下位ビット L B をそれぞれ保持するために、データラッチ H B L , M B L 及び L B L が併設される。

## 【 0 2 1 9 】

既に説明したように、データ読み出しには、7 ステップを必要とする。各ステップの動作は、以下の通りである。各ステップで用いられる読み出し電圧 R 1 - R 4 は、図 1 4 に示されている。

## 【 0 2 2 0 】

ステップ t 1 ; ワード線対に最上位レベル L 4 より高い読み出し電圧 R 1 を与えて、ペアセルの上位ビットデータ H B をセンスする。センスデータ “ 0 ” , “ 1 ” は、データラッチ H B L に転送して保持する。

10

20

30

40

50

## 【 0 2 2 1 】

ステップ t 2 T ; T - c e l l 側のワード線 T W L に、レベル L 3 と L 4 の間に設定された読み出し電圧 R 2、C - c e l l 側のワード線 C W L に読み出し電圧 R 1 を与えて、データセンスする。センスデータは、データラッチ H B L のデータが “ 1 ” ( 即ち、H B = “ H ” ) の場合、転送回路 3 0 6 を介してデータラッチ M B L に格納される。更に、データラッチ M B L に格納されたデータが “ 0 ” ( 即ち、/ M B = “ H ” ) の場合、そのデータラッチ M B L に格納されたデータは、転送回路 3 0 5 を介してデータラッチ L B L にもそのまま格納される。

## 【 0 2 2 2 】

このステップで、上位ビット H B が “ 1 ” のペアセルの一部の中間ビット M B と下位ビットデータ L B が確定する。具体的にいえば、データ ( 1 1 1 ) , ( 1 1 0 ) , ( 1 0 1 ) , ( 1 0 0 ) のうち、データ ( 1 0 0 ) が他と分離されて確定する。

10

## 【 0 2 2 3 】

ステップ t 2 C ; T - c e l l 側のワード線 T W L に読み出し電圧 R 1、C - c e l l 側のワード線 C W L に読み出し電圧 R 2 を与えて、データセンスする。センスデータは、データラッチ H B L のデータが “ 0 ” ( 即ち、/ H B = “ H ” ) の場合、転送回路 3 0 7 を介してデータラッチ M B L に格納される。更に、データラッチ M B L に格納されたデータが “ 1 ” ( 即ち、M B = “ H ” ) の場合、そのデータラッチ M B L のデータは転送回路 3 0 4 を介してデータラッチ L B L に格納される。

## 【 0 2 2 4 】

このステップで、上位ビット H B が “ 0 ” のペアセルの一部の中間ビット M B と下位ビット L B が確定する。具体的にいえば、データ ( 0 0 0 ) , ( 0 0 1 ) , ( 0 1 0 ) , ( 0 1 1 ) のうち、データ ( 0 1 1 ) が他と分離されて確定する。

20

## 【 0 2 2 5 】

ステップ t 3 T ; ワード線 T W L に、レベル L 2 と L 3 の間に設定された読み出し電圧 R 3、ワード線 C W L に読み出し電圧 R 1 を与えて、データセンスする。センスデータは、データラッチ H B L のデータが “ 1 ” ( 即ち、H B = “ H ” ) の場合、転送回路 3 0 6 を介してデータラッチ M B L に格納される。更に、データラッチ M B L のデータが “ 0 ” ( 即ち、/ M B = “ H ” ) の場合はその同じデータがデータラッチ L B L にも格納される。このステップでデータ ( 1 0 1 ) が確定する。

30

## 【 0 2 2 6 】

ステップ t 3 C ; ワード線 T W L に読み出し電圧 R 1、ワード線 C W L に読み出し電圧 R 3 を与えて、データセンスする。センスデータは、データラッチ H B L のデータが “ 0 ” ( / H B = “ H ” ) の場合、転送回路 3 0 7 を介してデータラッチ M B L 格納される。更に、データラッチ M B L のデータが “ 1 ” ( 即ち、M B = “ H ” ) の場合はその同じデータが、転送回路 3 0 4 を介してデータラッチ L B L に転送される。このステップでデータ ( 0 1 0 ) が確定する。ここまでのステップで全ての中間ビットデータが確定する。

## 【 0 2 2 7 】

ステップ t 4 T ; ワード線 T W L に、レベル L 1 と L 2 の間に設定された読み出し電圧 R 4 を、ワード線 C W L に読み出し電圧 R 1 を与えてデータセンスする。センスデータは、データラッチ M B L のデータが “ 1 ” ( 即ち、M B = “ H ” ) の場合は、転送回路 3 0 4 を介してデータラッチ L B L に格納される。これにより、データ ( 1 1 0 ) が確定し、同時にデータ ( 1 1 1 ) が確定する。

40

## 【 0 2 2 8 】

ステップ t 4 C ; ワード線 T W L に読み出し電圧 R 1 を、ワード線 C W L に読み出し電圧 R 4 を与えてデータセンスする。センスデータは、データラッチ M B L のデータが “ 0 ” ( 即ち、/ M B = “ H ” ) 場合は、転送回路 3 0 5 を介してデータラッチ L B L に格納される。これにより、データ ( 0 0 1 ) が確定し、同時にデータ ( 0 0 0 ) が確定する。

## 【 0 2 2 9 】

50

図46は、以上の7ステップによる8値データの確定状況を示す。確定ビットデータが太字で示されている。第1のステップt1で上位ビットHBが確定する。第2,第3ステップt2T, t2Cで中間ビットMBが確定し、下位ビットLBの一部が確定する。これらのステップt2Tとt2Cの順序は逆であってもよい。さらに第4,第5のステップt3T, t3Cで残りの下位ビットの一部が確定し、第6,第7のステップt4T, t4Cで残りの全ての下位ビットが確定する。ステップt3Tとt3C及び、ステップt4Tとt4Cの順序は逆でもよい。

【0230】

(ベリファイ消去)

センスアンプSA及びベリファイチェック回路VCKは、先の4値/ペアセルの場合と同じである。従って、図44にセンスユニット内のデータラッチ部のみ取り出して、ベリファイ消去の動作を説明する。

10

【0231】

データ消去においては、T-cellアレイとC-cellアレイを順次消去すること、そのために二つのデータラッチに相補的データを保持することは、先の4値/ペアセルの場合と同じである。図44では、データラッチHBLとMBLの二つを用いる場合を示している。

【0232】

データラッチHBL, MBLには例えば、“0”, “1”を保持する。二つの消去ステップに対応するタイミング信号vp0(1)及びvp0(2)によってこれらの相補データが読み出されて、T-cellアレイとC-cellアレイが順次選択される。データラッチLBLは使用しないので、転送回路304, 305はオフを保つ。

20

【0233】

消去動作は、選択範囲の全セルについて同時に行う。ベリファイは、T-cellアレイ又はC-cellアレイ内のNANDブロック毎に行われる。NANDブロック内の全ワード線をVssに設定し、同時にリファレンスワード線RefWLを立ち上げてリファレンスセルを有効にして、セル電流をリファレンスセルのそれと比較することで、しきい値電圧が最下位レベルL0になっているか否かを確認する。

【0234】

消去不足のセルがあるNANDブロックについてはセル電流不足としてセンスされる。このとき、ベリファイチェック回路VCKで“バス”の出力FINn-1=“H”は得られない。同時に動作する全センスアンプで消去が判定されるまで、消去とベリファイ読み出しを繰り返す。

30

【0235】

(書き込み)

書き込みは、消去状態のセルのしきい値電圧を4ステップvp1-vp3によって上昇させることによって行う。書き込みのためにはまずデータラッチHBL, MBL, LBLに必要な書き込みデータをロードする。但し最初のステップでは、データラッチHBLの上位ビット(HB)データのみを使うので、この時点ではデータラッチMBL, LBLにデータが書き込まれていなくても良い。

40

【0236】

センスユニットの主要部は、先の4値/ペアセルの場合に説明した図30と同じであり、図45には書き込みに必要なデータラッチ回路部のみ示している。データラッチHBLのデータがノードBと/Bに読み出され、その論理レベルが“1”側のビット線がセンスアンプSAの一方の入力ノードにつながり、他方の入力ノードにはリファレンスセルがつながる。センスアンプにつながったビット線はVssに放電され、他方のビット線はVdに充電される。

【0237】

ペアセルのワード線を所定のベリファイ電圧Pxに設定し、同時にリファレンス用ワード線RefWLを“H”にして、センスアンプを活性化し、ベリファイ動作を行う。セン

50

ス確定後、信号 / P R G を “ L ” としてビット線レベルを確定する。

【 0 2 3 8 】

次にペアセルのワード線 T W L , C W L に書き込み電圧  $V_{pgm}$  を与えると、書き込みデータに従って  $V_{ss}$  になっているビット線につながるセルのフローティングゲートに電子が注入され、そのしきい値電圧が上昇する。

【 0 2 3 9 】

ベリファイ動作はペアセルのワード線 T W L , C W L に必要なベリファイ電圧  $P_x$  を与え、同時にリファレンスワード線 R e f W L を立ち上げてセンスアンプを駆動する。これにより、書き込みデータにしたがって一方のセンスアンプ入力ノードにビット線が接続され、他方の入力ノードにはリファレンスセルが接続され、セル電流とリファレンス電流の比較によるセンス動作が行われる。

10

【 0 2 4 0 】

センス確定後信号 / P R G を “ L ” にすると、セルのしきい値電圧が十分に上昇していなければ、そのセンス結果はビット線を  $V_{ss}$  に放電し、他方のビット線を  $V_{dd}$  にプルアップする結果となる。

【 0 2 4 1 】

セルのしきい値電圧が十分に上昇していれば、ビット線は  $V_{dd}$  になり、他方のビット線もラッチデータによって  $V_{dd}$  になる。しきい値電圧が十分上昇したセルについては、センス後はノード B と O U T 又は、 / B と / O U T の論理レベルが相補的になるので、この状態を書き込み完了の判断に利用する。

20

【 0 2 4 2 】

しきい値電圧上昇が不十分と判断された場合は、センスアンプの状態を維持したままペアセルのワード線 T W L , C W L に書き込み電圧  $V_{pgm}$  を与えて、センスデータに従って  $V_{ss}$  になっているビット線側のセルに更にかき込みを行う。

【 0 2 4 3 】

以上の動作を全てのセンスアンプが書き込み完了となるまで繰り返す。

【 0 2 4 4 】

図 4 7 は、各書き込みステップでのラッチデータの確定過程を示す。ステップ  $v_p 1$  では、ベリファイ電圧  $P_1$  を用いて、データラッチ H B L の H B データに基づいて、T - c e l l 及び C - c e l l がレベル L 4 に書かれる。ステップ  $v_p 2$  ではデータラッチ H B L , M B L のデータ内容に従って、データラッチ L B L の L B データが一部書かれる。具体的には、ベリファイ電圧  $P_4$  を用いて、データ ( 1 , 0 , 0 ) と ( 0 , 1 , 1 ) が書かれる。

30

【 0 2 4 5 】

ステップ  $v_p 3$  ではベリファイ電圧  $P_3$  を用いてデータ ( 1 0 1 ) 及び ( 0 1 0 ) が書かれる。このステップで中間ビット M B の書き込みが完了する。ステップ  $v_p 4$  でベリファイ電圧  $P_4$  を用いてデータ ( 1 0 0 ) と ( 0 1 1 ) が書かれ、同時にデータ ( 1 1 1 ) と ( 0 0 0 ) も確定する。

【 0 2 4 6 】

以上におけるベリファイ電圧  $P_1$  ,  $P_2$  ,  $P_3$  ,  $P_4$  はそれぞれ、レベル L 4 , L 3 , L 2 , L 2 の書き込み状態を確認するに必要な読み出し電圧であり、それぞれのしきい値分布の上限値よりわずかに高い電圧値である。また、読み出しデータと書き込みデータが論理反転していることは、先の 4 値 / ペアセルの場合と同様である。従って適当なデータ転送のインターフェース回路を構成する必要がある。

40

【 0 2 4 7 】

この 5 レベル / セル - 8 値 / ペアセル方式でも、データ読み出しは上位ビットから順に読み出すことが必要である。即ち、H B データが読み出されなければ、M B データを読み出すことはできず、同様に M B データが読み出されていなければ、L B データを読み出すことはできない。従ってシステム応用上データ読み出しに制限が生じるが、システム構成は簡単になる。

50

## 【 0 2 4 8 】

一方、多値データが記憶されたペアセルの上位、下位等のビット情報を任意の順番で読み出せることは応用上望ましい場合がある。ここまで説明したシステムのように読み出す順番が決まっていると、データ格納の際にこの順番を考慮しておかないと、データアクセス時間が延びたりするからである。データの属性はあらかじめ決められるとは限らないので読み出し順の制限は応用範囲を限定してしまう。

## 【 0 2 4 9 】

以下には、読み出し順序の制約がない多値記憶システムを、4値/ペアセルと8値/ペアセルについて説明する。

## 【 0 2 5 0 】

[ 3レベル/セル - 4値/ペアセル (その3) ]

図48は、HB, LBデータの単独読み出しを可能とした3レベル/セル - 4値/ペアセル方式のデータビット割り付けを示している。前述の3レベル/セル - 4値/ペアセル (その1) でのデータビット割り付け (図6) とは異なり、次のようになる。

## 【 0 2 5 1 】

T-cellの消去状態 (レベルL0) とC-cellの最上位レベルL2の組み合わせが、データ(1, 0)、T-cellの中間レベルL1とC-cellの最上位レベルL2の組み合わせが、データ(1, 1)、C-cellの消去状態とT-cellの最上位レベルL2の組み合わせが、データ(0, 0)、C-cellの中間レベルL1とT-cellの最上位レベルL2の組み合わせが、データ(0, 1)である。

## 【 0 2 5 2 】

読み出しは、先の3レベル/セル - 4値/ペアセル (その1) と同様の条件で3サイクルt1, t2T, t2Cで行うものとする。このとき、得られるデータを示したのが、図49である。

## 【 0 2 5 3 】

図49の読み出しビット情報を使って、上位ビットデータHBと下位ビットデータLBとを独立に読むために利用するのが、“1”のデータ数或いは“0”のデータ数である。HBデータ“1”, “0”はステップt1の読み出しデータ“1”, “0”と一致する。LBデータの値はステップt2Tとt2Cを通しての“1”の数の偶奇と一致している。従って、ステップt1のみで上位ビットデータHBを、ステップt2Tとt2Cのみで下位ビットデータLBを決定することができる。

## 【 0 2 5 4 】

この3レベル/セル - 4値/ペアセル方式は、先の3レベル/セル - 4値/ペアセル (その1) とはビット割り付けが異なるものの、そのデータ書き込み手順は、図29と同様であり、3ステップvp0, vp1, vp2で行われる。即ち最初のステップvp0では全てのセルを消去状態 (レベルL0) にする。ステップvp1でT-cell, C-cellの一部を最上位レベルL2まで書き込み、最後にステップvp2で残りのセルの一部をレベルL1に書き込む。

## 【 0 2 5 5 】

[ 5レベル/セル - 8値/ペアセル (その3) ]

図50は、HB, MB, LBデータの単独読み出しを可能とした5レベル/セル - 8値/ペアセル方式のデータビット割り付けを示している。前述の5レベル/セル - 8値/ペアセル (その1) でのデータビット割り付け (図14) とは異なり、次のようになる。

## 【 0 2 5 6 】

C-cellの最上位レベルL4と、T-cellのレベルL0, L1, L2, 及びL3とのそれぞれの組み合わせにより、データ(1, 0, 0), (1, 0, 1), (1, 1, 1) 及び(1, 1, 0)を記憶する。T-cellの最上位レベルL4と、C-cellのレベルL0, L1, L2 及びL3とのそれぞれの組み合わせにより、データ(0, 0, 0), (0, 0, 1), (0, 1, 1) 及び(0, 1, 0)を記憶する。

## 【 0 2 5 7 】

10

20

30

40

50

このビット割り付けのとき、前述の5レベル/セル - 8値/ペアセル(その1)と同様の条件での7サイクルの読み出しにより得られるデータをまとめると、図51のようになる。これらのビット情報を使ってHB, MB, LBデータを独立に得るには、やはり“1”のデータ数或いは“0”のデータ数を利用すればよい。

【0258】

HBデータの“0”, “1”は、ステップt1の読み出しデータと一致する。MBデータは、ステップt3Tとt3Cを通しての“1”の数の偶奇と一致し、LBデータは、ステップt2T, t2C, t4T及びt4Cを通しての“1”の数の偶奇と一致する。従って、HBデータはステップt1のみで決定することができ、MBデータは、ステップt3Tとt3Cのみで、またLBデータは、ステップt2T, t2C, t4T及びt4Cのみで決定することができる。

10

【0259】

この5レベル/セル - 8値/ペアセル方式での書き込み手順を、図52を参照して簡単に説明する。

【0260】

ステップvp0; ベリファイ消去ステップであり、ペアセルを構成する全てのセルがレベルL0状態に設定される。その消去方法は、先に説明した4値/ペアセル方式の場合と同様であり、T-cellアレイとC-cellアレイとを順に消去する。

【0261】

ステップvp1; ロードされた上位ビット(HB)データに基づいて、消去状態にあるセルの一部(HB = “0”となるペアセルのT-cell, HB = “1”となるペアセルのC-cell)を基準レベルとなる最上位レベルL4までしきい値電圧を上昇させる。

20

【0262】

ステップvp2; HBデータと、ロードされた中間ビット(MB)データに従って、消去レベルL0の一部のセルのしきい値電圧を、下から3番目のレベルL2まで上昇させる。これにより、MBデータが確定する。

【0263】

このステップvp2と先のステップvp1との間に、読出しモードを挿入することができる。但しその場合、読み出し動作によりデータラッチのHBデータは、消失する。従って、中断した書き込みステップvp2を再開するためには、既にセルアレイに書き込まれているHBデータを読み出しでデータラッチに保持すること、また外部からMBデータがロードされていること、が必要である。

30

【0264】

ステップvp3; HB及びMBデータ状態と、ロードされた下位ビット(LB)データに従って、下から3番目のレベルL2のセルからその一部を、下から4番目のレベルL3へしきい値電圧を上昇させる。これにより、MB = “1”のペアセルにLBデータが書かれる。

【0265】

このステップvp3と先のステップvp2との間に読出しモードを挿入することができる。この場合も、中断された書き込みを再開するためには、既にセルアレイに書かれているHB, MBデータを読み出してデータラッチにロードすること、及びLBデータが外部からロードされていること、が必要である。

40

【0266】

ステップvp4; HB及びMBデータ状態と、ロードされた下位ビット(LB)データに従って、消去状態レベルL0のセルの一部のしきい値電圧を、レベルL3へと上昇させる。これにより、MB = “0”のペアセルにLBデータが書かれる。

【0267】

このステップvp4と先のステップvp3との間に読出しモードを挿入することができる。この場合も、書き込みを再開するためには、既にセルアレイに書かれているHB, MBデータを読み出してそれぞれのデータラッチにロードすること、及びLBデータが外部

50

からロードされていること、が必要である。

【 0 2 6 8 】

[ 3 レベル / セル - 4 値 / ペアセル ( その 3 ) のデータラッチ系 ]

図 5 3 は、上述した 3 レベル / セル - 4 値 / ペアセル ( その 3 ) の場合に、“ 1 ” の数の偶奇性を利用して H B データとは独立に L B データ読み出しを可能とするデータラッチ系の構成を示している。データノード B , / B に出力ノードがつながるセンスアンプ及びその入力部に設けられるリファレンス電流源回路は、先の 4 値 / ペアセル ( その 1 ) と同様であり、ここでは省略している。

【 0 2 6 9 】

書き込みに不可欠な、H B データ及び L B データをそれぞれロードするためのデータラッチ H B L 及び L B L が用いられることも、前述の 4 値 / ペアセル ( その 1 ) と同様である。データラッチ H B L , L B L はそれぞれ選択信号 C S L 1 , C S L 2 によって、データ線 D Q , / D Q との間でデータ授受ができる。

10

【 0 2 7 0 】

二つのデータラッチ H B L と L B L は、読み出し時、読み出される “ 1 ” の数の偶奇性を判定するために、クロック C L K , / C L K で制御される 2 ビットシフトレジスタを構成すべく従属接続している。サイクル t 1 , t 2 T , t 2 C による H B データ及び L B データ読み出しの動作は次のようになる。

【 0 2 7 1 】

データラッチ H B L は、リセット信号 R S によって初期状態 ( データ “ 0 ” 状態 ) にリセットされる。サイクル t 1 でのセンスデータは、サイクル t 1 に同期した相補クロック C L K = “ H ” , / C L K = “ L ” により、ノード B を介してデータラッチ L B L に与えられ、これが / C L K = “ H ” でデータラッチ H B L にシフトされて、H B L と L B L のデータが一致する。

20

【 0 2 7 2 】

即ち、データラッチ L B L に読み出されるノード B のデータ “ 0 ” , “ 1 ” に応じて、データラッチ H B L のデータは “ 0 ” , “ 1 ” となり、これがそのまま H B データになる。この H B データは、選択信号 C S L 1 により、データ線 D Q , / D Q に出力することができる。

【 0 2 7 3 】

次いでサイクル t 2 T , t 2 C で順次センスされるデータは、同様にクロック C L K , / C L K により制御されて、データラッチ L B L に入って、データラッチ H B L に転送される。従って、サイクル t 2 T , t 2 C のいずれか一方のみで “ 1 ” がセンスされれば ( 即ち “ 1 ” の数が奇数 ) 、データラッチ H B L のデータは最終的に “ 1 ” となる。これが L B = “ 1 ” を示す。

30

【 0 2 7 4 】

サイクル t 2 T , t 2 C で “ 1 ” が連続してセンスされるか、或いは “ 0 ” が連続してセンスされれば ( “ 1 ” の数が偶数 ) 、データラッチ H B L のデータは最終的に “ 0 ” となる。これが L B = “ 0 ” を示す。

【 0 2 7 5 】

以上のようにして、図 5 5 に示すように、サイクル t 1 で上位ビット ( H B ) データを読み出すことができ、サイクル t 2 T 及び t 2 C のみで下位ビット ( L B ) データを、H B データとは独立に読み出すことができる。

40

【 0 2 7 6 】

ベリファイ消去時は、データラッチ H B L , L B L に同一データを保持する。タイミング信号 v p 0 ( 1 ) ではデータラッチ H B L のデータがノード B , / B に出力される。次のタイミング信号 v p 0 ( 2 ) では、データラッチ H B L のデータに応じて、その相補データがデータラッチ L B L からデータノード B , / B に出力されるようになっている。この相補データにより、T - c e l l アレイと C - c e l l アレイが順次選択されて消去ベリファイが行われることは、先の 3 レベル / セル - 4 値 / ペアセル ( その 1 ) と同じであ

50

る。

【0277】

ベリファイ書き込みは、データラッチHBL, LBLにそれぞれ、HBデータ, LBデータを保持して、基本的に図29と同様に、消去ステップvp0の後、2ステップvp1, vp2でそれぞれHBデータ書き込みとLBデータ書き込みが行われる。

【0278】

ステップvp1のHBデータ書き込みは、先の4値/ペアセル(その1)と同様である。ステップvp2のLBデータ書き込みでは、データラッチLBLからデータノードB, /Bへの書き込みデータ転送方式が、先の4値/ペアセル(その1)と異なる。

【0279】

即ち、4値/ペアセル(その1)のビット割り付け(図6)では、LB="0", "1"の書き込みがそれぞれ、T-cell, C-cellのしきい値電圧レベルをL1に上昇させるものであった。これに対して図48のデータビット割り付けでは、ステップvp2のLBデータ書き込みは、T-cell, C-cellとともに、LB="1"でしきい値電圧をL2に上昇させる動作となる。このとき、T-cell, C-cellを識別するのは、HBデータである。

【0280】

従って、LBデータの書き込み時、HBデータによってノードB, /Bに設定されるデータ状態を反転させるように、データラッチHBLに確定されたHBデータにより、データラッチLBLのノードB, /Bへの転送が制御される。この転送制御によって、ステップvp2でデータ(1, 1)と(0, 1)の書き込みが同時にできる。

【0281】

図56は、書き込みステップvp1, vp2でそれぞれHBデータ, LBデータが確定する様子を、太字で示している。

【0282】

上述のように、HBデータとLBデータとは独立に読み出すことができるが、書き込みは、HBデータ, LBデータの順序を守ることが必要である。書き込み動作において、HBデータ書き込みが完了した後、読み出し動作を割り込ませることができる。この場合、読み出したHBデータが、中断した書き込みページと同じページのものであれば、これをそのままデータラッチHBLに保持して、中断したLBデータ書き込みを再開することができる。

【0283】

異なるページの読み出し動作を割り込ませた場合には、中断した書き込みページのHBデータをセルアレイから読み出してデータラッチHBLに保持するダミー読み出し動作が必要となる。

【0284】

[5レベル/セル - 8値/ペアセル(その3)のデータラッチ系]

図54は、5レベル/セル - 8値/ペアセル(その3)のデータラッチ系を示している。ベリファイ書き込みで3ビットデータを保持する必要があるため、3つのデータラッチHBL, MBL, LBLが用意されている。これらのデータラッチHBL, MBL, LBLはそれぞれ、選択信号CSL1, CSL2, CSL3によって、データ線DQ, /DQと接続されてデータ線DQ, /DQとの間でデータ授受ができる。

【0285】

HBデータ読み出しには、例えばデータラッチHBLを用いる。即ちステップt1に対応してクロック信号CLKが1回発生され、HBデータがセンスされて、データラッチHBLに保持される。

【0286】

MBデータ及びLBデータ読み出しには、先の3レベル/セル - 4値/ペアセル(その3)の場合と同様に、二つのデータラッチを縦属接続したシフトレジスタを構成して"1"の数の偶奇性判定を行う。図54では、下側の二つのデータラッチMBL, LBLを用

10

20

30

40

50

いてシフトレジスタを構成している。

【0287】

MBデータ読み出しは、まずデータラッチMBLにはデータ“0”を初期設定する。ステップt3Tとt3Cを通しての“1”データの数が偶数の場合と奇数の場合それぞれ、MBL = “0”，MBL = “1”となり、これがそのままMBデータを示す。

【0288】

LBデータ読み出しは、同様にデータラッチMBLをデータ“0”に初期設定した後、ステップt2T，t2C，t4T，t4Cを通しての“1”データ数の偶奇判定を行う。偶数の場合、MBL = “0”，奇数の場合、MBL = “1”となり、これらがそれぞれ、LBデータ = “0”，“1”を示す。

10

【0289】

図55には、以上のデータ読み出し動作を、3レベル/セル - 4値/ペアセル(その3)の場合と併せて示している。

【0290】

データ書き込み時、HB，MB，LBデータはそれぞれ、データラッチHBL，MBL，LBLにロードされる。ステップvp1のHBデータ書き込みは、4値/ペアセル(その1或いはその3)の場合と同じであり、データラッチHBLのHBデータに基づいて行われる。

【0291】

MBデータ書き込みの際には、先の4値/ペアセル(その3)の場合と同様に、データラッチHBLが保持するHBデータによって、ノードB，/Bに設定するデータ状態を反転させる必要があり、そのためにHBを確定しておく必要がある。また、LBデータ書き込みは、前述のように、ステップvp3でMB = “1”のデータを、ステップvp4でMB = “0”のデータを、それぞれ書き込む。

20

【0292】

MBデータとLBデータは、T-cellとC-cellで同一しきい値電圧レベルとするものであり、ビット情報も同じである。このため、データラッチMBL或いはLBLのデータを、HBデータに従ってそのまま或いは反転してノードB，/Bに転送する必要があり、その様にデータ転送経路が構成されている。

【0293】

ステップvp4ではデータ“1”のセルはステップvp3の書き込みム終了時にはしきい値電圧レベルがペリファイレベルP4より高くなっていて、ペリファイ時に書き込み完了と判定される。従って、MBデータに依存してデータ反転して転送する経路は設けなくてもよい。

30

【0294】

図57は、以上の書き込みステップでのデータ確定の変化を示している。太字で示したのが、確定データである。

【0295】

ペリファイ消去時は、二つのデータラッチHBLとMBLに同一データを書き込んで、先の4値/ペアセル(その3)の場合と同様にすればよい。即ち、ステップvp0(1)とvp0(2)とで、T-cellアレイとC-cellアレイを順次選択して消去する。

40

【0296】

以上のように、図54のデータラッチ系によれば、二つのデータラッチの縦属接続によりシフトレジスタを構成して、“1”の数の偶奇判定を行うことにより、MBデータやLBデータを独立に読み出すことができる。また3つのデータラッチを備えて、データ書き込みはHBデータ，MBデータ及びLBデータの順序で行うことができる。

【0297】

HBデータ書き込み完了後、或いはMBデータ書き込み完了後に、それらの書き込まれたデータの読み出し動作を割り込ませることもできる。読み出し後、中断した書き込み動

50

作を再開することができる。但し、割り込ませる読み出し動作が、書き込みページと異なる場合には、中断した書き込みの再開のためには、セルアレイからHBデータ或いはMBデータを読み出すダミー読み出し動作が必要となる。

【0298】

この発明は上記実施の形態に限られない。例えば、実施の形態では浮遊ゲートと制御ゲートが積層された構造のメモリセルを用いたが、SONOS (Silicon Oxide Nitride Oxide Silicon) 構造や、MONOS (Metal Oxide Nitride Oxide Silicon) 構造のメモリセルを用いることもできる。更に、電荷量によるしきい値電圧以外の他の物理量レベルを不揮発に記憶するメモリ、たとえば相変化メモリPRAM (Phase-change RAM)、抵抗メモリRRAM (Resistance RAM)、オーボニックメモリOUM (Ovonic Unified Memory)、磁気抵抗メモリMRAM (Magnetoresistive RAM)、強誘電体メモリ等の他の各種不揮発性メモリにもこの発明を適用することが可能である。

【図面の簡単な説明】

【0299】

【図1】この発明の一実施の形態によるNANDフラッシュメモリの機能ブロック構成を示す図である。

【図2】同フラッシュメモリのセルアレイ構成を示す図である。

【図3】複数バンクのレイアウト例を示す図である。

【図4】センスアンプユニットとビット線対との間の選択回路構成を示す図である。

【図5】ページアドレス構成を示す図である。

【図6】3レベル/セル - 4値/ペアセル方式(その1)のデータ割り付け法を示す図である。

【図7】同4値/ペアセル方式(その1)の読み出しワード線レベルを基準とした4値レベルの関係を示す図である。

【図8】同じくV<sub>ss</sub>レベルを基準とした4値レベルの関係を示す図である。

【図9】同じくペアセルの状態識別条件を説明するための図である。

【図10】より単純化した状態識別条件を説明するための図である。

【図11】上記状態識別条件を適用した場合の4値レベル関係を、図7と対応とさせて示す図である。

【図12】上記状態識別条件を適用した場合の4値レベル関係を、図8と対応とさせて示す図である。

【図13】読み出しステップでのデータ遷移を示す図である。

【図14】5レベル/セル - 8値/ペアセル方式(その1)のデータ割り付け法を示す図である。

【図15】同8値/ペアセル方式(その1)の読み出しワード線レベルを基準とした8値レベルの関係を示す図である。

【図16】同じくV<sub>ss</sub>レベルを基準とした8値レベルの関係を示す図である。

【図17】同じくペアセルの状態識別条件を説明するための図である。

【図18】より単純化した状態識別条件を説明するための図である。

【図19】最終読み出しステップでのレベル関係を説明するための図である。

【図20】4レベル/セル - 4値/ペアセル方式の読み出しワード線レベルを基準にした4値レベル関係を示す図である。

【図21】同じく、V<sub>ss</sub>レベルを基準とした4値レベル関係を示す図である。

【図22】同方式でのペアセルの状態識別条件を説明するための図である。

【図23】より単純化した状態識別条件を説明するための図である。

【図24】3レベル/セル - 4値/ペアセル方式(その2)の読み出しワード線レベルを基準にした4値レベル関係を示す図である。

【図25】同じく、V<sub>ss</sub>レベルを基準とした4値レベル関係を示す図である。

【図 2 6】5 レベル / セル - 8 値 / ペアセル方式 ( その 2 ) の読み出しワード線レベルを基準にした 8 値レベル関係を示す図である。

【図 2 7】同じく、V s s レベルを基準とした 8 値レベル関係を示す図である。

【図 2 8】上記 2 方式でのペアセルの状態識別条件を説明するための図である。

【図 2 9】3 レベル / セル - 4 値 / ペアセル方式 ( その 1 ) の書き込み手順を説明するための図である。

【図 3 0】同 4 値 / ペアセル方式 ( その 1 ) で用いられるセンスユニットの構成を示す図である。

【図 3 1】上記センスユニットに用いられるセンスアンプの構成を示す図である。

【図 3 2】センスアンプの他の構成例を示す図である。

10

【図 3 3】上記センスユニットに用いられるベリファイチェック回路の構成を示す図である。

【図 3 4】ベリファイ判定回路の構成を示す図である。

【図 3 5】読み出しサイクルのデータ遷移を示す図である。

【図 3 6】読み出しサイクルのワード線読み出し電圧変化を示す図である。

【図 3 7】消去時の保持データと消去アレイの関係をj示す図である。

【図 3 8】1 ブロックの消去フローを示す図である。

【図 3 9】図 3 8 のベリファイステツプ S 4 , S 6 の詳細フローを示す図である。

【図 4 0】書き込みステップのデータ遷移を示す図である。

【図 4 1】1 ページの書き込みフローを示す図である。

20

【図 4 2】図 4 1 のベリファイステツプ S 2 6 , S 2 9 の詳細フローを示す図である。

【図 4 3】5 レベル / セル - 8 値 / ペアセル方式 ( その 1 ) に用いられるセンスユニットの読み出し系を示す図である。

【図 4 4】同じくベリファイ消去系を示す図である。

【図 4 5】同じくベリファイ書き込み系を示す図である。

【図 4 6】読み出し時のデータ遷移を示す図である。

【図 4 7】書き込み時のデータ遷移を示す図である。

【図 4 8】3 レベル / セル - 4 値 / ペアセル方式 ( その 3 ) におけるデータビット割り付け法を示す図である。

【図 4 9】読み出し時のデータ遷移を示す図である。

30

【図 5 0】5 レベル / セル - 8 値 / ペアセル方式 ( その 3 ) におけるデータビット割り付け法を示す図である。

【図 5 1】読み出し時のデータ遷移を示す図である。

【図 5 2】5 レベル / セル - 8 値 / ペアセル方式 ( その 3 ) の書き込み手順を示す図である。

【図 5 3】3 レベル / セル - 4 値 / ペアセル方式 ( その 3 ) に用いられるセンスユニットの構成を示す図である。

【図 5 4】5 レベル / セル - 8 値 / ペアセル方式 ( その 3 ) に用いられるセンスユニットの構成を示す図である。

【図 5 5】3 レベル / セル - 4 値 / ペアセル方式 ( その 3 ) 及び 5 レベル / セル - 8 値 / ペアセル方式 ( その 3 ) の読み出し動作を説明するための図である。

40

【図 5 6】3 レベル / セル - 4 値 / ペアセル方式 ( その 3 ) の書き込み時のデータ遷移を示す図である。

【図 5 7】5 レベル / セル - 8 値 / ペアセル方式 ( その 3 ) の書き込み時のデータ遷移を示す図である。

【符号の説明】

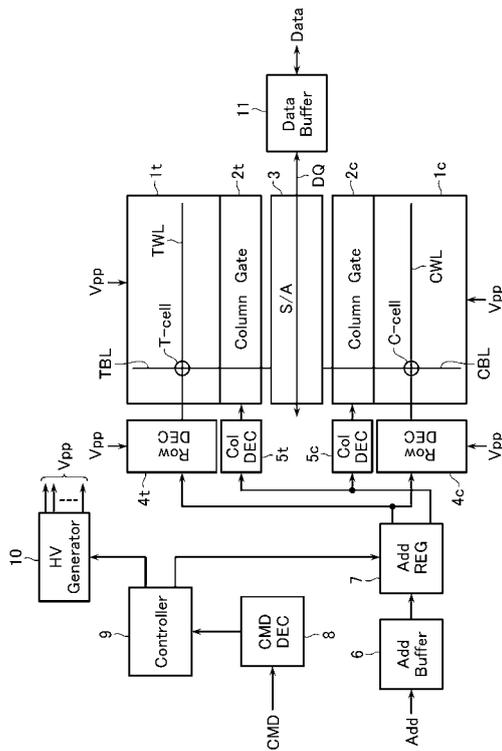
【 0 3 0 0 】

1 t , 1 c ...セルアレイ、 2 t , 2 c ...カラムゲート回路、 3 ...センスアンプ回路、 4 t , 4 c ...ロウデコーダ、 5 t , 5 c ...カラムデコーダ、 6 ...アドレスバッファ、 7 ...アドレスレジスタ、 8 ...コマンドデコーダ、 9 ...コントローラ、 1 0 ...高電圧発生回路、 1

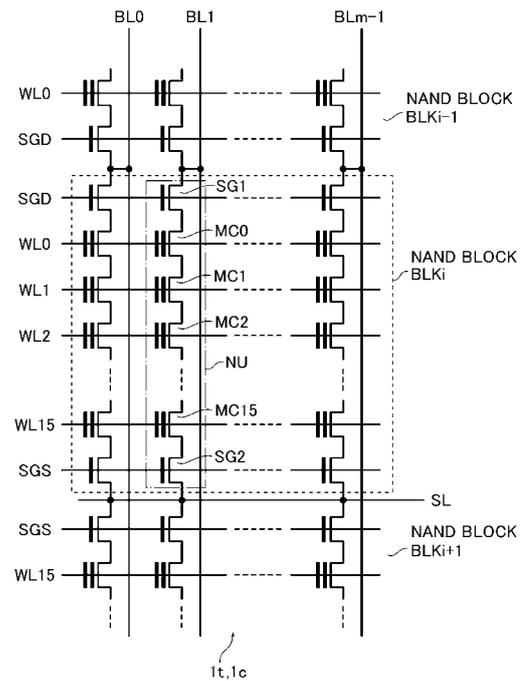
50

1 ... データバッファ、T - cell , C - cell ... ペアセル、TBL , CBL ... ビット線対、TWL , CWL ... ワード線対、30 ... センスユニット、SA ... センスアンプ、HBL , MBL , LBL ... データラッチ、301 ... リファレンス電流源回路、302 T , 302 C ... プルアップ回路、303 , 304 , 305 , 306 , 307 ... 転送回路。

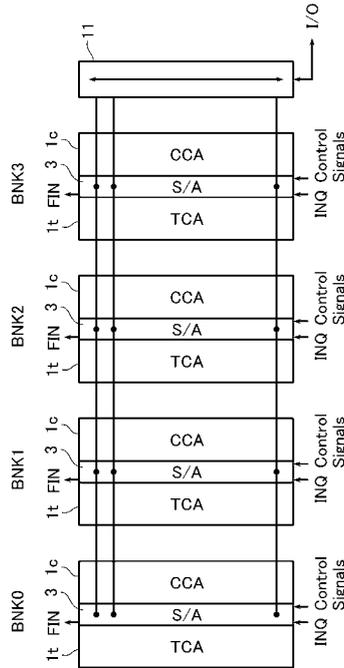
【図1】



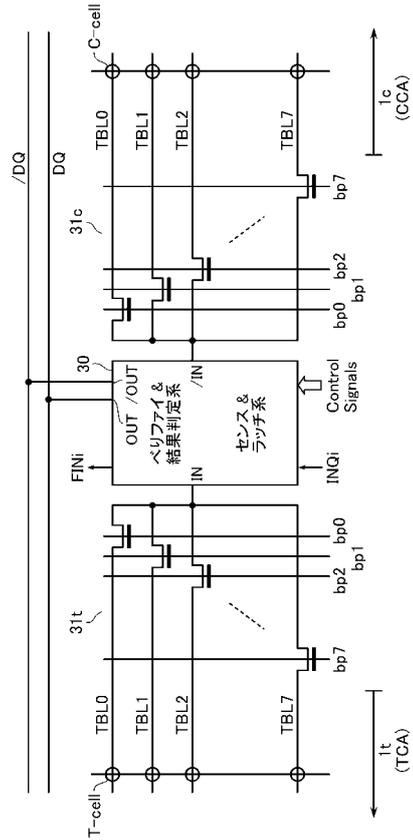
【図2】



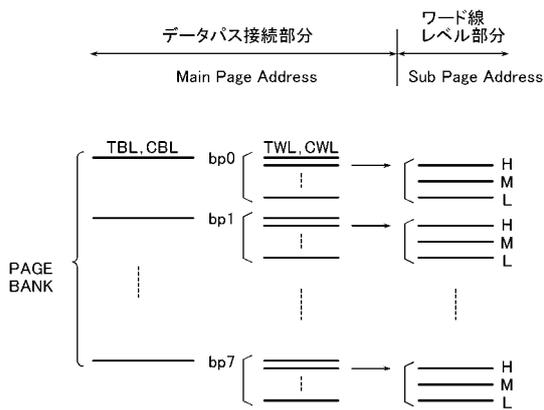
【図3】



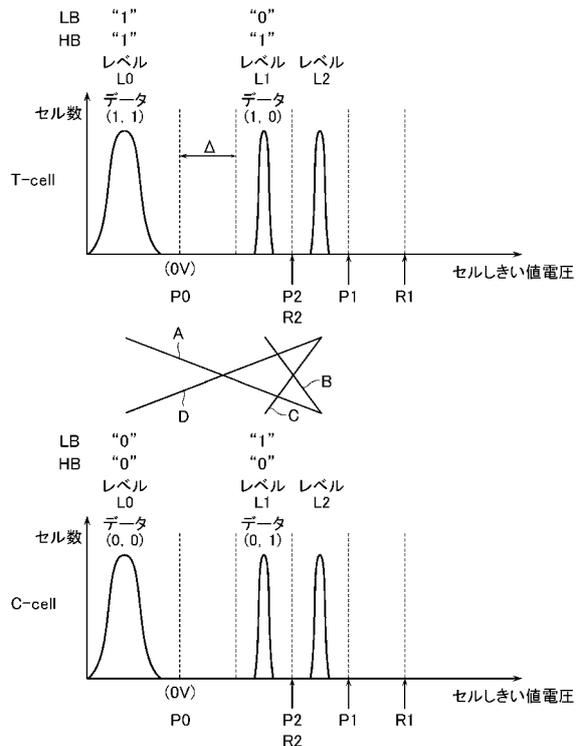
【図4】



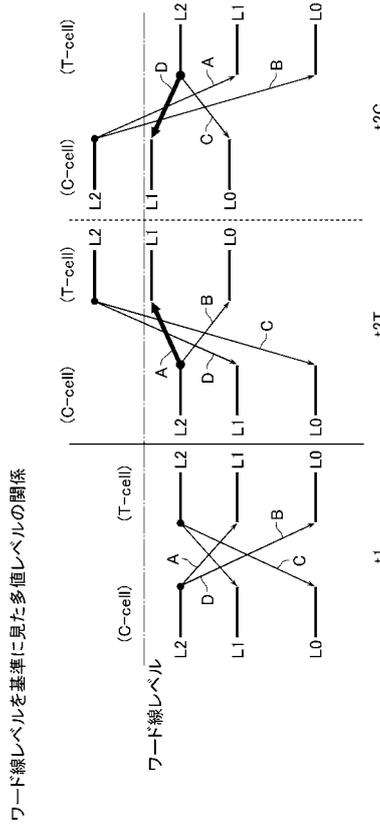
【図5】



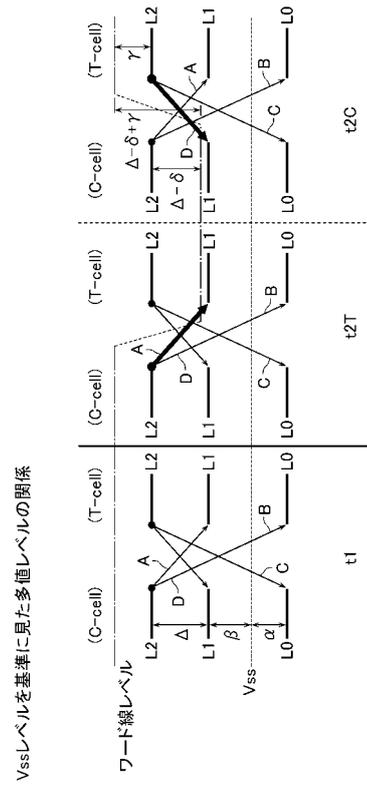
【図6】



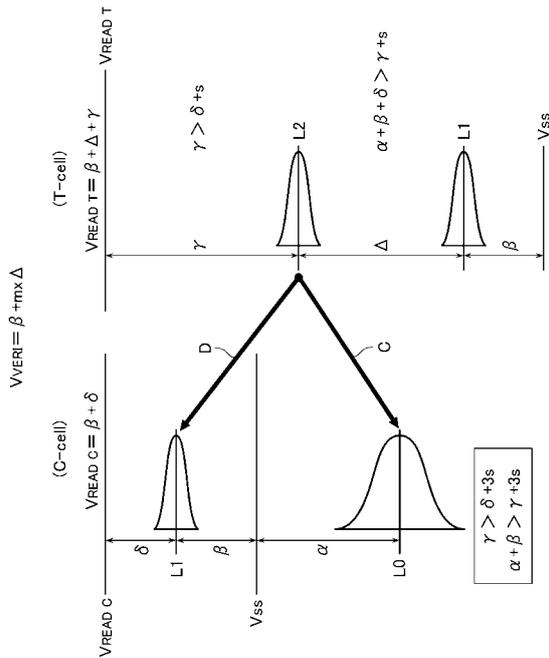
【 図 7 】



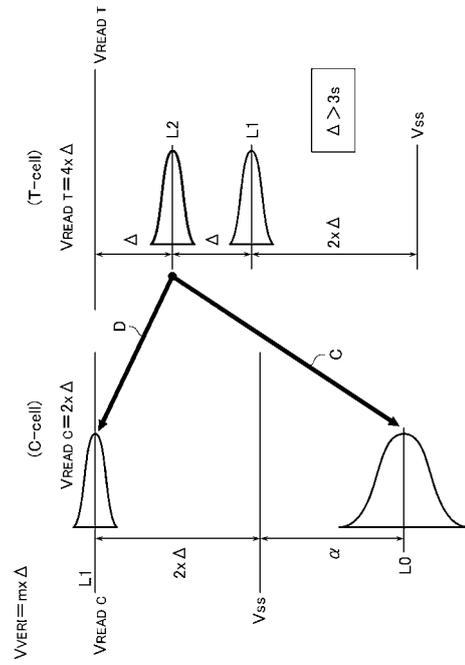
【 図 8 】



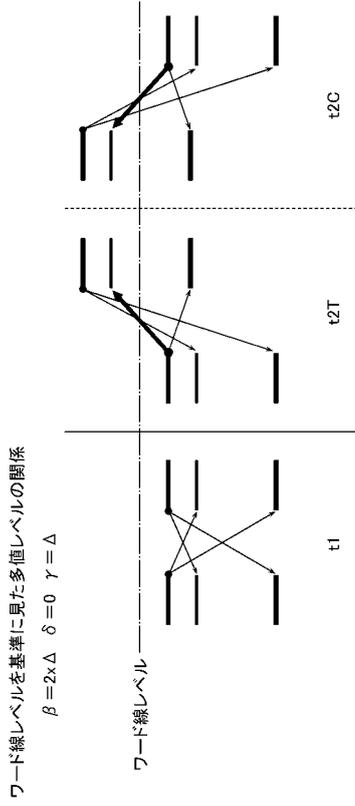
【 図 9 】



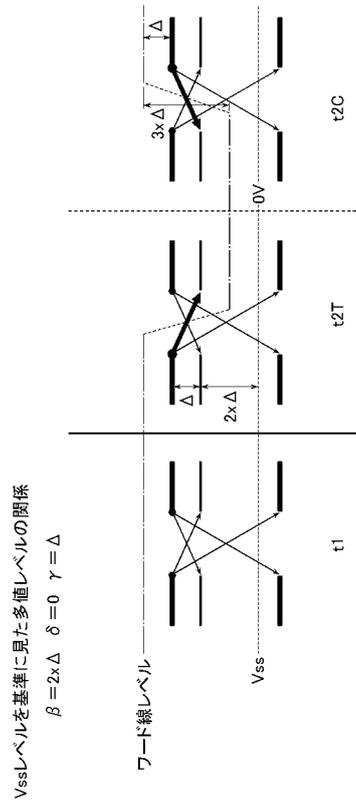
【 図 10 】



【図 1 1】



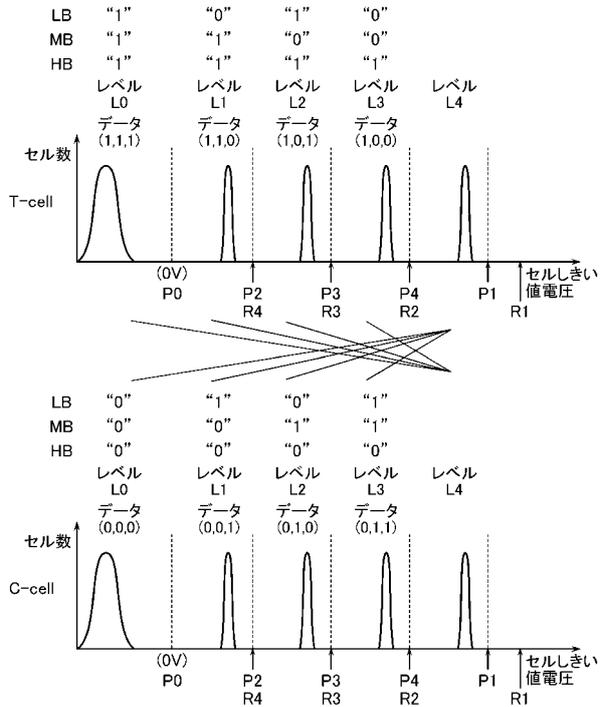
【図 1 2】



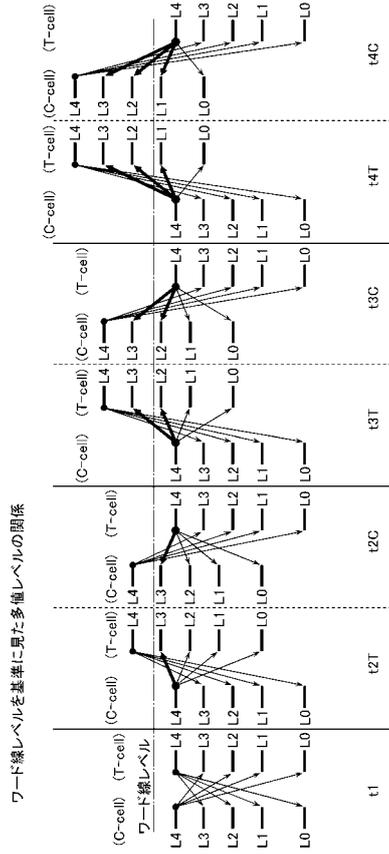
【図 1 3】

	データ状態 A	データ状態 B	データ状態 C	データ状態 D
	C-cell L2 - T-cell L0	C-cell L2 - T-cell L1	C-cell L1 - T-cell L2	C-cell L0 - T-cell L2
t1	1	1	0	0
t2T	1	0	0	0
t2C	1	1	1	0
	(1, 1)	(1, 0)	(0, 1)	(0, 0)

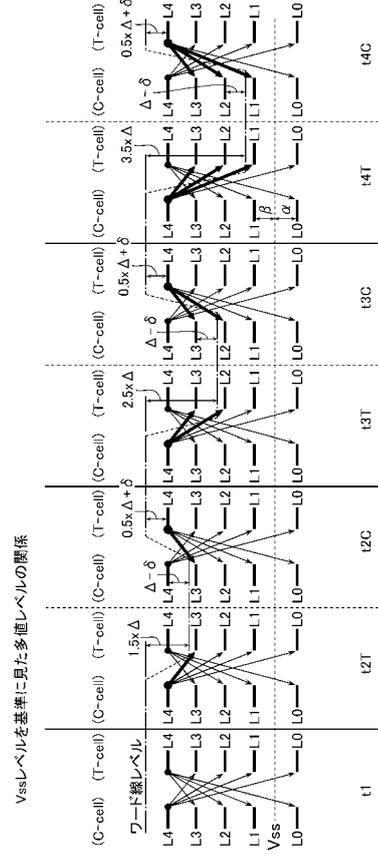
【図 1 4】



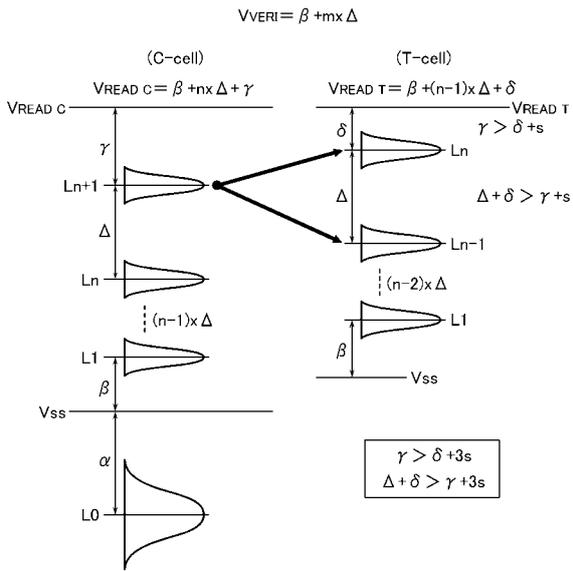
【図15】



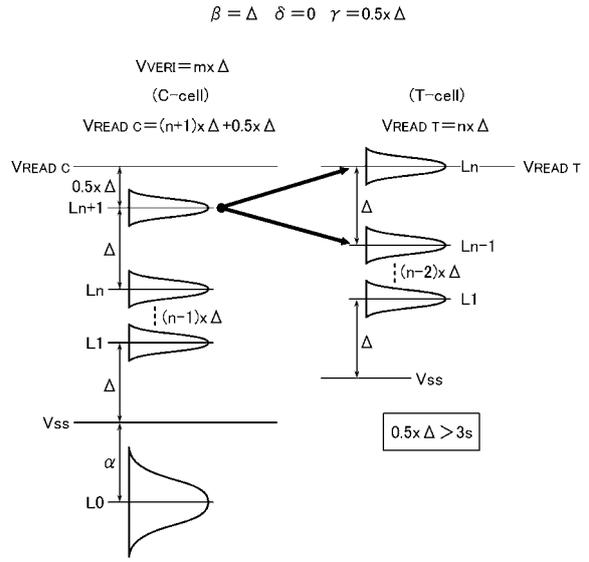
【図16】



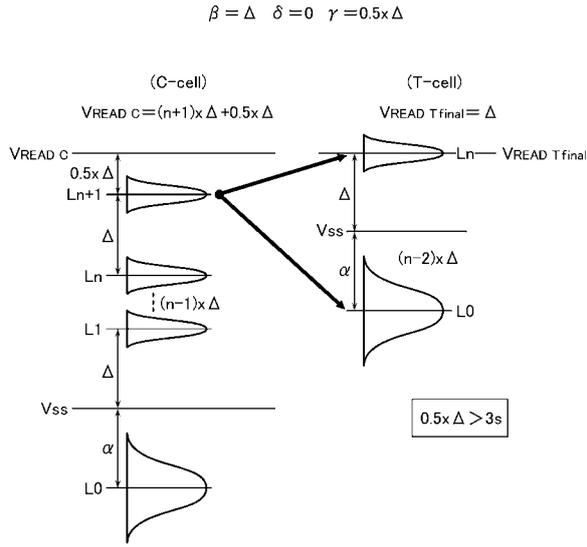
【図17】



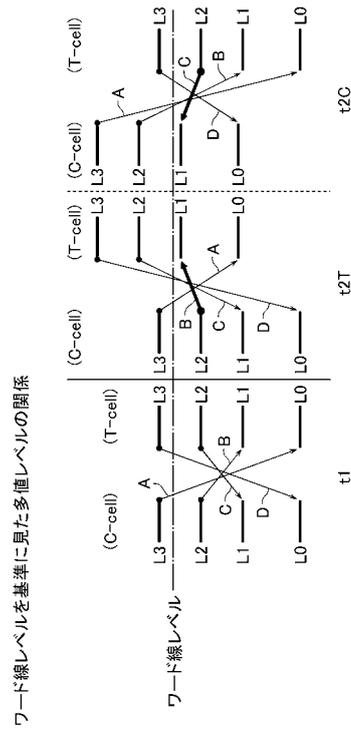
【図18】



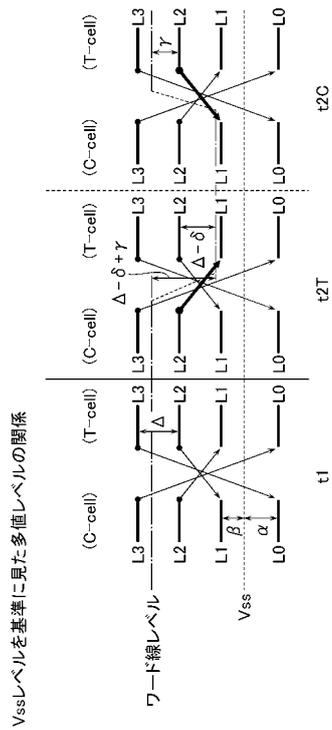
【図 19】



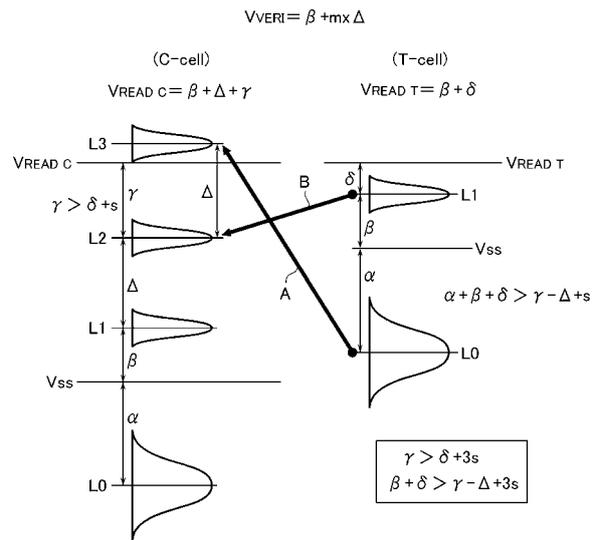
【図 20】



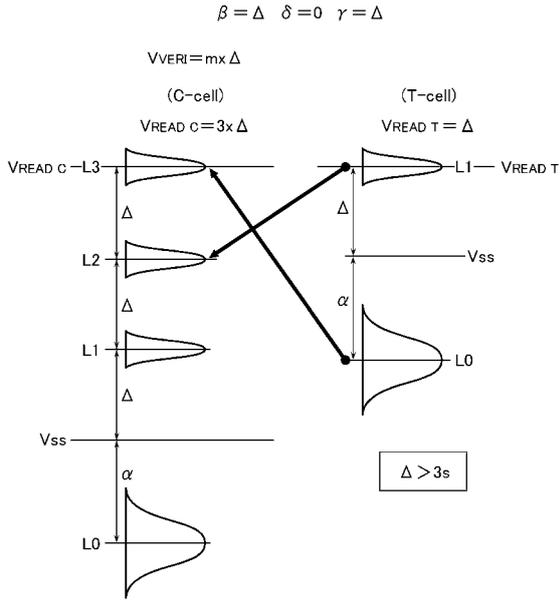
【図 21】



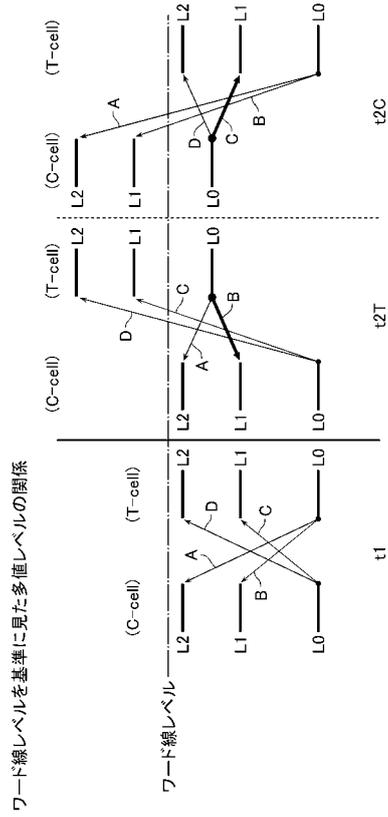
【図 22】



【図 23】

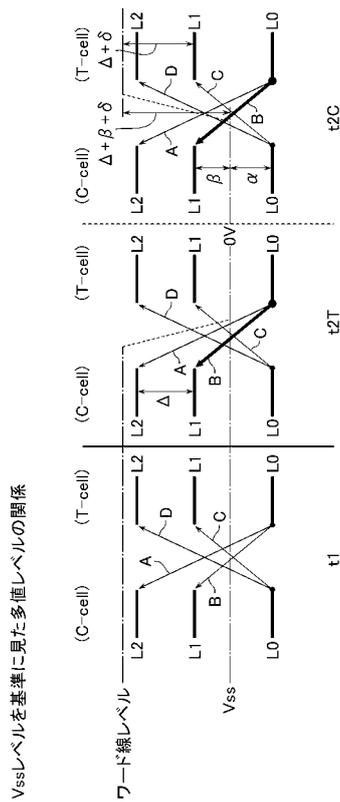


【図 24】

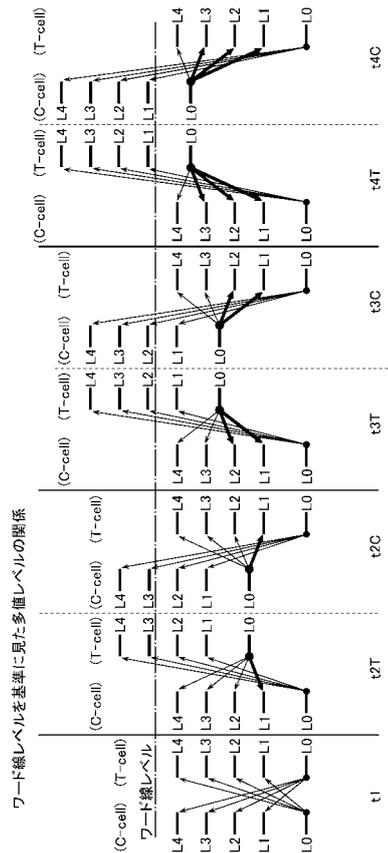


ワード線レベルを基準に見た多値レベルの関係

【図 25】

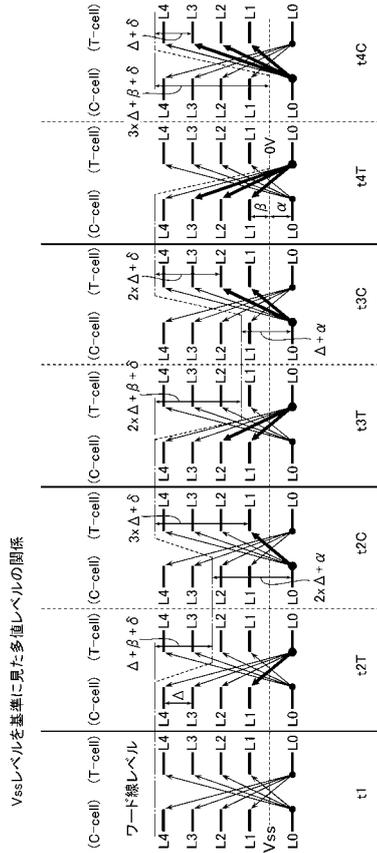


【図 26】

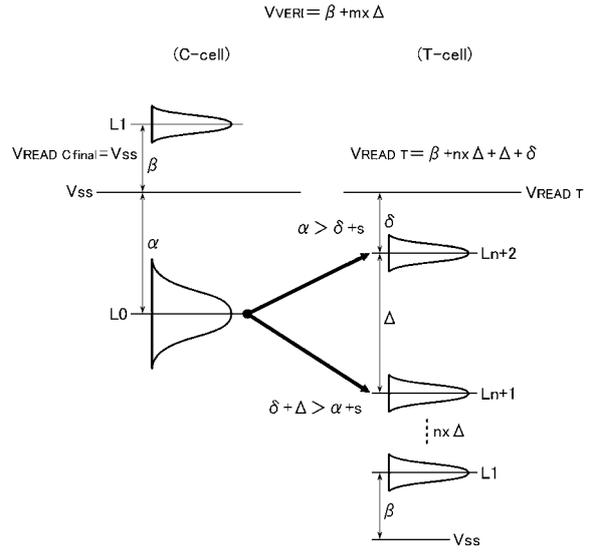


ワード線レベルを基準に見た多値レベルの関係

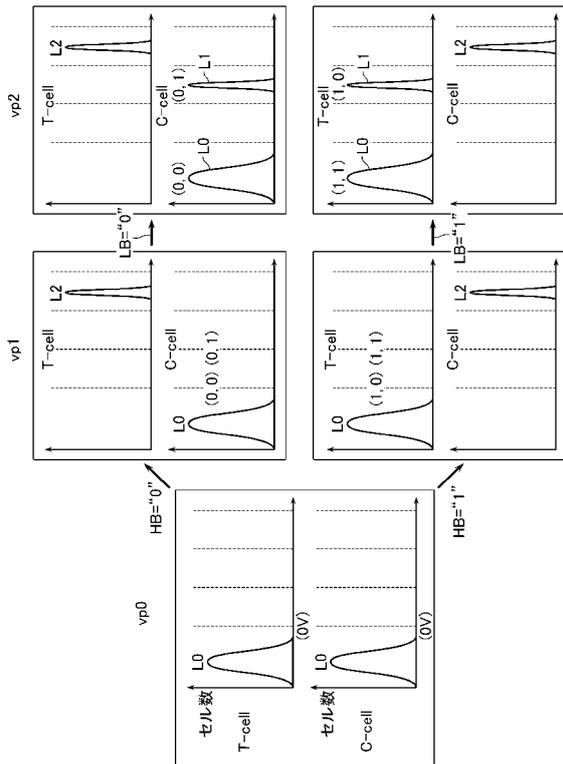
【図 27】



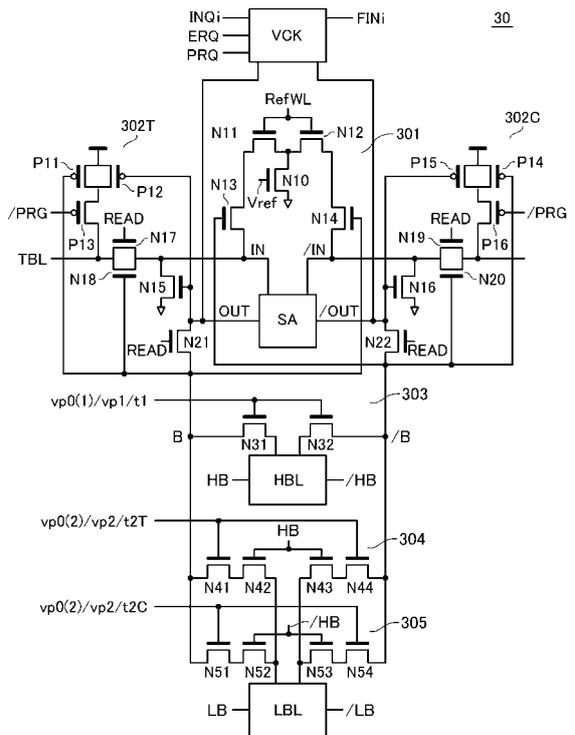
【図 28】



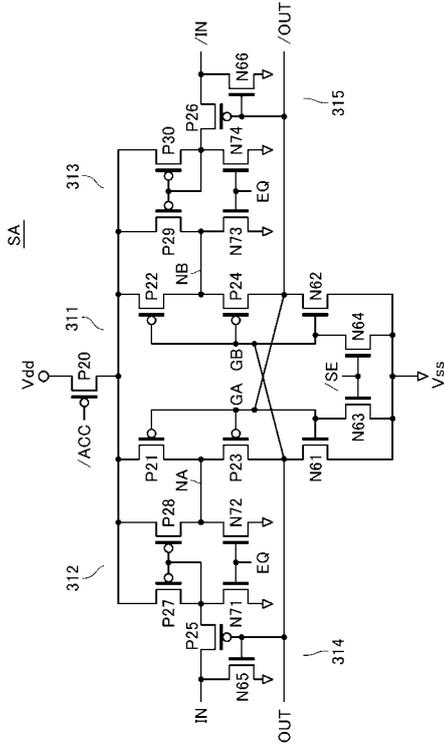
【図 29】



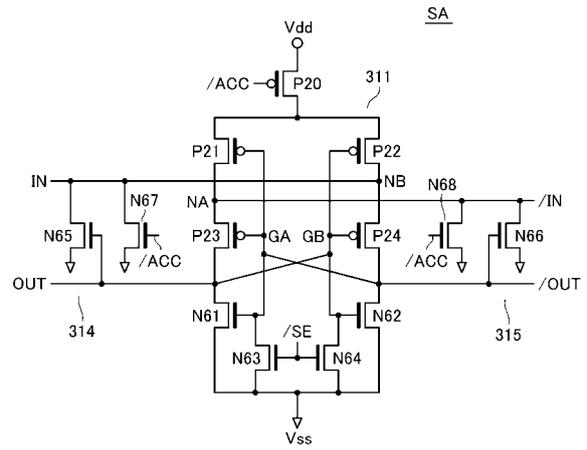
【図 30】



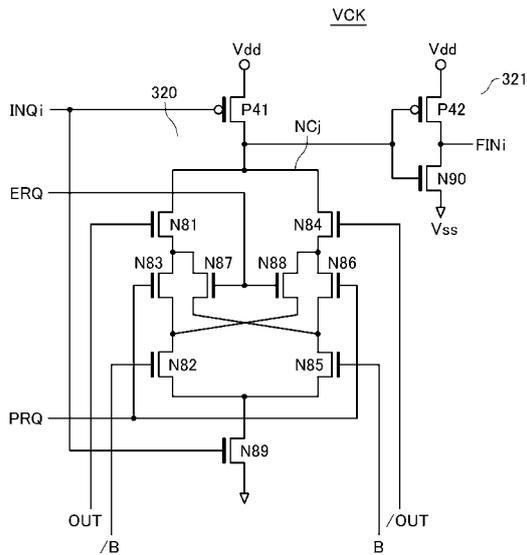
【図 3 1】



【図 3 2】



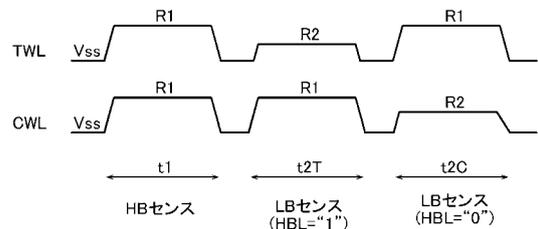
【図 3 3】



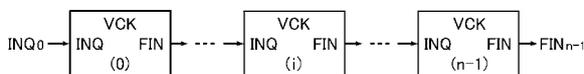
【図 3 5】

	t1	t2T	t2C
HB	0 1	0 1	0 1
LB		0 1	0 1

【図 3 6】



【図 3 4】



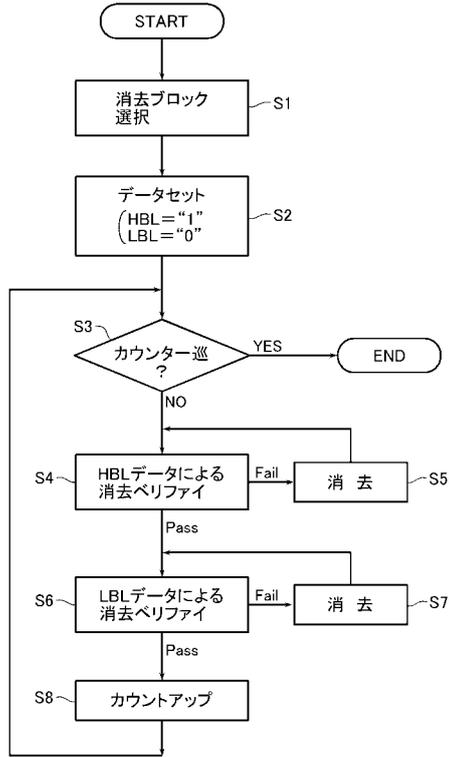
【図 3 7】

	vp0(1)	vp0(2)
HB	1	
LB		0

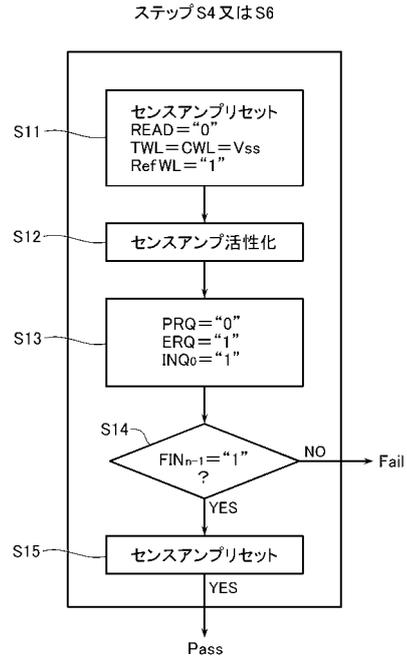
↓  
T-cellアレイ  
ペリファイ  
消去

↓  
C-cellアレイ  
ペリファイ  
消去

【図38】



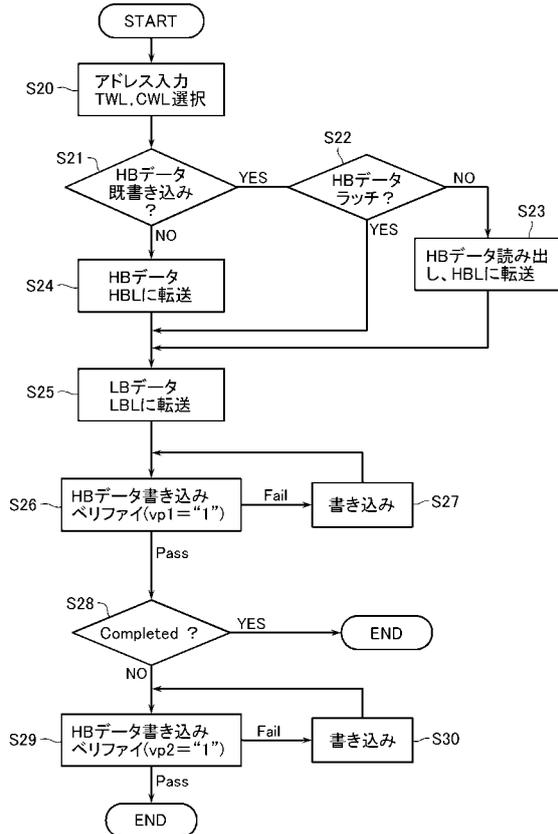
【図39】



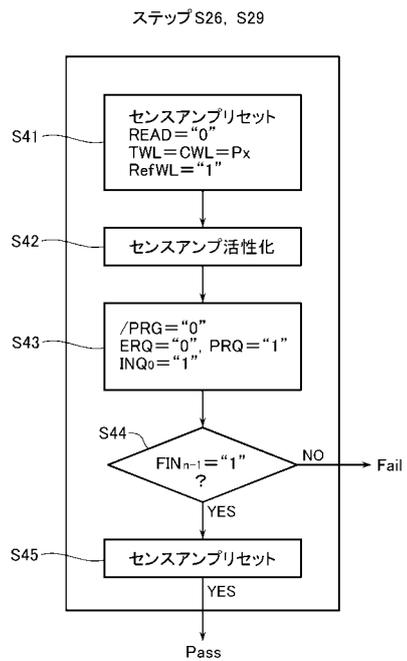
【図40】

	vp1	vp2
HB	0 1	0 1
LB		0 1 0 1

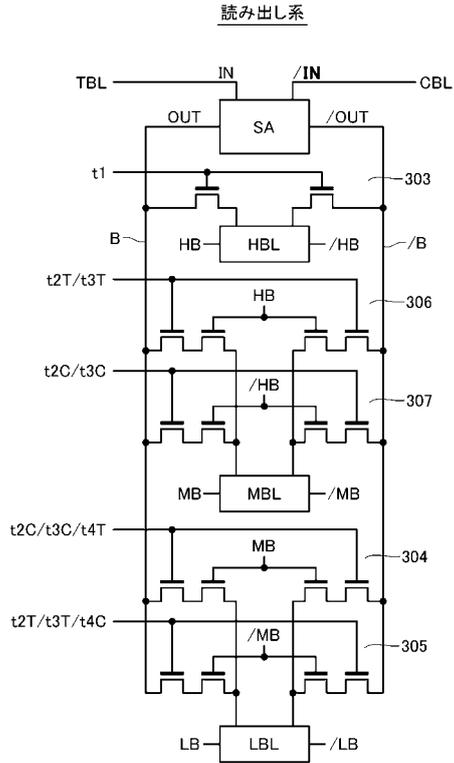
【図41】



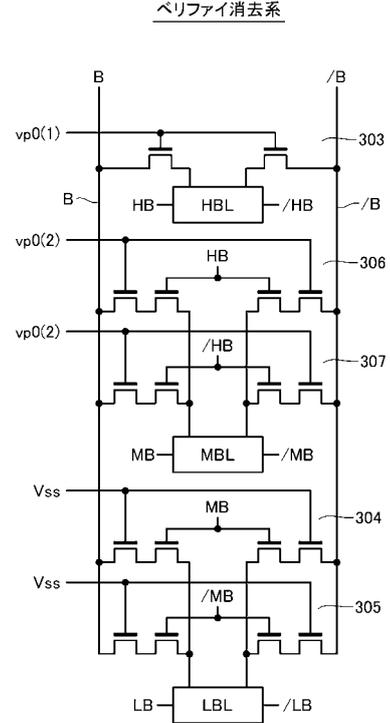
【図42】



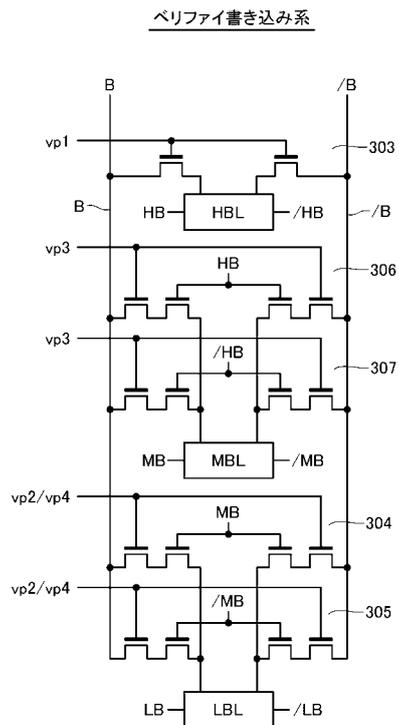
【 図 4 3 】



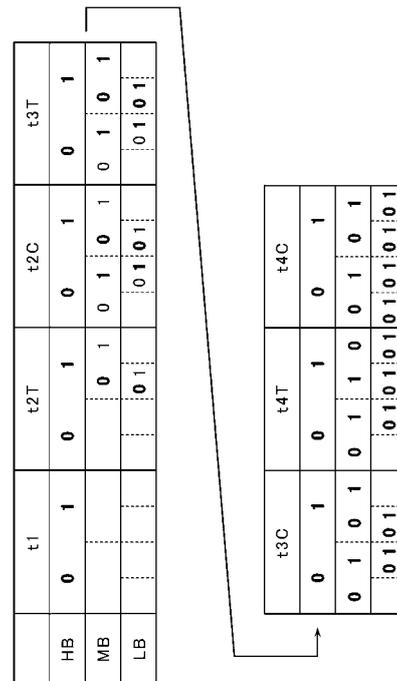
【 図 4 4 】



【 図 4 5 】



【 図 4 6 】

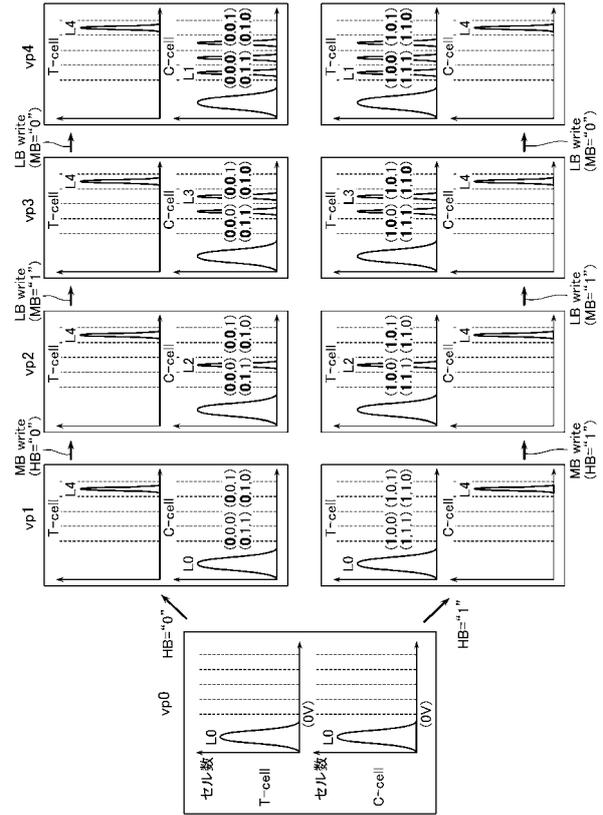




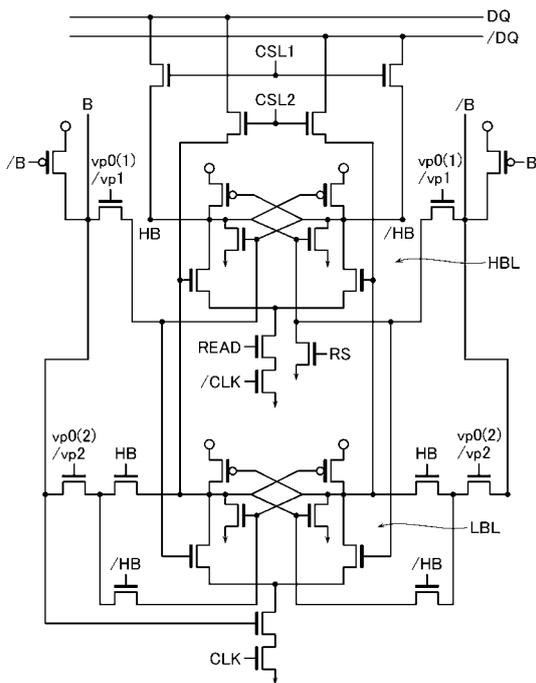
【図 5 1】

(HB, MB, LB)	t1	t2T	t2C	t3T	t3C	t4T	t4C
(1, 1, 0)	1	0	1	0	1	0	1
(0, 1, 0)	0	0	1	0	1	0	1
(1, 1, 1)	1	1	1	0	1	0	1
(0, 1, 1)	0	0	0	0	1	0	1
(1, 0, 1)	1	1	1	1	1	0	1
(0, 0, 1)	0	0	0	0	0	0	1
(1, 0, 0)	1	1	1	1	1	1	1
(0, 0, 0)	0	0	0	0	0	0	0

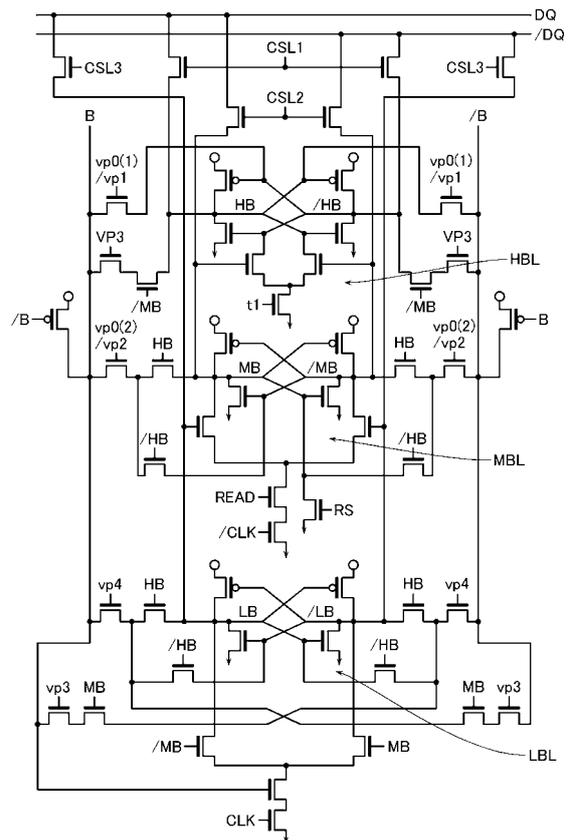
【図 5 2】



【図 5 3】



【図 5 4】



【図55】

	3レベル/セルー 4値/ペアセル(その3)	5レベル/セルー 8値/ペアセル(その3)
	CLK, /CLK 有効期間	CLK, /CLK 有効期間
HB	t1	t1
MB	—	t3T + t3C
LB	t2T + t2C	t2T + t2C + t4T + t4C

【図57】

	vp1	vp2	vp3	vp4
HB	0 1	0 1	0 1	0 1
MB		0 1 0 1	0 1 0 1	0 1 0 1
LB			0 1	0 1 0 1 0 1

【図56】

	vp1	vp2
HB	0 1	0 1
LB	0 1 0 1	0 1 0 1

---

フロントページの続き

(56)参考文献 特開2004-319007(JP,A)  
特開平10-092186(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G11C 16/02 - 16/06