

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019 年 2 月 14 日 (14.02.2019)



(10) 国际公布号
WO 2019/028595 A1

(51) 国际专利分类号:
H03K 5/156 (2006.01)

(21) 国际申请号: PCT/CN2017/096240

(22) 国际申请日: 2017 年 8 月 7 日 (07.08.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 深圳市汇顶科技股份有限公司 (SHENZHEN GOODIX TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(72) 发明人: 王程左 (WANG, Chengzuo); 中国广东省深圳市福田区腾飞工业大厦B座13层, Guangdong 518045 (CN)。

(74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路68号院3号楼101, Beijing 100094 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,

BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

根据细则4.17的声明:

— 关于申请人有权申请并被授予专利(细则4.17(ii))

(54) Title: OSCILLATOR, INTEGRATED CIRCUIT, TIMING CHIP, AND ELECTRONIC DEVICE

(54) 发明名称: 振荡器、集成电路、计时芯片和电子设备

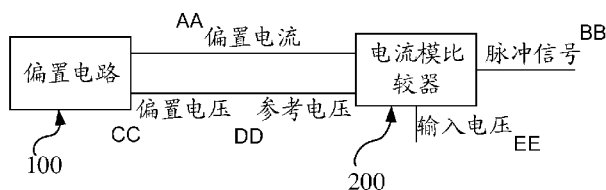


图 1

100 Bias circuit
200 Current mode comparator
AA Bias current
BB Pulse signal
CC Bias voltage
DD Reference voltage
EE Input voltage

(57) Abstract: An oscillator, an integrated circuit, a timing chip, and an electronic device. The oscillator comprises a bias circuit (100) and a current mode comparator (200). The bias circuit (100) is connected to the current mode comparator (200). The bias circuit (100) is configured to generate a bias current and a bias voltage, the bias current being used to supply power to the current mode comparator (200). The current mode comparator (200) is configured to receive the bias voltage and use the bias voltage as a reference voltage for comparison with an input voltage to generate a pulse signal. The current mode comparator (200) can share a bias voltage of the bias circuit (100) and use the bias voltage as a reference voltage, thereby avoiding the need for providing a reference voltage by a dedicated reference voltage generating circuit, reducing the number of branches of a circuit, and further effectively reducing power consumption and cost.

(57) 摘要: 一种振荡器、集成电路、计时芯片和电子设备。该振荡器包括: 偏置电路(100)和电流模比较器(200); 该偏置电路(100)与该电流模比较器(200)相连, 该偏置电路(100)用于生成偏置电流和偏置电压, 该偏置电流用于给该电流模比较器(200)供电; 该电流模比较器(200), 用于接收该偏置电压, 并将该偏置电压作为参考电压与输入电压进行比较生成脉冲信号。电流模比较器(200)可以共享偏置电路(100)的偏置电压, 并将该偏置电压作为参考电压, 从而避免了通过专门的参考电压产生电路提供参考电压, 减少电路的支路数量, 进而可以有效降低功耗及成本。

本国际公布：

- 包括国际检索报告(条约第21条(3))。

振荡器、集成电路、计时芯片和电子设备

技术领域

本申请涉及电子技术领域，并且更具体地，涉及一种振荡器、集成电路、
5 计时芯片和电子设备。

背景技术

低功耗蓝牙、可穿戴设备等系统在待机时需要超低功耗的振荡器作为设备系统的待机时钟，频率一般从几赫兹至数十千赫兹不等，张弛振荡器是产生该时钟的常用结构之一。
10

现有的技术中，常规的偏置电流源电路在产生纳安培量级的偏置电流时所需的电阻是巨大无比的，不但需要占用非常大的芯片面积，而且会导致振荡器的功耗过大，通常在几百纳安培量级，不满足超低功耗的需求。为了解决上述问题，现有技术中提出了一种使用衬底二极管反向饱和电流给电容充
15 放电及阈值电压作为比较电压的张弛振荡器，该结构具有极低的功耗，但是其核心要素（充放电电流和比较电压）与工艺有很强相关性，成本较高，且比较器的延时特性会很差而导致输出频率精度非常差，实用性较低。

因此，本领域急需一种能够有效降低功耗的振荡器。

20 发明内容

提供了一种振荡器、集成电路、计时芯片和电子设备，能够有效降低功耗及成本。

第一方面，提供了一种振荡器，包括：

偏置电路和电流模比较器；

25 所述偏置电路与所述电流模比较器相连，所述偏置电路用于生成偏置电流和偏置电压，所述偏置电流用于给所述电流模比较器供电；

所述电流模比较器，用于接收所述偏置电压，并将所述偏置电压作为参考电压与输入电压进行比较生成脉冲信号。

本发明实施例中，不仅振荡器不需要大电阻，而且，电流模比较器可以
30 共享偏置电路的偏置电压，并将该偏置电压作为参考电压，避免了通过专门的参考电压产生电路提供参考电压（减少电路的支路数量），能够有效降低

功耗及成本。

在一些可能的实现方式中，所述电流模比较器包括第二支路，所述偏置电路包括：第一支路、所述偏置电压产生电路和所述第二支路，其中，所述第二支路分别与所述偏置电压产生电路和所述第一支路并联连接，所述偏置电压产生电路用于产生所述偏置电压，所述第二支路用于接收所述偏置电压，并将所述偏置电压作为所述参考电压，所述偏置电路通过复用所述第二支路产生所述偏置电流。

本发明实施例中，该偏置电路和该电流模比较器共享该第二支路，也就是说，该第二支路不仅用于生成该偏置电流，同时也是电流模比较器的组成部分，用于接收该偏置电路的偏置电压，并将该偏置电压作为参考电压使用，能够有效减少电路的支路数量，降低功耗及成本。

在一些可能的实现方式中，所述第一支路包括：第一金属氧化物半导体 MOS 管和自共源共栅 MOS 管，所述自共源共栅 MOS 管包括：第二 MOS 管和第三 MOS 管，所述第一 MOS 管通过所述第二 MOS 管连接至所述第三 MOS 管，所述第三 MOS 管连接至设备地，所述偏置电压产生电路连接至所述第三 MOS 管的漏极，所述偏置电压产生电路用于生成所述偏置电压，所述第二支路用于接收所述偏置电压，并将所述偏置电压作为所述电流模比较器的参考电压。

在一些可能的实现方式中，所述偏置电压产生电路包括第一电流镜和第二电流镜，所述第一电流镜包括第四 MOS 管和第五 MOS 管，且第四 MOS 管与第五 MOS 管的镜像比率为 $1:k$ ，所述第二电流镜包括第六 MOS 管和第七 MOS 管，且第六 MOS 管与第七 MOS 管的镜像比率为 $j:1$ ，所述第四 MOS 管通过所述第七 MOS 管连接至所述第三 MOS 管的漏极，所述第五 MOS 管通过所述第六 MOS 管连接至所述设备地，以便所述偏置电压产生电路生成所述偏置电压，其中， $k>1$ ， $j>1$ 。

在一些可能的实现方式中，所述第四 MOS 管与所述第一 MOS 管组成第三电流镜，且所述第四 MOS 管与所述第一 MOS 管的镜像比率为 $1:m$ ，其中， $m>1$ 。

在一些可能的实现方式中，所述第二支路包括第八 MOS 管和第九 MOS 管，所述第八 MOS 管通过所述第九 MOS 管连接至所述第三 MOS 管的漏极，以便所述第二支路接收所述偏置电流，并将所述偏置电压作为所述电流模比

较器的参考电压。

在一些可能的实现方式中，所述第四 MOS 管与所述第八 MOS 管组成第四电流镜，且所述第四 MOS 管与所述第八 MOS 管的镜像比率为 1: p ，其中， $p > 1$ 。

5 在一些可能的实现方式中，所述电流模比较器还包括第三支路，所述第三支路包括第十一 MOS 管和第十 MOS 管，所述第十一 MOS 管通过所述第十 MOS 管与所述输入电压的输入端相连，第三支路用于接收所述输入电压。

在一些可能的实现方式中，所述第八 MOS 管与所述第十一 MOS 管组成第五电流镜，且所述第八 MOS 管与所述第十一 MOS 管的镜像比率为 1: n ，所述第九 MOS 管与所述第十 MOS 管组成第六电流镜，且所述第九 MOS 管与所述第十 MOS 管的镜像比率为 1: n ，其中， $n > 1$ 。

本发明实施例中，设计不同的比值 n 能够有效调节振荡器输出频率。

在一些可能的实现方式中，所述第三支路还包括第一 MOS 电容，所述第十一 MOS 管通过所述第十 MOS 管和所述第一 MOS 电容连接至所述设备地，所述振荡器还包括充放电支路，所述电流模比较器的输出端通过所述充放电支路连接至所述第一 MOS 电容，所述充放电支路用于对所述第一 MOS 电容进行充放电，其中，所述第一 MOS 电容的电容电压为所述输入电压。

本发明实施例中，通过使用 MOS 栅电容抵消了偏置电流的工艺参数，使得振荡器输出的脉冲信号的频率与工艺的相关性变弱，能够有效提高该振荡器输出的脉冲信号的频率精度。

在一些可能的实现方式中，所述第一 MOS 电容的电容电压为锯齿状信号，且所述电容电压的幅度等于所述偏置电压的电压值。

在一些可能的实现方式中，所述振荡器还包括：至少一对反相器，所述电流模比较器的输出端与所述至少一对反相器相连，所述至少一对反相器用于放大所述电流模比较器输出的所述脉冲信号。

在一些可能的实现方式中，所述振荡器还包括：触发器，与所述至少一对反相器相连，用于根据所述至少一对反相器输出的信号生成时钟信号。

在一些可能的实现方式中，所述振荡器还包括：启动电路，所述启动电路与所述偏置电路相连，所述启动电路用于启动所述偏置电路。

30 第二方面，提供了一种互补金属氧化物半导体 CMOS 集成电路，所述 CMOS 集成电路包括第一方面所述的振荡器。

第三方面，提供了一种提供了一种计时芯片，该计时芯片包括存储器，以及第一方面的振荡器或者第二方面的 CMOS 集成电路，所述存储器存储程序，所述振荡器或所述 CMOS 集成电路用于执行所述存储器中的程序的系统时钟。

- 5 第四方面，提供了一种电子设备，该电子设备包括：第一方面中的任何一种振荡器，或者，第二方面的 CMOS 集成电路，或者，第三方面的计时芯片。

附图说明

- 10 图 1 是本发明实施例的振荡器的结构性框图。
图 2 是本发明实施例的振荡器获取偏置电压的示意性电路原理图。
图 3 是本发明实施例的振荡器获取输入电压的示意性电路原理图。
图 4 是本发明实施例的振荡器的示意性电路原理图。
图 5 是本发明实施例的启动电路的示意性电路原理图。

15

具体实施方式

下面将结合附图，对本发明实施例中的技术方案进行描述。应理解，本发明实施例的技术方案适用于任何配置有振荡器的装置以及设备。

- 为了解决现有技术中的振荡器功耗大、面积大和精度差的缺点，本发明
20 提出了一种超低功耗的振荡器，通过使用电流共享技术，能够有效减少振荡器的支路数量，进而减小功耗，降低成本。

图 1 是本发明实施例的振荡器的电路的示意性框图。

如图 1 所示，第一方面，提供了一种振荡器，包括：

- 偏置电路 100 和电流模比较器 200；该偏置电路 100 与该电流模比较器
25 200 相连，该偏置电路 100 用于生成偏置电流和偏置电压，该偏置电流用于给该电流模比较器 200 供电；该电流模比较器 200，用于接收该偏置电压，并将该偏置电压作为参考电压与输入电压进行比较生成脉冲信号。

- 在本发明实施例中，通过电流模比较器 200 共享该偏置电路 100 的偏置电压，避免了电流模比较器 200 通过专门的参考电压产生电路提供参考电压
30 （减少电路的支路数量），进而能够有效降低功耗及成本。

例如，该偏置电路 100 可以包括：第一支路、该偏置电压产生电路和第

二支路，该电流模比较器 200 包括该第二支路；其中，该第二支路分别与该偏置电压产生电路和该第一支路并联连接，该第二支路、该偏置电压产生电路和该第一支路用于产生该偏置电流，该偏置电压产生电路用于产生该偏置电压，该第二支路用于接收该偏置电压，并将该偏置电压作为该电流模比较器 200 的参考电压。

此外，该电流模比较器 200 还可以包括第三支路，该第三支路用于接收输入电压，使得比较器能够通过对该输入电压和该参考电压的比较，生成脉冲信号，应理解，本发明实施例中的第三支路可以采用现有技术，也可以和现有技术不一样，本发明实施例不做具体限定。

可以理解，本发明实施例中，该偏置电路 100 和该电流模比较器 200 共享该第二支路，也就是说，该第二支路不仅用于生成该偏置电流，同时也是电流模比较器 200 的组成部分，用于接收该偏置电路 100 的偏置电压，并将该偏置电压作为参考电压使用。

为便于方案的理解，下面对自共源共栅 MOS 管(Self-Cascode MOSFET, SCM)进行介绍。

在本发明实施例中，MOS 管也被称为金属氧化物半导体场效应晶体管(Metal-Oxide-Semiconductor Field-Effect Transistor, MOSFET)。其中，MOSFET 根据“通道”(工作载流子)的极性不同，可以分为“N 型”MOS 管(NMOSFET)与“P 型”MOS 管(PMOSFET)，对于 NMOSFET，其源极和漏极接在 N 型半导体上，接高压为漏端，接低压为源端，实际电流方向为流入漏极。对于 PMOSFET，其源极和漏极则接在 P 型半导体上，接高压为源端，接低压为漏端，实际电流方向为流出漏极。例如，本发明实施例中的自共源共栅 MOS 管可以包括两个 PMOSFET，当其中一个 PMOSFET 工作在线性区时，电气特性上可以等效成一个电阻。

本发明实施例的偏置电路 100 中，通过使用自共源共栅 MOS 管，能够避免使用较大的电阻，不仅可以减少芯片面积的占用率，还可以产生超低的偏置电流，有效降低功耗及成本。

下面结合图 2 至图 4 对本发明实施例的振荡器的电路原理进行示例性说明。应理解，图 2 至图 4 所示的电路图仅仅是本发明实施例的示例性描述，本发明实施例不限于此。

如图 2 所示，本发明实施例中的自共源共栅 MOS 管可以包括第二 MOS

管 102 和第三 MOS 管 103, 该第二 MOS 管 102 源极与该第三 MOS 管 103 的漏极相连, 且该第二 MOS 管 102 的栅极与该第三 MOS 管 103 的栅极相连, 当该第三 MOS 管 103 工作在线性区时, 该第三 MOS 管 103 在电气特性上等效成一个电阻。

5 应理解, 在本发明实施例中可能采用术语“第一”、“第二”以及“第三”等等, 这些术语仅用来将部件彼此区分开, 而不是用来限定这些部件。例如, 第一 MOS 管和第二 MOS 管, 仅仅是为了区分开这两个 MOS 管, 这两个 MOS 管不限于这种术语。

下面结合图 2 对本发明实施例的偏置电源产生电路进行说明。

10 例如, 如图 2 所示, 该第一支路包括: 第一金属氧化物半导体 MOS 管 101 和上述的自共源共栅 MOS 管, 该第一 MOS 管 101 依次通过该第二 MOS 管 102 和该第三 MOS 管 103 连接至设备地 GND, 该偏置电压产生电路连接至该第三 MOS 管 103 的漏极, 该偏置电压产生电路用于生成该偏置电压, 该第二支路用于接收该偏置电压, 并将该偏置电压作为该电流模比较器 200
15 的参考电压。该偏置电压产生电路包括第一电流镜和第二电流镜, 该第一电流镜包括第四 MOS 管 104 和第五 MOS 管 105, 且第四 MOS 管 104 与第五 MOS 管 105 的镜像比率为 $1:k$, 该第二电流镜包括第六 MOS 管 106 和第七 MOS 管 107, 且第六 MOS 管 106 与第七 MOS 管 107 的镜像比率为 $j:1$, 该第四 MOS 管 104 通过该第七 MOS 管 107 连接至该第三 MOS 管 103 的漏极, 该第五 MOS 管 105 通过该第六 MOS 管 106 连接至该设备地, 以便该
20 偏置电压产生电路生成该偏置电压, 其中, $k>1$, $j>1$ 。该第二支路包括第八 MOS 管 108 和第九 MOS 管 109, 该第八 MOS 管 108 通过该第九 MOS 管 109 连接至该第三 MOS 管 103 的漏极, 以便该第二支路接收该偏置电流, 并将该偏置电压作为该电流模比较器 200 的参考电压。

25 可以看出, 该第二电流镜会工作在亚阈值区, 且镜像比率大于 1 ($j>1$), 因此, 该第六 MOS 管 106 与该第七 MOS 管 107 的栅-源电压 V_{GS} 将不同, 即 $V_{GS106}>V_{GS107}$ 。该第七 MOS 管 107 的源极产生一个电压, 该电压等于 $V_{GS106}-V_{GS107}$ 。该自共源共栅 MOS 管中, 该第三 MOS 管 103 工作在线性区, 电气特性上等效成一个电阻, 而该第三 MOS 管 103 的漏极由通过
30 该第七 MOS 管 107 的源极电压偏置, 因此, 该第三 MOS 管 103 的输出电流等于该偏置电压除以第三 MOS 管 103 的等效电阻。本发明实施例中, 通

过这种结构不仅能够产生偏置电流，还避免了采用大电阻，能够有效降低芯片面积的占用率。

作为示例而非限定性地，该第四 MOS 管 104 与该第一 MOS 管 101 可以组成第三电流镜，且该第四 MOS 管 104 与该第一 MOS 管 101 的镜像比率为 1: m，其中， $m > 1$ 。该第四 MOS 管 104 与该第八 MOS 管 108 可以组成第四电流镜，且该第四 MOS 管 104 与该第八 MOS 管 108 的镜像比率为 1: p，其中， $p > 1$ 。应理解，在一些实现中，设备地 GND 也可以称为“公共地”或“实地”或“设备公共地”等。

下面计算该偏置电源产生电路生成的偏置电流 I_0 。

如图 2 所示，工作在亚阈值区的第六 MOS 管 106、第七 MOS 管 107 由于电流密度的不同会产生栅-源电压差值（也称为偏置电压） V_X ，该 V_X 可表示为：

$$V_X = V_{GS6} - V_{GS7} = nV_T \ln(j * k) \quad (1)$$

其中， n 是斜率因子， V_T 是热电压。

根据 ACM（Advance Compact Model）模型，第三 MOS 管 103 的漏极电流 I_D 可表示为：

$$I_D = I_{SQ} \frac{W}{L} (i_f - i_r) = \frac{1}{2} \mu C_{OX} n V_T^2 \frac{W}{L} \quad (2)$$

式中 I_{SQ} 是与工艺相关的方块电流， μ 是载流子迁移率， C_{OX} 是工艺参数， i_f 表示正向电流， i_r 表示反向电流。其中， $i_{f(r)}$ 的表达式为：

$$\frac{V_{GB} - V_{TH0} - V_{S(D)}}{nV_T} = \sqrt{1 + i_{f(r)}} - 2 + \ln(\sqrt{1 + i_{f(r)}} - 1) \quad (3)$$

式中 V_{GB} 表示栅-衬底电压， V_{TH0} 是晶体管源-衬底电压为零时的阈值电压。

因为第二 MOS 管 102 是栅-漏短接，因此 $i_{r2} \approx 0$ 。由图 2 可知 $V_{S2} = V_{D3} = V_X$ ，因此 $i_{f2} = i_{r3}$ 且 $I_{D2} = mI_0$ 、 $I_{D3} = (1 + m + k + p)I_0$ 。根据公式（1）至公式（3）可得：

$$I_0 = \frac{[\ln(jk) - \ln(1 + \frac{1 + m + k + p}{m} * \frac{(W/L)_3}{(W/L)_2})]}{(1 + m + k + p)} * \mu * C_{OX} * n * V_T^2 * (\frac{W}{L})_3 \quad (4)$$

由式（4）可知，将晶体管第二 MOS 管 102、第三 MOS 管 103 设计为自共源共栅 MOS 管，不仅可以保证偏置电路 100 生成纳安培的偏置电流，同时能够极大地节省芯片面积，有效降低功耗及成本。

可以理解，本发明实施例中的电流模比较器 200 可以包括该第二支路，

该第二支路用于接收偏置电路 100 生成的偏置电压，并将该偏置电压作为参考电压，同时，该电流模比较器 200 还可以包括第三支路，用于接收输入电压，由此，该电流模比较器 200 通过比较该参考电压和该输入电压生成脉冲信号。

5 作为示例而非限定性地，如图 2 所示，该第三支路可以包括第十一 MOS 管 111 和第十 MOS 管 110，该第十一 MOS 管 111 通过该第十 MOS 管 110 与该输入电压的输入端相连，第三支路用于接收该输入电压。

 可选地，该第八 MOS 管 108 与该第十一 MOS 管 111 组成第五电流镜，且该第八 MOS 管 108 与该第十一 MOS 管 111 的镜像比率为 1: n，该第九
10 MOS 管 109 与该第十 MOS 管 110 组成第六电流镜，且该第九 MOS 管 109 与该第十 MOS 管 110 的镜像比率为 1: n，其中， $n > 1$ 。本领域技术人员可以理解，设计不同的比值 n 能够有效调节振荡器输出频率。

 本发明实施例中，该振荡器通过在偏置电路 100 中添加自共源共栅 MOS 管，以及通过第二支路的电流共享技术，能够有效降低功耗及成本。此外，
15 本发明实施例的电路仅由 MOS 器件组成，能够兼容标准的互补金属氧化物半导体（Complementary Metal Oxide Semiconductor, CMOS）工艺。

 本发明实施例中，还提供了一种该电流模比较器 200 获取该输入电压的方式，能够通过 MOS 电容有效补偿振荡器的工艺参数，降低成本。图 3 是本发明实施例电流模比较器 200 获取输入电压的示例性电路原理图。

20 例如，如图 3 所示，本发明实施例中的第三支路还可以包括第一 MOS 电容 112，该第十一 MOS 管 111 通过该第十 MOS 管 110 和该第一 MOS 电容 112 连接至该设备地，该振荡器还包括充放电支路，该电流模比较器 200 的输出端通过该充放电支路连接至该第一 MOS 电容 112，该充放电支路用于对该第一 MOS 电容 112 进行充放电，其中，该第一 MOS 电容 112 的电容
25 电压为该输入电压。

 具体而言，第一 MOS 管 101~第九 MOS 管 109 组成了偏置电路 100，输出偏置电流 I_0 和偏置电压 V_X ，其中，第二 MOS 管 102 与第三 MOS 管 103 组成了自共源共栅 MOS 管。第八 MOS 管 108~第十一 MOS 管 111 组成了电流模比较器 200，其中，第八 MOS 管 108、第九 MOS 管 109 支路的电
30 流与偏置电路 100 共享，而第十 MOS 管 110、第十一 MOS 管 111 支路的电流复用于第一 MOS 电容 112 的充电电流。第九 MOS 管 109 的源极与第十

MOS 管 110 的源极是比较器的输入端，分别用于接收偏置电路 100 生成的偏置电压和第一 MOS 电容 112 的电容电压。第十二 MOS 管 113 是第一 MOS 电容 112 的复位管，用于将电容电压复位至 GND。

假设，电流镜第六 MOS 管 106: 第七 MOS 管 107=1: j、第四 MOS 管 104: 第五 MOS 管 105=1: k、第四 MOS 管 104: 第一 MOS 管 101=1: m、第四 MOS 管 104: 第八 MOS 管 108=1: p，第八 MOS 管 108: 第十一 MOS 管 111=第九 MOS 管 109: 第十 MOS 管 110=1: n。

由图 3 可知，工作在亚阈值区的第六 MOS 管 106、第七 MOS 管 107 的电流密度不同因此产生的栅-源电压差值 V_X （也称偏置电压）并偏置在自共源共栅 MOS 管而形成自偏置电流源。其中，第八 MOS 管 108 的电流流向该自偏置电流源，而第十一 MOS 管 111 的电流则复用作第一 MOS 电容 112 的充电电流，即，第九 MOS 管 109 与第十 MOS 管 110 的源极是比较器的输入端。也就是说，本发明实施例中的参考电压是自偏置电流源的偏置电压 V_X ，而输入电压是第一 MOS 电容 112 的电容电压 V_C 。由此，当 V_C 小于 V_X 时，电流模比较器 200 输出的 V_{cmp} 信号为低电平，第十二 MOS 管 113 关断，第十一 MOS 管 111 继续给第一 MOS 电容 112 充电， V_C 电压线性增大；当 V_C 大于 V_X 时， V_{cmp} 为高电平，第十二 MOS 管 113 开启将第一 MOS 电容 112 的电荷泄放， V_C 复位至 GND； V_C 复位至 GND 后再重复上述过程，则可得到连续的 V_{cmp} 信号（脉冲信号）。

可以看出，本发明实施例中，该电容电压（ V_C ）为锯齿状信号，且电容电压（ V_C ）的幅度等于该偏置电压（ V_X ）的电压值。与现有的技术方案（比较器采用单级共源放大器）相比，本发明实施例的技术方案可以有效隔离电容电压（ V_C ）的耦合噪声对偏置电压（ V_X ）的影响，从而能够提高振荡器的输出频率的精度。

图 4 是本发明实施例的另一示例性电路原理图。

为了进一步提高该振荡器的输出频率的精度。

可选地，该振荡器还可以包括：至少一对反相器，该电流模比较器 200 的输出端通过至少一对反相器连接至该充放电支路，上述至少一对反相器用于将该电流模比较器 200 的输出端输出的 V_{cmp} 信号放大至 RS 信号（脉冲信号）。例如，如图 4 所示，该振荡器可以包括一对反相器（第一反相器 121 和第二反相器 122）

本发明实施例中, 还可以通过触发器调整该 RS 信号的占空比, 然后形成 CLK 信号 (时钟信号)。具体而言, 该振荡器还可以包括: 触发器, 与上述至少一对反相器相连, 用于根据上述至少一对反相器输出的信号生成时钟信号。例如, 如图 4 所示, 该振荡器还可以包括触发器 130。

5 需要指出的是, 本发明实施例中的反相器的个数可以是任意的偶数。同时 RS 信号也可以作为时钟输出而不需要经过二分频后在输出, 它们的区别是时钟信号的占空比不同 (前者频率与后者频率的呈倍数关系)。例如, RS 信号经二分频后得到占空比 50% 的 CLK 信号 (时钟信号)。

下面计算本发明实施例中 CLK 信号的频率。

10 C_{M12} 是第一 MOS 电容 112 的电容值, 其电容值可以表示为:

$$C_{M12} = K_C * C_{OX} * (W * L)_{12} \quad (5)$$

其中, K_C 是折算因数, 在本方案的环境中可认为它是个常数。

此外, 本发明实施例中的 CLK 信号的频率可表示为:

$$f_{CLK} = \frac{1}{2(T_S + t_d)} \approx \frac{n * p * I_0}{2 * C_{M12} * V_X} \quad (6)$$

15 其中, t_d 表示比较器的延时, $T_S \gg t_d$, 可忽略 t_d 不计。

将式 (1)、(4) 以及 (5) 代入式 (6) 可得振荡器的输出频率为:

$$f_{CLK} = \frac{n * p * [\ln(jk) - \ln(1 + \frac{1+m+k+p}{m} * \frac{(W/L)_3}{(W/L)_2})] * \mu * V_T * (\frac{W}{L})_3}{2 * K_C * (W * L)_{12} * \ln(jk) * (1+m+k+p)} \quad (7)$$

电路参数设计时需要满足 $jk > \frac{1+m+k+p}{m} * \frac{(W/L)_3}{(W/L)_2}$ 。

由式 (7) 可知, 本发明实施例的振荡器的输出频率仅与电路参数 m、j、
20 k、p、n 及第二 MOS 管 102、第三 MOS 管 103 的宽长比及第一 MOS 电容 112 的栅面积、载流子迁移率 μ 、热电压 V_T 有关, 并工艺参数 C_{OX} 被抵消, 也就是说, 该振荡器的输出频率与工艺的相关性被削弱, 能够有效提高输出频率的精度, 降低成本。

可选地, 本发明实施例中的振荡器还可以包括: 启动电路, 与该偏置电
25 路 100 相连, 上述启动电路用于启动该偏置电路 100。例如, 如图 4 所示, 振荡器可以包括启动电路 140。

图 5 是本发明实施例的启动电路的示例性电路原理图。

如图 5 所示, 上述启动电路 140 可以包括: 第十三 MOS 管 114~第十六 MOS 管 117, 以及第二 MOS 电容 118。在 VDD 上电时, 由于电容 C 第二

MOS 电容 118 远大于第十五 MOS 管 116 漏极寄生电容, 所以 VY 电压将跟随 VDD 上升而增大并将第十六 MOS 管 117 打开, 启动电流将灌入 VP 节点从而使得偏置电路 100 脱离可能存在的零电路稳定工作点。当偏置电路 100 有电流之后通过第十三 MOS 管 114 镜像输出至第十四 MOS 管 115, 由第十五 MOS 管 116 将 VY 节点拉低至 GND 使得第十六 MOS 管 117 关闭, 启动电路 140 停止工作。

应理解, 本发明实施例中的振荡器可以配置在任何电路或者电子设备中。也就是说, 本发明实施例中, 可以提供了一种 CMOS 集成电路, 该 CMOS 集成电路包括上文中的振荡器。也可以提供了一种计时芯片, 该计时芯片包括存储器, 以及上文中的振荡器或者该 CMOS 集成电路, 该存储器存储程序, 该振荡器或该 CMOS 集成电路用于执行该存储器中的程序的系统时钟。也可以提供了一种电子设备, 该电子设备可以包括: 上文中的振荡器, 或者, 该 CMOS 集成电路, 或者, 计时芯片。本发明实施例不做具体限定。

最后, 需要注意的是, 在本发明实施例和所附权利要求书中使用的术语是仅仅出于描述特定实施例的目的, 而非旨在限制本发明实施例。

例如, 在本发明实施例和所附权利要求书中所使用的单数形式的“一种”、“所述”和“该”也旨在包括多数形式, 除非上下文清楚地表示其他含义。

本领域普通技术人员可以意识到, 结合本文中所公开的实施例描述的各示例的部件, 能够以电子硬件、或者计算机软件和电子硬件的结合来实现。这些功能究竟以硬件还是软件方式来执行, 取决于技术方案的特定应用和设计约束条件。专业技术人员可以对每个特定的应用来使用不同方法来实现所描述的功能, 但是这种实现不应认为超出本发明实施例的范围。

所属领域的技术人员可以清楚地了解到, 为描述的方便和简洁, 上述描述的装置和部件, 可以是或者也可以不是物理上分开的。可以根据实际的需要选择其中的部分或者全部部件来实现本发明实施例的目的。

以上内容, 仅为本发明实施例的具体实施方式, 但本发明实施例的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本发明实施例揭露的技术范围内, 可轻易想到变化或替换, 都应涵盖在本发明实施例的保护范围之内。因此, 本发明实施例的保护范围应以权利要求的保护范围为准。

权利要求

1. 一种振荡器，其特征在于，包括：

偏置电路和电流模比较器；

5 所述偏置电路与所述电流模比较器相连，所述偏置电路用于生成偏置电流和偏置电压，所述偏置电流用于给所述电流模比较器供电；

 所述电流模比较器，用于接收所述偏置电压，并将所述偏置电压作为参考电压与输入电压进行比较，生成脉冲信号。

2. 根据权利要求 1 所述的振荡器，其特征在于，所述电流模比较器包
10 括第二支路，所述偏置电路包括：第一支路、偏置电压产生电路和所述第二支路；其中，所述第二支路分别与所述偏置电压产生电路和所述第一支路并联连接，所述偏置电压产生电路用于产生所述偏置电压，所述第二支路用于接收所述偏置电压，并将所述偏置电压作为所述参考电压，所述偏置电路通过复用所述第二支路产生所述偏置电流。

15 3. 根据权利要求 2 所述的振荡器，其特征在于，所述第一支路包括：第一金属氧化物半导体 MOS 管和自共源共栅 MOS 管，所述自共源共栅 MOS 管包括：第二 MOS 管和第三 MOS 管，所述第一 MOS 管通过所述第二 MOS 管连接至所述第三 MOS 管，所述第三 MOS 管连接至设备地，所述偏置电压产生电路连接至所述第三 MOS 管的漏极，所述偏置电压产生电路用于生
20 成所述偏置电压，所述第二支路用于接收所述偏置电压，并将所述偏置电压作为所述电流模比较器的参考电压。

4. 根据权利要求 3 所述的振荡器，其特征在于，所述偏置电压产生电路包括第一电流镜和第二电流镜，所述第一电流镜包括第四 MOS 管和第五 MOS 管，且第四 MOS 管与第五 MOS 管的镜像比率为 1: k，所述第二电流
25 镜包括第六 MOS 管和第七 MOS 管，且第六 MOS 管与第七 MOS 管的镜像比率为 j: 1，所述第四 MOS 管通过所述第七 MOS 管连接至所述第三 MOS 管的漏极，所述第五 MOS 管通过所述第六 MOS 管连接至所述设备地，以使所述偏置电压产生电路生成所述偏置电压，其中， $k > 1$ ， $j > 1$ 。

5. 根据权利要求 4 所述的振荡器，其特征在于，所述第四 MOS 管与所
30 述第一 MOS 管组成第三电流镜，且所述第四 MOS 管与所述第一 MOS 管的镜像比率为 1: m，其中， $m > 1$ 。

6. 根据权利要求 3 所述的振荡器, 其特征在于, 所述第二支路包括第八 MOS 管和第九 MOS 管, 所述第八 MOS 管通过所述第九 MOS 管连接至所述第三 MOS 管的漏极, 以使所述第二支路接收所述偏置电流, 并将所述偏置电压作为所述电流模比较器的参考电压。

5 7. 根据权利要求 6 所述的振荡器, 其特征在于, 所述第四 MOS 管与所述第八 MOS 管组成第四电流镜, 且所述第四 MOS 管与所述第八 MOS 管的镜像比率为 $1:p$, 其中, $p > 1$ 。

8. 根据权利要求 1 至 7 中任一项所述的振荡器, 其特征在于, 所述电流模比较器还包括第三支路, 所述第三支路包括第十 MOS 管和第十一 MOS
10 管, 所述第十一 MOS 管通过所述第十 MOS 管与所述输入电压的输入端相连, 所述第三支路用于接收所述输入电压。

9. 根据权利要求 8 所述的振荡器, 其特征在于, 所述第八 MOS 管与所述第十一 MOS 管组成第五电流镜, 且所述第八 MOS 管与所述第十一 MOS 管的镜像比率为 $1:n$, 所述第九 MOS 管与所述第十 MOS 管组成第六电
15 流镜, 且所述第九 MOS 管与所述第十 MOS 管的镜像比率为 $1:n$, 其中, $n > 1$ 。

10. 根据权利要求 8 或 9 所述的振荡器, 其特征在于, 所述第三支路还包括第一 MOS 电容, 所述第十一 MOS 管通过所述第十 MOS 管和所述第一 MOS 电容连接至所述设备地, 所述振荡器还包括充放电支路, 所述电流模
20 比较器的输出端通过所述充放电支路连接至所述第一 MOS 电容, 所述充放电支路用于对所述第一 MOS 电容进行充放电, 其中, 所述第一 MOS 电容的电容电压为所述输入电压。

11. 根据权利要求 10 所述的振荡器, 其特征在于, 所述第一 MOS 电容的电容电压为锯齿状信号, 且所述电容电压的幅度等于所述偏置电压的电压
25 值。

12. 根据权利要求 1 至 11 中任一项所述的振荡器, 其特征在于, 所述振荡器还包括: 至少一对反相器, 所述电流模比较器的输出端与所述至少一对反相器相连, 所述至少一对反相器用于放大所述电流模比较器输出的所述脉冲信号。

30 13. 根据权利要求 12 所述的振荡器, 其特征在于, 所述振荡器还包括: 触发器, 与所述至少一对反相器相连, 用于根据所述至少一对反相器输出的

信号生成时钟信号。

14. 根据权利要求 1 至 13 中任一项所述的振荡器，其特征在于，所述振荡器还包括：启动电路，所述启动电路与所述偏置电路相连，所述启动电路用于启动所述偏置电路。

5 15. 一种互补金属氧化物半导体 CMOS 集成电路，其特征在于，包括：权利要求 1 至 14 中任一项所述的振荡器。

16. 一种计时芯片，其特征在于，包括：存储器，以及，

10 根据权利要求 1 至 14 中任一项所述的振荡器，或者，权利要求 15 所述的 CMOS 集成电路，所述存储器用于存储程序，所述振荡器或所述 CMOS 集成电路用于执行所述存储器中的程序的系统时钟。

17. 一种电子设备，其特征在于，包括：

 根据权利要求 1 至 14 中任一项所述的振荡器，或者，权利要求 15 所述的 CMOS 集成电路，或者，权利要求 16 所述的计时芯片。

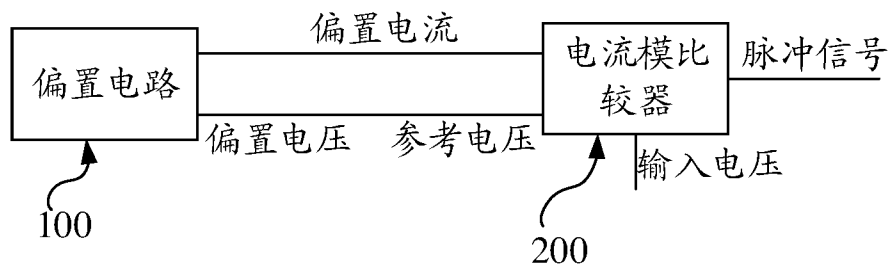


图 1

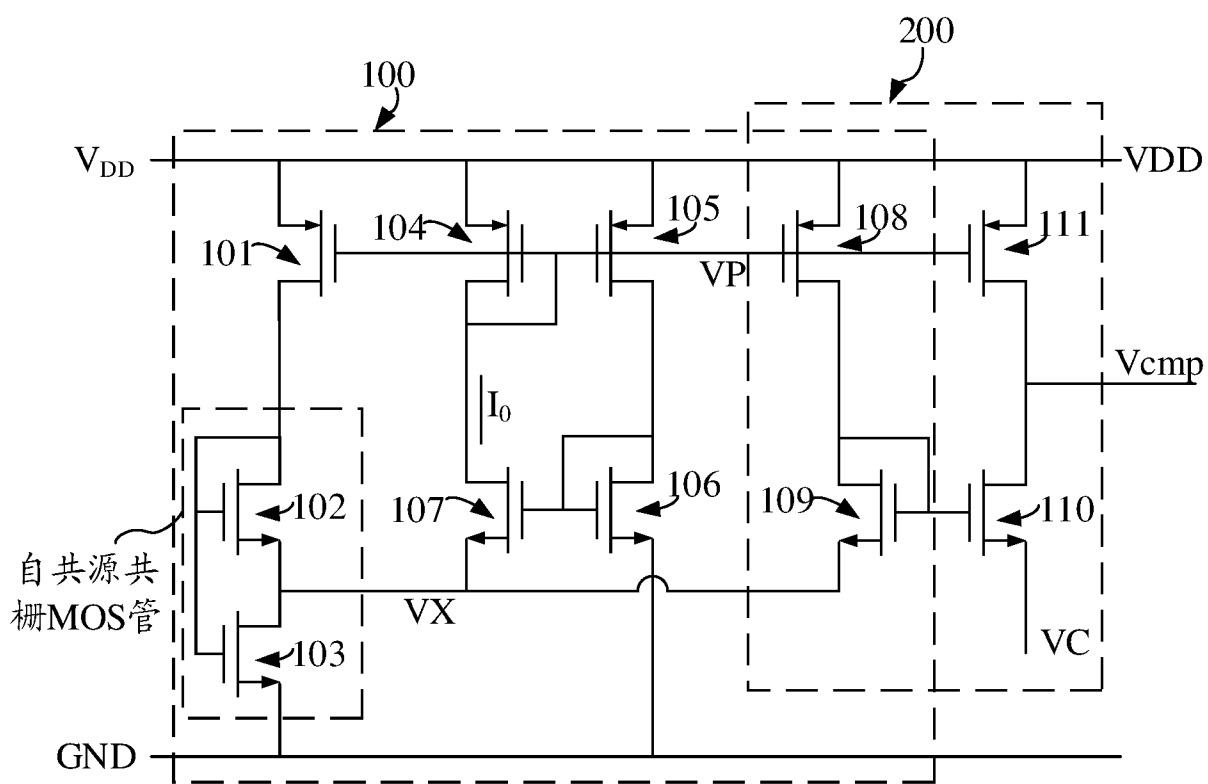


图 2

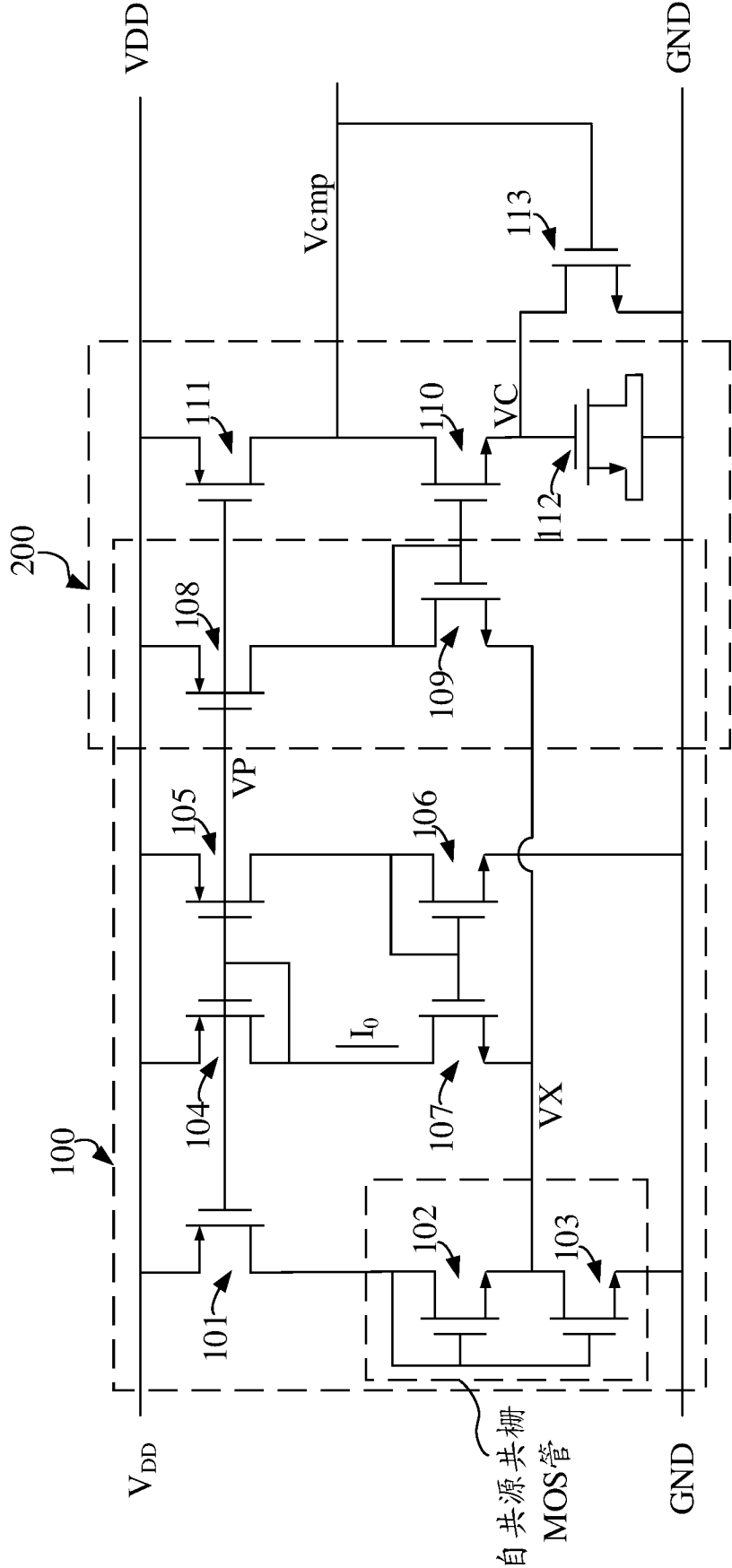


图 3

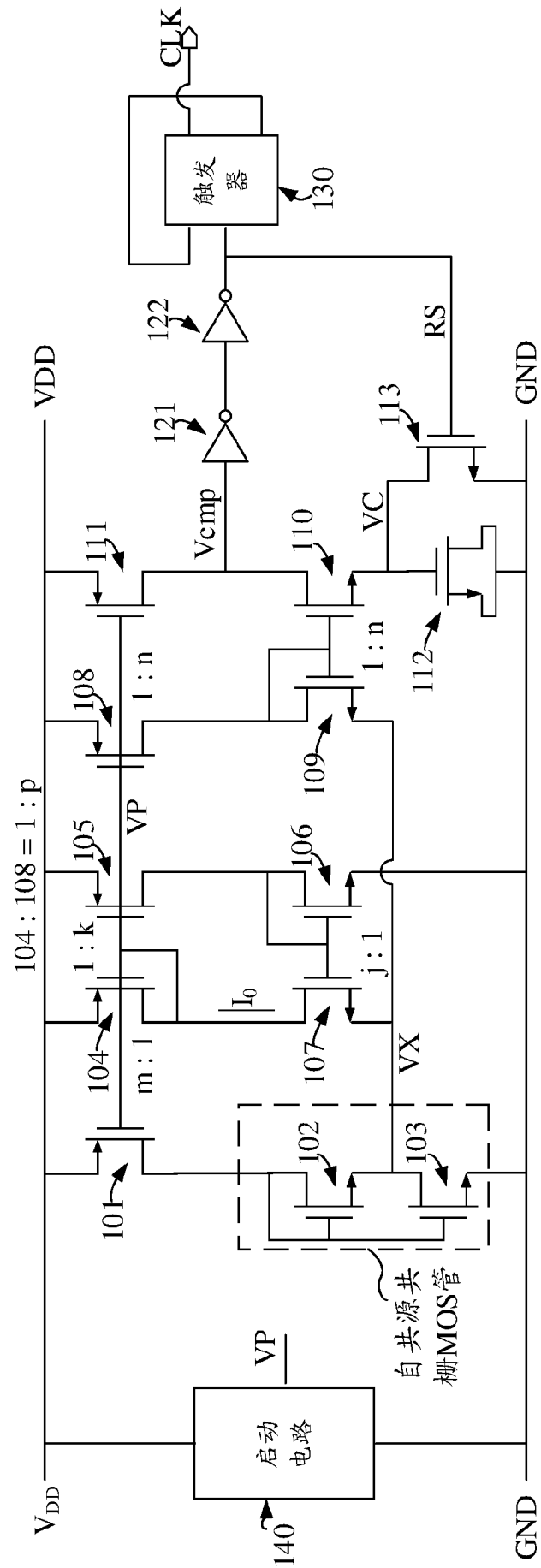


图 4

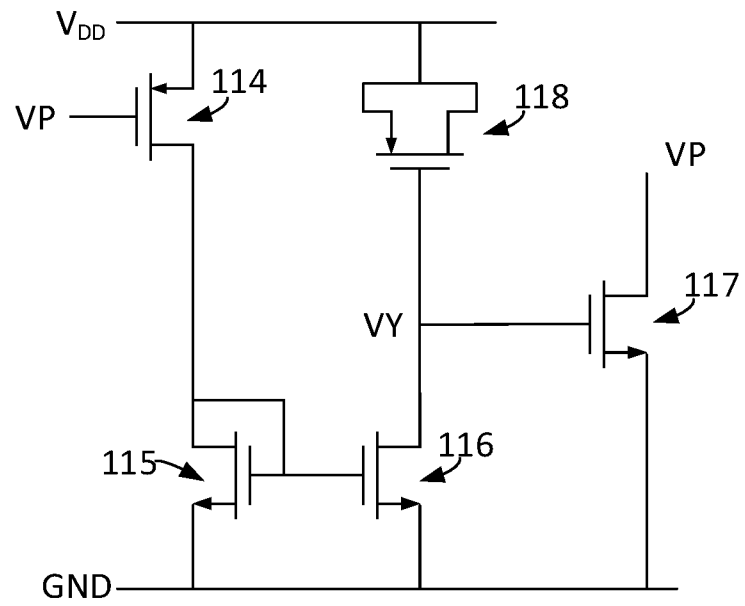


图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/096240

A. CLASSIFICATION OF SUBJECT MATTER

H03K 5/156 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K; H03B; H03H

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, EPODOC, WPI, IEEE: 振荡, 偏置, 电流模, 比较, 脉冲, 偏置电流, 偏置电压, 参考电压, 电流镜, VCO, oscillator, comparator, bias, current, voltage

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 104124921 A (ZHEJIANG UNIVERSITY) 29 October 2014 (29.10.2014), description, paragraphs [0030]-[0036], and figures 2-4	1, 8, 10-17
A	CN 102386848 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA) 21 March 2012 (21.03.2012), entire document	1-17
A	CN 103916099 A (XI'AN SINOCHIP SEMICONDUCTORS CO., LTD.) 09 July 2014 (09.07.2014), entire document	1-17
A	US 2017117888 A1 (KABUSHIKI KAISHA TOSHIBA) 27 April 2017 (27.04.2017), entire document	1-17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	
“A” document defining the general state of the art which is not considered to be of particular relevance	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“E” earlier application or patent but published on or after the international filing date	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	“&” document member of the same patent family

Date of the actual completion of the international search 08 April 2018	Date of mailing of the international search report 02 May 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Weihua Telephone No. (86-10) 53961428

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/096240

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104124921 A	29 October 2014	CN 104124921 B	15 February 2017
CN 102386848 A	21 March 2012	CN 102386848 B	16 July 2014
CN 103916099 A	09 July 2014	CN 103916099 B	17 August 2016
US 2017117888 A1	27 April 2017	JP 2017079431 A	27 April 2017

国际检索报告

国际申请号

PCT/CN2017/096240

A. 主题的分类

H03K 5/156(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H03K; H03B; H03H

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, EPODOC, WPI, IEEE: 振荡, 偏置, 电流模, 比较, 脉冲, 偏置电流, 偏置电压, 参考电压, 电流镜, VCO, oscillator, comparator, bias, current, voltage

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 104124921 A (浙江大学) 2014年 10月 29日 (2014 - 10 - 29) 说明书第[0030]-[0036]段、图2-4	1, 8, 10-17
A	CN 102386848 A (电子科技大学) 2012年 3月 21日 (2012 - 03 - 21) 全文	1-17
A	CN 103916099 A (西安华芯半导体有限公司) 2014年 7月 9日 (2014 - 07 - 09) 全文	1-17
A	US 2017117888 A1 (KABUSHIKI KAISHA TOSHIBA) 2017年 4月 27日 (2017 - 04 - 27) 全文	1-17

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2018年 4月 8日

国际检索报告邮寄日期

2018年 5月 2日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

李伟华

传真号 (86-10)62019451

电话号码 (86-10)53961428

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2017/096240

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104124921	A	2014年 10月 29日	CN	104124921	B	2017年 2月 15日
CN	102386848	A	2012年 3月 21日	CN	102386848	B	2014年 7月 16日
CN	103916099	A	2014年 7月 9日	CN	103916099	B	2016年 8月 17日
US	20171117888	A1	2017年 4月 27日	JP	2017079431	A	2017年 4月 27日

表 PCT/ISA/210 (同族专利附件) (2009年7月)