

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT,
HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH,
KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY,
MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ,
NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

second semiconductor substrate disposed on the side of one of the surfaces of the first semiconductor substrate, the second semiconductor substrate being provided with a second transistor included in the read-out circuit.

(57) 要約: レイアウトの自由度を向上できるようにした撮像装置を提供する。撮像装置は、光電変換を行うセンサ画素を有する第1基板部と、第1基板部の一方の面側に配置され、センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第2基板部と、を備える。第2基板部は、読み出し回路に含まれる第1トランジスタが設けられた第1半導体基板と、第1半導体基板の一方の面側に配置され、読み出し回路に含まれる第2トランジスタが設けられた第2半導体基板と、を有する。

明 細 書

発明の名称：撮像装置

技術分野

[0001] 本開示は、撮像装置に関する。

背景技術

[0002] 従来、２次元構造の撮像装置の１画素あたりの面積の微細化は、微細プロセスの導入と実装密度の向上によって実現されてきた。近年、撮像装置の小型化および画素の高密度化を実現するため、３次元構造の撮像装置が開発されている（例えば、特許文献１参照）。３次元構造の撮像装置は、複数のセンサ画素を有する第１半導体基板と、各センサ画素で得られた信号を読み出し処理する読み出し回路を有する第２半導体基板とを備え、第１半導体基板の一方の面側に第２半導体基板が積層されている。

先行技術文献

特許文献

[0003] 特許文献１：特開２０１０－２４５５０６号公報

発明の概要

発明が解決しようとする課題

[0004] 読み出し回路は、センサ画素を選択する選択トランジスタ、センサ画素で得られた信号を増幅する増幅トランジスタ、センサ画素で得られた信号をリセットするリセットトランジスタなどを含む。読み出し回路に含まれるトランジスタの配置や大きさ（以下、レイアウト）は撮像装置の性能に影響する。例えば、増幅トランジスタのゲート面積が小さくなると、撮像装置のノイズ特性が悪化する可能性がある。このため、レイアウトの自由度を向上させることが望まれている。

[0005] 本開示はこのような事情に鑑みてなされたもので、レイアウトの自由度を向上できるようにした撮像装置を提供することを目的とする。

課題を解決するための手段

[0006] 本開示の一態様に係る撮像装置は、光電変換を行うセンサ画素を有する第1基板部と、前記第1基板部の一方の面側に配置され、前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第2基板部と、を備え、前記第2基板部は、前記読み出し回路に含まれる第1トランジスタが設けられた第1半導体基板と、前記第1半導体基板の一方の面側に配置され、前記読み出し回路に含まれる第2トランジスタが設けられた第2半導体基板と、を有する。

[0007] これによれば、読み出し回路に含まれる全てのトランジスタが1枚の半導体基板に配置される場合と比べて、トランジスタの配置領域の面積を増大することができるので、読み出し回路のレイアウトの自由度が向上する。例えば、第1半導体基板に増幅トランジスタを配置し、第2半導体基板に選択トランジスタとリセットトランジスタとを配置することができる。これにより、増幅トランジスタのゲート面積を最大化することができる。

[0008] 本開示の別の態様に係る撮像装置は、光電変換を行うセンサ画素を有する第1基板部と、前記第1基板部の一方の面側に配置され、前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第2基板部と、を備え、前記第2基板部は、前記読み出し回路に含まれる第1トランジスタが設けられた第1半導体基板と、前記第1半導体基板の一方の面側に配置され、前記読み出し回路に含まれる第2トランジスタが設けられた半導体膜と、を有する。

[0009] これによれば、読み出し回路に含まれる全てのトランジスタが基板表面のみに配置される場合と比べて、トランジスタの配置領域の面積を増大することができるので、読み出し回路のレイアウトの自由度が向上する。例えば、第1半導体基板に増幅トランジスタを配置し、第1半導体基板に積層された半導体膜に選択トランジスタとリセットトランジスタとを配置することができる。これにより、増幅トランジスタのゲート面積を最大化することができる。

図面の簡単な説明

[0010] [図1]図 1 は、本開示の実施形態 1 に係る撮像装置の構成例を示す模式図である。

[図2]図 2 は、本開示の実施形態 1 に係る画素ユニットの構成例を示す回路図である。

[図3]図 3 は、本開示の実施形態 1 に係る撮像装置 1 の構成例を示す厚さ方向の断面図である。

[図4A]図 4 A は、本開示の実施形態 1 に係る画素ユニットの構成例を示す水平方向の断面図である。

[図4B]図 4 B は、本開示の実施形態 1 に係る画素ユニットの構成例を示す水平方向の断面図である。

[図4C]図 4 C は、本開示の実施形態 1 に係る画素ユニットの構成例を示す水平方向の断面図である。

[図5]図 5 は、本開示の実施形態 1 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図6]図 6 は、本開示の実施形態 1 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図7]図 7 は、本開示の実施形態 1 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図8]図 8 は、本開示の実施形態 1 に係る撮像装置の製造方法を示す断面図である。

[図9]図 9 は、本開示の実施形態 1 に係る撮像装置の製造方法を示す断面図である。

[図10]図 1 0 は、本開示の実施形態 1 に係る撮像装置の製造方法を示す断面図である。

[図11]図 1 1 は、本開示の実施形態 1 に係る撮像装置の製造方法を示す断面図である。

[図12]図 1 2 は、本開示の実施形態 1 に係る撮像装置の製造方法を示す断面図である。

[図13]図 1 3 は、本開示の実施形態 1 に係る撮像装置の製造方法を示す断面図である。

[図14]図 1 4 は、本開示の実施形態 1 に係る撮像装置の製造方法を示す断面図である。

[図15]図 1 5 は、本開示の実施形態 2 に係る撮像装置の製造方法を示す断面図である。

[図16]図 1 6 は、本開示の実施形態 2 に係る撮像装置の製造方法を示す断面図である。

[図17]図 1 7 は、本開示の実施形態 3 に係る撮像装置の構成例を示す厚さ方向の断面図である。

[図18]図 1 8 は、本開示の実施形態 3 に係る撮像装置の構成例を示す厚さ方向の断面図である。

[図19]図 1 9 は、本開示の実施形態 3 に係る撮像装置の構成例を示す厚さ方向の断面図である。

[図20]図 2 0 は、本開示の実施形態 3 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図21]図 2 1 は、本開示の実施形態 3 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図22]図 2 2 は、本開示の実施形態 3 に係る複数の画素ユニットのレイアウト例を示す水平方向の断面図である。

[図23]図 2 3 は、本開示の実施形態 4 に係る撮像装置の構成例を示す厚さ方向の断面図である。

発明を実施するための形態

[0011] 以下において、図面を参照して本開示の実施形態を説明する。以下の説明で参照する図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきもの

である。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることは勿論である。

[0012] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を 90° 回転して観察すれば上下は左右に変換して読まれ、 180° 回転して観察すれば上下は反転して読まれることは勿論である。

[0013] また、以下の説明では、X軸方向、Y軸方向及びZ軸方向の文言を用いて、方向を説明する場合がある。例えば、Z軸方向は、後述する第1基板部10及び第2基板部20を含む積層体の厚さ方向である。X軸方向及びY軸方向は、Z軸方向と直交する方向である。X軸方向、Y軸方向及びZ軸方向は、互いに直交する。以下の説明では、X軸方向とY軸方向とに平行な方向を水平方向ともいう。また、以下の説明において、平面視とは、Z軸方向から見ることを意味する。

[0014] (実施形態1)

図1は、本開示の実施形態1に係る撮像装置1の構成例を示す模式図である。撮像装置1は、第1基板部10と、第2基板部20と、第3基板部30とを備えている。撮像装置1は、第1基板部10と、第2基板部20と、第3基板部30とを貼り合わせて構成された3次元構造の撮像装置である。第1基板部10と、第2基板部20と、第3基板部30は、この順に積層されている。

[0015] 第1基板部10は、半導体基板11に、光電変換を行う複数のセンサ画素12を有している。複数のセンサ画素12は、第1基板部10における画素領域13内に行列状に設けられている。第2基板部20は、センサ画素12から出力された電荷に基づく画素信号を出力する読み出し回路22を4つのセンサ画素12ごとに1つずつ有している。第2基板部20は、行方向に延在する複数の画素駆動線23と、列方向に延在する複数の垂直信号線24とを有している。なお、第3基板部30はボトム(Bottom)基板と呼んでもよい。

- [0016] 後述するように、第2基板部20は、2枚の基板を積層した構造であり、下側基板210と、上側基板220とを有する。下側基板210は第1半導体基板211（図3参照）を含み、上側基板220は第2半導体基板221（図3参照）を含む。第1半導体基板211は、読み出し回路22に含まれる第1トランジスタが設けられている。第2半導体基板221には、読み出し回路22に含まれる第2トランジスタが設けられている。なお、上側基板220はトップ（Top）基板と呼んでもよい。下側基板210はミドル（Middle）基板と呼んでもよい。
- [0017] 第3基板部30は、半導体基板301に、画素信号を処理するロジック回路32を有している。ロジック回路32は、例えば、垂直駆動回路33、カラム信号処理回路34、水平駆動回路35およびシステム制御回路36を有している。ロジック回路32（具体的には水平駆動回路35）は、センサ画素12ごとの出力電圧 V_{out} を外部に出力する。ロジック回路32では、例えば、ソース電極およびドレイン電極と接する不純物拡散領域の表面に、 $CoSi_2$ や $NiSi$ などのサリサイド（Self Aligned Silicide）プロセスを用いて形成されたシリサイドからなる低抵抗領域が形成されていてもよい。
- [0018] 垂直駆動回路33は、例えば、複数のセンサ画素12を行単位で順に選択する。カラム信号処理回路34は、例えば、垂直駆動回路33によって選択された行の各センサ画素12から出力される画素信号に対して、相関二重サンプリング（Correlated Double Sampling: CDS）処理を施す。カラム信号処理回路34は、例えば、CDS処理を施すことにより、画素信号の信号レベルを抽出し、各センサ画素12の受光量に応じた画素データを保持する。水平駆動回路35は、例えば、カラム信号処理回路34に保持されている画素データを順次、外部に出力する。システム制御回路36は、例えば、ロジック回路32内の各ブロック（垂直駆動回路33、カラム信号処理回路34および水平駆動回路35）の駆動を制御する。

[0019] 図2は、本開示の実施形態1に係る画素ユニットPUの構成例を示す回路図である。図2に示すように、撮像装置1では、4つのセンサ画素12が1つの読み出し回路22に電氣的に接続されて、1つの画素ユニットPUを構成している。4つのセンサ画素12は、1つの読み出し回路22を共有しており、4つのセンサ画素12の各出力は共有する読み出し回路22に入力される。

[0020] 各センサ画素12は、互いに共通の構成要素を有している。図2では、各センサ画素12の構成要素を互いに区別するために、各センサ画素12の構成要素の符号（例えば、後述のPD、TG、FD）の末尾に識別番号（1，2，3，4）が付与されている。以下では、各センサ画素12の構成要素を互いに区別する必要がある場合には、各センサ画素12の構成要素の符号の末尾に識別番号を付与するが、各センサ画素12の構成要素を互いに区別する必要のない場合には、各センサ画素12の構成要素の符号の末尾の識別番号を省略するものとする。

[0021] 各センサ画素12は、例えば、フォトダイオードPD（光電変換素子の一例）と、フォトダイオードPDと電氣的に接続された転送トランジスタTRと、転送トランジスタTRを介してフォトダイオードPDから出力された電荷を一時的に保持するフローティングディフュージョンFDとを有している。フォトダイオードPDは、光電変換を行って受光量に応じた電荷を発生する。フォトダイオードPDのカソードが転送トランジスタTRのソースに電氣的に接続されており、フォトダイオードPDのアノードが基準電位線（例えばグラウンド）に電氣的に接続されている。転送トランジスタTRのドレインがフローティングディフュージョンFDに電氣的に接続され、転送トランジスタTRのゲート電極は画素駆動線23に電氣的に接続されている。転送トランジスタTRは、例えば、CMOS（Complementary Metal Oxide Semiconductor）トランジスタである。

[0022] 1つの読み出し回路22を共有する各センサ画素12のフローティングデ

ィフュージョンFDは、互いに電氣的に接続されるとともに、共通の読み出し回路22の入力端に電氣的に接続されている。読み出し回路22は、例えば、増幅トランジスタAMP（第1トランジスタの一例）と、リセットトランジスタRST及び選択トランジスタSEL（第2トランジスタの一例）とを有している。なお、選択トランジスタSELは、必要に応じて省略してもよい。

[0023] リセットトランジスタRSTのソース（読み出し回路22の入力端）がフローティングディフュージョンFDに電氣的に接続されており、リセットトランジスタRSTのドレインが電源線VDDおよび増幅トランジスタAMPのドレインに電氣的に接続されている。リセットトランジスタRSTのゲート電極は画素駆動線23（図1参照）に電氣的に接続されている。増幅トランジスタAMPのソースが選択トランジスタSELのドレインに電氣的に接続されており、増幅トランジスタAMPのゲート電極がリセットトランジスタRSTのソースに電氣的に接続されている。選択トランジスタSELのソース（読み出し回路22の出力端）が垂直信号線24に電氣的に接続されており、選択トランジスタSELのゲート電極が画素駆動線23（図1参照）に電氣的に接続されている。

[0024] 転送トランジスタTRは、転送トランジスタTRがオン状態となると、フォトダイオードPDの電荷をフローティングディフュージョンFDに転送する。転送トランジスタTRのゲート電極TGは、例えば、後述の図3に示すように、半導体基板11の表面からウェル層WEを貫通してフォトダイオードPDに達する深さまで延在している。リセットトランジスタRSTは、フローティングディフュージョンFDの電位を所定の電位にリセットする。リセットトランジスタRSTがオン状態となると、フローティングディフュージョンFDの電位を電源線VDDの電位にリセットする。選択トランジスタSELは、読み出し回路22からの画素信号の出力タイミングを制御する。

[0025] 増幅トランジスタAMPは、画素信号として、フローティングディフュージョンFDに保持された電荷のレベルに応じた電圧の信号を生成する。増幅

トランジスタAMPは、ソースフォロア型のアンプを構成しており、フォトダイオードPDで発生した電荷のレベルに応じた電圧の画素信号を出力するものである。増幅トランジスタAMPは、選択トランジスタSELがオン状態となると、フローティングディフュージョンFDの電位を増幅して、その電位に応じた電圧を、垂直信号線24を介してカラム信号処理回路34に出力する。リセットトランジスタRST、増幅トランジスタAMPおよび選択トランジスタSELは、例えば、CMOSTランジスタである。

[0026] 図3は、本開示の実施形態1に係る撮像装置1の構成例を示す厚さ方向の断面図である。なお、図3に示す断面図は、あくまで模式図であり、実際の構造を厳密に正しく示すことを目的とした図ではない。図3に示す断面図は、撮像装置1の構成を紙面でわかり易く説明するために、位置sec1からsec3で、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している。具体的には、図3に示す画素ユニットPUの位置sec1における断面は、後述する図4AをA-A'線で切断した断面である。図3に示す画素ユニットPUの位置sec2における断面は、後述する図4BをB-B'線で切断した断面である。図3に示す画素ユニットPUの位置sec3における断面は、後述する図4CをC-C'線で切断した断面である。図3よりも、図4Aから図4Cの方が、撮像装置1の構造をより正確に示している。

[0027] 図3に示すように、第1基板部（ボトム基板）10のおもて面10a（一方の面の一例）側に第2基板部20が積層されている。第1基板部10のおもて面10a側に、フォトダイオードPD、転送トランジスタTR及びフローティングディフュージョンFDが設けられている。フォトダイオードPD、転送トランジスタTRおよびフローティングディフュージョンFDは、それぞれ、センサ画素12ごとに設けられている。

[0028] 第1基板部10の他方の面（例えば、裏面）は光入射面である。撮像装置1は、裏面照射型の撮像装置であり、裏面にカラーフィルタおよび受光レンズが設けられている。カラーフィルタおよび受光レンズは、それぞれ、セン

サ画素１２ごとに設けられている。

[0029] 第１基板部１０が有する半導体基板１１は、例えばシリコン基板で構成されている。半導体基板１１のおもて面の一部およびその近傍には、第１導電型（例えば、ｐ型）のウェル層WEが設けられており、ウェル層WEよりも深い領域に第２導電型（例えば、ｎ型）のフォトダイオードPDが設けられている。また、ウェル層WE内には、ウェル層WEよりもｐ型の濃度が高いウェルコンタクト層と、ｎ型のフローティングディフュージョンFD（図２参照）とが設けられている。ウェルコンタクト層は、ウェル層WEと配線との接触抵抗を低減するために設けられている。

[0030] 半導体基板１１には、互いに隣り合うセンサ画素１２同士を電氣的に分離する素子分離層１６が設けられている。素子分離層１６は、例えばSTI（Shallow Trench Isolation）構造を有し、半導体基板１１の深さ方向に延在している。素子分離層１６は、例えば、酸化シリコンによって構成されている。また、半導体基板１１において、素子分離層１６とフォトダイオードPDとの間には、不純物拡散層１７が設けられている。例えば、不純物拡散層１７は、半導体基板１１の厚さ方向に延設されたｐ型層とｎ型層とを有する。素子分離層１６側にｐ型層が位置し、フォトダイオードPD側にｎ型層が位置する。

[0031] 半導体基板１１のおもて面１１a側には、絶縁膜１５が設けられている。絶縁膜１５は、例えば、シリコン酸化膜（SiO）、シリコン窒化膜（SiN）、シリコン酸窒化膜（SiON）又はシリコン炭窒化膜（SiCN）のうちの１つ、又は、これらのうち２つ以上を積層した膜である。

[0032] 図３に示すように、第２基板部２０は、下側基板（ミドル基板）２１０と上側基板（トップ基板）２２０とを有する。下側基板２１０は、第１半導体基板２１１を有する。第１半導体基板２１１は、例えば単結晶シリコンで構成されるシリコン基板である。第１半導体基板２１１の一方の面（例えば、おもて面２１１a）側に、増幅トランジスタAMPと、増幅トランジスタAMPの周囲を囲む素子分離層２１３とが設けられている。素子分離層２１３

によって、隣り合う画素ユニットPUの一方の増幅トランジスタAMPと他方の増幅トランジスタAMPは電氣的に分離されている。

[0033] 下側基板210は、第1半導体基板211のおもて面211aを覆う絶縁膜215を有する。絶縁膜215によって、増幅トランジスタAMP及び素子分離層213は覆われている。また、下側基板210は、第1半導体基板211の他方の面（例えば、裏面211b）を覆う絶縁膜217を有する。絶縁膜215、217は、例えば、SiO、SiN、SiON又はSiCNのうちの1つ、又は、これらのうち2つ以上を積層した膜である。第1基板部10の絶縁膜15と下側基板210の絶縁膜217は互いに接合されて、層間絶縁膜51を構成している。

[0034] 上側基板220は、第2半導体基板221を有する。第2半導体基板221は、例えば単結晶シリコンで構成されるシリコン基板である。第2半導体基板221の一方の面（例えば、おもて面221a）側に、リセットトランジスタRST及び選択トランジスタSELと、素子分離層223とが設けられている。例えば、素子分離層223は、リセットトランジスタRSTと選択トランジスタSELとの間、及び、選択トランジスタSELと第2半導体基板221のウェル層との間にそれぞれ設けられている。

[0035] 上側基板220は、第2半導体基板221のおもて面221a、裏面221b及び側面を覆う絶縁膜225を有する。絶縁膜225は、例えば、SiO、SiN、SiON又はSiCNのうちの1つ、又は、これらのうち2つ以上を積層した膜である。下側基板210の絶縁膜215と上側基板220の絶縁膜225は互いに接合されて、層間絶縁膜53を構成している。

[0036] 撮像装置1は、層間絶縁膜51、53中に設けられて、第1基板部10又は第2基板部20の少なくとも一方に電氣的に接続する複数の配線L1からL10を備える。図2及び図3に示すように、配線L1は、増幅トランジスタAMPのドレインと電源線VDDとを電氣的に接続している。配線L2は、1つの画素ユニットPUに含まれる4つのフローティングディフュージョンFDと、増幅トランジスタAMPのゲート電極AGとを電氣的に接続して

いる。配線L 3は、増幅トランジスタAMPのソースと選択トランジスタSELのドレインとを電氣的に接続している。配線L 4は、選択トランジスタSELのゲート電極SGと画素駆動線23（図1参照）とを電氣的に接続している。

[0037] 配線L 5は、選択トランジスタSELのソースと垂直信号線24とを電氣的に接続している。配線L 6は、リセットトランジスタRSTのドレインと電源線VDDとを電氣的に接続している。配線L 7は、リセットトランジスタRSTのゲート電極RG（後述の図4A参照）と画素駆動線23とを電氣的に接続している。配線L 8は、リセットトランジスタRSTのソースと配線L 2とを電氣的に接続している。配線L 9（第1配線の一例）は、転送トランジスタTRのゲート電極TGと画素駆動線23（図1参照）とを電氣的に接続している。配線L 10は、ウェルコンタクト層と、基準電位（例えば、接地電位：0V）を供給する基準電位線とを電氣的に接続している。

[0038] 配線L 1からL 10において、積層体の厚さ方向に延設されている部分はタングステン（W）で構成されており、積層体の厚さ方向と直交する方向（例えば、水平方向）に延設されている部分は銅（Cu）又はCuを主成分とするCu合金で構成されている。ただし、本開示の実施形態において、配線L 1からL 10を構成する材料は、これらに限定されず、他の材料で構成されていてもよい。

[0039] 第2基板部20は、上記の配線L 1からL 10のうちの任意の配線（例えば、配線L 1、L 4からL 7、L 9、L 10）に接続する複数のパッド電極227を有する。複数のパッド電極227は、例えばCu又はCu合金で構成されている。

[0040] 第3基板部30は、第2基板部20において第1基板部10と向かい合う面の反対側（例えば、おもて面側）に配置されている。第3基板部30は、半導体基板301と、半導体基板301のおもて面301a側を覆う絶縁膜304と、半導体基板301のおもて面301a側に設けられた複数の配線L 30と、複数の配線L 30にそれぞれ接続するパッド電極305と、を備

える。なお、第3基板部30は、後述するように、第2基板部20とおもて面同士が貼り合わされている。このため、図3において、半導体基板301のおもて面301aは下側を向いている。

[0041] 半導体基板301は、例えば単結晶シリコンで構成されるシリコン基板である。半導体基板301のおもて面301a側には、ロジック回路32（図1参照）を構成する複数のトランジスタや不純物拡散層が設けられている。絶縁膜304は、ロジック回路32を構成する複数のトランジスタや不純物拡散層を覆っている。絶縁膜304には、これらのトランジスタや不純物拡散層に接続するコンタクトホールが設けられている。

[0042] 配線L30は、コンタクトホール内に設けられている。配線L30において、第3基板部30の厚さ方向に延設されている部分はチタン（Ti）又はコバルト（Co）で構成されており、第3基板部30厚さ方向と直交する方向（例えば、水平方向）に延設されている部分はCu又はCuを主成分とするCu合金で構成されている。ただし、本開示の実施形態において、配線L30を構成する材料は、これらに限定されず、他の材料で構成されていてもよい。

[0043] 配線L30と半導体基板301との接続部には、シリサイド39（例えば、チタンシリサイド（TiSi）又はコバルトシリサイド（CoSi₂）が形成されている。シリサイド39によって、配線L30と半導体基板301との接続がよりオーミックコンタクトに近いものとなり、接触抵抗が低減されている。これにより、ロジック回路32の演算速度の高速化が図られている。

[0044] なお、第1基板部10及び第2基板部20には、シリサイドは形成されていない。これにより、第1基板部10と第2基板部20とを形成する際に、シリサイドの耐熱温度を超える温度での熱処理等が可能となっている。但し、本開示の実施形態はこれに限定されるものではなく、第1基板部10及び第2基板部20の少なくとも一方にシリサイドが形成されていてもよい。

[0045] 複数のパッド電極305は、例えばCu又はCu合金で構成されている。

撮像装置 1 の厚さ方向において、第 3 基板部 30 のパッド電極 305 は、第 2 基板部 20 のパッド電極 227 と向かい合って電氣的に接続している。例えば、パッド電極 305、227 は、互いに向かい合った状態で Cu-Cu 接合されて一体化している。これにより、第 2 基板部 20 と第 3 基板部 30 とが電氣的に接続されるとともに、第 2 基板部 20 と第 3 基板部 30 との貼り合わせの強度が高められている。

[0046] 図 4 A から図 4 C は、本開示の実施形態 1 に係る画素ユニット P U の構成例を示す水平方向の断面図である。詳しく説明すると、図 4 A は、画素ユニット P U を図 3 に示す位置 s e c 1 で水平方向に切断した断面図である。位置 s e c 1 は、選択トランジスタ S E L のゲート電極 S G の上面及びリセットトランジスタ R S T のゲート電極 R G の上面と同じ高さの位置である。図 4 B は、画素ユニット P U を図 3 に示す位置 s e c 2 で水平方向に切断した断面図である。位置 s e c 2 は、増幅トランジスタ A M P のゲート電極 A G の上面と同じ高さの位置である。図 4 C は、画素ユニット P U を図 3 に示す位置 s e c 3 で水平方向に切断した断面図である。位置 s e c 1 は、転送トランジスタ T R のゲート電極 T G の上面と同じ高さの位置である。

[0047] 図 4 A から図 4 C は、それぞれ 1 つの画素ユニット P U を示しており、積層体の厚さ方向（例えば、Z 軸方向）で互いに重なる位置関係にある。図 4 A に示す選択トランジスタ S E L 及びリセットトランジスタ R S T と、図 4 B に示す増幅トランジスタ A M P と、図 4 C に示す 4 つのセンサ画素 12 は、Z 軸方向で互いに重なる。図 4 A に示すように、選択トランジスタ S E L 及びリセットトランジスタ R S T からなるトランジスタ群は、平面視で、画素ユニット P U の中心部に位置する。このトランジスタ群の外側に、配線 L 2、L 9、L 10 を含む配線群が位置する。この配線群は、平面視で、選択トランジスタ S E L 及びリセットトランジスタ R S T からなるトランジスタ群を挟んで左右対称に配置されている。また、第 2 半導体基板 221 には、素子分離層 223 によってトランジスタ群のソース及びドレインから電氣的に分離されたウェル層が設けられている。このウェル層は、配線 L 10 を介

して基準電位（例えば、接地電位：0 V）に接続されている。

[0048] 図4 Bに示すように、増幅トランジスタAMPは、平面視で、画素ユニットPUの中心部に位置する。積層体の厚さ方向において、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTは、互いに重なる位置関係にある。また、平面視で、増幅トランジスタAMPの外側に、配線L2、L9、L10を含む配線群が位置する。この配線群は、平面視で、増幅トランジスタAMPを挟んで左右対称に配置されている。

[0049] 図4 Cに示すように、1つの画素ユニットPUに含まれる4つのセンサ画素12は、素子分離層16を介して互いに近接して配置されている。また、4つのセンサ画素12の各々において、フローティングディフュージョンFDとウェル層WEとの間には、平面視で、転送トランジスタTRのゲート電極TGが介在している。ゲート電極TGによって、フローティングディフュージョンFDとウェル層WEとの間が仕切られている。図3に示したように、フローティングディフュージョンFD、ウェル層WE及びゲート電極TGの下側に、フォトダイオードPDが位置する。

[0050] 図5から図7は、本開示の実施形態1に係る複数の画素ユニットPUのレイアウト例を示す水平方向の断面図である。詳しく説明すると、図5は、撮像装置1を図3に示した位置sec3で切断した断面図である。図6は、撮像装置1を図3に示した位置sec2で切断した断面図である。図7は、第1基板部10を図3に示した位置sec1で切断した断面図である。図5から図7に示すように、撮像装置1において、複数の画素ユニットPUは、X軸方向とY軸方向とにそれぞれ一定の間隔で並んで配置されている。画素ユニットPUは、X軸方向とY軸方向とにそれぞれ繰り返し配置されている。

[0051] 次に、撮像装置1の製造方法について説明する。なお、撮像装置1は、成膜装置（CVD（Chemical Vapor Deposition）装置、スパッタ装置を含む）、イオン注入装置、熱処理装置、エッチング装置、CMP（Chemical Mechanical Polishing）装置、貼り合わせ装置など、各種の装置を用いて製造される。以下、こ

これらの装置を、製造装置と総称する。

[0052] 図8から図14は、本開示の実施形態1に係る撮像装置1の製造方法を示す断面図である。図8に示すように、製造装置は、CMOSプロセスを用いて、半導体基板11のおもて面11a側に、ウェル層WE、素子分離層16、不純物拡散層17、フォトダイオードPD、転送トランジスタTRのゲート電極TG、フローティングディフュージョンFD（図4C参照）、ウェルコンタクト層をそれぞれ形成する。次に、製造装置は、半導体基板11のおもて面11a側に絶縁膜15を形成し、その表面を平坦化する。例えば、絶縁膜15の形成はCVD法で行う。絶縁膜15の平坦化はCMPで行う。これにより、第1基板部10が完成する。

[0053] 次に、図9に示すように、製造装置は、第1基板部10のおもて面10a側に、第1半導体基板211を貼り合わせる。例えば、第1半導体基板211の裏面211bはシリコン酸化膜（SiO）等の絶縁膜217で覆われている。製造装置は、第1基板部10を構成する半導体基板11のおもて面11aと、第1半導体基板211の裏面211bとを互いに対向させる。そして、製造装置は、半導体基板11のおもて面11aを覆う絶縁膜15と、第1半導体基板211の裏面211bを覆う絶縁膜217とを互いに密着させて、熱処理を施す。これにより、図9に示すように、絶縁膜15、217が互いに一体化して層間絶縁膜51となり、半導体基板11と第1半導体基板211は層間絶縁膜51を介して互いに接合される。その後、製造装置は、第1半導体基板211のおもて面211a側を研削して、第1半導体基板211を薄肉化する（すなわち、厚みを小さくする）。第1半導体基板211の箔肉化は、CMPで行う。

[0054] 次に、図10に示すように、製造装置は、CMOSプロセスを用いて、箔肉化された第1半導体基板211のおもて面211a側に、素子分離層213と増幅トランジスタAMPとを形成する。例えば、製造装置は、素子分離層213を形成した後、第2半導体基板221のおもて面221a上に増幅トランジスタAMPのゲート電極AGを形成する。次に、製造装置は、ゲー

ト電極A Gの両側に増幅トランジスタAMPのソース及びドレインを形成する。その後、製造装置は、第2半導体基板221のおもて面221a側に絶縁膜215をCVD法で形成し、その表面をCMP法で平坦化する。

[0055] 次に、図11に示すように、製造装置は、第1半導体基板211のおもて面211a側に、第2半導体基板221を貼り合わせる。例えば、第2半導体基板221の裏面211bはシリコン酸化膜(SiO₂)等の絶縁膜225Aで覆われている。絶縁膜225Aは、絶縁膜225(図3参照)の一部である。製造装置は、第1半導体基板211のおもて面211aと、第2半導体基板221の裏面221bとを互いに対向させる。そして、製造装置は、第1半導体基板211のおもて面211aを覆う絶縁膜215と、第2半導体基板221の裏面221bを覆う絶縁膜225Aとを互いに密着させて、熱処理を施す。これにより、図11に示すように、絶縁膜215、225Aが互いに一体化して層間絶縁膜53となり、第1半導体基板211と第2半導体基板221は層間絶縁膜53を介して互いに接合される。その後、製造装置は、第2半導体基板221のおもて面221a側を研削して、第2半導体基板221を薄肉化する。第2半導体基板221の箔肉化は、CMPで行う。

[0056] 次に、図12に示すように、製造装置は、第2半導体基板221を部分的に除去して、第2半導体基板221を平面視で島状に形成する。第2半導体基板221の部分的除去は、例えばフォトリソグラフィ技術を用いてレジストパターンを形成し、レジストパターンをマスクに第2半導体基板221をドライエッチングすることにより行われる。このドライエッチングでは、第2半導体基板221下の絶縁膜225Aがエッチングストッパーとして用いる。

[0057] また、第2半導体基板221を島状に形成する工程と前後して、または並行して、製造装置は、第2半導体基板221のおもて面221a側に、素子分離層223と選択トランジスタSELとリセットトランジスタRSTとをCMOSプロセスを用いて形成する。例えば、製造装置は、素子分離層21

3を形成した後、第2半導体基板221のおもて面221a上に選択トランジスタSELのゲート電極SGとリセットトランジスタRSTのゲート電極RGとを形成する。ゲート電極SG、RGは、同一の工程で同時に形成してもよい。次に、製造装置は、ゲート電極SGの両側に選択トランジスタSELのソース及びドレインを形成する。また、製造装置は、ゲート電極RGの両側にリセットトランジスタRSTのソース及びドレインを形成する。選択トランジスタSELのソース及びドレインと、リセットトランジスタRSTのソース及びドレインは、同一の工程で同時に形成してもよい。

[0058] なお、第2半導体基板221を島状に形成する工程は、後述する素子分離層223、選択トランジスタSEL及びリセットトランジスタRSTを形成する工程の前に行ってもよいし、後に行ってもよいし、並行して行ってもよい。

[0059] 素子分離層223、選択トランジスタSEL及びリセットトランジスタRSTを形成する工程と、第2半導体基板221を島状に形成する工程とが行われた後、製造装置は、第2半導体基板221のおもて面221a側に絶縁膜225BをCVD法で形成する。絶縁膜225Bは、絶縁膜225の一部である。次に、製造装置は、絶縁膜225Bの表面をCMP法で平坦化する。

[0060] 次に、図13に示すように、製造装置は、図3、図4Aから4Cに示した配線L1からL10と、複数のパッド電極227と、絶縁膜225Cとを形成する。絶縁膜225Cは、絶縁膜225の一部である。例えば、製造装置は、絶縁膜又は半導体基板に対するコンタクトホール形成工程と、絶縁膜上及びコンタクトホール内への金属材料の形成工程と、金属材料のパターニング工程と、絶縁膜の形成工程と、絶縁膜の平坦化工程とを複数回繰り返す。上述したように、垂直方向に延びる配線はタングステン(W)で形成し、水平方向に延びる配線とパッド電極はCu又はCu合金で形成する。製造装置は、パッド電極227を覆うように絶縁膜225Cを形成した後、絶縁膜225Cの表面をCMP法で平坦化して、絶縁膜225C下からパッド

電極 227 のおもて面 227a を露出させる。これにより、第 2 基板部 20 が完成する。

[0061] 第 1 基板部 10 及び第 2 基板部 20 の形成工程と前後して、又は並行して、製造装置は、図 14 に示すように、第 3 基板部 30 を作製する。例えば、製造装置は、CMOS プロセスを用いて、半導体基板 301 のおもて面 301a 側にロジック回路 32 (図 1 参照) を形成する。ロジック回路 32 の形成工程では、半導体基板 301 と配線 L 30 との接続領域にシリサイド 39 を形成する。シリサイド 39 は、半導体基板 301 を構成する材料と配線 L 30 を構成する材料との化合物で構成される。例えば、ロジック回路 32 の形成工程では、 CoSi_2 や NiSi などのシリサイド (Self Aligned Silicide) プロセスを用いて、半導体基板 301 の不純物拡散領域の表面にシリサイドを形成する。

[0062] ここで、センサ画素 12 は第 1 基板部 10 に形成され、読み出し回路 22 は第 2 基板部 20 に形成され、ロジック回路 32 は、第 3 基板部 30 に形成される。第 1 基板部 10 のセンサ画素 12 や、第 2 基板部 20 の読み出し回路 22 にはシリサイドは形成されない。このため、上述のセンサ画素 12 や読み出し回路 22 を形成する工程では、シリサイドの耐熱温度に制限されることなく、熱酸化などの高温プロセスを行うことができる。

[0063] 第 3 基板部 30 が形成された後、製造装置は、第 3 基板部 30 を構成する半導体基板 301 のおもて面 301a と、第 2 基板部 20 を構成する第 2 半導体基板 221 のおもて面 221a とを互いに対向させる。そして、製造装置は、半導体基板 301 のおもて面 301a 側に位置する絶縁膜 304 と、第 2 半導体基板 221 のおもて面 221a 側に位置する絶縁膜 225 とを互いに密着させて、熱処理を施す。これにより、図 3 に示したように、絶縁膜 304、225 は互いに一体化して層間絶縁膜となり、第 2 半導体基板 221 と半導体基板 301 は層間絶縁膜を介して互いに接合される。第 1 基板部 10 の半導体基板 11 と、第 2 基板部 20 の第 1 半導体基板 211 及び第 2 半導体基板 221 と、第 3 基板部 30 の半導体基板 301 は、絶縁膜を介し

てシーケンシャルに積層される。

[0064] また、この熱処理を施す工程では、第3基板部30のパッド電極305と第2基板部20のパッド電極227とがCu-Cu接合されて一体化する。このCu-Cu接合が、第2基板部20と第3基板部30との接合強度の向上に大きく寄与する。以上の工程を経て、撮像装置1が完成する。

[0065] 以上説明したように、本開示の実施形態1に係る撮像装置1は、光電変換を行うセンサ画素12が設けられた第1基板部10と、第1基板部10のおもて面12a側に配置され、センサ画素12から出力された電荷に基づく画素信号を出力する読み出し回路22を有する第2基板部20と、を備える。第2基板部20は、読み出し回路22に含まれる増幅トランジスタAMPが設けられた第1半導体基板211と、第1半導体基板211のおもて面211a側に配置され、読み出し回路22に含まれる選択トランジスタSELとリセットトランジスタRSTとが設けられた第2半導体基板221と、を有する。

[0066] これによれば、読み出し回路22に含まれる全てのトランジスタが1枚の半導体基板に配置される場合と比べて、トランジスタの配置領域の面積を増大することができるので、読み出し回路22のレイアウトの自由度が向上する。これにより、各画素ユニットPUで、増幅トランジスタAMPのゲート面積を最大化することができ、良好なノイズ特性を実現することができる。増幅トランジスタAMPの面積を最大化することによって、撮像装置1で生じるランダムノイズを低減することが可能となる。

[0067] (実施形態2)

上記の実施形態1では、第2基板部20の製造方法として、第1半導体基板211上に第2半導体基板221を積層することを説明した。しかしながら、本開示の実施形態において、第2基板部20の製造方法はこれに限定されない。

[0068] 図15及び図16は、本開示の実施形態2に係る撮像装置1Aの製造方法を示す断面図である。図15において、第2半導体基板221のおもて面2

21a側に絶縁膜215を形成し、その表面を平坦化される工程までは、実施形態1と同じである。絶縁膜215が平坦化された後、製造装置は、絶縁膜215上に半導体膜221Aを形成する。例えば、半導体膜221Aとして、ポリシリコン(Poly-Si)、ポリゲルマニウム(Poly-Ge)、IGZO(InGaZnO)などの酸化物半導体、2D材料(原子1個から数個分の厚みしかない事実上の2次元材料)、III-V族半導体のいずれか1つ、または、これらのいずれか1つ以上を含む積層膜などが挙げられる。

[0069] 次に、図16に示すように、製造装置は、半導体膜221Aを部分的に除去して、半導体膜221Aを平面視で島状に形成する。半導体膜221Aの部分的除去は、例えばフォトリソグラフィ技術を用いてレジストパターンを形成し、レジストパターンをマスクに半導体膜221Aをドライエッチングすることにより行われる。このドライエッチングでは、絶縁膜215がエッチングストッパーとして用いる。

[0070] また、半導体膜221Aを島状に形成する工程と前後して、または並行して、製造装置は、半導体膜221Aのおもて面221Aa側に、素子分離層223と選択トランジスタSELとリセットトランジスタRST(図4A参照)とをCMOSプロセスを用いて形成する。例えば、製造装置は、素子分離層213を形成した後、半導体膜221Aのおもて面221Aa上に選択トランジスタSELのゲート電極SGとリセットトランジスタRSTのゲート電極RGとを形成する。ゲート電極SG、RGは、同一の工程で同時に形成してもよい。次に、製造装置は、ゲート電極SGの両側に選択トランジスタSELのソース及びドレインを形成する。また、製造装置は、ゲート電極RGの両側にリセットトランジスタRSTのソース及びドレインを形成する。選択トランジスタSELのソース及びドレインと、リセットトランジスタRSTのソース及びドレインは、同一の工程で同時に形成してもよい。

[0071] なお、半導体膜221Aを島状に形成する工程は、後述する素子分離層223、選択トランジスタSEL及びリセットトランジスタRSTを形成する

工程の前に行ってもよいし、後に行ってもよいし、並行して行ってもよい。

[0072] これ以降の工程は、実施形態1と同じである。製造装置は、半導体膜221Aのおもて面221Aa側に絶縁膜225B（図12参照）を形成し、その表面を平坦化する。次に、製造装置は、図3、図4Aから図4Cに示した配線L1からL10と、複数のパッド電極227（図13参照）と、絶縁膜225C（図13参照）とを形成する。そして、製造装置は、絶縁膜225C下からパッド電極227のおもて面227a（図13参照）を露出させる。これにより、第2基板部20が完成する。第2基板部20の形成後、製造装置は、第2基板部20に第3基板部30を貼り合わせる。これにより、撮像装置1Aが完成する。

[0073] 本開示の実施形態2に係る撮像装置1Aは、光電変換を行うセンサ画素を有する第1基板部10と、第1基板部10のおもて面12a側に配置され、センサ画素12から出力された電荷に基づく画素信号を出力する読み出し回路22を有する第2基板部20Aと、を備える。第2基板部20Aは、読み出し回路22に含まれる増幅トランジスタAMPが設けられた第1半導体基板211と、第1半導体基板211のおもて面211a側に配置され、読み出し回路22に含まれる選択トランジスタSELとリセットトランジスタRSTとが設けられた半導体膜221Aと、を有する。

[0074] これによれば、読み出し回路22に含まれるトランジスタが基板表面のみに配置される場合と比べて、トランジスタの配置領域の面積を増大することができるので、読み出し回路22のレイアウトの自由度が向上する。これにより、各画素ユニットPUで、増幅トランジスタAMPのゲート面積を最大化することができ、良好なノイズ特性を実現することができる。増幅トランジスタAMPの面積を最大化することによって、撮像装置1で生じるランダムノイズを低減することが可能となる。

[0075] 増幅トランジスタに要求されるノイズ特性と比べて、選択トランジスタ及びリセットトランジスタに要求されるノイズ特性は厳しくない。このため、実施形態2のように、選択トランジスタSEL及びリセットトランジスタR

S Tを、単結晶の半導体基板ではなくポリシリコン等の半導体膜221Aに形成する場合でも、撮像装置1Aは良好なノイズ特性を実現することができる。

[0076] (実施形態3)

上記の実施形態1では、複数のセンサ画素12の各々に、フローティングディフュージョンFDに電氣的に接続する配線L2（すなわち、フローティングディフュージョン用コンタクト）と、ウェル層WEに電氣的に接続する配線L10（すなわち、ウェル用コンタクト）とがそれぞれ1つずつ配置される構造を説明した（図4参照）。しかしながら、本開示の実施形態はこれに限定されない。本開示の実施形態では、複数のセンサ画素12ごとに、1つのフローティングディフュージョン用コンタクトが配置されていてもよい。例えば、互いに隣り合う4つのセンサ画素12が、1つのフローティングディフュージョン用コンタクトを共有していてもよい。同様に、複数のセンサ画素12ごとに、1つのウェル用コンタクトが配置されていてもよい。例えば、互いに隣り合う4つのセンサ画素12が、1つのウェル用コンタクトを共有していてもよい。

[0077] 図17から図19は、本開示の実施形態3に係る撮像装置1Bの構成例を示す厚さ方向の断面図である。図20から図22は、本開示の実施形態3に係る複数の画素ユニットPUのレイアウト例を示す水平方向の断面図である。なお、図17から図19に示す断面図は、あくまで模式図であり、実際の構造を厳密に正しく示すことを目的とした図ではない。図17から図19に示す断面図は、撮像装置1Bの構成を紙面でわかり易く説明するために、位置sec1からsec3で、トランジスタや不純物拡散層の水平方向における位置を意図的に変えて示している。

[0078] 具体的には、図17に示す撮像装置1Bの画素ユニットPUにおいて、位置sec1における断面は図20をA1-A1'線で切断した断面であり、位置sec2における断面は図21をB1-B1'線で切断した断面であり、位置sec3における断面は図22をC1-C1'線で切断した断面であ

る。同様に、図18に示す撮像装置1Bにおいて、位置sec1における断面は図20をA2-A2'線で切断した断面であり、位置sec2における断面は図21をB2-B2'線で切断した断面であり、位置sec3における断面は図22をC2-C2'線で切断した断面である。図19に示す撮像装置1Bにおいて、位置sec1における断面は図20をA3-A3'線で切断した断面であり、位置sec2における断面は図21をB3-B3'線で切断した断面であり、位置sec3における断面は図22をC3-C3'線で切断した断面である。

[0079] 図18及び図22に示すように、撮像装置1Bは、複数のセンサ画素12に跨るように配置された共通パッド電極102（本開示の「第1共通パッド電極」の一例）と、共通パッド電極102上に設けられた1つの配線L2と、を共有する。例えば、撮像装置1Bには、平面視で、4つのセンサ画素12の各フローティングディフュージョンFD1からFD4が素子分離層16を介して互いに隣り合う領域が存在する。この領域に共通パッド電極102が設けられている。共通パッド電極102は、4つのフローティングディフュージョンFD1からFD4に跨るように配置されており、4つのフローティングディフュージョンFD1からFD4とそれぞれ電氣的に接続している。共通パッド電極102は、例えば、n型不純物又はp型不純物がドーパされたポリシリコン膜で構成されている。

[0080] 共通パッド電極102の中心部上に1つの配線L2（すなわち、フローティングディフュージョン用コンタクト）が設けられている。図18、図20から図22に示すように、共通パッド電極102の中心部上に設けられた配線L2は、第1基板部10から、第2基板部20の下側基板210を貫いて第2基板部20の上側基板220まで延設されており、上側基板220に設けられた配線等を介して、増幅トランジスタAMPのゲート電極AGに接続している。

[0081] また、図17及び図22に示すように、撮像装置1Bは、複数のセンサ画素12に跨るように配置された共通パッド電極110（本開示の「第2共通

パッド電極」の一例)と、共通パッド電極110上に設けられた1つの配線L10と、を共有する。例えば、撮像装置1Bには、平面視で、4つのセンサ画素12の各ウェル層WEが素子分離層16を介して互いに隣り合う領域が存在する。この領域に共通パッド電極110が設けられている。共通パッド電極110は、4つのセンサ画素12の各ウェル層WEに跨るように配置されており、4つのセンサ画素12の各ウェル層WEとそれぞれ電氣的に接続している。一例を挙げると、共通パッド電極110は、Y軸方向に並ぶ一の共通パッド電極102と他の共通パッド電極102との間に配置されている。Y軸方向において、共通パッド電極102、110は交互に並んで配置されている。共通パッド電極110は、例えば、n型不純物又はp型不純物がドーピングされたポリシリコン膜で構成されている。

[0082] 共通パッド電極110の中心部上に1つの配線L10(すなわち、ウェル用コンタクト)が設けられている。図17、図19から図22に示すように、共通パッド電極110の中心部上に設けられた配線L10は、第1基板部10から、第2基板部20の下側基板210を貫いて第2基板部20の上側基板220まで延設されており、上側基板220に設けられた配線等を介して、基準電位(例えば、接地電位:0V)を供給する基準電位線に接続している。

[0083] 共通パッド電極110の中心部上に設けられた配線L10は、共通パッド電極110の上面と、下側基板210に設けられた貫通孔の内側面と、上側基板220に設けられた貫通孔の内側面とに、それぞれ電氣的に接続している。これにより、第1基板部10の半導体基板11のウェル層WEと、第2基板部20の下側基板210のウェル層及び上側基板220のウェル層は、基準電位(例えば、接地電位:0V)に接続される。

[0084] 本開示の実施形態3に係る撮像装置1Bは、実施形態1に係る撮像装置1と同様の効果を奏する。また、撮像装置1Bは、第1基板部10を構成する半導体基板11のおもて面11a側に設けられ、互いに隣り合う複数(例えば、4つ)のセンサ画素12に跨るように配置された共通パッド電極102

、１１０、をさらに備える。共通パッド電極１０２は、４つのセンサ画素１２のフローティングディフュージョンＦＤと電氣的に接続している。共通パッド電極１１０は、４つのセンサ画素１２のウェル層ＷＥと電氣的に接続している。これによれば、４つのセンサ画素１２ごとに、フローティングディフュージョンＦＤに接続する配線Ｌ２を共通化することができる。４つのセンサ画素１２ごとに、ウェル層ＷＥに接続する配線Ｌ１０を共通化することができる。これにより、配線Ｌ２、Ｌ１０の本数を低減することができるので、センサ画素１２の面積低減が可能であり、撮像装置１Ｂの小型化が可能である。

[0085] （実施形態４）

上記の実施形態１では、互いに隣り合うセンサ画素１２同士を電氣的に分離する素子分離層１６が半導体基板１１に設けられていることを説明した。本開示の実施形態では、素子分離層１６は、半導体基板１１のおもて面１１ａから裏面１１ｂに向けて設けられていてもよいし、裏面１１ｂからおもて面１１ａに向けて設けられていてもよい。実施形態１に係る撮像装置１は、例えば、半導体基板１１のおもて面１１ａから裏面１１ｂに向けて素子分離層１６が設けられた構造である。実施形態４では、半導体基板１１の裏面１１ｂからおもて面１１ａに向けて素子分離層１６が設けられた構造を例示する。

[0086] 図２３は、本開示の実施形態４に係る撮像装置１Ｃの構成例を示す厚さ方向の断面図である。図２３に示すように、撮像装置１Ｃにおいて、素子分離層１６は、半導体基板１１の裏面１１ｂ（すなわち、光入射面）からおもて面１１ａに向けて設けられている。例えば、素子分離層１６はＤＴＩ（Deep Trench Isolation）である。素子分離層１６は、裏面１１ｂからおもて面１１ａに向けて深いトレンチが形成され、この深いトレンチに酸化シリコン等の絶縁膜が埋め込まれることにより形成される。このような構成であっても、撮像装置１Ｃは、実施形態１に係る撮像装置１と同様の効果を奏する。

[0087] なお、図23では、素子分離層16が半導体基板11の裏面11bから、半導体基板11の内部まで設けられている構造を示しているが、これはあくまで一例である。実施形態3において、素子分離層16は半導体基板11のおもて面11aに到達していてもよい。すなわち、素子分離層16は半導体基板11を貫通していてもよい。

[0088] (その他の実施形態)

上記のように、本開示は実施形態及び変形例によって記載したが、この開示の一部をなす論述及び図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施例及び運用技術が明らかとなろう。

[0089] 例えば、上記の実施形態1では、第1半導体基板211に増幅トランジスタAMPが設けられ、第2半導体基板221に選択トランジスタSELとリセットトランジスタRSTとが設けられることを説明した。しかしながら、本開示の実施形態はこれに限定されない。第1半導体基板211に選択トランジスタSELとリセットトランジスタRSTとが設けられ、第2半導体基板221に増幅トランジスタAMPが設けられてもよい。または、第1半導体基板211に選択トランジスタSEL及びリセットトランジスタRSTの一方と、増幅トランジスタAMPとが設けられ、第2半導体基板221に選択トランジスタSEL及びリセットトランジスタRSTの他方が設けられてもよい。

[0090] 上記の実施形態2では、第1半導体基板211に増幅トランジスタAMPが設けられ、半導体膜221Aに選択トランジスタSELとリセットトランジスタRSTとが設けられることを説明した。しかしながら、本開示の実施形態はこれに限定されない。第1半導体基板211に選択トランジスタSELとリセットトランジスタRSTとが設けられ、半導体膜221Aに増幅トランジスタAMPが設けられてもよい。または、第1半導体基板211に選択トランジスタSEL及びリセットトランジスタRSTの一方と、増幅トランジスタAMPとが設けられ、半導体膜221Aに選択トランジスタSEL

及びリセットトランジスタ R S T の他方が設けられてもよい。

[0091] このように、本技術はここでは記載していない様々な実施形態等を含むことは勿論である。上述した実施形態及び変形例の要旨を逸脱しない範囲で、構成要素の種々の省略、置換及び変更のうち少なくとも1つを行うことができる。また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があってもよい。

[0092] なお、本開示は以下のような構成も取ることができる。

(1) 光電変換を行うセンサ画素を有する第1基板部と、

前記第1基板部の一方の面側に配置され、前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第2基板部と、を備え、

前記第2基板部は、

前記読み出し回路に含まれる第1トランジスタが設けられた第1半導体基板と、

前記第1半導体基板の一方の面側に配置され、前記読み出し回路に含まれる第2トランジスタが設けられた第2半導体基板と、を有する撮像装置。

(2) 光電変換を行うセンサ画素を有する第1基板部と、

前記第1基板部の一方の面側に配置され、前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第2基板部と、を備え、

前記第2基板部は、

前記読み出し回路に含まれる第1トランジスタが設けられた第1半導体基板と、

前記第1半導体基板の一方の面側に配置され、前記読み出し回路に含まれる第2トランジスタが設けられた半導体膜と、を有する撮像装置。

(3) 前記第2基板部の厚さ方向において、前記第1トランジスタと前記第2トランジスタは互いに重なる、前記(1)又は(2)に記載の撮像装置。

(4) 前記センサ画素は、

光電変換素子と、
前記光電変換素子と電氣的に接続された転送トランジスタと、
前記転送トランジスタを介して前記光電変換素子から出力された電荷を一時的に保持するフローティングディフュージョンと、を有し、
前記読み出し回路は、
前記フローティングディフュージョンの電位を所定の電位にリセットするリセットトランジスタと、
前記画素信号として、前記フローティングディフュージョンに保持された電荷のレベルに応じた電圧の信号を生成する増幅トランジスタと、
前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタと、を有し、
前記第1トランジスタは、前記増幅トランジスタであり、
前記第2トランジスタは、前記リセットトランジスタ及び前記選択トランジスタである、前記（1）から（3）のいずれか1項に記載の撮像装置。
（5）複数の前記センサ画素に1つの前記読み出し回路が電氣的に接続されて、1つの画素ユニットを構成しており、
前記第1基板部及び前記第2基板部を含む積層体の厚さ方向からの平面視で、前記画素ユニットの中心部に前記増幅トランジスタが位置する、前記（4）に記載の撮像装置。
（6）前記積層体は、前記センサ画素に電氣的に接続する配線群、を有し、
前記配線群の少なくとも一部は、前記積層体の厚さ方向からの平面視で、前記増幅トランジスタを挟んで左右対称に配置されている、前記（5）に記載の撮像装置。
（7）前記第2基板部において前記第1基板部と向かい合う面の反対側に配置される第3基板部、をさらに備え、
前記第3基板部には、前記画素信号を処理するロジック回路が設けられている、前記（1）から（6）のいずれか1項に記載の撮像装置。
（8）前記第3基板部にシリサイドが設けられている、前記（7）に記載の

撮像装置。

(9) 前記第1基板部の一方の面側に設けられ、互いに隣り合う複数の前記センサ画素に跨るように配置された第1共通パッド電極、をさらに備え、

前記センサ画素は、

光電変換素子と、

前記光電変換素子と電氣的に接続された転送トランジスタと、

前記転送トランジスタを介して前記光電変換素子から出力された電荷を一時的に保持するフローティングディフュージョンと、を有し、

前記第1共通パッド電極は、複数の前記センサ画素の前記フローティングディフュージョンに電氣的に接続する、前記(1)から(8)のいずれか1項に記載の撮像装置。

(10) 前記第1基板部の一方の面側に設けられ、互いに隣り合う複数の前記センサ画素に跨るように配置された第2共通パッド電極、をさらに備え、

前記センサ画素はウェル層を有し、

前記第2共通パッド電極は、複数の前記センサ画素の前記ウェル層に電氣的に接続する、前記(1)から(9)のいずれか1項に記載の撮像装置。

(11) 前記第1基板部に設けられ、互いに隣り合う複数の前記センサ画素間に設けられた素子分離層、をさらに備え、

前記素子分離層は、前記第1基板部の一方の面から、一方の面の反対側に位置する他方の面に向けて設けられている、前記(1)から(10)のいずれか1項に記載の撮像装置。

(12) 前記第1基板部に設けられ、互いに隣り合う複数の前記センサ画素間に設けられた素子分離層、をさらに備え、

前記素子分離層は、前記第1基板部の一方の面の反対側に位置する他方の面から、一方の面に向けて設けられている、前記(1)から(10)のいずれか1項に記載の撮像装置。

符号の説明

[0093] 1、1A、1B、1C 撮像装置

3 カラム信号処理回路

10 第1基板部（ボトム基板）

10a、11a、12a、221a、221a、221Aa、227a、3

01a おもて面

11、301 半導体基板

12 センサ画素

13 画素領域

15、215、217、225、225A、225B、225C、304

絶縁膜

16、213、223 素子分離層

17 不純物拡散層

20、20A 第2基板部

22 読み出し回路

23 画素駆動線

24 垂直信号線

30 第3基板部

32 ロジック回路

33 垂直駆動回路

34 カラム信号処理回路

35 水平駆動回路

36 システム制御回路

39 シリサイド

51、53 層間絶縁膜

102、110 共通パッド電極

210 下側基板（ミドル基板）

211 第1半導体基板

11b、211b、221b 裏面

220 上側基板（トップ基板）

2 2 1 第2半導体基板
2 2 1 A 半導体膜
2 2 7、3 0 5 パッド電極
A G ゲート電極
A M P 増幅トランジスタ
F D フローティングディフュージョン
L 1 から L 1 0、L 3 0 配線
P D フォトダイオード
P U 画素ユニット
R G ゲート電極
R S T リセットトランジスタ
s e c 1、s e c 2、s e c 3 位置
S E L 選択トランジスタ
S G ゲート電極
T G ゲート電極
T R 転送トランジスタ
V D D 電源線
V o u t 出力電圧
W E ウェル層

請求の範囲

- [請求項1] 光電変換を行うセンサ画素を有する第1基板部と、
前記第1基板部の一方の面側に配置され、前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第2基板部と、を備え、
前記第2基板部は、
前記読み出し回路に含まれる第1トランジスタが設けられた第1半導体基板と、
前記第1半導体基板の一方の面側に配置され、前記読み出し回路に含まれる第2トランジスタが設けられた第2半導体基板と、を有する撮像装置。
- [請求項2] 光電変換を行うセンサ画素を有する第1基板部と、
前記第1基板部の一方の面側に配置され、前記センサ画素から出力された電荷に基づく画素信号を出力する読み出し回路を有する第2基板部と、を備え、
前記第2基板部は、
前記読み出し回路に含まれる第1トランジスタが設けられた第1半導体基板と、
前記第1半導体基板の一方の面側に配置され、前記読み出し回路に含まれる第2トランジスタが設けられた半導体膜と、を有する撮像装置。
- [請求項3] 前記第2基板部の厚さ方向において、前記第1トランジスタと前記第2トランジスタは互いに重なる、請求項1に記載の撮像装置。
- [請求項4] 前記センサ画素は、
光電変換素子と、
前記光電変換素子と電氣的に接続された転送トランジスタと、
前記転送トランジスタを介して前記光電変換素子から出力された電荷を一時的に保持するフローティングディフュージョンと、を有し、

前記読み出し回路は、

前記フローティングディフュージョンの電位を所定の電位にリセットするリセットトランジスタと、

前記画素信号として、前記フローティングディフュージョンに保持された電荷のレベルに応じた電圧の信号を生成する増幅トランジスタと、

前記増幅トランジスタからの前記画素信号の出力タイミングを制御する選択トランジスタと、を有し、

前記第1トランジスタは、前記増幅トランジスタであり、

前記第2トランジスタは、前記リセットトランジスタ及び前記選択トランジスタである、請求項1に記載の撮像装置。

[請求項5] 複数の前記センサ画素に1つの前記読み出し回路が電氣的に接続されて、1つの画素ユニットを構成しており、

前記第1基板部及び前記第2基板部を含む積層体の厚さ方向からの平面視で、前記画素ユニットの中心部に前記増幅トランジスタが位置する、請求項4に記載の撮像装置。

[請求項6] 前記積層体は、前記センサ画素に電氣的に接続する配線群、を有し、

前記配線群の少なくとも一部は、前記積層体の厚さ方向からの平面視で、前記増幅トランジスタを挟んで左右対称に配置されている、請求項5に記載の撮像装置。

[請求項7] 前記第2基板部において前記第1基板部と向かい合う面の反対側に配置される第3基板部、をさらに備え、

前記第3基板部には、前記画素信号を処理するロジック回路が設けられている、請求項1に記載の撮像装置。

[請求項8] 前記第3基板部にシリサイドが設けられている、請求項7に記載の撮像装置。

[請求項9] 前記第1基板部の一方の面側に設けられ、互いに隣り合う複数の前

記センサ画素に跨るように配置された第1共通パッド電極、をさらに備え、

前記センサ画素は、

光電変換素子と、

前記光電変換素子と電氣的に接続された転送トランジスタと、

前記転送トランジスタを介して前記光電変換素子から出力された電荷を一時的に保持するフローティングディフュージョンと、を有し、

前記第1共通パッド電極は、複数の前記センサ画素の前記フローティングディフュージョンに電氣的に接続する、請求項1に記載の撮像装置。

[請求項10] 前記第1基板部の一方の面側に設けられ、互いに隣り合う複数の前記センサ画素に跨るように配置された第2共通パッド電極、をさらに備え、

前記センサ画素はウェル層を有し、

前記第2共通パッド電極は、複数の前記センサ画素の前記ウェル層に電氣的に接続する、請求項1に記載の撮像装置。

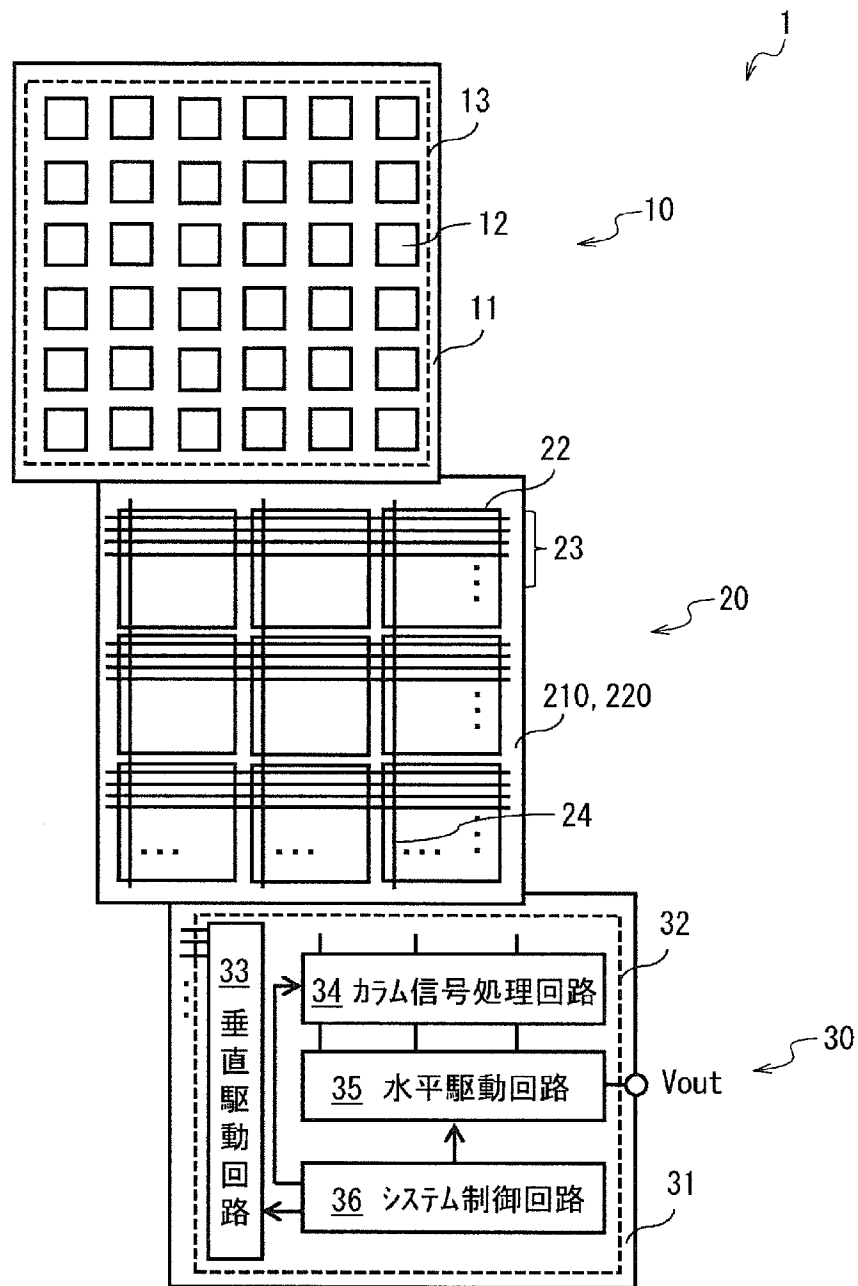
[請求項11] 前記第1基板部に設けられ、互いに隣り合う複数の前記センサ画素間に設けられた素子分離層、をさらに備え、

前記素子分離層は、前記第1基板部の一方の面から、一方の面の反対側に位置する他方の面に向けて設けられている、請求項1に記載の撮像装置。

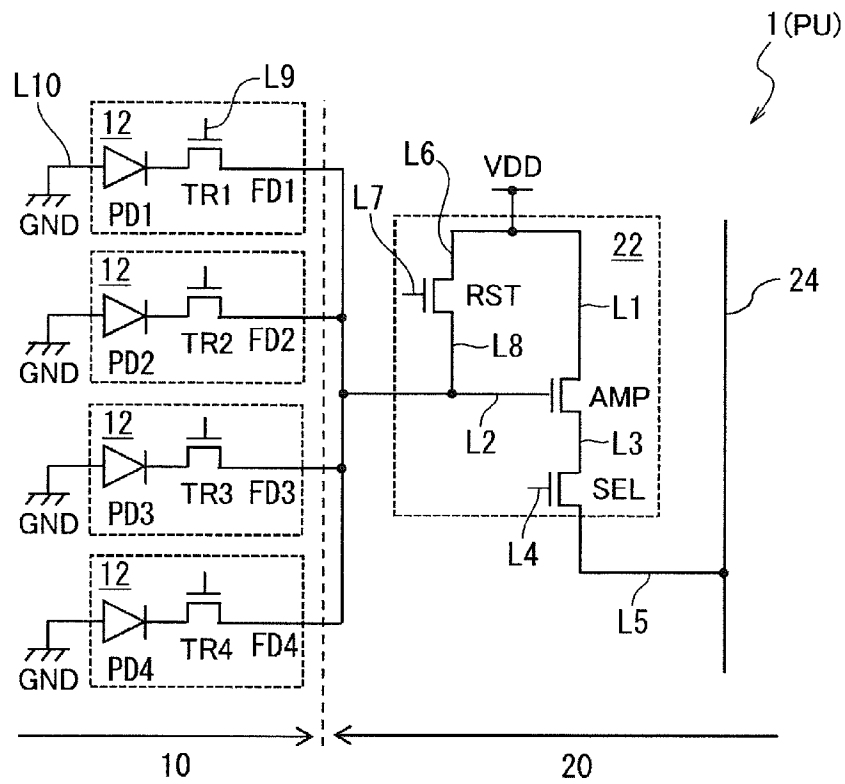
[請求項12] 前記第1基板部に設けられ、互いに隣り合う複数の前記センサ画素間に設けられた素子分離層、をさらに備え、

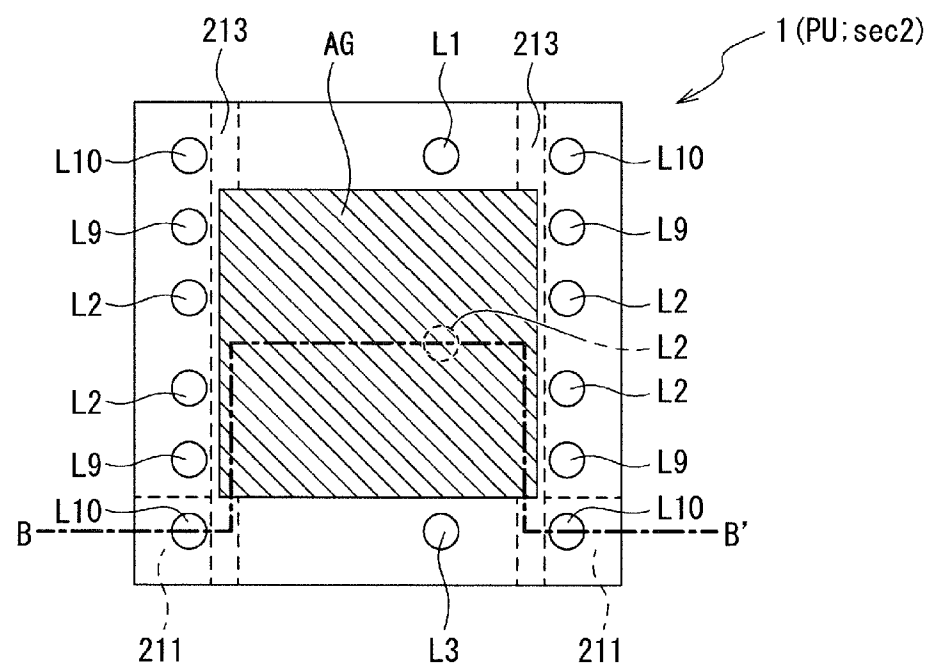
前記素子分離層は、前記第1基板部の一方の面の反対側に位置する他方の面から、一方の面に向けて設けられている、請求項1に記載の撮像装置。

[図1]

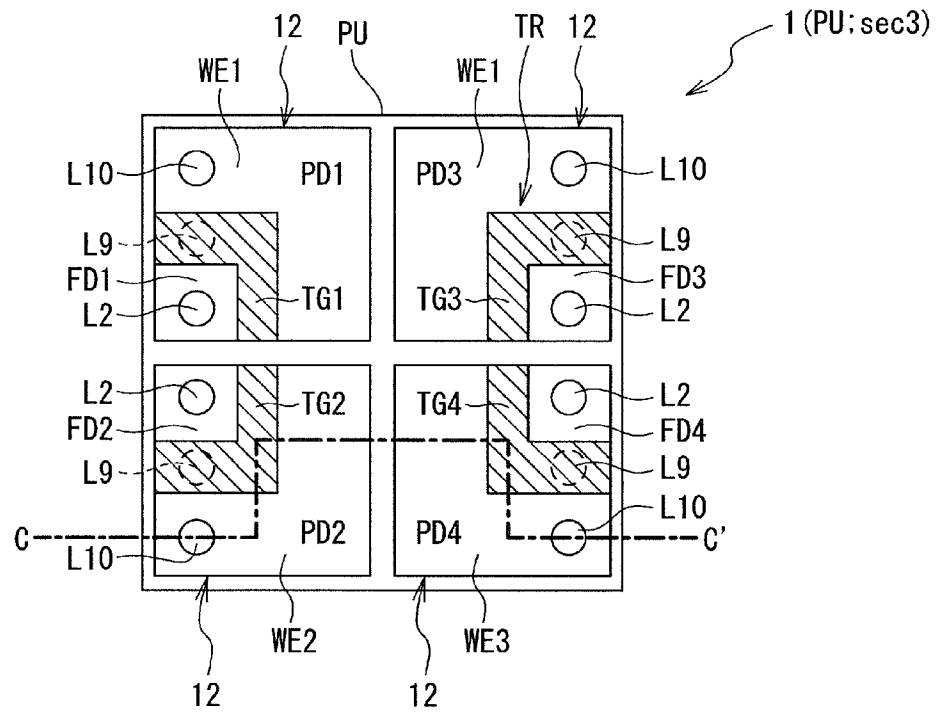


[図2]

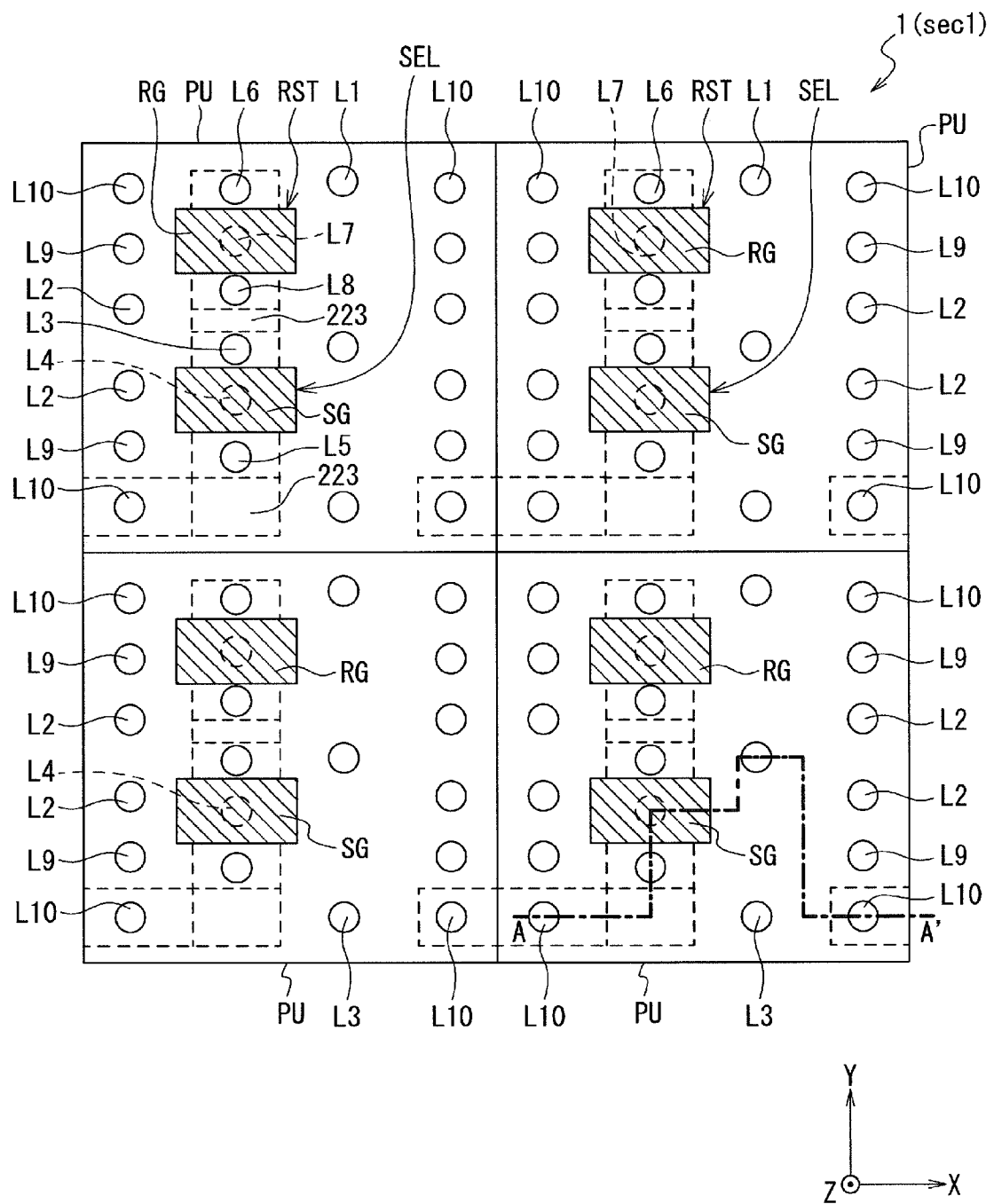




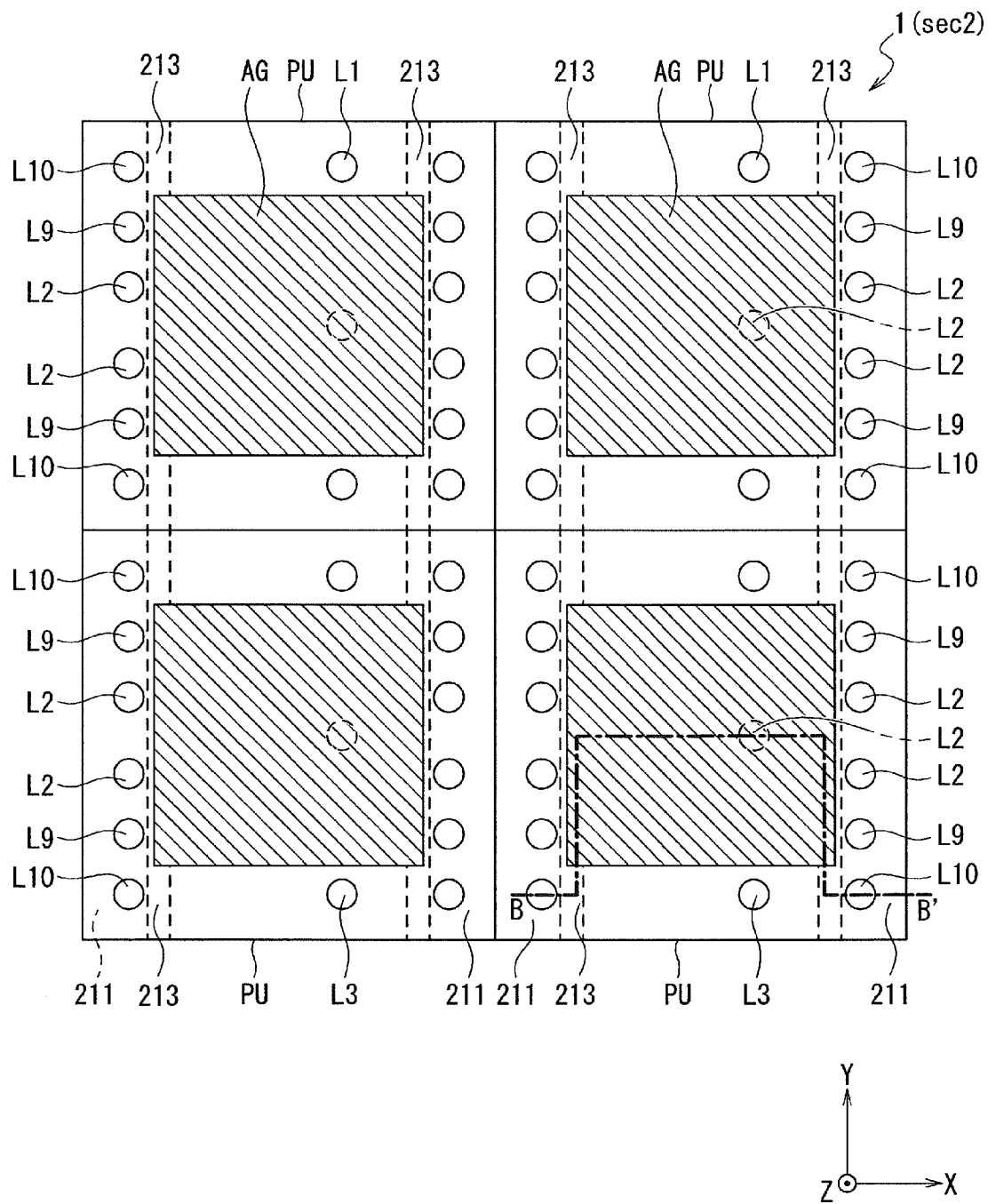
[図4C]



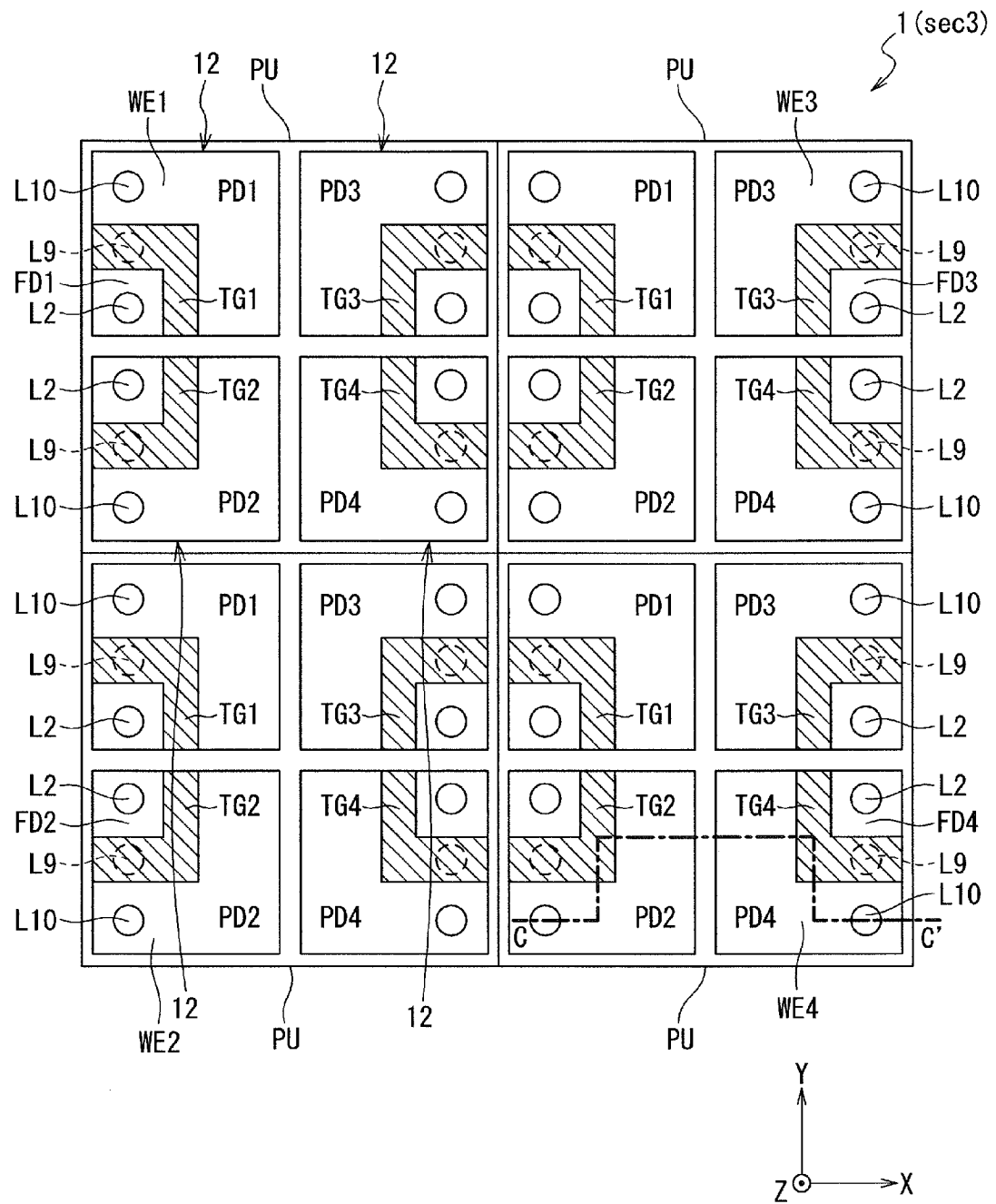
[図5]



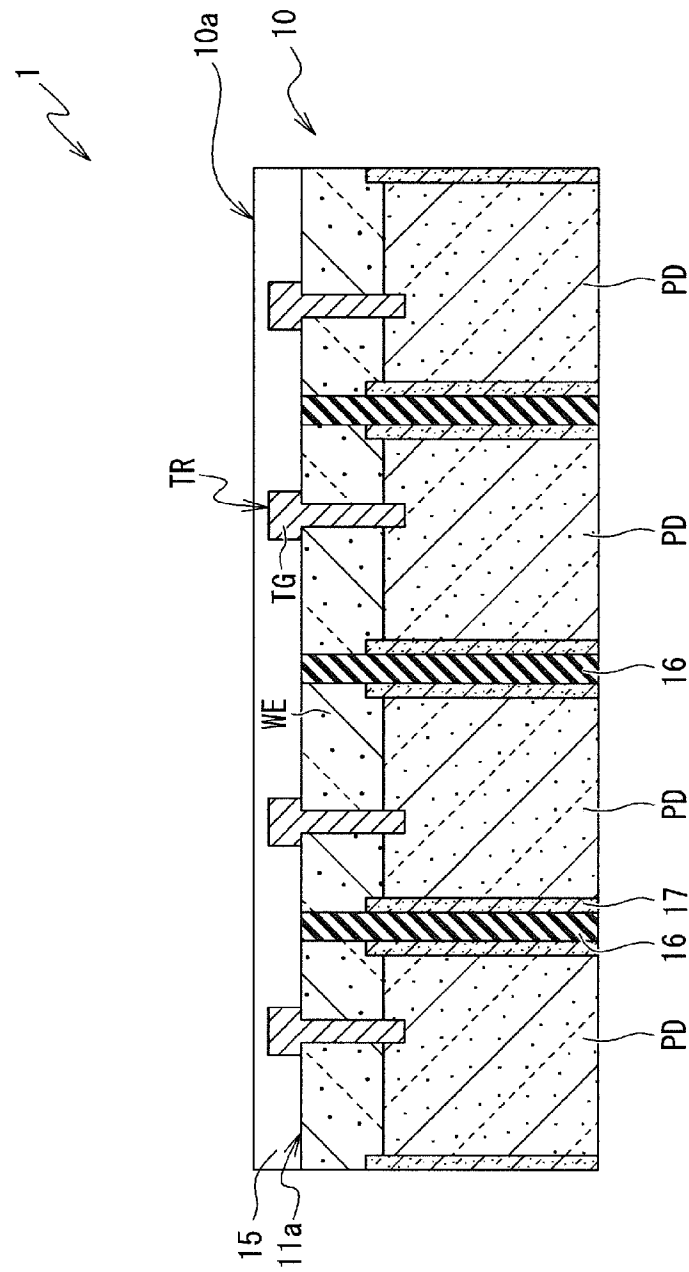
[図6]



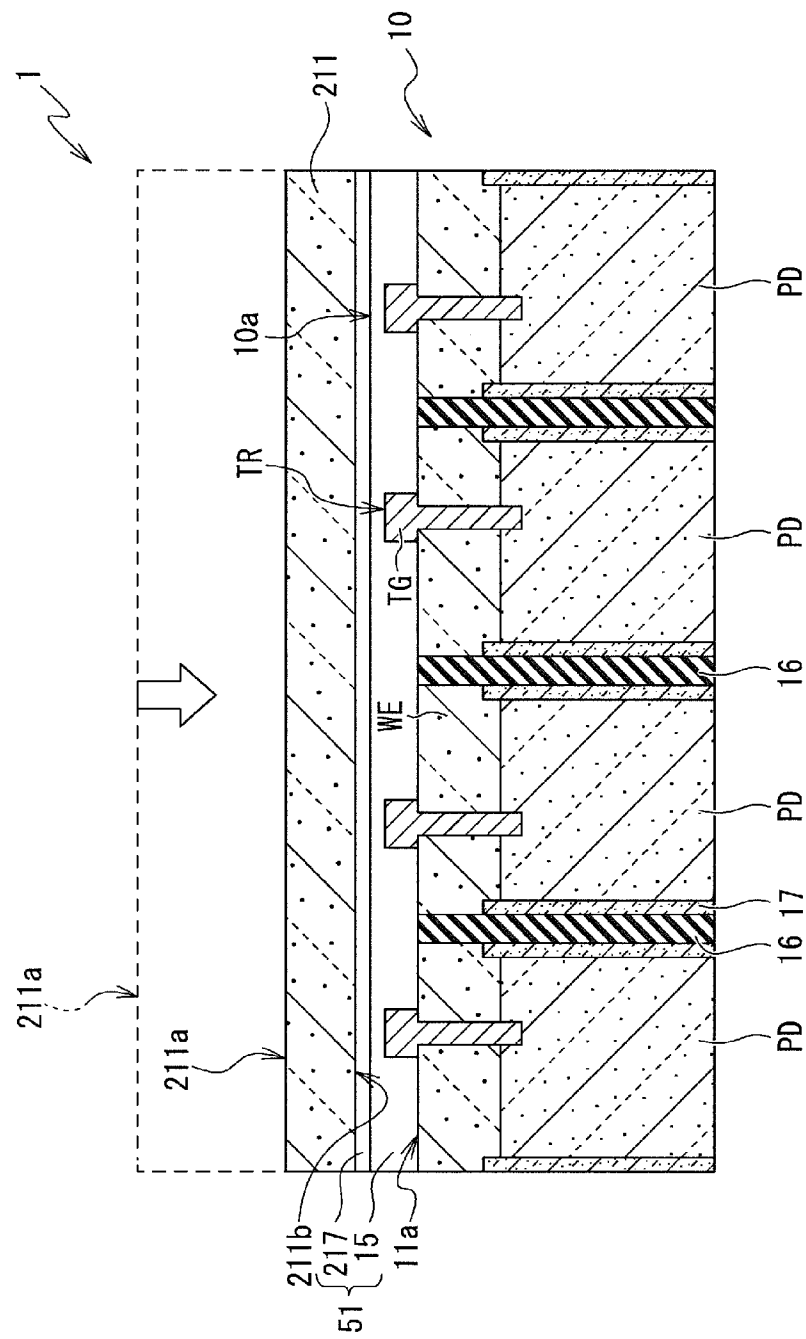
[図7]



[図8]

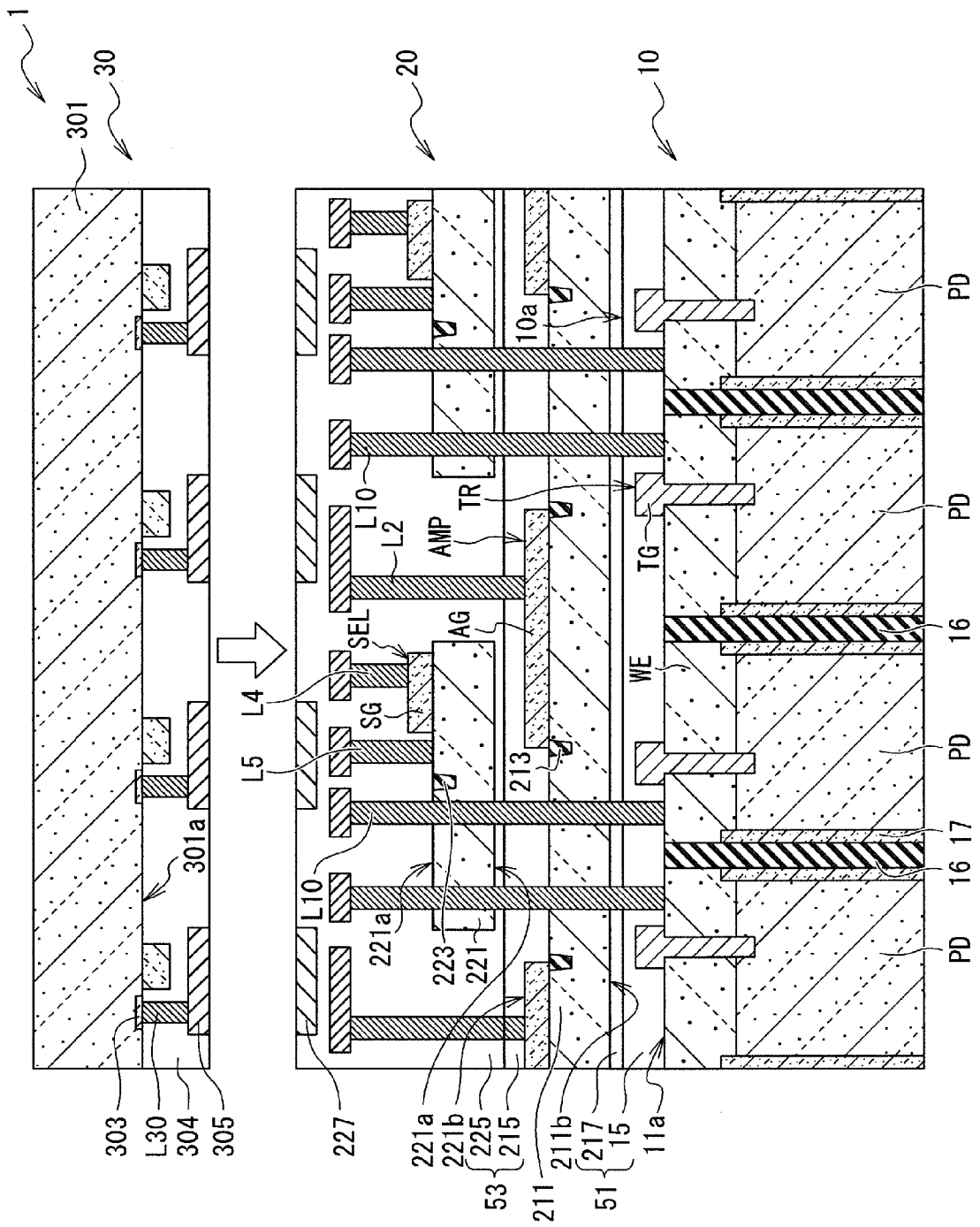


[図9]

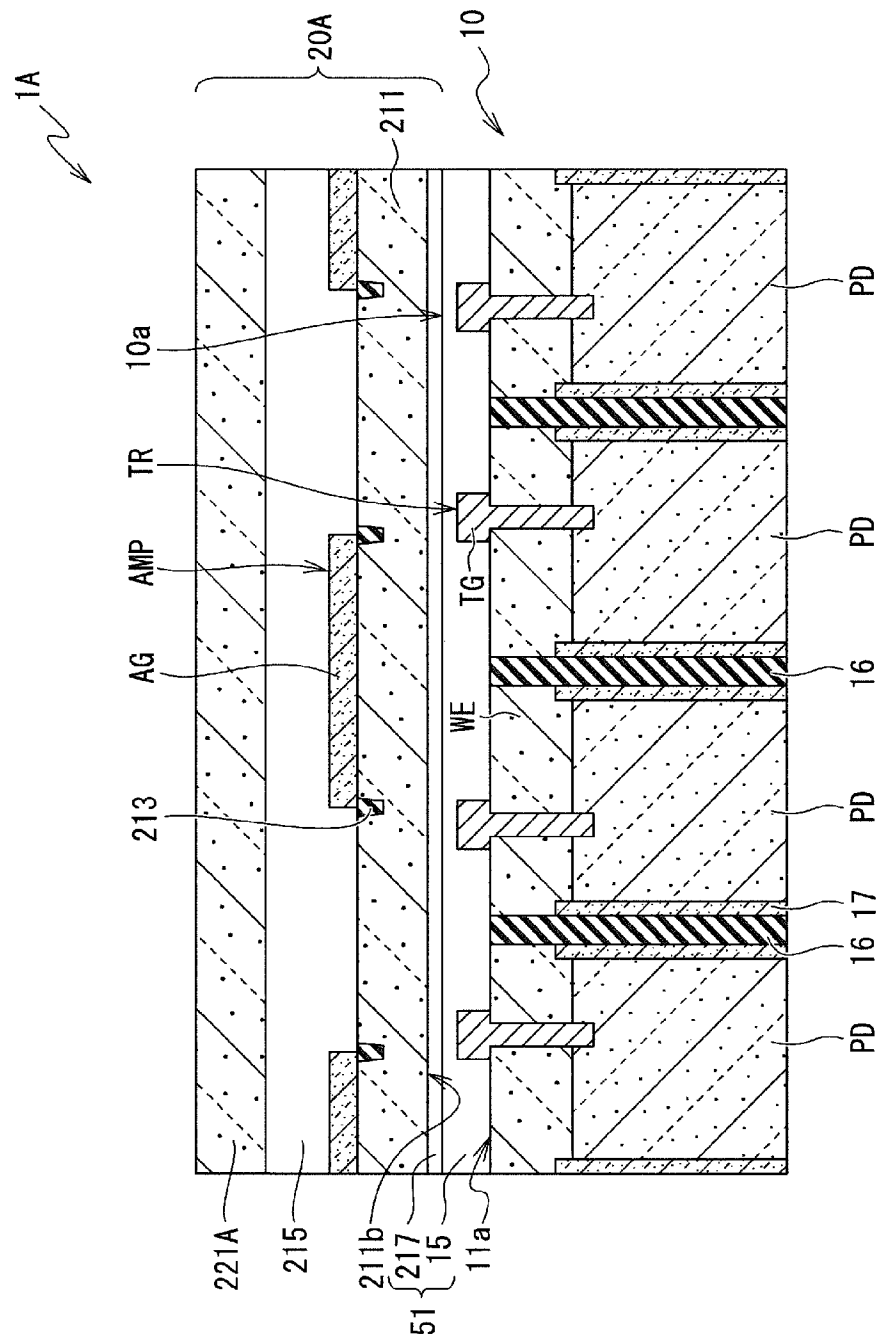


This cross-sectional view shows the internal structure of the semiconductor device 100. The substrate 10 is a p-type silicon wafer with a p-well 11a. A gate oxide layer 15 is formed on the surface, with a gate stack 16 consisting of a gate oxide layer 16a and a gate electrode 16b. The gate stack 16 is patterned to form gate electrodes 16b over the p-well 11a and the channel region 11b. The channel region 11b is doped with n-type impurities 11c. The p-well 11a is doped with p-type impurities 11d. The device includes a source region 12a and a drain region 12b, both doped with n-type impurities 12c. The source region 12a is connected to a source electrode 12d, and the drain region 12b is connected to a drain electrode 12e. The gate electrode 16b is connected to a gate electrode 16c. The device is surrounded by a passivation layer 13. The cross-section is taken along line I-I'.

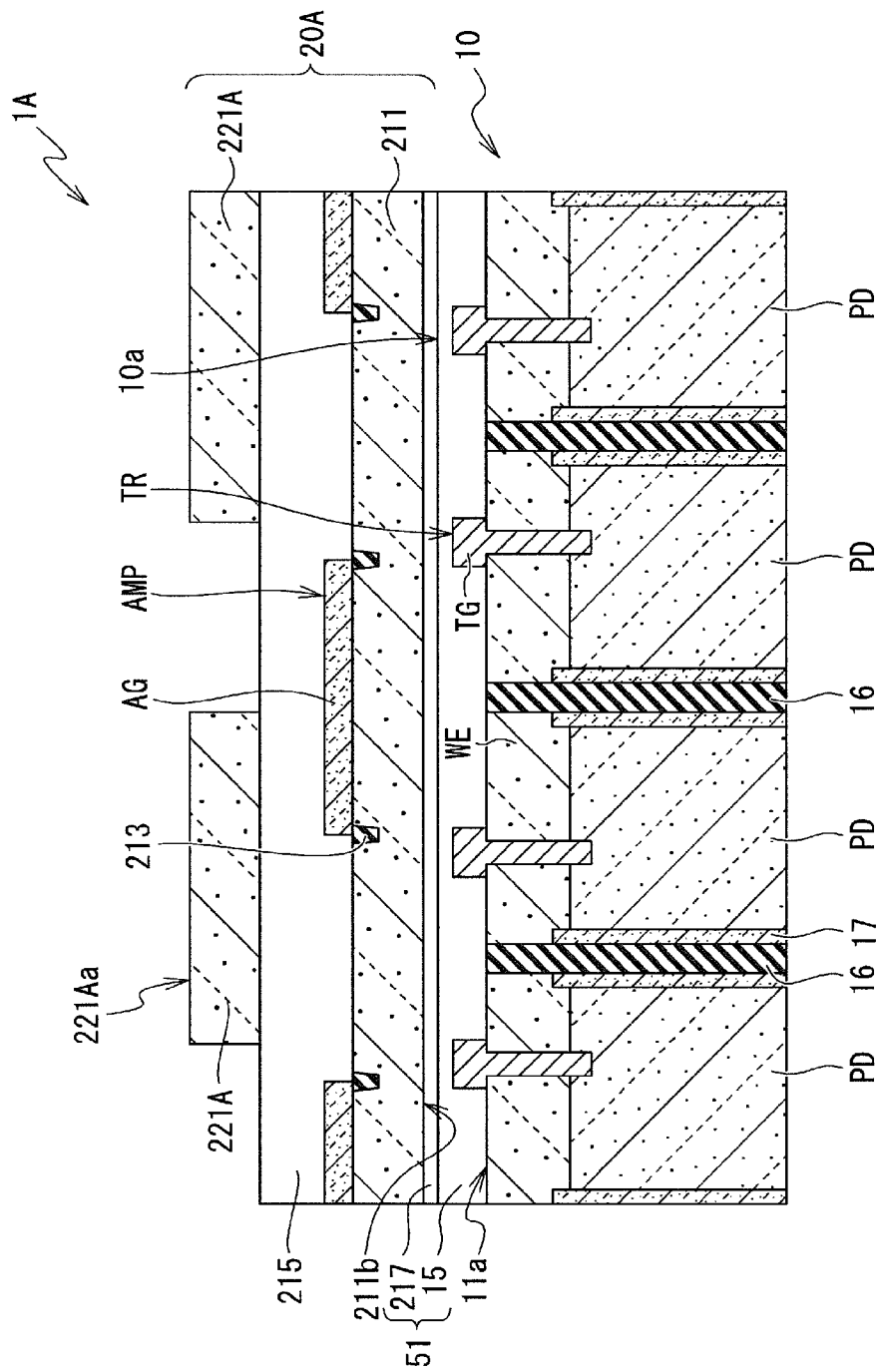
[図14]



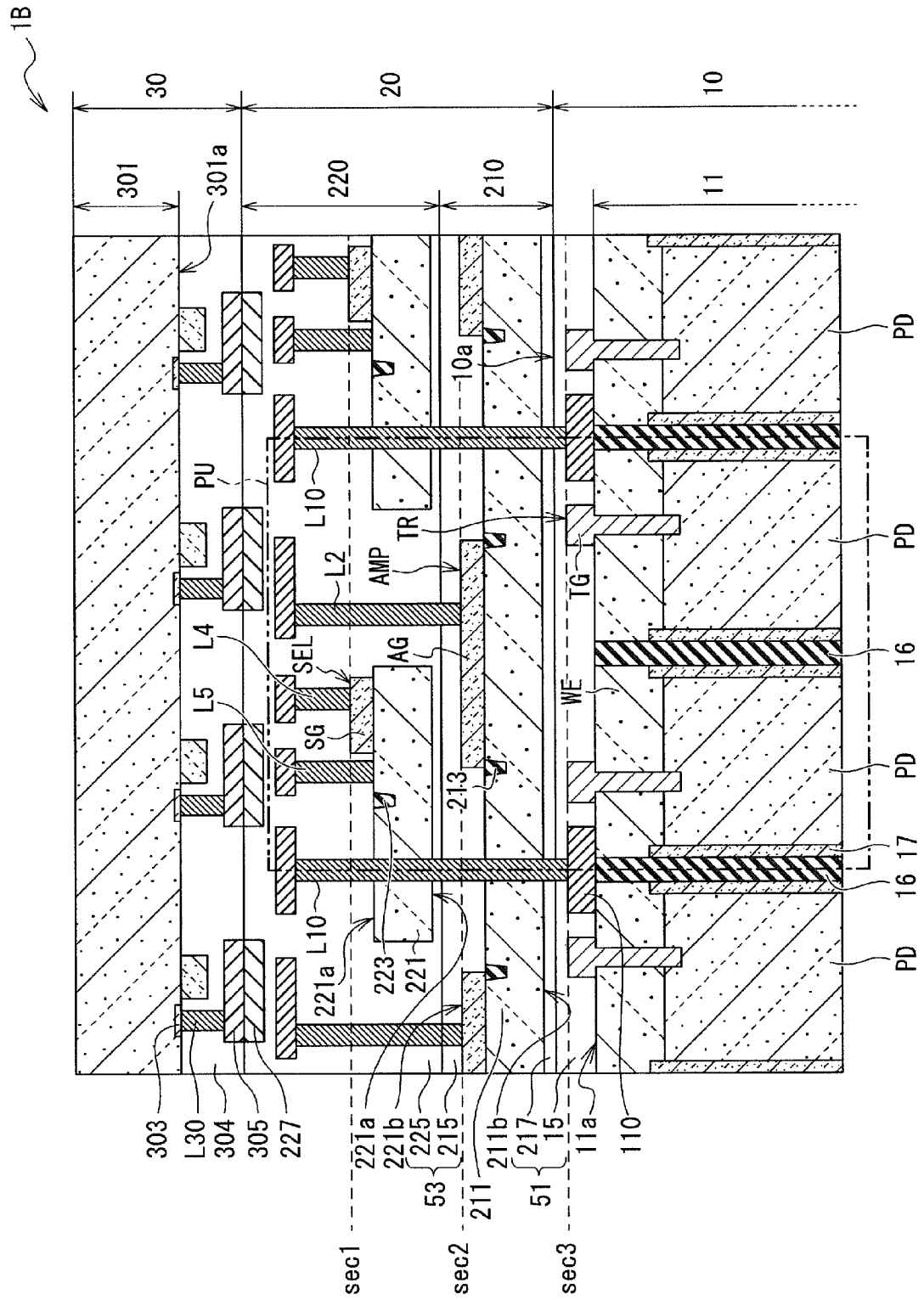
[図15]



[図16]



[図17]



1B

303

L30

305

227

sec1

53 { 225 215

AMP

L2 L2

L4

SG

221

SeL

sec2

AG

11a

213

211

sec3

51 { 217 15

102

16

301

30

220

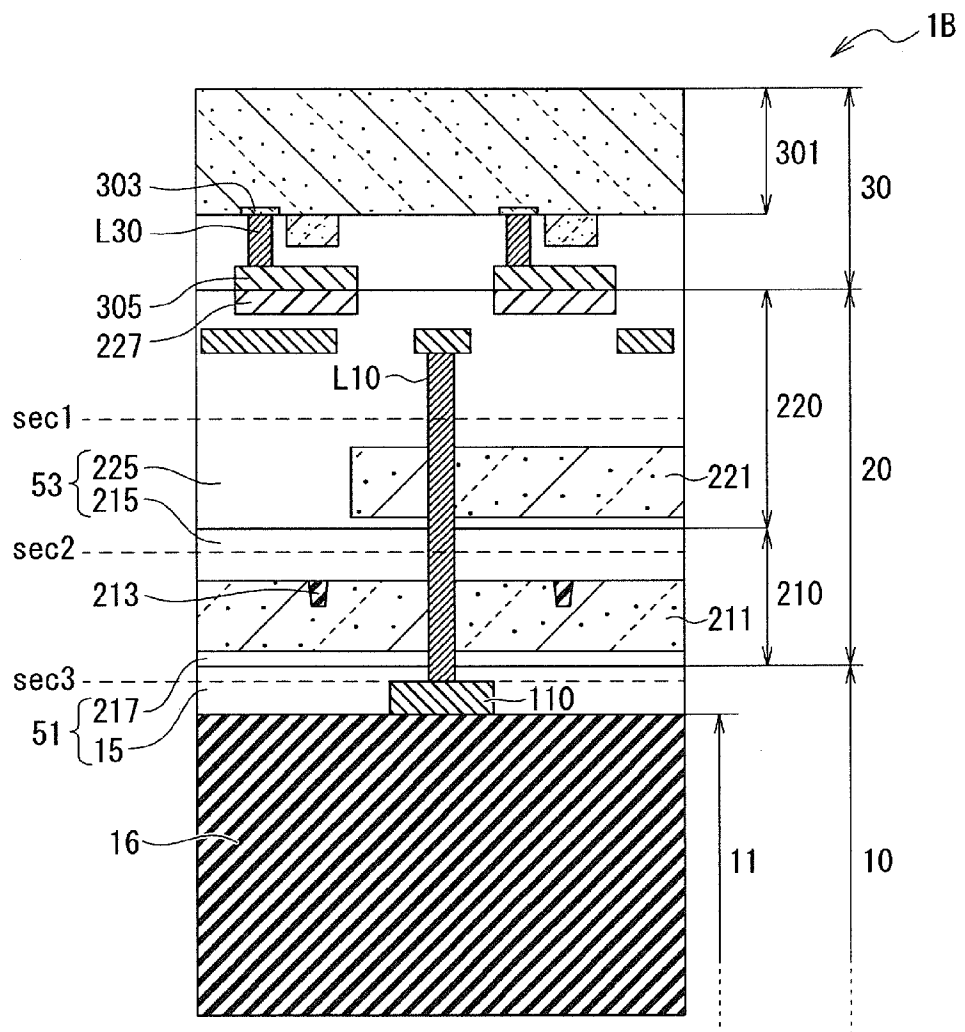
20

210

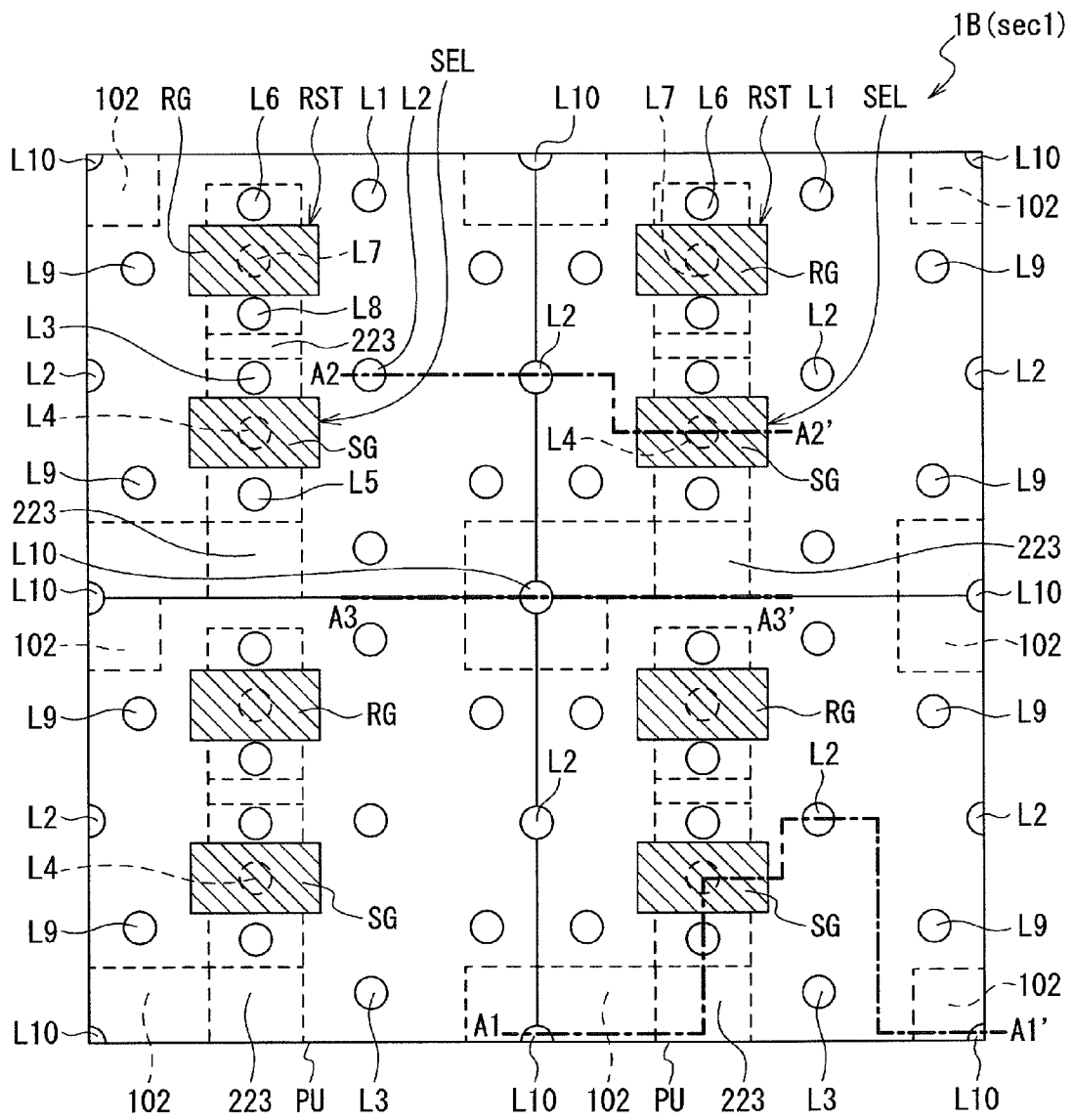
11

10

[図19]



[図20]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/017677

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i;
H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; H04N 5/374(2011.01)i
FI: H04N5/369; H04N5/374; H01L27/146 F; H01L21/88 J

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205; H01L21/768; H01L23/522; H01L27/146; H04N5/369; H04N5/374

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-86164 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 19.05.2016 (2016-05-19) paragraphs [0065], [0093], [0160], [0304], fig. 2, 17	1-3, 7, 9, 10
Y		8
A		4-6, 11, 12
X	JP 2018-148116 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 20.09.2018 (2018-09-20) paragraphs [0037], [0135], fig. 3, 28	1, 3, 11, 12
Y	JP 2019-4001 A (RENESAS ELECTRONICS CORP.) 10.01.2019 (2019-01-10) paragraph [0054], fig. 4	8

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13 July 2020 (13.07.2020)

Date of mailing of the international search report
28 July 2020 (28.07.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/017677

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2016-86164 A	19 May 2016	US 2016/0118425 A1 paragraphs [0111], [0139], [0206], [0350], fig. 2A, 2B, 17	
JP 2018-148116 A	20 Sep. 2018	WO 2018/163838 A1 paragraphs [0019], [0117], fig. 3, 28 CN 110100312 A KR 10-2019-0119029 A	
JP 2019-4001 A	10 Jan. 201	US 2018/0358393 A1 paragraph [0098], fig. 4	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 27/146(2006.01)i; H04N 5/369(2011.01)i; H04N 5/374(2011.01)i FI: H04N5/369; H04N5/374; H01L27/146 F; H01L21/88 J										
B. 調査を行った分野										
調査を行った最小限資料（国際特許分類（IPC）） H01L21/3205; H01L21/768; H01L23/522; H01L27/146; H04N5/369; H04N5/374										
最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2020年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2020年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2020年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2020年	日本国実用新案登録公報	1996 - 2020年	日本国登録実用新案公報	1994 - 2020年
日本国実用新案公報	1922 - 1996年									
日本国公開実用新案公報	1971 - 2020年									
日本国実用新案登録公報	1996 - 2020年									
日本国登録実用新案公報	1994 - 2020年									
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）										
C. 関連すると認められる文献										
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号								
X	JP 2016-86164 A（株式会社半導体エネルギー研究所）19.05.2016（2016-05-19） 段落 [0065] , [0093] , [0160] , [0304] , 図2,17	1-3, 7, 9, 10								
Y		8								
A		4-6, 11, 12								
X	JP 2018-148116 A（ソニーセミコンダクタソリューションズ株式会社）20.09.2018 （2018-09-20） 段落 [0037] , [0135] , 図3,28	1, 3, 11, 12								
Y	JP 2019-4001 A（ルネサスエレクトロニクス株式会社）10.01.2019（2019-01-10） 段落 [0054] , 図4	8								
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。										
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献										
国際調査を完了した日 13.07.2020		国際調査報告の発送日 28.07.2020								
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 鈴木 明 5V 9185 電話番号 03-3581-1101 内線 3571								

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/017677

引用文献			公表日	パテントファミリー文献	公表日
JP	2016-86164	A	19.05.2016	US 2016/0118425 A1 段落 [0111] , [0139] , [0206] , [0350] , 図 2A, 2B, 17	
JP	2018-148116	A	20.09.2018	WO 2018/163838 A1 段落 [0019] , [0117] , 図 3, 28 CN 110100312 A KR 10-2019-0119029 A	
JP	2019-4001	A	10.01.2019	US 2018/0358393 A1 段落 [0098] , 図4	