

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 2 区分
 【発行日】平成 16 年 10 月 14 日 (2004.10.14)

【公開番号】特開 2001-24165 (P2001-24165A)
 【公開日】平成 13 年 1 月 26 日 (2001.1.26)
 【出願番号】特願 平 11-192009
 【国際特許分類第 7 版】

H 0 1 L 27/108

H 0 1 L 21/8242

H 0 1 L 21/3205

【F I】

H 0 1 L 27/10 6 2 1 Z

H 0 1 L 21/88 K

H 0 1 L 27/10 6 2 1 C

【手続補正書】

【提出日】平成 15 年 10 月 6 日 (2003.10.6)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】発明の名称

【補正方法】変更

【補正の内容】

【発明の名称】半導体装置の製造方法

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体装置におけるキャパシタの下部電極の形成方法において、

(a) n 型不純物をドーブした非晶質状態のシリコン膜を堆積し、前記シリコン膜表面にモノシランを供給して熱処理することによって前記シリコン膜表面に結晶化したシリコン粒を成長させることにより、前記シリコン膜の表面を結晶化して粗面化する工程と、

(b) 前記粗面化されたシリコン膜に熱処理を行うことにより前記非晶質状態のシリコン膜も結晶化して全体を結晶化する工程と、

(c) 不純物元素を含むガス雰囲気において前記粗面化されたシリコン膜を熱処理することにより、前記粗面化されたシリコン膜に前記不純物元素を導入する工程と、
 を含むことを特徴とする半導体装置の製造方法。

【請求項 2】

半導体装置におけるキャパシタの下部電極の形成方法において、

(a) n 型不純物をドーブした非晶質状態のシリコン膜を堆積し、前記シリコン膜表面にモノシランを供給して熱処理することによって前記シリコン膜表面に結晶化したシリコン粒を成長させることにより、前記シリコン膜の表面を結晶化して粗面化する工程と、

(b) 不純物元素を含むガス雰囲気において前記粗面化されたシリコン膜を熱処理することにより、前記粗面化されたシリコン膜に前記不純物元素を導入するとともに、前記非晶質状態のシリコン膜も結晶化して前記粗面化されたシリコン膜の全体を結晶化する工程と

、
 を含むことを特徴とする半導体装置の製造方法。

【請求項 3】

半導体装置におけるキャパシタの下部電極の形成方法において、

- (a) n 型不純物をドーブした非晶質状態のシリコン膜を堆積する工程と、
 - (b) 前記シリコン膜表面にモノシランを供給して熱処理することによって前記シリコン膜表面に結晶化したシリコン粒を成長させることにより、前記シリコン膜の表面を結晶化して粗面化し、前記粗面化されたシリコン膜に熱処理を施し、前記熱処理の開始より遅い時刻に不純物元素を含むガスを前記熱処理雰囲気を導入することにより、前記粗面化されたシリコン膜に前記不純物元素を導入する工程と、
- を含むことを特徴とする半導体装置の製造方法。

【請求項 4】

半導体装置におけるキャパシタの下部電極の形成方法において、

- (a) n 型不純物をドーブした非晶質状態のシリコン膜を堆積する工程と、
 - (b) 前記シリコン膜表面にモノシランを供給して熱処理することによって前記シリコン膜表面に結晶化したシリコン粒を成長させることにより、前記シリコン膜の表面を結晶化して粗面化する途中において不純物元素を含むガスを導入することにより前記シリコン粒の成長を停止し粗面化されたシリコン膜を形成し、前記粗面化されたシリコン膜に熱処理を施し、前記非晶質状態のシリコン膜も結晶化して前記粗面化されたシリコン膜の全体を結晶化する工程と、
- を含むことを特徴とする半導体装置の製造方法。

【請求項 5】

半導体装置におけるキャパシタの下部電極の形成方法において、

- (a) n 型不純物をドーブした非晶質状態のシリコン膜を堆積する工程と、
 - (b) 前記シリコン膜表面にモノシランを供給して熱処理することによって前記シリコン膜表面に結晶化したシリコン粒を成長させることにより、前記シリコン膜の表面を結晶化して粗面化する工程と、
 - (c) 前記粗面化されたシリコン膜を不純物元素を含むガス雰囲気において熱処理することにより、前記非晶質状態のシリコン膜と前記結晶化したシリコン粒とに前記不純物元素を導入し、前記熱処理により前記非晶質状態のシリコン膜を結晶化させる工程と、
- を含むことを特徴とする半導体装置の製造方法。

【請求項 6】

半導体装置におけるキャパシタの下部電極の形成方法において、

- (a) n 型不純物をドーブした非晶質状態または多結晶状態の第 1 シリコン膜を堆積し、さらに n 型不純物をドーブした非晶質状態の第 2 シリコン膜を堆積して積層シリコン膜を形成する工程と、
 - (b) 前記第 2 シリコン膜表面にモノシランを供給して熱処理することによって前記第 2 シリコン膜表面に結晶化したシリコン粒を成長させることにより、前記第 2 シリコン膜を結晶化して前記積層シリコン膜の表面を粗面化する工程と、
 - (c) 不純物元素を含むガス雰囲気において前記積層シリコン膜を熱処理することにより、前記積層シリコン膜に前記不純物元素を導入する工程と、
- を含むことを特徴とする半導体装置の製造方法。

【請求項 7】

請求項 6 記載の半導体装置の製造方法であって、

前記第 1 シリコン膜と第 2 シリコン膜との間に自然酸化膜を形成することを特徴とする半導体装置の製造方法。

【請求項 8】

請求項 7 記載の半導体装置の製造方法であって、

前記第 1 シリコン膜に含まれる不純物量は、前記第 2 シリコン膜に含まれる不純物量より多いことを特徴とする半導体装置の製造方法。

【請求項 9】

請求項 1 ～ 8 のいずれか一項に記載の半導体装置の製造方法であって、

前記不純物元素の導入前に、前記シリコン膜または積層シリコン膜の表面を清浄化することを特徴とする半導体装置の製造方法。

【請求項 10】

請求項 1 ～ 9 のいずれか一項に記載の半導体装置の製造方法であって、前記不純物元素の導入後、大気解放状態にすることなく、前記シリコン膜または積層シリコン膜上に誘電体膜を形成することを特徴とする半導体装置の製造方法。

【請求項 11】

請求項 10 記載の半導体装置の製造方法であって、前記誘電体膜の形成後、800、15分以内の熱処理を施すことを特徴とする半導体装置の製造方法。

【請求項 12】

請求項 1 ～ 9 のいずれか一項に記載の半導体装置の製造方法であって、前記不純物元素の導入後に、前記シリコン膜または積層シリコン膜に800、15分以内の熱処理を施し、その後、前記シリコン膜または積層シリコン膜上に誘電体膜を形成することを特徴とする半導体装置の製造方法。

【請求項 13】

請求項 12 記載の半導体装置の製造方法であって、前記不純物元素導入後の前記熱処理の後、前記シリコン膜または積層シリコン膜の表面を清浄化することを特徴とする半導体装置の製造方法。

【請求項 14】

請求項 1 ～ 13 のいずれか一項に記載の半導体装置の製造方法であって、前記不純物元素はリン(P)であり、前記不純物元素を導入する熱処理は、フォスフィン(PH_3)を含むガス雰囲気において500～850の温度範囲で行われることを特徴とする半導体装置の製造方法。

【請求項 15】

請求項 14 記載の半導体装置の製造方法であって、前記不純物元素を導入する熱処理は、フォスフィン(PH_3)および水素(H_2)を含む減圧状態のガス雰囲気において500～850の温度範囲、10分以下の処理時間で行われることを特徴とする半導体装置の製造方法。

【請求項 16】

請求項 1 ～ 15 のいずれか一項に記載の半導体装置の製造方法であって、前記非晶質状態のシリコン膜または前記非晶質状態の第2シリコン膜には、不純物が $2.5 \times 10^{20} \text{ atoms/cm}^3$ 以下の濃度で含まれていることを特徴とする半導体装置の製造方法。

【請求項 17】

請求項 1 ～ 16 のいずれか一項に記載の半導体装置の製造方法であって、前記(a)工程の前に、半導体基板表面またはゲート電極を構成する多結晶シリコン膜の表面にシリサイド膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 18】

請求項 1 ～ 17 のいずれか一項に記載の半導体装置の製造方法であって、さらに、前記シリコン膜または積層シリコン膜上に第1シリコン窒化膜を形成する工程を含み、前記第1シリコン窒化膜は、前記シリコン膜または積層シリコン膜表面の窒化处理または前記シリコン膜または積層シリコン膜上への被膜堆積により形成されることを特徴とする半導体装置の製造方法。

【請求項 19】

請求項 18 記載の半導体装置の製造方法であって、さらに、前記第1シリコン窒化膜上に多結晶酸化タンタル膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項 20】

請求項 19 記載の半導体装置の製造方法であって、

前記多結晶酸化タンタル膜の形成工程は、第１多結晶酸化タンタル膜の形成工程と、前記第１多結晶酸化タンタル膜よりも膜厚の大きい第２多結晶酸化タンタル膜の形成工程とを含むことを特徴とする半導体装置の製造方法。

【請求項２１】

請求項１９または２０記載の半導体装置の製造方法であって、
前記多結晶酸化タンタル膜、第１多結晶酸化タンタル膜または第２多結晶酸化タンタル膜の形成工程は、ＣＶＤ法による非晶質酸化タンタル膜の堆積工程と、前記非晶質酸化タンタル膜を酸化性雰囲気における熱処理により結晶化する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項２２】

請求項１８記載の半導体装置の製造方法であって、さらに、
前記第１シリコン窒化膜上にＣＶＤ法による第２シリコン窒化膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項２３】

請求項１８～２２のいずれか一項に記載の半導体装置の製造方法であって、さらに、
前記シリコン窒化膜を含む誘電体膜、前記多結晶酸化タンタル膜、前記第２多結晶酸化タンタル膜または前記第２シリコン窒化膜上に、ＣＶＤ法による窒化チタン膜を形成する工程を含むことを特徴とする半導体装置の製造方法。

【手続補正３】

【補正対象書類名】明細書

【補正対象項目名】０００４

【補正方法】変更

【補正の内容】

【０００４】

そこで、さらなる電極面積の拡大を図る技術が望まれる。たとえば、１９９６年１１月１０日、応用物理学会発行、「応用物理」第６５巻第１１号、ｐ１１０６～１１１３には、下部電極であるシリコン表面に微小な凹凸を形成して粗面化し、下部電極寸法を大きくすることなく、その表面積を実質的に大きくすることができる技術、いわゆるＨＳＧ（Hemispherical Silicon Grain）構造の技術が記載されている。特開平７－１６９９１７号公報には、容量絶縁膜として酸化タンタルを形成する場合において、段落【００２６】にタンタル層を形成した後熱処理を行って膜を結晶化した後、再び酸化タンタル層を形成し第二の熱処理を行う行程を一回以上繰返して形成する積層化した酸化タンタルキャパシタの開示がある。