

ČESKOSLOVENSKÁ
SOCIALISTICKÁ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

POPIS VYNÁLEZU K AUTORSKÉMU OSVĚDČENÍ

269 270

(11)

(13) B1

(51) Int. Cl.⁴
H 03 L 7/00

(21) PV 3706-88.T
(22) Přihlášeno 30 05 88

(40) Zveřejněno 12 09 89
(45) Vydáno 15 01 91

(75)
Autor vynálezu

SKŘIVÁNEK LEOPOLD ing., ROUSÍNOV
KOLOUCH FRANTIŠEK ing., BRNO

(54)

Zapojení k nastavování hranic časových
oken pro vyhodnocování dat

(57) zapojení je určeno k užívání v měřicích zapojeních, v obvodech pro přenos dat a v dekodérech informace, snímané z magnetického záznamového média. Slouží ke generování vyhodnocovacích oken dat a umožňuje jejich programové zužování; doba uklidnění po přepnutí vstupních dat je krátká. Redukuje dobu spuštění řízeného oscilátoru na zlomek původní hodnoty a činí ji málo závislou na okamžité hodnotě ladicího napětí. Parametry obvodů jsou dány hodnotami součástek. Zapojení je uspořádáno tak, že inverzní výstup přepínacího obvodu je připojen ke vstupu spínacího obvodu, jehož výstup je připojen k prvnímu vstupu napětím řízeného oscilátoru, jehož spouštěcí vstup je připojen k zemnicí svorce.

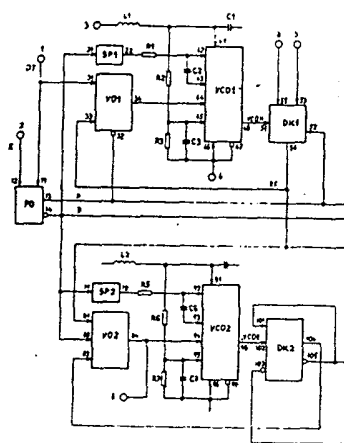


Fig. 4a

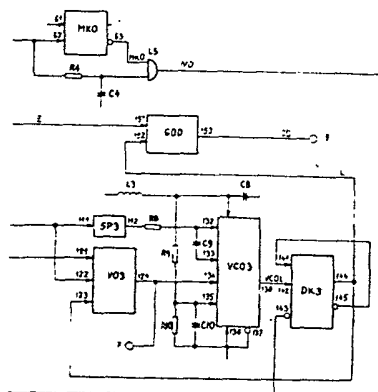


Fig. 4b

Vynález se týká zaojení k nastavování hranic časových oken pro vyhodnocování dat, zejména v měřicích zapojeních, v obvodech pro přenos dat a pro dekodéry informace snímané z magnetického záznamového média, například u diskových pamětí.

Od těchto zapojení se požaduje, aby po spuštění fázového závěsu nebo po jeho přepnutí z jednoho zdroje vstupních signálů na druhý, běžel jeho napětím nebo proudem řízený oscilátor nejenom kmitočtově, ale i fázově správně vzhledem ke vstupním datům v čase co nejkratším.

Ve známých zapojeních se tento požadavek splňuje mimo jiná opatření také tím, že po povelu k přepnutí se nejprve přeruší činnost fázového detektoru, popřípadě i nábojového čerpadla, je-li jeho součástí, jakož i řízeného oscilátoru a potom teprve po určité době se znovu spustí, a to tak, aby funkční hrany impulsů z řízeného oscilátoru a vstupních dat měly co možná nejmenší počáteční fázový rozdíl. Na velikosti tohoto fázového rozdílu má však značný vliv přímo samostatný řízený oscilátor, který má většinou značně velkou dobu, která uplyne od okamžiku uvolnění činnosti řízeného oscilátoru signálem do jeho spouštěcího vstupu, do okamžiku, kdy se na výstupu řízeného oscilátoru objeví první aktivní hrana impulsu. Toto je podstata jedné z největších nevýhod dosud známých zapojení. Jinou nevýhodou je také to, že doba spouštění řízeného oscilátoru není konstantní, ale závislá na řadě činitelů, jako je okamžitá hodnota ladicího napětí, hodnota ladicí kapacity, napětí na druhém řídicím vstupu řízeného oscilátoru a podobně. Další nevýhodou je, že v případě složitějších zapojení, jaká jsou často používána při požadovaném provozu s několika rychlostmi přenosu dat nebo dokonce v případě spřaženého provozu několika takových fázových závěsů pro měřicí účely, je nastavení pracovních podmínek s ohledem na fázovou synchronizaci možné provést jen kompromisním způsobem, který ovlivňuje dynamické chování fázových závěsů.

Uvedené nevýhody odstraňuje zapojení k nastavování hranic časových oken pro vyhodnocování dat podle vynálezu, jehož podstatou je, že inverzní výstup přepínacího obvodu je připojen na vstup spínacího obvodu, jehož výstup je připojen případně přes první odpor na vstup ladicí kapacity napětím řízeného oscilátoru, spouštěcí vstup napětím řízeného oscilátoru je připojen na zemnicí svorku. Inverzní výstup přepínacího obvodu je dále připojen na vstup spínače a na přepínací vstup vyhodnocovacího obvodu dalšího fázového závěsu, přímý výstup přepínacího obvodu je připojen dále na druhý spouštěcí vstup monostabilního klopného obvodu a popřípadě přes integrační člen na druhý vstup dvouvstupového obvodu typu logického součinu, výstup děliče kmitočtu je připojen dále na datový vstup vyhodnocovacího obvodu dalšího fázového závěsu, spouštěcí vstup monostabilního klopného obvodu je připojen na zemnicí svorku, inverzní výstup monostabilního klopného obvodu je připojen na první vstup dvouvstupového obvodu typu logického součinu, jehož výstup je připojen na nulovací vstup děliče kmitočtu dalšího fázového závěsu, výstup vyhodnocovacího obvodu dalšího fázového závěsu je připojen dále na řídicí svorku, inverzní výstup děliče kmitočtu dalšího fázového závěsu je dále připojen na vstup jedné hrany generátoru okna dat, jehož výstup je připojen na výstupní svorku.

Výhodou zapojení podle vynálezu je, že redukuje dobu spouštění řízeného oscilátoru na zlomek původní hodnoty, dále, že ji činí málo závislou na okamžité hodnotě ladicího napětí, což umožňuje lehce vytvořit jednoduchá zapojení pro spouštění jednoho nebo více fázových závěsů, protože vlastní obvodový návrh, prováděný z hlediska dosažení optimálních dynamických vlastností fázového závěsu, lze oprostit od úvah, týkajících se spouštění fázových závěsů s malou počáteční fázovou chybou. Výhodou je také to, že parametry obvodů jsou dány hodnotami součástek a nemusí se provádět žádné nastavování.

Příklad zapojení k nastavování hranic časových oken pro vyhodnocování dat podle vynálezu je znázorněn na připojených výkresech, kde na obr. 1a, 1b je schéma zapojení a na obr. 2 až 5 jsou časové diagramy signálů zapojení.

Zapojení obsahuje tři fázové závěsy. Hlavní fázový závěs obsahuje první vyhodnocovací obvod V01, první napětím řízený oscilátor VC01, první spínač SP1 a první dělič DK1 kmitočtu. První vedlejší fázový závěs obsahuje druhý vyhodnocovací obvod V02, druhý napětím řízený oscilátor VC02, druhý spínač SP2 a druhý dělič DK2 kmitočtu. Druhý vedlejší fázový závěs obsahuje třetí vyhodnocovací obvod V03, třetí napětím řízený oscilátor VC03, třetí spínač SP3 a třetí dělič DK3 kmitočtu. Všem třem fázovým závěsům je společný přepínací obvod PO. Hlavní fázový závěs může pracovat samostatně. Pokud k němu je připojen aspoň jeden vedlejší fázový závěs, potom k nulování děličů DK2, DK3 těchto vedlejších fázových závěsů slouží monostabilní klopný obvod MKO, obvod LS logického součinu a integrační článek R4, C4. K vytváření oken slouží generátor GOD oken dat.

Datový vstup 31 prvního vyhodnocovacího obvodu V01 pro signál DT je spojen s datovým vstupem 11 přepínacího obvodu P0 a se vstupní datovou svorkou 1 pro připojení na neznázorněný přepínač ovládaný mikrokontrolérem. Přepínací vstup 12 přepínacího obvodu P0 pro signál K je připojen na vstupní přepínací svorku 2 pro připojení mikrokontroléra. Příímý výstup 13 přepínacího obvodu P0 pro signál P je připojen na přepínací vstup 32 prvního vyhodnocovacího obvodu V01, na druhý spouštěcí vstup 62 monostabilního klopného obvodu MKO, na ovládací vstup 52 prvního děliče DK1 a přes čtvrtý odpor R4 na druhý vstup dvouvstupového obvodu LS typu logického součinu a na jeden vývod čtvrtého kondenzátoru C4, jehož druhý vývod je připojen na zemnicí svorku 4. Inversní výstup 14 přepínacího obvodu P0 pro signál P je připojen na vstup 21 prvního spínače SP1, na vstup 111 třetího spínače SP3, na přepínací vstup 122 třetího vyhodnocovacího obvodu V03, na vstup 71 druhého spínače SP2 a na přepínací vstup 82 druhého vyhodnocovacího obvodu V02. Výstup 34 prvního vyhodnocovacího obvodu V01 je připojen na první řídicí vstup 44 prvního napětím řízeného oscilátoru VC01. Výstup 22 prvního spínače SP1 je připojen přes první odpor R1 na první vstup 42 ladící kapacity prvního napětím řízeného oscilátoru VC01. Mezi první a druhý vstup 42 a 43 ladící kapacity prvního napětím řízeného oscilátoru VC01 je připojen druhý kondenzátor C2. Napájecí přívod 41 prvního napětím řízeného oscilátoru VC01 je připojen jednak přes první kondenzátor na zemnicí svorku 4, jednak přes první oddělovací tlumivku L1 na svorku 3 kladného napětí. Napájecí přívod 41 prvního napětím řízeného oscilátoru VC01 je dále připojen přes druhý odpor R2 na druhý řídicí vstup 45 prvního napětím řízeného oscilátoru VC01. Druhý řídicí vstup 45 prvního napětím řízeného oscilátoru VC01 je připojen přes paralelně spojený třetí odpor R3 a třetí kondenzátor C3 na zemnicí přívod 46 prvního napětím řízeného oscilátoru VC01, připojený na zemnicí svorku 4. Spouštěcí vstup 47 prvního napětím řízeného oscilátoru VC01 je připojen na zemnicí svorku 4. Výstup 48 prvního napětím řízeného oscilátoru VC01 pro signál VCOH je připojen na impulsní vstup 51 prvního děliče DK1 kmitočtu, jehož první nastavovací vstup 53 je připojen na první nastavovací svorku 5 pro připojení na mikrokontrolér. Druhý nastavovací vstup 55 prvního děliče DK1 kmitočtu je připojen na druhou nastavovací svorku 8 pro připojení na mikrokontrolér. Výstup 54 prvního děliče DK1 kmitočtu pro signál RF je připojen na referenční vstup 33 prvního vyhodnocovacího obvodu V01, na datový vstup 81 druhého vyhodnocovacího obvodu V02 a na datový vstup 121 třetího vyhodnocovacího obvodu V03. Spouštěcí vstup 61 monostabilního klopného obvodu MKO je připojen na zemnicí svorku 4. Inversní výstup 63 monostabilního klopného obvodu MKO pro signál MKO je připojen na první vstup dvouvstupového obvodu LS typu logického součinu, jehož výstup pro signál ND je připojen na nulovací vstup 103 druhého děliče DK2 kmitočtu a na nulovací vstup 143 třetího děliče DK3 kmitočtu. Výstup 84 druhého vyhodnocovacího obvodu V02 je připojen na první řídicí vstup 94 druhého napětím řízeného

oscilátoru VC02 a na první řídící svorku 6 pro připojení na neznázorněný první číslicově-analogový převodník. Výstup 72 druhého spínače SP 2 je připojen přes pátý odpor R5 na první vstup 92 ladicí kapacity druhého napětím řízeného oscilátoru VC02. Mezi první a druhý vstup 92, 93 ladicí kapacity druhého napětím řízeného oscilátoru VC02 je připojen šestý kondenzátor C6. Napájecí přívod 91 druhého napětím řízeného oscilátoru VC02 je připojen jednak přes pátý kondenzátor C5 na zemnicí svorku 4, jednak přes druhou oddělovací tlumivku L2 na svorku 3 kladného napětí. Napájecí přívod 91 druhého napětím řízeného oscilátoru VC02 je dále připojen přes šestý odpor R6 na druhý řídící vstup 95 druhého napětím řízeného oscilátoru VC02. Druhý řídící vstup 95 druhého napětím řízeného oscilátoru VC02 je připojen přes paralelně spojený sedmý odpor R7 a sedmý kondenzátor C7 na zemnicí přívod 96 druhého napětím řízeného oscilátoru VC02, připojený na zemnicí svorku 4. Spouštěcí vstup 97 druhého napětím řízeného oscilátoru VC02 je připojen na zemnicí svorku 4. Výstup 98 druhého napětím řízeného oscilátoru VC02 pro signál VCOE je připojen na hodinový vstup 102 druhého děliče DK2 kmitočtu. Přímý výstup 104 druhého děliče DK 2 kmitočtu je připojen na referenční vstup 83 druhého vyhodnocovacího obvodu V02. Inversní výstup 105 druhého děliče DK2 kmitočtu je připojen na datový vstup 101 druhého děliče DK2 kmitočtu a na vstup 151 přední hrany generátoru GOD okna dat. Výstup 124 třetího vyhodnocovacího obvodu V03 je připojen na první řídící vstup 134 třetího napětím řízeného oscilátoru VC03 a na druhou řídící svorku 7 pro připojení na neznázorněný druhý číslicově-analogový převodník. Výstup 112 třetího spínače SP3 je připojen přes osmý odpor R8 na první vstup 132 ladicí kapacity třetího napětím řízeného oscilátoru VC03. Mezi první a druhý vstup 132, 133 ladicí kapacity třetího napětím řízeného oscilátoru VC03 je připojen devátý kondenzátor C9. Napájecí přívod 131 třetího napětím řízeného oscilátoru VC03 je připojen jednak přes osmý kondenzátor C8 na zemnicí svorku 4, jednak přes třetí oddělovací tlumivku L3 na svorku 3 kladného napětí. Napájecí přívod 131 třetího napětím řízeného oscilátoru VC03 je dále připojen přes devátý odpor R9 na druhý řídící vstup 135 třetího napětím řízeného oscilátoru VC03. Druhý řídící vstup 135 třetího napětím řízeného oscilátoru VC03 je připojen přes paralelně spojený desátý odpor R10 a desátý kondenzátor C10 na zemnicí přívod 136 třetího napětím řízeného oscilátoru VC03, připojený na zemnicí svorku 4. Spouštěcí vstup 137 třetího napětím řízeného oscilátoru VC03 je připojen na zemnicí svorku 4. Výstup 138 napětím řízeného oscilátoru VC03 pro signál VCOL je připojen na hodinový vstup 142 třetího děliče DK 3 kmitočtu. Přímý výstup 144 třetího děliče DK3 kmitočtu pro signál L je připojen na referenční vstup 123 třetího vyhodnocovacího obvodu V03 a na vstup 152 zadní hrany generátoru GOD okna dat, jehož výstup 153 pro signál OD je připojen na výstupní svorku 9 datového okna pro připojení na neznázorněný obvod vyhodnocení datových impulsů. Inversní výstup 145 třetího děliče DK3 kmitočtu je připojen na datový vstup 141 třetího děliče DK3 kmitočtu. V popsaném zapojení lze integrační člen R4, C4 nahradit popřípadě drátovým propojením. Také odpory R1, R5, R8 lze popřípadě vynechat. Odporové děliče, tvořené dvojicemi odporů R2 a R3, R6 a R7, R9 a R10 lze nahradit jiným vhodným zdrojem napětí. Každý vyhodnocovací obvod V01, V02, V03 sestává z fázového detektoru, nábojového čerpadla a dolní propusti a jejich zapojení jsou známá.

Hlavní vyhodnocovací obvod V01 zpracovává vstupní data tak, že pro každou zvolenou rychlost přenosu dat je mikrokontrolérem na nastavovacích svorkách 5 a 8 zvolen pevný dělicí poměr 1:8, 1:16 nebo 1:32 prvního děliče DK1 kmitočtu, kterým je postupně dělen kmitočet signálu VCOH z prvního napětím řízeného oscilátoru VC01 až na signál RF se střídou 1:1, který je potom fázově srovnáván se závěrnou hranou signálu MKOD, který je spouštěn vstupními daty DT a vzniká ve fázovém detektoru uvnitř prvního vyhodnocovacího obvodu V01. Na obr. 2 je časový diagram signálů vztahujících se k činnosti prvního děliče DK1 kmitočtu v hlavním fázovém závěsu pro tři různé rychlosti a, b, c přenosu vstupních dat DT. Datový signál DT, který způsobí v době t0 změnu stavu výstupních signálů P, P spustí také neznázorněný

monostabilní klopný obvod v prvním vyhodnocovacím obvodu V01, na jehož výstupu je signál MKOD. Závěrná hrana, a sice první funkční hrana po přepnutí signálu MKOD, označená šipkou a další, jsou ve fázovém detektoru srovnávány se vzestupnými hranami průběhu signálů RF. Rychlost c je nejnižší přenosová rychlost při dělicím poměru 1:32, rychlost b je střední přenosová rychlost a rychlost a je nejvyšší přenosová rychlost při dělicím poměru 1:8. Činnost přepínacího obvodu PO vystihuje časový diagram na obr. 4. Při přepínání vstupní datové svorky 1 z jednoho zdroje vstupního signálu na druhý, ke kterému dochází v neznázorněném vnějším přepínači signálem K, který je současně přiveden na přepínací vstup 12 přepínacího obvodu PO, se na dobu několika málo impulsů změní stavy výstupů 13 a 14 přepínacího obvodu PO, to je úroveň signálů P a P̄. Na obr. 4 je to od změny signálu K z logické nuly na logickou jedničku v době 1t do příchodu druhého impulsu vstupních dat DT po této změně v době tQ. Přechodem signálu P do logické nuly dojde k sepnutí spínačů SP1, SP2, SP3 a následnému vyřazení napětím řízených oscilátorů VC01, VC02, VC03, k nulování děličů DK1, DK2, DK3 kmitočtu, k vyřazení fázového detektoru s nábojovým čerpadlem v prvním vyhodnocovacím obvodu V01 a k uzavření nábojových čerpadel ve druhé, a třetím vyhodnocovacím obvodu V02, V03. Návratem signálu P do logické jedničky jsou opět spuštěny všechny napětím řízené oscilátory VC01, VC02, VC03, uvolněny děliče DK1, DK2 a DK3 kmitočtu, fázový detektor v prvním vyhodnocovacím obvodu V01 a všechna nábojová čerpadla. Z časového diagramu na obr. 5 je vidět tvorbu časového okna pro vyhodnocování dat, to je signálu OD hranami průběhů signálů E a L z vedlejších fázových závěsů, kde I znamená otevřenou část okna dat, II srovnávání fáze signálu MKOD a RF na hranách označených šipkou. Hrana průběhu signálu E, označená šipkou, okno dat otevírá, hrana průběhu signálu L, označená šipkou, okno dat-zavírá.

Vstupní data DT, přicházející z diskové paměti, vytvářejí pro účely dekodování informace, kódované na příklad způsobem FM nebo MFM, na výstupní svorce 9 časová okna dat, která se dají definovaným způsobem zúžovat, což umožňuje měřicímu zařízení, jehož je zapojení součástí, posoudit a číselně vyjádřit kvalitu celého čtecího a zápisového traktu připojené diskové paměti. Je toho dosaženo tím, že hlavní fázový závěs, který je zavěšen ke vstupním datům DT, poskytuje na výstupu 54 prvního děliče DK1 kmitočtu signál RF pro první a druhý vedlejší fázový závěs, jejichž regulační odchylky na výstupech 84 a 138 druhého a třetího napětím řízeného oscilátoru VC02 a VC03 jsou ovlivňovány ze zdrojů konstantního proudu působících do první a druhé řídicí svorky 6 a 7 tak, aby průběhy signálů E a L, které generují v bloku generátoru GOD okna dat signál OD, to je okna dat, měly potřebný fázový posuv proti signálu RF. Při nulových proudech do řídicích svorek 6 a 7 by signál L sledoval, co do kmitočtu i fáze, průběh signálu RF ve fázi a signál E v protifázi. Jako zdrojů konstantního proudu je použito číslicově-analogových převodníků, ovládaných při měření číslicově mikroprocesorem podle požadavků na konkrétní velikost zúžení okna dat. První napětím řízený oscilátor VC01 je na svém prvním řídicím vstupu 44 dolaďován napětím regulační odchylky z prvního vyhodnocovacího obvodu V01 tak, aby obdélníkové napětí se střídou 1:1 na výstupu 54 prvního děliče DK1 kmitočtu mělo dvojnásobný kmitočet oproti impulsům vzorku dat s nejvyšším kmitočtem, jaký se ve zpracovávané posloupnosti vstupních dat DT při dané rychlosti přenosu dat vyskytuje, a to při dekodování záznamu v kódu MFM. Při dekodování záznamu v kódu FM je kmitočet prvního napětím řízeného oscilátoru VC01 dolaďován na kmitočet rovný vzorku dat s nejvyšším kmitočtem, který se ve zpracovávané posloupnosti vstupních dat DT vyskytuje. Pro každou ze tří přenosových rychlostí a, b, c je signál na nastavovacích vstupech 5 a 8 prvního děliče DK1 kmitočtu nastaven dělicí poměr, doba kyvu monostabilního klopného obvodu fázového detektoru prvního vyhodnocovacího obvodu V01, popřípadě velikost časové konstanty dolní propusti. První a druhý fázový závěs mají pracovní podmínky nastaveny pevně. Samy se přeladují za okamžitým kmitočtem svého vstupního průběhu signálu RF po uvol-

nění činnosti signály $\underline{P}$, $\underline{F}$ z přepínacího obvodu $\underline{PQ}$. V časovém diagramu na obr. 3 jsou postupně pro tři různé rychlosti přenosu dat $\underline{a}$, $\underline{b}$, $\underline{c}$ nakresleny časové průběhy signálů $\underline{P}$, $\underline{MKO}$, $\underline{ND}$, $\underline{RF}$, $\underline{VCOE}$, $\underline{E}$. Rychlost $\underline{a}$ je nejvyšší, $\underline{b}$ střední a $\underline{c}$ nejnižší. Časové průběhy obdobných signálů se signálem $\underline{VCOL}$ z druhého vedlejšího fázového závěsu v okamžiku těsně po ukončení přepínání obvodu generování oken z jednoho zdroje vstupního signálu $\underline{DT}$ na druhý, to je od okamžiku $\underline{t_0}$, jsou podobné. K fázovému posunutí průběhů signálů $\underline{E}$ a $\underline{L}$ proudy do vstupních svorek $\underline{6}$ a $\underline{7}$ dojde až následně. Popsané zapojení, které se zavěsilo na vstupní data $\underline{DT}$, po uklidnění přechodového děje zachycení, generovalo při zvolené rychlosti přenosu dat na výstupní svorce $\underline{9}$, okna dat $\underline{OD}$ až do okamžiku několika málo vstupních impulsů před okamžikem $\underline{t_0}$. Signál $\underline{P}$ byl v logické jedničce, signál $\underline{F}$ v logické nule. Tím byly uvolněny vyhodnocovací obvody $\underline{V01}$, $\underline{V02}$, $\underline{V03}$, děliče $\underline{DK1}$, $\underline{DK2}$, $\underline{DK3}$ kmitočtu a nesepnuté spínače $\underline{SP1}$, $\underline{SP2}$ a $\underline{SP3}$ umožňovaly činnost příslušných napětím řízených oscilátorů $\underline{VC01}$, $\underline{VC02}$, $\underline{VC03}$. V okamžiku $\underline{t_1}$ před dobou $\underline{t_0}$ došlo k přepnutí vstupní datové svorky $\underline{1}$ z jednoho zdroje vstupního signálu $\underline{DT}$ na druhý při téže zvolené rychlosti přenosu dat, změnou logické úrovně signálu $\underline{K}$. Signály $\underline{P}$ a $\underline{F}$ změnila logickou úroveň. Tím došlo k sepnutí odporů $\underline{R1}$, $\underline{R5}$ a $\underline{R8}$ na potenciál země spínači $\underline{SP1}$, $\underline{SP2}$, $\underline{SP3}$, čímž došlo k vyřazení napětím řízených oscilátorů $\underline{VC01}$, $\underline{VC02}$, $\underline{VC03}$ z činnosti tak, že signály $\underline{VCOH}$, $\underline{VCOE}$, $\underline{VCOL}$ na jejich výstupech $\underline{48}$, $\underline{98}$, $\underline{138}$ přešly do kladové hladiny logické nuly. Současně došlo k nulování děliče $\underline{DK1}$ kmitočtu a přes dvouvstupový obvod $\underline{LS}$ typu logického součinu, k nulování děličů $\underline{DK2}$, $\underline{DK3}$ kmitočtu. Také klopné obvody fázového detektoru prvního vyhodnocovacího obvodu $\underline{V01}$ byly nulovány, čímž ustala činnost na ně připojeného nábojového čerpadla. Stejně tak byla vyřazena z činnosti nábojová čerpadla vyhodnocovacích obvodů $\underline{V02}$, $\underline{V03}$, a to signálem $\underline{F}$. V době $\underline{t_0}$ dojde k obnově původních hladin signálů $\underline{P}$ a $\underline{F}$, které dříve doprovázely pravidelnou činnost zapojení před zahájením přepínání. Je to okamžik $\underline{t_0}$. Jsou uvolněny děliče $\underline{DK1}$, $\underline{DK2}$, $\underline{DK3}$ kmitočtu nacházející se nyní v definovaném počátečním stavu. Také jsou uvolněna nábojová čerpadla ve vyhodnocovacích obvodech $\underline{V01}$, $\underline{V02}$, $\underline{V03}$. Spínače $\underline{SP1}$, $\underline{SP2}$, $\underline{SP3}$, které mohou být realizovány na příklad spínacími tranzistory typu npn v zapojení se společným emitorem, jsou úrovní logické nuly opět rozepnuty a uvolní činnost napětím řízených oscilátorů $\underline{VC01}$, $\underline{VC02}$, $\underline{VC03}$. První funkční hrana signálu $\underline{VCOH}$ vznikne v době $\underline{t_{01}}$. Ve fázovém detektoru prvního vyhodnocovacího obvodu $\underline{V01}$ jsou fázově srovnány závěrné hrany signálu $\underline{MKOD}$ spouštěného vstupními daty $\underline{DT}$ s nástupními hranami signálu $\underline{RF}$. Z časového diagramu je patrné, že přepnutí svorky $\underline{1}$ a opětné spuštění hlavního fázového závěsu proběhlo tak, že došlo jen k malému fázovému rozdílu mezi srovnávanými hranami, což představuje jen zlomek periody referenčního napětí signálu $\underline{RF}$. V prvním a druhém vedlejší fázovém závěsu, kde se fázově srovnávají hrany signálu $\underline{RF}$ se signálem $\underline{E}$, $\underline{L}$, se objeví první hrana napětí z napětím řízeného oscilátoru $\underline{VC01}$, $\underline{VC02}$ v době $\underline{t_1}$ při nejvyšší, v době $\underline{t_2}$ při střední a v době $\underline{t_3}$ při nejnižší rychlosti přenosu dat. Je to jenom zlomek doby, kterou jinak naměříme u oscilátorů spouštěných běžným způsobem, to je do spouštěcích vstupů $\underline{47}$, $\underline{97}$, $\underline{107}$, kde hladina u oscilátoru nekmitajícího je v logické jedničce a první generovaná hrana sestupná. Pro srovnání jsou tyto hrany zakresleny na obr. 3 šipkami směřujícími dolů v časech $\underline{t_4}$, $\underline{t_5}$ a $\underline{t_6}$. Krátké spouštěcí časy umožňují, že počáteční fázové rozdíly srovnávaných signálů po přepnutí byly dostatečně malé a prakticky nezávislé jak na okamžitých pracovních bodech napětím řízených oscilátorů $\underline{VC01}$, $\underline{VC02}$, $\underline{VC03}$, tak i na rozptylu parametrů součástek i jejich teplotních změnách, a to i při různých rychlostech přenosu dat. K prvnímu překlopení děličů $\underline{DK2}$, $\underline{DK3}$ kmitočtů je použito až druhé funkční hrany signálů $\underline{VCOE}$, $\underline{VCOL}$, která dá první vzestupnou hranu signálu $\underline{E}$, $\underline{L}$ blíže srovnávané vzestupné hraně signálu $\underline{RF}$, která se mezitím objevila na výstupu prvního děliče $\underline{DK1}$ kmitočtu. Je toho dosaženo signálem $\underline{ND}$ z obvodu $\underline{LS}$ typu logického součinu, zavedeným do nulovacích vstupů druhého a třetího děliče $\underline{DK2}$, $\underline{DK3}$ kmitočtu. Jeho generování je patrné z časového průběhu na obr. 3.

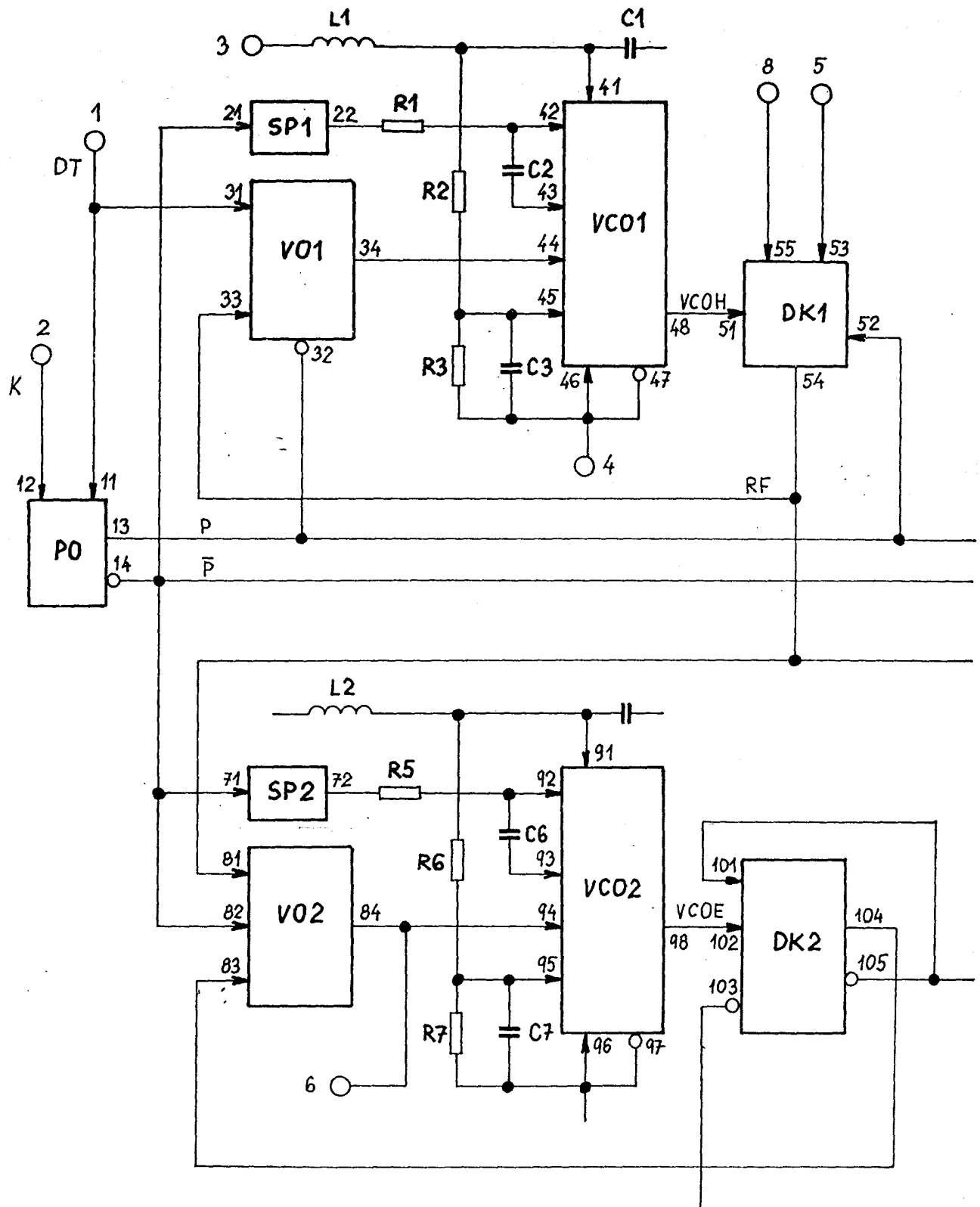
Zapojení podle vynálezu lze použít ke generování vyhodnocovacích oken dat s možno-

stí jejich programového zužování, například pro měřicí účely, s krátkou dobou uklidnění po přepnutí vstupních dat. Samostatného hlavního fázového závěsu lze použít například v dekodérech dat s fázovým závěsem, kde je potřeba přepínat fázový závěs k různým zdrojům vstupního signálu s malou počáteční fázovou chybou a tedy i krátkou dobou uklidnění.

P R E D M Ě T V Y N Á L E Z U

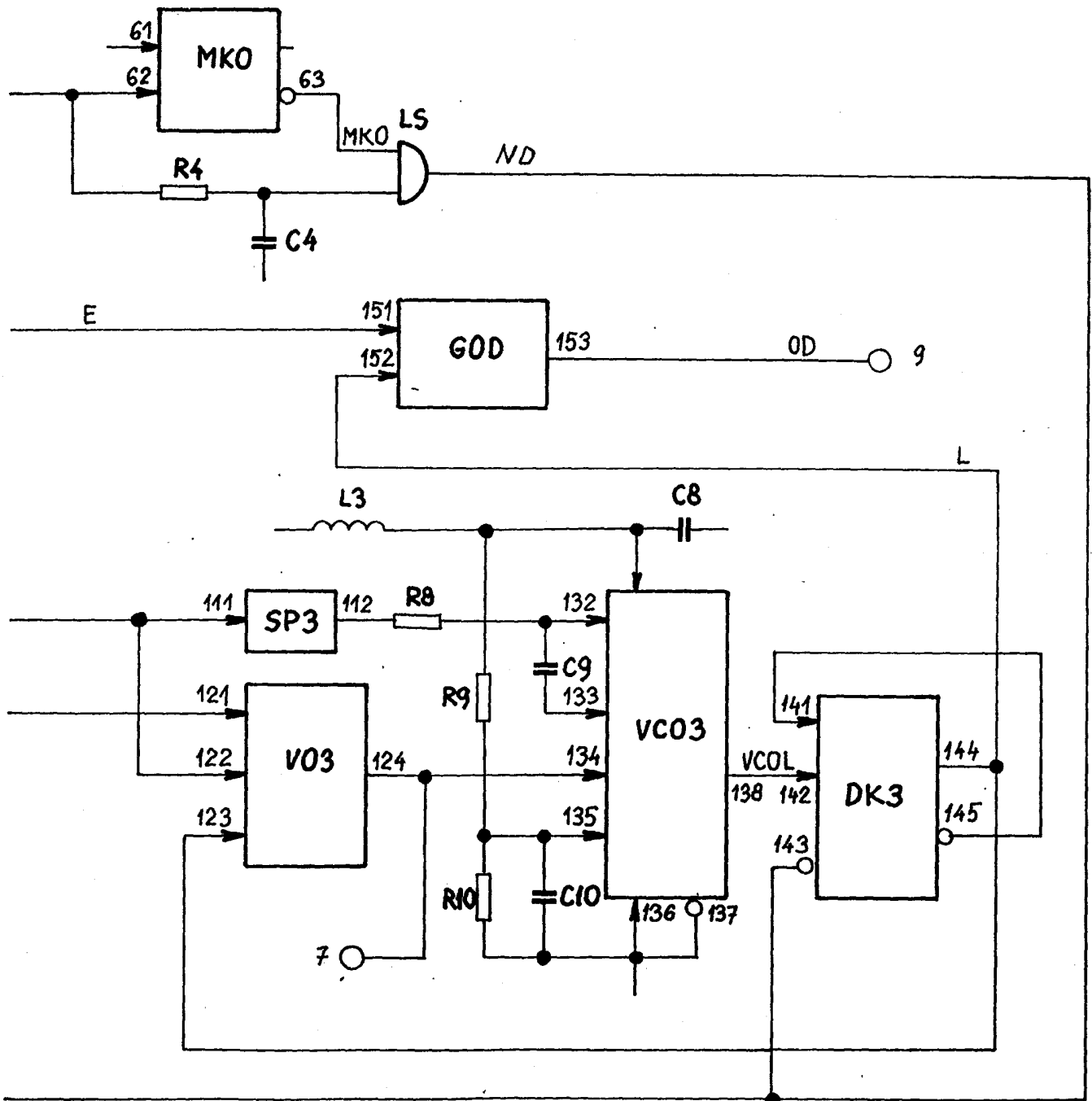
1. Zapojení k nastavování hranic časových oken pro vyhodnocování dat s fázovým závěsem a přepínacím obvodem, kde datový vstup vyhodnocovacího obvodu je spojen s datovým vstupem přepínacího obvodu a se vstupní datovou svorkou, přepínací vstup přepínacího obvodu je připojen na vstupní přepínací svorku, přímý výstup přepínacího obvodu je připojen na přepínací vstup vyhodnocovacího obvodu, na ovládací vstup děliče kmitočtu, výstup vyhodnocovacího obvodu je připojen na první řídící vstup napětím řízeného oscilátoru, mezi první a druhý vstup ladící kapacity napětím řízeného oscilátoru je připojen druhý kondenzátor, napájecí přívod napětím řízeného oscilátoru je připojen jednak přes první kondenzátor na zemnicí svorku, jednak přes oddělovací tlumivku na svorku kladného napětí, napájecí přívod napětím řízeného oscilátoru je dále připojen přes druhý odpor na druhý řídící vstup napětím řízeného oscilátoru, druhý řídící vstup napětím řízeného oscilátoru je připojen přes paralelně spojený třetí odpor a třetí kondenzátor na zemnicí přívod napětím řízeného oscilátoru, připojený na zemnicí svorku, výstup napětím řízeného oscilátoru je připojen na impulsní vstup děliče kmitočtu, jehož první nastavovací vstup je připojen na první nastavovací svorku a druhý nastavovací vstup na druhou nastavovací svorku, výstup děliče kmitočtu je připojen na referenční vstup vyhodnocovacího obvodu, vyznačující se tím, že inverzní výstup (14) přepínacího obvodu (PO) je připojen na vstup (21) spínacího obvodu (SP1), jehož výstup (22) je připojen popřípadě přes první odpor (R1) na první vstup (42) ladící kapacity napětím řízeného oscilátoru (VC01), spouštěcí vstup (47) napětím řízeného oscilátoru (VC01) je připojen na zemnicí svorku (4).

2. Zapojení podle bodu 1, vyznačující se tím, že inverzní výstup (14) přepínacího obvodu (PO) je dále připojen na vstup (71) spínače (SP2) a na přepínací vstup (82) vyhodnocovacího obvodu (VO2) dalšího fázového závěsu, přímý výstup (13) přepínacího obvodu (PO) je připojen dále na druhý spouštěcí vstup (62) monostabilního klopného obvodu (MKO) a popřípadě přes integrační člen (R4, C4) na druhý vstup dvouvstupového obvodu (LS) typu logického součinu, výstup (54) děliče (DK1) kmitočtu je připojen dále na datový vstup (81) vyhodnocovacího obvodu (VO2) dalšího fázového závěsu, spouštěcí vstup (61) monostabilního klopného obvodu (MKO) je připojen na zemnicí svorku (4), inverzní výstup (63) monostabilního klopného obvodu (MKO) je připojen na první vstup dvouvstupového obvodu (LS) typu logického součinu, jehož výstup je připojen na nulovací vstup (103) děliče (DK2) kmitočtu dalšího fázového závěsu, výstup (84) vyhodnocovacího obvodu (VO2) dalšího fázového závěsu je připojen dále na řídící svorku (6), inverzní výstup (105) děliče (DK2) kmitočtu dalšího fázového závěsu je dále připojen na vstup (151) jedné hrany generátoru (GOD) okna dat, jehož výstup (153) je připojen na výstupní svorku (9).

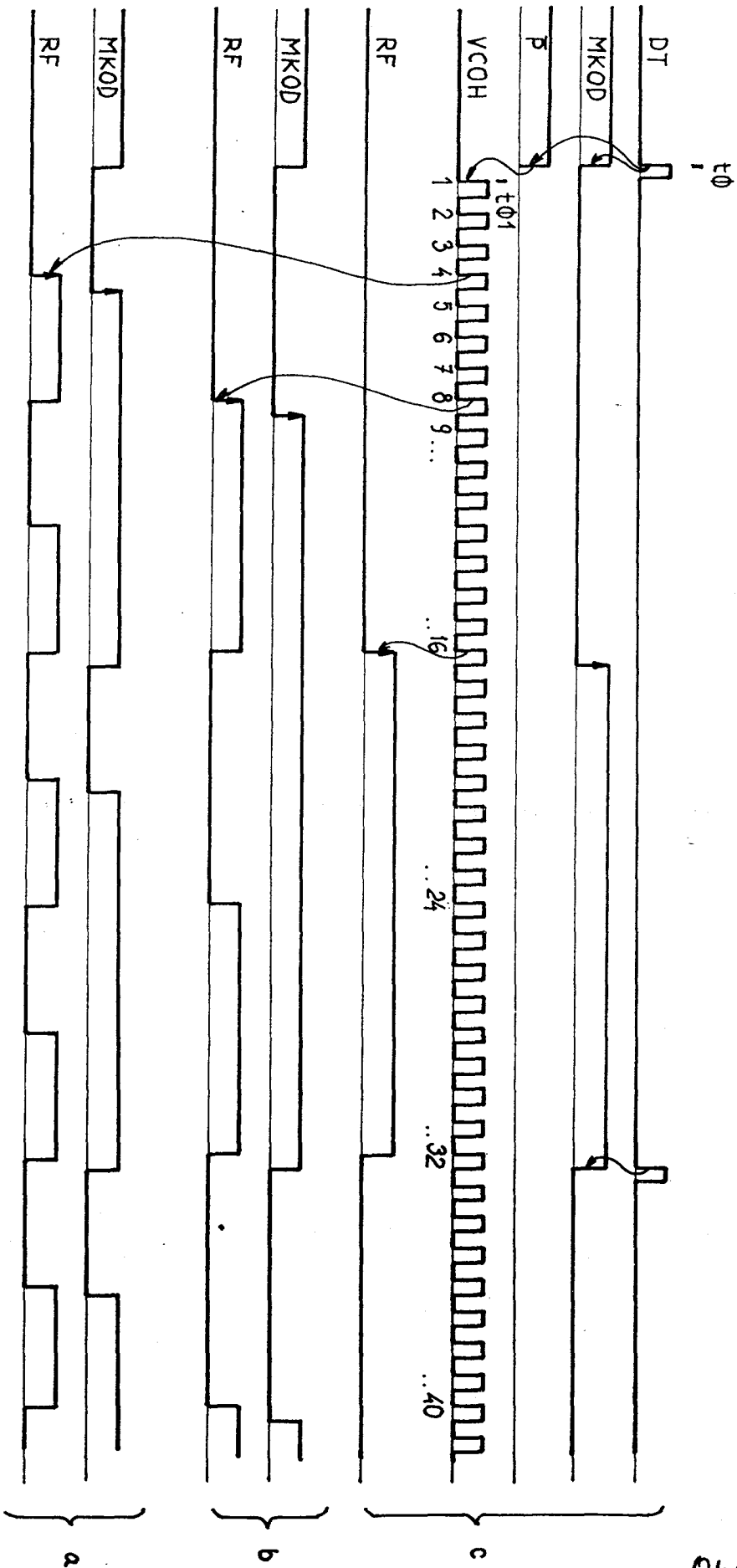


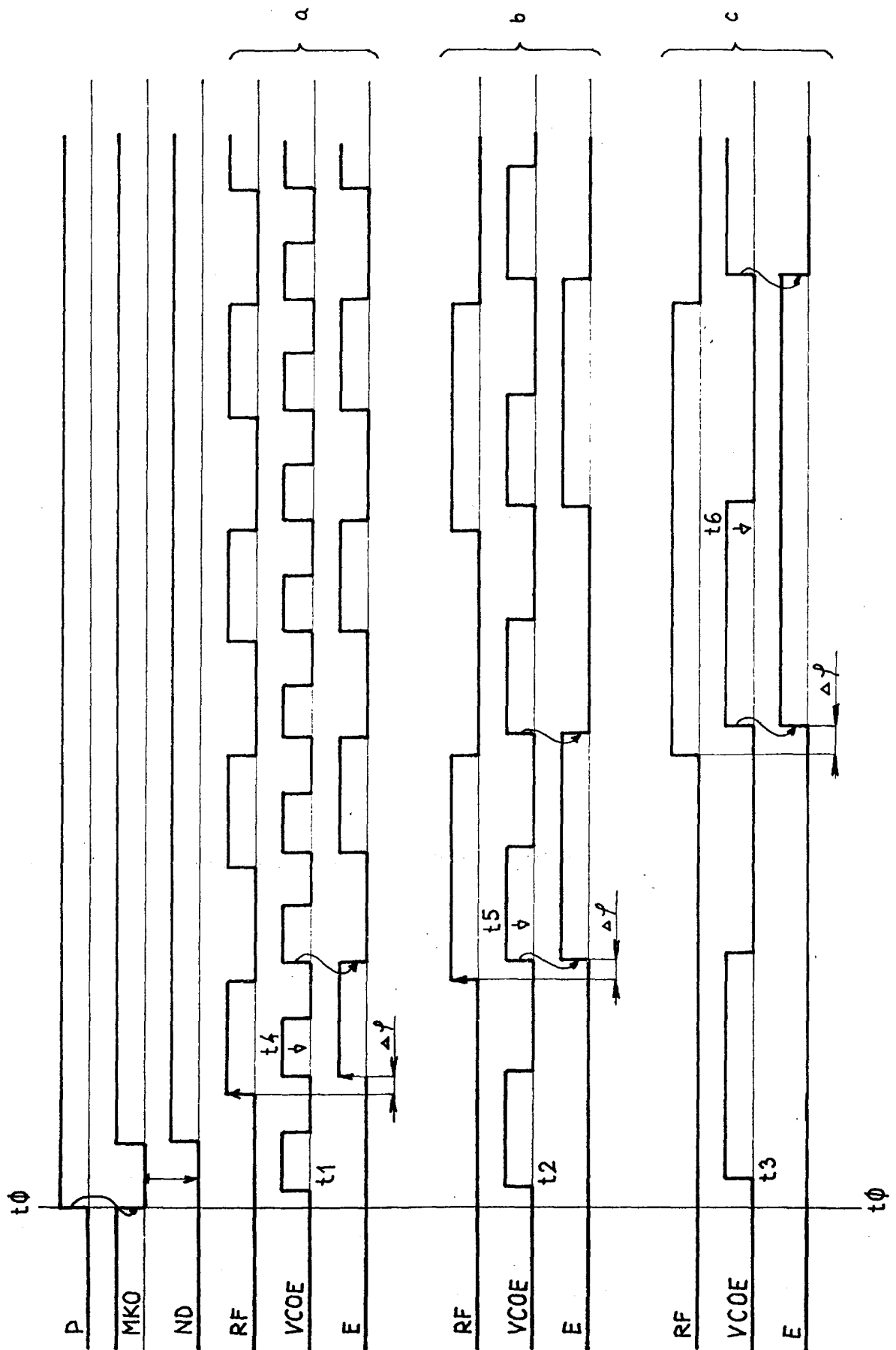
Obn. 1a

CS 269 270 B1

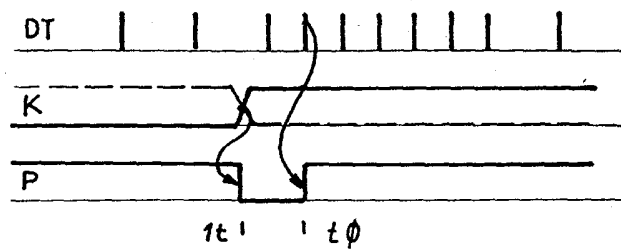


Obn. 1b

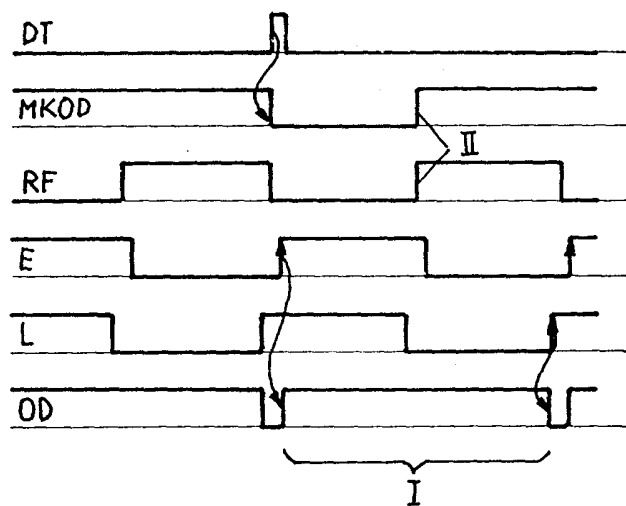




CS 269 270 B1



OBR. 4



OBR. 5