



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0058798
(43) 공개일자 2008년06월26일

- | | |
|--|--|
| <p>(51) Int. Cl.
<i>G11C 11/4094</i> (2006.01) <i>G11C 11/4091</i> (2006.01)</p> <p>(21) 출원번호 10-2006-0132902</p> <p>(22) 출원일자 2006년12월22일
심사청구일자 없음</p> | <p>(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416</p> <p>(72) 발명자
김진영
서울 도봉구 방학동 삼성래미안아파트 202동 704호
송기환
서울 강남구 도곡동 동신아파트 가동 1202호
박덕하
경기 수원시 영통구 망포동 벽산아파트 113동 1803호</p> <p>(74) 대리인
박상수</p> |
|--|--|

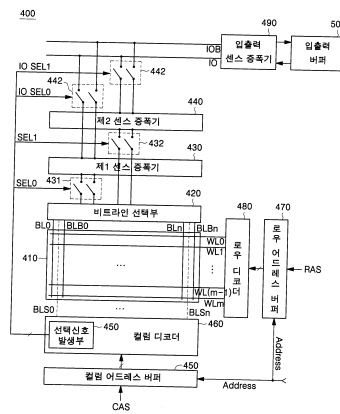
전체 청구항 수 : 총 26 항

(54) 커패시터리스 동적 반도체 메모리 장치 및 이 장치의 동작방법

(57) 요약

커패시터리스(capacitor-less) 동적 반도체 메모리 장치 및 이 장치의 동작 방법이 제공된다. 커패시터리스 동적 반도체 메모리 장치는 워드라인에 연결된 게이트, 다수의 비트라인쌍들 각각에 연결된 드레인, 및 소스 라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 메모리 셀들을 포함하는 메모리 블록, 비트라인선택신호들에 응답해서 비트라인쌍들 중 어느 하나를 선택해서 중간비트라인쌍에 연결하는 비트라인 선택부, 각각의 감지비트라인쌍의 전압 차를 감지 증폭하는 적어도 2개의 센스 증폭부, 및 중간비트라인쌍을 적어도 2개의 센스 증폭부의 감지비트라인쌍에 연속적으로 번갈아가면서 연결하는 제어부로 구성되어 있다.

대표도 - 도4



특허청구의 범위

청구항 1

워드라인에 연결된 게이트, 다수의 비트라인쌍들 각각에 연결된 드레인, 및 소스 라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 메모리 셀들을 포함하는 메모리 블록;

비트라인선택신호들에 응답해서 상기 비트라인쌍들 중 어느 하나를 선택해서 중간비트라인쌍에 연결하는 비트라인 선택부;

각각의 감지비트라인쌍의 전압 차를 감지 증폭하는 적어도 2개의 센스 증폭부; 및

상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍에 연속적으로 번갈아가면서 연결하는 제어부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 2

제 1항에 있어서, 상기 제어부는

적어도 2개의 선택신호를 연속적으로 번갈아가면서 활성화하는 선택신호 발생기; 및

상기 적어도 2개의 선택신호에 응답하여 상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍에 연속적으로 번갈아가면서 연결하는 제1선택스위칭부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 3

제 2항에 있어서, 상기 센스 증폭부는

제1감지비트라인쌍의 전압 차를 감지하여 증폭하는 제1센스증폭기; 및

제2감지비트라인쌍의 전압 차를 감지하여 증폭하는 제2센스증폭기를 구비하며,

상기 선택신호 발생기는

제1선택신호 및 제2선택신호를 연속적으로 번갈아가면서 활성화하고,

상기 제1선택스위칭부는

상기 제1선택신호에 응답하여 상기 중간비트라인쌍을 상기 제1감지비트라인쌍에 연결하는 제1선택스위치; 및

상기 제2선택신호에 응답하여 상기 중간비트라인쌍을 상기 제2감지비트라인쌍에 연결하는 제2선택스위치를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 4

제 2항에 있어서, 상기 선택신호 발생기는

상기 적어도 2개의 선택신호에 대응되는 적어도 2개의 데이터 입출력 선택신호를 연속적으로 번갈아가면서 활성화하고,

상기 제어부는

적어도 2개의 데이터 입출력선택신호에 응답하여 상기 적어도 2개의 센스 증폭기의 감지비트라인쌍을 데이터 입출력 라인쌍에 연속적으로 번갈아가면서 연결하는 제2선택스위칭부를 추가적으로 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 5

제 4항에 있어서, 상기 센스 증폭부는

제1감지비트라인쌍의 전압 차를 감지하여 증폭하는 제1센스증폭기; 및

제2감지비트라인쌍의 전압 차를 감지하여 증폭하는 제2센스증폭기를 구비하며,

상기 선택신호 발생기는

제1선택신호 및 제2선택신호를 연속적으로 번갈아가면서 활성화하고, 상기 제1선택신호 및 상기 제2선택신호에 대응되는 상기 제1데이터 입출력선택신호 및 상기 제2데이터 입출력선택신호를 연속적으로 번갈아가면서 활성화하고,

상기 제1선택스위칭부는

상기 제1선택신호에 응답하여 상기 중간비트라인쌍을 상기 제1감지비트라인쌍에 연결하는 제1선택스위치; 및

상기 제2선택신호에 응답하여 상기 중간비트라인쌍을 상기 제2감지비트라인쌍에 연결하는 제2선택스위치를 구비하고,

상기 제2선택스위칭부는

상기 제1데이터 입출력선택신호에 응답하여 상기 제1감지비트라인쌍을 상기 데이터 입출력라인쌍에 연결하는 제3선택스위치; 및

상기 제2데이터 입출력선택신호에 응답하여 상기 제2감지비트라인쌍을 상기 데이터 입출력라인쌍에 연결하는 제4선택스위치를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 6

제 5항에 있어서, 상기 커패시터리스 동적 반도체 메모리 장치는

상기 데이터 입출력라인쌍의 신호를 감지하여 증폭하는 데이터 입출력 센스 증폭기를 추가적으로 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 7

제 6항에 있어서, 상기 커패시터리스 동적 반도체 메모리 장치는 컬럼디코더를 추가적으로 구비하고,

상기 컬럼디코더는 컬럼 어드레스를 입력하여 상기 비트라인선택신호들을 연속적으로 번갈아가면서 활성화하고,

상기 선택신호 발생부는

상기 비트라인선택신호들에 응답하여 연속적으로 번갈아가면서 활성화되는 적어도 2개의 선택신호를 발생하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 8

제 7항에 있어서, 상기 컬럼디코더는 어드레스 카운터를 추가적으로 구비하고,

상기 비트라인선택신호들은 상기 어드레스 카운터의 증가에 응답해서 순차적으로 활성화되는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 9

제 2항에 있어서, 상기 적어도 2개의 센스 증폭부 각각은

상기 감지비트라인쌍의 전압 차를 감지하여 증폭하는 전압 센스 증폭기; 및

상기 감지비트라인쌍을 제1프리차지 전압 레벨로 프리차지하는 제1프리차지부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 10

제 9항에 있어서, 상기 커패시터리스 동적 반도체 메모리 장치는

상기 중간비트라인쌍을 제2프리차지 전압 레벨로 프리차지하는 제2프리차지부를 추가적으로 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 11

제 1항에 있어서, 상기 비트라인쌍들이 2의 n승개이면

상기 센스증폭기는 숫자는 2의 m승개에서 2개 사이의 값이며, n은 1보다 큰 자연수이며 m은 n-1과 같거나 작은 자연수인 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 12

워드라인에 연결된 게이트, 다수의 비트라인들 각각에 연결된 드레인, 및 제1소스라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 메모리 셀들을 구비하는 제1메모리 블록;

더미 워드라인에 연결된 게이트, 다수의 반전비트라인들 각각에 연결된 드레인, 및 제2소스라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 데이터 1이 저장된 제1더미 셀과 데이터 0이 저장된 제2더미 셀, 및 상기 제1더미 셀이 연결된 반전비트라인과 상기 제2더미 셀이 연결된 반전비트라인 사이에 연결된 등화 트랜지스터를 구비하는 제2메모리 블록;

상기 제1메모리 블록과 상기 제2메모리 블록 사이에 위치하며 비트라인선택신호들에 응답해서 상기 제1메모리 블록의 하나의 비트라인을 제1중간 비트라인에, 상기 제2메모리 블록의 하나의 반전 비트라인을 선택해서 제2중간 비트라인에 각각 연결하는 제1 및 제2비트라인 선택부;

각각의 감지비트라인쌍의 전압 차를 감지 증폭하는 적어도 2개의 센스 증폭부; 및

상기 제1중간 비트라인과 상기 제2중간비트라인을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍에 연속적으로 번갈아가면서 연결하는 제어부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 13

제 12항에 있어서, 상기 제어부는

적어도 2개의 선택신호를 연속적으로 번갈아가면서 활성화하는 선택신호 발생기; 및

상기 적어도 2개의 선택신호에 응답하여 상기 제1중간비트라인을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍의 감지비트라인에 연속적으로 번갈아가면서 연결하고, 상기 제2중간비트라인을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍의 반전 감지비트라인에 연속적으로 번갈아가면서 연결하는 제1선택스위칭부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 14

제 13항에 있어서, 상기 센스 증폭부는

제1감지비트라인쌍의 전압 차를 감지하여 증폭하는 제1센스증폭기; 및

제2감지비트라인쌍의 전압 차를 감지하여 증폭하는 제2센스증폭기를 구비하며,

상기 선택신호 발생기는

제1선택신호 및 제2선택신호를 연속적으로 번갈아가면서 활성화하고,

상기 제1선택스위칭부는

상기 제1선택신호에 응답하여 상기 제1중간비트라인 및 상기 제2중간비트라인을 상기 제1감지비트라인쌍에 연결하는 제1선택스위치; 및

상기 제2선택신호에 응답하여 상기 제1중간비트라인 및 상기 제2중간비트라인을 상기 제2감지비트라인쌍에 연결하는 제2선택스위치를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 15

제 13항에 있어서, 상기 선택신호 발생기는

상기 적어도 2개의 선택신호에 대응되는 적어도 2개의 데이터 입출력 선택신호를 연속적으로 번갈아가면서 활성화하고,

상기 제어부는

적어도 2개의 데이터 입출력선택신호에 응답하여 상기 적어도 2개의 센스 증폭기의 감지비트라인쌍을 데이터 입출력 라인쌍에 연속적으로 번갈아가면서 연결하는 제2선택스위칭부를 추가적으로 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 16

제 13항에 있어서, 상기 센스 증폭부는

제1감지비트라인쌍의 전압 차를 감지하여 증폭하는 제1센스증폭기; 및

제2감지비트라인쌍의 전압 차를 감지하여 증폭하는 제2센스증폭기를 구비하며,

상기 선택신호 발생기는

제1선택신호 및 제2선택신호를 연속적으로 번갈아가면서 활성화하고, 상기 제1선택신호 및 상기 제2선택신호에 대응되는 상기 제1데이터 입출력선택신호 및 상기 제2데이터 입출력선택신호를 연속적으로 번갈아가면서 활성화하고,

상기 제1선택스위칭부는

상기 제1선택신호에 응답하여 상기 제1중간비트라인과 상기 제2중간비트라인을 상기 제1감지비트라인쌍에 연결하는 제1선택스위치; 및

상기 제2선택신호에 응답하여 상기 제1중간비트라인과 상기 제2중간비트라인을 상기 제2감지비트라인쌍에 연결하는 제2선택스위치를 구비하고,

상기 제2선택스위칭부는

상기 제1데이터 입출력선택신호에 응답하여 상기 제1감지비트라인쌍을 상기 데이터 입출력라인쌍에 연결하는 제3선택스위치; 및

상기 제2데이터 입출력선택신호에 응답하여 상기 제2감지비트라인쌍을 상기 데이터 입출력라인쌍에 연결하는 제4선택스위치를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 17

제 13항에 있어서, 상기 커패시터리스 동적 반도체 메모리 장치는 컬럼디코더를 추가적으로 구비하고,

상기 컬럼디코더는 컬럼 어드레스를 입력하여 상기 비트라인선택신호들을 연속적으로 번갈아가면서 활성화하고,

상기 선택신호 발생부는

상기 비트라인선택신호들에 응답하여 연속적으로 번갈아 활성화되는 적어도 2개의 선택신호를 발생하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 18

제 17항에 있어서, 상기 컬럼디코더는 어드레스 카운터를 추가적으로 구비하고,

상기 비트라인선택신호들은 상기 어드레스 카운터의 증가에 응답해서 순차적으로 활성화되는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 19

제 13항에 있어서, 상기 적어도 2개의 센스 증폭부 각각은

상기 감지비트라인쌍의 전압 차를 감지하여 증폭하는 전압 센스 증폭기; 및

상기 감지비트라인쌍을 제1프리차지 전압 레벨로 프리차지하는 제1프리차지부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 20

제 19항에 있어서, 상기 커패시터리스 동적 반도체 메모리 장치는

상기 제1중간비트라인과 상기 제2중간비트라인을 제2프리차지 전압 레벨로 프리차징하는 제2프리차지부를 추가적으로 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 21

제 13항에 있어서, 상기 비트라인쌍들이 2의 n승개이면

상기 센스증폭기는 숫자는 2의 m승개에서 2개 사이의 값이며, n은 1보다 큰 자연수이며 m은 n-1과 같거나 작은 자연수인 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 22

워드라인에 연결된 게이트, 다수의 비트라인쌍들 각각에 연결된 드레인, 및 소스 라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 메모리 셀들을 포함하는 메모리 블록;

비트라인선택신호들에 응답해서 상기 비트라인쌍들 중 어느 하나를 선택해서 중간비트라인쌍에 연결하는 비트라인 선택부;

각각의 감지비트라인쌍의 전압 차를 감지 증폭하는 적어도 2개의 센스 증폭부;

고속 페이지 모드 동작 신호를 발생하는 모드 설정 회로; 및

상기 고속 페이지 모드 동작 신호에 응답하여 고속 페이지 모드 동작시에 상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍에 연속적으로 번갈아가면서 연결하고, 일반 동작시에 상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭부중 고정된 하나의 센스 증폭부의 감지비트라인쌍에 연결하는 제어부를 구비하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치.

청구항 23

워드라인에 연결된 게이트, 다수의 비트라인쌍들 각각에 연결된 드레인, 및 소스 라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 메모리 셀들을 포함하는 메모리 블록;

비트라인선택신호들에 응답해서 상기 비트라인쌍들중 어느 하나를 선택해서 중간비트라인쌍에 연결하는 비트라인 선택부; 및

각각의 감지비트라인쌍의 전압 차를 감지 증폭하는 적어도 2개의 센스 증폭부를 구비하는 커패시터리스 동적 반도체 메모리 장치의 동작 방법에 있어서,

상기 워드라인을 활성화하고 상기 비트라인선택신호들중의 하나를 활성화하여 선택된 상기 비트라인쌍을 상기 중간비트라인쌍에 연결하는 단계;

적어도 2개의 선택신호들에 응답하여 상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭기들의 하나의 센스 증폭기의 감지비트라인쌍에 연결하고, 상기 감지비트라인쌍의 전압 차를 감지하고 증폭하는 단계; 및

적어도 2개의 데이터 입출력선택신호들에 응답하여 상기 적어도 2개의 센스 증폭기들중의 하나의 센스 증폭기의 감지비트라인쌍을 데이터 입출력라인쌍에 연결하는 단계를 구비하며,

상기 비트라인선택신호들의 활성화에 응답하여 상기 적어도 2개의 선택신호들 및 상기 적어도 2개의 데이터 입출력선택신호들을 연속적으로 번갈아가면서 활성화하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치의 동작 방법.

청구항 24

제23항에 있어서, 상기 비트라인쌍을 상기 중간비트라인쌍에 연결하는 단계는

상기 워드라인을 활성화하기 전에 상기 다수의 비트라인쌍들, 상기 중간비트라인쌍 및 상기 감지비트라인쌍을 프리차징하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치의 동작 방법.

청구항 25

제23항에 있어서, 상기 비트라인쌍을 상기 중간비트라인쌍에 연결하는 단계는

상기 비트라인쌍들중의 하나를 활성화하기 전에 상기 중간비트라인쌍의 프리차징을 차단하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치의 동작 방법.

청구항 26

제23항에 있어서, 상기 감지비트라인쌍의 전압 차를 감지하고 증폭하는 단계는

상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭기들의 하나의 센스 증폭기의 감지비트라인쌍에 연결하기 전에 상기 감지비트라인쌍의 프리차징을 차단하는 것을 특징으로 하는 것을 특징으로 하는 커패시터리스 동적 반도체 메모리 장치의 동작 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 동적 반도체 메모리에 관한 것으로, 보다 상세하게는 플로팅 바디 트랜지스터를 가지는 커패시터리스 메모리 셀을 구비하는 커패시터리스 동적 반도체 메모리 장치 및 이 장치의 동작 방법에 관한 것이다.
- <12> 종래의 일반적인 동적 반도체 메모리 장치는 하나의 액세스 트랜지스터와 하나의 커패시터가 하나의 단위 메모리 셀을 구성한다. 하지만 반도체 메모리 장치의 고집적화(high integrity) 및 고용량화(high density)의 요구에 따라 커패시터를 가지는 단위 메모리 셀 구조는 필요한 정전용량(Capacitance)을 확보할 수 없는 문제점을 나타내게 되었다.
- <13> 상기와 같은 문제점을 극복하기 위해, 최근 플로팅바디 트랜지스터를 동적 메모리 셀로써 사용하는 기술들이 소개되었다. IEEE에서 2002년에 소개된 논문 제목 커패시터리스 동적 반도체 메모리 장치에서는 플로팅바디 트랜지스터의 바디에 다수 캐리어를 축적하거나 다수 캐리어를 방출하는 방법으로 데이터 1 또는 0을 저장하는 기술이 개시되어 있다. (Takashi Ohsawa *et al.*, [Memory Design Using a One-Transistor Gain Cell on SOI,] IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 37, NO. 11, NOV. 2002.)
- <14> 도 1은 일반적인 NMOS 플로팅 바디 트랜지스터의 구조 및 쓰기 동작 전압을 나타낸다. 도 1을 참조하면, SOI 기판은 실리콘 기판(Si) 및 절연층(buried oxide)를 포함하고, 플로팅바디 트랜지스터(FBT)는 SOI 기판의 상부에 비트라인(미도시)과 연결되는 드레인(D), 소스라인(미도시)에 연결되는 소스(S), 드레인(D)과 소스(S)사이의 영역의 상부에 절연층과 함께 위치하며, 워드라인(미도시)과 연결되는 게이트(G) 및 게이트(G) 아래에 형성되고 전기적으로 플로팅(floating)된 바디(B)를 포함한다. 먼저 상기 플로팅바디 트랜지스터에 데이터 1을 쓰기 위해서는 게이트(G)와 드레인(D)에 게이트 유도 드레인 누설(GIDL; Gate Induced Drain Leakage)현상이 일어날 수 있는 전압관계, 즉, 각각 게이트(G)에 부전압(-1.5V)과 드레인(D)에 양전압(1.5V)을 인가하여 바디(B)에 홀(hole)을 축적하는 방법과, 게이트(G)와 드레인(D)에 각각 양의 전압(1.5V)을 인가하여 임팩트 이온화(impact ionization) 현상을 이용해서 바디(B)에 홀(hole)을 축적하는 방법이 있다. 즉, 바디(B)에 홀(hole)이 축적됨에 따라 플로팅바디 트랜지스터의 바디전압이 상승하게 되고 이는 문턱전압(Vth1)를 낮추게 하며, 이 상태를 데이터 1을 저장한 상태로 정의한다. 또한 GIDL 현상을 이용한 방법이 임팩트 이온화 현상을 이용한 방법보다 쓰기 전류가 작다는 장점을 가지고 있다. 다음으로, 플로팅바디 트랜지스터(FBT)에 데이터 0을 쓰기 위해서는 바디(B)와 드레인(D) 사이에 순방향 바이어스 조건이 일어나도록 게이트(G)와 드레인(D)에 각각 양전압(1.5V)와 부전압(-1.5V)을 인가하여 바디(B)의 홀을 드레인(D)으로 방출하여 바디전압을 낮아지게 되고 이는 문턱전압(Vth0)을 높게 되며, 이 상태를 데이터 0을 저장한 상태로 정의한다. 또한 데이터 0을 쓰는 방법은 게이트(G)와 소스(S)에 인가되는 전압을 이용해 커플링(Coupling)효과에 의해 바디의 홀을 방출할 수도 있다.
- <15> 또한 일반적으로 고속으로 동작하는 메모리는 페이지 모드 동작(Page mode operation)을 지원한다. 도 2A와 2B는 각각 일반적인 동적 메모리 장치의 코어구조와 페이지 모드 동작을 나타내는 도면이다. 종래의 일반적인 동적 메모리 장치는 하나의 워드라인(WL)이 활성화되면 워드라인(WL)과 비트라인쌍들((BL0, BLOB) ~ (BLn, BLnB))중의 하나의 라인사이에 연결된 메모리 셀들(MC0 ~ MCn)이 선택된다. 이에 따라, 비트라인쌍들((BL0, BLOB)

~ (BLn, BLnB))사이의 전압 차가 발생하게 된다. 비트라인 센스증폭기들(SA1 ~ SAn)는 비트라인쌍들((BL0, BLOB) ~ (BLn, BLnB))사이의 전압 차를 감지하여 증폭한다. 컬럼선택게이트들(CSL0 ~ CSLn)는 도2b에 도시된 것처럼 순차적으로 활성화되는 컬럼선택신호(CSL0~CLSn)에 응답하여 연속적으로 데이터를 출력할 수 있다. 페이지 모드 동작이란 고속의 데이터 입력 또는 출력을 위해 하나의 워드라인을 활성화한 후 컬럼선택신호들(CSL0 ~ CSLn)를 연속적으로 활성화하여 연속적으로 데이터를 입력하거나 출력하는 동작을 말한다.

<16> 도 3은 종래 커패시터리스 동적 메모리 장치의 메모리블럭과 전류감지 증폭기의 상세회로도도를 나타낸다. 커패시터리스 동적 메모리 장치(300)는 미국 공개 특허번호 제2003-0231524에 개시되어 있다. 커패시터리스 동적 메모리 장치(300)는 복수의 비트라인들(BL0~BL7)이 하나의 전류센스증폭기(SA)를 공유하는 구조로 칩사이즈 증가를 최소화하였다. 그러나 상기 복수의 비트라인들(BL0~BL7)이 하나의 센스증폭기를 공유하므로 고속 동작을 요하는 페이지 모드 동작에서는 하나의 워드라인을 활성화하고 비트라인(BL0)을 선택하여 센싱동작을 하고 리드컬럼선택신호(RCSL)를 활성화한다. 그리고 다음의 비트라인(BL1)을 선택하고 센싱하기 위해 반드시 센싱비트라인(SBL)을 프리차지 한 후 비트라인(BL1)을 선택하여 센싱동작하고 리드컬럼선택신호(RCSL)를 활성화 해야 한다. 즉, 하나의 컬럼선택신호를 활성화 한 후 반드시 감지비트라인(SBL)을 프리차지한후 다시 다음의 비트라인을 위한 센싱동작을 해야 하므로 페이지 모드 동작을 위해 여러 번의 센싱동작과 감지비트라인(SBL) 프리차징 동작을 위한 시간이 소모되는 문제점을 가지고 있다. 이를 해결하기위해 미국 공개 특허 번호 2005-0259489는 오픈비트라인구조에서 플로팅바디 트랜지스터를 이용하며 각 비트라인마다 센스앰프를 갖는 구조를 개시하고 있으나 이는 칩사이즈가 증가하는 문제점을 가지고 있다.

발명이 이루고자 하는 기술적 과제

<17> 본 발명이 이루고자 하는 기술적 과제는, 고속의 페이지 모드 동작이 가능한 커패시터리스 동적 메모리 장치를 제공함에 있다.

<18> 본 발명이 이루고자 하는 다른 기술적 과제는, 상기 커패시터리스 동적 메모리 장치의 동작 방법을 제공함에 있다.

<19> 본 발명의 기술적 과제는 이상에서 언급한 기술적 과제로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

발명의 구성 및 작용

<20> 상기 기술적 과제를 달성하기 위한 본 발명의 일 실시예에 따른 커패시터리스 동적 반도체 메모리 장치의 제1형태는 워드라인에 연결된 게이트, 다수의 비트라인쌍들 각각에 연결된 드레인, 및 소스 라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 메모리 셀들을 포함하는 메모리 블록, 비트라인선택신호들에 응답해서 상기 비트라인쌍들 중 어느 하나를 선택해서 중간비트라인쌍에 연결하는 비트라인 선택부, 각각의 감지비트라인쌍의 전압 차를 감지 증폭하는 적어도 2개의 센스 증폭부, 및 상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍에 연속적으로 번갈아가면서 연결하는 제어부를 구비하는 것을 특징으로 한다. 상기 제어부는 적어도 2개의 선택신호를 연속적으로 번갈아가면서 활성화하는 선택신호 발생기, 및 상기 적어도 2개의 선택신호에 응답하여 상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍에 연속적으로 번갈아가면서 연결하는 제1선택스위칭부를 구비하는 것을 특징으로 한다.

<21> 상기 기술적 과제를 달성하기 위한 본 발명의 커패시터리스 동적 반도체 메모리 장치의 제2형태는 워드라인에 연결된 게이트, 다수의 비트라인들 각각에 연결된 드레인, 및 제1소스라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 메모리 셀들을 구비하는 제1메모리 블록, 더미 워드라인에 연결된 게이트, 다수의 반전비트라인들 각각에 연결된 드레인, 및 제2소스라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 데이터 1이 저장된 제1더미 셀과 데이터 0이 저장된 제2더미 셀, 및 상기 제1더미 셀이 연결된 반전비트라인과 상기 제2더미 셀이 연결된 반전비트라인사이에 연결된 등화 트랜지스터를 구비하는 제2메모리 블록, 상기 제1메모리 블록과 상기 제2메모리 블록사이에 위치하며 비트라인선택신호들에 응답해서 상기 제1메모리 블록의 하나의 비트라인을 제1중간 비트라인에, 상기 제2메모리 블록의 하나의 반전 비트라인을 선택해서 제2중간 비트라인에 각각 연결하는 제1 및 제2비트라인 선택부, 각각의 감지비트라인쌍의 전압 차를 감지 증폭하는 적어도 2개의 센스 증폭부, 및 상기 제1중간 비트라인과 상기 제2중간비트라인을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍에 연속적으로 번갈아가면서 연결하는 제어부를 구비하는 것을 특징으로 한다.

<22> 상기 제어부는 적어도 2개의 선택신호를 연속적으로 번갈아가면서 활성화하는 선택신호 발생기, 및 상기 적어도

2개의 선택신호에 응답하여 상기 제1중간비트라인을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍의 감지비트라인에 연속적으로 번갈아가면서 연결하고, 상기 제2중간비트라인을 상기 적어도 2개의 센스 증폭부의 감지비트라인쌍의 반전 감지비트라인에 연속적으로 번갈아가면서 연결하는 제1선택스위칭부를 구비하는 것을 특징으로 한다.

- <23> 상기 다른 기술적 과제를 달성하기 위한 본 발명의 실시예에 따른 커패시터리스 동적 반도체 메모리 장치의 동작 방법은 워드라인에 연결된 게이트, 다수의 비트라인쌍들 각각에 연결된 드레인, 및 소스 라인에 연결된 소스를 각각 가지는 플로팅바디 트랜지스터로 이루어진 메모리 셀들을 포함하는 메모리 블록, 비트라인선택신호들에 응답해서 상기 비트라인쌍들중 어느 하나를 선택해서 중간비트라인쌍에 연결하는 비트라인 선택부, 및 각각의 감지비트라인쌍의 전압 차를 감지 증폭하는 적어도 2개의 센스 증폭부를 구비하는 커패시터리스 동적 반도체 메모리 장치의 동작 방법에 있어서, 상기 워드라인을 활성화하고 상기 비트라인선택신호들중의 하나를 활성화하여 선택된 상기 비트라인쌍을 상기 중간비트라인쌍에 연결하는 단계, 적어도 2개의 선택신호들에 응답하여 상기 중간비트라인쌍을 상기 적어도 2개의 센스 증폭기들의 하나의 센스 증폭기의 감지비트라인쌍에 연결하고, 상기 감지비트라인쌍의 전압 차를 감지하고 증폭하는 단계, 및 적어도 2개의 데이터 입출력선택신호들에 응답하여 상기 적어도 2개의 센스 증폭기들중의 하나의 센스 증폭기의 감지비트라인쌍을 데이터 입출력라인쌍에 연결하는 단계를 구비하며, 상기 비트라인선택신호들의 활성화에 응답하여 상기 적어도 2개의 선택신호들 및 상기 적어도 2개의 데이터 입출력선택신호들을 연속적으로 번갈아가면서 활성화하는 것을 특징으로 한다.
- <24> 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- <25> 본 명세서에서 및/또는는 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.
- <26> 본 명세서에서 사용된 용어는 실시예들을 설명하기 위한 것이며 본 발명을 제한하고자 하는 것은 아니다. 본 명세서에서, 단수형은 문구에서 특별히 언급하지 않는 한 복수형도 포함한다. 명세서에서 사용되는 포함한다(comprises) 및/또는 포함하는(comprising)은 언급된 구성요소, 단계, 동작 및/또는 소자는 하나 이상의 다른 구성요소, 단계, 동작 및/또는 소자의 존재 또는 추가를 배제하지 않는다.
- <27> 이하 도면을 참조하면서 본 발명의 실시예를 자세하게 설명한다.
- <28> 도 4는 본 발명에 따른 커패시터리스 동적 반도체 메모리 장치의 개념적인 블록도를 나타낸다. 이하 도 4을 참고하면서, 일반적인 메모리 장치와 동일한 구성은 간단히 언급하고 본 발명의 특징이 나타나는 구성에 대해서는 자세히 설명한다.
- <29> 메모리 장치(400)는 메모리 블록(410), 비트라인 선택부(420), 제 1 및 제 2 비트 라인 센스증폭기들(430, 440), 선택신호 발생부(450), 제 1 및 제 4연결스위치들(431, 432), 제 1 및 제 2데이터 입출력 스위치들(441, 442), 컬럼 어드레스 버퍼(450), 컬럼 디코더(460), 로우 어드레스 버퍼(470), 로우 어드레스 디코더(480), 입출력 센스 증폭기(490), 및 입출력 버퍼(500)을 포함한다.
- <30> 메모리 블록(410)은 워드라인과 다수의 비트라인쌍들의 교차영역에 플로팅바디 트랜지스터로 이루어진 커패시터리스 동적 메모리 셀들을 포함하며, 비트라인에 연결되는 트루셀과 반전비트라인에 연결되는 반전셀을 단위 메모리셀로 사용하는 트윈셀 구조이다. 상기 트윈셀 구조는 외부에서 입력 또는 출력되는 하나의 데이터를 트루셀과 반전셀에 서로 상보적인 데이터를 저장하거나 출력하는 방식이다. 설명의 명확화를 위해 하나의 메모리 블록만 도시했으나 메모리 장치(400)는 동일한 배치형태를 갖는 복수의 메모리 블록들이 있을 수 있음은 당업자에게는 당연한 사실이다.
- <31> 비트라인 선택부(420)는 NMOS트랜지스터들(N1 N2)로 구성되어 비트라인선택신호들(BLS0-BLSn) 중에 활성화되는 비트라인선택신호에 응답해서 상기 다수의 비트라인쌍들중에서 하나의 비트라인쌍, 즉 하나의 비트라인과 이에 대응하는 하나의 반전비트라인을 선택해서 중간비트라인쌍(IBL, IBLB)(미도시)에 각각 연결한다. 선택신호 발생부(450)는 상기 중간비트라인쌍(IBL, IBLB)을 제 1 및 제 2비트라인센스증폭기들(430, 440) 중에 어느 하나에 선택적으로 연결하는 제1 및 제2선택신호들(SEL0, SEL1) 및 제1 및 제2데이터 입출력 선택신호들(I0 SEL0, I0 SEL1)을 생성한다. 제 1스위치(431)는 상기 제 1선택신호(SEL0)에 응답해서 상기 비트라인 선택부(420)의 상기 중간비트라인쌍(IBL, IBLB)을 상기 제 1 비트라인 센스증폭기(430)에 연결한다. 제 2스위치(432)는 상기 제 2선택

신호(SEL1)에 응답해서 상기 중간비트라인쌍(IBL, IBLB)을 상기 제 2 비트라인센스증폭기(440)에 연결한다. 제 1데이터 입출력 스위치(441)는 제 1 데이터 입출력 선택신호(IO SEL0)에 응답해서 상기 제1비트라인 센스증폭기(430)의 제1감지비트라인쌍(SBL0, SBL0B)(미도시)과 입출력 라인쌍(IO, IOB)을 연결한다. 제 2데이터 입출력 스위치(442)는 제 2 데이터 입출력 선택신호(IO SEL1)에 응답해서 상기 제2비트라인 센스증폭기(440)의 제2감지비트라인쌍(SBL1, SBL1B)(미도시)과 입출력라인쌍(IO, IOB)을 연결한다. 제 1센스증폭기(430)는 제1감지비트라인쌍(SBL0, SBL0B)의 전압 차를 감지하여 증폭한다. 제 2센스증폭기(440)는 제2감지비트라인쌍(SBL1, SBL1B)의 전압 차를 감지하여 증폭한다. 상기 제 1 및 제 2 센스증폭기들(430, 440) 각각은 전압센스증폭기인 것이 바람직하다.

<32> 상기 메모리장치(400)는 컬럼디코더를 더 구비할 수 있으며, 상기 컬럼디코더는 상기 비트라인선택신호들(BLS0-BLSn)을 연속적으로 활성화한다. 상기 선택신호 발생부(450)의 제 1, 2선택신호(SEL0, SEL1)는 상기 비트라인선택신호들에 응답해서 번갈아 가면서 활성화되는 것이 바람직하다. 더 바람직하게는 상기 컬럼디코더(460)는 어드레스 카운터(미도시)를 포함하며 상기 비트라인선택신호들은 상기 어드레스 카운터의 증가에 응답해서 순차적으로 활성화될 수 있다. 또한 상기 제 1, 2데이터 입출력 선택신호(IO SEL0, IO SEL1)도 상기 제 1, 2선택신호(SEL0, SEL1)에 응답해서 번갈아 활성화되는 것이 바람직하다. 페이지 모드 동작에서, 상기 제 1 및 제 2 선택신호(SEL0, SEL1)의 활성화구간은 오버랩되지 않는 것이 바람직하며, 상기 제 1, 2데이터 입출력 선택신호(IO SEL0, IO SEL1)의 활성화구간 또한 오버랩되지 않는 것이 바람직하다. 즉, 본 발명에 따른 커패시터리스 동작 반도체 메모리 장치는 다수의 비트라인쌍들을 포함하는 메모리 블록(400)에서 2개이상의 센스증폭기(430, 440)를 번갈아 가며 동작한다. 즉, 하나의 센스증폭기가 프리차징동작을 하고 있는 동안에 다른 센스증폭기는 센싱동작을 수행하여 고속의 페이지 모드 동작이 가능하다. 여기서 페이지 모드 동작에는 하나의 워드라인을 활성화한 후 연속적으로 두개 이상의 비트라인을 선택하는 동작을 의미한다.

<33> 도 5는 도 4의 메모리장치의 일실시예에 따른 상세한 회로도이다.도 5를 참고하면, 메모리 블록(410)은 워드라인(WL)에 연결된 게이트와 복수개의 비트라인쌍들(BL0 ~ BL15) 각각에 연결된 드레인과 소스 라인(SL)에 연결된 소스를 가지는 플로팅 바디 트랜지스터로 이루어진 복수개의 트루셀(TC), 및 워드라인(WL)에 연결된 게이트와 복수개의 반전비트라인들(BLOB ~ BL15B) 각각에 연결된 드레인과 소스 라인(SL)에 연결된 소스를 가지는 플로팅 바디 트랜지스터로 이루어진 복수개의 반전셀(CC)로 구성되어 있다.

<34> 비트라인에 연결된 하나의 트루셀(TC)과 반전비트라인에 연결된 하나의 반전셀(CC)이 트루셀 구조를 이루어 하나의 상보적인 데이터를 저장한다. 비트라인선택부(420)는 NMOS트랜지스터들(N1, N2)을 포함하며, 복수의 비트라인쌍들((BL0, BLOB) ~ (BL15, BL15B))과 비트라인선택신호들(BLS0 ~ BLSn)에 응답해서 연결되는 중간비트라인쌍(IBL, IBLB)을 포함하며, 비트라인들(BL0 ~ BL15)은 각각의 트랜지스터(N1)을 통해서 중간비트라인(IBL)에 공통으로 연결되고, 반전비트라인들(BLOB ~ BL15B)은 각각의 트랜지스터(N2)을 통해서 반전중간비트라인(IBLB)에 공통으로 연결된다. 또한 비트라인선택부(420)는 프리차징 제어신호(BLEQ)에 응답하여 상기 중간비트라인쌍(IBL, IBLB)을 프리차징하는 프리차징부(BLEQ)를 포함한다. 제 1 및 2 센스증폭기(430, 440) 각각은 NMOS트랜지스터들(N3, N4)로 구성된 NMOS센스 증폭기(NSA), PMOS트랜지스터들(P1, P2)로 구성된 PMOS센스 증폭기(PSA)을 포함하며, 상기 감지비트라인쌍(SBL0, SBLOB)을 프리차징하는 프리차징부(SBLEQ)를 포함한다. NMOS센스 증폭기(NSA)와 PMOS센스 증폭기(PSA)는 래치 형태의 전압 센스 증폭기로 구성되어, 제1 및 제2감지비트라인쌍((SBL0, SBLOB), (SBL1, SBL1B)) 각각의 전압 차를 감지하여 증폭한다. 상기 프리차징부들(SBLEQ) 각각은 각 센스증폭기들(430, 440)의 센싱동작이 일어나기 전에 프리차징 제어신호들(PEQ0, PEQ1) 각각에 응답하여 상기 제1 및 제2 감지비트라인쌍((SBL0, SBLOB), (SBL1, SBL1B)) 각각을 프리차지 전압(VSBL) 레벨로 프리차징한다. 제 1선택스위치(431)는 제 1선택신호(SEL0)에 응답하는 NMOS트랜지스터들(N8, N9)을 포함하며, 상기 NMOS트랜지스터들(N8, N9)은 상기 제1선택신호(SEL0)에 응답하여 상기 중간비트라인쌍(IBL, IBLB)을 제 1감지비트라인쌍(SBL0, SBLOB)에 연결한다. 제 2선택스위치(432)는 제 2선택신호(SEL1)에 응답하는 NMOS트랜지스터들(N8, N9)을 포함하며, 상기 NMOS 트랜지스터들(N8, N9)은 상기 제2선택신호(SEL1)에 응답하여 상기 중간비트라인쌍(IBL, IBLB)을 제2 감지비트라인쌍(SBL1, SBL1B)에 연결한다. 제 1데이터 입출력스위치(441)는 제 1데이터 입출력신호(IO SEL0)에 응답하는 NMOS트랜지스터들(N12, N13)을 포함하며, 상기 NMOS트랜지스터들(N12, N13)은 상기 제1데이터 입출력신호(IO SEL0)가 활성화되면 상기 제1감지비트라인쌍(SBL0, SBLOB)를 데이터 입출력라인쌍(IO, IOB)에 연결한다.

<35> 제 2데이터 입출력스위치(442)는 제 2데이터 입출력신호(IO SEL1)에 응답하는 NMOS트랜지스터들(N12, N13)을 포함하며, 상기 트랜지스터들(N14, N15)은 상기 제2데이터 입출력신호(IO SEL1)이 활성화되면 상기 제2감지비트라인쌍(SBL1, SBL1B)를 상기 데이터 입출력라인쌍(IO, IOB)에 연결한다.

- <36> 도 6은 도 4의 메모리 장치의 페이지 모드 동작을 나타내는 타이밍도이다. 이하 도 4, 도 5 및 도 6을 참고로 본 발명의 메모리 장치의 페이지 모드 동작을 설명한다.
- <37> 워드라인이 활성화되기 전에는 상기 중간비트라인쌍(IBL, IBLB) 및 제1 및 제2감지비트라인쌍들((SBLO, SBLOB), (SBL1, SBL1B))은 각각의 프리차징부에 의해 일정한 프리차지 전압(예를 들면, VSBL) 레벨로 프리차지된다. 또한 비트라인들도 일정한 프리차지 전압 레벨로 프리차지된다. 먼저, 메모리블록내의 워드라인(WL)을 플로팅바디 트랜지스터가 턴온될 수 있도록 일정전압으로 활성화한다. 이에 따라 비트라인쌍들에는 플로팅바디 트랜지스터에 저장된 데이터 값에 따라 각각의 비트라인쌍들 사이에는 전압 차(?Vb1)가 발생한다. 이후 프리차징 제어신호(BLEQ)를 제어하여 중간비트라인쌍(IBL, IBLB)의 프리차징을 차단하고 비트라인선택신호(BLS0)를 활성화한다. 그러면, 비트라인쌍(BLO, BLOB)이 비트라인선택부(420)에 의해서 중간비트라인쌍(IBL, IBLB)에 각각 연결되어, 상기 전압 차(?Vb1)가 중간비트라인쌍(IBL, IBLB)에도 발생된다. 이후, 프리차징 제어신호(PEQ0)를 제어하여 제 1 센스증폭기(430)의 제1감지비트라인쌍(SBLO, SBLOB)의 프리차징을 차단하고, 제1선택신호(SEL0)을 활성화하여 중간비트라인쌍(IBL, IBLB)을 각각 제 1 센스증폭기(430)의 제1감지비트라인쌍(SBLO, SBLOB)에 연결한다. 이후, 제1센스증폭기 인에이블신호(SAENO)가 활성화되어 제 1센스증폭기(430)에 의한 제1센싱동작이 일어난다. 상기 제 1센싱동작에 이루어지면 제1데이터 입출력선택신호(IO SEL0)을 활성화하여 증폭된 데이터를 데이터 입출력 라인쌍(IO, IOB)로 출력한다. 이후, 다음 제 2비트라인쌍(BL1, BL1B)의 데이터를 출력하기 위한 동작이 계속된다. 상기 제1선택신호(SEL0)를 비활성화하고 프리차징 제어신호(BLEQ)를 활성화하여 상기 중간비트라인쌍 (IBL, IBLB)을 다시 프리차징하며, 상기 제 1센싱동작을 마친 후 즉, 제1센스증폭기 인에이블신호(SAENO)가 비 활성화되면 프리차징 제어신호(PEQ0)를 활성화하여 상기 제 1감지비트라인쌍(SBLO, SBLOB)을 프리차징한다. 이후에 프리차징 제어신호(BLEQ)를 비활성화하여 상기 중간비트라인쌍(IBL, IBLB)의 프리차징을 차단하고 제 2비 트라인선택신호(BLS1)을 활성화하고 제 2비트라인쌍(BL1, BL1B)을 상기 중간비트라인쌍(IBL, IBLB)에 연결한다. 이후 프리차징 제어신호(PEQ1)을 비활성화하여 제 2 센스증폭기(440)의 제 2감지비트라인쌍(SBL1, SBL1B)의 프 리차징을 차단하고 제 2선택신호(SEL1)을 활성화하여 상기 중간비트라인쌍(IBL, IBLB)을 상기 제 2감지비트라인 쌍(SBL1, SBL1B)에 연결한다. 이후 제2센스증폭기 인에이블신호(SAEN1)를 활성화하여 상기 제 2센스증폭기(44 0)의 제 2센싱동작을 시작한다.
- <38> 즉, 도면에서도 알수 있듯이, 상기 제 1 센스증폭기(430)의 감지비트라인쌍을 프리차징 하는 기간(tEQ)에 상기 제 2센스증폭기(440)에서는 다음의 비트라인의 데이터를 센싱동작을 함께하므로 센싱동작에 필요한 기간(tSA)이 외부적으로 감춰질 수 있어 고속의 페이지 모드 동작이 가능한 것이다.
- <39> 도 7은 도 3의 메모리 장치의 다른 실시예에 따른 상세 회로도로서, 도6의 메모리장치에 AND게이트(AN), 인버터 (I1), 및 NAND게이트(NA)를 추가하여 구성되어 있다. 메모리장치(600)은 고속의 페이지 모드를 지원하는 경우와 지원하지 않는 경우를 모드 설정부(미도시)를 이용해 사용자가 설정 할 수 있게 하는 것을 제외하고는 도 3의 메모리 장치와 동일한 구성을 갖는다.
- <40> 즉, 고속의 페이지 모드를 지원하는 경우에는 사용자는 모드 설정부(미도시)를 통해 페이지 모드 인에이블신호 (EN_PAGE)를 하이로 설정하여 도 3의 메모리 장치(300)와 동일하게 제1 및 제2선택신호(SEL0, SEL1)에 응답해서 각각 제 1과 제 2센스증폭기(430, 440)를 번갈아 동작하게 하여 고속의 페이지 모드 동작을 지원한다. 이와 반 대로 고속의 페이지 모드를 지원하지 않는 경우 즉, 저속의 페이지 모드로 동작할 때에는 사용자는 상기 페이지 모드 인에이블신호(EN_PAGE)를 로우로 설정하여, 제 1 센스증폭기(430)는 제1선택신호(SEL0)신호에 무관하게 항상 중간비트라인쌍(IBL, IBLB)에 연결하여 동작하게 하고 제 2센스증폭기(440)는 동작하지 않게 하여 저속의 페 이지 모드 동작을 지원한다. 모드 설정부(미도시)는 외부로부터 인가되는 명령신호가 모드 설정 명령이면, 모드 설정 명령에 응답하여 외부로부터 인가되는 코드 신호에 응답하여 페이지 모드 인에이블신호(EN_PAGE)를 설정하 는 것이 가능하다.
- <41> 도 8은 본 발명에 따른 메모리장치의 또 다른 실시예에 따른 회로도이다. 메모리 장치(700)은 하나의 메모리 블 록이 4개의 센스증폭기를 공유하며, 4개의 센스증폭기(710, 720, 730, 740)가 제1 내지 제4선택신호(SEL0 ~ SEL3)에 의해 번갈아 동작(Interleaving)하며, 또한 제1 내지 제4데이터 입출력 선택신호(IO SEL0~IO SEL3)도 번갈아 가며 활성화되므로 도 3의 메모리 장치의 페이지 모드 동작보다 더 고속의 페이지 모드를 실현할 수 있 다.
- <42> 도 9는 본 발명에 따른 또 다른 메모리 장치를 나타내는 개념도이다. 도 9를 참조하면, 메모리 장치(800)는 도 5의 메모리 장치와 비교하면 메모리블록들(410_U, 410_L)의 구성이 오프비트라인구조라는 것을 제외하면 동일한 구성을 갖는다. 즉, 제 1 또는 제 2센스증폭기(430, 440)에 입력되는 비트라인들이 각 메모리 블록(410_U,

410_L)에서 하나씩 선택되어 연결되는 오프비트라인구조이다. 메모리 블록(410_U)의 더미 워드 라인(DWLn)에 연결된 2개씩의 비트 라인들((BL1, BL2) ~ (BL30, BL31)) 각각에 데이터 0과 데이터 1이 라이트되고, 메모리 블록(410_L)의 더미 워드 라인(DWLm)에 연결된 2개씩의 반전 비트라인들((BLB1, BLB2) ~ (BLB30, BLB31)) 또한 각각에 데이터 0과 데이터 1이 라이트된다.

<43> 제 1 및 제 2비트라인 선택부들(421, 422)은 상기 메모리블록들(410_U, 410_L)사이에서 위치하며 비트라인선택신호들(BLS0 ~ BLS15)에 응답해서 선택적으로 상기 각 메모리블록의 비트라인들 중 어느 하나를 선택해서 제 1 중간비트라인(IBL_L)과 제 2중간비트라인(IBL_U)에 각각 연결한다. 메모리블록(410_U)의 워드 라인(WLn)이 활성화되는 경우에 메모리블록(410_L)의 더미 워드 라인(DWLm) 및 등화 제어신호(PAVGm)가 함께 활성화된다. 그리고, 메모리 블록(410_L)의 워드 라인(WLm)이 활성화되는 경우에 메모리블록(410_U)의 더미 워드 라인(DWLn) 및 등화 제어신호(PAVGn)이 함께 활성화된다. 더미 워드 라인(DWLm)(또는 더미 워드 라인(DWLn))이 활성화되면 2개씩의 비트라인들((BL1, BL2) ~ (BL30, BL31))(또는 2개씩의 반전 비트라인들((BL1B, BL2B) ~ (BL30B, BL31B))의 하나의 라인에는 데이터 1에 대응하는 전압($V_g - V_{th1}$, V_g 는 워드 라인으로 인가되는 전압을, V_{th1} 은 데이터 1이 저장된 더미 메모리 셀의 문턱전압을 나타낸다.)이 발생되고, 다른 하나의 라인에는 데이터 0에 대응하는 전압($V_g - V_{th0}$, V_g 는 워드 라인으로 인가되는 전압을, V_{th0} 은 데이터 0이 저장된 더미 메모리 셀의 문턱전압을 나타낸다.)이 발생되고, 이때, 등화 제어신호(PAVGm)(또는 등화 제어신호(PAVGn))가 활성화되어 있으므로, 비트 라인들(BL1 ~ BL31)(또는 반전 비트라인들(BL1B ~ BL31B)) 각각에는 전압($((V_g - V_{th1}) + (V_g - V_{th0})) / 2$)이 발생된다. 그리고, 워드 라인(WLn)(또는 워드 라인(WLm))이 활성화되면 데이터 1이 저장된 메모리 셀의 비트 라인에는 전압($V_g - V_{th1}$)이 발생되고, 데이터 0이 저장된 메모리 셀의 비트 라인에는 전압($V_g - V_{th0}$)이 발생된다. 제 1 선택스위치(431)는 제 1 선택신호(SEL0)에 응답해서 상기 제 1 및 제 2 중간비트라인(IBL_L, IBL_U)을 제 1 센스증폭기(430)에 연결한다. 또한, 제 2 선택스위치(432)는 제 2 선택신호(SEL1)에 응답해서 상기 제 1 및 제 2 중간비트라인(IBL_L, IBL_U)을 제 2 센스증폭기(440)에 연결한다.

<44> 제 1센스증폭기(430)와 제2센스 증폭기(440)는 제1 및 제2중간비트라인(IBL_L, IBL_U)사이의 전압 차를 감지하여 증폭한다. 즉, 제1중간비트라인(IBL_U)(또는 제2중간비트라인(IBL_L))의 전압($V_g - V_{th1}$) 또는 전압($V_g - V_{th0}$)과 제2중간비트라인(IBL_L)(또는 제1중간비트라인(IBL_U))의 전압($V_g - (V_{th1} - V_{th0}) / 2$)사이의 차, 즉, 전압(V_{th1}) 또는 전압(V_{th0})과 전압($(V_{th1} - V_{th0}) / 2$)사이의 차를 감지하여 증폭한다.

<45> 즉, 도 5의 메모리 장치가 폴드비트라인구조를 갖는 트윈셀구조의 메모리 블록을 가지고, 도 9의 메모리 장치는 오프비트라인구조를 갖는 메모리 블록을 가진다.

<46> 도 10은 본 발명의 실시예에 따는 메모리 장치들의 효과를 나타낸다. 고속 동작을 나타내는 파라미터(parameter)인 컬럼사이클시간(t_{CC} , column cycle time)을 비교한 것으로 종래의 메모리 장치보다 컬럼사이클시간(t_{CC})가 작아져 고속동작에 유리한 것을 보여주고 있다.

<47> 먼저, 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

발명의 효과

<48> 상술한 바와 같이 본 발명의 커패시터리스 동적 메모리 장치는 오프 비트라인 구조의 플로팅바디 트랜지스터들의 소스전압을 제어하여 비트라인들에 생성되는 전압차를 직접 감지 증폭하는 공유 비트라인 전압감지 증폭기를 사용하므로 메모리 사이즈 증가를 억제할 수 있다.

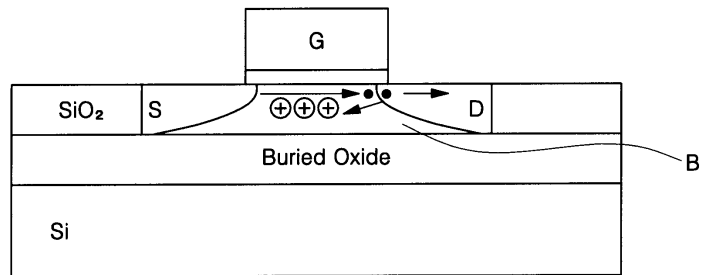
도면의 간단한 설명

- <1> 도 1은 일반적인 NMOS 플로팅 바디 트랜지스터의 구조 및 쓰기 동작 전압을 나타낸다.
- <2> 도 2A와 2B는 각각 일반적인 동적 메모리 장치의 코어구조와 페이지 모드 동작을 나타내는 도면이다.
- <3> 도 3은 종래의 커패시터리스 동적 메모리 장치의 회로도이다.
- <4> 도 4는 본 발명의 커패시터리스 동적 메모리 장치의 개념적인 블록도이다.
- <5> 도 5는 도 4의 커패시터리스 동적 메모리 장치 메모리블럭과 센스증폭기의 연결을 나타내는 회로도이다.

- <6> 도 6은 도 3의 커패시터리스 동적 메모리 장치의 페이지 모드 동작의 타이밍도이다.
- <7> 도 7은 본 발명에 따른 다른 메모리장치의 메모리블럭과 센스증폭기의 연결을 나타내는 회로도이다.
- <8> 도 8은 본 발명에 따른 또 다른 메모리장치의 메모리블럭과 센스증폭기의 연결을 나타내는 회로도이다.
- <9> 도 9은 본 발명에 따른 또 다른 메모리장치의 메모리블럭과 센스증폭기의 연결을 나타내는 개념도이다.
- <10> 도 10은 종래 기술의 메모리 장치와 본 발명의 메모리 장치의 컬럼사이클시간을 나타내는 것이다.

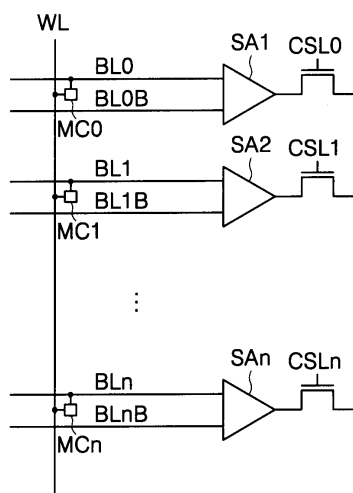
도면

도면1

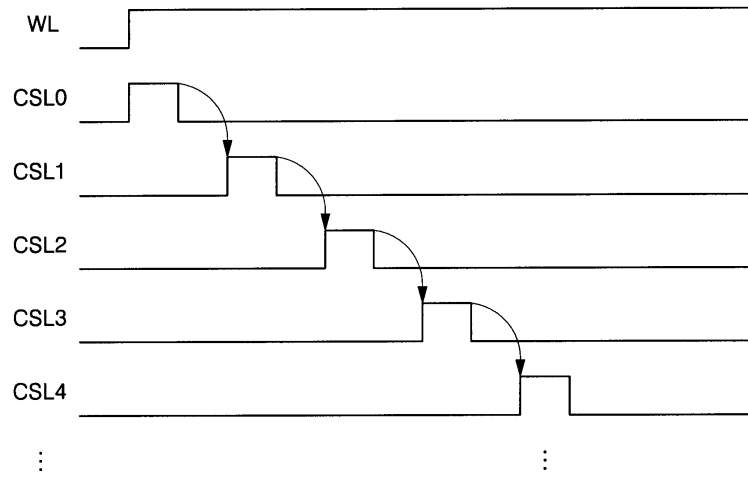


	Vg	Vd	Vs
데이터 "1" 쓰기	-1.5V	1.5V	0V
데이터 "0" 쓰기	1.5V	-1.5V	0V

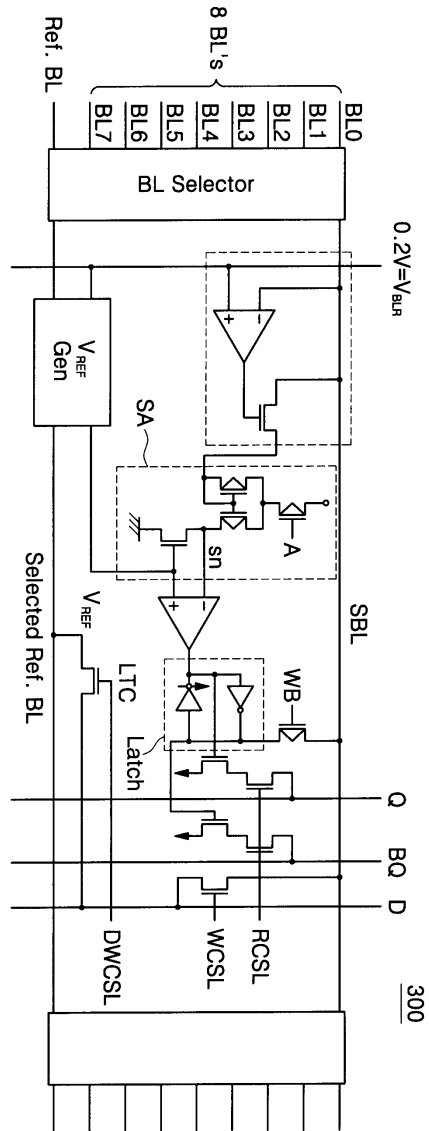
도면2a



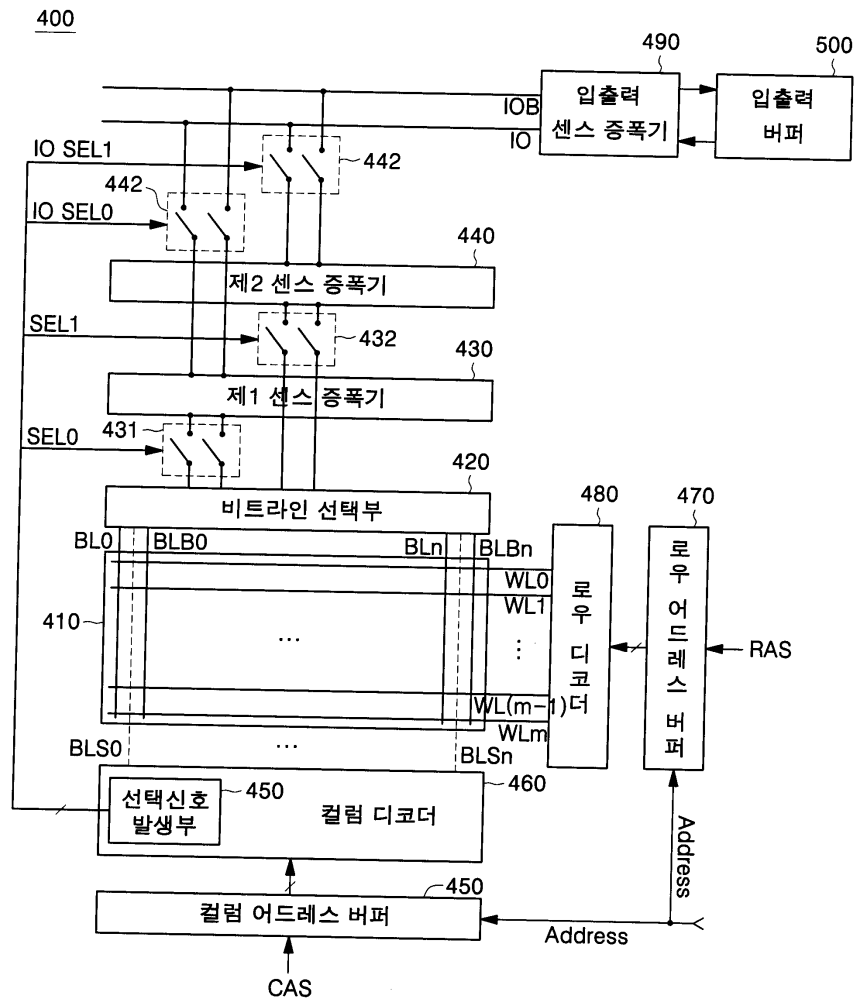
도면2b



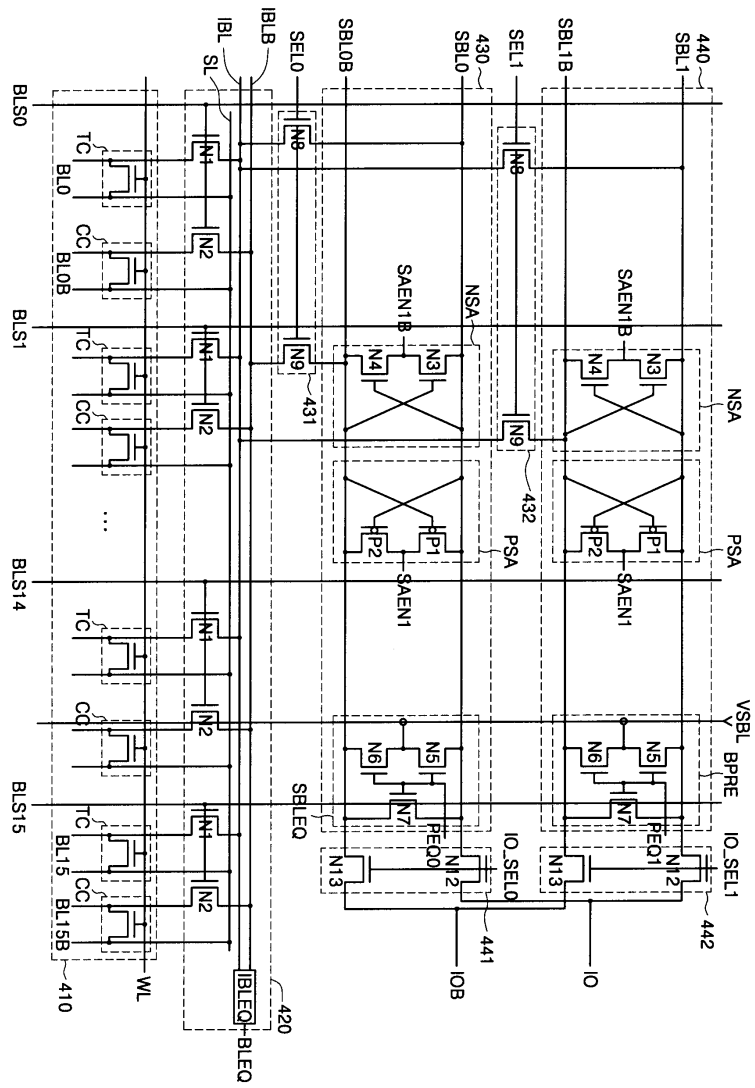
도면3



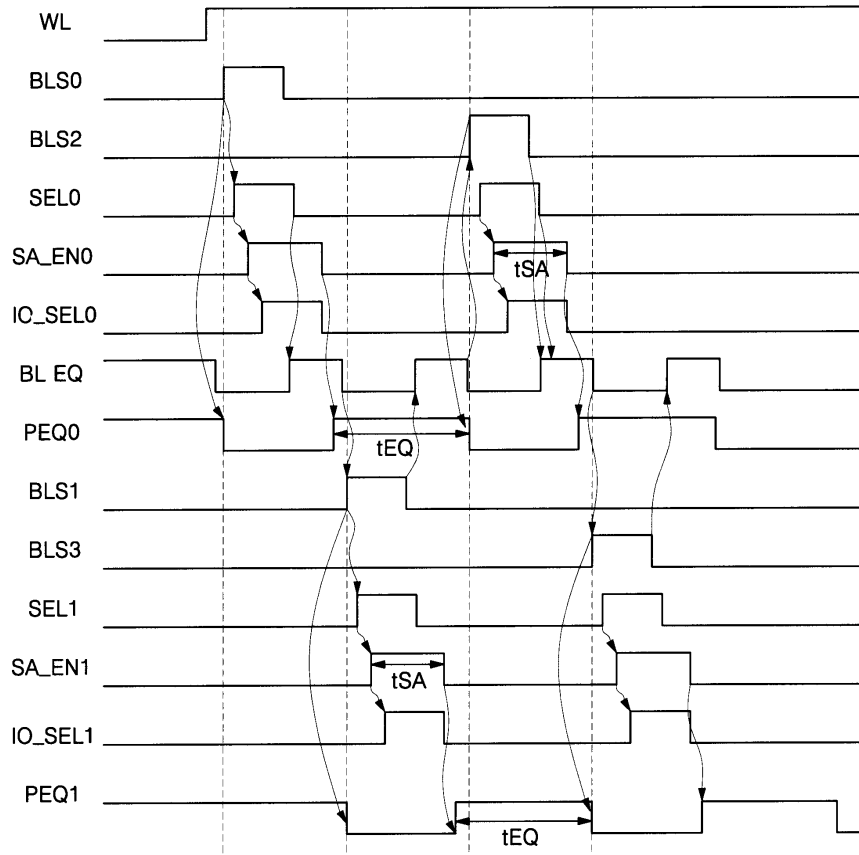
도면4



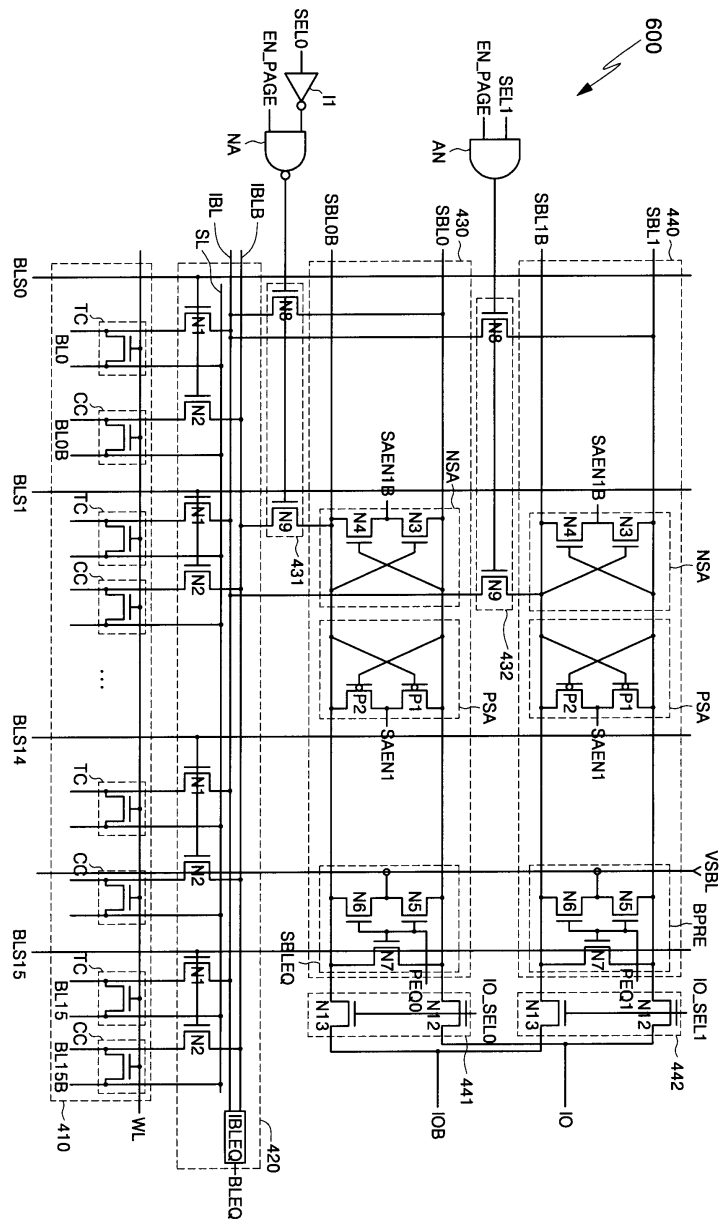
도면5



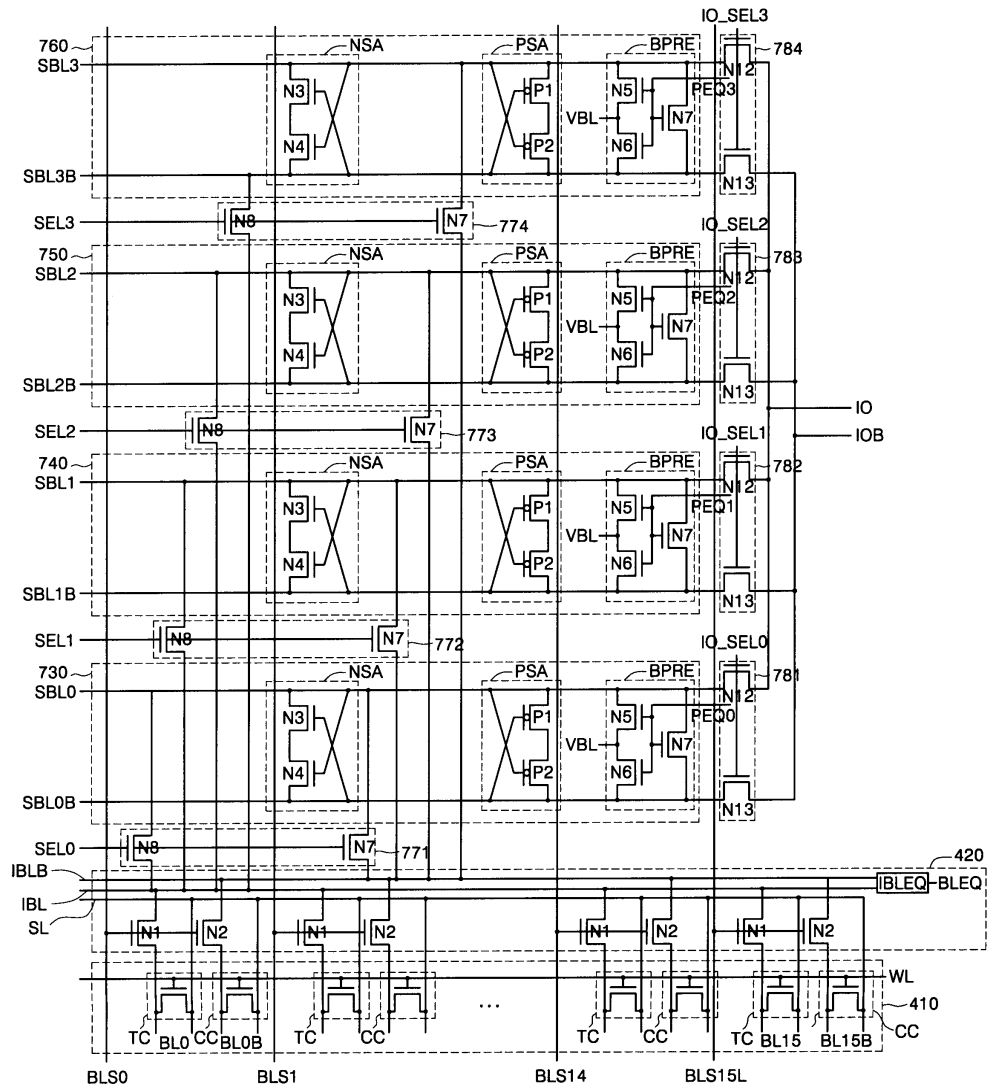
도면6



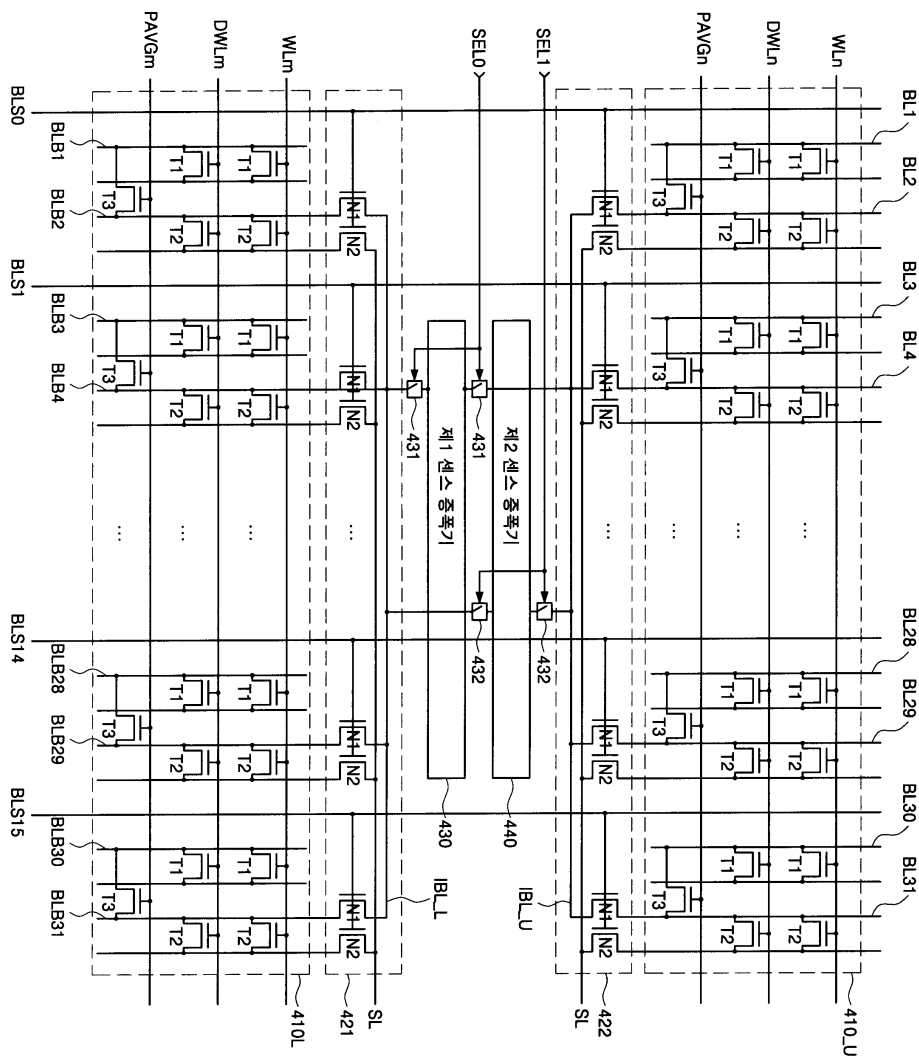
도면7



도면8



도면9



도면10

