(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
G11C 7/00

(45) 공고일자 1999년04월15일
(11) 등록번호 특0184088
(24) 등록일자 1998년12월17일

(21) 출원번호 특1995-041470
(22) 출원일자 1995년11월15일
(65) 공개번호 특1996-019296
(43) 공개일자 1996년06월17일
(30) 우선권주장 94-280418 1994년11월15일 일본(JP)

(73) 특허권자 가부시키가이샤 도시바 사토 후미오
일본국 가나가와현 가와사키시 사이와이구 호리가와정 72번지
(72) 발명자 카이 야스유키
일본국 가나가와현 가와사키시 사이와이구 호리가와정 580번 1호 가부시키가이샤 도시바 반도체시스템 기술센터내
(74) 대리인 이세진, 김윤배

심사관 : 정회환

(54) 반도체기억장치

요약

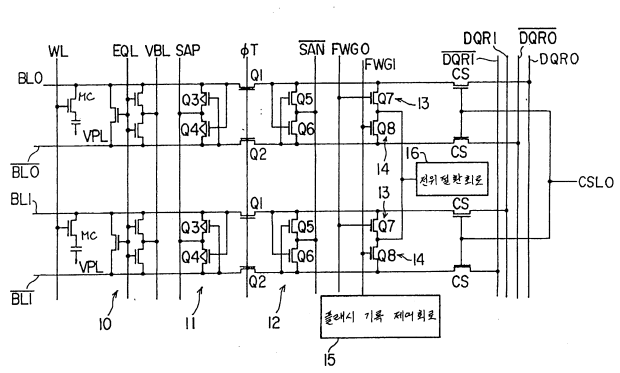
[목적]

플래시기록기능을 갖춘 VRAM에 있어서, 셀어레이 내의 회로를 증가시키지 않고, 비교적 간단히 노이즈에 강한 전위절환회로를 부가하는 것만으로 전원전위가 낮은 영역에 있어서도 비트선을 단시간에 충분히 확실하게 프리차지한다.

[구성]

메모리셀 어레이의 비트선쌍을 비트선 전송게이트쌍(Q1,Q2)에 의해 메모리셀 및 프리차지·이퀄라이즈회로(10)측의 제1 비트선쌍 및 열선택용 전송게이트쌍(CS,CS)측의 제2 비트선쌍으로 분할하고, 제2 비트선쌍의 각 비트선에 대응하여 플래시기록용의 제1 MOS트랜지스터(Q7) 및 제2 MOS트랜지스터(Q8)의 각 일단을 접속하며, 그 각 타단의 전위를 전위절환회로(16)에 의해 비트선 프리차지전위(VBL) 또는 소정의 기준전위(VSS)로 설정하는 것을 특징으로 한다

대표도



명세서

[발명의 명칭]

반도체기억장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예에 따른 VRAM의 코어부를 구성하는 메모리셀 어레이의 일부를 나타낸 회로도.

제2도는 제1도중의 전위절환회로의 일례를 나타낸 회로도.

제3도는 제1도 및 제2도의 회로의 동작예를 설명하기 위해 주요신호의 시간변화의 일례를 나타낸 도면.

제4도는 종래의 VRAM의 코어부를 구성하는 메모리셀 어레이의 일례를 나타낸 회로도.

제5도는 제4도의 회로의 동작을 설명하기 위해 주요신호의 시간변화의 일례를 나타낸 도면이다.

* 도면의 주요부분에 대한 부호의 설명

10 : 프리차지·이퀄라이즈회로　　11 : P채널 센스앰프

12 : N채널 센스앰프　　13 : 제1 플래시기록회로

15 : 플래시기록 제어회로　　16 : 전위절환회로

17 : 제어신호발생회로　　Q1~Q10 : MOS트랜지스터

CS : 열선택용 전송게이트　　FWG1 : 제1 플래시기록신호

FWG2 : 제2 플래시기록신호　　VBL : 비트선 프리차지전위

XGL : 제1 제어신호　　XGD : 제2 제어신호

FW : 플래시기록모드 인식신호

[발명의 상세한 설명]

[산업상의 이용분야]

본 발명은 반도체기억장치에 관한 것으로, 특히 예컨대 화소데이터 기억용의 VRAM(VIDEO Random Access Memory) 등과 같은 플래시기록(일괄 기록)기능을 갖춘 반도체메모리에 관한 것이다.

[종래의 기술]

제4도는 종래의 VRAM의 코어부를 구성하는 메모리셀 어레이응 일부(설명의 간단화를 위해 2열분만)를 나타내고 있다.

제4도에 있어서, MC는 다이나믹형의 메모리셀, WL은 워드선이고, 각각 대표적으로 2개, 1개를 나타내고 있다. 상보적인 비트선쌍(BLi,/BLi)은 각각 비트선 전송게이쌍(Q1,Q2) 및 열선택용 전송게이트쌍(CS,CS)을 매개로 복수의 데이터선쌍(DQRi, /DQRi)의 내부의 한쌍에 접속되어 있다.

상기 메모리셀(MC)과 비트선 전송게이트쌍(Q1,Q2)과의 사이의 비트선쌍(제1비트선쌍)에는 비트선 프리차지·이퀄라이즈회로(10) 및 비트선전위 재기억용의 P채널 센스앰프(11)가 접속되어 있다.

또, 상기 비트선 전송게이트쌍(Q1,Q2)과 행선택용 전송게이트쌍(CS,CS)과의 사이의 비트선쌍(제2의 비트선쌍)에는 비트선쌍간 전위센스용의 N채널 센스앰프(12) 및 플래시기록용의 제1 NMOS트랜지스터(Q7), 제2 NMOS트랜지스터(Q8)의 각 일단이 접속되어 있다. 상기 제1 NMOS트랜지스터(Q7), 제2 NMOS트랜지스터(Q8)의 각 타단은 일괄되어 접지전위(VSS)노드에 접속되어 있다.

또한, VPL은 캐패시터 플레이트전위, VBL은 비트선 프리차지전위, EQL은 이퀄라이즈신호, SAP는 P채널 센스앰프용의 센스 이네이블신호, /SAN은 N채널 센스앰프용의 센스 이네이블신호, øT는 비트선 전송게이트 제어신호, FWG0는 제1 플래시기록신호, FWG1은 제2 플래시기록신호, CSL은 열선택신호이다.

제5도는 제4도의 회로의 동작예를 설명하기 위해 주요신호의 시간변화의 일례를 나타내고 있다.

다음에, 제4도의 회로의 동작예에 대해 제5도를 참조하여 간단히 설명한다.

우선, /RAS(행어드레스 스트로브)신호가 H레벨(비활성상태)일 때, 이퀄라이즈신호(EQL)는 H레벨(활성상태)로 되고, 이퀄라이즈회로(10)는 온상태로 된다. 이로써, P채널 센스앰프측의 제1 비트선쌍은 이퀄라이즈회로(10)를 매개로 비트선 전위(VBL)에 프리차지·이퀄라이즈되고, N채널 센스앰프측의 제2비트선쌍은 비트선 전송게이트쌍(Q1,Q2)을 매개로 비트선전위(VBL)에 프리차지된다.

다음에, /RAS신호가 L레벨(활성상태)로 되고, 행어드레스가 취입되면, 우선 EQL신호가 L레벨(비활성상태)로 되고, 이퀄라이즈회로(10)가 오프상태로 된다. 이로써, 비트선이 전원전위(VCC), 접지전위(VSS), 비트선전위(VBL)로부터 절환된다. 그리고, 취입된 행어드레스에 대응하는 워드선이 선택되면, 선택된 행의 메모리셀의 데이터가 비트선에 독출되고, 또한 센스앰프(12)가 동작하여 비트선쌍간의 전위차가 증폭되고, 센스앰프(11)가 동작하여 비트선쌍의 전위가 확정된다.

다음에, /RAS신호가 재차 H레벨로 되면, EQL은 신호 H레벨로 되돌아가고, 이퀄라이즈회로(10)은 온상태로 된다. 이로써, 재차 제1 비트선쌍은 이퀄라이즈회로(10)를 매개로 비트선 전위(VBL)에 프리차지·이퀄라이즈되고, 제2비트선쌍은 비트선 전송게이트쌍(Q1,Q2)을 매개로 비트선전위(VBL)에 프리차지된다.

상기와 같은 동작에서는 센스앰프(12)가 동작을 개시하기 전에 비트선이 충분히 이퀄라이즈되어 있는 것이 필요하고, 제2 비트선쌍이 비트선 전송게이트쌍(Q1,Q2)을 매개로 비트선 전위(VBL)에 충분히 프리차지되어 있는 것이 필요하다.

이것에 관하여, 전원전위(VCC)가 높은 영역(예컨대, 5V)에서는 비트선 전송게이트용의 트랜지스터(Q1,Q2)의 능력이 높고, 그 임계치전압(Vth)이 전원전위(VCC)에 대하여 비교적 작기 때문에, 제2 비트선쌍이 비트선전위(VBL)에 단시간에 충분히 프리차지된다.

그러나, 전원전위(VCC)가 낮은 영역에서는 비트선 전송게이트용의 트랜지스터(Q1,Q2)의 능력이 저하하고, 그 임계치전압(Vth)이 전원전위(VCC)에 대하여 무관할 수 없게 되고, 제2 비트선쌍이 비트선전위(VBL)에 단시간에 충분히 프리차지되는 것은 곤란하다. 이로써, 제2 비트선쌍이 충분히 프리차지된다면, 다음의 사이클에서의 센스동작의 마진이 큰폭으로 저하하고, 메모리셀로부터의 독출데이터를 틀리게 센스해 버릴 우려가 있다.

상기와 같은 문제점에 대한 해결책으로서 고려된 제1 방법은 비트선 전송게이트용 트랜지스터(Q1,Q2)의

삽입을 폐지하여 그 트랜지스터의 임계전압(Vth)만큼 전위전하를 없게 함으로써 제2 비트선쌍을 충분히 프리차지하는 것이다.

그러나, 상기와 같이 비트선 전송게이트용 트랜지스터(Q1,Q2)가 폐지되면, 센스앰프(12)의 초기 센스동작시 표면상의 비트선용량이 커지게 되고, 고속 및 확실한 센스동작이 곤란하게 된다.

또, 상기 해결책으로서 고려된 제2 방법은 비트선 전송게이트용 트랜지스터(Q1,Q2)의 게이트전위를 소정기간(예컨대, /RAS신호가 H레벨의 기간)만 VCC+Vth이상으로 높게 함으로써 상기 트랜지스터(Q1,Q2)를 3극관영역에서 동작시키고, 상기 트랜지스터의 임계전압(Vth)만큼의 전위저하를 커버하고, 제2 비트선쌍을 충분히 프리차지한다.

그러나, 메모리칩 내의 활성화되어야 할 모든 비트선 전송게이트용 트랜지스터(Q1,Q2)의 게이트전위를 단시간에 상기와 같은 VCC+Vth이상으로 높게 하기에는 대용량, 대면적의 캐패시터를 이용한 승압회로를 필요로 한다. 또, 통상 VRAM은 비동기방식으로 동작하고, 직렬억세스 메모리(SAM)포트측의 동작 특히, 데이터출력시에 발생하는 전원노이즈에 의해 상기 승압회로가 오동작할 우려가 대단히 높다.

[발명이 해결하고자 하는 과제]

상기와 같이 종래의 반도체기억장치는 전원전위가 낮은 영역에 있어서 비트선을 단시간에 충분히 프리차지하는 것이 곤란하고, 센스동작의 마진이 큰 폭으로 저하하며, 틀린 데이터를 센스할 우려가 있는 문제점이 있다.

본 발명은 상기 문제점을 해결하기 위해 이루어진 것으로, 메모리셀 어레이 내의 회로를 증가시키지 않고, 비교적 간단한 노이즈에 강한 전위절환회로를 부가하는 것만으로 전원전위가 낮은 영역에 있어서도 비트선을 단시간에 충분히 확실하게 프리차지 할 수 있으며, 메모리셀로부터의 독출데이터를 정확히 센스하여 출력할 수 있는 반도체기억장치를 제공하는 것을 목적으로 한다.

[과제를 해결하기 위한 수단]

본 발명은, 플래시기록기능을 갖춘 반도체기억장치에 있어서, 다이나믹형의 메모리셀이 행렬형상으로 배치된 메모리셀 어레이와, 동일 행의 메모리셀에 접속된 워드선과, 각각 동일 열의 메모리셀에 접속된 상보적인 비트선쌍과, 상기 비트선쌍의 일단측에 접속된 열선택용 전송게이트쌍과, 상기 열선택용 전송게이트쌍에 접속된 데이터선쌍과, 상기 비트선쌍의 각 비트선에 각각 직렬로 삽입되어 상기 비트선쌍을 상기 메모리셀측의 제1 비트선쌍 및 상기 열선택용 전송게이트쌍측의 제2 비트선쌍으로 분할하는 제1 도전형의 비트선 전송게이트쌍과, 상기 제1 비트선쌍에 접속되어 프리차지·이퀄라이즈기간에 온상태로 제어되는 비트선 프리차지·이퀄라이즈히로와, 상기 제1 비트선쌍에 접속된 제2 도전형의 2개의 MOS트랜지스터가 크로스 접속되어 소정기간 구동되는 비트선전위 재기억용의 제1 센스앰프와, 상기 제2 비트선쌍에 접속된 제1 도전형의 2개의 MOS트랜지스터가 크로스접속되어 소정기간 구동되는 비트선쌍간 전위차센스용 제2 센스앰프와, 상기 제2 비트선쌍의 각 비트선에 대응하여 각 일단이 접속된 플래시기록용의 제1 MOS트랜지스터 및 제2 MOS트랜지스터와, 상기 제1 MOS트랜지스터 및 제2 MOS트랜지스터를 상기 프리차지·이퀄라이즈기간동안 비플래시기록모드시 및 플래시기록모드시의 기록데이터에 따라 스위칭제어하는 플래시기록 제어회로와, 상기 제1 MOS트랜지스터 및 제2 MOS트랜지스터의 각 타단에 출력노드가 접속되고 상기 출력노드의 전위를 비트선 초기전위설정용의 비트선 프리차지전위 또는 소정의 기준전위로 설정할 수 있는 전위절환회로를 구비하는 것을 특징으로 한다.

[작용]

상기와 같이 구성된 본 발명은, 전위절환회로를 갖춤으로써, 플래시기록용의 트랜지스터를 본래의 플래시기록동작뿐만 아니라 비트선 이퀄라이즈동작을 행하게 하는 것이 가능해진다. 이 경우, 전위절환회로는 비교적 간단한 구성으로 노이즈에 강한 특성을 갖게 하는 것이 가능해진다.

상기와 같은 전위절환회로를 부가하는 것만으로 메모리셀 어레이 내의 회로를 증가시키는 일없이 전원전위가 낮은 영역에 있어서도 비트선을 단시간에 충분히 확실하게 프리차지할 수 있고, 메모리셀로부터의 독출데이터를 정확히 센스하여 출력하는 것이 가능해진다.

[실시예]

이하, 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다.

제1도는 본 발명의 반도체기억장치의 제1 실시예에 따른 플래시기록기능을 갖는 VRAM의 코어부를 구성하는 메모리셀 어레이의 일단(설명의 간단화를 위해 2열분만)을 나타내고 있다.

제1도에 있어서, MC는 다이나믹형의 메모리셀(도시된 간단화를 위해 2개만 나타내고 있다)로서 행렬형상으로 배치되어 메모리셀 어레이를 구성하고 있고, 그 캐패시터에는 캐패시터 플레이트전위(VPL)가 주어진다. WL은 상기 메모리셀 어레이의 동일행의 메모리셀에 접속된 워드선(대표적으로 1개만 나타내고 있다)이고, 워드선 구동신호에 의해 소정기간 선택구동된다. BL0, /BL0 및 BL1, /BL1은 각각 상기 메모리셀 어레이의 동일 열의 메모리셀에 접속된 상보적인 비트선쌍(대표적으로 2쌍만 나타내고 있다)이다.

(CS,CS)는 각각 상기 비트선쌍의 각 비트선의 일단측에 접속되고, 동일한 열선택신호(CSLi)(본열에서는 CSL0)에 의해 선택된 열선택용 전송게이트이다.

이 경우, 소정의 복수의 열의 열선택용 전송게이트쌍(CS,CS)이 상기 열선택신호(CSL0)에 의해 공통으로 선택된다.

DQRi, /DQRi는 상기 열선택용 전송게이트쌍(CS,CS)의 타단측에 접속된 데이터선쌍이고, 상기 공통으로 선택된 복수의 열에 대응하여 접속된 복수의 데이터선쌍(DQR0,/DQR0), (DQR1,/DQR1)…이 형성되어 있다.

(Q1,Q2)는 각각 상기 비트선쌍의 각 비트선에 직렬로 삽입되고, 상기 비트선쌍을 상기 메모리셀측의 제1 비트선쌍 및 상기 열선택용 전송게이트쌍측의 제2 비트선쌍에 분해한 N채널형 MOS트랜지스터로 된 비트선

전송게이트쌍이고, 동일한 비트선 전송게이트 제어신호(øT)에 의해 공통으로 구동된다.

비트선 프리차지·이퀄라이즈회로(10)는 상기 제1 비트선쌍에 접속되고, 프리차지·이퀄라이즈회로(10)는 상기 제1 비트선쌍에 접속되고, 프리차지·이퀄라이즈기간에 이퀄라이즈신호(EQL)에 의해 온상태로 제어된다.

비트선전위 재기억용의 P채널 센스앰프(11)는 상기 제1 비트선쌍에 접속되고, 센스 이네이블신호(SAP)에 의해 구동된 2개의 P채널형의 MOS트랜지스터(Q3,Q4)가 크로스접속되어 있다.

비트선쌍간 전위차 센스용의 N채널 센스앰프(12)는 상기 제2 비트선쌍에 접속되고, 센스 이네이블신호(/SAN)에 의해 구동된 2개의 N채널형의 MOS트랜지스터(Q5,Q6) 크로스접속되어 있다.

상기 제2 비트선쌍의 각 비트선에 대응하여 제1 플래시기록회로(13) 및 제2 플래시기록회로(14)가 접속되어 있다.

상기 제1 플래시기록회로(13)는 본 예에서는 한쪽의 비트선(BL0 또는 BL1)에 일단이 접속된 플래시기록용의 N채널형의 제1 MOS트랜지스터(Q7)로 이루어진다. 마찬가지로, 상기 제2 플래시기록회로(14)는 본 예에서는 다른쪽의 비트선(/BL0 또는 /BL1)에 일단이 접속된 플래시기록용의 N채널형의 제2 MOS트랜지스터(Q8)로 이루어진다.

상기 2개의 MOS트랜지스터(Q7,Q8)는 플래시기록 제어회로(15)에 의해 프리차지·이퀄라이즈기간, 비플래시기록모드시 및 플래시기록모드시의 기록데이터에 따라서 스위칭 제어된다.

상기 플래시기록 제어회로(15)는 상기 프리차지·이퀄라이즈 기간에는 상기 제1 MOS트랜지스터(Q7) 및 제2 MOS트랜지스터(Q8)를 모두 온상태로 제어하고, 비플래시기록모드시에는 상기 제1 MOS트랜지스터(Q7) 및 제2 MOS트랜지스터(Q8)를 모두 오프상태로 제어하고, 플래시기록모드시에는 상기 센스앰프(12)의 구동 전의 소정기간에 상기 제1 MOS트랜지스터(Q7) 및 제2 MOS트랜지스터(Q8)를 택일적으로 온상태로 제어하기 위한 제1 플래시기록신호(FWG1) 및 제2 플래시기록신호(FWG2)를 생성하도록 논리구성되어 있다.

전위절환회로(16)는 상기 제1 MOS트랜지스터(Q7) 및 제2 MOS트랜지스터(Q8)의 각 타단에 출력노드가 접속되고, 상기 출력노드의 전위를 비트선 초기 전위 설정용의 비트선 프리차지전위(VBL)(통상은, 전원전위(VCC)의 1/2) 또는 소정의 기준전위(본 예에서는 접지전위(VSS))에 설정하는 것이고, 예컨대 제2도에 나타낸 바와 같이 구성되어 있다.

즉, 상기 전위절환회로(16)는 상기 비트선 프리차지전위(VBL)가 주어지는 VBL노드와 상기 출력노드와의 사이에 접속되고, 게이트에 제1 제어신호(GL)가 주어지는 N채널형의 제3 MOS트랜지스터(Q9)와, 상기 소정의 기준전위(VSS)가 주어지는 VSS노드와 상기 출력노드와의 사이에 접속되고, 게이트에 제2 제어신호(XGD)가 주어지는 N채널형의 제4 NMOS트랜지스터(Q10)와, 상기 제1 제어신호(XGL) 및 제2 제어신호(XGD)를 생성하기 위한 제어신호발생회로(17)를 구비한다.

상기 제어신호발생회로(17)는 동작전원으로서 VCC, VSS가 주어지고, 상기 프리차지·이퀄라이즈기간 및 비플래시기록모드시에는 상기 제3 MOS트랜지스터(Q9)를 온상태, 상기 제4 NMOS트랜지스터(Q10)를 오프상태로 제어하고, 플래시기록모드시에는 상기 제3 NMOS트랜지스터(Q9)를 오프상태로 제어함과 더불어 상기 센스앰프의 구동전에 상기 제4 NMOS트랜지스터(Q10)를 소정기간 오프상태로 제어하도록 논리구성되어 있다.

즉, 상기 제어신호발생회로(17)는, 예컨대 제2도에 나타낸 바와 같이 /RAS신호를 반전시킨 인버터회로(21)와, 이 인버터회로(21)의 출력신호와 플래시기록모드 인식신호(FW)와의 논리적을 취해 제어신호(XGL)를 출력하는 난드게이트회로(22)와, 상기 제어신호(XGL)를 소정시간 지연시킨 지연회로(23)와, 상기 제어신호(XGL)를 반전시킨 인버터회로(24)와, 이 인버터회로(24)의 출력신호와 상기 지연회로(23)의 출력신호와의 논리적을 취한 난드게이트회로(25)와, 이 난드게이트회로(25)의 출력신호를 반저시켜 상기 제어신호(XGD)를 출력하는 인버터회로(26)로 이루어진다. 상기 제어신호(XGL,XGD)의 H레벨은 VCC, L레벨은 VSS이다.

또한, 상기 전위절환회로(16)의 2개의 NMOS트랜지스터(Q9,Q10)는 메모리셀 어레이의 외부에 설치되고, 메모리셀 어레이의 회로구성은 종래와 동일하다.

다음에, 제1도 및 제2도의 회로의 동작예에 대해 제3도를 참조하여 설명한다.

제3도는 제1도 및 제2도의 회로의 동작예를 설명하기 위해 비플래시기록모드시와 플래시기록모드시에서의 주요신호의 시간변화의 일례를 나타내고 있다.

우선, 비플래시기록모드시의 동작을 설명한다. /RAS신호가 H레벨(비활성상태)일 때 이퀄라이저신호(EQL)는 H레벨(VCC)로 되고, 프리차지·이퀄라이즈회로(10)은 온상태로 된다.

이 때, 제어신호(XGL)는 VCC, 제어신호(XGD)는 VSS로 되고, 전위절환회로(16)의 NMOS트랜지스터(Q9)는 온상태, NMOS트랜지스터(Q10)는 오프상태로 되고, 출력노드(16a)는 VBL전위로 된다.

또, 이때 플래시기록신호(FWG1,FWG2)는 H레벨(VCC)이고, 제1 플래시기록용 트랜지스터(Q7) 및 제2 플래시기록용 트랜지스터(Q8)는 각각 온상태로 된다.

이 결과, P채널 센스앰프(11)측의 비트선쌍은 프리차지·이퀄라이즈회로(10)를 매개로 비트선전위(VBL)에 프리차지·이퀄라이즈되고, N채널 센스앰프(12)측의 비트선쌍은 전위절환회로(16) 및 제1 플래시기록용 트랜지스터(Q7), 제2 플래시기록용 트랜지스터(Q8)를 매개로 비트선전위(VBL)에 프리차지된다.

또, 이때 제어신호(øT)는 H레벨(VCC)이고, 비트선 트랜지스터(Q1,Q2)는 온상태이기 때문에, N채널 센스앰프(12)측의 비트선쌍과 P채널 센스앰프(11)측의 비트선쌍은 상기 비트선 전송게이트(Q1,Q2)를 매개로 동전위(VBL)로 이퀄라이즈된다.

다음에, /RAS신호가 L레벨(활성상태)로 되고, 행어드레스가 취입되면, 우선 EQL신호 및 플래시기록신호

(FWG1,FWG2)가 L레벨(비활성상태)로 되고, 프리차지·이퀄라이즈회로(10)가 오프상태로 된다. 이로써, 비트선이 전원전위(VCC), 접지전위(VSS), 비트선전위(VBL)로부터 절환된다. 그리고, 상기와 같이 취입된 행어드레스에 대응하는 워드선이 선택되면, 선택된 행의 메모리셀의 데이터가 비트선에 독출되고, 더욱이 센스앰프(11,12)가 동작하고, 비트선쌍간의 전위차가 증폭된다.

다음에, /RAS신호가 재차 H레벨로 되면, EQL신호 및 플레시기록신호(FWG1,FWG2)는 각각 H레벨로 되돌아가고, 프리차지·이퀄라이즈회로(10) 및 제1 플래시기록용 트랜지스터(Q7), 제2 플래시기록용 트랜지스터(Q8)는 각각 온상태로 된다. 이로써, 재차 P채널 센스앰프(11)측의 비트선은 프리차지·이퀄라이즈회로(10)를 매개로 비트선전위(VBL)에 프리차지·이퀄라이즈되고, N채널 센스앰프(12)측의 비트선쌍은 전위절환회로(16) 및 제1 플래시기록용 트랜지스터(Q7), 제2 플래시기록용 트랜지스터(Q8)를 매개로 비트선전위(VBL)에 프리차지된다. 이 때, 제어신호(øT)는 H레벨이고, 비트선 전송게이트(Q1,Q2)는 온상태이기 때문에 N채널 센스앰프(12)측의 비트선쌍과 P채널 센스앰프(11)측의 비트선쌍은 상기 비트선 전송게이트(Q1,Q2)를 매개로 동전위(VBL)에 이퀄라이즈된다.

상기와 같은 비플레시기록모드시의 동작에 있어서는, N채널 센스앰프(12)측의 비트선쌍은 전위절환회로(16) 및 제1 플래시기록용 트랜지스터(Q7), 제2 플래시기록용 트랜지스터(Q8)를 매개로 비트선전위(VBL)에 프리차지되기 때문에, 비트선을 종래예에 비해서 단시간에 충분히 확실하게 프리차지하는 것이 가능하다.

또한, 비플래시기록모드일 때의 동작중 전위절환회로(16)의 출력노드(16a)는 VBL로 일정하고, 충방전이 생기지 않기 때문에, 전류소비가 생기지 않는다.

다음에, 플래시기록모드일 때의 동작을 설명한다. /RAS신호가 H레벨일 때, 이퀄라이즈신호(EQL)는 H레벨, 제어신호(XGL)는 VCC, 제어신호(XGD)는 VSS, 플래시기록신호(FWG1,FWG2)는 각각 H레벨로 되고, P채널 센스앰프(11)측의 비트선쌍 및 N채널 센스앰프(12)측의 비트선쌍이 비트선전위(VBL)에 프리차지·이퀄라이즈될 때까지의 동작은 상술한 비플래시록모드일 때의 동작과 동일하다.

다음에, /RAS신호가 L레벨로 되고, 플래시기록모드인 것이 확정되면, 펑션(funtion)디코더(도시되지 않음)에 의해 플래시기록모드 인식신호(FW)가 H레벨로 된다. 이 때, 제어신호(XGL)는 VSS로 되고, 전위절환회로(16)의 NMOS트랜지스터(Q9)는 오프상태로 된다. 그리고, 행어드레스가 취입되면, 우선 EQL신호가 L레벨로 되고, 프리차지·이퀄라이즈회로(10)가 오프상태로 되고, 비트선이 전원전위(VCC), 접지전위(VSS), 비트선전위(VBL)로부터 절환된다. 또, 이때 XGL신호, 플래시기록신호(FWG1,FWG2)가 L레벨로 되고, 제1 플래시기록용 트랜지스터(Q7), 제2 플래시기록용 트랜지스터(Q8)는 각각 오프상태로 된다.

그리고, 실제의 플래시기록동작을 행하기 전에 XGD신호가 VCC로 되고, 전위절환회로(16)의 NMOX트랜지스터(Q10)는 온상태로 되고, 출력노드(16a)는 VSS전위로 된다. 그리고, 상기와 같이 취입된 행어드레스에 대응하는 워드선이 선택되면, 선택된 행의 메모리셀의 데이터가 비트선에 독출된다. 이 동작과 전후하여 플래시기록용 플래시기록신호(FWG1,FWG2)의 어느 한쪽이 H레벨로 되고, 제1 플래시기록용 트랜지스터(Q7), 제2 플래시기록용 트랜지스터(Q8)의 어느 한쪽이 온상태로 된다.

이 때, 선택된 워드선(WL)에 접속되어 있는 메모리셀의 모든 데이터 0을 기록하는 경우에는 비트선쌍의 한쪽(예컨대, BL0, LB1)에 접속되어 있는 제1 플래시기록용 트랜지스터(Q7)를 온상태로 하기 때문에 플래시기록신호(FW1)가 H레벨로 된다. 이로써, 미리 상기 메모리셀에 잠시 데이터 1이 기록되어 있어도 상기와 같이 제1 플래시기록용 트랜지스터(Q7)가 온상태로 됨으로써 상기 한쪽의 비트선(BL0,BL1)은 VSS전위에 방전되기 때문에, 다른 쪽의 비트선(/BL0,/BL1)보다 확실하게 저전위로 된다.

이것에 대하여, 선택된 워드선에 접속되어 있는 메모리셀의 모든 데이터 1을 기록하는 경우에는 비트선쌍의 다른 쪽(예컨대, /BL0, /BL1)에 접속되어 있는 제2 플래시기록용 트랜지스터(Q8)를 온상태로 하기 때문에 플래시기록신호(FWG2)가 H레벨로 된다. 이로써, 미리 상기 메모리셀에 잠시 데이터 0이 기록되어 있어도 상기와 같이 제2 플래시기록용 트랜지스터(Q8)가 온상태로 됨으로써 상기 다른 비트선(/BL0,BL1)은 VSS전위에 방전되기 때문에, 다른 쪽의 비트선(BL0,BL1)보다 확실하게 저전위로 된다.

그리고, 비트선쌍간에 있는 정도의 전위차가 생긴 후, 플래시기록모드 인식신호(FW)가 L레벨로 되고, 제어신호(XGD)는 VSS로 되고, 전위절환회로(16)의 NMOS트랜지스터(Q10)는 오프상태로 된다.

이 후, 센스앰프(11,12)가 동작하고, 비트선쌍간의 전위차가 증폭된다. 이 때, 모든 비트선의 전위가 동일한 방향으로 천이하기 때문에, 최종적으로는 선택되어 있는 1개의 워드선에 접속되어 있는 메모리셀의 모두에 동일한 데이터가 기록된다.

다음에, /RAS신호가 재차 H레벨로 되면, EQL신호 및 플래시기록신호(FWG1,FWG2)는 각각 H레벨로 되돌아가고, 제어신호(XGL)는 VCC로 되돌아가고, 프리차지·이퀄라이즈회로(10) 및 제1 플래시기록용 트랜지스터(Q7), 제2 플래기시록용 트랜지스터(Q8)는 각각 온 상태로 되고, 전위절환회로(16)의 NMOS트랜지스터(Q9)는 온상태로 되고, 그 출력노드(16a)의 전위는 VBL로 된다. 이로써, 재차 P채널 센스앰프(11)측의 비트선쌍은 프리차지·이퀄라이즈회로(10)를 매개로 비트선전위(VBL)에 프리차지·이퀄라이즈되고, N채널 센스앰프(12)측이 비트선쌍은 전위절환회로(16) 및 제1 플래시기록용 트랜지스터(Q7), 제2 플래시기록용 트랜지스터(Q8)를 매개로 비트선전위(VBL)에 프리차지된다.

이 때, 제어신호(øT)는 H레벨이고, 비트선 트랜지스터(Q1,Q2)는 온상태이기 때문에, N채널 센스앰프(12)측의 비트선쌍과 P채널 센스앰프(11)측의 비트선쌍은 상기 비트선 전송게이트(Q1,Q2)를 매개로 동전위(VBL)에 이퀄라이즈된다.

상기와 같은 플래시기록모드일 때의 동작에 의해 플래시기록동작 및 그 후의 비트선 프리차지·이퀄라이즈동작을 정상적으로 행하는 것이 가능하다.

즉, 상기 실시예의 VRAM에 의하면, 플래시기록용의 트랜지스터(Q7,Q8)에 본래의 플래시기록동작만이 아닌 비트선 이퀄라이즈동작을 겸비하고 있기 때문에 전원전위가 낮은 영역에 있어서도 비트선을 단시간에 충분히 확실하게 프리차지할 수 있고, 메모리셀로부터의 독출데이터를 정확히 센스하여 출력할 수 있다.

또, 전원전위가 낮은 영역에 있어서, 비트선 플래시기록용 트랜지스터(Q1,Q2)를 3극관 영역에서 동작시킬 목적으로 그 게이트전위를 소정기간만 VCC+Vth 이상으로 높게하기 위한 승압회로를 필요로 하지 않고, 이 승압회로가 예컨대 데이터출력시에 발생하는 전원노이즈등에 기인하는 오동작의 문제점도 생기지 않는다.

또, 종래예와 마찬가지로 비트선 전송게이트(Q1,Q2)가 존재하고, 센스앰프의 초기 센스동작시 표면상의 비트선용량이 작아지기 때문에, 센스앰프의 초기 센스동작시 마진이 저하되어도 좋다.

또, 상기 실시예에서 부가된 전위절환회로(16)의 2개의 NMOS트랜지스터(Q9,Q10)는 메모리셀 어레이의 외부에 설치되는 것이 가능하고, 메모리셀 어레이 내의 회로를 증가하지 않아도 좋다. 더욱이, 상기 전위절환회로(16)는 비교적 간단한 구성이고, 노이즈등에 기인한 오동작은 생기기 어렵다.

한편, 본원 청구범위의 각 구성요건에 병기한 도면 참조부호는 본 발명의 이해를 용이하게 하기 위한 것으로, 본 발명의 기술적 범위를 도면에 도시한 실시예에 한정할 의도로 병기한 것은 아니다.

[발명의 효과]

상술한 바와 같이 본 발명의 반도체기억장치에 의하면, 메모리셀 어레이 내의 회로를 증가시키지 않고, 비교적 간단히 노이즈에 강한 전위절환회로를 부가하는 것만으로 전원전위가 낮은 영역에 있어서도 비트선을 단시간에 충분히 확실하게 프리차지할 수 있으며, 메모리셀로부터의 독출된 데이터를 정확히 센스하여 출력할 수 있다.

(57) 청구의 범위

청구항 1

다이나믹형의 메모리셀(MC)이 행열형상으로 배치된 메모리셀 어레이와, 동일행의 메모리셀에 접속된 워드선(WL)과, 각각 동일 열의 메모리셀에 접속된 상보적인 비트선쌍((BL0,/BL0), (BL1,/BL1))과, 상기 비트선쌍의 일단측에 접속된 열선택용 전송게이트(CS,CS)와, 상기 열선택용 전송게이트쌍에 접속된 데이터선쌍((DQR0,/DQR0), (DQR1,/DQR1), (DQRi,/DQRi))과, 상기 비트선쌍의 각 비트선쌍에 각각 직렬로 삽입되어 상기 비트선쌍을 상기 메모리셀측의 제1 비트선쌍 및 상기 열선택용 전송게이트쌍측의 제2 비트선쌍으로 분할하는 제1 도전형의 비트선 전송게이트쌍(Q1,Q2)과, 상기 제1 비트선쌍에 접속되어 프리차지·이퀄라이즈 기간에 온상태로 제어되는 비트선 프리차지·이퀄라이즈회로(10)와, 상기 비트선쌍에 접속되어 소정기간 구동되는 비트선전위 센스앰프(11, 12)와, 상기 제2 비트선쌍의 각 비트선에 대응하여 각 일단이 접속된 플래시기록용 제1 MOS트랜지스터(Q7) 및 제2 MOS트랜지스터(Q8)와, 상기 제1 MOS트랜지스터 및 제2 MOS트랜지스터를 상기 프리차지·이퀄라이즈기간동안 비플래시기록모드시 및 플래시기록모드시의 기록데이터에 따라서 스위칭제어하는 플래시기록 제어회로(15)와, 상기 제1 MOS트랜지스터 및 제2 MOS트랜지스터의 각 타단에 출력노드가 접속되고 상기 출력노드의 전위를 비트선 초기전위설정용의 비트선 프리차지 전위 또는 소정의 기준전위로 설정할 수 있는 전위절환회로(16)를 구비한 것을 특징으로 하는 반도체기억장치.

청구항 2

제1항에 있어서, 상기 플래시기록 제어회로는, 상기 프리차지·이퀄라이즈기간에는 상기 제1 MOS트랜지스터 및 제2 MOS트랜짓터를 모두 온상태로 제어하며, 비플래시기록모드시에는 제1 MOS트랜지스터 및 제2 MOS트랜지스터를 모두 오프상태로 제어하고, 플래시기록모드시에는 상기 센스앰프의 구동 전의 소정기간에 상기 제1 MOS트랜지스터 및 제2 MOS트랜지스터를 택일적으로 온상태로 제어하는 것을 특징으로 하는 반도체기억장치.

청구항 3

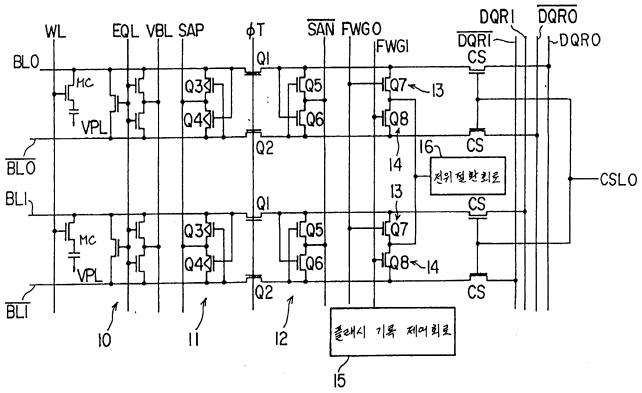
제1항 또는 제2항에 있어서, 상기 전위절환회로는, 상기 비트선 프리차지전위가 주어지는 노드와 상기 출력노드와의 사이에 접속되고, 게이트에 제1 제어신호가 주어지는 제3 MOS트랜지스터(Q9)와, 상기 소정의 기준전위가 주어지는 노드와 상기 출력노드와의 사이에 접속되고, 게이트에 제2 제어신호가 주어지는 제4 MOS트랜지스터(Q10)와, 상기 제1 제어신호 및 제2 제어신호를 생성하기 위한 제어신호발생회로(17)를 구비한 것을 특징으로 하는 반도체기억장치.

청구항 4

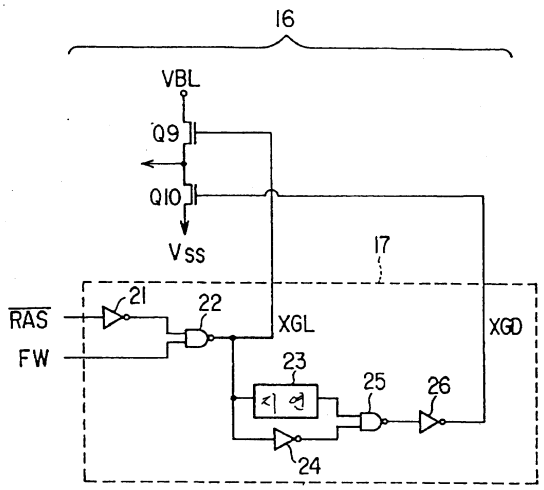
제3항에 있어서, 상기 제어신호발생회로는, 상기 프리차지·이퀄라이즈기간 및 비플래시기록모드시에는 상기 제3 MOS트랜지스터를 온상태, 상기 제4 MOS트랜지스터를 오프상태로 제어하고, 플래시기록모드시에는 상기 제3 MOS트랜지스터를 오프상태로 제어함과 더불어 상기 센스앰프의 구동 전에 상기 제4 MOS트랜지스터를 소정기간 온상태로 제어하는 것을 특징으로 하는 반도체기억장치.

도면

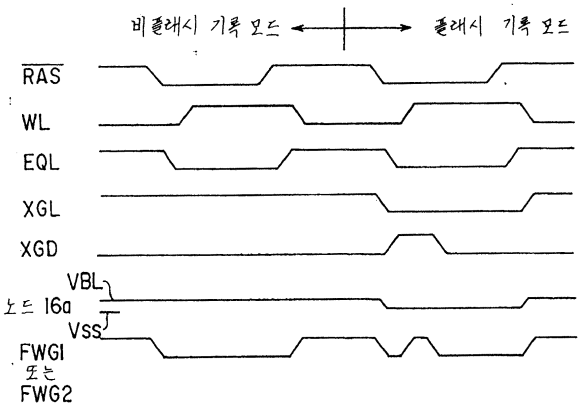
도면1


WL
EQL
VBL
SAP
φT
SAN
FWGO
FWGI
DQRI
DQRO
BLO
BLI
MC
VPL
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
CS
CSLO
전위 절환 회로
플래시 기록 제어회로
10
11
12
13
14
15
16

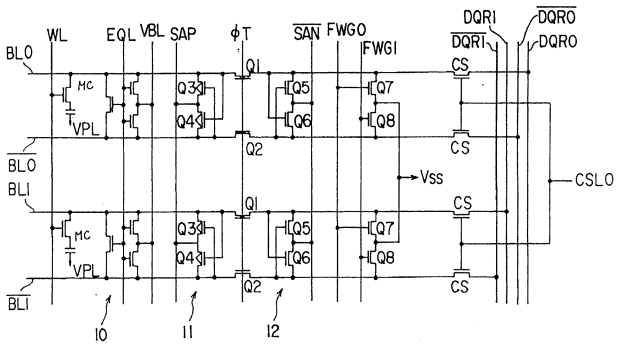
도면2


16
VBL
Q9
Q10
Vss
17
RAS
FW
21
22
XGL
XGD
23
25
26
지연
24

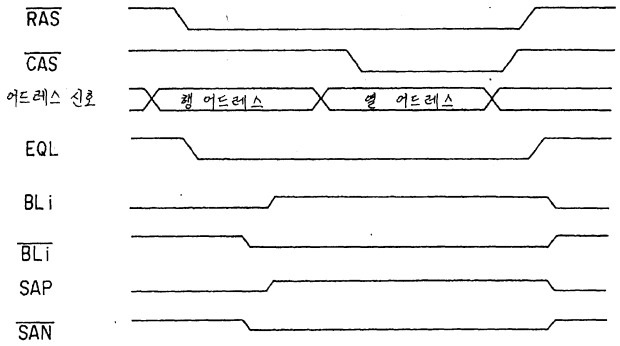
도면3


비플래시 기록 모드
플래시 기록 모드
RAS
WL
EQL
XGL
XGD
VBL
노드 16a
Vss
FWGI
또는
FWG2

도면4


WL
EQL
VBL
SAP
φT
SAN
FWGO
FWGI
DQRI
DQRO
BLO
MC
VPL
Q1
Q2
Q3
Q4
Q5
Q6
Q7
Q8
CS
Vss
CSLO
BLI
I0
I1
I2

도면5


RAS
CAS
어드레스 신호
로 어드레스
열 어드레스
EQL
BLi
SAP
SAN