[19] 中华人民共和国国家知识产权局

[12] 发明专利说明书

专利号 ZL 200680003375.7

[51] Int. Cl.
H01L 29/78 (2006.01)
H01L 29/786 (2006.01)
H01L 29/06 (2006.01)
H01L 29/49 (2006.01)
H01L 29/423 (2006.01)
H01L 29/165 (2006.01)

[45] 授权公告日 2010 年 1 月 20 日

[11] 授权公告号 CN 100583452C

[51] Int. Cl. (续)
H01L 21/336 (2006.01)
[22] 申请日 2006.1.23
[21] 申请号 200680003375.7
[30] 优先权
[32] 2005. 1.28 [33] EP [31] 05100571.8
[86] 国际申请 PCT/IB2006/050238 2006.1.23
[87] 国际公布 WO2006/079964 英 2006.8.3
[85] 进入国家阶段日期 2007.7.27
[73] 专利权人 NXP 股份有限公司
地址 荷兰艾恩德霍芬
[72] 发明人 韦伯·D·范诺尔特
弗朗西斯库斯·P·威德斯霍芬
拉杜·芬尔代亚努
[56] 参考文献
US2004/0169239A1 2004.9.2
US2005/0001216A1 2005.1.6
US2005/0009305A1 2005.1.13
EP1091413A2 2001.4.11
US2005/0012145A1 2005.1.20
审查员 王 琳
[74] 专利代理机构 中科专利商标代理有限责任公司
代理人 朱进桂

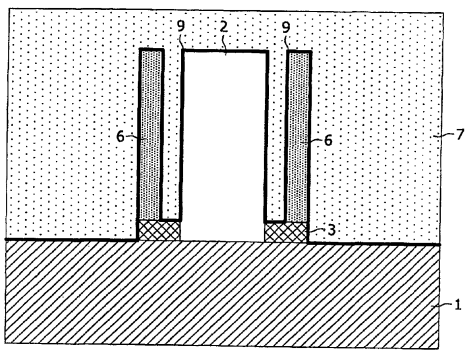
权利要求书 2 页 说明书 8 页 附图 6 页

[54] 发明名称

制造双栅极 FET 的方法

[57] 摘要

本发明提出了一种使用传统半导体工艺技术制造超短长度双栅极 FET 的方法，具有非常小且可再现的鳍，其间距和宽度比利用光刻技术可以获得的间距和宽度小。 在衬底(1)上的凸起物(2)上形成第一层(3)和第二层(4)，随后暴露出凸起物(2)的顶部表面。 将第一层(3)的一部分相对于凸起物(2)和第二层(4)选择性地去除，从而产生鳍(6)和沟槽(5)。 同样，本发明用于形成多个鳍(6)和沟槽(5)。 通过在沟槽(5)中形成栅极电极(7)以及源极和漏极区来产生双栅极 FET。 另外，提出制作具有可以单独进行偏置的两个栅极电极的超短长度不对称双栅极 FET 的方法。



1．一种用于制造双栅极 FET 的方法，包括步骤：

在衬底（1）上形成第一半导体材料的凸起物（2）；

在凸起物（2）上形成第一材料的第一层（3）；

在第一层（3）上形成第二半导体材料的第二层（4）；

去处第一层（3）和第二层（4）以暴露凸起物（2）的顶部表面；

将第一材料相对于第一和第二半导体材料选择性地去除至预定深度，以在凸起物（2）和第二层（4）之间形成沟槽（5）和鳍（6），所述鳍（6）与沟槽（5）相邻并且包括第二层（4）；

在沟槽（5）和鳍（6）的已暴露表面上形成绝缘层（9、19）；以及

在绝缘层（9、19）上形成导电材料层（7、17），从而形成栅极电极。

2．根据权利要求 1 所述的方法，还包括步骤：

在形成第二层（4）之后，形成包括第一材料层（13）和第二半导体材料层（14）的至少一个多层结构；

去除第一层（3）和第二层（4）的步骤还包括去除多层，以及

选择性地去除第一材料的步骤还包括在第二半导体材料的层之间形成至少一个沟槽（5）和与沟槽（5）相邻的至少一个鳍（6）。

3．根据权利要求 1 或 2 所述的方法，其中形成第一材料层（3、13）和第二半导体材料层（4、14）是通过外延生长来实现的。

4．根据权利要求 1 或 2 所述的方法，还包括步骤：

在第一材料的选择性去除之后，向第一和第二半导体材料提供掺杂剂原子。

5．根据权利要求 1 或 2 所述的方法，还包括步骤：

在沟槽（5）的底部表面和凸起物（2）和鳍（6）的顶部表面中提供注入材料层。

6．根据权利要求 1 或 2 所述的方法，其中所述第一材料包括 SiGe，以及所述第二半导体材料包括硅。

7．根据权利要求 1 或 2 所述的方法，其中所述鳍（6）的宽度小于 10nm。

8．根据权利要求 1 所述的方法，还包括步骤：

去除凸起物（2）、导电材料层（17）在沟槽（5）中的一部分、绝缘层（19）在沟槽（5）中的一部分，从而在鳍（6）和第一栅极电极（37）之间形成间隔；

在所述间隔的已暴露表面上形成第二绝缘层；

在所述第二绝缘层上形成第二导电材料的第二导电层（27），从而形成第二栅极电极（27）。

9．根据权利要求 8 所述的方法，其中在形成绝缘层（19）的步骤之前形成源极区（10）和漏极区（20），还包括步骤：

在源极区（10）或漏极区（20）上形成至少一个触点区域（91、92），从而形成与所述第二栅极电极（27）的电连接。

10．根据权利要求 8 所述的方法，其中所述导电材料包括金属，并且所述第二导电材料包括多晶硅。

制造双栅极 FET 的方法

技术领域

本发明涉及一种制造双栅极 FET 的方法。

背景技术

EP 1 091 413 公开了一种制造双栅极 CMOS FET 的方法，其中半导体衬底配备有利用传统光刻和刻蚀形成的多个柱。减法氧化（subtractive oxidation）工艺减小了柱的宽度，从而产生沟道段，所述沟道段由具有宽度的间隔侧向分离，所述宽度比可以利用同时期的传统光刻技术获得的宽度小。将栅极结构形成于沟道段之间的间隔中，对所述栅极结构进行光刻构图和刻蚀以产生所需形状，并且形成源极区和漏极区，从而产生完全耗尽且完全反型的双栅极 CMOS FET,所述双栅极 CMOS FET 具有多个垂直延伸的沟道段，以及具有多个定位于所述沟道段之间的多个垂直取向的栅极段的栅极结构。

在完全耗尽且完全反型的双栅极 CMOS FET 中，沟道段的宽度应该使得可以在沟道段中产生完全地耗尽区，而不会存在来自不利的短沟道效应的显著影响。为了实现该效果，沟道段的宽度应该比可以利用同时代的光刻技术获得的宽度小。根据现有技术的方法通过三个不同的传统制作步骤实现了该效果：光刻步骤、反应离子刻蚀步骤、以及减法氧化步骤。然而，该方法难以减小沟道段的宽度，同时控制该宽度的再现性。换句话说，通过适应减法氧化步骤获得的沟道段的较小宽度将引起该宽度的较大变化，例如在不同衬底之间。最终，沟道段宽度的变化将是不可接受的，并且达到了可以利用这种制作方法实现的该宽度的最小值。明显的是，由于沟道段宽度的较大变化，使用现有技术的制作方法难以制作具有可接受再现性的、具有小于 10 nm 宽度的沟道段。现有技术制作方法的另一个缺点是难以减小 CMOS FET 器件面积，因为沟道段的间距

仅由光刻来限定。因此，按比例缩小沟道段的间距以及因此减小器件面积是由光刻技术的限制确定的，所述间距在递交本申请时是约 100 nm。

发明内容

本发明的一个目的是提出一种用于制造双栅极 FET 的方法，所述方法能够形成非常小的、可再现的沟道段或鳍（fin），具有两者均比利用光刻技术可以获得的小的间距和宽度。根据本发明，该目的是通过提供用于制作如权利要求 1 所述的 FET 的方法来实现的。从属权利要求限定了本发明的有利实施例。

该制作方法提供了一种具有由形成第二层的制作方法限定的宽度的鳍，所述方法无需应用光刻技术，允许按照可再现方式形成具有均匀的厚度的非常薄的共形层（例如几个原子层）。现有技术的制作方法形成了依赖于光刻能力的沟道段或鳍，从而实现了比本发明方法更大的宽度、更差的均匀性和更差的再现性。本发明鳍的非常小的可再现宽度使得更易于实现鳍的完全耗尽和完全反型沟道行为。本发明提出了一种具有由形成第一层的制作方法确定的宽度的沟槽，所述方法还允许按照再现方式形成具有均匀厚度的非常薄的共形层（例如几个原子层）。因为沟槽由光刻和减法氧化限定，现有技术中的间隔或沟槽具有更大的宽度、更差的均匀性和再现性，从而增加所述沟槽的宽度超过可以利用同时代的光刻获得的尺寸。

本发明的另一个优点是沟槽和鳍较高的纵横比，意味着沟槽的深度和鳍的高度远大于沟道的宽度和鳍的宽度。利用本发明，可以实现沟槽和鳍或更大的纵横比，因此具有至少是沟槽宽度和鳍宽度的十倍的沟槽深度和鳍高度。其中，FET 的电流驱动是由鳍的个数以及鳍的高度来确定的。因此，本发明提出了一种 FET，所述 FET 实现了较高的电流驱动，同时，器件面积比利用现有技术实现的面积小。

根据本发明制造 FET 的方法的另一个实施例包括：在形成第二层之后，形成至少一个多层结构，所述多层结构包括第一材料层和第二半导体材料层。其后去除第一和第二层的步骤还包括去除多层，以及选择性去除第一材料的步骤还包括在第二半导体材料层之间形成至少两个沟槽

和与沟槽相邻的至少两个鳍。可以重复多层的形成，从而产生由沟槽分离的多个鳍。鳍的间距由制作方法来限定，所述制作方法形成了具有均匀厚度的可再现共形层，并且所述间距由第一和第二层厚度的总和来确定。因此，本发明中鳍的间距可以比利用现有技术制作方法获得的间距小，所述方法导致由光刻技术限定的沟道段的间距。因为鳍的间距确定了总的 FET 器件面积，本发明的优点是可以实现具有相同电性能的较小 FET 器件面积，或者是可以针对相同的 FET 器件面积实现更高的电流驱动。

另外的实施例包括以下步骤：在选择性去除第一材料之后，向第一和第二半导体材料提供掺杂剂原子。通过在形成绝缘层之前在鳍中提供掺杂剂原子，可以适当地改变鳍的导电性特征。

另外的实施例包括步骤：在沟道的底部表面中和鳍及凸起物的顶部表面中提供注入材料层。可以将该注入层用于调节沟槽底部表面和和凸起物及鳍顶部表面的导电特征，从而减小表面寄生晶体管对于器件性能的影响，并且只留下双栅极化的鳍作为基本导电通道。

本发明的另一个实施例包括形成具有两个栅极电极的 FET，所述栅极电极可以被单独地进行偏置，并且所述栅极电极可以包括不同的材料。在形成鳍和沟槽之后，将第一绝缘层形成于鳍及凸起物的已暴露表面上，随后将第一导电材料形成于第一绝缘层上。接下来，去除第一导电材料和第一绝缘材料以暴露所述凸起物的顶部表面，从而产生第一导电材料的第一部分和第二导电材料的第二部分，所述第一部分处于沟槽中，而所述第二部分处于沟槽外部的区域中，其中所述第一部分和所述第二部分没有连接。接下来，去除凸起物、沟槽中的第一导电材料的第一部分和第一绝缘层，从而在鳍之间产生间隔，并且在沟槽外部的区域中形成第一栅极电极，包括第一导电材料的第二部分。在这一点上，第一栅极电极覆盖鳍的一侧，并且所述间隔位于鳍的相对一侧处。将第二绝缘层形成于间隔中的鳍的已暴露表面上，其后将第二导电材料形成于该第二绝缘层上，从而形成第二栅极电极。在这一点上，第一栅极电极覆盖了鳍的一侧，并且第二栅极电极覆盖了鳍的相对一侧，从而使每一个鳍能够被两个分离的栅极电极控制。通过对栅极电极进行构图并且添加源极

和漏极区，产生了具有两个栅极电极的不对称双栅极 FET，所述 FET 可以分别进行偏置，并且可以由不同材料形成。可以分别进行偏置的两个独立的栅极电极的使用与一个栅极电极的使用相比，给出了用于控制鳍的导电性特征的额外的自由度，所述两个栅极电极的使用同时控制鳍的两侧。可以在该 FET 中形成三个数字级别，包括：当将两个栅极电极进行偏置使得鳍处于耗尽模式时没有电流；当一个栅极电极将鳍的一侧设定为处于反型模式时最大电流的一半；以及当两个栅极电极将整个鳍设定为反型模式时最大电流。这在逻辑电路中是尤其有益的，使得能够采用比传统电路更少晶体管得到相同的逻辑性能。

在另外的实施例中，可以在形成第一绝缘层之前，将第二栅极电极的触点区产生于源极和漏极区上。在源极和漏极区上接触第二栅极电极的该方法没有在鳍之间接触第二栅极电极苛刻，因为更多的面积可用于形成触点。

附图说明

将参考附图进一步地说明和描述本发明方法的这些和其他方面，其中：

图 1 至图 4 是示出了在制作双栅极 FET 时所包含的步骤序列的示意性剖面图；

图 5 是双栅极 FET 的示意性顶视图；

图 6 至图 8 是示出了形成多个沟槽和鳍的示意性剖面图；

图 9 至图 10 是示出了形成不对称双栅极 FET 的示意性剖面图；以及

图 11 是本发明方法的实施例的示意性顶视图，示出了具有在源极和漏极区上形成的第二栅极电极的触点的不对称双栅极 FET 的形成。

附图没有按比例绘制。通常，图中相同的部件用相同的附图标记表示。

具体实施方式

图 1 表示示出了具有凸起物 2 的衬底 1 的剖面图，凸起物 2 和衬底

1 都包括硅，在所述衬底上使用外延生长形成包括硅和锗化合物的 SiGe 层 3 和硅层 4。在该实施例中，凸起物 2 具有矩形形状，但是其他形状也是可以的，例如具有倒角顶部部分的三角形或矩形，其中凸起物 2 包括主要从衬底 1 垂直延伸的侧壁和连接侧壁的顶部表面。凸起物 2 还可以包括另一种半导体材料，例如 SiGe，并且衬底 1 还可以包括具有掩埋二氧化硅层的绝缘体上硅（SOI）衬底。外延生长的使用导致共形层，所述共形层具有对于整个层非常恒定的厚度。在凸起物 2 上形成 SiGe 层 3 之前，可以将牺牲氧化物形成于凸起物 2 上并且随后去除，以准备凸起物 2 的表面用于共形外延生长。

SiGe 层 3 的第一部分覆盖了凸起物 2 并且硅层 4 的第一部分 SiGe 层 3 的第一部分，SiGe 层 3 的第二部分覆盖了衬底 1 并且硅层 4 的第二部分覆盖了 SiGe 层 3 的第二部分。如图 2 所示，可以利用回蚀工艺去除这些第二部分，从而在凸起物 2 上只留下 SiGe 层 3 的第一部分和硅层 4 的第一部分。替代地，可以在器件制造的随后阶段中去除这些第二部分。随后沉积二氧化硅层 16，其后将化学机械抛光（CMP）用于去除二氧化硅层 16、硅层 4 和 SiGe 层 3，从而产生平坦表面，并且暴露出凸起物 2 的顶部表面和 SiGe 层 3 的一部分。还可以将回蚀技术用于去除硅层 4 和 SiGe 层 3 以暴露凸起物 2 的顶部表面。

在使用 SOI 衬底的情况下（在图中未示出），衬底 1 包括由（掩埋）二氧化硅层和硅层覆盖的体硅层，并且可以去除所述硅层以暴露掩埋二氧化硅层，其后将选择性外延生长用于在凸起物 2 上形成 SiGe 层 3 和硅层 4。由于选择性外延生长的使用，没有将 SiGe 层 3 和硅层 4 形成于掩埋二氧化硅层上。

如图 3 所示，执行刻蚀，所述刻蚀相对于凸起物 2 和硅层 4 选择性地去除 SiGe 层 3，从而形成包括硅的沟槽 5 和鳍 6。鳍 6 的宽度由其中形成硅层 4 的制造方法限定，在这种情况下是外延生长，并且该宽度实质上等于硅层 4 的厚度。所应用的制作方法能够形成具有小于 10nm 可再现厚度的层，因此鳍 6 的宽度也可再现地小于 10nm，这是利用现有技术的制作方法无法实现的。在该实施例中，凸起物 2 和层 4 由相同硅材料形成，并且层 3 由 SiGe 形成，但是也可以使用其他半导体材料的组合。

这些材料应该使得至少层 3 相对于凸起物 2 和层 4 的选择性刻蚀是可行的。在这一点上，可以通过气相掺杂或等离子体浸没掺杂或任意其他掺杂技术对鳍 6 和凸起物 2 进行掺杂，从而对鳍 6 的掺杂水平进行设定以得到合适的器件性能。此外，可以用掺杂剂对全部已暴露顶部和底部表面进行注入以调节他们的导电特征，通过减小表面寄生晶体管对器件性能的影响，使得鳍 6 是主要的导电通道。

如图 4 所示，对已暴露的表面进行氧化，从而形成用作栅极氧化物的二氧化硅层 9。随后将多晶硅层 7 沉积到二氧化硅层 9 上，从而形成栅极电极。二氧化硅层 9 还可以包括诸如高 k 电介质层之类的另一种绝缘层，并且多晶硅层 7 也可以包括诸如金属或可用作栅极材料的另一种材料之类的另一种导电材料。凸起物 2 的倒角顶部部分避免了众所周知的尖角效应(corner-sharpening effect)，该效应可以引起减小的完整性或引起二氧化硅层 2 的击穿。

如图 5 所示，图 5 是该实施例的示意性顶视图，可以通过多晶硅层 7 进行构图、随后通过没有由已构图的多晶硅层 7 覆盖的那部分鳍 6 进行注入来形成源极和漏极区来产生双栅极 FET 器件。源极和漏极区还可以包括轻掺杂的漏极和源极区，通过在栅极电极以及源极和漏极区之间形成绝缘材料的隔板来形成。

另一个实施例包括具有多个鳍和沟槽的双栅极 FET 的形成，以图 1 所示的实施例开始，其中如图 6 所示，使用用于形成 SiGe 层 2 和硅层 4 的相同制作技术，在硅层 4 上形成 SiGe 层 13 和硅层 14。SiGe 层 3、13 和硅层 4、14 具有直接或间接覆盖凸起物 2 的第一部分和直接或间接覆盖衬底 1 的第二部分。替代地，可以形成更多 SiGe 和硅层。

如图 7 所示，可以用回蚀工艺去除 SiGe 层 3、13 和硅层 4、14 的第二部分，从而在凸起物 2 上只留下 SiGe 层 3、13 和硅层 4、14 的第一部分。替代地，可以在器件制作的随后阶段中去除这些第二部分。同样在该实施例中，可以将结合有 SOI 衬底的选择性外延生长用于只在凸起物 2 上形成 SiGe 层 3、13 和硅层 4、14。其后沉积二氧化硅层 16，并且通过将 CMP 用于去除二氧化硅层 16、硅层 4、14 和 SiGe 层 3、13 以暴露凸起物 2 的顶部表面和 SiGe 层 3、13 的一部分，来产生平坦表面。同

样可以将其他回蚀技术用于暴露凸起物 2 的顶部表面和 SiGe 层 3、13 的一部分。

参考图 8，执行刻蚀，所述刻蚀相对于凸起物 2 和硅层 4、14 选择性地去除 SiGe 层 3、13，从而形成多个沟槽 5 和鳍 6。其后可以通过产生栅极电极并且对栅极电极进行构图、以及形成源极和漏极区来形成具有多个沟道的双栅极 FET。因为鳍 6 的间距由外延技术限定而不会由光刻技术限定，该 FET 在占据比现有技术中的 FET 更小面积的同时具有较高的电流驱动。

不对称双栅极 FET 的制作以图 3 所示的实施例开始。如图 9 所示，通过已暴露表面的热氧化来形成二氧化硅层 19。同样，可以将另一个绝缘层形成于已暴露表面上，例如氮化硅或高 k 电介质层。随后，将包括多晶硅的第一导电层 17 沉积到二氧化硅层 19 上。第一导电层 17 也可以包括另一种导电材料，例如可以用作栅极材料的金属或另一种材料。随后，用回蚀工艺从鳍 6 的顶部表面上去除第一导电层 17，从而产生第一导电层 17 处于沟槽 5 中的第一区域和第一导电层 17 处于沟槽 5 外部区域中的第二区域，其中第一导电层 17 的第一和第二区域没有连接。如果第一导电层 17 包括金属，可以将光刻掩模用于从凸起物 2 的顶部表面上去除金属。

随后如图 10 所示，应用具有至少部分覆盖凸起物 2 上方鳍 6 之间的区域的开口的氮化硅硬掩模 8。随后，去除凸起物 2、覆盖沟槽 5 的表面和第一导电层 17 的第一区域的二氧化硅层 19，从而形成鳍 6 和第一栅极电极 37 之间的间隔。将硬掩模 8 用于防止去除第一导电层 17 的第二区域，从而能够形成第一栅极电极 37。该硬掩模可以由氮化硅或可以防止去除第一导电层 17 的任意其他材料组成。接下来，将二氧化硅层形成于所述间隔中的鳍 6 的已暴露表面上，并且随后将包括多晶硅或金属的第二导电层沉积到二氧化硅层上，从而形成第二栅极电极 27。在该实施例中，第二栅极电极 27 包括二氧化硅和多晶硅或金属，并且第一栅极电极 37 包括二氧化硅和多晶硅，然而，可以应用材料的其他组合，限制是形成栅极电极。同样，绝缘层 19 的厚度可以是不同的。

图 11 是其中第二栅极电极 27 在源极和漏极区 10 和 20 上接触的实

施例的示意性顶视图。在从鳍 6 的顶部表面上去除第一导电层 17 的步骤之后，应用硬掩模 8，在该实施例中所述硬掩模 8 不提供覆盖鳍之间的一部分区域的开口，而是提供源极和漏极区 10 和 20 上的开口 91 和 92。通过经由开口 91 和 92 应用刻蚀剂来去除凸起物 2、第一导电层 17 和二氧化硅层 19，其中所述刻蚀工艺相对于其他材料是选择性的。随后，使用开口 91 和 92 以将二氧化硅层提供到鳍 6 的已暴露表面上，将二氧化硅层形成于鳍 6 的已暴露表面上。随后，将包括多晶硅的第二导电层经由开口 91 和 92 沉积到二氧化硅层上，以形成第二栅极电极 27。接下来，将开口 91 和 92 用于与第二栅极电极的触点。替代地，可以将与第二栅极电极 27 的触点放置在鳍之间。可以使用传统制作方法实现与第一栅极电极 37 的触点，并且所述触点可以位于与鳍相邻。

总之，本发明提出了一种使用传统半导体工艺技术制造超短长度双栅极 FET 的方法，具有非常小且可再现的鳍，其间距和宽度比利用光刻技术可以获得的间距和宽度小。在衬底上的凸起物上形成第一和第二层，随后暴露出凸起物的顶部表面。将第一层的一部分相对于凸起物和第二层选择性地去除，从而产生鳍和沟槽。同样，本发明用于形成多个鳍和沟槽。通过在沟槽中形成栅极电极以及源极和漏极区来产生双栅极 FET。另外，提出制造具有可以单独进行偏置的两个栅极电极的超短长度不对称双栅极 FET 的方法。

应该注意的是，上述实施例示出而非限制本发明，并且本领域普通技术人员将能够在不脱离所附权利要求的情况下设计许多替代实施例。在权利要求中，放置在括号中的任意参考符号将不会被解释为限制权利要求。术语“包括”不排除除了权利要求所列的之外的其他元件和步骤的存在。单数元件不排除存在多个这种元件。

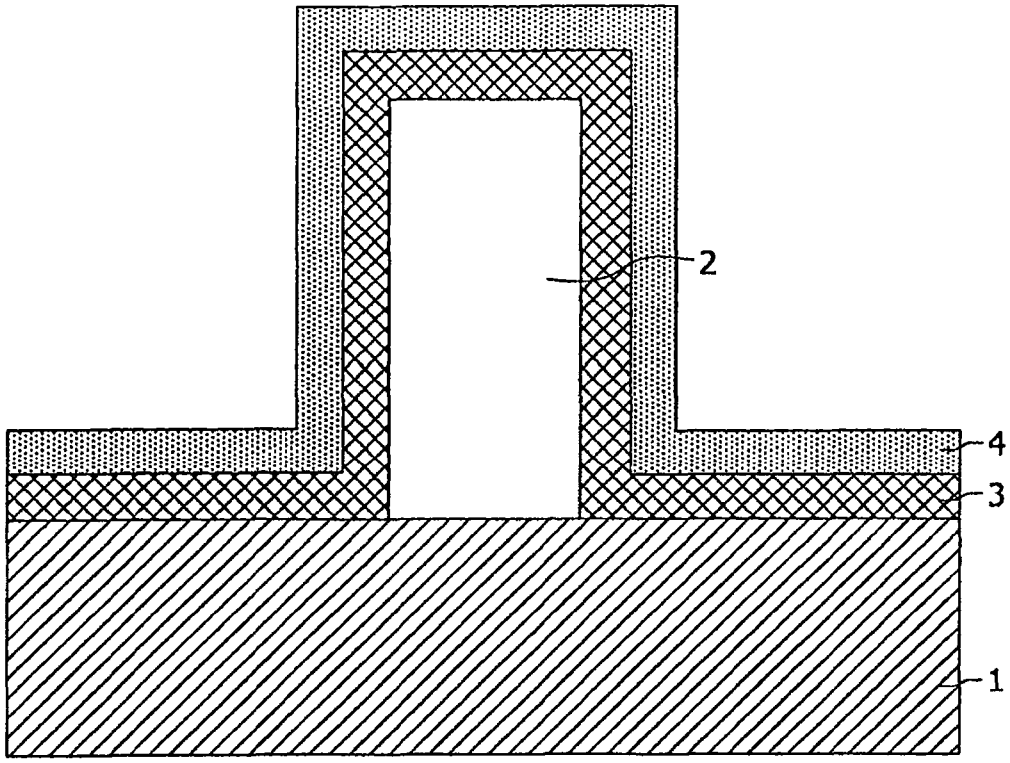


图 1

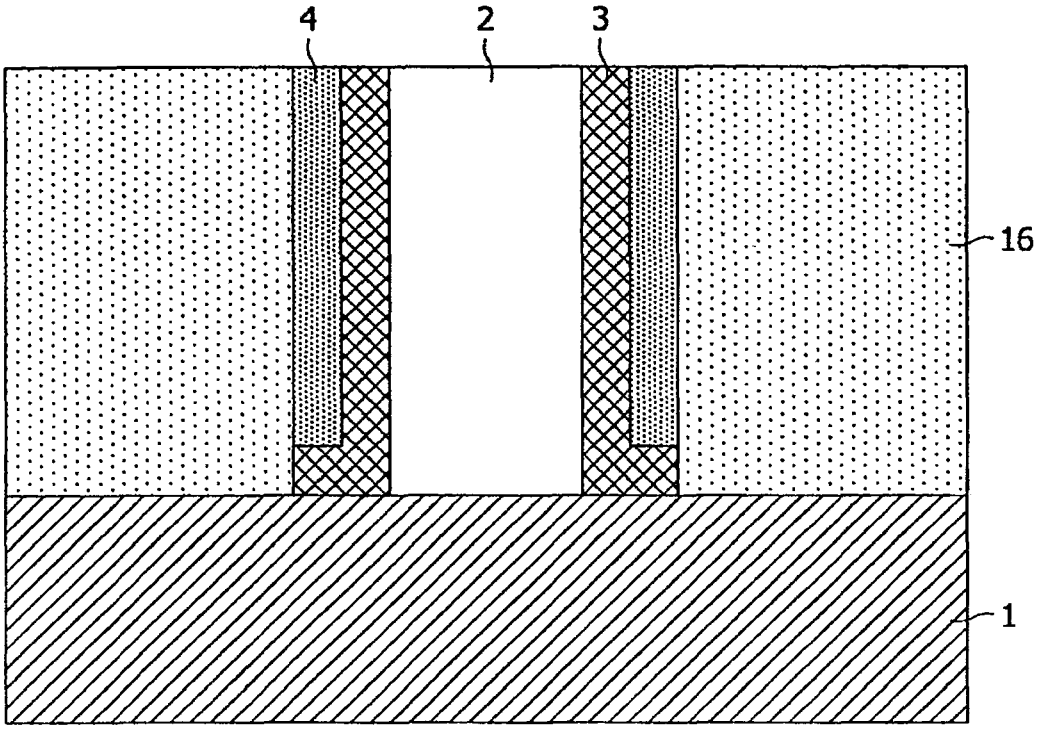


图 2

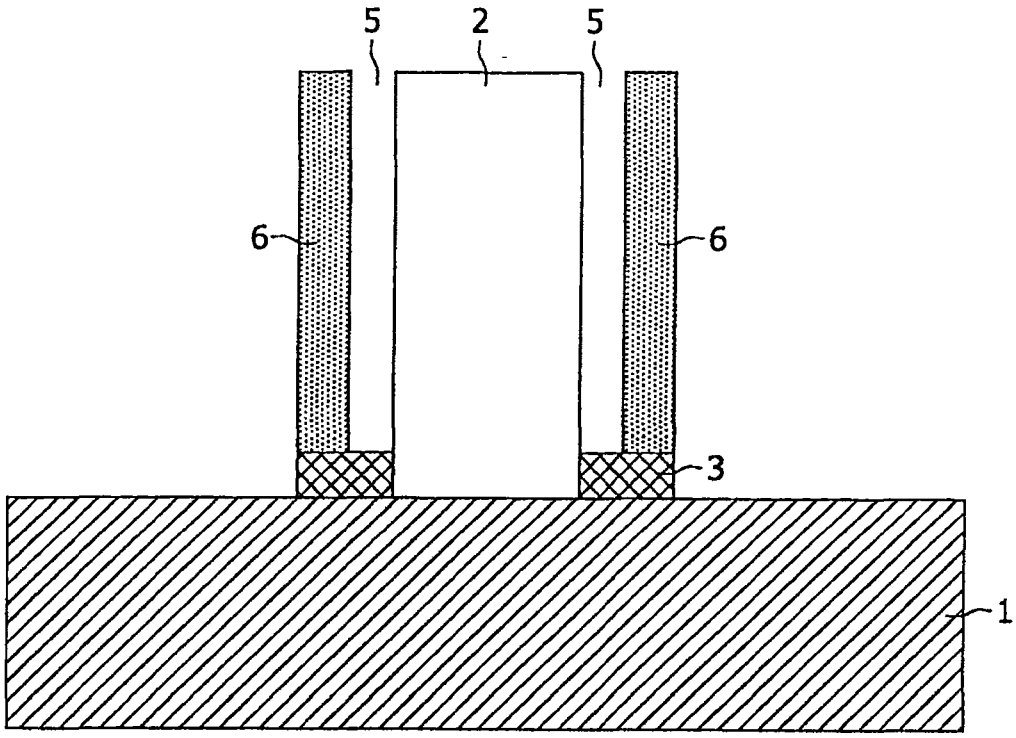


图 3

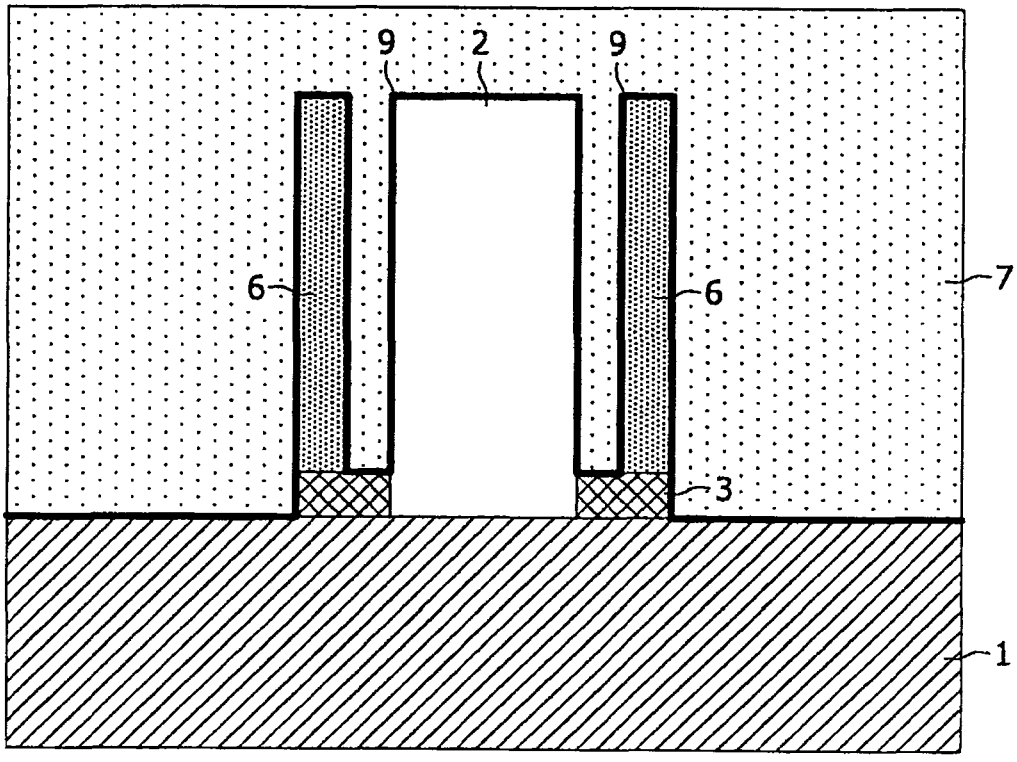


图 4

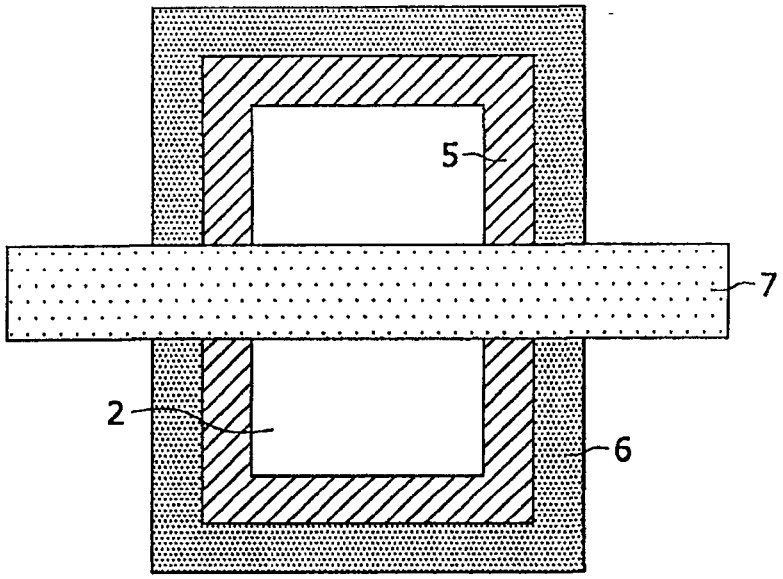


图 5

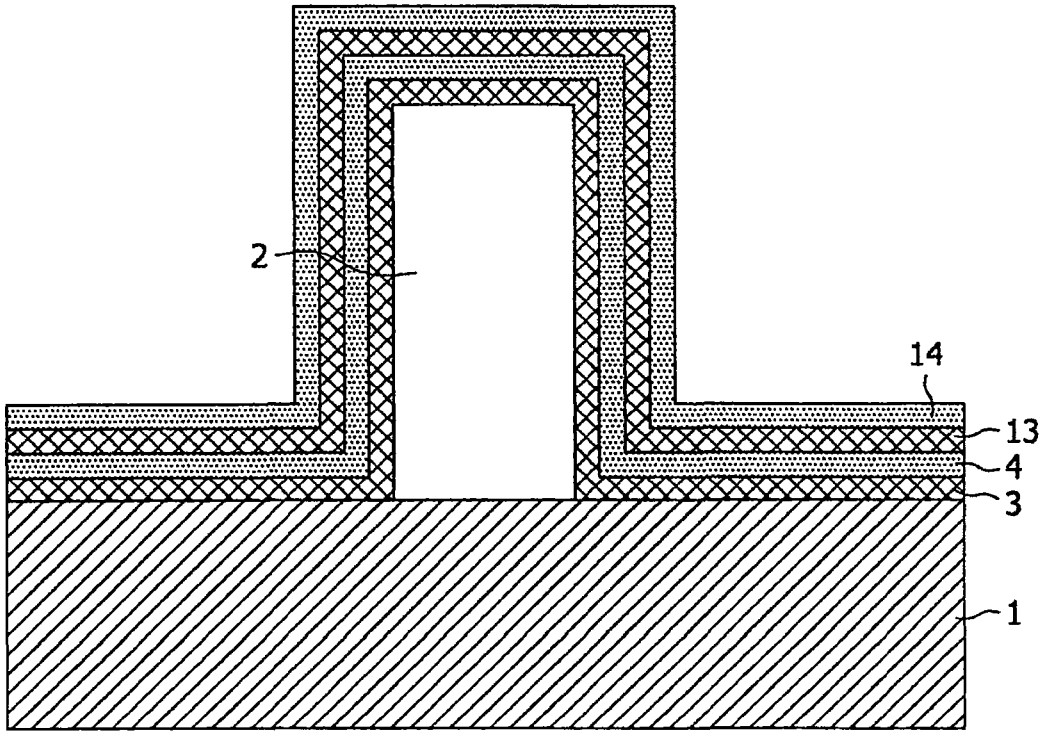


图 6

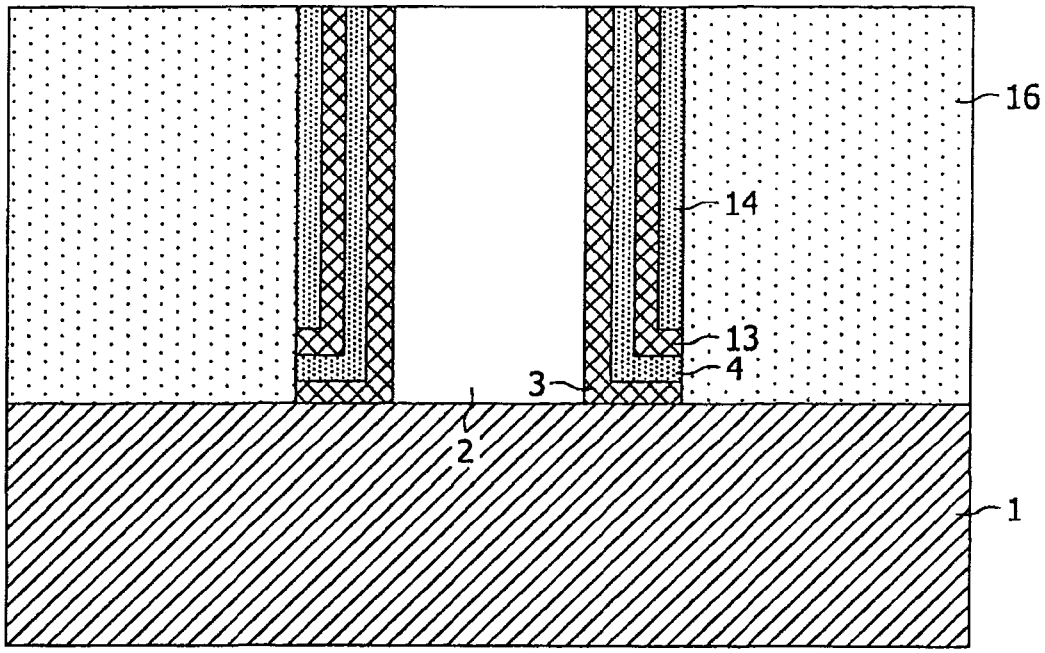


图 7

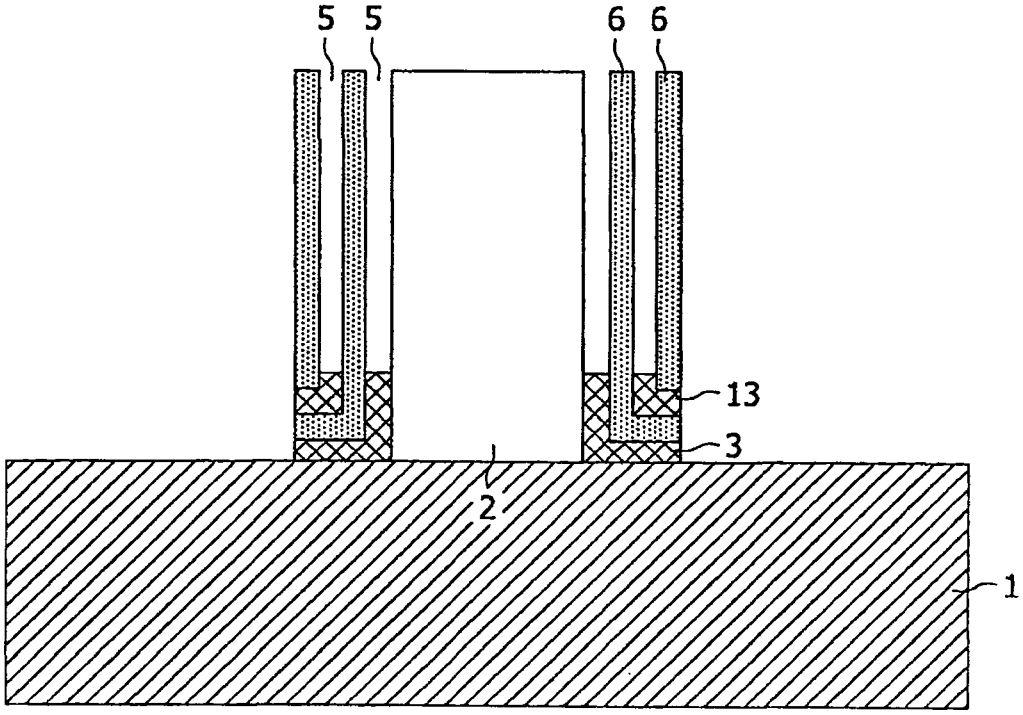


图 8

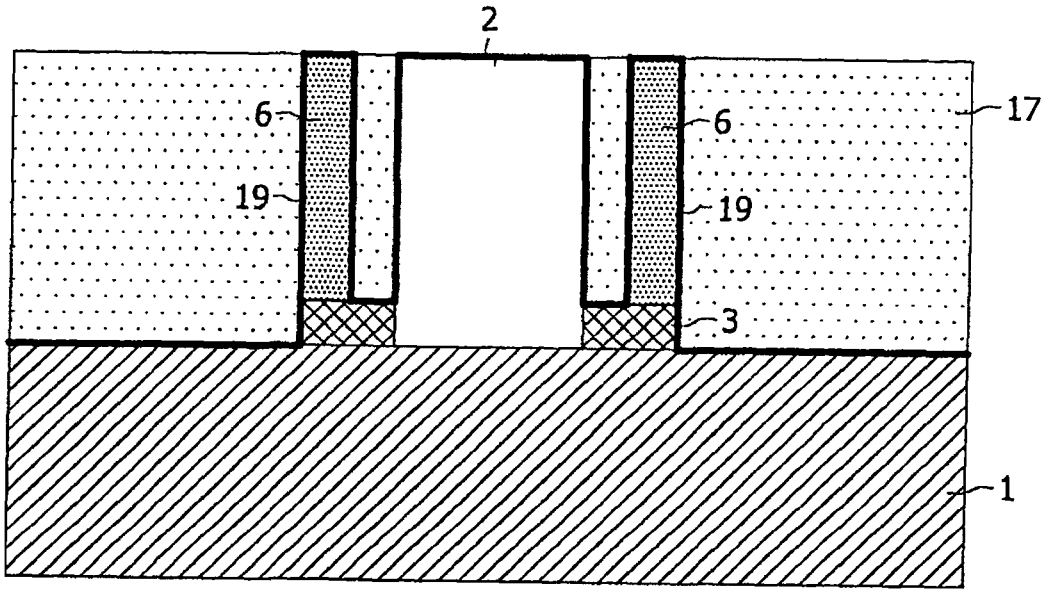


图 9

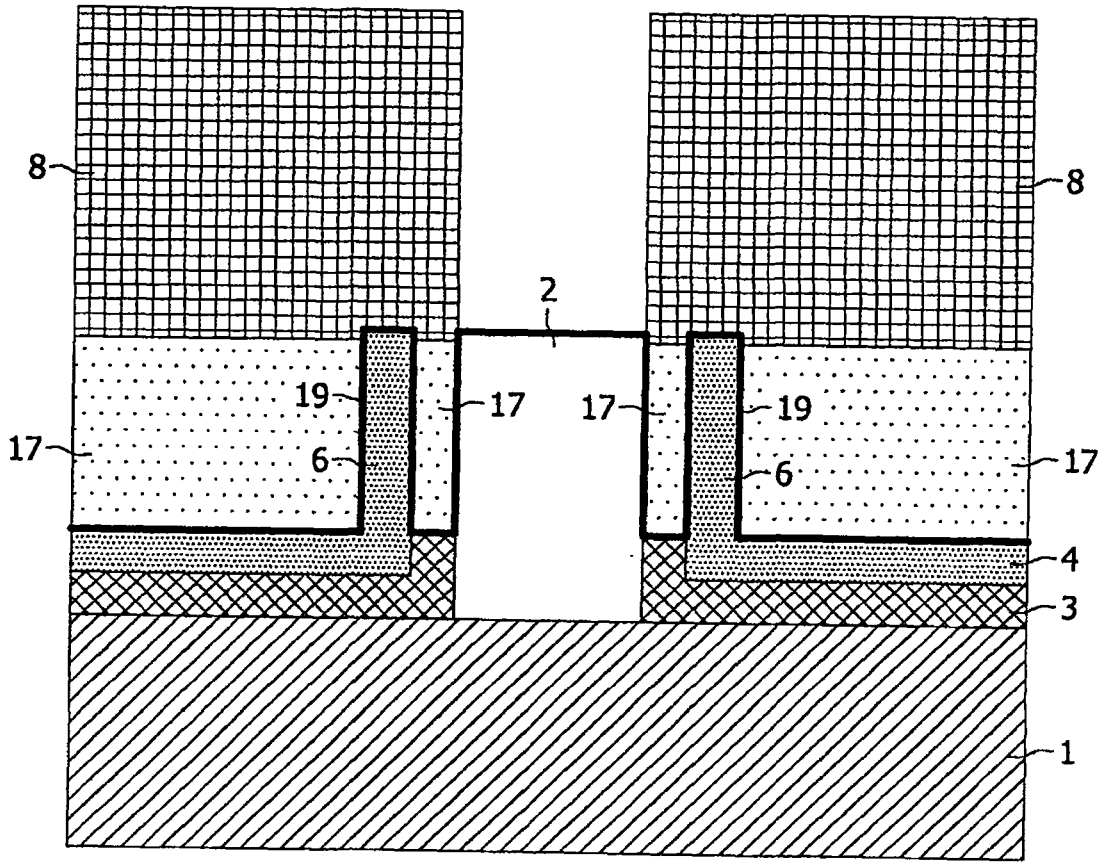


图 10

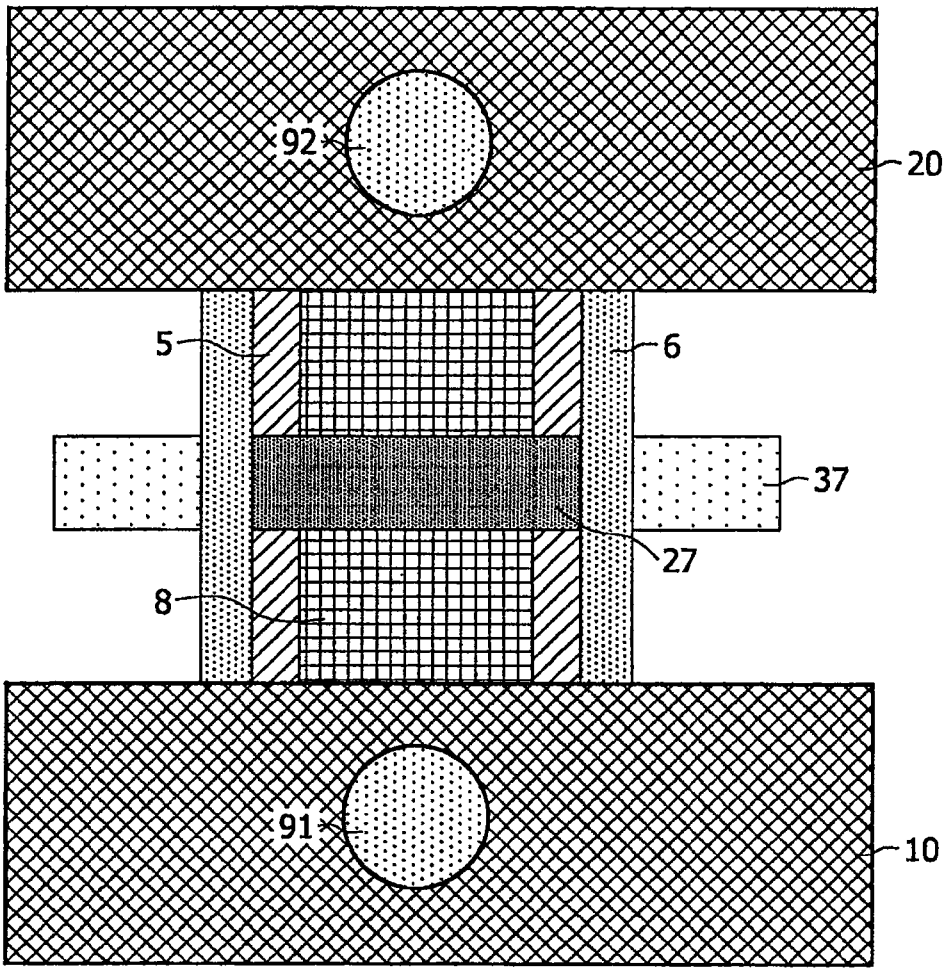


图 11