



(12) 发明专利申请

(10) 申请公布号 CN 120202606 A

(43) 申请公布日 2025. 06. 24

(21) 申请号 202380079647.5

(51) Int.Cl.

(22) 申请日 2023.02.22

H02J 1/00 (2006.01)

(85) PCT国际申请进入国家阶段日

2025.05.16

(86) PCT国际申请的申请数据

PCT/JP2023/006451 2023.02.22

(87) PCT国际申请的公布数据

W02024/176381 JA 2024.08.29

(71) 申请人 株式会社和冠

地址 日本

(72) 发明人 大西章申

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

专利代理师 季莹 方应星

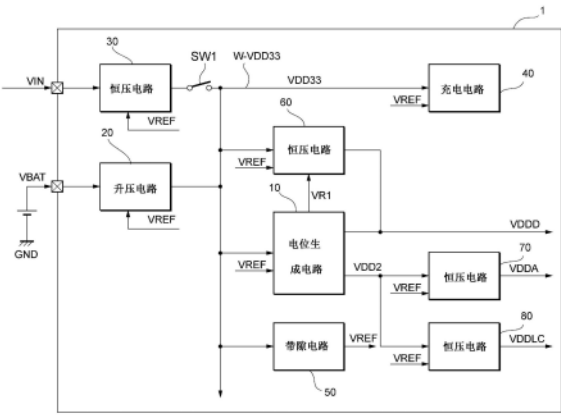
权利要求书2页 说明书22页 附图14页

(54) 发明名称

电位生成电路、防逆流电路及电位生成电路的控制方法

(57) 摘要

本发明涉及电位生成电路。电位生成电路具备：第一输出电路，输出第一信号；第二输出电路，输出第二信号；控制电路，根据第一信号的电位与第一设定电位的大小关系及第二信号的电位与第二设定电位的大小关系的组合，以使得从第一输出电路及第二输出电路中的某一方输出信号的方式对第一输出电路及第二输出电路进行控制。



1. 一种电位生成电路,具备:

第一输出电路,输出第一信号;

第二输出电路,输出与所述第一信号不同的第二信号;及

控制电路,根据所述第一信号的电位与第一设定电位之间的大小关系及所述第二信号的电位与第二设定电位之间的大小关系的组合,以使得从所述第一输出电路及所述第二输出电路中的某一方输出信号的方式对所述第一输出电路及所述第二输出电路进行控制。

2. 根据权利要求1所述的电位生成电路,其中,

所述控制电路在所述第一信号的电位为所述第一设定电位以上且所述第二信号的电位小于所述第二设定电位的情况下,将输出模式设定为固定输出模式,并且使所述第二信号从所述第二输出电路输出,

所述控制电路在所述第二信号的电位为所述第二设定电位以上且所述第一信号的电位小于所述第一设定电位的情况下,将所述输出模式设定为所述固定输出模式,并且使所述第一信号从所述第一输出电路输出。

3. 根据权利要求2所述的电位生成电路,其中,

所述控制电路在所述第一信号的电位小于所述第一设定电位且所述第二信号的电位小于所述第二设定电位的情况下,将所述输出模式设定为交替输出模式,并且每隔一定期间交替地切换由所述第一输出电路进行的所述第一信号的输出及由所述第二输出电路进行的所述第二信号的输出。

4. 根据权利要求3所述的电位生成电路,其中,

所述控制电路在所述输出模式为所述交替输出模式的情况下,在所述第一信号的电位成为所述第一设定电位以上或者所述第二信号的电位成为所述第二设定电位以上的情况下,在切换所述第一输出电路及所述第二输出电路的输出的定时,将所述输出模式从所述交替输出模式切换为所述固定输出模式。

5. 一种电位生成电路的控制方法,所述电位生成电路具有第一输出电路及第二输出电路,其中,所述电位生成电路的控制方法包括:

所述电位生成电路对第一信号的电位与第一设定电位之间的大小关系及第二信号的电位与第二设定电位之间的大小关系的组合是否满足规定的条件进行判定;

在该判定为肯定判定的情况下,所述电位生成电路以使得从所述第一输出电路及所述第二输出电路中的某一方输出信号的方式对所述第一输出电路及所述第二输出电路进行控制;

在该判定为否定判定的情况下,所述电位生成电路每隔一定期间交替地切换由所述第一输出电路进行的所述第一信号的输出及由所述第二输出电路进行的所述第二信号的输出。

6. 一种防逆流电路,具备:

输出电路,具有源极端子、漏极端子、栅极端子及背栅端子,在向所述源极端子供给第一电位的第一状态及向所述源极端子供给比所述第一电位高的第二电位的第二状态下进行动作,基于所述栅极端子的电位而从所述漏极端子输出向所述源极端子供给的电位;及

控制电路,与所述栅极端子、所述源极端子及所述背栅端子连接,在所述第一状态下,以使得所述输出电路停止所述输出的方式控制所述栅极端子的电位,并以成为与所述漏极

端子相同的电位的方式控制所述背栅端子的电位,在所述第二状态下,以成为与所述源极端子相同的电位的方式控制所述背栅端子的电位。

7.根据权利要求6所述的防逆流电路,其中,

所述输出电路具有第一短路控制电路和第二短路控制电路,在所述第一状态下,所述第一短路控制电路的两端短路,在所述第二状态下,所述第一短路控制电路的所述两端开路,所述第一短路控制电路的一端与所述背栅端子连接,且另一端与所述漏极端子连接,在所述第一状态下,所述第二短路控制电路的所述两端开路,在所述第二状态下,所述第二短路控制电路的所述两端短路,所述第二短路控制电路的一端与所述背栅端子连接,且另一端与所述源极端子连接。

电位生成电路、防逆流电路及电位生成电路的控制方法

技术领域

[0001] 本发明涉及电位生成电路、防逆流电路及电位生成电路的控制方法。

背景技术

[0002] 以往,已知能够生成多个输出电位的电位生成电路。

[0003] 关于此,在美国专利第7432614号说明书中,公开了一种电路,具备多个输出节点、与多个输出节点中的对应的输出节点连接的多个开关、及通过控制该开关的接通/断开(ON/OFF)来控制从各输出节点输出电位的定时的控制电路。

[0004] 现有技术文献

[0005] 专利文献

[0006] 专利文献1:美国专利第7432614号说明书

发明内容

[0007] 发明所要解决的课题

[0008] 然而,在美国专利第7432614号说明书所记载的技术中,在与多个输出节点连接的负载存在差异的情况下,越是与大的负载连接的输出节点,输出节点的电位达到设定电位越耗时间,进而存在输出节点的电位容易下降的问题。并且,在美国专利第7432614号说明书所记载的技术中,在生成多个电位的过程中,存在电流从输出侧向电路的内部侧逆流的可能性。

[0009] 本发明是鉴于这样的问题而完成的,其目的在于提供一种能够在短时间内生成规定的设定电位的电位生成电路、电位生成电路的控制方法。

[0010] 用于解决课题的手段

[0011] 为了解决上述课题,第一本发明所涉及的电位生成电路具备:第一输出电路,输出第一信号;第二输出电路,输出与所述第一信号不同的第二信号;及控制电路,根据所述第一信号的电位与第一设定电位之间的大小关系及所述第二信号的电位与第二设定电位之间的大小关系的组合,以使得从所述第一输出电路及所述第二输出电路中的某一方输出信号的方式对所述第一输出电路及所述第二输出电路进行控制。

[0012] 另外,在第二本发明所涉及的电位生成电路中,所述控制电路在所述第一信号的电位为所述第一设定电位以上且所述第二信号的电位小于所述第二设定电位的情况下,将输出模式设定为固定输出模式,并且使所述第二信号从所述第二输出电路输出,在所述第二信号的电位为所述第二设定电位以上且所述第一信号的电位小于所述第一设定电位的情况下,将所述输出模式设定为所述固定输出模式,并且使所述第一信号从所述第一输出电路输出。

[0013] 并且,在第三本发明的电位生成电路中,所述控制电路在所述第一信号的电位小于所述第一设定电位且所述第二信号的电位小于所述第二设定电位的情况下,将所述输出模式设定为交替输出模式,并且每隔一定期间交替地切换由所述第一输出电路进行的所述

第一信号的输出及由所述第二输出电路进行的所述第二信号的输出。

[0014] 并且,在第四本发明的电位生成电路中,所述控制电路在所述输出模式为所述交替输出模式的情况下,在所述第一信号的电位成为所述第一设定电位以上或者所述第二信号的电位成为所述第二设定电位以上的情况下,在切换所述第一输出电路及所述第二输出电路的输出的定时,将所述输出模式从所述交替输出模式切换为所述固定输出模式。

[0015] 并且,第五本发明的电位生成电路的控制方法是具有第一输出电路及第二输出电路的电位生成电路的控制方法,其中,包括:所述电位生成电路对第一信号的电位与第一设定电位之间的大小关系及第二信号的电位与第二设定电位之间的大小关系的组合是否满足规定的条件进行判定;在该判定为肯定判定的情况下,所述电位生成电路以使得从所述第一输出电路及所述第二输出电路中的某一方输出信号的方式对所述第一输出电路及所述第二输出电路进行控制;在该判定为否定判定的情况下,所述电位生成电路每隔一定期间交替地切换由所述第一输出电路实施的所述第一信号的输出及由所述第二输出电路实施的所述第二信号的输出。

[0016] 并且,第六本发明的防逆流电路具备:输出电路,具有源极端子、漏极端子、栅极端子及背栅端子,在向所述源极端子供给第一电位的第一状态及向所述源极端子供给比所述第一电位高的第二电位的第二状态下进行动作,基于所述栅极端子的电位而从所述漏极端子输出向所述源极端子供给的电位;及控制电路,与所述栅极端子、所述源极端子及所述背栅端子连接,在所述第一状态下,以使得所述输出电路停止所述输出的方式控制所述栅极端子的电位,并以成为与所述漏极端子相同的电位的方式控制所述背栅端子的电位,在所述第二状态下,以成为与所述源极端子相同的电位的方式控制所述背栅端子的电位。

[0017] 另外,在第七本发明的防逆流电路中,所述输出电路具有第一短路控制电路和第二短路控制电路,在所述第一状态下,所述第一短路控制电路的两端短路,在所述第二状态下,所述第一短路控制电路的所述两端开路,所述第一短路控制电路的一端与所述背栅端子连接,且另一端与所述漏极端子连接,在所述第一状态下,所述第二短路控制电路的所述两端开路,在所述第二状态下,所述第二短路控制电路的所述两端短路,所述第二短路控制电路的一端与所述背栅端子连接,且另一端与所述源极端子连接。

[0018] 发明效果

[0019] 根据第一本发明至第五本发明,能够在短时间内生成规定的设定电位。根据第六至第八本发明,能够防止输出电路的电流的逆流。

附图说明

[0020] 图1是表示电源电路的一例的图。

[0021] 图2是表示电位生成电路的一例的图。

[0022] 图3是将输出电路的结构的一例与电位生成电路中的其他电路一起示出的图。

[0023] 图4是表示恒压电路的一例的图。

[0024] 图5A是表示电位生成电路的第一模式下的动作的一例的图。

[0025] 图5B是表示电位生成电路的第二模式下的动作的一例的图。

[0026] 图5C是表示电位生成电路的第三模式下的动作的一例的图。

[0027] 图5D是表示电位生成电路的第四模式下的动作的一例的图。

- [0028] 图5E是表示电位生成电路的第五模式下的动作的一例的图。
- [0029] 图6A是表示电位生成电路的输出的状态的时序图的第一例。
- [0030] 图6B是表示电位生成电路的输出的状态的时序图的第二例。
- [0031] 图7是表示电位生成电路中的各信号的转变的时序图的第一例。
- [0032] 图8是表示电位生成电路中的各信号的转变的时序图的第二例。
- [0033] 图9是表示电位生成电路的一系列处理的流程的流程图的一例。

具体实施方式

[0034] 以下,参照附图对本发明的实施方式(以下,称为“本实施方式”)进行说明。为了容易理解说明,在各附图中对相同的构成要素及步骤尽可能地标注相同的附图标记,并省略重复的说明。

[0035] <结构>

[0036] 图1是表示本实施方式的电源电路1的一例的图。电源电路1例如搭载于能够搭载蓄电池且能够从外部进行电力供给的主动静电方式的触控笔等电子设备,向触控笔所具有的电路供给电位。

[0037] 具体而言,电源电路1将从干电池等一次电池及锂离子电池等二次电池的蓄电池供给的电力、及从AC(alternating current:交流电)适配器、USB(Universal Serial Bus:通用串行总线)等外部的电力供给路径供给的电力分别转换为与数字电路、模拟电路、及LC振荡电路对应的电力。然后,电源电路1将转换后的电力供给到数字电路、模拟电路及LC振荡电路。另外,电源电路1将从外部供给的电力对搭载的锂离子电池等能够充电的二次电池充电。电源电路1例如构成为包含电位生成电路10、升压电路20、恒压电路30、恒压电路60、恒压电路70及恒压电路80、充电电路40及带隙电路50。需要说明的是,搭载电源电路1的设备不限于触控笔,只要是具有电路的装置,则可以是任何设备。

[0038] 恒压电路30例如是LDO(Low Dropout:低压差)电路,将供给的电位例如转换为4.0V的恒定的电位并输出。具体而言,恒压电路30基于从带隙电路50供给的基准电位VREF,将从USB等外部的电力供给路径供给的电位VIN转换为规定的电位VDD33。恒压电路30经由开关SW1将转换后的电位VDD33供给至电源线W_VDD33。

[0039] 开关SW1例如是晶体管、机械开关等,并且基于恒压电路30的动作使恒压电路30与电源线W_VDD33之间短路或开路。具体而言,在恒压电路30向电源线W_VDD33供给电位VDD33的情况下,开关SW1使恒压电路30与电源线W_VDD33之间短路。另外,在恒压电路30停止向电源线W_VDD33供给电位VDD33的情况下,开关SW1将恒压电路30与电源线W_VDD33之间开路。

[0040] 充电电路40是在使用锂离子电池作为搭载有电源电路1的设备的蓄电池的情况下用于向锂离子电池供给电位而进行充电的电路。具体而言,充电电路40基于从带隙电路50供给的基准电位VREF,将从恒压电路30经由电源线W_VDD33供给的电位VDD33转换为能够对锂离子电池充电的电位。充电电路40将转换后的电位经由未图示的路径向锂离子电池供给,由此对锂离子电池进行充电。

[0041] 升压电路20例如是升压DC-DC转换器,将供给的电位升压并输出,或者将供给的电位直接输出。具体而言,升压电路20在使用干电池作为搭载有电源电路1的设备的蓄电池的情况下,基于从带隙电路50供给的基准电位VREF,将从干电池供给的约0.95V~约1.60V的

电位VBAT升压至约2.1V,将升压后的电位作为电位VDD33向电源线W_VDD33供给。另外,升压电路20在使用锂离子电池作为搭载有电源电路1的设备的蓄电池的情况下,将从锂离子电池供给的约2.80V~约4.40 V的电位VBAT不升压而直接作为电位VDD33向电源线W_VDD33供给。

[0042] 带隙电路50是用于使设置于电源电路1的各电路动作的基准,生成不依赖于温度、电源电压、制造工艺特性等而始终成为恒定的电位的基准电位VREF,并将生成的基准电位VREF供给至各电路。具体而言,带隙电路50将从恒压电路30或者升压电路20经由电源线W_VDD33供给的电位VDD33作为电力源,生成基准电位VREF,并将生成的基准电位VREF供给至各电路。

[0043] 电位生成电路10是能够生成多个电位的DC-DC转换器,基于从带隙电路50输出的基准电位VREF,根据从电源线W_VDD33供给的电位VDD33生成约1.4 V的电位VDDD、约2.1 V的电位VDD2及基于电位VDD2的电位VR1。电位生成电路10将所生成的电位VDDD供给到电源电路1中的各数字电路。另外,电位生成电路10将所生成的电位VDD2供给至恒压电路70及80。另外,电位生成电路10将所生成的电位VR1供给至恒压电路60。

[0044] 恒压电路60例如是LDO电路,将供给的电位转换为规定的电位并输出。具体而言,恒压电路60对从带隙电路50供给的基准电位VREF与从电位生成电路10供给的电位VR1的大小进行比较。恒压电路60在基准电位VREF的电位为电位VR1的电位以上的情况下,根据经由电源线W_VDD33供给的电位VDD33生成1.35V~1.40 V的电位VDDD。接着,恒压电路30将所生成的电位VDDD供给到电源电路1中的各数字电路。另外,恒压电路60在基准电位VREF的电位小于电位VR1的电位的情况下,停止电位VDDD的生成及输出。

[0045] 恒压电路70及80例如是LDO电路,将供给的电位转换为规定的电位并输出。具体而言,恒压电路70基于从带隙电路50供给的基准电位VREF,将从电位生成电路10供给的电位VDD2转换为约1.85 V的电位VDDA。恒压电路70将转换后的电位VDDA供给到电源电路1中的各模拟电路。另外,恒压电路80基于从带隙电路50供给的基准电位VREF,将从电位生成电路10供给的电位VDD2转换为约1.74V~2.055 V的电位VDDL。恒压电路80将转换后的电位VDDL供给到电源电路1中的各LC振荡电路。

[0046] 以上,对电源电路1中的各电路的动作进行了说明。接着,对电位生成电路10的结构进行说明。图2是表示电位生成电路10的一例的图。如图2所示,电位生成电路10构成为包含控制电路11、输出电路12~14、放大电路AMP1~AMP4、缓冲电路BUF1及BUF2、晶体管TR1~TR3、可变电阻R1~R4、恒压源V1及恒流源I1。另外,在电位生成电路10的端子pA与pB之间,经由信号线连接具有22 μ H左右的电感的电感元件L1。需要说明的是,在电位生成电路10的端子po1上,作为与后级连接的电路、电气元件等的负载电容而连接有负载电容C1。另外,在电位生成电路10的端子po2上,作为与后级连接的电路、电气元件等的负载电容而连接有负载电容C2。

[0047] 放大电路AMP1和AMP2例如是比较器,判定输入到非反相输入端子+的电位是否为输入到反相输入端子-的电位以上,将该判定结果发送到控制电路11。具体而言,放大电路AMP1在控制电路11的控制下,判定从带隙电路50经由端子pi2输入到非反相输入端子+的基准电位VREF是否为作为输入到反相输入端子-的可变电阻R3及R4的分压电位的电位VR2以上。放大电路AMP1将该判定结果发送到控制电路11。另外,放大电路AMP2在控制电路11的控

制下,判定从带隙电路50经由端子pi2输入到非反相输入端子+的基准电位VREF是否为作为输入到反相输入端子-的可变电阻R1及R2的分压电位的电位VR1以上。放大电路AMP2将该判定结果发送到控制电路11。

[0048] 控制电路11向缓冲电路BUF1和BUF2发送信号,通过由缓冲电路BUF1和BUF2及晶体管TR1和TR2形成的DC-DC转换器输出电位VA,或者停止电位VA的输出。

[0049] 另外,控制电路11使电源电路1以第一模式~第五模式中的任一动作模式进行动作。在第四模式中,控制电路11根据从输出电路12输出的第一信号SDDD的电位与预先确定的第一设定电位之间的大小关系、及从输出电路13输出的第二信号SDD2的电位与预先确定的第二设定电位之间的大小关系的组合,以使得从输出电路12和13中的某一方输出信号的方式控制输出电路12和13。控制电路11根据来自放大电路AMP1的输出的状态来判定第一信号SDDD与第一设定电位之间的大小关系。另外,控制电路11根据来自放大电路AMP2的输出的状态来判定第二信号SDD2与第二设定电位之间的大小关系。需要说明的是,关于各动作模式下的电位生成电路10的动作,随后参照图5A~图5E进行说明,因此在此省略其说明。

[0050] 缓冲电路BUF1和BUF2例如是构成为包含MOS-FET(metal-oxide-semiconductor field-effect transistor:金属氧化物半导体场效应晶体管)的缓冲电路,针对所输入的相对于缓冲电路BUF1的信号,在维持逻辑的状态下进行信号增强,输出进行了信号增强的信号。具体而言,缓冲电路BUF1对于从控制电路11输入的信号在维持逻辑的状态下进行信号增强,将进行了信号增强的信号输出到晶体管TR1的栅极端子。另外,缓冲电路BUF2对于从控制电路11输入的相对于缓冲电路BUF2的信号在维持逻辑的状态下进行信号增强,将进行了信号增强的信号输出到晶体管TR2的栅极端子。

[0051] 晶体管TR1及TR3例如为P型MOS-FET。晶体管TR1及TR3按照输入到栅极端子的信号,将供给到源极端子的电位供给到漏极端子或者停止该供给。具体而言,晶体管TR1及TR3在输入到栅极端子的信号的状态为低状态的情况下,将供给到源极端子的电位供给到漏极端子,另一方面,在输入到栅极端子的信号的电位为高状态的情况下,停止该供给。

[0052] 晶体管TR1的栅极端子与缓冲电路BUF1的输出端子连接,源极端子经由端子pi1与电源线W_VDD33连接,漏极端子经由节点no和端子pA与电感元件L1的一端连接。

[0053] 晶体管TR3的栅极端子与控制电路11的用于晶体管TR3的输出端子连接,源极端子经由端子pi1与电源线W_VDD33连接,漏极端子与恒流源I1的正极端子及放大电路AMP4的反相输入端子-连接。

[0054] 晶体管TR2例如是N型MOS-FET。晶体管TR2按照输入到栅极端子的信号,从漏极端子朝向源极端子引出电荷或者停止该引出。具体而言,晶体管TR2在输入到栅极端子的信号的状态为高状态的情况下,从漏极端子朝向源极端子引出电荷,另一方面,在输入到栅极端子的信号的状态为低状态的情况下,停止该引出。晶体管TR2的栅极端子与缓冲电路BUF2的输出端子连接,源极端子与接地线W_GND连接,漏极端子经由节点no和端子pA与电感元件L1的一端连接。

[0055] 需要说明的是,缓冲电路BUF1和BUF2及晶体管TR1和TR2作为DC-DC转换器发挥功能。该DC-DC转换器在控制电路11的控制下,通过交替地切换晶体管TR1和TR2的漏极端子和源极端子间的导通及非导通而生成电位VA,将生成的电位VA向节点no供给。具体而言,该DC-DC转换器在晶体管TR1的漏极端子和源极端子之间导通、且晶体管TR2的漏极端子和源

极端子之间非导通的期间,从电源线W_VDD33经由晶体管TR1向节点no供给电位VDD33。另外,该DC-DC转换器在晶体管TR1的漏极端子和源极端子之间非导通、且晶体管TR2的漏极端子和源极端子之间导通的期间,从节点no经由晶体管TR2向接地线W_GND引出电位。

[0056] 恒压源V1是以正极端子与负极端子之间的电位差成为规定的直流电压的方式生成电压并供给所生成的直流电压的电压源。恒压源V1的正极端子与放大电路AMP3的非反相输入端子+连接,负极端子与节点no连接。

[0057] 恒流源I1是在控制电路11的控制下,以从正极端子向负极端子流过规定的直流电流的方式生成该直流电流,并供给所生成的直流电流的电流源。恒流源I1的正极端子与放大电路AMP4的反相输入端子-及晶体管TR3的漏极端子连接,负极端子与接地线W_GND连接。

[0058] 放大电路AMP3例如是比较器,进行检测输入到非反相输入端子+的电位超过或低于输入到反相输入端子-的接地电位GND的定时的过零检测。具体而言,放大电路AMP3在控制电路11的控制下,判定从恒压源V1输入到非反相输入端子+的电位是否为输入到反相输入端子-的接地线W_GND的接地电位GND以上。放大电路AMP3将该判定结果发送到控制电路11。

[0059] 放大电路AMP4例如是比较器,进行检测流过与非反相输入端子+连接的电流路径的电流成为流过与反相输入端子-连接的电流路径的规定的电流以上的定时的峰值电流检测。具体而言,放大电路AMP4在控制电路11的控制下,判定从晶体管TR1及TR2的漏极端子输入到非反相输入端子+的电位VA是否为输入到反相输入端子-的晶体管TR3的漏极端子及恒流源I1的正极端子的电位以上。放大电路AMP4将该判定结果发送到控制电路11。

[0060] 输出电路12基于控制电路11的控制,将从端子pB供给的电位VB作为第一信号SDDD输出或者停止该输出。需要说明的是,输出电路12以LDO模式、DC-DC模式及待机模式中的任意一个动作模式进行动作。关于输出电路12的各动作模式下的动作的详细情况,随后参照图5A~5E进行说明,因此在此省略其说明。

[0061] 输出电路13基于控制电路11的控制,将从端子pB供给的电位VB作为第二信号SDD2输出或者停止该输出。关于输出电路13的动作的详细情况,随后参照图5A~5E进行说明,因此在此省略其说明。

[0062] 输出电路14基于控制电路11的控制,将从电源线W_VDD33供给的电位VDD33作为第二信号SDD2输出或停止该输出。需要说明的是,输出电路14以电流限制模式、直通模式、DC-DC模式及待机模式中的任一动作模式进行动作。关于输出电路14的各动作模式下的动作的详细情况,随后参照图5A~5E进行说明,因此在此省略其说明。

[0063] 可变电阻R1~R4是两端的电阻值能够变更的电阻元件。可变电阻R1~R4在控制电路11的控制下变更电阻值。

[0064] 可变电阻器R1和R2作为分压电路发挥功能。可变电阻R1和R2利用可变电阻R1和R2的电阻值对从输出电路12输出的电位VDDD进行分压,将分压后的电位VR1输出到放大电路AMP2的反相输入端子-,并且经由端子po3将电位VR1输出到恒压电路60。可变电阻R1的一端与输出电路12的输出端子及端子po1连接,另一端与可变电阻R2的一端、放大电路AMP2的反相输入端子-及端子po3连接。可变电阻R2的一端与可变电阻R1的另一端、放大电路AMP2的反相输入端子-及端子po3连接,另一端与接地线W_GND连接。

[0065] 可变电阻器R3和R4作为分压电路发挥功能。可变电阻R3和R4通过可变电阻R3和R4

的电阻值对从输出电路13或14输出的电位VDD2进行分压,并将分压后的电位VR2输出到放大电路AMP1的反相输入端子-。可变电阻R3的一端与输出电路13的输出端子、输出电路14的输出端子及端子po2连接,另一端与可变电阻R4的一端及放大电路AMP1的反相输入端子-连接。可变电阻R4的一端与可变电阻R3的另一端、放大电路AMP1的反相输入端子-连接,另一端与接地线W_GND连接。

[0066] 接着,对电位生成电路10中的输出电路12~ 14的结构进行说明。图3是将输出电路12~ 14的结构的一例与电位生成电路10中的其他电路一同示出的图。如图3所示,控制电路11例如构成为包含输出控制电路111和电压控制电路112。

[0067] 输出控制电路111进行输出电路12~ 14及开关SW10的控制。具体而言,输出控制电路111将控制信号CT121、CT122、CT124及CT126发送到输出电路12,控制输出电路12的动作。另外,输出控制电路111将控制信号CT131及CT132发送到输出电路13,控制输出电路13的动作。另外,输出控制电路111将控制信号CT142~CT144发送到输出电路14,控制输出电路14的动作。另外,输出控制电路111向电压控制电路112以输出电位VA或者停止该输出的方式传递指示。

[0068] 电压控制电路112按照从输出控制电路111传递的指示,以使得由缓冲电路BUF1和BUF2及晶体管TR1和TR2形成的DC-DC转换器输出电位VA或者停止该输出的方式向该DC-DC转换器的缓冲电路BUF1和BUF2发送信号。

[0069] 输出电路12例如构成为包含晶体管TR121~127和缓冲电路BUF121。另外,输出电路12与控制电路11一起形成防逆流电路15。

[0070] 缓冲电路BUF121例如是构成为包含MOS-FET的缓冲电路,对于所输入的信号在维持逻辑的状态下进行信号增强,并输出进行了信号增强的信号。具体而言,缓冲电路BUF121在维持逻辑的状态下对从输出控制电路111发送的控制信号CT121进行信号增强,将进行了信号增强的信号输出到晶体管TR121的栅极端子和晶体管TR122的源极端子。

[0071] 晶体管TR121~TR127、TR131~TR133、TR141~TR143、TR145及TR146例如是P型MOS-FET。晶体管TR121~TR127、TR131~TR133、TR141~TR143、TR145及TR146按照输入到栅极端子的信号,将供给到源极端子的电位供给到漏极端子或者停止该供给。具体而言,晶体管TR121~TR127、TR131~TR133、TR141~TR143、TR145及TR146在输入到栅极端子的信号的状态为低状态的情况下,将供给到源极端子的电位供给到漏极端子,另一方面,在输入到栅极端子的信号的电位为高状态的情况下,停止该供给。需要说明的是,除了晶体管TR121以外的晶体管TR122~TR127、TR131~TR133、TR141~TR143、TR145及TR146的背栅端子与源极端子连接。

[0072] 晶体管TR121的栅极端子与缓冲电路BUF121的输出端子及晶体管TR122的源极端子连接,源极端子经由端子pB与电感元件L1的另一端连接,并且与晶体管TR124的源极端子、晶体管TR131的漏极端子及开关SW10的一端连接。另外,晶体管TR121的漏极端子经由端子po1与负载电容C1的一端连接,并且与晶体管TR123及TR127的源极端子连接,背栅端子与晶体管TR124及TR126的源极端子连接。

[0073] 晶体管TR122的栅极端子被输入从输出控制电路111发送的控制信号CT122。另外,晶体管TR122的源极端子与晶体管TR121的栅极端子及缓冲电路BUF121的输出端子连接,漏极端子与晶体管TR123的漏极端子连接。

[0074] 晶体管TR123的栅极端子被输入从输出控制电路111发送的控制信号CT122。另外，晶体管TR123的源极端子经由端子po1与负载电容C1的一端连接，并且与晶体管TR121的漏极端子及晶体管TR127的源极端子连接，漏极端子与晶体管TR122的漏极端子连接。

[0075] 晶体管TR124的栅极端子被输入从输出控制电路111发送的控制信号CT124。另外，晶体管TR124的源极端子经由端子pB与电感元件L1的另一端连接，并且与晶体管TR121的源极端子、晶体管TR131的漏极端子及开关SW10的一端连接。另外，晶体管TR124的漏极端子与晶体管TR125的漏极端子连接。需要说明的是，晶体管TR124与晶体管TR125一起形成第一短路控制电路。

[0076] 晶体管TR125的栅极端子被输入从输出控制电路111发送的控制信号CT124。另外，晶体管TR125的源极端子与晶体管TR121的背栅端子及晶体管TR126的源极端子连接，漏极端子与晶体管TR124的漏极端子连接。需要说明的是，晶体管TR125与晶体管TR124一起形成第一短路控制电路。

[0077] 晶体管TR126的栅极端子被输入从输出控制电路111发送的控制信号CT126。另外，晶体管TR126的源极端子与晶体管TR121的背栅端子及晶体管TR125的源极端子连接，漏极端子与晶体管TR127的漏极端子连接。需要说明的是，晶体管TR126与晶体管TR127一起形成第二短路控制电路。

[0078] 晶体管TR127的栅极端子被输入从输出控制电路111发送的控制信号CT126。另外，晶体管TR127的源极端子经由端子po1与负载电容C1的一端连接，并且与晶体管TR121的漏极端子及晶体管TR123的源极端子连接，漏极端子与晶体管TR126的漏极端子连接。需要说明的是，晶体管TR127与晶体管TR126一起形成第二短路控制电路。

[0079] 输出电路13例如构成为包含晶体管TR131~133和缓冲电路BUF131。

[0080] 缓冲电路BUF131例如是构成为包含MOS-FET的缓冲电路，对于所输入的信号在维持逻辑的状态下进行信号增强，输出进行了信号增强的信号。具体而言，缓冲电路BUF131在维持逻辑的状态下对从输出控制电路111发送的控制信号CT131进行信号增强，将进行了信号增强的信号输出到晶体管TR131的栅极端子和晶体管TR132的源极端子。

[0081] 晶体管TR131的栅极端子与缓冲电路BUF131的输出端子及晶体管TR132的源极端子连接。另外，晶体管TR131的源极端子经由端子po2与负载电容C2的一端连接，并且与晶体管TR133、TR141及TR146的源极端子连接。另外，晶体管TR131的漏极端子经由端子pB与电感元件L1的另一端连接，并且与晶体管TR121和TR124的源极端子及开关SW10的一端连接。

[0082] 晶体管TR132的栅极端子被输入从输出控制电路111发送的控制信号CT132。另外，晶体管TR132的源极端子与缓冲电路BUF131的输出端子及晶体管TR131的栅极端子连接。另外，晶体管TR132的漏极端子与晶体管TR133的漏极端子连接。

[0083] 晶体管TR133的栅极端子被输入从输出控制电路111发送的控制信号CT132。另外，晶体管TR133的源极端子经由端子po2与负载电容C2的一端连接，并且与晶体管TR131、TR141及TR146的源极端子连接。另外，晶体管TR133的漏极端子与晶体管TR132的漏极端子连接。

[0084] 输出电路14例如构成为包含晶体管TR141~146。

[0085] 晶体管TR141的栅极端子与晶体管TR144及晶体管TR145的源极端子连接。另外，晶体管TR141的源极端子经由端子po2与负载电容C2的一端连接，并且与晶体管TR131、TR133

及TR146的源极端子连接。另外,晶体管TR141的漏极端子与晶体管TR142和TR143的漏极端子连接。

[0086] 晶体管TR142的栅极端子被输入从输出控制电路111发送的控制信号CT142。另外,晶体管TR142的源极端子经由端子pi1与电源线W_VDD33连接,并且与晶体管TR1和TR143的源极端子连接。另外,晶体管TR142的漏极端子与晶体管TR141和TR143的漏极端子连接。

[0087] 晶体管TR143的栅极端子被输入从输出控制电路111发送的控制信号CT143。另外,晶体管TR143的源极端子经由端子pi1与电源线W_VDD33连接,并且与晶体管TR1和TR142的源极端子连接。另外,晶体管TR143的漏极端子与晶体管TR141和TR142的漏极端子连接。

[0088] 晶体管TR144例如是N型MOS-FET。晶体管TR144按照输入到栅极端子的信号,从漏极端子朝向源极端子引出电荷或者停止该引出。具体而言,晶体管TR144在输入到栅极端子的信号的状态为高状态的情况下,从漏极端子朝向源极端子引出电荷,另一方面,在输入到栅极端子的信号的状态为低状态的情况下,停止该引出。具体而言,晶体管TR144的栅极端子被输入从输出控制电路111发送的控制信号CT144。另外,晶体管TR144的源极端子与晶体管TR145的源极端子及TR141的栅极端子连接。另外,晶体管TR144的漏极端子与接地线W_GND连接。

[0089] 晶体管TR145的栅极端子被输入从输出控制电路111发送的控制信号CT144。另外,晶体管TR145的源极端子与晶体管TR144的源极端子及TR141的栅极端子连接。另外,晶体管TR145的漏极端子与晶体管TR146的漏极端子连接。

[0090] 晶体管TR146的栅极端子被输入从输出控制电路111发送的控制信号CT144。另外,晶体管TR146的源极端子经由端子po2与负载电容C2的一端连接,并且与晶体管TR131、TR133及TR144的源极端子连接。另外,晶体管TR146的漏极端子与晶体管TR145的漏极端子连接。

[0091] 接着,对恒压电路60的结构进行说明。图4是示出恒压电路60的一例的图。如图4所示,恒压电路60例如构成为包含放大电路AMP60和晶体管TR60。

[0092] 放大电路AMP60例如是比较器,判定输入到非反相输入端子+的电位是否为输入到反相输入端子-的电位以上,并将该判定结果输出到晶体管TR60。具体而言,放大电路AMP60判定从电位生成电路10输入到非反相输入端子+的电位VR1是否为从带隙电路50输入到反相输入端子-的基准电位VREF以上。放大电路AMP60在该判定结果为肯定判定的情况下,将高状态的信号输出到晶体管TR60的栅极端子。另外,放大电路AMP60在该判定结果为否定判定的情况下,将低状态的信号输出到晶体管TR60的栅极端子。

[0093] 晶体管TR60例如是P型MOS-FET。晶体管TR60根据输入到栅极端子的电位,使源极端子与漏极端子之间导通或者成为非导通的状态。具体而言,晶体管TR60在输入到栅极端子的信号的状态为低状态的情况下,使源极端子与漏极端子之间导通,另一方面,在输入到栅极端子的信号的电位为高状态的情况下,使源极端子与漏极端子之间成为非导通的状态。需要说明的是,晶体管TR60在源极端子与漏极端子之间导通的情况下,从漏极端子供给相对于向源极端子供给的电位按照源极-漏极间电阻的电位差使电压下降了的电位。

[0094] 晶体管TR60的栅极端子与放大电路AMP60的输出端子连接,源极端子与电源线W_VDD33连接,漏极端子与电源线W_VDDD连接。

[0095] <一系列动作的流程>

[0096] 以上,对电源电路1的结构进行了说明。接着,详细说明电源电路1的各模式下的动作。电源电路1中的输出电路12以LDO模式、DC-DC模式及待机模式中的任一动作模式进行动作。另外,电源电路1中的输出电路14以电流限制模式、直通模式、DC-DC模式及待机模式中的任一动作模式进行动作。

[0097] 而且,电源电路1根据在搭载有电源电路1的设备中作为蓄电池而搭载有干电池还是搭载有锂离子电池来切换动作。对在搭载有电源电路1的设备中搭载有干电池模式的情况进行说明。电源电路1在电源电路1启动后首先使输出电路12以LDO模式动作,接着以DC-DC模式动作。另外,电源电路1在电源电路1启动后,首先使输出电路14以电流限制模式动作,接着以直通模式动作。另外,电源电路1在搭载有电源电路1的设备为睡眠状态等的情况下,使输出电路12~14以待机模式动作。

[0098] 对在搭载有电源电路1的设备中搭载有锂离子电池作为蓄电池的情况进行说明。电源电路1在电源电路1启动后,首先使输出电路12以LDO模式动作,接着以DC-DC模式动作。另外,电源电路1在电源电路1启动后,首先使输出电路14以电流限制模式动作规定时间,然后在输出电路12以LDO模式动作的期间使输出电路14以直通模式动作。另外,当输出电路12将动作模式从LDO模式切换到DC-DC模式时,电源电路1将输出电路14的动作模式从直通模式切换到DC-DC模式,使输出电路14在DC-DC模式下动作。另外,电源电路1在搭载有电源电路1的设备为睡眠状态等的情况下,使输出电路12~14以待机模式动作。

[0099] 对在搭载有电源电路1的设备搭载有干电池作为蓄电池、且电源电路1以输出电路12以LDO模式进行动作的第一模式进行动作的情况下的电源电路1中的各电路的操作进行说明。图5A是表示电位生成电路10的第一模式下的动作的一例的图。需要说明的是,在本实施方式中,将晶体管的源极端子与漏极端子之间导通的状态称为接通(ON)状态,将晶体管的源极端子与漏极端子之间非导通的状态称为断开(OFF)状态。在第一模式中,控制电路11中的电压控制电路112以停止电位VA的生成的方式控制由晶体管TR1和TR2及缓冲电路BUF1和BUF2形成的DC-DC转换器的动作。另外,输出控制电路111通过对开关SW10进行短路控制,使端子pB的电位转变为接地电位GND。

[0100] 在第一模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF121输出的信号的状态成为高阻抗状态的方式向缓冲电路BUF121发送控制信号CT121。另外,输出控制电路111将低状态的控制信号CT122发送到晶体管TR122及TR123的栅极端子,将晶体管TR122及TR123设定为接通状态。另外,输出控制电路111将低状态的控制信号CT126发送到晶体管TR126及TR127的栅极端子,将晶体管TR126及TR127设定为接通状态。另外,输出控制电路111将高状态的控制信号CT124发送到晶体管TR124和TR125的栅极端子,将晶体管TR124和TR125设定为断开状态。

[0101] 在第一模式中,伴随着对晶体管TR122~TR127设定的状态,晶体管TR121经由接通状态的晶体管TR122及TR123以及端子po1而从恒压电路60对栅极端子供给电位VDD。另外,在第一模式中,晶体管TR121经由开关SW10而对源极端子供给接地电位GND。另外,在第一模式中,晶体管TR121经由端子po1从恒压电路60对漏极端子供给电位VDD。进而,晶体管TR121经由接通状态的晶体管TR126及TR127以及端子po1而从恒压电路60对背栅端子供给电位VDD。

[0102] 在第一模式中,晶体管TR121伴随着晶体管TR122~TR127的状态而成为断开状态。

另外,在第一模式中,晶体管TR121的背栅端子经由晶体管TR126及TR127与漏极端子连接,由此形成从源极端子经由背栅端子朝向漏极端子的寄生二极管。在第一模式中,晶体管TR121相对于从源极端子朝向漏极端子侧的方向导通,另一方面,相对于从漏极端子朝向源极端子的方向非导通。

[0103] 由此,在第一模式中,包含输出电路12及控制电路11的防逆流电路15成为向源极端子供给接地电位GND的第一状态。

[0104] 在第一状态下,对于防逆流电路15,虽然在从输出电路12的输入侧朝向输出侧的方向上寄生二极管导通,但由于作为输出侧的端子po1的电位比作为输入侧的端子pB的电位高,因此防止电流从输出电路12的输入侧流向输出侧。另外,在第一状态下,对于防逆流电路15,由于在从输出电路12的输出侧朝向输入侧的方向上寄生二极管非导通,因此防止电流从输出侧向输入侧逆流。

[0105] 在第一模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF131输出的信号的状态成为高阻抗状态的方式向缓冲电路BUF131发送控制信号CT131。另外,输出控制电路111将低状态的控制信号CT132发送到晶体管TR132及TR133的栅极端子,将晶体管TR132及TR133设定为接通状态。

[0106] 在第一模式中,晶体管TR131的栅极端子经由接通状态的晶体管TR132及TR133而被从输出电路14供给电位VDD2。另外,在第一模式中,晶体管TR131的源极端子被从输出电路14供给电位VDD2。另外,在第一模式中,晶体管TR131的漏极端子经由开关SW10被供给接地电位GND。

[0107] 在第一模式中,晶体管TR131伴随着晶体管TR132及TR133的状态而成为断开状态。另外,晶体管TR131的背栅端子与源极端子连接,因此形成从漏极端子经由背栅端子朝向源极端子的寄生二极管。晶体管TR131相对于从漏极端子朝向源极端子的方向导通,另一方面,相对于从源极端子朝向漏极端子的方向非导通。

[0108] 由此,在第一模式中,对于输出电路13,虽然在从输入侧朝向输出侧的方向上寄生二极管导通,但由于作为输出侧的端子po2的电位比作为输入侧的端子pB的电位高,因此防止电流从输出电路13的输入侧流向输出侧。另外,在第一模式中,对于输出电路13,相对于从输出侧朝向输入侧的方向寄生二极管非导通,因此防止电流从输出侧向输入侧逆流。

[0109] 在第一模式中,控制电路11中的输出控制电路111向晶体管TR144~TR146的栅极端子发送高状态的控制信号CT144,将晶体管TR144设定为接通状态,并且将晶体管TR145和TR146设定为断开状态。在第一模式中,伴随着对晶体管TR144~TR146设定的状态,晶体管TR141的栅极端子从接通状态的晶体管TR144经由接地线W_GND被供给接地电位GND,成为接通状态。需要说明的是,晶体管TR146通过背栅端子与源极端子连接,在第一模式下,防止电流在从源极端子朝向漏极端子的方向上流动。

[0110] 另外,输出控制电路111在电源电路1为第一模式且输出电路14为电流限制模式的情况下,将高状态的控制信号CT142发送到晶体管TR142的栅极端子,将晶体管TR142设定为断开状态。另外,输出控制电路111在电源电路1为第一模式且输出电路14为电流限制模式的情况下,将低状态的控制信号CT143发送到晶体管TR143的栅极端子,将晶体管TR143设定为接通状态。

[0111] 伴随于此,输出电路14在电源电路1为第一模式且输出电路14为电流限制模式的

情况下,从电源线W_VDD33经由接通状态的晶体管TR143及TR141,以与电源线W_VDD33的电位VDD33大致相同的方式输出电位VDD2。对于输出电路14,由于晶体管TR143的导通电阻比晶体管TR142的导通电阻大,所以在电流限制模式下,以使输出电流比以直通模式动作的情况少的方式向端子po2输出电位VDD2。

[0112] 另外,输出控制电路111在电源电路1为第一模式且输出电路14为直通模式的情况下,将低状态的控制信号CT142发送到晶体管TR142的栅极端子,将晶体管TR142设定为接通状态。另外,输出控制电路111在电源电路1为第一模式且输出电路14为直通模式的情况下,将高状态的控制信号CT143发送到晶体管TR143的栅极端子,将晶体管TR143设定为断开状态。

[0113] 伴随于此,输出电路14在电源电路1为第一模式且输出电路14为直通模式的情况下,从电源线W_VDD33经由接通状态的晶体管TR142及TR141以与电源线W_VDD33的电位VDD33大致相同的方式输出电位VDD2。对于输出电路14,由于晶体管TR142的导通电阻比晶体管TR143的导通电阻小,所以在直通模式下,以与以电流限制模式动作的情况相比输出电流变多的方式向端子po2输出电位VDD2。

[0114] 对在搭载有电源电路1的设备中搭载有干电池作为蓄电池、且电源电路1以输出电路12以DC-DC模式进行动作的第二模式进行动作的情况下的电源电路1中的各电路的操作进行说明。图5B是表示电位生成电路10的第二模式下的动作的一例的图。在第二模式中,控制电路11中的电压控制电路112以生成电位VA的方式控制由晶体管TR1和TR2及缓冲电路BUF1和BUF2形成的DC-DC转换器的动作。另外,输出控制电路111通过对开关SW10进行开路控制,使端子pB不与接地线W_GND连接。

[0115] 在第二模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF121输出的信号的状态成为低状态的方式向缓冲电路BUF121发送控制信号CT121。另外,输出控制电路111将高状态的控制信号CT122发送到晶体管TR122和TR123的栅极端子,将晶体管TR122和TR123设定为断开状态。另外,输出控制电路111将高状态的控制信号CT126发送到晶体管TR126和TR127的栅极端子,将晶体管TR126和TR127设定为断开状态。另外,输出控制电路111将低状态的控制信号CT124发送到晶体管TR124及TR125的栅极端子,将晶体管TR124和TR125设定为接通状态。

[0116] 在第二模式中,伴随着对晶体管TR122~TR127设定的状态,晶体管TR121从缓冲电路BUF121向栅极端子输入低状态的信号,成为接通状态。另外,在第二模式中,输出电路12经由端子pB向晶体管TR121的源极端子供给电位VB,从晶体管TR121的漏极端子输出第一信号SDDD以使得电位VDDD成为第一设定电位(例如1.4V)。由此,在第二模式中,包括控制电路11和输出电路12的防逆流电路15成为向源极端子供给电位VB的第二状态。在第二状态下,对于防逆流电路15,晶体管TR121的背栅端子经由晶体管TR124和TR125与源极端子连接,由此形成从晶体管TR121中的漏极端子经由背栅端子朝向源极端子的寄生二极管。

[0117] 在第二模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF131输出的信号的状态成为高状态的方式向缓冲电路BUF131发送控制信号CT131。另外,输出控制电路111将高状态的控制信号CT132发送到晶体管TR132和TR133的栅极端子,将晶体管TR132和TR133设定为断开状态。

[0118] 在第二模式中,晶体管TR131的栅极端子被从缓冲电路BUF131输入高状态的信号。

另外,在第二模式中,晶体管TR131的源极端子被从输出电路14供给电位VDD2。另外,在第二模式中,晶体管TR131的漏极端子被供给端子pB的电位VB。

[0119] 在第二模式中,晶体管TR131伴随着晶体管TR132及TR133的状态而成为断开状态。另外,晶体管TR131的背栅端子与源极端子连接,因此形成从漏极端子经由背栅端子朝向源极端子的寄生二极管。晶体管TR131相对于从漏极端子朝向源极端子的方向导通,另一方面,相对于从源极端子朝向漏极端子的方向非导通。

[0120] 由此,在第二模式中,对于输出电路13,虽然相对于从输入侧朝向输出侧的方向寄生二极管导通,但由于作为输出侧的端子po2的电位比作为输入侧的端子pB的电位高,因此防止电流从输出电路13的输入侧流向输出侧。另外,在第二模式中,对于输出电路13,相对于从输出侧朝向输入侧的方向寄生二极管非导通,因此防止电流从输出侧向输入侧逆流。

[0121] 在第二模式中,控制电路11中的输出控制电路111向晶体管TR144~TR146的栅极端子发送高状态的控制信号CT144,将晶体管TR144设定为接通状态,并且将晶体管TR145和TR146设定为断开状态。另外,输出控制电路111将低状态的控制信号CT142发送到晶体管TR142的栅极端子,将晶体管TR142设定为接通状态。另外,输出控制电路111向晶体管TR143的栅极端子发送高状态的控制信号CT143,将晶体管TR143设定为断开状态。伴随于此,在第二模式下,输出电路14从电源线W_VDD33经由接通状态的晶体管TR142和TR141以使电位VDD2与电源线W_VDD33的电位VDD33大致相同的方式输出第二信号SDD2。需要说明的是,晶体管TR146通过背栅端子与源极端子连接,在第二模式下,防止电流在从源极端子朝向漏极端子的方向上流动。

[0122] 对在搭载有电源电路1的设备搭载有锂离子电池作为蓄电池、且电源电路1以输出电路12以LD0模式进行动作的第三模式进行动作的情况下的电源电路1中的各电路的操作进行说明。图5C是表示电位生成电路10的第三模式下的动作的一例的图。在第三模式中,控制电路11中的电压控制电路112以生成电位VA的方式控制由晶体管TR1和TR2及缓冲电路BUF1和BUF2形成的DC-DC转换器的动作。另外,输出控制电路111通过对开关SW10进行开路控制,使端子pB不与接地线W_GND连接。

[0123] 在第三模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF121输出的信号的状态成为高状态的方式向缓冲电路BUF121发送控制信号CT121。另外,输出控制电路111将高状态的控制信号CT122发送到晶体管TR122和TR123的栅极端子,将晶体管TR122和TR123设定为断开状态。另外,输出控制电路111将高状态的控制信号CT126发送到晶体管TR126和TR127的栅极端子,将晶体管TR126和TR127设定为断开状态。另外,输出控制电路111将低状态的控制信号CT124发送到晶体管TR124及TR125的栅极端子,将晶体管TR124及TR125设定为接通状态。

[0124] 在第三模式中,伴随着对晶体管TR122~TR127设定的状态,晶体管TR121的栅极端子被从缓冲电路BUF121输入高状态的信号。另外,在第三模式中,晶体管TR121的源极端子经由端子pB被供给电位VB。另外,在第三模式中,晶体管TR121的漏极端子经由端子po1而被从恒压电路60供给电位VDDD。进而,晶体管TR121的背栅端子经由接通状态的晶体管TR124及TR125以及端子pB而被供给电位VB。

[0125] 在第三模式中,晶体管TR121伴随着晶体管TR122~TR127的状态而成为断开状态。另外,在第三模式中,晶体管TR121的背栅端子经由晶体管TR124及TR125与源极端子连接,

由此形成从漏极端子经由背栅端子朝向源极端子的寄生二极管。在第三模式中,晶体管TR121相对于从漏极端子朝向源极端子侧的方向导通,另一方面,相对于从源极端子朝向漏极端子侧的方向非导通。

[0126] 由此,在第三模式中,包含控制电路11和输出电路12的防逆流电路15成为向源极端子供给电位VB的第二状态。在第三模式的第二状态下,对于防逆流电路15,虽然在从输出电路12的输出侧朝向输入侧的方向上寄生二极管导通,但由于作为输入侧的端子pB的电位比作为输出侧的端子po1的电位高,因此防止电流从输出电路12的输出侧流向输入侧。另外,在第三模式的第二状态下,对于防逆流电路15,由于在从输出电路12的输入侧朝向输出侧的方向上寄生二极管非导通,因此防止电流从输入侧向输出侧逆流。

[0127] 在第三模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF131输出的信号的状态成为高状态的方式向缓冲电路BUF131发送控制信号CT131。另外,输出控制电路111将高状态的控制信号CT132发送到晶体管TR132和TR133的栅极端子,将晶体管TR132和TR133设定为断开状态。需要说明的是,由于第三模式中的输出电路13的动作与第二模式相同,因此省略其说明。

[0128] 在第三模式中,控制电路11中的输出控制电路111将高状态的控制信号CT144发送到晶体管TR144~TR146的栅极端子,将晶体管TR144设定为接通状态,并且将晶体管TR145和TR146设定为断开状态。

[0129] 另外,输出控制电路111在电源电路1为第三模式且输出电路14为电流限制模式的情况下,将高状态的控制信号CT142发送到晶体管TR142的栅极端子,将晶体管TR142设定为断开状态。另外,输出控制电路111在电源电路1为第三模式且输出电路14为电流限制模式的情况下,将低状态的控制信号CT143发送到晶体管TR143的栅极端子,将晶体管TR143设定为接通状态。

[0130] 另外,输出控制电路111在电源电路1为第三模式且输出电路14为直通模式的情况下,将低状态的控制信号CT142发送到晶体管TR142的栅极端子,将晶体管TR142设定为接通状态。另外,输出控制电路111在电源电路1为第三模式且输出电路14为直通模式的情况下,将低状态的控制信号CT143发送到晶体管TR143的栅极端子,将晶体管TR143设定为断开状态。需要说明的是,晶体管TR146通过背栅端子与源极端子连接,在第一模式下,防止电流在从源极端子朝向漏极端子的方向上流动。另外,关于第三模式中的输出电路14的动作,由于与第一模式相同,因此省略其说明。

[0131] 对在搭载有电源电路1的设备中搭载有锂离子电池作为蓄电池、且电源电路1以输出电路12以DC-DC模式进行动作的第四模式进行动作的情况下的电源电路1中的各电路的操作进行说明。图5D是示出电位生成电路10的第四模式下的动作的一例的图。在第四模式中,控制电路11中的电压控制电路112以生成电位VA的方式控制由晶体管TR1和TR2及缓冲电路BUF1和BUF2形成的DC-DC转换器的动作。另外,输出控制电路111通过对开关SW10进行开路控制,使端子pB不与接地线W_GND连接。

[0132] 在第四模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF121输出的信号的状态成为低状态的方式向缓冲电路BUF121发送控制信号CT121。另外,输出控制电路111将高状态的控制信号CT122发送到晶体管TR122和TR123的栅极端子,将晶体管TR122和TR123设定为断开状态。另外,输出控制电路111将高状态的控制信号CT126发送到晶体管

TR126和TR127的栅极端子,将晶体管TR126和TR127设定为断开状态。另外,输出控制电路111将低状态的控制信号CT124发送到晶体管TR124及TR125的栅极端子,将晶体管TR124及TR125设定为接通状态。需要说明的是,关于第四模式中的晶体管TR121、输出电路12及防逆流电路15的状态,与第二模式相同,因此省略其说明。

[0133] 在第四模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF131输出的信号的状态成为低状态的方式向缓冲电路BUF131发送控制信号CT131。另外,输出控制电路111将高状态的控制信号CT132发送到晶体管TR132和TR133的栅极端子,将晶体管TR132和TR133设定为断开状态。

[0134] 在第四模式中,晶体管TR131的栅极端子被从缓冲电路BUF131输入低状态的信号,成为接通状态。另外,在第四模式中,输出电路13向晶体管TR131的漏极端子供给端子pB的电位VB,从晶体管TR131的源极端子经由端子po2输出电位为电位VDD2的第二信号SDD2。

[0135] 在第四模式中,控制电路11中的输出控制电路111将低状态的控制信号CT144发送到晶体管TR144~TR146的栅极端子,将晶体管TR144设定为断开状态,并且将晶体管TR145和TR146设定为接通状态。另外,输出控制电路111将高状态的控制信号CT142发送到晶体管TR142的栅极端子,将晶体管TR142设定为断开状态。另外,输出控制电路111向晶体管TR143的栅极端子发送高状态的控制信号CT143,将晶体管TR143设定为断开状态。需要说明的是,晶体管TR142~TR144通过背栅端子与源极端子连接,在第四模式中,防止电流在从源极端子朝向漏极端子的方向上流动。

[0136] 在第四模式中,晶体管TR141的栅极端子被从端子po2经由接通状态的晶体管TR145及TR146供给电位VDD。在第四模式中,在电位VDD2的电位比晶体管TR141的漏极端子的电位低的情况下,晶体管TR141成为接通状态。在第四模式且晶体管TR141为接通状态的情况下,由于寄生二极管的导通方向是从漏极端子朝向源极端子的方向,因此晶体管TR142及TR143防止电流从电源线W_VDD33经由接通状态的晶体管TR141朝向端子po2流动。

[0137] 另外,在第四模式中,在电位VDD2的电位比晶体管TR141的漏极端子的电位高的情况下,晶体管TR141成为断开状态。在第四模式且晶体管TR141为断开状态的情况下,由于寄生二极管的导通方向是从漏极端子朝向源极端子的方向,因此晶体管TR141防止电流从端子po2经由晶体管TR142及晶体管TR143的寄生二极管朝向电源线W_VDD33流动。

[0138] 对在电源电路1中的输出电路12~输出电路14以待机模式动作的第五模式下电源电路1动作时的电源电路1中的各电路的操作进行说明。图5E是表示电位生成电路10的第五模式下的动作的一例的图。在第五模式中,控制电路11中的电压控制电路112以停止电位VA的生成的方式控制由晶体管TR1和TR2及缓冲电路BUF1和BUF2形成的DC-DC转换器的动作。另外,输出控制电路111通过对开关SW10进行短路控制,使端子pB的电位转变为作为接地线W_GND的电位的接地电位GND。

[0139] 在第五模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF121输出的信号的状态成为高阻抗状态的方式向缓冲电路BUF121发送控制信号CT121。另外,输出控制电路111将低状态的控制信号CT122发送到晶体管TR122及TR123的栅极端子,将晶体管TR122及TR123设定为接通状态。另外,输出控制电路111将低状态的控制信号CT126发送到晶体管TR126及TR127的栅极端子,将晶体管TR126及TR127设定为接通状态。另外,输出控制电路111将高状态的控制信号CT124发送到晶体管TR124和TR125的栅极端子,将晶体管

TR124和TR125设定为断开状态。

[0140] 在第五模式中,伴随着对晶体管TR122~TR127设定的状态,晶体管TR121的栅极端子经由接通状态的晶体管TR122及TR123以及端子po1而被从恒压电路60供给电位VDDD。另外,在第五模式中,晶体管TR121的源极端子经由开关SW10被供给接地电位GND。另外,在第五模式中,晶体管TR121的漏极端子经由端子po1而被从恒压电路60供给电位VDDD。进而,晶体管TR121的背栅端子经由接通状态的晶体管TR126及TR127以及端子po1而被供给电位VDDD。需要说明的是,关于第五模式中的晶体管TR121及防逆流电路15的状态,由于与第一模式相同,所以省略其说明。

[0141] 在第五模式中,控制电路11中的输出控制电路111以使从缓冲电路BUF131输出的信号的状态成为高阻抗状态的方式向缓冲电路BUF131发送控制信号CT131。另外,输出控制电路111将低状态的控制信号CT132发送到晶体管TR132及TR133的栅极端子,将晶体管TR132及TR133设定为断开状态。

[0142] 在第五模式中,晶体管TR131的栅极端子经由接通状态的晶体管TR132及晶体管TR133而被从输出电路14供给电位VDD2。另外,在第五模式中,晶体管TR131的源极端子被从端子po2向供给电位VDD2。另外,在第五模式中,晶体管TR131的漏极端子经由开关SW10被供给接地电位GND。需要说明的是,关于第五模式中的输出电路13的动作,由于与第一模式相同,因此省略其说明。

[0143] 在第五模式中,控制电路11中的输出控制电路111将低状态的控制信号CT144发送到晶体管TR144~TR146的栅极端子,将晶体管TR144设定为断开状态,并且将晶体管TR145及TR146设定为接通状态。另外,输出控制电路111将高状态的控制信号CT142发送到晶体管TR142的栅极端子,将晶体管TR142设定为断开状态。另外,输出控制电路111将高状态的控制信号CT143发送到晶体管TR143的栅极端子,将晶体管TR143设定为断开状态。

[0144] 晶体管TR142~TR144通过背栅端子与源极端子连接,在第五模式中,防止电流在从源极端子朝向漏极端子的方向上流动。另外,第五模式中的输出电路14的动作与第四模式相同,因此省略其说明。

[0145] <一系列动作的流程>

[0146] 以上,对各动作模式下的电位生成电路10的动作进行了说明。接着,对电位生成电路10中的各信号的电位的转变进行详细说明。图6A是表示电位生成电路10的输出的状态的时序图的第一例。另外,图6B是表示电位生成电路10的输出的状态的时序图的第二例。在图6A和图6B中,控制电路11将电源电路1的动作模式设定为第四模式,将第一设定电位设定为1.4V,将第二设定电位设定为2.1V。在图6A中,控制电路11将电源电路1的动作模式设定为第四模式,将第一设定电位设定为1.4V,将第二设定电位设定为2.1V。

[0147] 如图6A所示,在第四模式中,在输出电路12输出的电位VDDD小于第一设定电位、且输出电路13输出的电位VDD2小于第二设定电位的情况下,控制电路11以使得输出电路12和13每隔一定期间交替地进行输出的方式控制控制信号CT121和CT131的状态。

[0148] 如图6B所示,在第四模式中,在输出电路12输出的电位VDDD小于第一设定电位、且输出电路13输出的电位VDD2为第二设定电位以上的情况下,控制电路11以使得停止输出电路13进行的输出并且从输出电路12进行输出的方式控制控制信号CT121和CT131的状态。

[0149] 需要说明的是,虽然未图示,但在第四模式中,在输出电路12输出的电位VDDD为第

一设定电位以上、且输出电路13输出的电位VDD2小于第二设定电位的情况下,控制电路11以停止输出电路12进行的输出并且从输出电路13进行输出的方式控制控制信号CT121和CT131的状态。另外,在电位VDDD为第一设定电位以上且电位VDD2为第二设定电位以上的情况下,控制电路11以使得仅从输出电路12和14中的任一个进行输出的方式控制控制信号CT121和CT131的状态。

[0150] 图7是示出电位生成电路10中的各信号的转变的时序图的第一例。在图7中,在搭载有电源电路1的设备中搭载有干电池作为蓄电池,电源电路1一边切换第一模式、第二模式及第五模式一边进行动作。需要说明的是,在图7中,第一设定电位被设定为1.4V。另外,在图7中,第二设定电位被设定为2.1V。

[0151] 在时刻t70,控制电路11将电源电路1的动作模式设定为第一模式,将输出电路14设定为电流限制模式。具体而言,控制电路11将控制信号CT121及CT131的状态设定为高阻抗状态。另外,控制电路11将控制信号CT122、CT126、CT132、CT142及CT144的状态设定为高状态。另外,控制电路11将控制信号CT124及CT143的状态设定为低状态。控制电路11输出设定了状态的各控制信号。

[0152] 在时刻t70,输出电路12以LDO模式进行动作,停止电位VDDD的输出。端子po1通过恒压电路60而被供给电位,从而电位VDDD开始转变为作为第一设定电位的1.4V。

[0153] 在时刻t70,输出电路13停止电位VDD2的输出。另外,输出电路14以电流限制模式动作,抑制冲击电流并将电源线W_VDD33的电位输出到端子po2。端子po2的电位VDD2开始转变为作为第二设定电位的2.1V。

[0154] 在时刻t71,控制电路11将输出电路14设定为直通模式。具体而言,使控制信号CT132及CT142的状态转变为低状态。另外,控制电路11使控制信号CT143的状态转变为高状态。

[0155] 在时刻t71,输出电路12以LDO模式进行动作,停止电位VDDD的输出。端子po1通过恒压电路60而被供给有电位,电位VDDD达到作为第一设定电位的1.4V。

[0156] 在时刻t71,输出电路13停止电位VDD2的输出。另外,输出电路14以直通模式动作,在使电流大量流过的状态下将电源线W_VDD33的电位输出到端子po2。端子po2的电位VDD2达到作为第二设定电位的2.1V。

[0157] 在时刻t72,控制电路11将电源电路1的动作模式设定为第二模式。具体而言,控制电路11将控制信号CT121、CT122及CT142的状态设定为低状态。另外,控制电路11将控制信号CT131、CT132、CT124、CT143及CT144的状态设定为高状态。控制电路11输出设定了状态的各控制信号。

[0158] 在时刻t72,输出电路12以DC-DC模式进行动作,输出电位VDDD。端子po1由输出电路12供给电位,电位VDDD维持第一设定电位即1.4V。

[0159] 在时刻t72,输出电路13停止电位VDD2的输出。另外,输出电路14以直通模式动作,在使电流大量流过的状态下将电源线W_VDD33的电位输出到端子po2。端子po2的电位VDD2维持作为第二设定电位的2.1V。

[0160] 在时刻t73,控制电路11将电源电路1的动作模式设定为第五模式。具体而言,控制电路11将控制信号CT121及CT131的状态设定为高阻抗状态。另外,控制电路11将控制信号CT122、CT142及CT143的状态设定为高状态。另外,控制电路11将控制信号CT124、CT132及

CT144的状态设定为低状态。控制电路11输出设定了状态的各控制信号。

[0161] 在时刻t73,输出电路12以待机模式进行动作,停止电位VDDD的输出。端子po1被切断来自输出电路12及恒压电路60的电位的供给,电位逐渐降低。

[0162] 在时刻t73,输出电路13停止电位VDD2的输出。另外,输出电路14以待机模式动作,停止向端子po2输出电位VDD2。端子po2的电位VDD2的电位的供给被切断,电位逐渐降低。

[0163] 在时刻t74,控制电路11将电源电路1的动作模式设定为第一模式,将输出电路14设定为直通模式。时刻t74的控制电路11的动作与时刻t71相同,因此省略其说明。

[0164] 在时刻t74,输出电路12以LDO模式进行动作,停止电位VDDD的输出。端子po1通过恒压电路60而被供给电位,开始电位VDDD向作为第一设定电位的1.4 V的转变。

[0165] 在时刻t74,输出电路13停止电位VDD2的输出。另外,输出电路14以直通模式动作,在使电流大量流过的状态下将电源线W_VDD33的电位输出到端子po2。端子po2的电位VDD2开始转变为作为第二设定电位的2.1V。

[0166] 在时刻t75,控制电路11将电源电路1的动作模式设定为第二模式。时刻t75的控制电路11、输出电路12~ 14的动作与时刻t72相同,因此省略其说明。

[0167] 图8是表示电位生成电路10中的各信号的转变的时序图的第二例。在图8中,在搭载有电源电路1的设备中搭载有锂离子电池作为蓄电池,电源电路1一边切换第三模式、第四模式及第五模式一边进行动作。需要说明的是,在图8中,第一设定电位被设定为1.4V。另外,在图8中,第二设定电位被设定为2.1V。

[0168] 在时刻t80,控制电路11将电源电路1的动作模式设定为第三模式,将输出电路14设定为电流限制模式。具体而言,控制电路11将控制信号CT121、CT122、CT126、CT131、CT132、CT142及CT144的状态设定为高状态。另外,控制电路11将控制信号CT124及CT143的状态设定为低状态。控制电路11输出设定了状态的各控制信号。

[0169] 在时刻t80,输出电路12以LDO模式进行动作,停止电位VDDD的输出。端子po1通过恒压电路60而被供给电位,电位VDDD开始转变为作为第一设定电位的1.4V。

[0170] 在时刻t80,输出电路13停止电位VDD2的输出。另外,输出电路14以电流限制模式动作,抑制冲击电流并将电源线W_VDD33的电位输出到端子po2。端子po2的电位VDD2开始转变为作为第二设定电位的2.1V。

[0171] 在时刻t81,控制电路11将输出电路14设定为直通模式。具体而言,控制电路11使控制信号CT142的状态转变为低状态。另外,控制电路11使控制信号CT143的状态转变为高状态。

[0172] 在时刻t81,输出电路12以LDO模式进行动作,停止电位VDDD的输出。端子po1通过恒压电路60而被供给电位,电位VDDD达到作为第一设定电位的1.4V。

[0173] 在时刻t81,输出电路13停止电位VDD2的输出。另外,输出电路14以直通模式动作,在使电流大量流过的状态下将电源线W_VDD33的电位输出到端子po2。端子po2的电位VDD2达到作为第二设定电位的4.2V。

[0174] 在时刻t82,控制电路11将电源电路1的动作模式设定为第四模式。具体而言,控制电路11判定端子po1的电位VDDD是否为第一设定电位以上、及端子po2的电位VDD2是否为第二设定电位以上。控制电路11判定为端子po1的电位VDDD为第一设定电位以上且端子po2的电位VDD2小于第二设定电位。控制电路11将控制信号CT121及CT124的状态设定为低状态,

将控制信号CT142的状态设定为高状态。控制电路11输出设定了状态的各控制信号。

[0175] 在时刻t82,输出电路12以DC-DC模式进行动作,输出电位VDDD。端子po1由输出电路12供给电位,电位VDDD维持第一设定电位即1.4V。

[0176] 在时刻t82,输出电路13停止向端子po2输出电位VDD2。另外,输出电路14以DC-DC模式进行动作,停止向端子po2输出电位。端子po2的电位VDD2被切断来自输出电路13及14的电位的供给,电位逐渐降低。

[0177] 在时刻t83,控制电路11将电源电路1的动作模式设定为第五模式。具体而言,控制电路11将控制信号CT121及CT131的状态设定为高阻抗状态。另外,控制电路11将控制信号CT124的状态设定为高状态。另外,控制电路11将控制信号CT122、CT126及CT132的状态设定为低状态。控制电路11输出设定了状态的各控制信号。

[0178] 在时刻t83,输出电路12以待机模式进行动作,停止电位VDDD的输出。端子po1被切断来自输出电路12及恒压电路60的电位的供给,电位逐渐降低。

[0179] 在时刻t83,输出电路13停止电位VDD2的输出。另外,输出电路14以待机模式动作,停止向端子po2输出电位VDD2。端子po2的电位VDD2被切断电位的供给,电位逐渐降低。

[0180] 在时刻t84,控制电路11将电源电路1的动作模式设定为第三模式,将输出电路14设定为直通模式。时刻t78的控制电路11的动作与时刻t81相同,因此省略其说明。

[0181] 在时刻t84,输出电路12以LDO模式进行动作,停止电位VDDD的输出。端子po1通过恒压电路60而被供给电位,开始电位VDDD向作为第一设定电位的1.4 V的转变。

[0182] 在时刻t84,输出电路13停止电位VDD2的输出。另外,输出电路14以直通模式动作,在使电流大量流过的状态下将电源线W_VDD33的电位输出到端子po2。端子po2的电位VDD2开始转变为作为第二设定电位的2.1V。

[0183] 在时刻t85,控制电路11将电源电路1的动作模式设定为第四模式。具体而言,控制电路11判定端子po1的电位VDDD是否为第一设定电位以上、及端子po2的电位VDD2是否为第二设定电位以上。控制电路11在端子po1的电位VDDD为第一设定电位以上且端子po2的电位VDD2小于第二设定电位的情况下,将控制信号CT121的状态设定为高状态,将控制信号CT131的状态设定为低状态。另外,控制电路11在端子po1的电位VDDD小于第一设定电位且端子po2的电位VDD2为第二设定电位以上的情况下,将控制信号CT121的状态设定为低状态,将控制信号CT131的状态设定为高状态。在时刻t85,控制电路11输出设定了状态的各控制信号。需要说明的是,在时刻t85以后,端子po1的电位VDDD为第一设定电位附近,端子po2的电位VDD2为第二设定电位附近,因此控制信号CT121及CT131相互交替。

[0184] 在时刻t85,输出电路12以DC-DC模式进行动作,按照控制信号CT121的状态输出电位VDDD。端子po1由输出电路12供给电位,电位VDDD维持作为第一设定电位的1.4V。

[0185] 在时刻t85,输出电路13根据控制信号CT131的状态而输出电位VDD2。另外,输出电路14以DC-DC模式进行动作,停止向端子po2输出电位。端子po2的电位VDD2通过输出电路13而被供给电位,电位VDD2维持作为第二设定电位的2.1V。

[0186] 以上,对电位生成电路10中的各信号的电位的转变进行了说明。接下来,对电位生成电路10的一系列的处理的流程进行详细说明。图9是表示电位生成电路10的一系列的处理的流程的流程图的一例。在图9中,在搭载有电源电路1的设备中搭载有锂离子电池作为蓄电池,电源电路1以第四模式进行动作。

[0187] (步骤SP10)

[0188] 电位生成电路10取得端子po1及po2的输出电位。具体而言,电位生成电路10通过可变电阻R1及R2对端子po1的电位VDDD进行分压,取得分压后的电位VR1。另外,电位生成电路10通过可变电阻R3及R4对端子po2的电位VDD2进行分压,取得分压后的电位VR2。然后,处理转移到步骤SP12的处理。

[0189] (步骤SP12)

[0190] 电位生成电路10对电位VDDD与第一设定电位之间的大小关系、及电位VDD2与第二设定电位之间的大小关系的组合是否满足规定的条件进行判定。具体而言,电位生成电路10对是端子po1的电位VDDD为第一设定电位(例如1.4V)以上且端子po2的电位VDD2小于第二设定电位(例如2.1V)、还是端子po1的电位VDDD小于第一设定电位且端子po2的电位VDD2为第二设定电位以上进行判定。而且,在该判定为肯定判定的情况下,处理移至步骤SP14的处理,在该判定为否定判定的情况下,处理移至步骤SP16的处理。

[0191] (步骤SP14)

[0192] 电位生成电路10以使得仅从输出小于设定电位的电位的输出电路输出电位的方式将输出模式切换为固定输出模式。具体而言,电位生成电路10在固定输出模式下,在端子po1的电位VDDD小于第一设定电位且端子po2的电位VDD2为第二设定电位以上的情况下,从输出电路12输出电位VDDD,并停止来自输出电路13的电位VDD2的输出。另外,电位生成电路10在固定输出模式下,在端子po1的电位VDDD为第一设定电位以上且端子po2的电位VDD2小于第二设定电位的情况下,停止来自输出电路12的电位VDDD的输出,并从输出电路13输出电位VDD2。需要说明的是,电位生成电路10在电位VDDD成为第一设定电位以上、或者电位VDD2成为第二设定电位以上的情况下,在对输出电路12及13的输出进行切换的定时将输出模式从交替输出模式切换为固定输出模式。然后,处理转移到步骤SP18的处理。

[0193] (步骤SP16)

[0194] 电位生成电路10以使得每隔一定期间交替地从输出电路12和13输出电位的方式将输出模式切换为交替输出模式。具体而言,电位生成电路10在交替输出模式中,每隔一定期间交替地进行来自输出电路12的电位VDDD的输出和来自输出电路13的电位VDD2的输出。然后,处理转移到步骤SP18的处理。

[0195] (步骤SP18)

[0196] 电位生成电路10基于输出模式而从输出电路输出电位。具体而言,电位生成电路10在固定输出模式下,从输出电路12及13中的一方输出电位,并停止来自另一方的电位的输出。另外,电位生成电路10在交替输出模式下,一边每隔一定期间交替地切换输出电路12及13的输出,一边从输出电路12及13中的某一方输出电位。然后,图9所示的一系列处理的流程结束。

[0197] <效果>

[0198] 以上,在本实施方式中,电位生成电路10具有:输出电路12(第一输出电路),输出第一信号SDDD;输出电路13(第二输出电路),输出与第一信号SDDD不同的第二信号SDD2;及控制电路11,根据第一信号SDDD的电位VDDD与第一设定电位之间的大小关系及第二信号SDD2的电位VDD2与第二设定电位之间的大小关系的组合,以使得从输出电路12和13中的某一方输出信号的方式控制输出电路12和13。

[0199] 根据该结构,电位生成电路10根据信号的电位的大小关系来决定输出电路12和13的输出的切换,因此能够在短时间内生成规定的设定电位。

[0200] 另外,在本实施方式中,控制电路11在第一信号SDDD的电位VDDD为第一设定电位以上且第二信号SDD2的电位VDD2小于第二设定电位的情况下,将输出模式设定为固定输出模式,并且从输出电路13输出第二信号SDD2,在第二信号SDD2的电位VDD2为第二设定电位以上且第一信号SDDD的电位VDDD小于第一设定电位的情况下,将输出模式设定为所述固定输出模式,并且从输出电路12输出第一信号SDDD。

[0201] 根据该结构,电位生成电路10优先从未达到设定电位的输出电路输出信号,因此能够以低功耗且高效率(例如70.0%以上的电力转换效率)生成规定的设定电位。

[0202] 并且,在本实施方式中,在第一信号SDDD的电位VDDD小于第一设定电位且第二信号SDD2的电位VDD2小于第二设定电位的情况下,控制电路11将输出模式设定为交替输出模式,并且每隔一定期间交替切换输出电路12进行的第一信号SDDD的输出和输出电路13进行的第二信号SDD2的输出。

[0203] 根据该结构,由于电位生成电路10在从输出电路12及13输出的信号均未达到设定电位的情况下,从输出电路12及13交替地输出,因此能够在抑制偏差的同时均等地使多个信号的电位朝向规定的设定电位转变。

[0204] 另外,在本实施方式中,在输出模式是交替输出模式的情况下,在第一信号SDDD的电位VDDD成为第一设定电位以上、或者第二信号SDD2的电位VDD2成为第二设定电位以上的情况下,控制电路11在切换输出电路12和13的输出的定时将输出模式从交替输出模式切换为固定输出模式。

[0205] 根据该结构,由于电位生成电路10在对输出电路12及13的输出进行切换的定时对输出模式进行切换,因此能够抑制伴随着输出模式的切换的过电流的产生。

[0206] 另外,在本实施方式中,防逆流电路15具备:输出电路12,具有源极端子、漏极端子、栅极端子及背栅端子,在向源极端子供给接地电位GND(第一电位)的第一状态及向源极端子供给比接地电位GND高的电位VB(第二电位)的第二状态下进行动作,基于栅极端子的电位从漏极端子输出向源极端子供给的电位;及控制电路11,与栅极端子、源极端子及背栅端子连接,在第一状态下,以使得输出电路12停止输出的方式控制栅极端子的电位,并以成为与漏极端子相同的电位的方式控制背栅端子的电位,在第二状态下,以成为与源极端子相同的电位的方式控制背栅端子的电位。

[0207] 根据该结构,防逆流电路15在源极端子的电位低的情况下,背栅端子与漏极端子连接,在源极端子的电位可能变高的情况下,背栅端子与源极端子连接,因此能够防止输出电路中的电流的逆流。

[0208] 另外,在本实施方式中,输出电路12具有:第一短路控制电路,在第一状态下两端短路,在第二状态下两端开路,一端与背栅端子连接,另一端与漏极端子连接;及第二短路控制电路,在第一状态下两端开路,在第二状态下两端短路,一端与背栅端子连接,另一端与源极端子连接。

[0209] 根据该结构,防逆流电路15根据短路控制电路的状态来控制输出电路12的背栅端子的连接目的地,因此能够容易地控制输出电路12中的电流的防逆流。

[0210] --变形例一

[0211] 需要说明的是,本发明并不限于上述的实施方式。即,只要具备本发明的特征,本领域技术人员对上述的实施方式适当施加了设计变更的方式也包含在本发明的范围内。另外,上述实施方式及后述的变形例所具备的各要素能够在技术上尽可能地组合,只要包含本发明的特征,那么将它们组合的方式也包含于本发明的范围。

[0212] 例如,在上述实施方式中,输出电路14通过晶体管TR145和TR146来控制晶体管TR142的栅极端子与端子po2之间的导通和非导通,但不限于此,也可以仅通过除去晶体管TR145后的晶体管TR146来控制晶体管TR142的栅极端子与端子po2之间的导通和非导通。

[0213] 根据该结构,输出电路14能够以较少的部件数量进行动作,因此电位生成电路10能够以低成本且短时间生成规定的设定电位。

[0214] 另外,虽然在上述实施方式中,电位生成电路10通过两个输出电路12及13而生成两个电位VDDD及VDD2,但并不限于此。电位生成电路10也可以通过三个以上的输出电路而生成三个以上的电位。电位生成电路10在生成三个以上的电位时,以使得从输出未达到对各电位预先规定的设定电位的电位的输出电路输出信号的方式对各输出电路进行控制。电位生成电路10在存在多个使信号输出的输出电路的情况下,使该输出电路彼此每隔一定期间交替地输出信号。

[0215] 根据该结构,电位生成电路10能够在短时间内生成3个以上的规定的设定电位。

[0216] 附图标记说明

[0217] 10…电位生成电路、11…控制电路、12…输出电路(第一输出电路)、13…输出电路(第二输出电路)、15…防逆流电路。

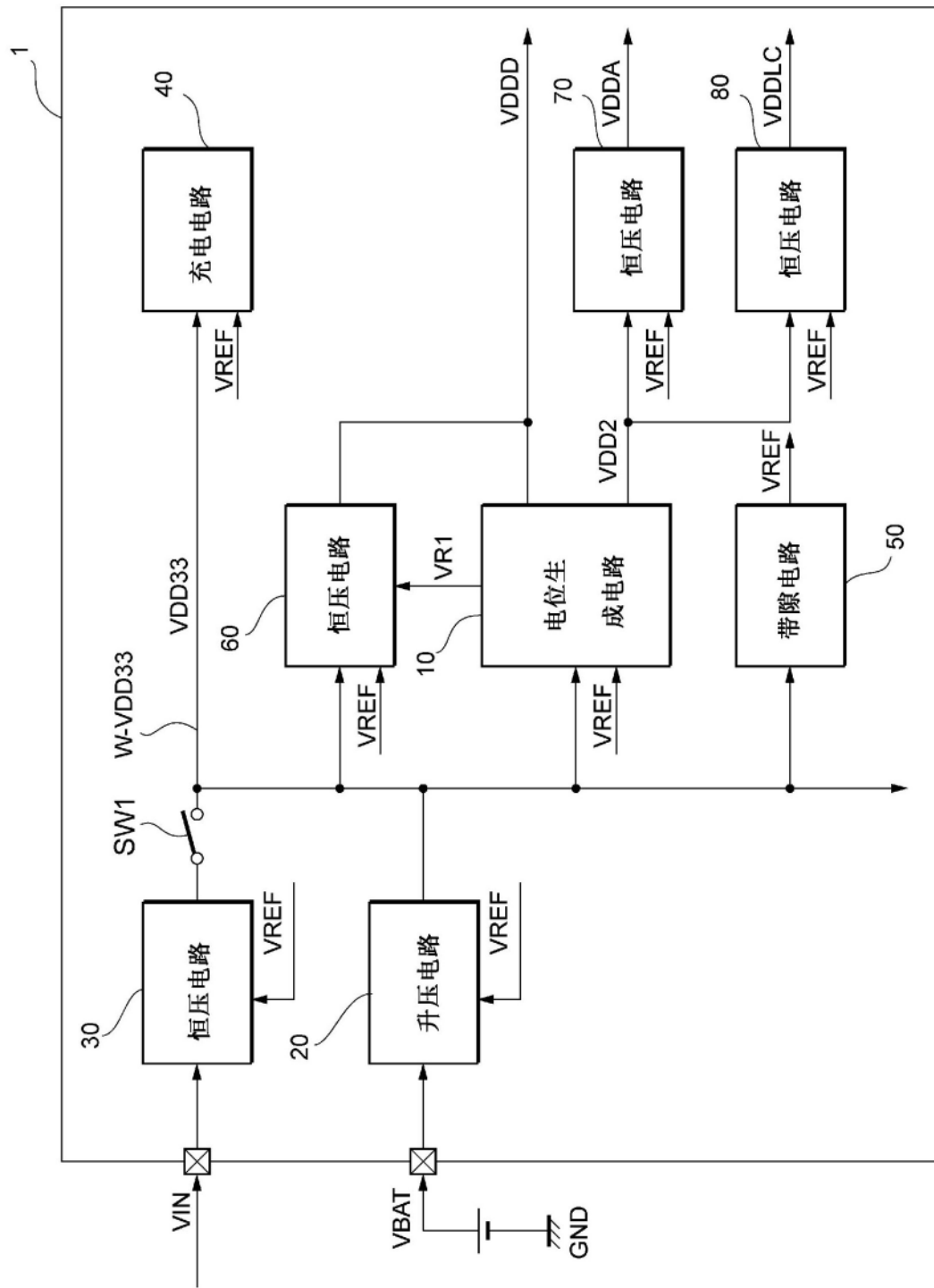


图1

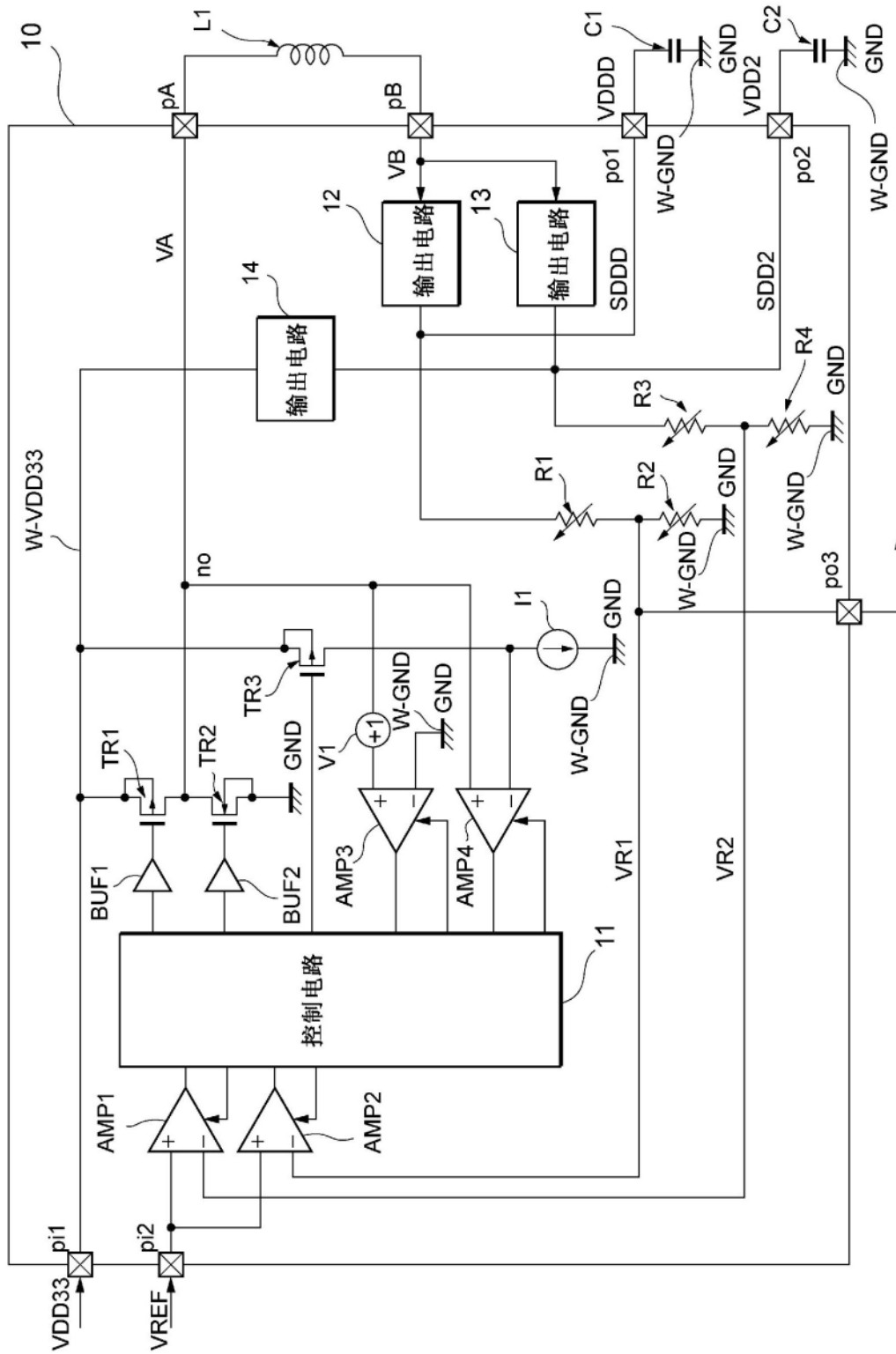


图2

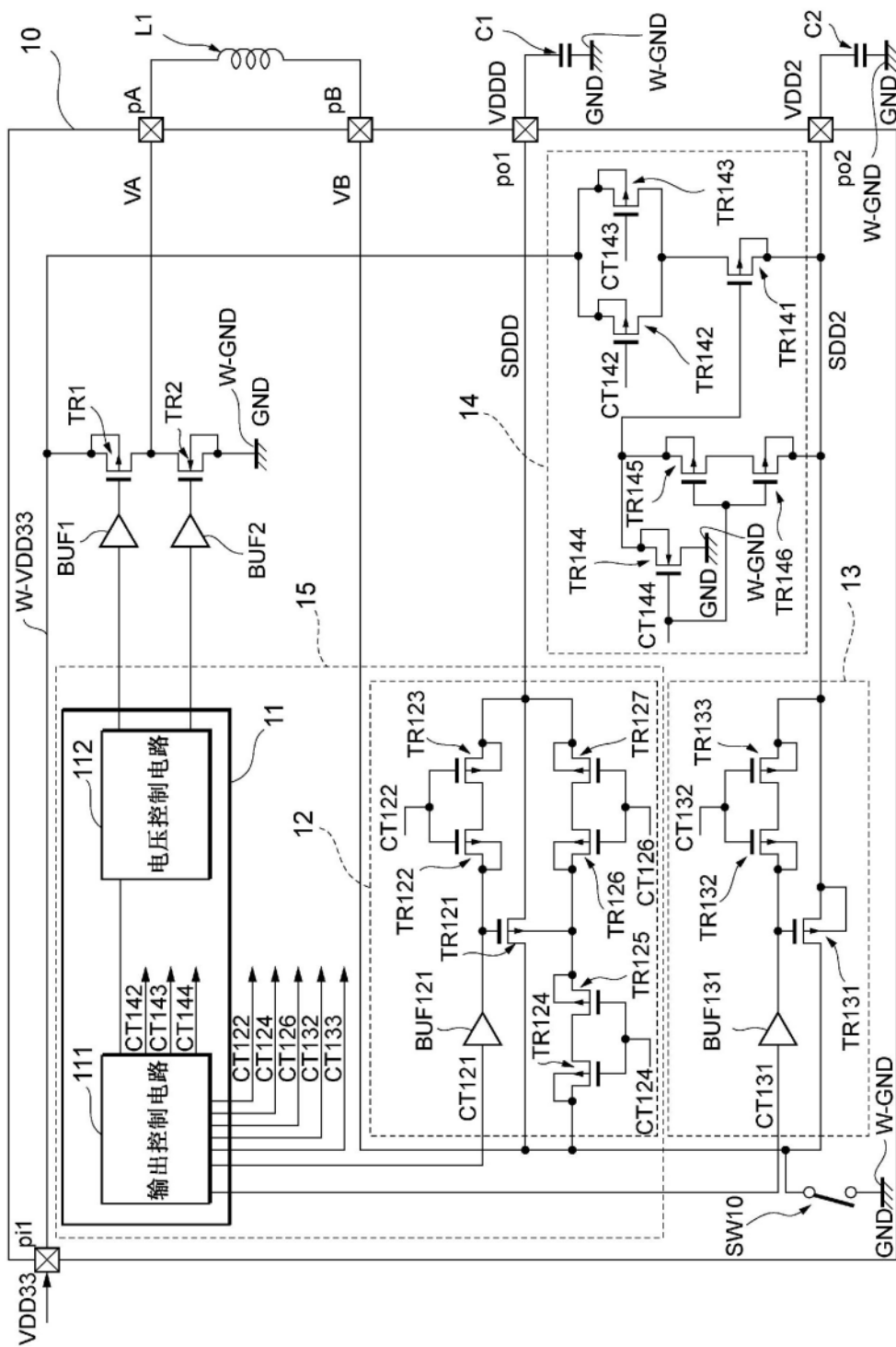


图3

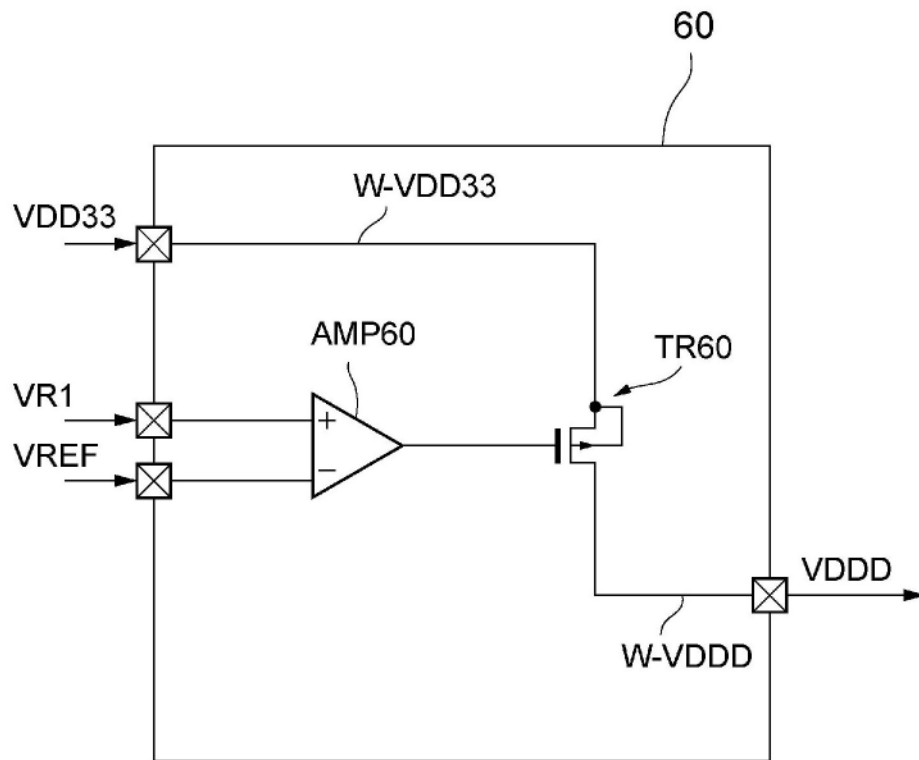


图4

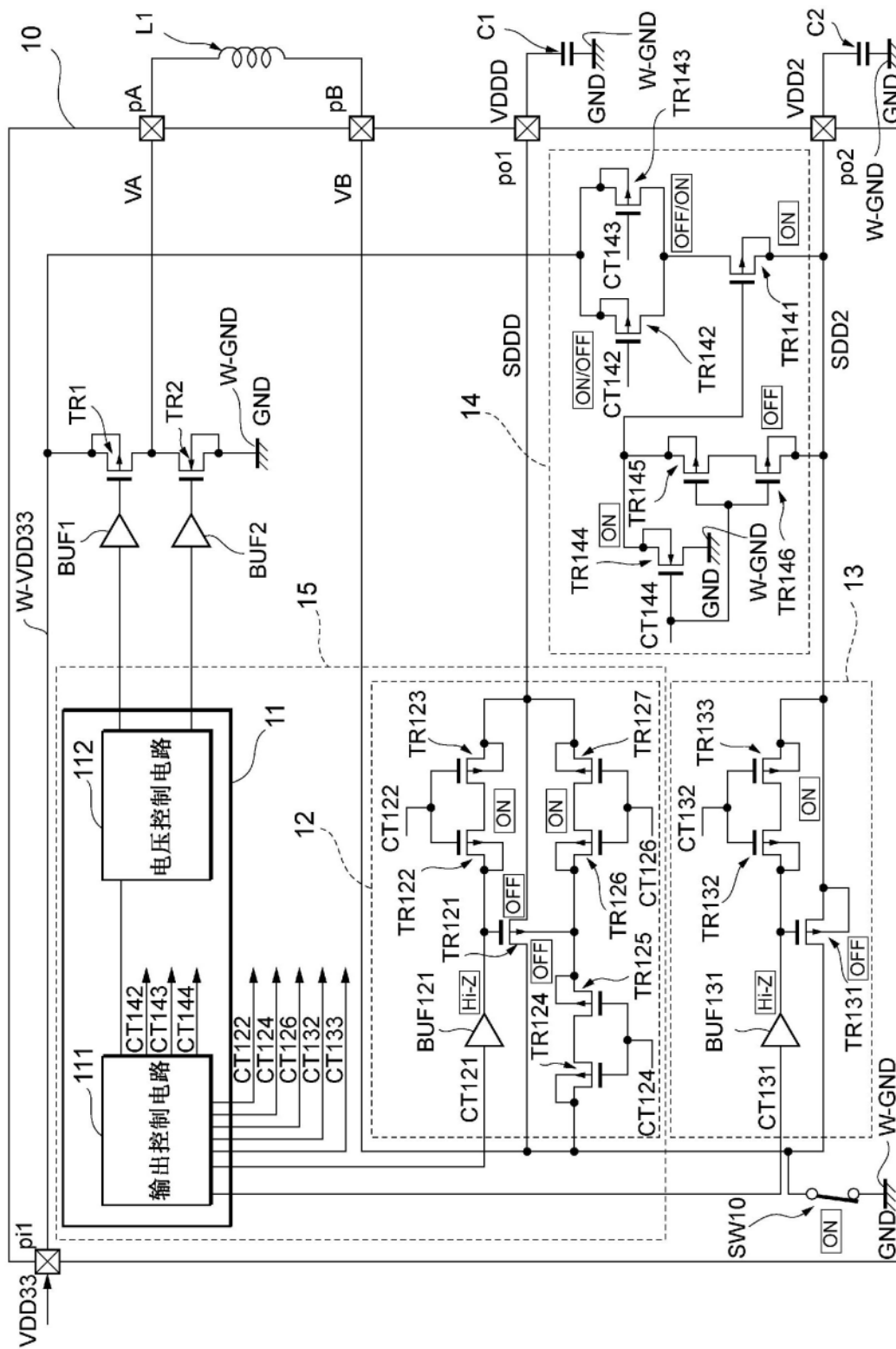


图5A

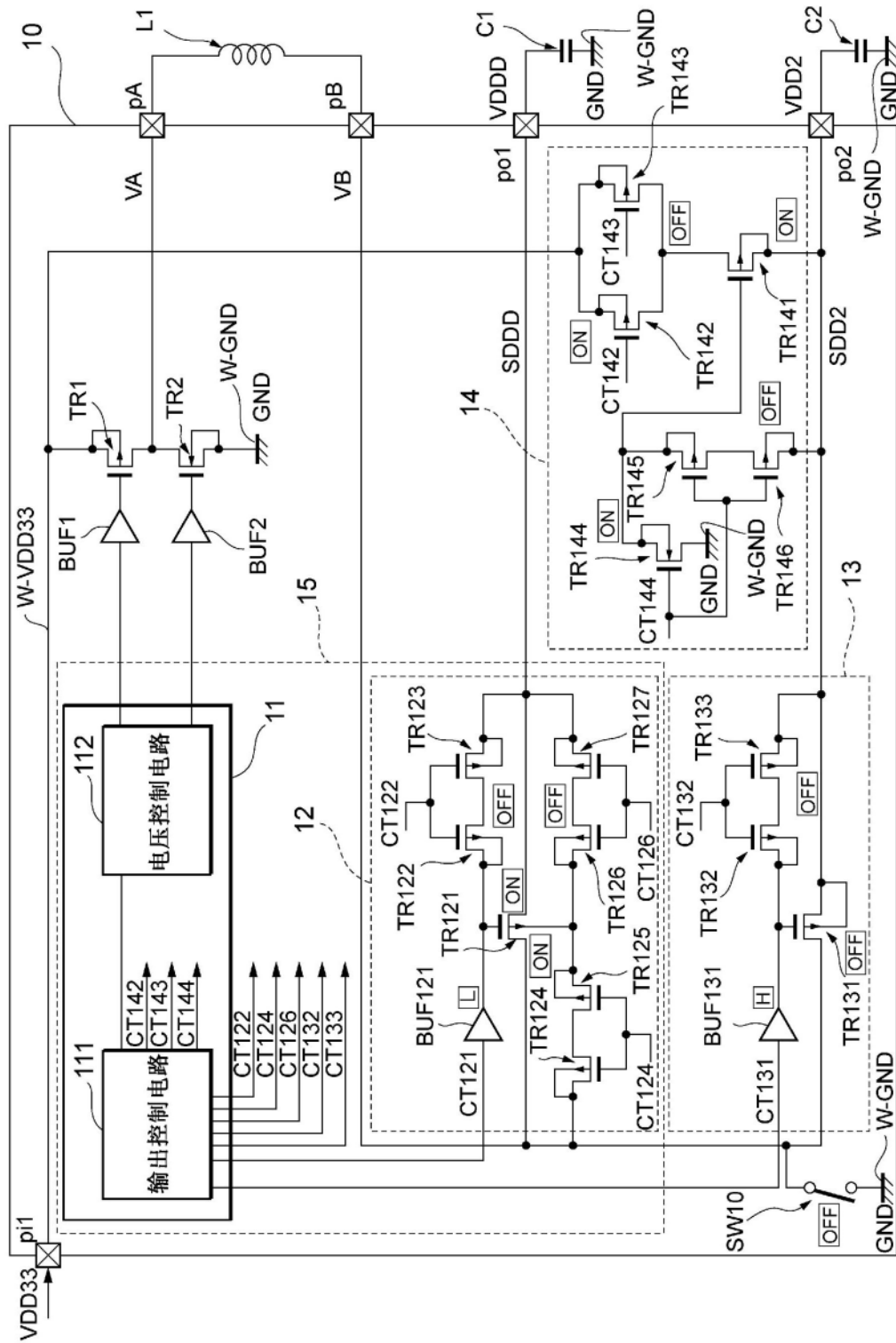


图5B

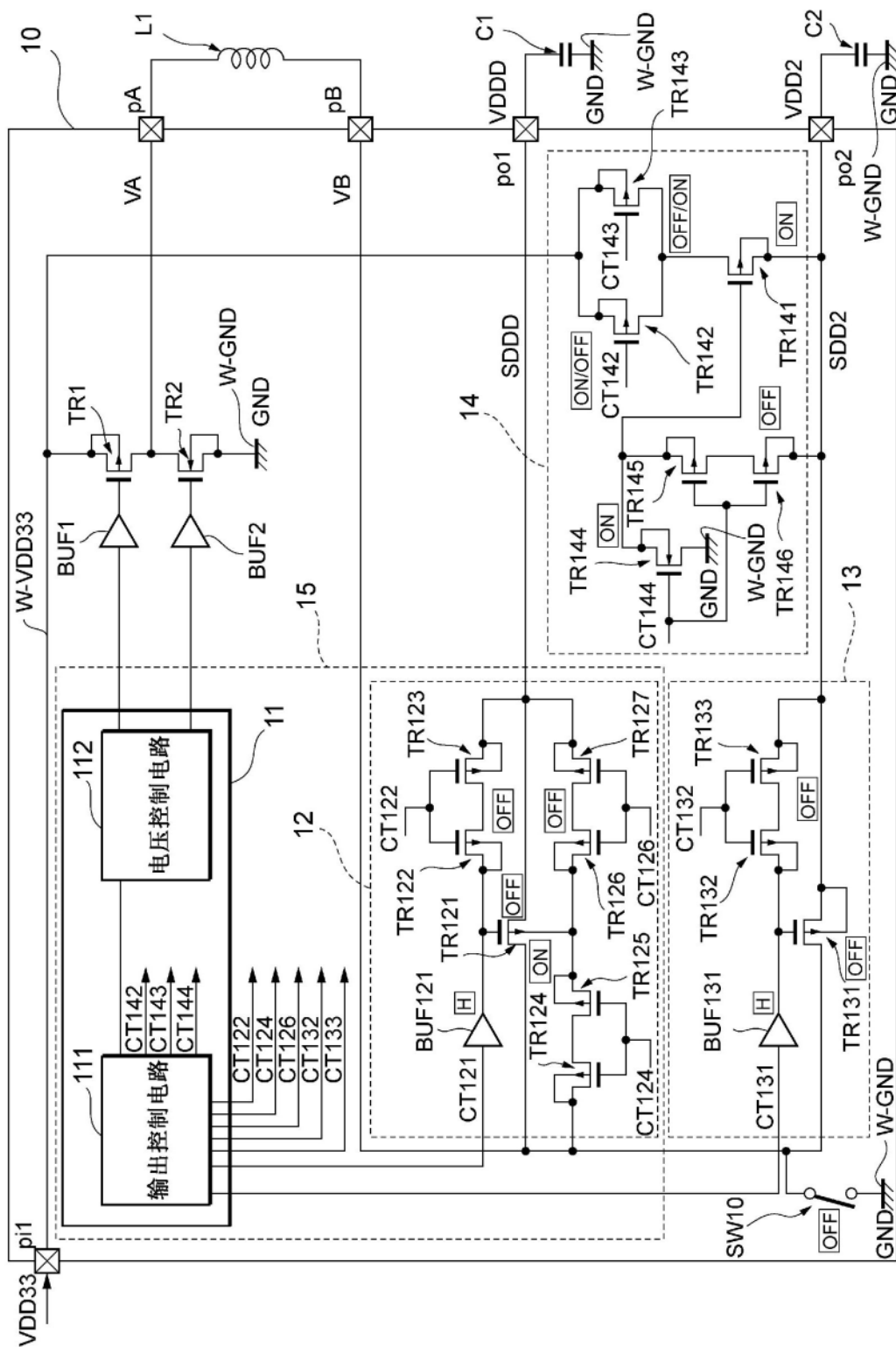


图5C

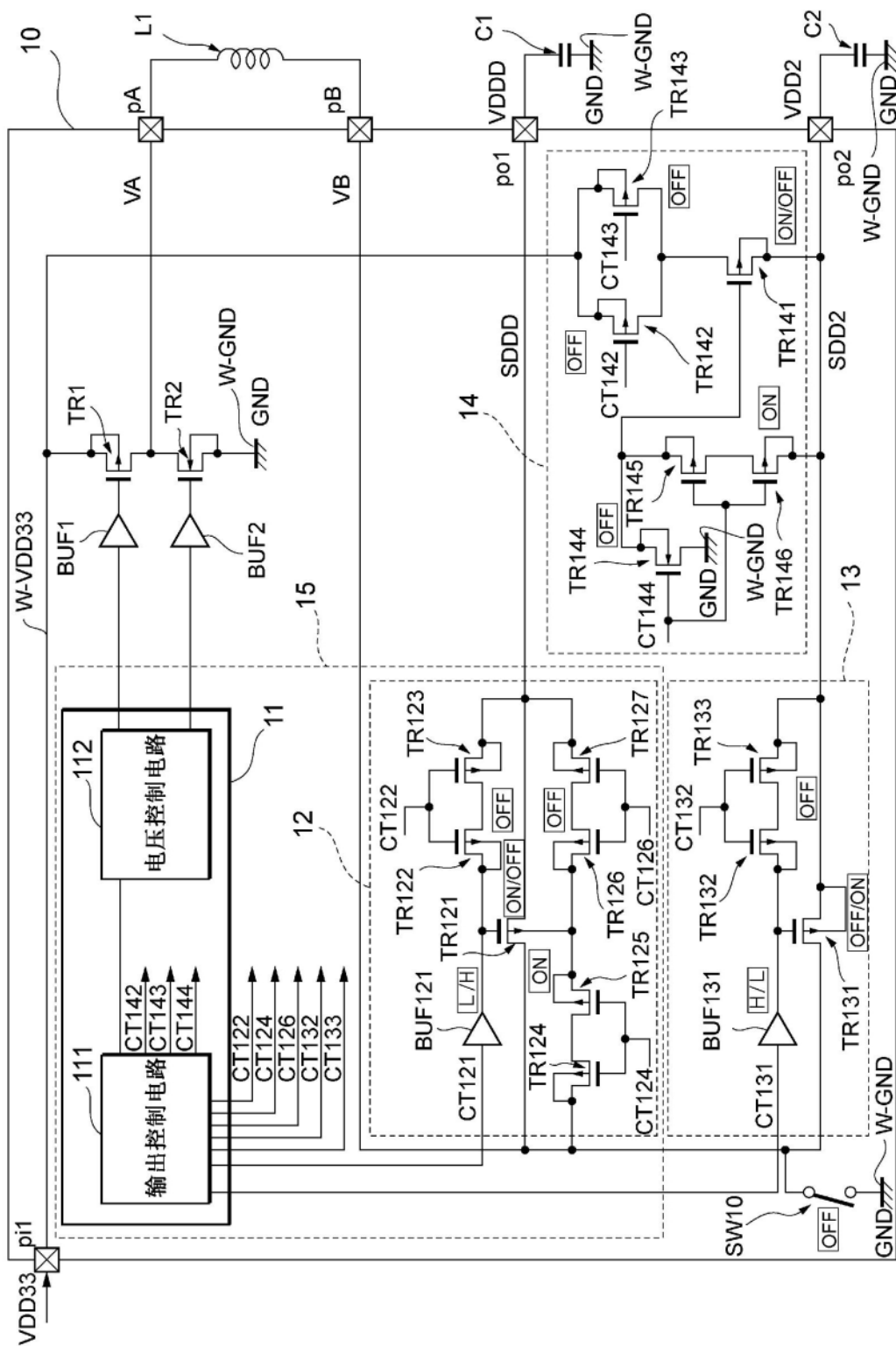


图5D

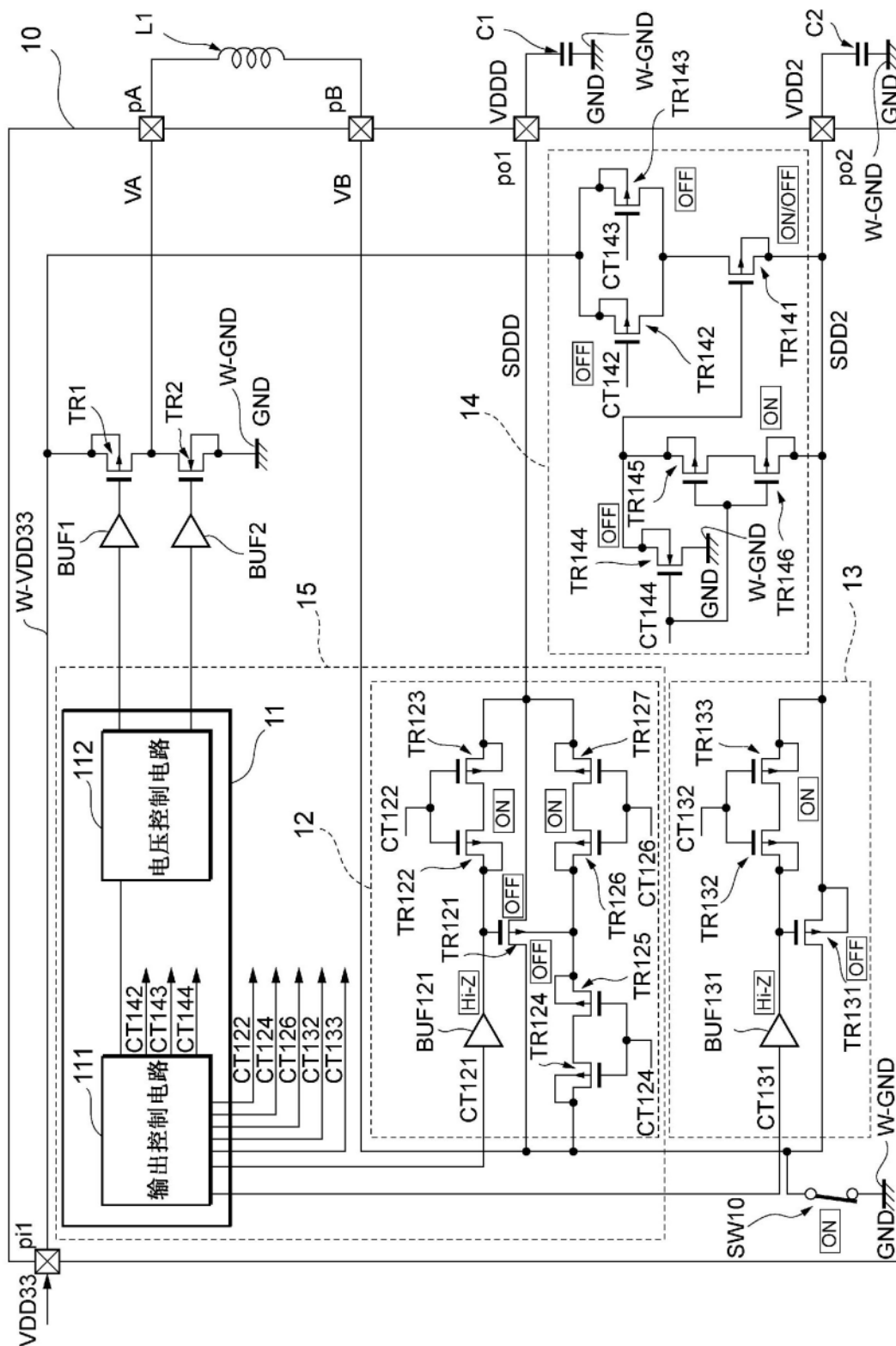


图5E

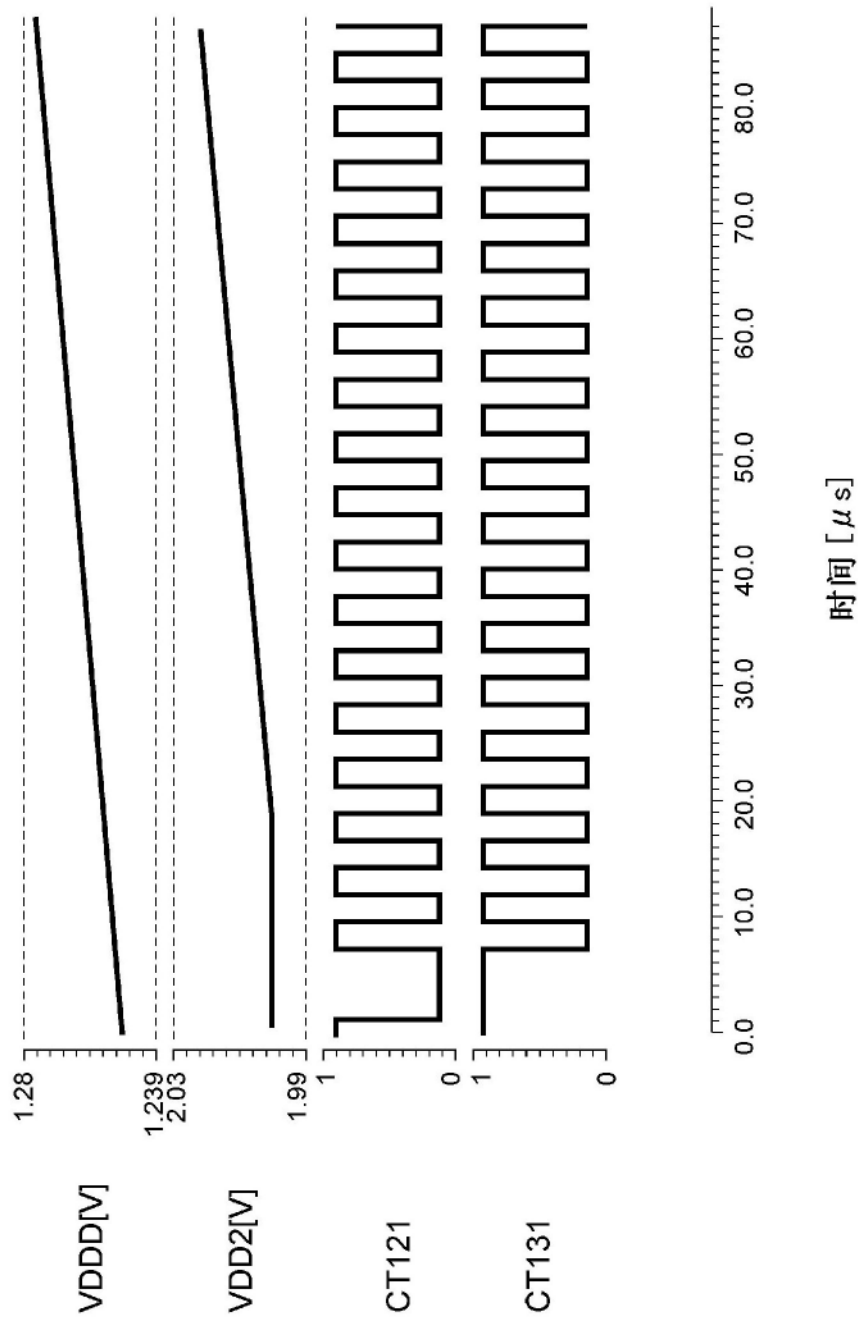


图6A

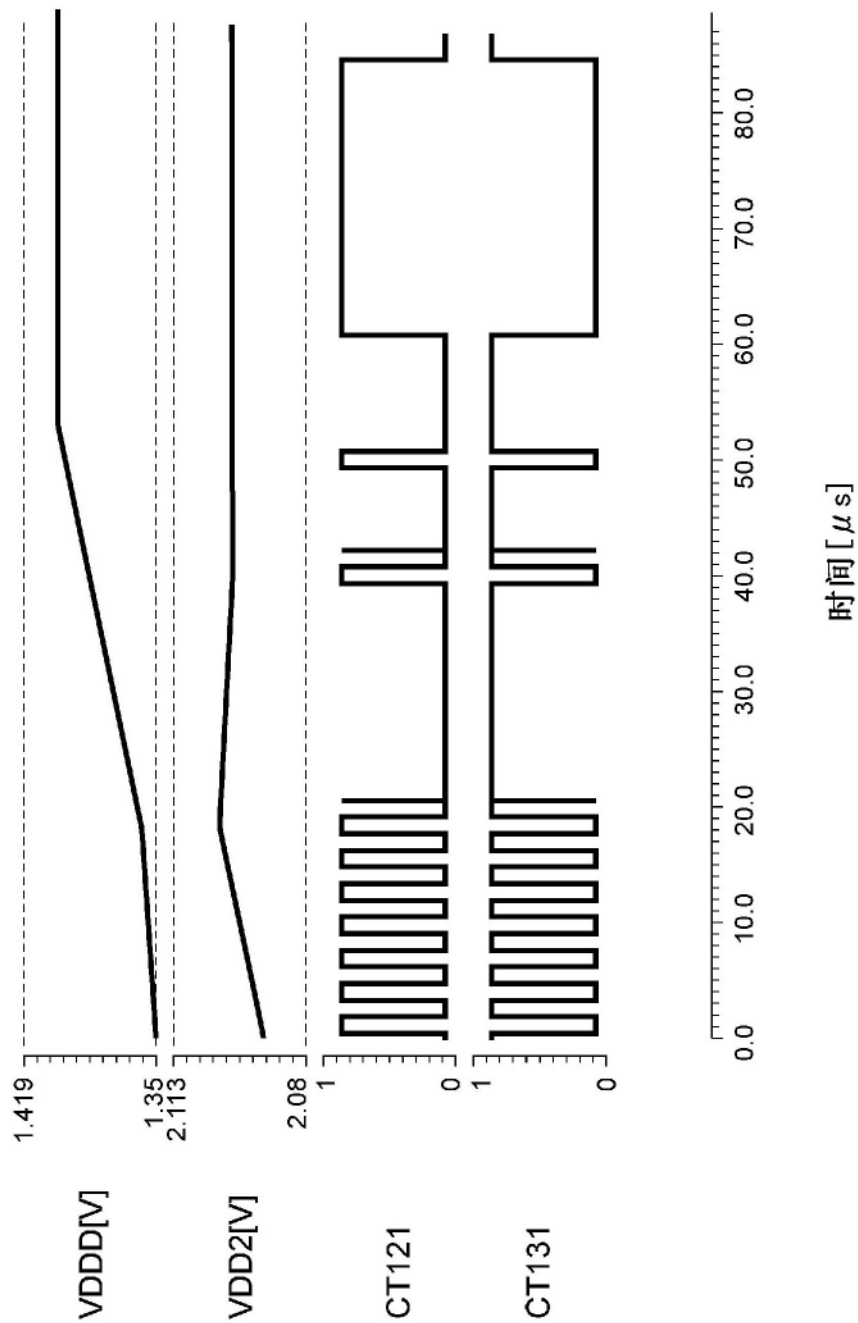


图6B

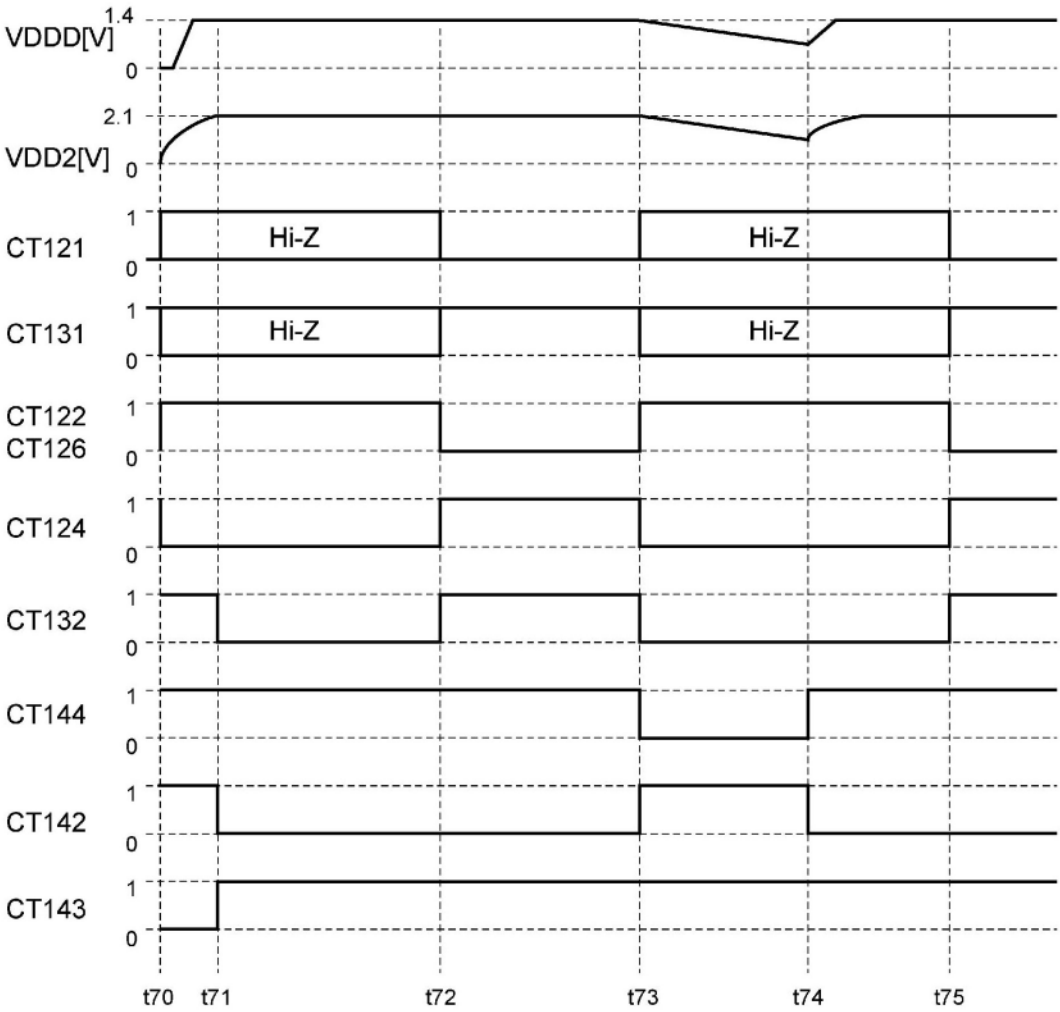


图7

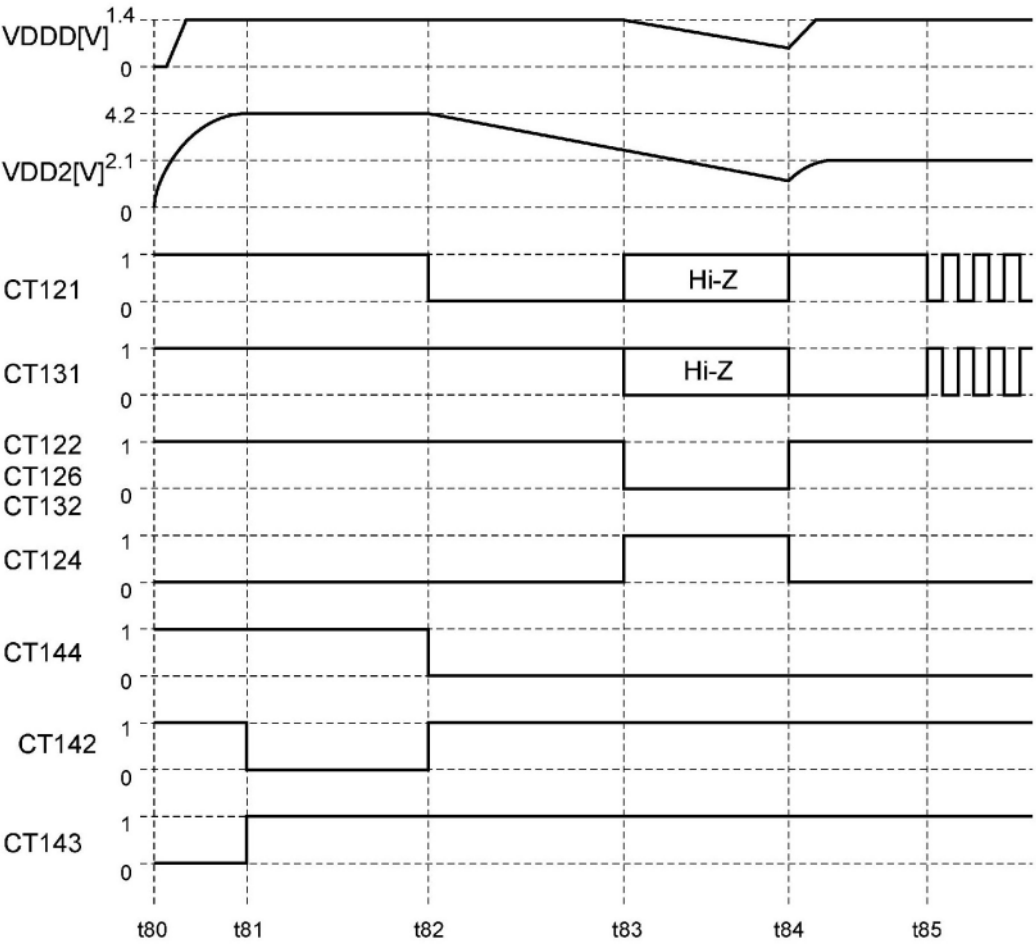


图8

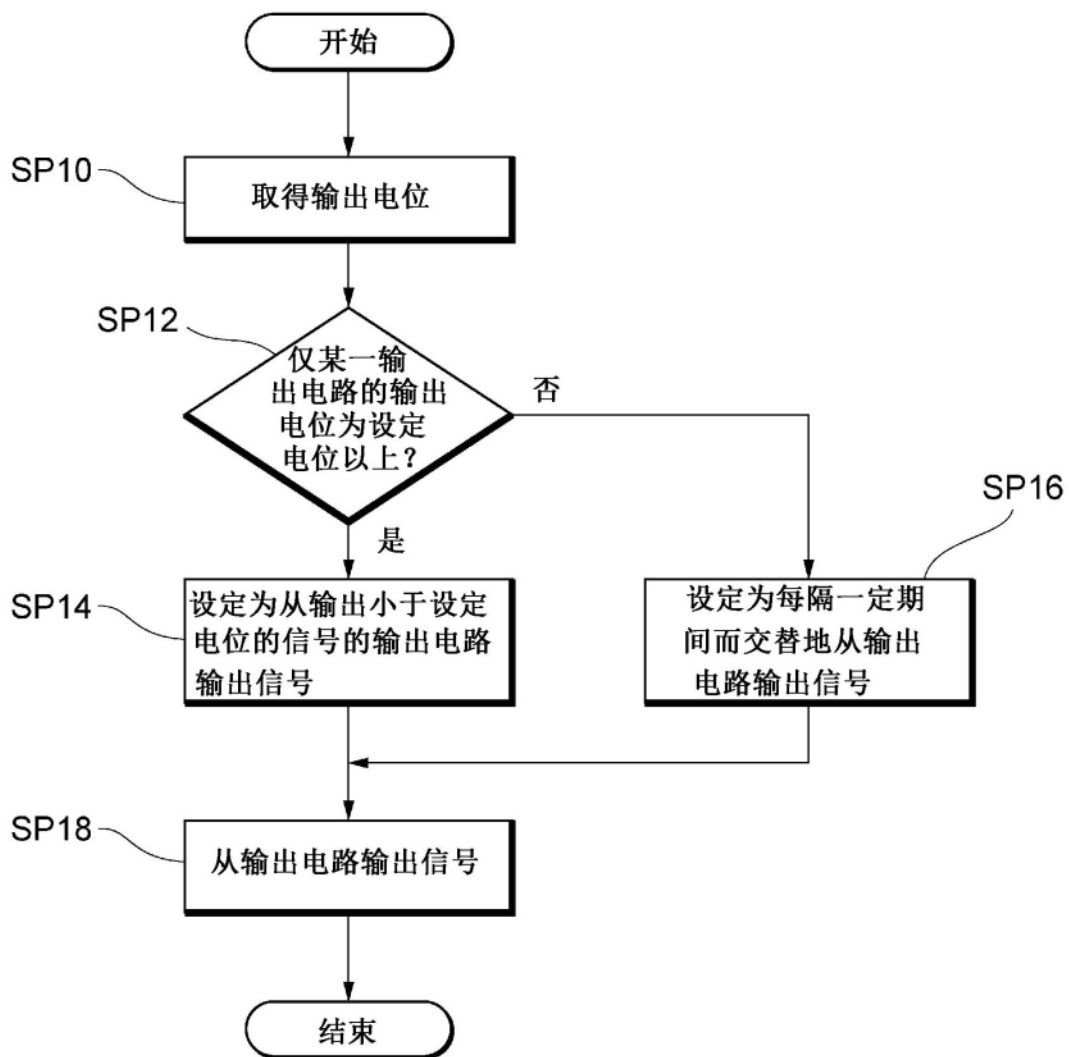


图9