

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4380792号
(P4380792)

(45) 発行日 平成21年12月9日 (2009. 12. 9)

(24) 登録日 平成21年10月2日 (2009. 10. 2)

(51) Int. Cl.	F I
HO 1 J 1/316 (2006. 01)	HO 1 J 1/30 E
HO 1 J 31/12 (2006. 01)	HO 1 J 31/12 C
HO 1 J 29/04 (2006. 01)	HO 1 J 29/04

請求項の数 9 (全 25 頁)

(21) 出願番号	特願2009-92090 (P2009-92090)	(73) 特許権者	000001007
(22) 出願日	平成21年4月6日 (2009. 4. 6)		キヤノン株式会社
(65) 公開番号	特開2009-272297 (P2009-272297A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成21年11月19日 (2009. 11. 19)	(74) 代理人	100096828
審査請求日	平成21年6月29日 (2009. 6. 29)		弁理士 渡辺 敬介
(31) 優先権主張番号	特願2008-102009 (P2008-102009)	(74) 代理人	100110870
(32) 優先日	平成20年4月10日 (2008. 4. 10)		弁理士 山口 芳広
(33) 優先権主張国	日本国 (JP)	(72) 発明者	塚本 健夫
早期審査対象出願			神奈川県平塚市田村9-22-5 SED
			株式会社内
		(72) 発明者	森口 拓人
			神奈川県平塚市田村9-22-5 SED
			株式会社内

最終頁に続く

(54) 【発明の名称】 電子線装置及びこれを用いた画像表示装置、電子放出素子

(57) 【特許請求の範囲】

【請求項 1】

絶縁部材と、前記絶縁部材の表面に配置されたカソードと、前記カソードの先端と対向して前記絶縁部材の表面に配置されたゲートと、前記ゲートを介在させて前記カソードの先端と対向配置されたアノードとを有する電子線装置であって、前記絶縁部材は、前記カソードの先端が位置する表面に凹部を有し、前記カソードの先端は前記絶縁部材の表面の凹部の縁から前記ゲートに向けて突起する突起部分を有しており、前記凹部の縁に沿った方向での前記突起部分の長さは、前記方向でのゲートの前記突起部分に対向する部分の長さよりも短いことを特徴とする電子線装置。

【請求項 2】

前記ゲートに対してカソードを複数有することを特徴とする請求項 1 に記載の電子線装置。

【請求項 3】

前記ゲートが、前記カソードの突起部分に対向する部分に突出部を有し、該突出部の突起部分に対向する部分の前記方向における長さが、前記突起部分の前記長さ以下であることを特徴とする請求項 1 又は 2 に記載の電子線装置。

【請求項 4】

前記ゲートの前記凹部に対向する部分は、絶縁層で覆われていることを特徴とする請求

項 1 乃至 3 のいずれかに記載の電子線装置。

【請求項 5】

請求項 1 乃至 4 のいずれかに記載の電子線装置と、前記アノードと積層して位置する発光部材とを有することを特徴とする画像表示装置。

【請求項 6】

絶縁部材と、

前記絶縁部材の表面に配置されたカソードと、

前記カソードの先端と対向して前記絶縁部材の表面に配置されたゲートとを有する電子放出素子であって、

前記絶縁部材は、前記カソードの先端が位置する表面に凹部を有しており、前記カソードの先端は前記絶縁部材の表面の凹部の縁から前記ゲートに向けて突起する突起部分を有し、前記凹部の縁に沿った方向での前記突起部分の長さは、前記方向でのゲートの前記突起部分に対向する部分の長さよりも短いことを特徴とする電子放出素子。

10

【請求項 7】

前記ゲートに対してカソードを複数有することを特徴とする請求項 6 に記載の電子放出素子。

【請求項 8】

前記ゲートが、前記カソードの突起部分に対向する部分に突出部を有し、該突出部の突起部分に対向する部分の前記方向における長さが、前記突起部分の前記長さ以下であることを特徴とする請求項 6 又は 7 に記載の電子放出素子。

20

【請求項 9】

前記ゲートの前記凹部に対向する部分は、絶縁層で覆われていることを特徴とする請求項 6 乃至 8 のいずれかに記載の電子放出素子。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、フラットパネルディスプレイに用いられる、電子を放出する電子放出素子を備えた電子線装置に関するものである。

【背景技術】

【0002】

30

従来より、カソードから出た電子の多数が対向するゲートに衝突、散乱した後に電子として取り出される電子放出素子が存在する。このような形態で電子を放出する素子として表面伝導型電子放出素子や積層型の電子放出素子が知られており、特許文献 1 には電子放出部のギャップが 5 nm 以下である、高効率電子放出素子の提案がなされている。また、特許文献 2 には積層型の電子放出素子が開示されており、高効率な電子放出を可能とする条件がゲート材料の厚さ、駆動電圧、絶縁層厚さの関数で与えられている。さらに、特許文献 3 には、積層型の電子放出素子であって、電子放出部近傍の絶縁層に凹部（リセス部）を設けた構成が開示されている。

【先行技術文献】

【特許文献】

40

【0003】

【特許文献 1】特開 2000-251643 号公報

【特許文献 2】特開 2001-229809 号公報

【特許文献 3】特開 2001-167693 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献 1 に開示された素子においては、形成されたギャップ内に複数の電子放出点が存在し、これにより、電子放出部での放電等が抑制され、長時間安定な電子放出素子を提供できるとしている。しかしながら、電子放出部での放電は抑制できても、電子放出点の

50

各点からの電子放出量が素子を駆動する駆動時間とともに増減するという課題は十分に解決されていない。また、ギャップ内の電子放出点の数が、電子放出素子の駆動時間とともにその数が増減するという現象も生じていた。

【0005】

また特許文献2の素子においても、前記と同様な現象は見つかっており、より安定な電子放出素子が望まれていた。

【0006】

さらに特許文献3の素子においては、電子放出効率は良いが、特性については、更なる向上が求められていた。

【0007】

本発明は上記の従来技術の課題を解決するためになされたもので、その目的とするところは、簡易な構成で電子放出効率が高く、安定して動作する電子放出素子を備えた電子線装置を提供することにある。

【課題を解決するための手段】

【0008】

本発明の第1は、絶縁部材と、
前記絶縁部材の表面に配置されたカソードと、
前記カソードの先端と対向して前記絶縁部材の表面に配置されたゲートと、
前記ゲートを介在させて前記カソードの先端と対向配置されたアノードとを有する電子線装置であって、

前記絶縁部材は、前記カソードの先端が位置する表面に凹部を有し、
前記カソードの先端は前記絶縁部材の表面の凹部の縁から前記ゲートに向けて突起する突起部分を有しており、前記凹部の縁に沿った方向での前記突起部分の長さは、前記方向でのゲートの前記突起部分に対向する部分の長さよりも短いことを特徴とする電子線装置である。

【0009】

本発明の電子線装置においては、
前記ゲートに対してカソードを複数有すること、
前記ゲートが、前記カソードの突起部分に対向する部分に突出部を有し、該突出部の突起部分に対向する部分の前記方向における長さが、前記突起部分の前記長さ以下であること、
前記ゲートの前記凹部に対向する部分は、絶縁層で覆われていること
を好ましい態様として含む。

【0010】

本発明の第2は、上記本発明の電子線装置と、前記アノードと積層して位置する発光部材とを有することを特徴とする画像表示装置である。

本発明の第3は、絶縁部材と、
前記絶縁部材の表面に配置されたカソードと、
前記カソードの先端と対向して前記絶縁部材の表面に配置されたゲートとを有する電子放出素子であって、
前記絶縁部材は、前記カソードの先端が位置する表面に凹部を有しており、前記カソードの先端は前記絶縁部材の表面の凹部の縁から前記ゲートに向けて突起する突起部分を有し、前記凹部の縁に沿った方向での前記突起部分の長さは、前記方向でのゲートの前記突起部分に対向する部分の長さよりも短いことを特徴とする電子放出素子である。

【発明の効果】

【0011】

本発明によれば、電子放出素子内に電界強度の増す部分（強い部分）を選択的に作ることができ、その結果、好ましい形態においては電子放出点の位置を容易に制御することができる。

【0012】

また、絶縁部材の凹部に露出するゲート表面を絶縁層で覆うことにより、放出された電子が該ゲートの表面に衝突してリーク電流となるのを防止することができ、電子放出効率をより高くすることができる。

【0013】

さらに、本発明において、ゲートに対してカソードを複数有する場合には、アノードに照射される電子ビームの形状制御が可能となり、より安定した電子放出動作が得られる。

【0014】

またさらに、カソードの突起部分よりも幅の短い突出部をゲートに設けることにより、放出電子を選択的に該突出部に衝突させるとともに、放出電子の衝突箇所を突出部の側面に集中させることができる。その結果、衝突後の電子は更なる衝突を起こすことなくアノードへと飛翔するため、さらに電子放出効率が向上する。

【0015】

よって本発明によれば、電子放出効率が高く、放出動作が安定した電子放出素子を備えた電子線装置が実現する。

【図面の簡単な説明】

【0016】

【図1】本発明の電子線装置の好ましい実施形態の電子放出素子の構成を模式的に示す図である。

【図2】本発明に係る電子放出素子の電子放出特性を測定する系を模式的に示す図である。

【図3】図1の電子放出素子の部分拡大模式図である。

【図4】本発明に係る電子放出素子に電圧を印加した場合の電界集中の様子を示す図である。

【図5】本発明に係る電子放出素子に電圧を印加した場合の電界集中の様子を示す図である。

【図6】本発明に係る電子放出素子における、ゲートとカソード間の距離とカソードの突起部分の最大電界点との関係を示す図である。

【図7】本発明に係る電子放出素子における、ゲートとカソード間の距離とカソードの突起部分の最大電界点との関係を示す図である。

【図8】本発明に係る電子放出素子における、ゲートとカソード間の距離とカソードの突起部分の最大電界点との関係を示す図である。

【図9】本発明における放出電子の散乱回数と、ゲートとカソード間の距離との関係を説明するための図である。

【図10】本発明に係る電子放出素子において、カソードの突起部分の作用を説明するための図である。

【図11】本発明の電子線装置を用いて構成される画像表示装置の一例の表示パネルの構成を示す斜視図である。

【図12】本発明の実施例におけるカソードの突起部分の断面形状を示す模式図である。

【図13-a】本発明に係る電子放出素子の製造工程を示す断面模式図である。

【図13-b】本発明に係る電子放出素子の製造工程を示す断面模式図である。

【図14】本発明に係る電子放出素子の他の構成例を示す図である。

【図15】本発明に係る電子放出素子の他の構成例を示す図である。

【図16】図15の電子放出素子の部分拡大模式図である。

【図17】図14の素子と図15の素子を組み合わせた構成を示す図である。

【図18】本発明の電子線装置の他の実施形態の電子放出素子の構成を模式的に示す図である。

【発明を実施するための形態】

【0017】

以下に図面を参照して、この発明の好適な実施の形態を例示的に詳しく説明する。但し、この実施の形態に記載されている構成部品の寸法、材質、形状、その相対配置などは、

10

20

30

40

50

特に特定の記載がない限りは、この発明の範囲をそれらのみに限定する趣旨のものではない。

【0018】

本発明は、電子放出素子内に電界強度の増す部分（強い部分）を選択的に作ることができ、その結果、好ましい形態においては電子放出部における電子放出点の位置制御を、単純な構成で実現し、かつ安定に動作されるように鋭意検討されたものである。

【0019】

最初に安定放出を可能とした本発明に係る電子放出素子の構成について、好ましい実施形態を挙げて説明する。

【0020】

本発明の電子線装置は、電子を放出する電子放出素子と、該電子放出素子から放出された電子が到達するアノードとを備えている。

【0021】

本発明に係る電子放出素子は、表面に凹部を有する絶縁部材と、該絶縁部材の表面に位置するゲート及びカソードとを備えている。そして、カソードは該凹部の縁からゲートに向かって突起する突起部分を有し、該突起部分が前記ゲートと対向するように位置している。さらに、該突起部分の凹部の縁に沿った方向の長さは、ゲートの該突起部分に対向する部分の該方向における長さよりも短く形成されている。アノードは、ゲートを介在させて該突起部分と対向配置されている。

【0022】

図1（A）は本発明の好ましい実施形態の電子放出素子の構成を模式的に示す平面模式図であり、図1（B）は図1（A）におけるA-A'線での断面模式図である。また、図1（C）は図1（A）において素子を紙面右側から見た側面図である。

【0023】

図1中、1は基板、2は電極、3は絶縁部材であって、絶縁層3aと3bの積層体からなる。5はゲート、6はカソードであって電極2に電氣的に接続されている。7は絶縁部材3の凹部であって、本例では絶縁層3bの側面のみを絶縁層3aよりも内側に凹ませて形成している。8は電子放出に必要な電界が形成される間隙（カソード6の先端からゲート5の底面までの最短距離）である。

【0024】

本発明に係る電子放出素子においては、図1に示すように、ゲート5が絶縁部材3の表面（本例では上面）に形成されている。一方、カソード6も絶縁部材3の表面（本例では側面）に形成され、凹部7を挟んでゲート5に対向する側に凹部7の縁からゲート5に向かって突起する突起部分を有している。よって、カソード6は該突起部分において、間隙8を介してゲート5と対向している。尚、本発明においては、カソード6はゲート5よりも低電位に規定される。また、図1では不図示であるが、ゲート5を介して（介在させて）カソード6と対向する位置には、これらよりも高電位に規定されたアノードを有している（図2の20）。

【0025】

図2に、本発明に係る素子の電子放出特性を測定する時の電源の供給配置を示す。図2に示すように、本発明の電子線装置においては、ゲート5を介在させて、アノード20をカソード6の突起部分に対向配置させる。本例においては、絶縁部材3が基板1上に配置しているため、アノード20は該基板1の絶縁部材3が配置している側に、該基板1に対向して配置されているとも言える。

【0026】

図2において、 V_f は素子のゲート5とカソード6の間に印加される電圧、 I_f はこの時流れる素子電流、 V_a はカソード6とアノード20の間に印加される電圧、 I_e は電子放出電流である。

【0027】

ここで、電子放出効率 η とは素子に電圧を印加した時に検出される電流 I_f と真空中に

10

20

30

40

50

取り出される電流 I_e を用いて、一般には効率 $\eta = I_e / (I_f + I_e)$ で与えられる。

【0028】

図1の電子放出素子のゲート5とカソード6の対向部位の拡大模式図を図3に示す。図3において、5a, 5bはゲート5のそれぞれ底面、側面を表し、6a, 6b, 6c, 6dはカソード6の突起部分を面要素に分解した場合の各面を表している。

【0029】

図2に示したように本発明の素子に電圧 V_f を印加した場合の電界集中の様子を図4、図5を用いてさらに詳しく説明する。

【0030】

図4、図5は図1におけるA-A'断面の凹部7の拡大図であり、破線12, 13はこの凹部7に形成される電気力線を模式的に示している。電界の強弱はこの電気力線12, 13の密度により決定され、電気力線の密度が高いほど電界が強い。尚、後述の図5(D)を含め、図4乃至図5(D)には便宜的に二次元的な真空領域に形成される電気力線しか示していないが、実際は電気力線は三次元的に形成され、さらに絶縁部材3の中にも電気力線が広がっている。

10

【0031】

図4(A)は凹部7内にカソード6の突起部分が存在する場合の電気力線の様子を示し、図4(B)は従来例に見られるように凹部7内にカソード6の突起部分が無い場合の電気力線を示す。

【0032】

20

図4(A)に示したように電気力線13は凹部7内に形成された突起部分に向かって曲がることで突起部分先端に電気力線の密度が増えるため、凹部7内に形成される電界としては突起部分先端の電界が一番強くなる($E_{\max-A}$)。一方、図4(B)では凹部7内は直線状の電気力線12が形成される。

【0033】

さらに図4(A)ではhで示したように突起部分が凹部7の縁から凹部7内に向かって突起した形状となっている。そのため、図4(A)と図4(B)で同じ厚さT2の絶縁層3bを用いた(=凹部7の高さが同じ)としても、突起部分の高さhの存在によりカソード6先端からゲート5までの距離が異なるため $E_{\max-A} > E_{\max-B}$ となる。

【0034】

30

次に、凹部7の縁に沿った方向のカソード6の突起部分の長さ(以下、幅と記す)T4と、ゲート5の該突起部分に対向する部分の該方向における長さ(以下、幅と記す)T5の大小関係と形成される電気力線との関係を図5に示す。尚、電気力線はカソード6の幅方向中心で対称に形成されるため、図5においては便宜的に片側だけ示している。

【0035】

図5(A)は $T_4 < T_5$ の場合の電気力線を示す。電気力線はカソード6の突起部分の幅方向端部に向かって曲がることで該端部に電気力線13の密度が増えるため該端部の電界が電界としては一番強くなる($E_{\max-A}$)。

【0036】

図5(B)は T_4 と T_5 がほぼ同じ大きさの場合の電気力線を示す。この場合、電気力線13はカソード6の突起部分の幅方向端部に向かって曲がるため、該端部に電界が集中する($E_{\max-B}$)。しかしながら、ゲート5からの電気力線13の密度としては図5(A)よりも低く、 $E_{\max-A} > E_{\max-B}$ となる。

40

【0037】

図5(C)は $T_4 > T_5$ の場合の電気力線を示す。この場合はもはやカソード6の突起部分の幅方向端部に電気力線が集中することは無いため電界最大の場所が該端部には形成されない。

【0038】

以上説明した電界集中により本発明に係る素子の電子放出を図3を用いて順に説明する。

50

【0039】

ここで、T1はゲート5の厚さ、T2は絶縁層3bの厚さ（＝凹部7の高さ）、T3は絶縁層3aの厚さ（＝基板1表面から凹部7の縁までの高さ）を示す。

【0040】

図3の素子に電圧Vfを印加すると、図3におけるカソード6とゲート5との間に電界が形成される。この時、カソード6の凹部7側の端部が略楔形状であり、凹部7の縁よりも凹部7側に突起して突起部分を形成している場合、カソード6の面要素6a乃至6d各面が交わる点、即ちA点或いはC点近傍に電界最大の点が形成される。A、C点に次いで、面要素6cと6dが交差する線Bの近傍の電界が高くなる。

【0041】

電界の強弱はこの電界のゲート5から出る電気力線がどの程度カソード6の突起部分に集中するかどうかで決まる。これまでの検討の結果、カソード6に形成されるA点或いはC点の電界は、カソード6の幅T4よりゲート5の幅T5が広い場合ほど大きな値となる。望ましい大きさとしては、例えば $T5/T4 > 1.5$ 程度である。また、後述するように、ゲート5に対してカソード6を複数設ける場合、各カソード間の距離は少なくともT2の2倍以上離すことが電界集中の観点から好ましく、T3以上離すことが望ましい。

【0042】

ここまで、最大電界A、C点とそれ以外の場所Bの電界に違いがあることを述べた。この違いについて詳細に検討した結果、この違いはゲート5とカソード6間の距離（間隙8の大きさ）により変化することが分かっている。この距離依存について図6乃至図8を用いて説明する。

【0043】

図6と図7では凹部7内に形成されたカソード6の突起部分の高さhが互いに異なる場合を示している。ここで $h1 < h2$ 、従って $d1 > d2$ である。ここでカソード6とゲート5間の距離d1、d2はカソード6の突起部分に形成される最大電界点から見たゲート5までの最短距離と定義する。またカソード6の最大電界点はゲート5の端から基板表面に平行な方向においてδで示される距離を持って配置されている。

【0044】

図6（B）、図7（B）におけるカソード6の電気力線は図5（A）、図5（D）それぞれ対応するような電気力線が生じる。即ち、カソード6とゲート5が極端に近づいた場合には図5（D）に示す電気力線13のように、カソード6の突起部分の幅方向端部に電気力線13が集中しなくなる。言い換えれば、電界は突起部分に集まる電気力線の密度よりも、カソード6とゲート5との距離d2によって形成される電気力線の密度が同じか或いはそれ以上の密度となるため、形成される電界は形状よりも係る距離d2に支配されることを示している。換言すると、d2の大きさによっては、先に図4、5を用いて述べた、形状による電界集中効果が現れないことが分かってきた。

【0045】

この関係を示したのが図8のグラフである。尚、本計算では本発明の効果が現れる構成即ち図3においてT1：20nm、T2：20nm、T3：500nm、T4：4000nm、T5：8000nm、h：5nm（図4参照）の値を用いた。

【0046】

図8において、横軸はカソード6とゲート5間の距離d（図6（A）のd1、図7（B）のd2）を示し、縦軸はカソード6の突起部分の各位置での電界を表している。図8において、実線はカソード6の突起部分の幅方向両端部（図6、7のA、C、D、F）に形成される電界が距離dにより変化する様子を示す。また、破線はカソード6の突起部分の幅方向中心（図6、7のB、E）の電界が距離dにより変化する様子を示す。尚、この計算では材料の持つ物性、例えば仕事関数、比抵抗などは無関係（厳密にはゲート材料とカソード材料の仕事関数差は電界に若干関与する）であり、単純には二つの電極層の形状と距離によって決まることが分かっている。

【0047】

図 8 より、距離 d が小さくなるにつれて図 3 における A, C 点と B 点との間に形成される電界がほとんど違いがなくなることが示されている。尚、このグラフの典型的な値を表 1 に示す。

【0048】

【表 1】

d (nm)	$E_{\max}$ (V/cm)	E_c (V/cm)
3	8.63×10^7	8.37×10^7
10	3.25×10^7	2.76×10^7
15	2.36×10^7	1.57×10^7

10

【0049】

表 1 の数値から明らかなように、距離 d が 3 nm 程度の場合は、A, C 点と B 点との電界強度の差（図 7 の D, F 点と E 点との電界強度の差）は 3 % 程度しかないが、距離 d を広げることで電界強度の差を 10 % 以上取れることが判明した。

【0050】

上述した一つのカソード 6 の突起部分に電界強度差が生じる場合の、好ましい形態における電子放出位置について説明する。

【0051】

20

図 5 で示したようにカソード 6 とゲート 5 の距離 d を適切な距離に保つ条件でカソード 6 とゲート 5 間に電圧を印加すると、同一のカソード 6 の中で電界強度差が生じる。ファウラーノルドハイムの式で示される電界によって電子放出を生じさせた場合、生じた電界差によって電子放出は、カソード 6 の突起部分の幅方向端部からより多く電子放出させることができる。一方、幅方向中心からは僅かな放出とさせることができる。この結果、電子放出点を該突起部分の幅方向端部に固定させることが可能となった。尚、カソード 6 からの電子放出は一部はそのままアノードに向かい、一部はゲート 5 の側面や底面に衝突する。

【0052】

この距離 d と電子放出量について F E E M（市販の P E E M（光電子顕微鏡）装置を用いて電子放出部を電子レンズで拡大しながら電子放出量を光学的に計測する手法）を用いて詳細に調べた。その結果、およそ 6 nm 以上の距離 d をとることで明確に電子放出部を突起部分の幅方向端部に形成することができた。解析の結果、中心部と端部の電子放出量の差は 1 桁以上取れることが分かった。しかしこれよりも狭い距離 d に形成すると電子放出部は中心付近にも形成され、さらに距離 d が 3 nm 程度では突起部分の幅方向においてランダムに電子放出点が観測され、放出位置の区別は明確にできなかった。

30

【0053】

これらの実験結果から、電子放出点を突起部分の幅方向端部に形成できる好ましい条件としての距離 d の下限は、およそ 6 nm 以上必要であり、望ましくは 10 nm 以上である。

40

【0054】

以上説明したように、カソード 6 の突起部分の幅方向端部に安定して電界集中するため以下に以下の要件が必要であることが判明した。

〔1〕カソード 6 の幅よりもゲート 5 の幅が広い。

〔2〕カソード 6 は凹部 7 内に突起する突起部分を有し、該突起部分の先端は凹部 7 の縁よりもゲート 5 側に形成される。

【0055】

この結果、好ましい形態においては、電子放出部における電子放出点の位置制御を単純な構成で実現できる。

【0056】

50

また、後述するように、ゲート6に突出部を有する構成の電子放出素子においては、dが6nm以下の場合においても効率向上の効果が確認されており、この詳細については後述する。

【0057】

次に、上述のようにして放出された電子の軌道について説明する。

【0058】

(電子放出における散乱の説明)

図3においてカソード6の突起部分の先端から対向するゲート5に向かって放出された電子は、ゲート5の先端部で等方的に散乱し、一部は衝突することなく外部に引き出される。多くはゲート5の側面5bで散乱し、ゲート5の底面5aでも散乱する。電子がどの面

10

【0059】

ゲート5で散乱された電子の多くは、前述の通り、ゲート5で数回の弾性散乱(多重散乱)を繰り返すが、ゲート5の上部では電子が散乱できずにアノード側に飛び出す。

【0060】

前述のように、効率の向上には、電子のゲート5での散乱回数(落下の回数)を減少するような構成で実現されることは明らかである。

【0061】

20

散乱回数、距離について図9を用いて説明する。

【0062】

本素子の電位はカソード6とゲート5との間隙8を挟んで、ゲート側電位(高電位)とカソード側電位(低電位)とからなる。図中、S1、S2、S3は、素子の各電位から決定されるおのおのの領域長であり、単なる電極厚さ、絶縁層厚さなどとは異なるものである。

【0063】

本発明に係る素子のカソード6とゲート5との間に電圧Vfを印加すると、カソード6の突起部分の先端から対向する高電位のゲート5に電子が放出され、該電子がゲート5の先端部で等方的に散乱する。ゲート5の先端部から放出された電子の多くは、従来と同様に、ゲート5で弾性散乱が1回から数回にわたって繰り返される。

30

【0064】

本発明においては、アノード20と素子間の駆動電圧で構成される空間電位分布が従来とは異なるため、放出された電子のうちの一部は、ゲート5で散乱することなく、ゲート5の上部に到達し、そのままアノード20へと到達する。このように、ゲート5で散乱されない電子は、電子放出効率向上にとって重要である。

【0065】

本発明の場合、主として距離S1で電子放出効率が決定される。さらに、S1が1回目の散乱までの最大飛翔距離未満となることで、散乱なしの電子が存在する。

【0066】

40

本構成において、散乱の挙動の詳細な検討を行った。その結果、ゲート5に用いた材料の仕事関数φwkと駆動電圧Vfの関数として、さらに、S1、S3の距離の関数即ち、電子放出部近傍の形状の効果により、電子放出効率向上が可能となる領域が存在することが明らかになった。

【0067】

解析的な検討の結果、S1_{max}(図3ではT1)に関しての以下の式(1)が導かれる。

【0068】

$$S1_{\max} = A \times \exp \{ B \times (qVf - \phi_{wk}) / qVf \} \quad (1)$$

$$A = -0.78 + 0.87 \times \log(S3)$$

50

$B = 8.7$

【0069】

ここで、 $S1$ 、 $S3$ は距離（nm）、 ϕ_{wk} はゲート5の仕事関数の値（単位はeV）、 V_f は駆動電圧（V）、 A は $S3$ の関数、 B は定数、 q は素電荷である。

【0070】

これまで説明したように電子放出効率には、散乱に関わるパラメータとして $S1$ が重要であり、 $S1$ を（1）式の範囲に設定すれば、著しく効率向上の効果が得られることがわかった。

【0071】

ここでさらに凹部7内の突起形状についての特徴とその望ましい形態について述べる。

10

【0072】

図10（A）は図1（B）の凹部7付近の拡大図、図10（B）はさらにカソード6の突起部分を拡大した断面模式図である。

【0073】

突起部分の先端部を拡大すると、その先端部は曲率半径 r で代表される突起形状が存在する。この曲率半径 r により突起部分の先端部の電界強度が異なる。 r が小さいほど電気力線の集中が生じるため突起部分先端に高い電界を形成することが可能となる。従って突起部分先端の電界を一定とした場合、即ち駆動電界を一定とした場合、曲率半径 r が相対的に小さい場合には距離 d が大きく、 r が相対的に大きい場合は距離 d が小さな値となる。 d の違いは散乱回数の違いとなって現れるため、 r が小さく、距離 d が大きいほど電子放出効率が高い素子構成とすることが可能となる。これについて図10（C）を用いて説明する。

20

【0074】

ここでは横軸に突起部分先端の曲率半径 r をとり、縦軸にカソード6とゲート5間の距離 d を示している。

【0075】

尚、図10（C）においては図8と同じモデルを用いて計算している。得られる突起部分先端の電界を一定にして、曲率半径 r と距離 d の関係を示したのが図10（C）である。この計算例では曲率半径 r が1nmの場合は距離 d を15nmに離すことが可能であり、曲率半径 r が10nmでは距離 d が3nmとなることが示されている。

30

【0076】

このことは換言すると、カソード6の突起部分の先端の形状効果によって、電子放出効率が増加するので、電子放出効率が一定条件においては、上述の式（1）の $S1$ を大きく設定できることになる。このことは、ゲート5の構造を強固なものとしえるので、長時間の駆動に耐えうる安定した素子を提供できる。

【0077】

尚、製法にもよるが、カソード6の突起部分の形状は図10（B）で示されるように凹部7内に距離 x をもって入り込む形で形成される場合もある。このような形状はカソード6の形成方法に依存し、EB蒸着等においては蒸着時の角度、時間だけでなく $T1$ 、 $T2$ で示される厚さがパラメータとなる。またスパッタ形成方法では一般に回り込みが大きいため形状制御が難しい。このためスパッタ圧力、ガス種を選択した上、基板に移動方向だけでなく特殊な粒子付着機構が必要である。

40

【0078】

以上述べた本発明に係る電子放出素子の製造方法について、図13-a、図13-bを参照して説明する。

【0079】

基板1は素子を機械的に支えるための絶縁性基板であり、石英ガラス、Na等の不純物含有量を減少させたガラス、青板ガラス及び、シリコン基板である。基板1に必要な機能としては、機械的強度が高いだけでなく、ドライ或いはウェットエッチング、現像液等のアルカリや酸に対して耐性があり、ディスプレイパネルのような一体ものとして用いる場

50

合は成膜材料や他の積層部材と熱膨張差が小さいものが望ましい。また熱処理に伴いガラス内部からのアルカリ元素等が拡散しづらい材料が望ましい。

【0080】

先ず最初に、図13-aの(A)に示すように基板1上に絶縁層3aとなる絶縁層73、絶縁層3bとなる絶縁層74及びゲート5となる導電層75を積層する。絶縁層73、74は、加工性に優れる材料からなる絶縁性の膜であり、例えば SiN (Si_xN_y) や SiO_2 であり、その作製方法はスパッタ法等の一般的な真空成膜法、CVD法、真空蒸着法で形成される。絶縁層73、74の厚さとしては、それぞれ5nm乃至50 μm の範囲で設定され、好ましくは50nm乃至500nmの範囲で選択される。尚、絶縁層73と74を積層した後に凹部7を形成する必要があるため、絶縁層73と絶縁層74とはエッチングに対して異なるエッチング量を持つように設定されなければならない。望ましくは絶縁層73と絶縁層74とのエッチング量の比(選択比)は10以上が望ましく、できれば50以上とれることが望ましい。具体的には、例えば、絶縁層73には Si_xN_y を用い、絶縁層74には SiO_2 等の絶縁性材料を用いる、或いはリン濃度の高いPSG、ホウ素濃度の高いBSG膜等を用いることができる。

10

【0081】

導電層75は、蒸着法、スパッタ法等の一般的真空成膜技術により形成されるものである。導電層75としては、導電性に加えて高い熱伝導率があり、融点が高い材料が望ましい。例えば、Be, Mg, Ti, Zr, Hf, V, Nb, Ta, Mo, W, Al, Cu, Ni, Cr, Au, Pt, Pd等の金属または合金材料、TiC, ZrC, HfC, TaC, SiC, WC等の炭化物が挙げられる。また、 HfB_2 , ZrB_2 , CeB_6 , YB_4 , GdB_4 等の硼化物、TiN, ZrN, HfN, TaN等の窒化物、Si, Ge等の半導体、有機高分子材料も挙げられる。さらに、アモルファスカーボン、グラファイト、ダイヤモンドライクカーボン、ダイヤモンドを分散した炭素及び炭素化合物等も挙げられ、これらの中から適宜選択される。

20

【0082】

また、導電層75の厚さとしては、5nm乃至500nmの範囲で設定され、好ましくは50nm乃至500nmの範囲で選択される。

【0083】

次に、図13-aの(B)に示すように、積層の後にフォトリソグラフィ技術により導電層75上にレジストパターンを形成した後、エッチング手法を用いて導電層75、絶縁層74、絶縁層73を順次加工する。これにより、ゲート5と、絶縁層3b及び絶縁層3aからなる絶縁部材3が得られる。

30

【0084】

このようなエッチング加工では一般的にエッチングガスをプラズマ化して材料に照射することで材料の精密なエッチング加工が可能なRIE(Reactive Ion Etching)が用いられる。この時の加工ガスとしては、加工する対象部材がフッ化物を作る場合は CF_4 、 CHF_3 、 SF_6 のフッ素系ガスが選ばれる。またSiやAlのように塩化物を形成する場合は Cl_2 、 BCl_3 などの塩素系ガスが選ばれる。またレジストとの選択比を取るため、エッチング面の平滑性の確保或いはエッチングスピードを上げるために水素や酸素、アルゴンガスなどが随時添加される。

40

【0085】

図13-aの(C)に示すようにエッチング手法を用いて、積層体の一側面において絶縁層3bの側面のみを一部除去し、凹部7を形成する。

【0086】

エッチングの手法は例えば絶縁層3bが SiO_2 からなる材料であれば通称バッファーフッ酸(BHF)と呼ばれるフッ化アンモニウムとフッ酸との混合溶液を用いることができる。また、絶縁層3bが Si_xN_y からなる材料であれば熱リン酸系エッチング液でエッチングすることが可能である。

【0087】

50

凹部 7 の深さ T 6、即ち凹部 7 における絶縁層 3 b の側面と絶縁層 3 a 及びゲート 5 の側面との距離は、素子形成後のリーク電流に深く関わり、深く形成するほどリーク電流の値が小さくなる。しかしながら、凹部 7 を深く形成しすぎるとゲート 5 が変形する等の課題が発生するため、30 nm 乃至 200 nm 程度で形成される。

【0088】

尚、本例では、絶縁部材 3 を絶縁層 3 a と 3 b の積層体とした形態を示したが、本発明ではこれに限定されるものではなく、一層の絶縁層の一部を除去することで凹部 7 を形成してもかまわない。

【0089】

次に、図 13-b の (D) に示すようにゲート 5 表面に剥離層 8 1 を形成する。剥離層の形成は、次の工程で堆積するカソード材料 8 2 をゲート 5 から剥離することが目的である。このような目的のため、例えばゲート 5 を酸化させて酸化膜を形成する、或いは電解メッキにて剥離金属を付着させるなどの方法によって剥離層 8 1 が形成される。

【0090】

図 13-b (E) に示すようにカソード 6 を構成するカソード材料 8 2 を基板 1 上及び絶縁部材 3 の側面に付着させる。この時、カソード材料 8 2 がゲート 5 上にも付着する。

【0091】

カソード材料 8 2 としては導電性があり、電界放出する材料であればよく、一般的には 2000℃ 以上の高融点、5 eV 以下の仕事関数材料であり、酸化物等の化学反応層の形成しづらい、或いは簡易に反応層を除去可能な材料が好ましい。このような材料として例えば、Hf, V, Nb, Ta, Mo, W, Au, Pt, Pd 等の金属または合金材料、TiC, ZrC, HfC, TaC, SiC, WC 等の炭化物、HfB₂, ZrB₂, CeB₆, YB₄, Gd₂B₄ 等の硼化物が挙げられる。また、TiN, ZrN, HfN, TaN 等の窒化物、アモルファスカーボン、グラファイト、ダイヤモンドライクカーボン、ダイヤモンドを分散した炭素及び炭素化合物等が挙げられる。

【0092】

カソード材料 8 2 の堆積方法としては蒸着法、スパッタ法等の一般的真空成膜技術が用いられ、EB 蒸着が好ましく用いられる。

【0093】

前述したように、本発明においては効率良く電子を取り出すためカソード 6 が最適な形状になるように、蒸着の角度と成膜時間、形成時の温度及び形成時の真空度を制御して作成する必要がある。

【0094】

図 13-b の (F) に示すように剥離層 8 1 をエッチングで取り除くことにより、ゲート 5 上のカソード材料 8 2 を除去する。また、基板 1 上及び絶縁部材 3 側面上のカソード材料 8 2 をフォトリソグラフィ等によりパターニングして、カソード 6 を形成する。

【0095】

次にカソード 6 と電気的な導通を取るために電極 2 を形成する〔図 1 (B)〕。この電極 2 は、前記カソード 6 と同様に導電性を有しており、蒸着法、スパッタ法等の一般的真空成膜技術、フォトリソグラフィ技術により形成される。電極 2 の材料としては、例えば、Be, Mg, Ti, Zr, Hf, V, Nb, Ta, Mo, W, Al, Cu, Ni, Cr, Au, Pt, Pd 等の金属または合金材料、TiC, ZrC, HfC, TaC, SiC, WC 等の炭化物が挙げられる。また、HfB₂, ZrB₂, CeB₆, YB₄, Gd₂B₄ 等の硼化物、TiN, ZrN, HfN 等の窒化物、Si, Ge 等の半導体、有機高分子材料が挙げられる。さらに、アモルファスカーボン、グラファイト、ダイヤモンドライクカーボン、ダイヤモンドを分散した炭素及び炭素化合物等も挙げられ、これらから適宜選択される。

【0096】

電極 2 の厚さとしては、50 nm 乃至 5 mm の範囲で設定され、好ましくは 50 nm 乃至 5 μm の範囲で選択される。

【0097】

電極2及びゲート5は、同一材料でも異種材料でも良く、また、同一形成方法でも異種方法でも良いが、ゲート5は電極2に比べてその膜厚が薄い範囲で設定される場合があり、低抵抗材料が望ましい。

【0098】

次に、上記電子放出素子の応用形態について説明する。

【0099】

図14は、本発明に係る電子放出素子において、ゲート5に対してカソード6を複数配置した例である。図14(A)は本例の電子放出素子の構成を模式的に示す平面模式図であり、図14(B)は図14(A)におけるA-A'線での断面模式図である。また、図14(C)は図14(A)において素子を紙面右側から見た側面図である。図中、6A乃至6Dはカソードであり、図1の素子とは、カソード6を複数の短冊状に分割し、それぞれ所定の距離を置いて配置した以外の構成は同じである。

10

【0100】

このように複数のカソード6A乃至6Dを設け、電界集中の度合いを制御した場合、各カソード6A乃至6Dの突起部分の幅方向端部から優先的に電子が放出する。その結果、図1のように一つのカソード6とした場合よりも電子ビーム形状の整った電子ビーム源を提供できる。つまり、電界が集中するカソードの端部同士（カソード6Aの右端部とカソード6Bの左端部、同様にカソード6Bの端部とカソード6Cの左端部）が隣り合うので、互いの端部同士の位置関係でビーム形状を制御できる。即ち、電子放出箇所が不特定であることに基づく、電子ビーム形状の制御の困難性を解消し、カソード6A乃至6Dの配列レイアウトを制御するのみで電子ビーム形状の整った電子ビーム源を提供することができる。

20

【0101】

本例の素子の製造方法としては、図13-bの(F)の工程において、カソードが複数となるようにカソード材料82をパターンニングすればよい。

【0102】

また、図15は、本発明に係る電子放出素子において、ゲート5が、カソード6に対向する部分に突出部を有した例である。図15(A)は本例の電子放出素子の構成を模式的に示す平面模式図であり、図15(B)は図15(A)におけるA-A'線での断面模式図である。また、図15(C)は図15(A)において素子を紙面右側から見た側面図である。さらに、図16は当該素子の俯瞰図である。図中、90はゲート5に設けた突出部である。

30

【0103】

本例の素子の特性について図16を用いて簡単に説明する。図16は、図15の素子のゲート5とカソード6との対向部位の拡大模式図である。図中、90a及び90bはカソード6に対向する部分における突出部90の面要素である。尚、カソード6の電界集中については図3で述べた通りであるので、ここでは説明を割愛する。図16において、ゲート5の側面から突出する突出部90を設置し、この突出部90の幅をT7としている以外は図3と同じである。尚、突出部90は導電材料からなり、ゲート5の一部であるが、本例の説明の便宜上、突出部90以外の部位をゲート5と呼ぶ。

40

【0104】

図16においてカソード6から発生した電子は、対向するゲート5及び突出部90に衝突し、一部は衝突せず外部へと引き出される。多くの衝突した電子は突出部90の面要素90a、90bの先端部で再び等方的に散乱する。散乱電子の多くは突出部90の面要素90aで散乱し、一部は面要素90bでも散乱する。この時、散乱面90aと90bで散乱した場合の脱出軌道から電子の脱出数を調べた結果、90aで散乱した場合の方が90bで散乱した場合よりも脱出確率が高いことが分かった。このため、さらにカソード6の幅T4と突出部90の幅T7の関係を $T4 \geq T7$ とする（T7をT4以下にする）ことで電子放出効率が数%から数十%程度向上することが解析的に分かった。また、T4とT7

50

との差が、絶縁層 3 b の高さである T 2 の 2 倍以上になると、特に効率が向上し好ましい。尚、ゲート 6 に突出部 9 0 を有し、 $T 4 \geq T 7$ の関係を満たす電子放出素子においては、前述の図 5 (D) に示される構造（カソード突起部の両端に電気力線の集中が確認できない構造）においても、放出電子の脱出確率が高く、電子放出効率の向上が確認された。

【0105】

本例の素子の製造方法としては、図 1 3 - b の (D) の剥離層 8 1 の作製工程を省略し、ゲート 5 上にも直接カソード材料 8 2 を堆積させる。そして、(F) の工程において基板 1 上及び絶縁部材 3 の側面上のカソード材料 8 2 をパターニングしてカソード 6 を形成すると同時にゲート 5 上のカソード材料 8 2 をパターニングして突出部 9 0 を形成すればよい。

10

【0106】

本発明においては、図 1 4 の構成に図 1 5 の構成を組み合わせることで相乗的な効果を得ることができる。その構成例を図 1 7 に示す。図 1 7 (A) は本例の電子放出素子の構成を模式的に示す平面模式図であり、図 1 7 (B) は図 1 7 (A) における A - A' 線での断面模式図である。また、図 1 7 (C) は図 1 7 (A) において素子を紙面右側から見た側面図である。図中、9 0 A 乃至 9 0 D はゲート 5 上に設けた突出部であり、それぞれカソード 6 A 乃至 6 D に対応して配置されている。尚、カソード 6 A 乃至 6 D の突起部分の幅 T 4 と突出部 9 0 A 乃至 9 0 D の幅 T 7 とは上記したように、 $T 4 \geq T 7$ となるように形成される。

【0107】

20

本例においても、図 1 4 の素子と同様、電界集中の度合いを制御することで各カソード 6 A 乃至 6 D の突起部分の幅方向端部から優先的に電子が放出できるので、電子ビーム形状の整った電子ビーム源を提供できる。さらには、ゲート 5 上に突出部 9 0 A 乃至 9 0 D を設け、その幅 T 7 をカソード 6 A 乃至 6 D の突起部分の幅 T 4 よりも小さくすることで、より電子放出効率の高い電子ビーム源を形成することができる。

【0108】

上記本発明に係る電子放出素子の説明においては、絶縁部材 3 が絶縁層 3 a と 3 b とからなり、凹部 7 にゲート 5 の下面が露出した形態を示した。本発明においては、図 1 8 に示すように、ゲート 5 の、凹部に対向する部分（本例では凹部 7 に露出する面）が絶縁層 3 c で覆われている形態も好ましく適用される。図 1 の素子ではカソード 6 から放出された電子のうち、ゲート 5 の底面 5 a に衝突する電子は、アノード 2 0 に到達せず、効率を低減する要因（上述の I f 成分）となる。しかしながら、図 1 8 のように、ゲート 5 の下面が絶縁層 3 c で覆われる構成では該 I f を低減できるので、電子放出効率が向上する。ゲート 5 の下面を覆う絶縁層 3 c としては、例えば、膜厚 2 0 nm 程度の SiN 膜等が利用でき、この構成で十分に効率向上効果を得られることが確認されている。

30

【0109】

尚、図 1 8 の構成では、絶縁部材 3 を絶縁層 3 a, 3 b, 3 c からなる積層体としているが、一層の絶縁層の一部を除去することで凹部 7 を形成してもかまわない。

【0110】

本発明においては、図 1 8 の構成に対してさらに、図 1 4, 図 1 5, 図 1 7 の構成を組み合わせることが可能であり、各構成における条件設定は同様であり、得られる作用効果も同様である。

40

【0111】

以下、本発明に係る電子放出素子を複数配して得られる電子源を備えた画像表示装置について、図 1 1 を用いて説明する。

【0112】

図 1 1 は単純マトリクス配置の電子源を用いて構成した画像表示装置の表示パネルの一例を示す模式図であり、一部を切り欠いた状態で示す。

【0113】

図 1 1 において、3 1 は電子源基板、3 2 は X 方向配線、3 3 は Y 方向配線であり、電

50

子源基板 3 1 は先に説明した電子放出素子の基板 1 に相当する。また、3 4 は本発明に係る電子放出素子である。尚、X 方向配線 3 2 は、上述の電極 2 を共通に接続する配線であり、Y 方向配線 3 3 は上述のゲート 5 を共通に接続する配線である。

【0 1 1 4】

m 本の X 方向配線 3 2 は、 $Dx1$, $Dx2$, $\dots Dx m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は、適宜設計される。

【0 1 1 5】

Y 方向配線 3 3 は、 $Dy1$, $Dy2$, $\dots Dy n$ の n 本の配線よりなり、X 方向配線 3 2 と同様に形成される。これら m 本の X 方向配線 3 2 と n 本の Y 方向配線 3 3 との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している (m, n は、共に正の整数)。

【0 1 1 6】

不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された SiO_2 等で構成される。例えば、X 方向配線 3 2 を形成した電子源基板 3 1 の全面或いは一部に所望の形状で形成され、特に、X 方向配線 3 2 と Y 方向配線 3 3 の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X 方向配線 3 2 と Y 方向配線 3 3 は、それぞれ外部端子として引き出されている。

【0 1 1 7】

電極 2 とゲート 5 (図 1) は、m 本の X 方向配線 3 2 と n 本の Y 方向配線 3 3 と導電性金属等からなる結線によって電氣的に接続されている。

【0 1 1 8】

配線 3 2 と配線 3 3 を構成する材料、結線を構成する材料及び電極 2、ゲート 5 を構成する材料は、その構成元素の一部或いは全部が同一であっても、またそれぞれ異なってもよい。

【0 1 1 9】

X 方向配線 3 2 には、X 方向に配列した電子放出素子 3 4 の行を選択するための走査信号を印加する、不図示の走査信号印加手段が接続される。一方、Y 方向配線 3 3 には、Y 方向に配列した電子放出素子 3 4 の各列を入力信号に応じて変調するための、不図示の変調信号発生手段が接続される。

【0 1 2 0】

各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

【0 1 2 1】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択して、独立に駆動可能とすることができる。

【0 1 2 2】

図 1 1 において、4 1 は電子源基板 3 1 を固定したリアプレート、4 6 はガラス基板 4 3 の内面に発光部材としての蛍光体である蛍光膜 4 4 とアノード 2 0 であるメタルバック 4 5 等が形成されたフェースプレートである。

【0 1 2 3】

また、4 2 は支持枠であり、この支持枠 4 2 にリアプレート 4 1、フェースプレート 4 6 がフリットガラス等を介して取り付けられ、外囲器 4 7 を構成している。フリットガラスによる封着は、大気中或いは、窒素中で、4 0 0 乃至 5 0 0 $^{\circ}C$ の温度範囲で 1 0 分以上焼成することにより実施される。

【0 1 2 4】

外囲器 4 7 は、上述の如く、フェースプレート 4 6、支持枠 4 2、リアプレート 4 1 で構成される。ここで、リアプレート 4 1 は主に電子源基板 3 1 の強度を補強する目的で付けられるため、電子源基板 3 1 自体で十分な強度を持つ場合には、別体のリアプレート 4 1 は不要とすることができる。

10

20

30

40

50

【0125】

即ち、電子源基板31に直接支持棒42を封着し、フェースプレート46、支持棒42及び電子源基板31とで外圍器47を構成しても良い。一方、フェースプレート46とリアプレート41との間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度を持たせた構成とすることもできる。

【0126】

このような画像表示装置では、放出した電子軌道を考慮して、各電子放出素子34の上部に蛍光体をアライメントして配置する。

【0127】

図11の蛍光膜44がカラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプ或いはブラックマトリクスなどと呼ばれる黒色導電材と蛍光体とから構成すると良い。

【0128】

次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC方式のテレビ信号に基づいたテレビジョン表示を行うための駆動回路の構成例について説明する。

【0129】

表示パネルは、端子Dx1乃至Dxm、端子Dy1乃至Dyn、及び高圧端子を介して外部の電気回路と接続している。端子Dx1乃至Dxmには、表示パネル内に設けられている電子源、即ち、m行n列の行列状にマトリクス配線された電子放出素子群を一行(N素子)ずつ順次駆動する為の走査信号が印加される。一方、端子Dy1乃至Dy nには、走査信号により選択された一行の電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。

【0130】

高圧端子には、直流電圧源より、例えば10[kV]の直流電圧が供給されるが、これは電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

【0131】

上述のように走査信号、変調信号、及びアノードへの高電圧印加により、放出された電子を加速して蛍光体へと照射することによって、画像表示を実現する。

【0132】

尚、このような表示装置を本発明の電子放出素子を用いて形成することによって、電子ビームの形状の整った表示装置を構成でき、結果、良好な表示特性の表示装置を提供することができる。

【実施例】

【0133】

(実施例1)

図1に示した構成の電子放出素子を、図13-a、図13-bの工程に従って作製した。

【0134】

基板1としては、プラズマディスプレイ用に開発された低ナトリウムガラスであるPD200を用い、絶縁層73としてSiN(Si_xN_y)をスパッタ法にて厚さ500nmで形成した。次いで、絶縁層74として、厚さ30nmのSiO₂層をスパッタ法により形成した。さらに、絶縁層74の上に、導電層75として厚さ30nmのTaNをスパッタ法により積層した〔図13-a(A)〕。

【0135】

次に、フォトリソグラフィ技術により導電層75上にレジストパターンを形成したのち、ドライエッチング手法を用いて導電層75、絶縁層74、絶縁層73を順に加工し、ゲート5及び絶縁層3aと3bからなる絶縁部材3とを形成した〔図13-a(B)〕。この時の加工ガスとしては、絶縁層73、74及び導電層75にフッ化物を作る材料が選択されているため、CF₄系のガスを用いた。このガスを用いてRIEを行った結果、絶縁層3a、3b、及びゲート5のエッチング後の角度は基板1の水平面に対しておよそ8

10

20

30

40

50

0°の角度で形成されていた。また、ゲート5の幅T5は100μmとした。

【0136】

レジストを剥離した後、BHF（フッ酸／フッ化アンモニウム水溶液）を用いて深さ約70nmになるようにエッチング手法を用いて、絶縁層3bの側面をエッチングし、絶縁部材3に凹部7を形成した〔図13-a（C）〕。

【0137】

ゲート5表面に電解メッキによりNiを電解析出させて剥離層81を形成した〔図13-b（D）〕。

【0138】

カソード材料82であるモリブデン（Mo）をゲート5上及び絶縁部材3の側面と基板1表面に付着させた。本例では成膜方法としてEB蒸着法を用いた。本形成方法では基板1の角度を水平面に対し60°にセットした。これによりゲート5の上部にはMoが60°で入射し、絶縁部材3のRIE加工後の斜面には入射角度が40°で入射した。蒸着は約12nm/minになるように蒸着速度を定め、2.5分蒸着時間を精密に制御することにより斜面のMoの厚さが30nmになるように形成した〔図13-b（E）〕。

【0139】

Mo膜を形成後、ヨウ素とヨウ化カリウムからなるエッチング液を用いてゲート5上に析出させたNi剥離層81を除去することによりゲート5上のMo膜を剥離した。

【0140】

次に、カソード6の突起部分の幅T4（図3）が70μmになるようにフォトリソグラフィ技術によりレジストパターンを形成した。その後、ドライエッチング手法を用いて基板1上及び絶縁層3側面上のMo膜を加工し、カソード6を形成した。この時の加工ガスとしては、カソード材料82として用いたモリブデンがフッ化物を作ることからCF₄系のガスを用いた。

【0141】

断面TEM（透過型電子顕微鏡）による解析の結果、カソード6とゲート5間の最短距離（間隙8）は9nmであった。

【0142】

次にスパッタ法にて厚さ500nmのCuを堆積し、パターニングして電極2を形成した。

【0143】

以上の方法で素子を形成した後、図2に示した構成で電子放出特性を評価した。その結果、26Vの駆動電圧で平均の電子放出電流I_eは1.5μA、平均17%の電子放出効率が得られた。

【0144】

また、本例の素子のカソード6の突起部分を断面TEMにて観察した結果、図12のような断面形状となっていた。図12において各パラメータの値を抽出した結果、θ_A=75°、θ_B=80°、X=35nm、h=29nm、D_x=11nm、d=9nmであった。

【0145】

（実施例2）

図14に示した電子放出素子を作製した。基本的な作製方法は実施例1と同様であるので、ここでは実施例1との違いだけ述べる。

【0146】

図13-bの（E）の工程において、モリブデンの成膜方法としてEB蒸着法を用い、基板1の角度を水平面に対し80°にセットした。これによりゲート5の上部にはMoが80°で入射し、絶縁部材3のRIE加工後の斜面には入射角度が20°で入射した。蒸着は約10nm/minになるように蒸着速度を定め、2分蒸着時間を精密に制御することにより斜面のMoの厚さが20nmになるように形成した。

【0147】

10

20

30

40

50

M o 膜を形成後、ヨウ素とヨウ化カリウムからなるエッチング液を用いてゲート 5 上に析出させた N i 剥離層 8 1 を除去することによりゲート 5 上の M o 膜を剥離した。

【0148】

次に、カソードの突起部分の幅 T 4 が 3 μ m、隣接するカソード間の距離が 3 μ m になるようにフォトリソグラフィ技術によりレジストパターンを形成した。その後、ドライエッチング手法を用いて基板 1 上及び絶縁部材 3 側面上の M o 膜を加工し、17 本のカソードを形成した。この時の加工ガスとしては、カソード材料 8 2 として用いたモリブデンがフッ化物を作ることから C F₄系のガスを用いた。

【0149】

断面 T E M による解析の結果、図 14 (B) におけるカソード 6 とゲート 5 間の最短距離 (間隙 8) は 8.5 nm となっていた。

10

【0150】

実施例 1 と同様にして電極 2 を形成した後、図 2 に示した構成で電子放出特性を評価した。その結果、26 V の駆動電圧で平均の電子放出電流 I_e が 6.2 μ A、平均 17% の電子放出効率を得られた。

【0151】

この特性から考察すると、カソードを複数にすることで、電子放出電流がカソードの本数だけ増加したように推測される。

【0152】

尚、同様な製法で、カソードの突起部分の幅及び隣接するカソード間の距離をそれぞれ 0.5 μ m とし、カソードの本数を 100 本に増やした場合には約 6 倍の電子放出量を得られた。

20

【0153】

(実施例 3)

図 15 に示した電子放出素子を作製した。基本的な作製方法は実施例 1 と同様であるので、ここでは実施例 1 との違いだけ述べる。

【0154】

絶縁層 7 4 として、S i O₂ をスパッタ法により厚さ 40 nm 堆積し、導電層 7 5 としては T a N をスパッタ法により厚さ 40 nm で堆積した。

【0155】

30

絶縁層 7 3、絶縁層 7 4、導電層 7 5 を実施例 1 と同様にして R I E にてドライエッチングした。エッチング後の絶縁部材 3 及びゲート 5 の側面は基板 1 の表面に対して 80° の角度で形成されていた。その後、B H F を用いて深さ約 100 nm になるようにエッチング手法を用いて、絶縁層 3 b の側面のみエッチングし、絶縁部材 3 に凹部 7 を形成した。

【0156】

図 13-b の (E) の工程において、モリブデンの成膜方法として E B 蒸着法を用い、基板 1 の角度を水平面に対し 60° にセットした。これによりゲート 5 の上部には M o が 60° で入射し、絶縁部材 3 の R I E 加工後の斜面には入射角度が 40° で入射した。蒸着は約 10 nm/min になるように蒸着速度を定め、4 分の蒸着時間を精密に制御することにより斜面の M o 膜の厚さが 40 nm になるように形成した。

40

【0157】

次に、カソード 6 の突起部分の幅 T 4 を 70 μ m で、ゲート 5 上の突出部 9 0 の幅 T 7 が T 4 より小さくなるようにフォトリソグラフィ技術によりレジストパターンを形成した。尚、T 7 の制御は、レジストパターンのテーパ形状の制御で行った。その後、ドライエッチング手法を用いて基板 1 上、絶縁部材 3 側面上、ゲート 5 上の M o 膜を加工し、カソード 6 及び突出部 9 0 を形成した。この時の加工ガスとしては、カソード材料 8 2 として用いたモリブデンがフッ化物を作ることから C F₄系のガスを用いた。

【0158】

得られた突出部 9 0 の幅 T 7 は、カソード 6 の突起部分の幅 T 4 よりも 30 nm 小さく

50

なっていた。

【0159】

断面TEMによる解析の結果、図15(B)におけるカソード6とゲート5間の最短距離(間隙8)は15nmとなっていた。

【0160】

次に実施例1と同様にして電極2を形成した後、図2に示した構成で電子放出特性を評価した。その結果、35Vの駆動電圧で平均の電子放出電流 I_e が1.5 μ A、平均20%の電子放出効率が得られた。

【0161】

(実施例4)

図17に示した電子放出素子を作製した。基本的な作製方法は実施例3と同様であるので、ここでは実施例3との違いだけ述べる。

【0162】

実施例3と同様に、カソード材料82であるモリブデン(Mo)を、ゲート5にも付着させた。本例では成膜方法としてスパッタ蒸着法を用い、基板1の角度をスパッタターゲットに対して水平になるようにセットした。また、スパッタ粒子が限られた角度で基板1面に入射されるよう、アルゴンプラズマを真空度0.1Paで生成し、基板1とMoターゲットの間の距離を60mm以下(0.1Paでの平均自由行程)になるように基板1を設置した。さらに、積層体側面のMo膜の厚さが20nmになるように10nm/minの蒸着速度で形成した。

【0163】

Mo膜形成後、カソードの突起部分の幅T4及び突出部の幅T7が3 μ m、隣接するカソード間及び隣接する突起間の距離が3 μ mになるようにフォトリソグラフィ技術によりレジストパターンを形成した。

【0164】

その後、ドライエッチング手法を用いてMo膜を加工し、17本のカソードとこれに対応する17本の突出部を形成した。この時の加工ガスとしては、カソード材料82として用いたモリブデンがフッ化物を作るためCF₄系のガスを用いた。得られた突出部の幅T7は、カソードの突起部分の幅T4よりも10nm乃至30nm程度小さくなっていた。

【0165】

断面TEMによる解析の結果、図17(B)におけるカソードとゲート5間の最短距離(間隙8)は8.5nmとなっていた。

【0166】

次に実施例1と同様にして電極2を形成した後、図2に示した構成で電子放出特性を評価した。その結果、35Vの駆動電圧で平均の電子放出電流 I_e が1.8 μ A、平均18%の電子放出効率が得られた。

【0167】

尚、上述の実施例2、4の電子放出素子を用いて、図11の画像表示装置を作製したところ、電子ビームの成形性に優れた表示装置を提供でき、結果、表示画像の良好な表示装置を実現できた。尚、上記全ての実施例において、好ましくは、ゲート電極5の絶縁部材の凹部に対向する部分(ゲート電極の下面)を絶縁層で被覆するとよい。電子放出部(導電層の突起部の端部)から放出された電子のうち、ゲートの下面に照射する電子は、アノードに到達せず、効率を低減する要因(上述のIf成分)となるが、ゲート電極の下面が絶縁層で覆われる構成では、Ifを低減できるので、効率が向上する。ゲート電極5の絶縁部材の凹部に対向する部分(ゲート電極の下面)を覆う絶縁層としては、例えば、膜厚20nm程度のSiN膜が利用でき、この構成で十分に効率向上効果を得られることが確認されている。

【符号の説明】

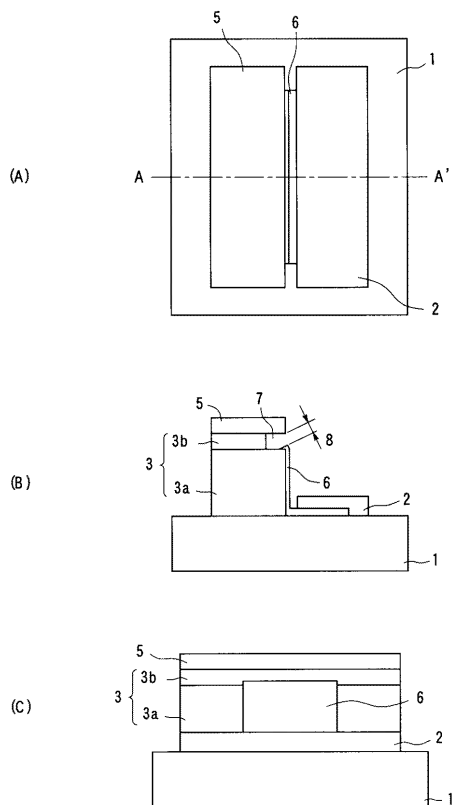
【0168】

1 基板

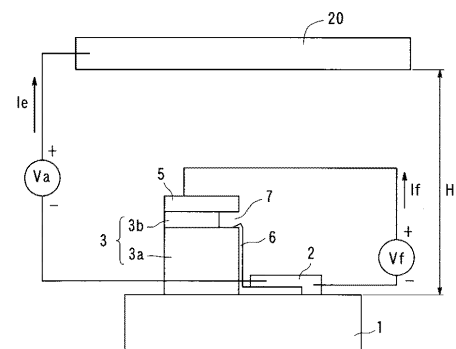
- 2 電極
- 3 絶縁部材
- 3 a、3 b、3 c 絶縁層
- 5 ゲート
- 5 a、5 b 面要素
- 6, 6 A乃至6 D カソード
- 6 a乃至6 d 面要素
- 7 凹部
- 8 間隙
- 10, 11 電子ビーム
- 12, 13 電気力線
- 20 アノード
- 90, 90 A乃至90 D 突出部
- 90 a, 90 b 面要素

10

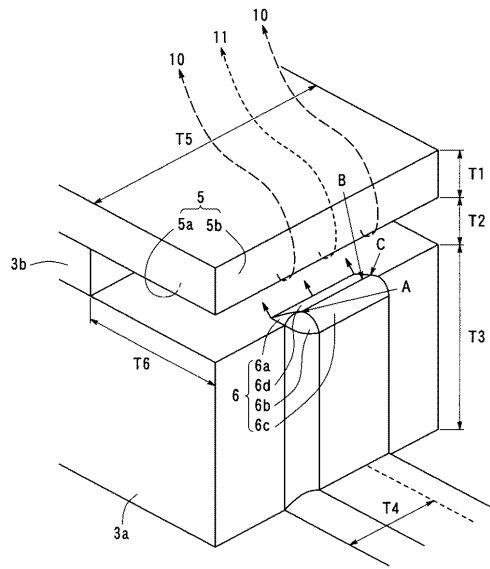
【図 1】



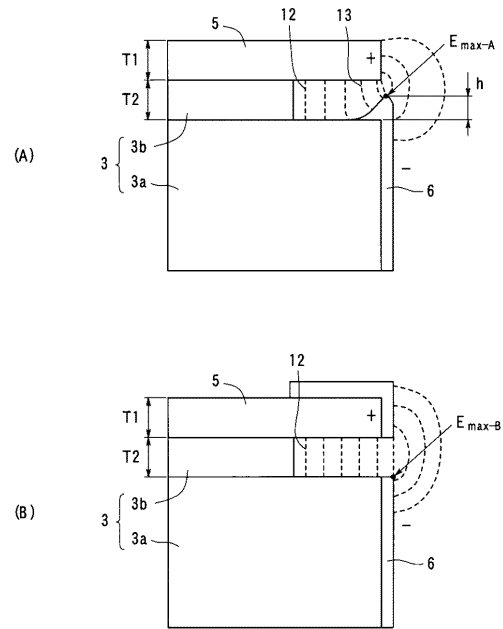
【図 2】



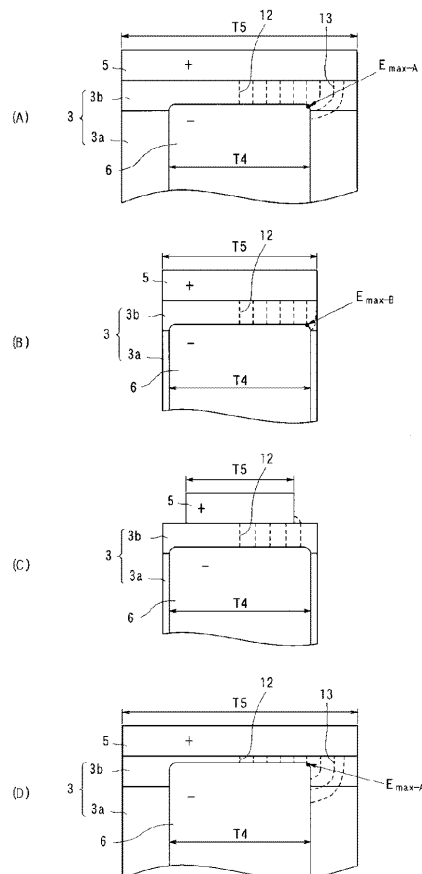
【図 3】



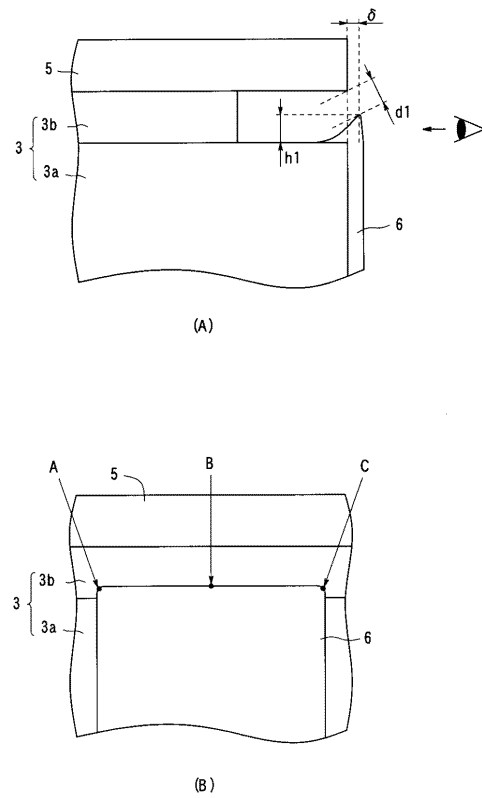
【図 4】



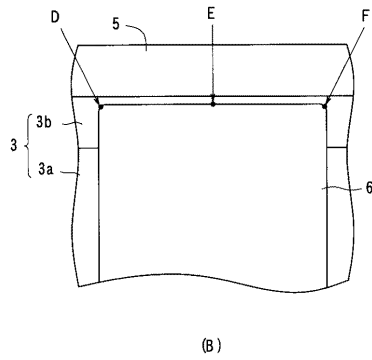
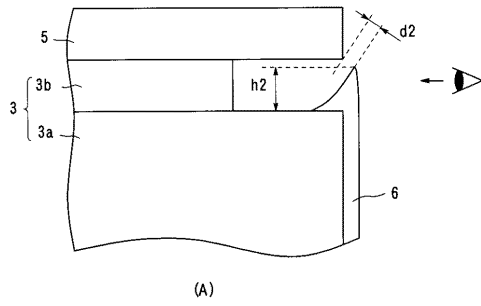
【図 5】



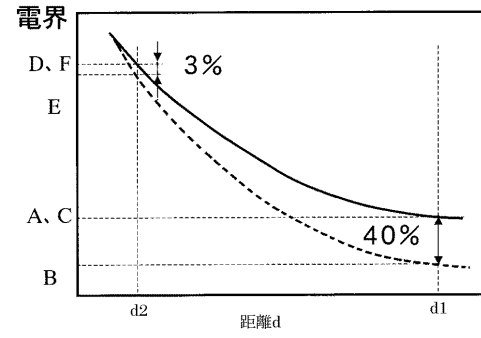
【図 6】



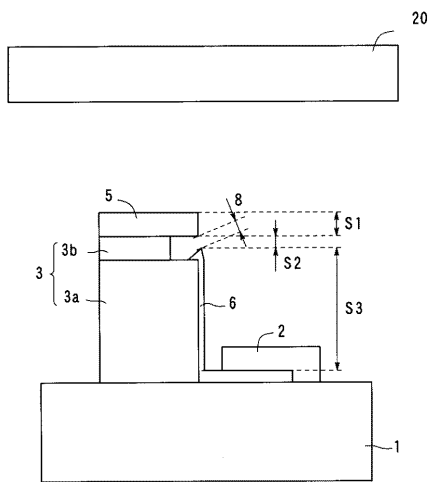
【図 7】



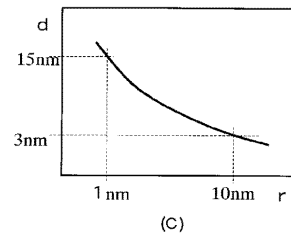
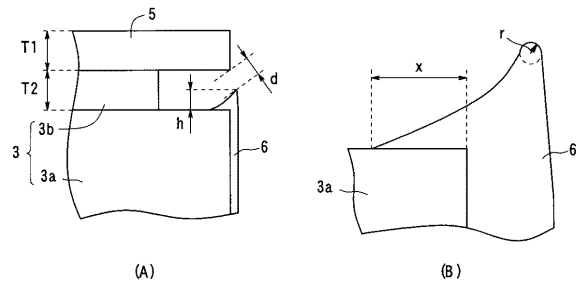
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 竹内 英司
神奈川県平塚市田村9-22-5 SED株式会社内

審査官 佐藤 高之

(56)参考文献 特開2001-167693 (JP, A)
特開2001-229809 (JP, A)
特開2000-251643 (JP, A)

(58)調査した分野(Int.Cl., DB名)
H01J 1/30-9/02