

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号
特許第7568618号
(P7568618)

(45)発行日 令和6年10月16日(2024.10.16)

(24)登録日 令和6年10月7日(2024.10.7)

(51)国際特許分類 F I
G 0 1 R 19/165 P
G 0 1 R 19/165 J

請求項の数 19 (全17頁)

(21)出願番号	特願2021-515129(P2021-515129)	(73)特許権者	390020248 日本テキサス・インスツルメンツ合同会社 東京都港区港南一丁目2番70号
(86)(22)出願日	令和1年9月17日(2019.9.17)	(73)特許権者	507107291 テキサス インスツルメンツ インコーポレイテッド アメリカ合衆国 テキサス州 7 5 2 6 5 - 5 4 7 4 ダラス メール ステーション 3 9 9 9 ビーオーボックス 6 5 5 4 7 4
(65)公表番号	特表2022-500659(P2022-500659 A)	(74)上記1名の代理人	100098497 弁理士 片寄 恭三
(43)公表日	令和4年1月4日(2022.1.4)	(72)発明者	スリーニヴァサ, マニヤッパ カリクッパ インド 5 6 0 0 7 5 バンガロール, ニュー シッパサンドラ, ラマ テンプル 最終頁に続く
(86)国際出願番号	PCT/US2019/051561		
(87)国際公開番号	WO2020/061083		
(87)国際公開日	令和2年3月26日(2020.3.26)		
審査請求日	令和4年9月19日(2022.9.19)		
(31)優先権主張番号	16/134,443		
(32)優先日	平成30年9月18日(2018.9.18)		
(33)優先権主張国・地域又は機関	米国(US)		

(54)【発明の名称】 比較器及び分離された出力を有するバイナリ/デジタル入力モジュール

(57)【特許請求の範囲】

【請求項1】

集積回路であって、
状態監視回路であって、
範囲選択入力端子と閾値選択入力端子と範囲選択出力とスケールされた閾値電圧出力とを有する選択回路であって、構成設定を受け取るように構成される、前記選択回路と、
入力チャンネルのための差動ペアの入力端子と、前記範囲選択出力に結合される範囲選択入力と、スケールダウンされた入力電圧出力とを有する入力電圧回路と、
前記スケールダウンされた入力電圧出力に結合される入力と、前記スケールされた閾値電圧出力に結合される入力と、比較器出力とを有する比較器回路と、
を含む、前記状態監視回路と、
前記比較器出力に結合される入力と、分離出力とを有するデータ分離回路であって、分離バリアを介してデータを提供する、前記データ分離回路と、
処理ユニットとインタフェースするホスト側回路であって、前記分離出力に結合されるホスト側入力と、ホスト側出力端子と、デジタルインタフェース端子とを有する、前記ホスト側回路と、
を含む、集積回路。

【請求項2】

請求項1に記載の集積回路であって、
前記入力電圧回路が、前記範囲選択入力と前記スケールダウンされた入力電圧出力とに

結合される分圧器を含み、前記分圧器が、第 1 の抵抗器と複数の第 2 の抵抗器とを有し、前記範囲選択入力に基づいて選択される前記複数の第 2 の抵抗器の少なくとも 1 つの第 2 の抵抗器が、前記第 1 の抵抗器に直列に結合される、集積回路。

【請求項 3】

請求項 1 に記載の集積回路であって、前記状態監視回路が、前記選択回路に結合される選択レジスタであって、前記構成設定を格納する、前記選択レジスタを更に含み、

前記ホスト側回路が、前記デジタルインタフェース端子に結合されるロジック回路であって、前記選択レジスタに前記データ分離回路を介して更に結合される、前記ロジック回路を含む、集積回路。

10

【請求項 4】

請求項 1 に記載の集積回路であって、前記選択回路が、前記入力電圧回路に対する DC 入力又は AC / DC 入力を特定する入力タイプ端子を更に有する、集積回路。

【請求項 5】

請求項 1 に記載の集積回路であって、前記選択回路が、前記比較器回路に出力選択を提供するようにデジタル出力を指定する出力選択端子を更に有し、

前記比較器回路が、各入力チャンネルに対するそれぞれの比較器を含む、集積回路。

【請求項 6】

請求項 1 に記載の集積回路であって、前記比較器回路が、前記入力チャンネルに関連する電圧の比較結果を提供するように構成される、集積回路。

20

【請求項 7】

請求項 3 に記載の集積回路であって、前記ホスト側回路のロジック回路が、前記ホスト側出力端子にデジタル信号としての出力値を提供する、集積回路。

【請求項 8】

請求項 7 に記載の集積回路であって、前記比較器回路が、比較結果のバイナリ値を提供する比較器を含む、集積回路。

30

【請求項 9】

請求項 7 に記載の集積回路であって、前記比較器回路が、比較結果のデジタル値を提供する比較器を含む、集積回路。

【請求項 10】

請求項 1 に記載の集積回路であって、電力分離回路を更に含み、
前記ホスト側回路が、前記電力分離回路に結合される入力電力端子を更に有し、
前記状態監視回路が、前記電力分離回路に結合され、前記比較器回路と前記選択回路と前記入力電圧回路とに電力を供給する分離された電力回路を更に含む、集積回路。

【請求項 11】

請求項 10 に記載の集積回路であって、前記分離された電力回路が、外部デバイスに結合するための電力出力端子に更に結合される、集積回路。

40

【請求項 12】

請求項 10 に記載の集積回路であって、前記ホスト側回路が、イネーブル信号を受信するように適合されるイネーブル端子を更に有し、
前記電力分離回路が、前記イネーブル信号に応答して前記比較器回路と前記選択回路と前記入力電圧回路とをオンにするように前記イネーブル端子に更に結合される、集積回路。

【請求項 13】

50

請求項 3 に記載の集積回路であって、
前記選択レジスタが、前記デジタルインタフェース端子と前記ロジック回路とを介して書き込まれる、集積回路。

【請求項 1 4】

請求項 3 に記載の集積回路であって、
前記ホスト側回路が、第 1 の診断端子を更に有し、前記ホスト側回路が、所与の差動ペアの入力端子におけるそれぞれの入力電圧が前記選択回路によって受け取られるそれぞれの電圧範囲選択より大きいときに前記第 1 の診断端子に第 1 の信号を提供する診断回路を更に含む、集積回路。

【請求項 1 5】

請求項 1 4 に記載の集積回路であって、
前記ホスト側回路が、第 2 の診断端子を更に有し、
前記診断回路が、ユーザによって開始されるテストフェーズの間にテスト値を前記比較器回路に提供し、前記比較器回路が前記テスト値に対して適切に応答しないときに前記第 2 の診断端子に第 2 の信号を提供する、ように構成される、集積回路。

【請求項 1 6】

請求項 1 5 に記載の集積回路であって、
前記状態監視回路の過電流状態を検出するように構成される電流センサを更に含み、
前記ホスト側回路が、第 3 の診断端子を更に有し、
前記診断回路が、前記過電流状態が検出されたときに第 3 の信号を前記第 3 の診断端子に提供するように更に構成される、集積回路。

【請求項 1 7】

請求項 1 6 に記載の集積回路であって、
前記入力電圧回路が、DC 接続の極性の反転状態を検出するように構成される回路要素を更に含み、
前記診断回路が、前記反転状態が発生したときに前記第 3 の信号を提供するように更に構成される、集積回路。

【請求項 1 8】

請求項 1 6 に記載の集積回路であって、
前記入力電圧回路が、前記入力電圧回路が DC 電圧用に構成されるときにそれぞれの差動ペアの端子に対する AC 電圧接続を検出するように構成される回路要素を更に含み、
前記診断回路が、前記 AC 電圧接続が検出されるときに前記第 3 の信号を提供するように更に構成される、集積回路。

【請求項 1 9】

請求項 1 6 に記載の集積回路であって、
前記診断回路が、前記第 1、第 2 及び第 3 の信号の各々を前記デジタルインタフェース端子に提供するように更に構成される、集積回路。

【発明の詳細な説明】

【技術分野】

【0001】

本願は、全般的に、監視下にある入力電圧から分離された出力を備えるバイナリ入力モジュール及びデジタル入力モジュール（本明細書では、入力モジュールと総称される）に関し、特に、比較器及び分離された出力を有するバイナリ/デジタル入力モジュールに関する。

【背景技術】

【0002】

グリッドインフラストラクチャ及びファクトリオートメーション機器は両方とも、保護中継器、端末ユニット、及びプログラマブルロジックコントローラ等の機器を用いて、グリッド又はファクトリインフラストラクチャの種々の要素における状態を監視及び制御する。これらの要素の 1 つは、バイナリ入力モジュール又はデジタル入力モジュールとして

10

20

30

40

50

知られる入力モジュールである。これら入力モジュールに対する使用例としては、変電所のバッテリー監視、ベイ又は変電所の主要機器のインターロック、ブレーカ状態表示、汎用の問い合わせ、発光ダイオード（LED）テスト、アラーム等の障害表示、及び構成変更、即ち、異なる機能性を実施するために新しい設定を備える新しい入力モジュールを提供することが含まれ得る。入力モジュールは、電力を生成、送信、及び分配する主要資産を介して接続される機器の一部として設置され、損傷を起こし得る障害から資産を保護するために用いられる。バイナリ又はデジタルのいずれかの入力モジュールからの出力レベルは、監視対象の電圧の状態を示し、保護アルゴリズムの実装を可能にする。多くの古いシステムは、監視対象の状態を変更するために物理的に切り替えられなければならない個別の構成要素を用いる大きな回路基板を必要とする。

10

【発明の概要】**【0003】**

説明される実施形態は、必要な電圧分離を維持しつつ、柔軟性があり更新が容易な構成制御を提供する集積回路（IC）チップ上に実装される入力モジュールを提供する。入力モジュールは、バイナリ（高又は低）出力値を提供するバイナリ入力モジュールとして、デジタル出力値を提供するデジタル入力モジュールとして、又はバイナリ及び/又はデジタル出力値を提供するようにプログラムされ得る入力モジュールとして構成され得る。この応用例の目的のために、バイナリ/デジタル入力モジュールは、これらの構成の任意の1つを又はこれらの構成の全てを集合的に参照し得る。

【0004】

オンチップ比較器が、入力電圧を受け取り、閾値との比較のバイナリ結果が又は入力電圧の値のいずれかであり得る出力値を提供する。出力値は、データ用デジタル分離回路を介して、マイクロプロセッサに結合され得る出力ピンに提供される。バイナリ/デジタル入力モジュールは、直流（DC）入力のみを受け入れるように、即ち、交流（AC）を拒否するように、又は、AC及びDCの両方を受け入れるように構成され得る。入力電圧は、典型的に、5V、12V、24V、48V、110V、220V、及び300Vの範囲である、広範囲の電圧から選択され得る。バイナリ/デジタル入力モジュール内の回路は、5.0V又はそれ以下で動作し、そのため、入力はまず処理に適した範囲まで小さくされる。

20

【0005】

ユーザは、入力タイプ（AC/DC又はDCオンリー）、出力タイプ（バイナリ及び/又はデジタル）、及び要求される電圧範囲を選択し得、バイナリ/デジタル入力モジュールがバイナリ出力を提供しているときに、プログラマブル閾値を特定する。許容される選択の各々は、ICチップ上のピンに結合される外部スイッチを用いて提供され得るか又はデジタルインタフェースを用いて選択に関連するレジスタをICチップにプログラミングすることを介して提供され得る。構成変更は、何時間もの作業を必要とすることなく、数分で行われ得る。診断能力がバイナリ/デジタル入力モジュールにおいて提供され、（a）電圧入力、特定された入力範囲に合致しない場合、（b）DCオンリーが特定されているときに、AC電圧が結合されている場合、（c）DC接続が、逆の極性を用いて結合されている場合、（d）チップ上のピンが誤って別のピンに短絡している場合、又は（e）内部回路に動作上の問題が発生している場合、を判定する。状態に対してアラートを提供することに加えて、（a）、（b）、及び（c）によって引き起こされる潜在的な損傷が回避される。

30

40

【0006】

1つの態様において、集積回路チップ上に実装されるバイナリ/デジタル入力モジュールの実施形態が本明細書に説明され、バイナリ/デジタル入力モジュールは入力チャンネルを有する。各入力チャンネルに対し、バイナリ/デジタル入力モジュールは、スケールリングされた入力電圧及びスケールリングされた閾値電圧を受け取るように結合され、出力値を提供するように更に結合される比較器と、分離バリアを介して出力値を提供するために、比較器とそれぞれの出力ピンとの間に結合されるデータ用デジタル分離回路とを含む。

50

【図面の簡単な説明】

【0007】

【図1A】或る実施形態に従った、ICチップ上に実装されるバイナリ/デジタル入力モジュールの例を示す。

【0008】

【図1B】或る実施形態に従った、幾つかのユーザ接続が示されている図1AのICチップ上のバイナリ/デジタル入力モジュールを示す。

【0009】

【図2】或る実施形態に従ったバイナリ/デジタル入力モジュールが用いられ得る、保護中継器であり得るプログラマブルロジック制御(PLC)システムの実装を示す。

10

【0010】

【図3A】従来技術に従ったバイナリ入力モジュールのブロック図を示す。

【0011】

【図3B】従来技術に従ったバイナリ入力モジュールの回路図を示す。

【0012】

【図4】従来技術に従った図3A及び図3Bのバイナリ入力モジュールより高い粒度を提供するデジタル入力モジュールの実装を示す。

【発明を実施するための形態】

【0013】

図面において、同様の参照は同様の要素を示す。本明細書において、「或る」又は「1つの」実施形態に対する異なる参照は、必ずしも同じ実施形態を指すわけではなく、そのような参照は、少なくとも1つを意味し得る。また、或る実施形態に関連して、本明細書において、特定の特徴、構造、又は特性が説明されるときは、そのような特徴、構造、又は特性は、明示的に説明されるか否かに関係なく、他の実施形態に関連して影響され得る。本明細書において用いられるように、用語「結合する」は、ワイヤレス接続を含み得る「通信可能に結合される」として条件付けされない限り、間接的又は直接的な電気接続を意味する。従って、第1のデバイスが第2のデバイスに結合する場合、その接続は、直接的電気接続を介するか又は他のデバイス及び接続を介する間接的電気接続を介し得る。

20

【0014】

図2は、或る実施形態に従ったバイナリ/デジタル入力モジュールを含み得るプログラマブルロジック制御システム200を示す。PLCシステム200は、ファクトリオートメーション及び/又はグリッドインフラストラクチャ、即ち、送信ライン、トランスフォーマ、及びバスバーにおける電力制御を監視するためのプログラマブルロジック制御を提供する。PLCシステム200は、検知デバイスからの入力を受け取るように結合される入力モジュール202、マイクロプロセッサであり得る中央処理装置(CPET)204、回路遮断器等の出力デバイスに結合される出力モジュール206、及びプログラミングデバイス208を含む。入力モジュール202は、PLCシステム200において(a)信号が受け取られたときに検知すること、(b)マイクロプロセッサによって用いられるための適正な電圧レベルに変換すること、(c)入力信号電圧又は電流における変動からマイクロプロセッサを分離すること、及び(d)信号をマイクロプロセッサに送ること、の4つの基本タスクを実施する。

30

【0015】

CPU204は、システムの頭脳であり、その入力モジュール202が入力を監視する一方で、それらの影響をCPU204から分離している。1つの実装において、入力モジュール202は、入力値が閾値を超えることを検出し、その情報をCPUに提供することができ、また、閾値を超えたときに視覚的又は聴覚的出力等のアラートを提供し得る。代替の実装において、入力モジュール202は、他のデバイスが受け取り、作用し得るデジタル値を提供する。CPU204は入力モジュール202の出力を受け取り、適切な応答の決定を行う。適切な応答とは、回路遮断器を発動するか、或いは、潜在的に損傷を発生する条件を分離又は管理することであり得る。

40

50

【 0 0 1 6 】

C P U 2 0 4 によって行われた決定は、出力モジュール 2 0 6 に指示を提供するために用いられ得る。出力モジュール 2 0 6 は、C P U 2 0 4 からの指示を出力デバイスによって実施される特定の動作に変換する。1つの例示の実施形態において、出力デバイス（特に示されていない）が1つ又は複数の電気ヒータ、ライト、電磁弁、中継器、ブザー、ファン等を含み得る。プログラミングデバイス 2 0 8 は、キーボード及びモニタを含み得、それらは P L C 2 0 0 の他の要素をプログラミングするために用いられる。

【 0 0 1 7 】

説明される回路によって提供される改善を強調するため、図 3 A、図 3 B、及び図 4 は、I C チップ上で、説明される回路によって置換される従来技術の回路を説明するために提供される。図 3 A は、従来技術に従ったバイナリ入力モジュール 3 0 0 A のブロック図を示し、図 3 B は、バイナリ入力モジュール 3 0 0 B の回路図を示す。バイナリ入力モジュール 3 0 0 A において、ブリッジ整流器 3 0 2 は、入力 L 1、L 2 上で A C 入力信号の差動ペアを受信する。A C 電流を D C 電流に整流した後、信号は、電流が所望の閾値を上回っているか下回っているかを判定するツェナーダイオードレベル検出回路 3 0 4 に送られる。判定の結果は、光カプラ 3 0 6 を介してロジック回路 3 0 8 に送られ、ロジック回路 3 0 8 は入力信号の状態を判定し、状態をプロセッサに送る。ロジック回路 3 0 8 はまた、信号が閾値より上か下かを示すライト等の入力状態インジケータ 3 0 9 も提供し得る。状態の常時監視を提供する必要がない場合、例えば、周期的に監視すればよいバッテリーの状態等の場合、周期的監視のための回路を閉にして、不要なときにシステムをオフにするように、プッシュボタン 3 1 0 が用いられ得る。

【 0 0 1 8 】

バイナリ入力モジュール 3 0 0 B は、入力電圧が 2 2 0 V A C である例示の実施形態を示す。ブリッジ整流器 3 0 2 への電圧をより低いレベルに低下させるために、2つのバイアス抵抗器 R 1、R 2 が提供される。ブリッジ整流器 3 0 2 は、4つのダイオード D 1 ~ D 4 で形成される。ダイオード D 1、D 4 は両方とも、ツェナーダイオードレベル検出回路 3 0 4 の一部である点 A に結合されるそれぞれのアノードを有する。ダイオード D 1 のカソード及びダイオード D 2 のアノードは各々入力 L 1 に結合される。ダイオード D 4 のカソード及びダイオード D 3 のアノードは各々入力 L 2 に結合される。ダイオード D 2、D 3 のカソードは各々、ツェナーダイオードレベル検出回路 3 0 4 の一部でもある点 B に結合される。ツェナーダイオードレベル検出回路 3 0 4 内で、ツェナーダイオード Z D は、点 B と点 A の間で、光カプラ 3 0 6 の一部を形成する光ダイオード P D に直列に結合される。抵抗器 R 3 及びダイオード D 5 は、点 B と点 A の間で、光ダイオード P D に並列に結合される。その際、抵抗器 R 3 の一方の端子が、点 B とツェナーダイオード Z D のカソードとの間の点に結合され、ダイオード D 5 のカソードが、ツェナーダイオード Z D のアノードと光ダイオード P D との間に結合される。この回路配置によって、点 B から点 A への電流が、ツェナーダイオード Z D の値によって決定される閾値レベルを上回るときに、電流が光ダイオード P D を介してのみ流れることが確実になる。それ例外の場合、電流は、抵抗器 R 3 を介してのみ、B から A に流れる。光ダイオード P D によって発せられた光は、空気の分離バリアを横切り、感光体 P R によって受け取られる。感光体 P R 上での光の受信は、L 1、L 2 上の入力電圧が、ツェナーダイオード Z D によって決定される閾値の値より大きいことを表している。閾値が閾値を下回る場合の所望の応答に応じて、感光体 P R の出力は、上側電圧レールに結合されるプルアップトランジスタ又は下側電圧レールに結合されるプルダウントランジスタのいずれか（いずれも特に図示されていない）を制御するために用いられ得る。いずれの接続の場合も、入力 L 1、L 2 上の電圧が閾値を下回ると、ロジック回路 3 0 8 の出力は、前の値からフリップする。ロジック回路 3 0 8 の出力は、値における変化に対する応答を決定するプロセッサ（特に図示されていない）に送られる。

【 0 0 1 9 】

図 3 A 及び図 3 B に示されるバイナリ入力モジュールの実装は、典型的に、個別の構成

10

20

30

40

50

要素、即ち、ダイオード、抵抗器、ツェナーダイオード、及び光カプラで構成された回路であって、監視される各チャンネルに対してカスタムメイドされた回路を用いて提供されてきた。この実装は安価であるが、所与の電圧レベル及び所与の閾値に対して設計された回路基板に設計が実装されると、その回路基板は他の電圧レベル及び/又は閾値に対して用いることができない。代わりに、回路基板は、新しい電圧レベル又は閾値に対して選択される構成要素を用いて、再構築されなければならない。これは、回路からの所望の応答における如何なる変更も面倒でしかも時間がかかることを意味する。

【 0 0 2 0 】

他の問題も存在する。例えば、所与の電圧に対して構築されたチャンネルが誤って正しくない電圧に接続されたり、DC電圧が誤って逆の極性を用いて結合されたりする状況が顧客から報告されている。各チャンネルは、特定の電圧と閾値の組み合わせに合うように構築されるため、このような正しくない結合は回路を損傷し得る。また、回路が動作していることを確実にするには、電流がツェナーダイオードZD及び光ダイオードPDを介して流れなければならない。従って、入力モジュールがオンであるときは常に、入力モジュールが電流を消費し、それは典型的に1~10mAである。

10

【 0 0 2 1 】

図4は、ICチップ上に集積され、図3の回路に対する改善を提供する入力モジュール400を図示する。入力モジュール400の各チャンネルは、18Vから300VDCの間であり得る電圧を受け取る。ここに示される特定の構成はDC入力に対するものであるが、チップの他の構成がAC又はDCを受け入れ得る。入力ピン402のペアが、各チャンネル、即ち、入力1から入力4に対する差動信号を受信するように提供される。入力ピン402の各ペアは、それぞれの過渡電圧抑制器(TVS)回路404に結合される。入力は広い範囲にわたって拡張し得るので、回路の残りの部分における使用のために適したスケールリングされた電圧(これは、図示された実施形態において3.3Vである)を提供するために、各チャンネル用の外部分圧器406がチップに結合される。外部分圧器406は、TVS回路404とコントローラ回路408との間に結合されて、スケールリングされた電圧を提供する。コントローラ回路408は、マイクロコントローラユニットと、各チャンネル用のアナログデジタルコンバータとを含む。

20

【 0 0 2 2 】

このチップの構成に応じて、入力モジュール400は、各チャンネルに対するバイナリ状態、又はホストマイクロコントローラ416に送られるデジタル値のいずれかを提供し得る。バイナリ出力を提供するように構成されると、入力信号の状態を反映する視覚的信号を提供するために、外部LED418がチップに結合され得る。入力モジュール400がバイナリ出力に対して構成されるか又はデジタル出力に対して構成されるかに関わらず、コントローラ回路408はデジタルアイソレータ410に結合され、デジタルアイソレータ410は、入力/出力ピン412に結合される。コントローラ回路408は、シリアルデータ出力SDO上の、各チャンネルに対する値をデジタルアイソレータ410に提供し、一方、3つの入力チャンネルは、クロックCLK、シリアルデータ入力SDI、及び汎用I/OGPIOを提供する。デジタルアイソレータ410は、入力回路とホストマイクロコントローラ416との間に分離を提供するために、及び入力/出力ピン412を介して出力値及び入力制御情報の両方を送るために、キャパシタ又は変成器のいずれかを用い得る。外部負荷スイッチ414が入力モジュール400に結合され得、図示されているように、短絡状態に対して保護する。プログラミング回路420は、コントローラ回路408をプログラムするために用いられ得る回路要素を提供する。入力モジュール400は、バイナリ入力モジュール300A、300Bに対して改善を提供するが、入力モジュール400は、コントローラ回路408が受け入れ可能な電圧を提供するために、外部分圧器406を依然として必要とする。これは、入力に対して変化がある場合に、依然として回路において物理的構成要素が変更されなければならないことを意味する。

30

40

【 0 0 2 3 】

図1A及び図1Bは、一実施形態に従った、ICチップ111上に実装されるバイナリ

50

ノデジタル入力モジュール100の例を図示する。バイナリノデジタル入力モジュール100Aは、チップ上に含まれる幾つかの回路に関して更に詳細に示され、一方、バイナリノデジタル入力モジュール100Bは、チップに対する例示の外部接続を示すための場所を提供するために、幾つかの回路に関して簡略化されている。バイナリノデジタル入力モジュール100Aは、状態監視領域101とホスト側領域103とに分けられ、これらは、電力分離回路110及びデータ分離回路108の両方を含む分離領域によって分離されている。電力分離回路110及びデータ分離回路108は両方とも2つの領域を分離するデジタル分離回路であり、キャパシタか又は変成器のいずれかを用いて、誘電体材料を含む分離バリアを介して電力及びデータを提供し得る。データ分離回路108は、本明細書において、データ用デジタル分離回路108とも称され得、電力分離回路110は、電力用デジタル分離回路110とも称され得る。一実施形態において、電力分離回路110及びデータ分離回路108は両方とも分離のためにキャパシタを用い得る。

10

【0024】

状態監視領域101は、センサとインタフェースし、種々のセンサに結合するための複数のピンを含む。一実施形態において、入力はAC又はDCであり得、5Vから300Vの範囲の電圧を搬送し得る。典型的なバイナリ入力モジュールは8~16入力チャンネルを含むが、バイナリノデジタル入力モジュール100Aは、それより多い(例えば、24、32、48等)又は少ない(例えば、1、2、又は4)入力チャンネルを含み得る。状態監視領域101は、選択回路102、入力電圧回路104、比較器回路106、分離された電力回路112、分離された接地回路114、及びロジック回路116Aを含む。種々のピンが、状態監視領域101における回路に結合される。例えば、分離された電力を提供する電力出力ピンPWR_ISO、複数の差動入力ピンIN1_P、IN1_N~INx_P、INx_N(xはチップ上で利用可能な入力チャンネルの数)、入力タイプ選択ピンIN_TYPE_SEL、範囲選択ピンRANGE_SEL_1、RANGE_SEL_2、閾値選択ピンTH_SEL_1、TH_SEL_2、分離接地ピンGND_ISO、及び、汎用出力ピンGPO_1~GPO_x等がある。出力タイプ選択ピンは、特に図示されていないが、それも含まれ得る。

20

【0025】

ホスト側領域103は、マイクロプロセッサ等の処理ユニットとインタフェースし、ロジック回路116B及び診断回路118を含む。ホスト側領域103に結合されるピンは、単独の入力電力ピンPWR_IN、接地ピンGND、イネーブルピンENABLE、入力範囲外ピンINP_OUT_RANGE、接続エラーピンCONN_ERR、及び比較器状態ピンCOMP_CONDを含む診断ピン、各チャンネルに対するバイナリ出力ピンOUT_1~OUT_x、同数の汎用入力ピンGPI_1~GPI_x、及び、ユニバーサル非同期レシーバ/トランスミッタ(UART)、シリアルペリフェラルインタフェース(SPI)、及び、集積回路間(I2C)インタフェースの任意のものを用いて命令及びデータの双方向送信を提供し得るデジタル入力/出力インタフェースDIGTL_I/Oを含む。

30

【0026】

3つのピン、即ち、電力入力ピンPWR_IN、接地ピンGND、及びイネーブルピンENABLEが電力分離回路110に結合される。入力電力は、電力分離回路110を介して転送され、状態監視領域101内の他の回路に分配するために、電力を分離された電力回路112に提供する。少なくとも1つの実施形態において、図1Bにおいてわかるように、外部チップに電力を提供するために、分離された電力回路112が電力出力ピンPWR_ISOにも結合される。特に図示されていないが、電力入力ピンPWR_IN及びGNDはまた、ホスト側領域103における回路に電力を提供する。監視が必要でないときに、バイナリノデジタル入力モジュール100Aの1つ又は複数の回路をオフにする機能を提供するために、イネーブルピンENABLEが用いられる。この機能は、例えば、バイナリノデジタル入力モジュール100Aがバッテリーの状態を監視するために用いられるときに有用であり得る。この状態は、周期的に判定される必要があるが、一般的には常

40

50

時監視されるべき項目ではない。図 1 B に示されるように、バイナリ/デジタル入力モジュール 100 A がホストマイクロプロセッサ 120 に結合されるとき、ホストマイクロプロセッサ 120 は、所望に応じ、バイナリ/デジタル入力モジュール 100 A をイネーブルし、状態レポートを提供し、その後、再びチェックする時間まで、バイナリ/デジタル入力モジュール 100 A をディスエーブルするようにプログラムされ得る。ENABLE ピンを外部スイッチに結合することによって、現場の技術者が ENABLE ピンを用いて、所望に応じて状態をチェックすることができる。

【0027】

状態監視領域 101 内で、入力電圧回路 104 は、ピン IN1__P 及び IN1__N ~ INx__P 及び INx__N の複数の差動ペアに結合される。ピンの各差動ペアは、センサからの入力の差動ペアに結合され得る入力チャンネルを提供する。各チャンネルに対して、入力電圧回路は、入力電圧を判定するための電圧センサ（特に図示されていない）及び分圧器を含む。一実施形態において、各入力電圧は、24 V、48 V、110 V、及び 220 V に対応する 4 つの範囲の 1 つに分類される。バイナリ/デジタル入力モジュール 100 A の回路は典型的に、1.2 ~ 5.0 ボルトの範囲の電圧で動くため、入力電圧がバイナリ/デジタル入力モジュール 100 A を破壊しないように、入力電圧は適切に縮小されなければならない。

【0028】

入力電圧回路 104 における分圧器は、入力電圧を受け取るように結合される第 1 の抵抗器 105 と、第 2 の抵抗器 109 及びスイッチ 107 によって形成される選択可能な第 2 の抵抗器とを含む。一例において、スイッチ 107 の第 1 のスイッチが、220 V の入力電圧を縮小するために閉にされ、第 2 のスイッチが、110 V の入力電圧を縮小するために閉にされ、第 3 のスイッチが、48 V の入力電圧を縮小するために閉にされ、第 4 のスイッチが、24 V の入力電圧を縮小するために閉にされる。どの第 2 の抵抗器を用いるかに関する決定を行うには幾つかの手法がある。一実施形態において、電圧センサ（特に図示されていない）は入力チャンネルに結合される入力の電圧範囲を決定し、入力電圧回路 104 の中から所望の電圧を提供する第 2 の抵抗器を自動的に決定する。別の実施形態において、電圧範囲は、入力電圧回路 104 が結合される選択回路 102 から受け取る。入力電圧回路 104 はまた、比較器回路 106 にも結合され、比較器回路 106 に対して入力電圧回路 104 はスケールリングされた入力電圧を提供する。

【0029】

入力電圧回路 104 は、電圧が、入力ピン IN1__P、IN1__N ~ INx__P、INx__N の差動ペアの 1 つに誤って結合されているときに、チップへの偶発的な損傷からチップを保護するために設計された幾つかの回路を含む。誤った結合の一例は、ユーザが特定の入力ピンの差動ペアに対して例えば、48 V の入力電圧を受け取るように指定したが、代わりに 110 V 又は 220 V の電圧が誤ってそのピンに結合された場合に発生する。オーバーレンジ検出/保護回路 130 が、オーバーレンジ結合を検出し、電圧が回路の残りに到達するのをブロックする。誤った結合の別の例は、入力タイプ選択がバイナリ/デジタル入力モジュールが DC オンリーモードで実行されることを示している、差動入力の極性が誤って反転され、負のワイヤが正のピンに結合されたり、正のワイヤが負のピンに結合されたりした場合に発生し得る。入力極性保護回路 132 が入力電圧回路 104 の一部として提供され、正の電圧が負のピンを介して回路に到達するのをブロックする。一実施形態において、入力極性保護回路 132 は、負のダイオード上で正の電圧をブロックするように配置されるダイオードによって提供される。入力極性保護回路 132 はまた、入力タイプ選択が DC オンリーに設定されていて、AC 電源が誤ってそのピンに結合されるときに保護を提供し得る。入力タイプ選択ピン IN__TYPE__SEL が AC / DC に設定されているとき、入力極性回路 132 はバイパスされる。

【0030】

選択回路 102 は、選択ピン上でユーザから構成設定を受け取り、バイナリ/デジタル入力モジュール 100 においてこれらの選択を実装するように結合される。選択ピンの 1

10

20

30

40

50

つは、センサ入力のセット全体に対してDCオンリーか又はAC/DCのいずれかの選択を受け取るように用いられる入力タイプ選択ピンIN__TYPE__SELである。DCオンリーを指定すると、入力極性保護回路132が負の入力ピンに結合される。この実装においては特に図示されていないが、スイッチを用いてバイナリか又はデジタル出力かの選択を可能にするために、出力タイプ選択ピンOUT__TYPE__SELもまた実装され得る。

【0031】

入力電圧回路104で受け取られる各入力チャネルに対して、選択回路102は、計画された電圧範囲を選択するための範囲選択ピンと、入力ピンの各差動ペアに対する閾値を選択するための閾値選択ピンとを含む、付加的選択ピンに結合される。2つの範囲選択ピンRANGE__SEL__1、RANGE__SEL__2、及び2つの閾値選択ピンTH__SEL__1、TH__SEL__2がこの例示の実施形態において示されているが、選択ピンの実際数は、提供されるべき選択肢の数に依存する。前述のように、一実施形態において、電圧範囲は、典型的に24V、48V、110V、及び220Vを含む。2つの選択ピンRANGE__SEL__1及びRANGE__SEL__2に対して4つの個別の設定が利用可能である。各選択に関連する値の一例が、表1に示されている。

10

【表1】

表1

最大入力電圧範囲→	24V	48V	110V	220V
RANGE__SEL__1	0	0	1	1
RANGE__SEL__2	0	1	0	1

20

【0032】

同様に、2つの閾値選択ピンTH__SEL__1及びTH__SEL__2が、バイナリ/デジタル入力モジュール100Aによって監視されるべき閾値に対する4つの選択可能な値を提供し得る。閾値は、所望の入力電圧のパーセンテージとして表され得る。割り当てられた閾値の一例が表2に示されている。

【表2】

表2

入力電圧範囲の%	25%	50%	75%	90%
TH__SEL__1	0	0	1	1
TH__SEL__2	0	1	0	1

30

【0033】

概して、選択回路102は、2つの個別のルートを通じて、任意の選択、例えば、入力タイプ選択、出力タイプ選択、及び各差動入力ペアに対する選択された入力範囲、及び閾値選択を受け取り得る。一実施形態において、選択回路102は、入力タイプ選択ピンIN__TYPE__SEL、出力タイプ選択ピンOUT__TYPE__SEL、及び対応する範囲選択ピンRANGE__SEL__1、RANGE__SEL__2及び閾値選択ピンTH__SEL__1、TH__SEL__2を用いて、入力タイプ選択、出力タイプ選択、入力範囲選択、及び閾値選択を受け取る。一実施形態において、選択回路102は、入力タイプ選択、出力タイプ選択、入力範囲選択、及び閾値選択を、入力タイプ選択レジスタ、出力タイプ選択レジスタ、対応する範囲選択レジスタ、及び対応する閾値選択レジスタから受け取り、これらレジスタはまとめて選択レジスタと称される。選択レジスタは、マイクロプロセッサ120によって、デジタルインタフェースDIGTL__I/O及びロジック回路116A、116Bを介して書き込まれ得る。一実施形態において、選択回路に電圧範囲が提供されていないとき、即ち、選択レジスタが書き込まれておらず、選択ピンが浮遊のまま

40

50

にされているとき、範囲は入力電圧回路 104 によって自動的に選択され得る。IN__TYPE__SEL ピン及びOUT__TYPE__SEL ピンが浮遊のままにされ、これらのピンに対してプログラミングが提供されていない場合、一実施形態におけるデフォルト値は AC/DC 入力及びバイナリ出力に対するものである。選択ピンが設定されるか又は選択レジスタが書き込まれると、選択回路 102 は、選択された範囲及び入力タイプを入力電圧回路 104 に提供し、出力タイプ及び選択された範囲に対応するそれぞれのスケールリングされた閾値電圧、及び比較器回路 106 における対応する比較器に対する閾値を提供する。比較器回路 106 に選択回路 102 も結合される。

【0034】

比較器回路 106 は、入力の x 個の差動ペアの各々に対して比較器を含み、入力切り替えネットワーク 126 及び閾値切り替え回路 128 も含み得る。バイナリ/デジタル入力モジュール 100A は、ツェナーダイオード及び光ダイオードではなく、比較器を用いるので、バイナリ/デジタル入力モジュール 100A は、消費する電流がはるかに小さく、例えば、チャンネル毎に 100 μ A 又はそれ以下である。比較器が入力電圧を受信し、出力を提供する方法は、バイナリ/デジタル入力モジュール 100A がバイナリ出力に対して構成されているか又はデジタル出力に対して構成されているかに応じて変化する。バイナリ/デジタル入力モジュール 100A がバイナリ出力に対して構成されている場合、入力切り替えネットワーク 126 及び閾値切り替え回路 128 はバイパスされ、比較器回路 106 の各比較器 C1 ~ Cx は、入力電圧回路 104 からのスケールリングされた入力電圧、及び、選択回路 102 からそれぞれのスケールリングされた閾値電圧を受け取り、2つの電圧を比較するように結合される。各比較器 C1 ~ Cx の出力値はバイナリ値である。入力電圧が選択された閾値を超えると、対応する比較器の出力値は、1つのバイナリ値（例えば、低又は高）から第2のバイナリ値（即ち、高又は低）に変化する。入力と比較器との間が1対1で対応しているとすると、全ての電圧入力ペアが同時にチェックされ得る。比較器からの出力値は、ロジック回路 116A に送られ、ロジック回路 116A は、比較器出力値を、データ分離回路 108 を介して、ロジック回路 116B に提供するように結合される。ロジック回路 116B から、出力値は、各々、対応する出力ピン OUT__1 ~ OUT__x 上に提供される。代替的又は付加的に、全ての比較器からの出力値は、要求に応じて、デジタルインタフェース DIGTL_I/O を介して提供され得、デジタルインタフェース DIGTL_I/O は、例えば UART/I2C/SPI を用いて通信し得る。

【0035】

バイナリ/デジタル入力モジュール 100A がデジタル出力に対して構成されるとき、入力切り替えネットワーク 126 と閾値切り替え回路 128 が係合されて、複数の比較器が同時に単一の入力電圧に結合される。一方、複数の比較器の各々は、入力範囲に対して異なる閾値を受け取るように結合され、比較器のセットをアナログデジタルコンバータ (ADC) に変える。各入力電圧はチェックされ得、デジタル値が提供されるが、入力ペアと比較器の間に、出力を提供する必要がある一対一の対応がなくなったため、入力電圧は逐次チェックされる。1つの例示の実施形態において、単一の入力チャンネルが一度に8個の比較器に結合され、デジタルインタフェース DIGTL_I/O を介して、ホストマイクロプロセッサ 120 に8ビットの出力を提供する。

【0036】

ロジック回路 116A は、比較器回路 106 とデータ分離回路 108 との間に結合される。同様に、ロジック回路 116B は、データ分離回路 108 と複数のピンとの間に結合され、複数のピンは、比較器出力ピン OUT__1 ~ OUT__x、汎用入力 GPI__1 ~ GPI__x、及びデジタルインタフェース DIGTL_I/O を含む。ロジック回路 116A、116B の各々は、ハードウェアロジックゲート及びプログラマブルレジスタで構成される。プログラマブルレジスタは、例えば、入力タイプ選択、出力タイプ選択、入力電圧範囲、及びホストマイクロプロセッサ 120 等のマイクロコントローラからの閾値等の選択基準を、選択回路 102 に送るため、又は比較器回路 106 からの出力値又は診断テストの結果をマイクロコントローラに送り返すために用いられ得る。

10

20

30

40

50

【 0 0 3 7 】

診断回路 1 1 8 は、それぞれのチャンネル上の特定のエラー状態に各々関連するレジスタを含む。一実施形態において、付加的なレジスタにより、それぞれのチャンネルを、各エラー状態に対して個別のレジスタに結合することができ、その結果、問題の箇所の識別をホストマイクロプロセッサに提供することができる。診断回路 1 1 8 はまた、それぞれの診断ピンの状態を変化させることによってレジスタにおける変化にตอบสนองするロジックゲートを含む。入力ピンの差動ペア IN 1 __ P、IN 1 __ N ~ IN x __ P、IN x __ N 上の入力電圧が、入力ピンのそのペアに対して選択されている電圧範囲を超えると、入力範囲外ピン IN P __ O U T __ R A N G E によって第 1 の信号が提供される。これは、例えば、入力ピンの所与の差動ペアに対して、ユーザが 4 8 V の入力範囲を選択しているにもかかわらず、1 1 0 V 又は 2 2 0 V の電圧をその差動ペアに対して接続した場合に起こり得る。これが発生すると、オーバーレンジ検出 / 保護回路 1 3 0 は、ピンの差動ペア上で受け取られた電圧を検出し、この電圧を選択回路 1 0 2 によって提供される選択された電圧と比較する。オーバーレンジ検出 / 保護回路 1 3 0 が、入力電圧が選択された電圧を超えたことを検出すると、オーバーレンジ検出 / 保護回路 1 3 0 は、関連するレジスタにエラー値を書き込む。診断回路 1 1 8 に関連するレジスタの 1 つに対する如何なる変化も、直ちにロジック回路 1 1 6 A、データ分離回路 1 0 8、及びロジック回路 1 1 6 B を介して診断回路 1 1 8 に送られ、診断回路 1 1 8 は、IN P __ O U T __ R A N G E ピン上に高値を設定する。所望に応じ、デジタルインタフェースピン DIGITL __ I / O を用いて同じ情報が送られ得、問題が発生している入力ピンの差動ペアを識別し得る。典型的に、IN P __ O U T __ R A N G E ピンは、LED フラグ 1 2 2 の 1 つに結合され、その結果、現場の技術者が問題に対するアラートを迅速に受け取ることができ、一方、ホストマイクロコントローラ 1 2 0 は、その状況に対して他の措置を講じることができる。上述したように、入力電圧回路 1 0 4 はまた、付加的な電圧がチップの内部回路を損傷することを防ぐための措置を講じる。

10

20

【 0 0 3 8 】

バイナリ / デジタル入力回路 1 0 0 における電流センサ（特に図示されていない）が、障害状態を示すチップの状態監視領域 1 0 1 における電流消費を検出すると、接続エラーピン CONN __ E R R によって第 2 の信号が提供される。この状態は、例えば、2 つのピンが誤ってともに短絡され、状態監視領域 1 0 1 内に電流が流れると発生し得る。この電流が検出されると、過電流の箇所を示すために、バイナリ / デジタル入力モジュール 1 0 0 によって、関連するレジスタに値が書き込まれる。レジスタの値における変更が、ロジック回路 1 1 6 A、1 1 6 B 及びデータ分離回路 1 0 8 を介して送られ、診断回路 1 1 8 に提供される。診断回路 1 1 8 において、状態における変化は、接続エラーピン CONN __ E R R を介して及び / 又はデジタルインタフェース DIGITL __ I / O を介してホストマイクロプロセッサ 1 2 0 に提供される。接続エラーピン CONN __ E R R はまた、入力極性保護回路 1 3 2 から入力を受け取り、負の入力ピン IN 1 __ N ~ I n x __ N のいずれかで正の電圧が受け取られたときアラートを提供するように結合され得る。

30

【 0 0 3 9 】

第 3 の信号が、ユーザ又はホストマイクロプロセッサ 1 2 0 によって開始されるテストフェーズの間に提供され得、比較器回路 1 0 6 の状態を示す。テストフェーズが開始されると、診断回路 1 1 8 は、比較器回路 1 0 6 における各比較器 C 1 ~ C x に対して、比較器が正常に機能しているか否かを判定するためのテストを開始する。診断回路 1 1 8 は、各比較器 C 1 ~ C x に、比較器に値を変更させるように設計された信号を送る。即ち、所与の閾値電圧に対して、各比較器は、入力電圧が閾値電圧より小さい信号及び入力電圧が閾値電圧より大きい信号を提供される。テストは、回路全体が適切に動作していることを確実にするために、入力スイッチネットワーク 1 2 6 及び閾値スイッチネットワーク 1 2 8 を介する入力も含み得る。比較器状態ピン COMP C __ O N D 上の第 1 の値は、比較器が適切にตอบสนองしたことを示し、比較器状態ピン COMP __ C O N D 上の第 2 の値は、1 つ又は複数の比較器が適切にตอบสนองせず、損傷していると見なされることを示す。同じ情報が

40

50

、デジタルインタフェースDIGITL__I/O上にも提供され得る。

【0040】

図1Bは、図1の実施形態の簡略図を提供し、説明されるチップが他の回路及びデバイスに結合され得る1つの手法を図示する。この実施形態において、入力タイプ選択ピンIN__TYPE__SEL、範囲ピンIN__RANGE__SEL1、IN__RANGE__SEL2、及び閾値選択ピンIN__TH__SEL1、IN__TH__SEL2は、デュアルインラインパッケージ(DIP)スイッチ124におけるスイッチに結合されている。電力出力ピンPWR__ISO、及び分離接地ピンGND__ISOを用いてDIPスイッチ124に分離電力接続が提供され、その結果、選択ピンIN__TYPE__SEL、RANG__SEL__1、RANG__SEL__2、TH__SEL1及びTH__SEL2、並びにピンとして利用可能であればOUT__TYPE__SELの各々が、電力出力ピンPWR__ISOによって提供される上側電圧レールか又はGND__ISOによって提供される下側電圧レールのいずれかに結合され得、選択回路102内にバイナリ入力を提供する。これらのバイナリ入力をを用いることによって、ユーザが、各入力チャンネルに対する予期される電圧範囲及び閾値の設定を迅速に、即ち、より少ないスイッチの位置を変更することによって、変更することができる。

10

【0041】

バイナリ/デジタル入力モジュール100Bのホスト側領域103上で、出力ピンOUT__1~OUT__x、汎用入力ピンGPI__1~GPI__x、デジタルインタフェースピンDIGITL__I/O、及び診断ピンINP__OUT__RANGE、CONN__ERR、COMP__CONDは、それぞれホストマイクロプロセッサ120に結合される。ENABLEピンは、図示されるようにホストマイクロプロセッサ120に結合され得るか、又はENABLEピンは、必要などきのみ回路をイネーブルするように、現場の技術者によってオンにされ得るスイッチに結合され得る。ホストマイクロプロセッサ120は、出力ピンOUT__1~OUT__x上か又はデジタルインタフェースピンDIGITL__I/O上のいずれかに提供される情報を用いて、監視下のシステムに関する決定を行う。また、LEDフラグ122が、3つの診断ピンINP__OUT__RANGE、CONN__ERR、COMP__CONDに結合され得、システムが適切に動作しているか又はエラー状態が存在しているかを示す視覚的表示を提供する。一実施形態において、LEDフラグ122は、例えば、アラーム等の聴覚的信号によって置き換えられ得る。汎用出力ピンGPO__1~GPO__xがセンサ(特に図示されていない)に関連するスイッチに結合される場合、ホストマイクロプロセッサ120はまた、汎用入力ピンGPI__1~GPI__xを用いてバイナリ信号を送ることによって、これらのスイッチを変更し得る。これらのバイナリ信号は、データ分離回路108及びロジック回路116A及び116Bを介して送られ、汎用出力ピンGPO__1~GPO__xに提供される。

20

30

【0042】

説明されるバイナリ/デジタル入力モジュールは、これまで入力モジュールにおいて顧客に対して利用可能ではなかった柔軟性及び保護を提供する。入力電圧、閾値、及び受け入れ電圧のタイプを含む入力に対する変更が、幾つかのスイッチを変更するだけで、又は適切なレジスタをプログラミングするだけで利用可能となる。ユーザにとって操作が大幅に簡素化されるだけでなく、誤った電圧のブロック及び誤接続の通知の提供を含む保護が提供される。また、バイナリ/デジタル入力モジュール自体にエラーがないかをチェックし、要求に応じて報告する機能も提供される。

40

【0043】

バイナリ/デジタル入力モジュール100Aを、ユーザに対して大きな柔軟性を提供するものとして説明してきた。説明されたバイナリ/デジタル入力モジュールの実施形態が、必ずしも、説明された実施形態の範囲に含まれる柔軟性の全ての可能な要素を含む必要はない。むしろ、バイナリ出力又はデジタル出力のいずれかに対して構成され得る単一のチップを提供するのではなく、或る実施形態が、バイナリ出力のみに対するプリセット構成又はデジタル出力のみに対するプリセット構成を備えて提供され得る。一実施形態にお

50

いて、例えば、電圧範囲、閾値、入力信号タイプ、出力信号タイプ等の選択可能な特性の各々をプログラミングするための入力が、デジタルインタフェースに対する能力を持たないピンのみを介して提供される。一実施形態において、選択可能な特性の各々をプログラミングするための入力がデジタルインタフェースのみを介して提供され、これらの要素に対してピンが提供されていない。一実施形態において、入力電圧タイプは、DCオンリーとして或いはAC/DCとして固定されている。説明された改善の任意の組み合わせが、説明された実施形態の範囲内で考慮されるべきである。

【0044】

特許請求の範囲内で、説明した実施形態における変更が可能であり、他の実施形態が可能である。

10

20

30

40

50

【図面】

【図 1 A】

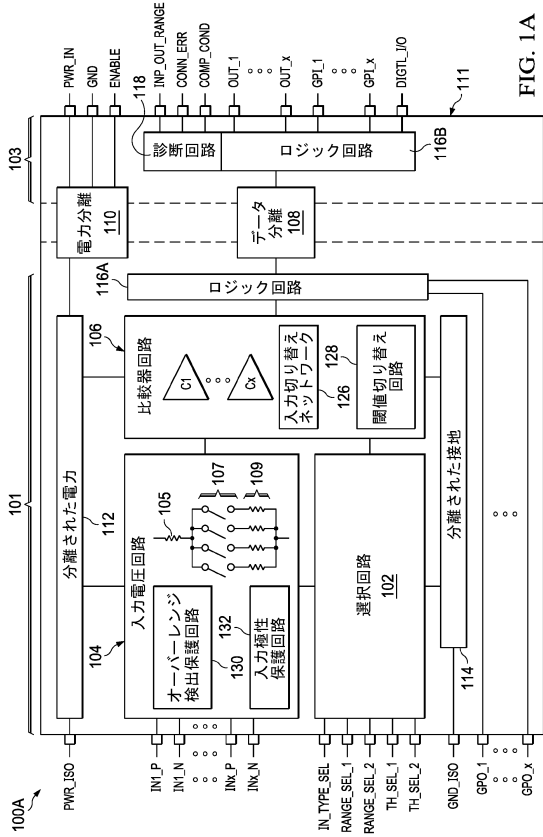


FIG. 1A

【図 1 B】

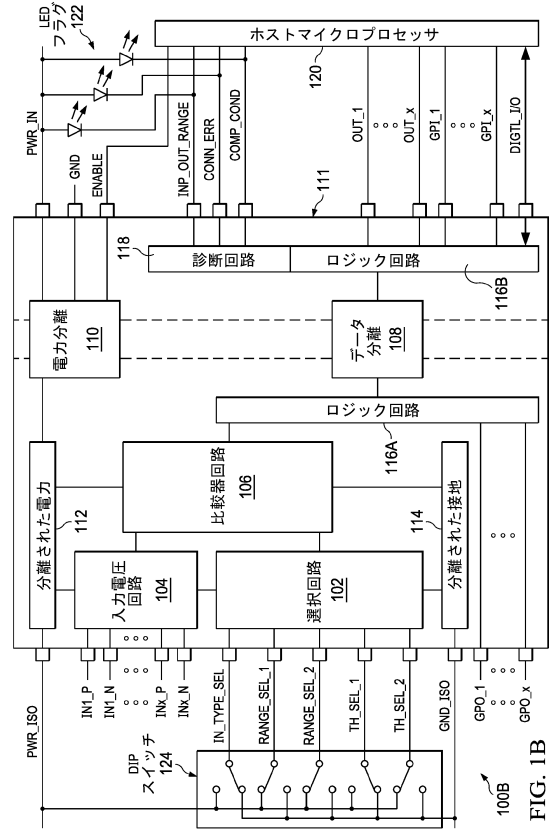


FIG. 1B

【図 2】

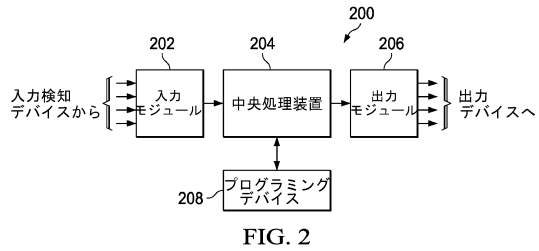


FIG. 2

【図 3 A】

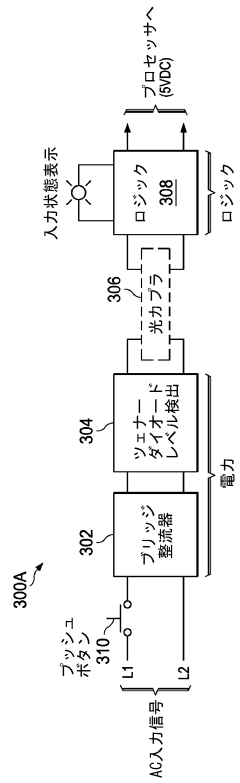


FIG. 3A (従来技術)

10

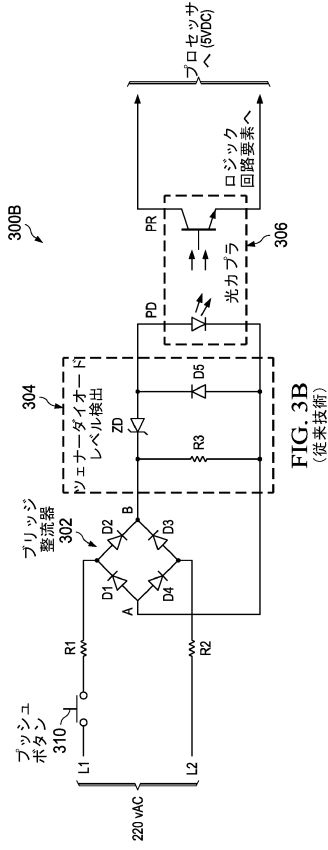
20

30

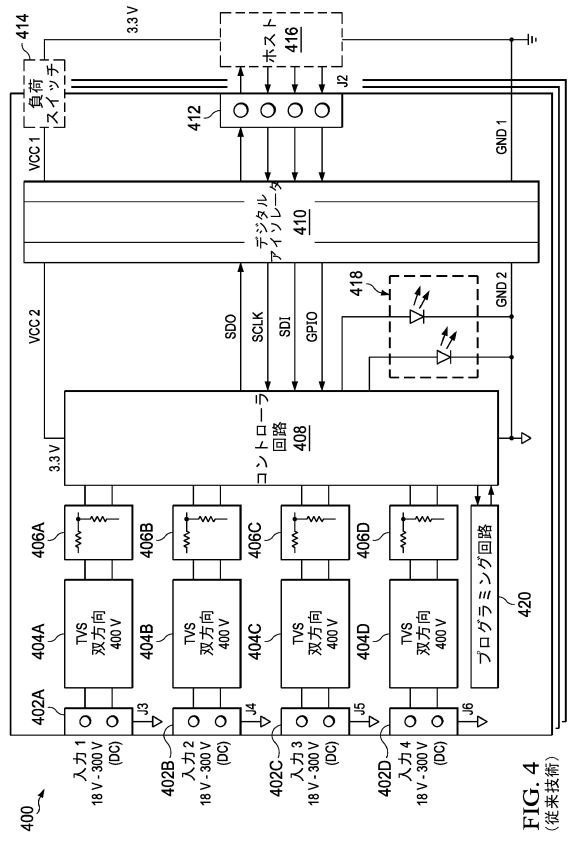
40

50

【図 3 B】



【図 4】



10

20

30

40

50

フロントページの続き

- ロード, サイ スリー エンクレイブ, ナンバー 403
- (72)発明者 アミット ジー クンバシ
アメリカ合衆国 75013 テキサス州 アレン, クール スプリングス ドライブ 1417
- (72)発明者 ブラサンナ ウドゥピ ラジャゴバル
アメリカ合衆国 75082 テキサス州 リチャードソン, エイピーティアー ナンバー 3021,
ダブリュー シティライン ドライブ 110
- 審査官 小川 浩史
- (56)参考文献 国際公開第02/08867 (WO, A2)
特開2004-288173 (JP, A)
特開2005-184118 (JP, A)
米国特許第4933869 (US, A)
米国特許第9621383 (US, B1)
- (58)調査した分野 (Int.Cl., DB名)
G01R 19/00 - 19/32