



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0024096
(43) 공개일자 2017년03월06일

(51) 국제특허분류(Int. Cl.)
H01M 10/0585 (2010.01) C01B 25/45 (2006.01)
H01M 10/0525 (2010.01) H01M 10/0562 (2010.01)
H01M 4/04 (2006.01) H01M 6/18 (2006.01)
H01M 6/40 (2006.01)
(52) CPC특허분류
H01M 10/0585 (2013.01)
C01B 25/45 (2013.01)
(21) 출원번호 10-2017-7002866
(22) 출원일자(국제) 2015년07월01일
심사청구일자 없음
(85) 번역문제출일자 2017년02월01일
(86) 국제출원번호 PCT/FR2015/051801
(87) 국제공개번호 WO 2016/001579
국제공개일자 2016년01월07일
(30) 우선권주장
1456250 2014년07월01일 프랑스(FR)

(71) 출원인
이-펜
프랑스공화국, 69410 샴빠뉴-오-몽-도르, 뤼 데 줄느, 6
(72) 발명자
가뱁, 파비앙
프랑스공화국, 69570 다르딜리, 몽페 뒤 끌레르 5
(74) 대리인
특허법인오리진

전체 청구항 수 : 총 26 항

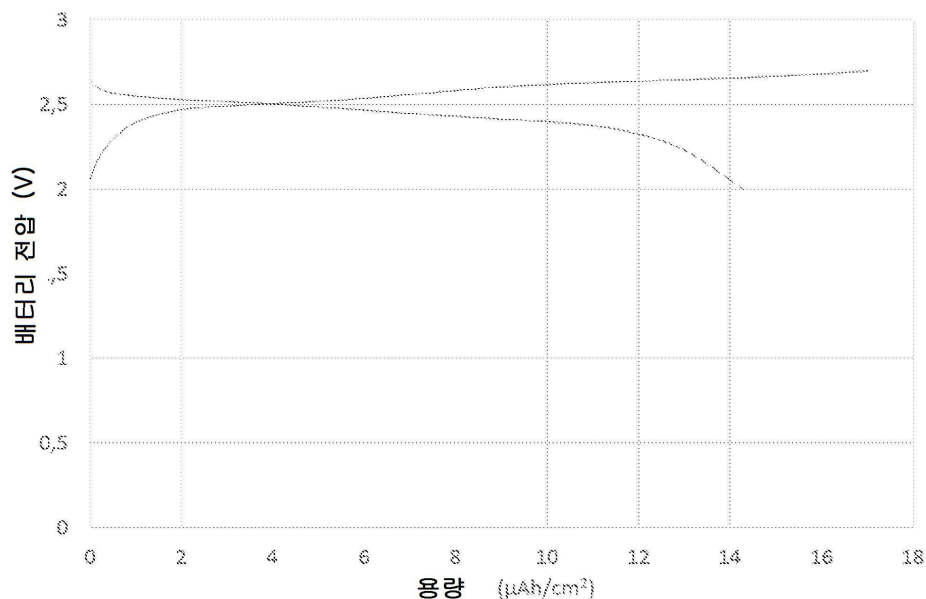
(54) 발명의 명칭 애노드과 접촉시 안정한 리튬 포스페이트 고체 전해질을 포함하는 전-고체 배터리

(57) 요약

본 발명은 하기의 일련의 단계를 포함하는, 전-고체(all-solid) 박-층(thin-layer) 배터리의 제조 방법에 관한 것이다: a) 적어도 하나의 애노드 재료를 포함하는 층이 이의 전도성 기판상에 증착되는 단계; b) 적어도 하나의 캐소드 재료를 포함하는 층이 이의 전도성 기판상에 증착되는 단계; c) 하기 중에서 선택되는 적어도 하나의 고

(뒷면에 계속)

대표도 - 도1



체 전해질 재료를 포함하는 층이 단계(a) 및/또는 단계 (b)에서 획득된 층 상에 증착되는 단계: $\text{Li}_3(\text{Sc}_{2-x}\text{M}_x)(\text{PO}_4)_3$ (상기에서, $\text{M} = \text{Al}$ 또는 Y 이고 $0 \leq x \leq 1$ 임); 또는 $\text{Li}_{1+x}\text{M}_x(\text{Sc})_{2-x}(\text{PO}_4)_3$ (이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 3개 화합물의 혼합물이고, $0 \leq x \leq 0.8$ 임); 또는 $\text{Li}_{1+x}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}(\text{PO}_4)_3$ (이때, $0 \leq x \leq 0.8$ 이고, $0 \leq y \leq 1$ 이고, 및 $\text{M} = \text{Al}$ 또는 Y ; 또는 이들 2개 화합물의 혼합물임); 또는 $\text{Li}_{1+x}\text{M}_x(\text{Ga})_{2-x}(\text{PO}_4)_3$ (이때, $\text{M} = \text{Al}$, Y ; 또는 이들 2개 화합물의 혼합물이고, 및 $0 \leq x \leq 0.8$ 임); 또는 $\text{Li}_{3+y}(\text{Sc}_{2-x}\text{M}_x)\text{Q}_y\text{P}_{3-y}\text{O}_{12}$ (이때, $\text{M} = \text{Al}$ 및/또는 Y 이고, $\text{Q} = \text{Si}$ 및/또는 Se 이고, $0 \leq x \leq 0.8$ 이고, 및 $0 \leq y \leq 1$ 임); 또는 $\text{Li}_{1+x+y}\text{M}_x\text{Sc}_{2-x}\text{Q}_y\text{P}_{3-y}\text{O}_{12}$ (이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 3개 화합물의 혼합물이고, 및 $\text{Q} = \text{Si}$ 및/또는 Se 이고, $0 \leq x \leq 0.8$ 이고, 및 $0 \leq y \leq 1$ 임); 또는 $\text{Li}_{1+x+y+z}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}\text{Q}_z\text{P}_{3-z}\text{O}_{12}$ (이때, $0 \leq x \leq 0.8$ 이고; $0 \leq y \leq 1$ 이고; $0 \leq z \leq 0.6$ 이고, $\text{M} = \text{Al}$ 또는 Y 또는 이들 2개 화합물의 혼합물이고, 및 $\text{Q} = \text{Si}$ 및/또는 Se 임); $\text{Li}_{1+x}\text{N}_x\text{M}_{2-x}\text{P}_3\text{O}_{12}$ (이때, $0 \leq x \leq 1$ 이고, $\text{N} = \text{Cr}$ 및/또는 V 이고, $\text{M} = \text{Sc}$, Sn , Zr , Hf , Se 또는 Si , 또는 이들 화합물의 혼합물임); d) 단계 c)에서 획득된 고체 전해질 재료의 층으로 코팅되거나 코팅되지 않은 캐소드 재료의 층과 단계 c)에서 획득된 전해질 재료의 층으로 코팅되거나 코팅되지 않은 애노드 재료의 층과 단계 c)에서 획득된 전해질 재료의 층으로 코팅된 캐소드 재료의 층을 면-면으로 연속적으로 적층하는 단계; 및 단계 d)에서 획득된 적층물(stack)을 열적으로 처리 및/또는 기계적으로 압축하여 전-고체 박-층 배터리가 수득되는 단계.

(52) CPC특허분류

H01M 10/0525 (2013.01)
H01M 10/0562 (2013.01)
H01M 4/0421 (2013.01)
H01M 4/045 (2013.01)
H01M 4/0457 (2013.01)
H01M 6/18 (2013.01)
H01M 6/40 (2013.01)
H01M 2300/0068 (2013.01)
Y02P 70/54 (2015.11)

명세서

청구범위

청구항 1

하기의 일련의 단계를 포함하는, 전-고체(all-solid) 박-층(thin-layer) 배터리의 제조 방법:

a) 적어도 하나의 애노드 재료를 포함하는 층 (이하, "애노드 재료층"으로 언급됨)이, 바람직하게는 금속 시트, 금속 스트립, 금속화된 절연 시트, 금속화된 절연 스트립, 금속화된 절연 필름으로 이루어지는 군으로부터 선택되는, 전도성 기판(substrate) 상에 증착되는 단계로, 상기 전도성 기판 또는 그의 전도성 요소가 애노드 전류 집전체(current collector)로서 기능할 수 있는, 단계;

b) 적어도 하나의 캐소드 재료를 포함하는 층 (이하, "캐소드 재료층"이라 언급됨)이, 바람직하게는 금속 시트, 금속 스트립, 금속화된 절연 시트, 금속화된 절연 스트립, 금속화된 절연 필름으로 이루어지는 군으로부터 선택되는 전도성 기판상에 증착되는 단계로, 상기 전도성 기판 또는 그의 전도성 요소가 캐소드 전류 집전체로서 기능할 수 있는 단계, 상기에서 단계 a) 및 b)는 역전될 수 있음;

c) 하기로부터 선택되는 적어도 하나의 고체 전해질 재료를 포함하는 층 (이하, "전해질 재료층"이라고 언급됨)이 단계(a) 및/또는 단계 (b)에서 획득된 층 상에 증착되는 단계:

- $\text{Li}_3(\text{Sc}_{2-x}\text{M}_x)(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$ 또는 Y 이고 $0 \leq x \leq 1$ 임; 또는

- $\text{Li}_{1+x}\text{M}_x(\text{Sc})_{2-x}(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 3개 화합물의 혼합물이고, $0 \leq x \leq 0.8$ 임; 또는

- $\text{Li}_{1+x}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}(\text{PO}_4)_3$ 이때, $0 \leq x \leq 0.8$, $0 \leq y \leq 1$, 및 $\text{M} = \text{Al}$ 또는 Y ; 또는 이들 2개 화합물의 혼합물임; 또는

- $\text{Li}_{1+x}\text{M}_x(\text{Ga})_{2-x}(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$, Y ; 또는 이들 2개 화합물의 혼합물이고, $0 \leq x \leq 0.8$ 임; 또는

- $\text{Li}_{3+y}(\text{Sc}_{2-x}\text{M}_x)\text{Q}_y\text{P}_{3-y}\text{O}_{12}$, 이때, $\text{M} = \text{Al}$ 및/또는 Y , $\text{Q} = \text{Si}$ 및/또는 Se , $0 \leq x \leq 0.8$, 및 $0 \leq y \leq 1$ 임; 또는

- $\text{Li}_{1+x+y}\text{M}_x\text{Sc}_{2-x}\text{Q}_y\text{P}_{3-y}\text{O}_{12}$, 이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 3개 화합물의 혼합물이고, $\text{Q} = \text{Si}$ 및/또는 Se , $0 \leq x \leq 0.8$, 및 $0 \leq y \leq 1$; 또는

- $\text{Li}_{1+x+y+z}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}\text{Q}_z\text{P}_{3-z}\text{O}_{12}$, 이때, $0 \leq x \leq 0.8$; $0 \leq y \leq 1$; $0 \leq z \leq 0.6$, $\text{M} = \text{Al}$ 또는 Y 또는 이들 2개 화합물의 혼합물이고, $\text{Q} = \text{Si}$ 및/또는 Se 임;

- $\text{Li}_{1+x}\text{N}_x\text{M}_{2-x}\text{P}_3\text{O}_{12}$, 이때, $0 \leq x \leq 1$, $\text{N} = \text{Cr}$ 및/또는 V 이고, $\text{M} = \text{Sc}$, Sn , Zr , Hf , Se 또는 Si , 또는 이들 화합물의 혼합물임;

d) 층 위에 층으로, 연속해서(in series), 하기의 것이 적층되는 단계:

- 단계 c)에서 획득된 적어도 하나의 전해질 재료를 포함하는 층으로 코팅되거나 코팅되지 않은 적어도 하나의 캐소드 재료를 포함하는 층과, 단계 c)에서 획득된 적어도 하나의 전해질 재료를 포함하는 층으로 코팅된 적어도 하나의 애노드 재료를 포함하는 층;

- 또는, 단계 c)에서 획득된 적어도 하나의 전해질 재료를 포함하는 층으로 코팅되거나 코팅되지 않은 적어도 하나의 애노드 재료를 포함하는 층과, 단계 c)에서 획득된 적어도 하나의 전해질 재료를 포함하는 층으로 코팅된 적어도 하나의 캐소드 재료를 포함하는 층;

e) 단계 d)에서 획득된 적층물(stack)의 열처리 및/또는 기계적 압축이 수행되어 전-고체 박층 배터리가 수득되는 단계.

청구항 2

제1항에 있어서,

전해질 재료층이 단계 a)에서 획득된 층 상에 증착되는 경우, 하기로부터 선택되는 적어도 하나의 재료의 층이 선택적으로 단계 b)에서 획득된 층 상에 증착되는 것을 특징으로 하는 방법:

- $\text{Li}_3(\text{Sc}_{2-x}\text{M}_x)(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$ 또는 Y 및 $0 \leq x \leq 1$ 임; 또는
- $\text{Li}_{1+x}\text{M}_x(\text{Sc})_{2-x}(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 2개 또는 3개 화합물의 혼합물이고, $0 \leq x \leq 0.8$ 임; 또는
- $\text{Li}_{1+x}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}(\text{PO}_4)_3$, 이때, $0 \leq x \leq 0.8$; $0 \leq y \leq 1$ 및 $\text{M} = \text{Al}$ 또는 Y ; 또는 이들 2개 화합물의 혼합물임; 또는
- $\text{Li}_{1+x}\text{Al}_x\text{Ti}_{2-x}(\text{PO}_4)_3$, 이때, $0 \leq x \leq 1$; 또는
- $\text{Li}_{1+x}\text{Al}_x\text{Ge}_{2-x}(\text{PO}_4)_3$, 이때, $0 \leq x \leq 1$; 또는
- $\text{Li}_{1+x+z}\text{M}_x(\text{Ge}_{1-y}\text{Ti}_y)_{2-x}\text{Si}_z\text{P}_{3-z}\text{O}_{12}$, 이때, $0 \leq x \leq 0.8$; $0 \leq y \leq 1$; $0 \leq z \leq 0.6$ 및 $\text{M} = \text{Al}$, Ga 또는 Y 또는 이들 2개 또는 3개 화합물의 혼합물임; 또는
- $\text{Li}_{3+y}(\text{Sc}_{2-x}\text{M}_x)\text{Q}_y\text{P}_{3-y}\text{O}_{12}$, 이때, $\text{M} = \text{Al}$ 및/또는 Y , 및 $\text{Q} = \text{Si}$ 및/또는 Se , $0 \leq x \leq 0.8$ 및 $0 \leq y \leq 1$; 또는
- $\text{Li}_{1+x+y}\text{M}_x\text{Sc}_{2-x}\text{Q}_y\text{P}_{3-y}\text{O}_{12}$, 이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 3개 화합물의 혼합물, 및 $\text{Q} = \text{Si}$ 및/또는 Se , $0 \leq x \leq 0.8$, 및 $0 \leq y \leq 1$; 또는
- $\text{Li}_{1+x+y+z}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}\text{Q}_z\text{P}_{3-z}\text{O}_{12}$, 이때, $0 \leq x \leq 0.8$; $0 \leq y \leq 1$; 또는 $0 \leq z \leq 0.6$, $\text{M} = \text{Al}$ 또는 Y 또는 이들 두 화합물의 혼합물, $\text{Q} = \text{Si}$ 및/또는 Se ;
- $\text{Li}_{1+x}\text{N}_x\text{M}_{2-x}\text{P}_3\text{O}_{12}$, 이때, $0 \leq x \leq 1$ 및 $\text{N} = \text{Cr}$ 및/또는 V , $\text{M} = \text{Sc}$, Sn , Zr , Hf , Se 또는 Si 또는 이들 화합물의 혼합물임.

청구항 3

제1항 또는 제2항에 있어서,

고체 애노드층, 캐소드층 및 전해질층이 하기 기술 중의 적어도 하나에 의해 증착되는 것을 특징으로 하는, 방법:

- (i) 물리적 기상 증착(PVD), 특히, 진공 증발, 레이저 삭마, 이온빔 또는 캐소드스퍼터링;
- (ii) 화학적 기상 증착(CVD), 특히 플라즈마-강화 화학적 기상 증착(PECVD), 레이저-보조 화학적 기상 증착(LACVD), 또는 에어로졸-보조 화학적 기상 증착(AA-CVD);
- (iii) 전기분사;
- (iv) 전기이동;
- (v) 에어로졸 증착;
- (vi) 졸-겔;
- (vii) 침적(dipping), 특히 딥-코팅, 스핀-코팅 또는 랭뮤어-블로드젯 공정(Langmuir-Blodgett process).

청구항 4

제1항 내지 제3항 중의 어느 한 항에 있어서,

애노드층, 캐소드층 및 전해질층이 전기분사, 전기이동, 에어로졸 증착 및 디핑에 의하여 증착되고, 특히 바람직하게는 전기이동에 의하여 모두 증착되는 것을 특징으로 하는 방법.

청구항 5

제1항 내지 제4항 중의 어느 한 항에 있어서,

애노드층, 캐소드층 및 전해질층이 전기적 전도체, 특히 흑연 및/또는 전해질 필름을 제조하는 데 사용되는 형태의 리튬 이온 전도성 재료의 나노입자 또는 이온성 기를 포함하는 가교된 고체 고분자 재료를 또한 포함함을 특징으로 하는 방법.

청구항 6

제1항 내지 제5항 중의 어느 한 항에 있어서,

애노드층 및/또는 캐소드층 및/또는 전해질층이 각각 하기의 기술: 전기분사, 전기이동, 에어로졸 증착 및 디핑 중의 적어도 하나로부터 선택되는 애노드 재료, 캐소드 재료 또는 전해질 재료의 나노입자의 증착에 의하여 제조되는 것을 특징으로 하는 방법.

청구항 7

제6항에 있어서,

애노드 재료, 캐소드 재료 및 전해질 재료의 나노입자의 층이 모두 전기이동에 의하여 증착되는 것을 특징으로 하는 방법.

청구항 8

제1항 내지 제7항 중의 어느 한 항에 있어서,

애노드 재료층 a)은 하기로부터 선택되는 재료로 제조되는 것을 특징으로 하는 방법:

(i) 주석 옥시니트라이드(대표 식(typical formula) SnO_xN_y);

(ii) 리튬화 철 포스페이트(대표 식 LiFePO_4);

(iii) 혼성화된 규소 및 주석 옥시니트라이드 (대표 식 $\text{Si}_a\text{Sn}_b\text{O}_y\text{N}_z$, 이때, $a>0$, $b>0$, $a+b\leq 2$, $0<y\leq 4$, $0<z\leq 3$ 임)(또한, SiTON으로도 언급됨), 특히, $\text{SiSn}_{0.87}\text{O}_{1.2}\text{N}_{1.72}$; $\text{Si}_a\text{Sn}_b\text{C}_c\text{O}_y\text{N}_z$ 의 형태의 옥시니트라이드, 이때, $a>0$, $b>0$, $a+b\leq 2$, $0<c<10$, $0<y<24$, $0<z<17$ 임; $\text{Si}_a\text{Sn}_b\text{C}_c\text{O}_y\text{N}_z\text{X}_n$, 이때, X_n 은 F, Cl, Br, I, S, Se, Te, P, As, Sb, Bi, Ge, Pb 중의 적어도 하나의 원소, $a>0$, $b>0$, $a+b>0$, $a+b\leq 2$, $0<c<10$, $0<y<24$, 및 $0<z<17$ 임; 및 $\text{Si}_a\text{Sn}_b\text{O}_y\text{N}_z\text{X}_n$, 이때, X_n 은 F, Cl, Br, I, S, Se, Te, P, As, Sb, Bi, Ge, Pb 중의 적어도 하나의 원소, $a>0$, $b>0$, $a+b\leq 2$, $0<y\leq 4$ 및 $0<z\leq 3$ 임;

(iv) Si_xN_y (특히 $x=3$ 및 $y=4$ 인), Sn_xN_y (특히 $x=3$ 및 $y=4$ 인), Zn_xN_y (특히 $x=3$ 및 $y=4$ 인), $\text{Li}_{3-x}\text{M}_x\text{N}$ ($\text{M} = \text{Co}$, Ni , Cu 인) 형태의 니트라이드(nitride);

(v) 옥사이드(oxide) SnO_2 , $\text{Li}_4\text{Ti}_5\text{O}_{12}$, $\text{SnB}_{0.6}\text{P}_{0.4}\text{O}_{2.9}$ 및 TiO_2 .

청구항 9

제1항 내지 제8항 중의 어느 한 항에 있어서,

캐소드 재료층 b)는 하기로부터 선택되는 캐소드 재료로 제조되는 것을 특징으로 하는 방법:

(i) 옥사이드 LiMn_2O_4 , LiCoO_2 , LiNiO_2 , $\text{LiMn}_{1.5}\text{Ni}_{0.5}\text{O}_4$, $\text{LiMn}_{1.5}\text{Ni}_{0.5-x}\text{X}_x\text{O}_4$ (여기서 X 는 Al, Fe, Cr, Co, Rh, Nd, 다른 희토류 원소로부터 선택되고, $0 < x < 0.1$ 임), LiFeO_2 , $\text{LiMn}_{1/3}\text{Ni}_{1/3}\text{Co}_{1/3}\text{O}_4$;

(ii) 포스페이트 LiFePO_4 , LiMnPO_4 , LiCoPO_4 , LiNiPO_4 , $\text{Li}_3\text{V}_2(\text{PO}_4)_3$; 식 $\text{LiMM}'\text{PO}_4$ 의 포스페이트 (이때, M 및 M' ($\text{M} \neq \text{M}'$)가 Fe, Mn, Ni, Co, V로부터 선택됨);

(iii) 하기 칼코게나이드(chalcogenide)의 모든 리튬화된 형태: V_2O_5 , V_3O_8 , TiS_2 , 티타늄 옥시설파이드(TiO_yS_z), 텅스텐 옥시설파이드(WO_yS_z), CuS , CuS_2 .

청구항 10

제1항 내지 제9항 중의 어느 한 항에 있어서,

단계 e)에서 열처리가 200℃ 내지 1000℃, 바람직하게는 300℃ 내지 700℃, 및 보다 바람직하게는 300℃ 내지 500℃의 온도에서 수행되고 및/또는 기계적 압축이 10 내지 400 MPa, 바람직하게는 20 내지 100 MPa의 압력에서 수행됨을 특징으로 하는 방법.

청구항 11

제1항 내지 제10항 중의 어느 한 항에 있어서,

세라믹, 유리 또는 비트로세라믹 봉지 재료(encapsulation material)의 적어도 하나의 층의 증착에 의해, 단계 e)에서 획득된 배터리의 봉지화(encapsulation) 단계 f)를 또한 포함하는 것을 특징으로 하는 방법.

청구항 12

제11항에 있어서,

단계 f)에서 획득된 배터리의 적어도 2개의 면이 절단되어 제1 절단면 상에 단지 캐소드 영역만이 그리고 제2 절단면 상에 단지 애노드 영역만이 노출되도록 함을 특징으로 하는 방법.

청구항 13

제12항에 있어서,

애노드 및 캐소드 단자(terminal)는, 절단된 영역의 금속화에 의하여, 바람직하게는, 니켈 및/또는 금속 입자로 충전된 에폭시의 하부-층에 증착되거나 증착되지 않는 주석 층의 증착에 의하여 제조됨을 특징으로 하는 방법.

청구항 14

제1항 내지 제13항 중의 어느 한 항에 있어서,

애노드 재료 및/또는 캐소드 재료가 재결정화되도록 300℃ 내지 1000℃, 바람직하게는 400℃ 내지 800℃, 보다 바람직하게는 500℃ 내지 700℃의 온도에서 열처리가 수행되고, 상기 열처리는 단계 a) 및/또는 b) 이후에 그러나 전해질층의 증착의 단계 c) 이전에 수행됨을 특징으로 하는 방법.

청구항 15

제6항 내지 제14항 중의 어느 한 항에 있어서,

전해질 재료 나노입자의 크기가 100 nm 미만, 바람직하게는 30 nm 미만임을 특징으로 하는 방법.

청구항 16

제12항 내지 제15항 중의 어느 한 항에 있어서,

봉지화 단계 f)는 화학적 기상 증착 (CVD), 특히 플라즈마-강화 화학적 기상 증착(PECVD) 또는 플라즈마-분무 화학적 기상 증착(PSCVD)에 의해서 수행됨을 특징으로 하는 방법.

청구항 17

제1항 내지 제16항 중의 어느 한 항에 있어서,

전도성 기판은 알루미늄, 구리, 스테인레스강 또는 니켈, 바람직하게는 니켈로 구성되고, 및 선택적으로 금, 백금, 팔라듐, 바나듐, 코발트, 니켈, 망간, 니오븀, 탄탈륨, 크롬, 몰리브덴, 티타늄, 팔라듐, 지르코늄, 텅스텐 또는 상기 금속 중 적어도 하나를 포함하는 임의의 합금으로부터 선택되는 귀금속으로 코팅되는 것을 특징으로 하는 방법.

청구항 18

제1항 내지 제17항 중의 어느 한 항에 따른 방법에 의하여 획득될 수 있는 배터리.

청구항 19

제18항에 있어서,

캐소드의 표면 용량(surface capacity)이 애노드의 표면 용량보다 더 크거나 같은 것을 특징으로 하는 배터리.

청구항 20

제18항 또는 제19항에 있어서,

캐소드층 및 애노드층의 적층이 측면으로 오프셋되는 것을 특징으로 하는 배터리.

청구항 21

제18항 내지 제20항 중의 어느 한 항에 있어서,

적어도 하나의 봉지 층, 바람직하게는 세라믹층, 유리층 또는 비트로세라믹층을 포함함을 특징으로 하는 배터리.

청구항 22

제21항에 있어서,

상기 제1 봉지 층 상에 증착되는 제2 봉지 층을 포함하며, 상기 제2 봉지 층은 바람직하게는 실리콘(silicone)임을 특징으로 하는 배터리.

청구항 23

제21항 또는 제22항에 있어서,

상기 적어도 하나의 봉지 층은, 상기 배터리의 6개 면 중의 4개의 면을 전체적으로 커버하고, 배터리의 연결을 위한 금속화 아래에 위치되는 나머지 2개의 면을 부분적으로 커버하는 것을 특징으로 하는 배터리.

청구항 24

제18항 내지 제23항 중의 어느 한 항에 있어서,

캐소드 전류 집전체 및 애노드 전류 집전체가 노출되는 각각의 단자를 포함함을 특징으로 하는 배터리.

청구항 25

제24항에 있어서,

애노드 연결부 및 캐소드 연결부가 적층물의 대향되는 면 상에 위치됨을 특징으로 하는 배터리.

청구항 26

제18항 내지 제25항 중의 어느 한 항에 있어서,

전체적으로 무기물성(inorganic)임을 특징으로 하는 배터리.

발명의 설명

기술 분야

[0001] 본 발명은 배터리, 특히 리튬-이온 배터리의 분야에 관한 것이다. 이는 특히 전-고체 리튬 이온 배터리 ("Li-이온 배터리") 및 이러한 배터리를 제조하기 위한 신규한 방법에 관한 것이다.

배경 기술

[0002] 여러 문헌 및 특허에서 제공되는 리튬-이온 배터리 ("Li-이온 배터리")를 제조하는 방식이 공지되어 있다; 2002년 간행된 논문 "Advances in Lithium-Ion Batteries" (ed. W. van Schalkwijk and B. Scrosati) (Kluwer Academic / Plenum Publishers)은 현 상황에 대한 좋은 리뷰를 제공한다. Li-이온 배터리의 전극은 당해 기술분야에서 통상의 지식을 가진 자에게 공지된 인쇄 또는 증착(deposition) 기술, 특히 롤-코팅(roll-coating), 닥터 블레이드(doctor blade) 또는 테이프 캐스팅(tape casting)의 수단으로 제조될 수 있다.

- [0003] Li-이온 배터리가 제조되도록 하는 것을 가능하게 하는 전극의 여러 구성(architecture) 및 화학 조성물이 있다. 최근에는, 전-고체 박층(thin layer)에 의하여 형성된 Li-이온 배터리가 출현하였다. 이러한 배터리는 일반적으로 평면 구성을 갖고, 즉, 이는 필수적으로 기본 배터리 전지 (basic battery cell)을 형성하는 3개의 층: 즉 전해질층으로부터 분리되는 애노드층(anode layer)과 캐소드층(cathode layer)의 세트로 형성된다. 보다 최근에는, 3-차원 구조를 갖는 Li-이온 배터리가 신규한 공정을 사용하여 제조되었다. 이러한 공정은 특히 문헌 WO 2013/064 779 A1 또는 WO 2012/064 777 A1에 개시되어 있다. 이러한 문헌에서는, 애노드, 고체 전해질 및 캐소드층의 제조가 전기이동(electrophoresis)에 의하여 형성된다. 이러한 공정에 의하여 획득된 배터리는 높은 전력 밀도를 갖고; 이는 또한 전해질 필름의 매우 낮은 다공성 수준(porosity level) 및 얇은 두께로 인하여 높은 에너지 밀도 (공지된 리튬-이온 배터리의 대략 2배)를 갖는다. 게다가, 이러한 공정에 의하여 획득된 배터리는 금속성 리튬 또는 유기 전해질을 포함하지 않는다. 따라서, 이는 높은 온도에 적용되는 경우에 저항성일 수 있다. 마지막으로, 이것이 "마이크로배터리(microbattery)"-형 전자 부품(electronic component)의 형태로 제조되는 경우, 이는 따라서 손상의 위험 없이 회로에 용접되기 이전에 특히 배터리가 부분적으로 충전되거나 방전된 상태에 있는 경우에 시험될 수 있다.
- [0004] 하지만, 이러한 전-고체 배터리의 성능은 가변적일 수 있다. 경시적으로 지속 가능한 성능을 얻는 것은 단지 전해질의 선택 및 생산 매개변수 뿐만 아니라 배터리의 전체 구성에 의존적이다. 예를 들어, 전해질 필름의 화학 조성 및 속성에 따라, 전극과의 계면에서 내부 저항이 나타날 수 있다.
- [0005] 게다가, 이러한 문헌에서 개시된 전해질은 셀파이드에 기초하고 있고, 이는 광범위한 전위(potential) 내에서 안정하나, 이는 전극과의 계면에서 전하의 이동에 대하여 강한 저항을 생성하는 경향이 있다. 더욱이, 고체 셀파이드-기반 전해질은 고도로 흡습성이고, 이는 이를 공업적 규모로 실현하는 것을 어렵게 만들 수 있고 특히 노후화(aging)에 대한 민감성을 야기할 수 있다.
- [0006] 게다가, 이러한 문헌은 LiPON 또는 리튬화 보레이트(lithiated borate) 등과 같은 이온 전도성 유리-기반 전해질을 개시하고 있다. 하지만, 이는 상대적으로 낮은 유리전이온도를 갖고 따라서 배터리의 조립 동안 열처리에 의하여 부분적으로 결정화되는 경향이 있고; 이는 이의 이온 전도 특성을 악화시키는 원인이다. 마지막으로, 이러한 성분은 대기와의 접촉에서 상대적으로 민감하여 이를 공업적 수준으로 실현하는 것을 어렵게 만든다.
- [0007] 리튬화 포스페이트-기반 재료를 포함하는 전해질이 또한 공지되어 있고, 리튬화 포스페이트-기반 재료는 대기와의 접촉에서 안정하고 높은 전위에서 안정하다. 하지만, 이러한 전해질은 리튬 중의 애노드과의 접촉에서 대개는 불안정하다. 이러한 전해질의 애노드과의 접촉에서의 불안정성은 필수적으로, 저-전위 애노드과의 접촉의 경우, 환원되고 산화 상태가 변화될 수 있는 다중의 산화 상태를 가질 수 있는 금속성 원소의 존재로 인한 것이다. 이러한 화학적 변화는 점진적으로 전해질에 전기적 전도성을 부여하고, 이는 배터리의 성능을 저하시킨다.
- [0008] 이러한 부류의 전해질은 티타늄 환원이 2.4 V에서 나타날 수 있는 $\text{Li}_{1+x}\text{Al}_x\text{Ti}_{2-x}(\text{PO}_4)_3$ (LATP라 칭함) 및 게르마늄 환원이 1.8 V에서 나타날 수 있는 $\text{Li}_{1+x}\text{Al}_x\text{Ge}_{2-x}(\text{PO}_4)_3$ (LAGP라 칭함)를 포함한다.
- [0009] 전해질의 전기화학적 약화 및 Li-이온 배터리 전지의 특정한 구성요소의 공기에 대한 민감성과 연관되는 노후화 현상과는 별도로, Li-이온 배터리의 성능의 저하는 또한 캐소드에서 비롯될 수 있다. 실제로, 캐소드를 생산하기 위하여 사용되는 리튬삽입재료(lithium insertion material)는 단지 특정한 전위 범위 내에서만 가역적인 거동을 갖는다. 삽입된 리튬의 수준이 특정한 문턱값(threshold) 이하로 감소되는 경우, 결정학적 변형이 나타나 캐소드 재료의 성능에서의 비가역적인 손실을 야기할 수 있다. 하지만, 통상의 Li-이온 배터리와 마찬가지로 금속성 리튬 애노드를 사용하는 박층 Li-이온 배터리는 캐소드 보다 더 큰 리튬 이온 저장능 (애노드 수준에서)을 갖는다. 실제로, 금속성 리튬 애노드를 수반하는 배터리의 경우에서, 애노드의 용량(capacity)은 실질적으로 무한이고, 리튬은 도달함에 따라 애노드 상으로 증착될 수 있다. 리튬 염을 수반하는 액체 전해질을 사용하는 표준 Li-이온 배터리에 대하여는, 캐소드에 비해 낮은 애노드 용량이 충전 동안 배터리 내에서 금속성 리튬 침전의 형성을 야기할 수 있다. 이러한 침전은 캐소드가 애노드가 수용할 수 있는 것 이상의 리튬 이온을 생성하는 경우에 형성된다. 배터리 전지 중에서의 금속성 리튬 침전의 형성이 열 폭주(thermal runaway)의 위험을 야기할 수 있기 때문에, 애노드가 이러한 위험의 출현을 방지하기에 충분한 용량을 갖는 것을 보증하는 것이 필수적이다.
- [0010] 비록 안전 조치에 가깝기는 하나, 이러한 구성은 일부 경우에서, 특히 충전된 배터리에 대한 고-전력 사이클링 단계(high-power cycling phase) 동안 너무 많은 리튬 이온을 캐소드으로부터 추출하는 경향을 야기할 수 있다.

이는 배터리의 삽입능을 비가역적으로 악화시키고 그의 노후화를 야기할 수 있다.

[0011] 게다가, 배터리의 노후화 및 그의 용량의 손실은 또한 전극의 다공성 내에서의 리튬 이온의 침전의 결과를 가져 오고, 그에 의하여 배터리의 작동 동안의 가능한 리튬 이온의 양을 감소시키는 것과 마찬가지로 전극 입자 간의 접촉의 손실을 가져올 수 있다.

발명의 내용

해결하려는 과제

[0012] 본 발명의 제1 목적은, 상기 배터리 내에 배터리의 작동 및 수명을 개선하도록 하기 위하여, 배터리 내의 전해 질 층에 사용되는 재료가 애노드 및 캐소드과의 접촉에서 안정한 전-고체 박층 배터리를 제공하는 것이다.

[0013] 다른 목적은 배터리 내 전해질층에 사용되는 재료가 금속성 리튬 침전 또는 전극과의 계면에서 내부 저항을 형성하지 않는 전-고체 박층 배터리를 제조하는 것이다.

[0014] 본 발명의 또 다른 목적은 상대적으로 단순한 방법으로 공업적 수준에서 실현될 수 있는 공정에 의하여 박층 배터리를 제조하는 것이다.

과제의 해결 수단

[0015] 본 발명의 제1 목적은 하기의 일련의 단계를 포함하는 전-고체 박층 배터리를 제조하기 위한 방법에 관한 것이다:

[0016] a) 적어도 하나의 애노드 재료를 포함하는 층 (이하, "애노드 재료의 층"이라고 언급됨)이 바람직하게는 금속 시트, 금속 스트립, 금속화된 절연 시트, 금속화된 절연 스트립, 금속화된 절연 필름으로 이루어지는 군으로부터 선택되는 전도성 기관상에 증착되는 단계로, 상기 전도성 기관 또는 그의 전도성 요소가 애노드 전류 집전체 (anode current collector)로 기능할 수 있는 단계;

[0017] b) 적어도 하나의 캐소드 재료를 포함하는 층 (이하, "캐소드 재료의 층"이라고 언급됨)이 바람직하게는 금속 시트, 금속 스트립, 금속화된 절연 시트, 금속화된 절연 스트립, 금속화된 절연 필름으로 이루어지는 군으로부터 선택되는 전도성 기관상에 증착되는 단계로, 상기 전도성 기관 또는 그의 전도성 요소가 캐소드 전류 집전체로서 기능할 수 있는 단계, 이때, 단계 a) 및 b)는 역전될 수 있음;

[0018] c) 단계 a) 및/또는 b)에서 획득된 층 상에, 하기로부터 선택되는 적어도 하나의 고체 전해질 재료를 포함하는 층 (이하, "전해질 재료의 층"이라고 언급됨)이 증착되는 단계:

[0019] - $\text{Li}_3(\text{Sc}_{2-x}\text{M}_x)(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$ 또는 Y 및 $0 \leq x \leq 1$ 임; 또는

[0020] - $\text{Li}_{1+x}\text{M}_x(\text{Sc})_{2-x}(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 3개 화합물의 혼합물, $0 \leq x \leq 0.8$ 임; 또는

[0021] - $\text{Li}_{1+x}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}(\text{PO}_4)_3$ 이때, $0 \leq x \leq 0.8$, $0 \leq y \leq 1$, 및 $\text{M} = \text{Al}$ 또는 Y ; 또는 이들 2개 화합물의 혼합물임; 또는

[0022] - $\text{Li}_{1+x}\text{M}_x(\text{Ga})_{2-x}(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$, Y ; 또는 이들 2개 화합물의 혼합물, 및 $0 \leq x \leq 0.8$ 임; 또는

[0023] - $\text{Li}_{3+y}(\text{Sc}_{2-x}\text{M}_x)\text{Q}_y\text{P}_{3-y}\text{O}_{12}$, 이때, $\text{M} = \text{Al}$ 및/또는 Y , $\text{Q} = \text{Si}$ 및/또는 Se , $0 \leq x \leq 0.8$, 및 $0 \leq y \leq 1$ 임; 또는

[0024] - $\text{Li}_{1+x+y}\text{M}_x\text{Sc}_{2-x}\text{Q}_y\text{P}_{3-y}\text{O}_{12}$, 이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 3개 화합물의 혼합물, 및 $\text{Q} = \text{Si}$ 및/또는 Se , $0 \leq x \leq 0.8$, 및 $0 \leq y \leq 1$ 임; 또는

[0025] - $\text{Li}_{1+x+y+z}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}\text{Q}_z\text{P}_{3-z}\text{O}_{12}$, 이때, $0 \leq x \leq 0.8$; $0 \leq y \leq 1$; $0 \leq z \leq 0.6$, $\text{M} = \text{Al}$ 또는 Y 또는 이들 2개 화합물의 혼합물, 및 $\text{Q} = \text{Si}$ 및/또는 Se 임;

[0026] - $\text{Li}_{1+x}\text{N}_x\text{M}_{2-x}\text{P}_3\text{O}_{12}$, 이때, $0 \leq x \leq 1$, $\text{N} = \text{Cr}$ 및/또는 V , $\text{M} = \text{Sc}$, Sn , Zr , Hf , Se 또는 Si , 또는 이들 화합물의 혼합물임;

[0027] d) 층 위에 층으로 연속해서 하기의 것이 적층되는 단계:

- [0028] - 단계 c)에서 획득된 적어도 하나의 전해질 재료를 포함하는 층으로 코팅되거나 코팅되지 않은 적어도 하나의 캐소드 재료를 포함하는 층과 단계 c)에서 획득된 적어도 하나의 전해질 재료를 포함하는 층으로 코팅된 적어도 하나의 애노드 재료를 포함하는 층;
- [0029] - 또는 단계 c)에서 획득된 적어도 하나의 전해질 재료를 포함하는 층으로 코팅되거나 코팅되지 않은 적어도 하나의 애노드 재료를 포함하는 층과 함께 단계 c)에서 획득된 적어도 하나의 전해질 재료를 포함하는 층으로 코팅된 적어도 하나의 캐소드 재료를 포함하는 층;
- [0030] e) 단계 d)에서 획득된 적층물(stack)의 열 처리 및/또는 기계적 압축이 수행되어 전-고체 박층 배터리를 수득하는 단계.
- [0031] 본 발명에 따른 방법의 특정한 구현예에 있어서, 전해질 재료의 층이 단계 a)에서 획득된 층 상에 증착되는 경우, 하기로부터 선택되는 적어도 하나의 재료의 층이 선택적으로 단계 b)에서 획득된 층 상에 증착된다:
- [0032] - $\text{Li}_3(\text{Sc}_{2-x}\text{M}_x)(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$ 또는 Y 및 $0 \leq x \leq 1$ 임; 또는
- [0033] - $\text{Li}_{1+x}\text{M}_x(\text{Sc}_{2-x})(\text{PO}_4)_3$, 이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 2개 또는 3개 화합물의 혼합물, 및 $0 \leq x \leq 0.8$ 임; 또는
- [0034] - $\text{Li}_{1+x}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}(\text{PO}_4)_3$, 이때, $0 \leq x \leq 0.8$; $0 \leq y \leq 1$ 및 $\text{M} = \text{Al}$ 또는 Y ; 또는 이들 2개 화합물의 혼합물임; 또는
- [0035] - $\text{Li}_{1+x}\text{Al}_x\text{Ti}_{2-x}(\text{PO}_4)_3$, 이때, $0 \leq x \leq 1$ 임; 또는
- [0036] - $\text{Li}_{1+x}\text{Al}_x\text{Ge}_{2-x}(\text{PO}_4)_3$ 이때, $0 \leq x \leq 1$ 임; 또는
- [0037] - $\text{Li}_{1+x+y+z}\text{M}_x(\text{Ge}_{1-y}\text{Ti}_y)_{2-x}\text{Si}_z\text{P}_{3-z}\text{O}_{12}$, 이때, $0 \leq x \leq 0.8$; $0 \leq y \leq 1$; $0 \leq z \leq 0.6$ 및 $\text{M} = \text{Al}$, Ga 또는 Y 또는 이들 2개 또는 3개 화합물의 혼합물임; 또는
- [0038] - $\text{Li}_{3+y}(\text{Sc}_{2-x}\text{M}_x)\text{Q}_y\text{P}_{3-y}\text{O}_{12}$, 이때, $\text{M} = \text{Al}$ 및/또는 Y , 및 $\text{Q} = \text{Si}$ 및/또는 Se , $0 \leq x \leq 0.8$ 및 $0 \leq y \leq 1$ 임; 또는
- [0039] - $\text{Li}_{1+x+y}\text{M}_x\text{Sc}_{2-x}\text{Q}_y\text{P}_{3-y}\text{O}_{12}$, 이때, $\text{M} = \text{Al}$, Y , Ga 또는 이들 3개 화합물의 혼합물, 및 $\text{Q} = \text{Si}$ 및/또는 Se , $0 \leq x \leq 0.8$, 및 $0 \leq y \leq 1$ 임; 또는
- [0040] - $\text{Li}_{1+x+y+z}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}\text{Q}_z\text{P}_{3-z}\text{O}_{12}$, 이때, $0 \leq x \leq 0.8$; $0 \leq y \leq 1$; 또는 $0 \leq z \leq 0.6$, $\text{M} = \text{Al}$ 또는 Y 또는 이들 두 화합물의 혼합물, $\text{Q} = \text{Si}$ 및/또는 Se 임;
- [0041] - $\text{Li}_{1+x}\text{N}_x\text{M}_{2-x}\text{P}_3\text{O}_{12}$, 이때, $0 \leq x \leq 1$ 및 $\text{N} = \text{Cr}$ 및/또는 V , $\text{M} = \text{Sc}$, Sn , Zr , Hf , Se 또는 Si 또는 이들 화합물의 혼합물임.
- [0042] 본 발명에 따르면, 적어도 하나의 애노드 재료, 적어도 하나의 캐소드 재료 및 적어도 하나의 고체 전해질 재료를 포함하는 층이 하기 기술로부터 선택되는 하나 이상의 기술에 의하여 증착된다:
- [0043] (i) 물리적 기상 증착(PVD), 특히 진공 증발(vacuum evaporation), 레이저 삭마(laser ablation), 이온빔(ion beam) 또는 캐소드스퍼터링(cathode sputtering);
- [0044] (ii) 화학적 기상 증착(CVD), 특히 플라즈마-강화 화학적 기상 증착(PECVD), 레이저-보조 화학적 기상 증착(LACVD) 또는 에어로졸-보조 화학적 기상 증착(AA-CVD);
- [0045] (iii) 전기분사(electrospraying);
- [0046] (iv) 전기이동(electrophoresis);
- [0047] (v) 에어로졸 증착(aerosol deposition);
- [0048] (vi) 줄-겔;
- [0049] (vii) 침적(dipping), 특히 딥-코팅(dip-coating), 스핀-코팅(spin-coating) 또는 랭뮤어-블로드젯 공정(Langmuir-Blodgett process).

- [0050] 유리하게도, 상기 애노드층 및/또는 캐소드층 및/또는 전해질층은 하기의 기술: 전기분사, 전기이동, 에어로졸 증착 및 침적으로부터 선택되는 하나 이상의 기술에 의하여 각각 애노드 재료, 캐소드 재료 또는 전해질 재료의 나노입자의 증착에 의하여 제조된다.
- [0051] 바람직하게는, 애노드층, 캐소드층 및 전해질층이 모두 바람직하게는 캐소드 재료(들), 전극재료(들) 및 애노드 재료(들)의 나노입자로부터, 전기이동에 의하여 증착된다.
- [0052] 본 발명에 따르면, 애노드 재료의 층 a)는 하기:
- [0053] (i) 주석 옥시니트라이드(tin oxynitrides; 대표 식 SnO_xN_y);
- [0054] (ii) 리튬화 철 포스페이트(lithiated iron phosphate ; 대표 식 LiFePO_4);
- [0055] (iii) 혼성화된 규소 및 주석 옥시니트라이드(mixed silicon and tin oxynitrides) ($a>0$, $b>0$, $a+b\leq 2$, $0<y\leq 4$, $0<z\leq 3$ 인, 대표 식 $\text{Si}_a\text{Sn}_b\text{O}_y\text{N}_z$)(또는, SiTON이라고도 함), 특히 $\text{SiSn}_{0.87}\text{O}_{1.2}\text{N}_{1.72}$; 마찬가지로, $\text{Si}_a\text{Sn}_b\text{C}_c\text{O}_y\text{N}_z$ 의 형태의 옥시니트라이드 ($a>0$, $b>0$, $a+b\leq 2$, $0<c<10$, $0<y<24$, $0<z<17$); $\text{Si}_a\text{Sn}_b\text{C}_c\text{O}_y\text{N}_z\text{X}_n$ (X_n 이 F, Cl, Br, I, S, Se, Te, P, As, Sb, Bi, Ge, Pb 중의 적어도 하나의 원소이고, $a>0$, $b>0$, $a+b>0$, $a+b\leq 2$, $0<c<10$, $0<y<24$, $0<z<17$ 임); 및 $\text{Si}_a\text{Sn}_b\text{O}_y\text{N}_z\text{X}_n$ (X_n 이 F, Cl, Br, I, S, Se, Te, P, As, Sb, Bi, Ge, Pb 중의 적어도 하나의 원소이고, $a>0$, $b>0$, $a+b\leq 2$, $0<y\leq 4$, $0<z\leq 3$ 임);
- [0056] (iv) Si_xN_y (특히 $x=3$ 및 $y=4$), Sn_xN_y (특히 $x=3$ 및 $y=4$ 임), Zn_xN_y (특히 $x=3$ 및 $y=4$ 임), $\text{Li}_{3-x}\text{M}_x\text{N}$ ($\text{M} = \text{Co}, \text{Ni}, \text{Cu}$) 형태의 니트라이드;
- [0057] (v) 옥사이드 SnO_2 , $\text{Li}_4\text{Ti}_5\text{O}_{12}$, $\text{SnB}_{0.6}\text{P}_{0.4}\text{O}_{2.9}$ 및 TiO_2
- [0058] 로부터 선택되는 재료로 제조된다.
- [0059] 본 발명에 따르면, 캐소드 재료의 층 b)는 하기:
- [0060] (i) 옥사이드 LiMn_2O_4 , LiCoO_2 , LiNiO_2 , $\text{LiMn}_{1.5}\text{Ni}_{0.5}\text{O}_4$, $\text{LiMn}_{1.5}\text{Ni}_{0.5-x}\text{X}_x\text{O}_4$ (여기에서 X는 Al, Fe, Cr, Co, Rh, Nd, 다른 희토류 원소로부터 선택되고, $0 < x < 0.1$ 임), LiFeO_2 , $\text{LiMn}_{1/3}\text{Ni}_{1/3}\text{Co}_{1/3}\text{O}_4$;
- [0061] (ii) 포스페이트 LiFePO_4 , LiMnPO_4 , LiCoPO_4 , LiNiPO_4 , $\text{Li}_3\text{V}_2(\text{PO}_4)_3$; M 및 M' ($\text{M} \neq \text{M}'$)가 Fe, Mn, Ni, Co, V로부터 선택되는 것인 식 $\text{LiMM}'\text{PO}_4$ 의 포스페이트;
- [0062] (iii) 하기 칼코게나이드(chalcogenide): V_2O_5 , V_3O_8 , TiS_2 , 티타늄 옥시설파이드 (TiO_yS_z), 텅스텐 옥시설파이드 (WO_yS_z), CuS , CuS_2 의 모든 리튬화 형태
- [0063] 로부터 선택되는 캐소드 재료로 제조된다.
- [0064] 본 발명에 따른 방법의 특정한 구현예에 있어서, 애노드 재료의 층 및/또는 캐소드 재료의 층은 또한 전기적으로 전도성인 재료, 특히 흑연, 전해질 필름을 제조하는 데 사용되는 형태의 리튬 이온 전도성 재료의 나노입자 또는 이온성 기(ionic group)를 포함하는 가교된 고체 고분자 재료를 포함한다.
- [0065] 유리하게도, 단계 e)에서 열처리하는 200°C 내지 1000°C , 바람직하게는 300°C 내지 700°C , 보다 더 바람직하게는 300°C 내지 500°C 의 온도에서 수행되고 및/또는 기계적 압축은 10 내지 400 MPa, 바람직하게는 20 내지 100 MPa의 압력에서 수행된다.
- [0066] 특정한 구현예에 있어서, 본 발명에 따른 방법은 또한 세라믹(ceramic), 유리(vitreous) 또는 비트로세라믹(vitroc ceramic) 봉지 재료(encapsulation material)의 적어도 하나의 층의 증착에 의한, 단계 e)에서 획득된 배터리의 봉지화(encapsulation) 단계 f)를 포함한다.
- [0067] 유리하게도, 단계 f)에서 획득된 배터리의 적어도 2개의 면이 절단되어 제1 절단면 상에 단지 캐소드 영역만이 그리고 제2 절단면 상에 단지 애노드 영역만이 노출되도록 한다.
- [0068] 바람직하게는, 애노드 및 캐소드 단자(terminal)는 절단된 영역의 금속화에 의해, 바람직하게는 니켈 및/또는 금속 입자로 충전된 에폭시의 하부-층(sub-layer)에 선택적으로 증착되는 주석 층의 증착에 의하여 제조된다.

- [0069] 본 발명에 따른 특정한 구현예에 있어서, 애노드 재료 및/또는 캐소드 재료가 재결정화되도록 300℃ 내지 1000℃, 바람직하게는 400℃ 내지 800℃, 보다 더 바람직하게는 500℃ 내지 700℃의 온도에서 열처리가 수행되고, 상기 열처리는 단계 a) 및/또는 b) 이후이지만 전해질층의 증착의 단계 c) 이전에 수행된다.
- [0070] 유리하게도, 전해질 재료 나노입자의 크기는 100 nm 미만, 그리고 바람직하게는 30 nm 미만이다.
- [0071] 본 발명에 따르면, 봉지화 단계 f)는 화학적 기상 증착 (CVD), 특히 플라즈마-강화 화학적 기상 증착(PECVD)에 의하거나 플라즈마-분무화학적 기상 증착(PSCVD)에 의하여 수행된다.
- [0072] 본 발명에 따른 특정한 구현예에 있어서, 단계 e)에서 획득된 배터리의 봉지화 단계 f)는, 2개의, 세라믹, 유리 또는 비트로세라믹 재료 봉지 층(encapsulation layer)의 증착에 의하여 수행된다. 유리하게도, 제1 봉지 층은 바람직하게는 Al_2O_3 또는 Ta_2O_3 형의 옥사이드 또는 다른 옥사이드의 원자층의 원자층 증착(ALD: atomic layer deposition)에 의하여 수행된다. 상기 제1 층은 전체 커버리지(coverage)를 제공하여 배터리를 외부 환경으로부터 보호한다. 제2 봉지 층은 화학적 기상 증착 (CVD), 특히 플라즈마-강화 화학적 기상 증착(PECVD)에 의하거나 세라믹, 유리 또는 비트로세라믹 재료의 플라즈마-분무화학적 기상 증착(PSCVD)에 의하여 제조될 수 있다.
- [0073] 본 발명에 따르면, 전도성 기판(conductive substrate)은 알루미늄, 구리, 스테인레스강 또는 니켈, 바람직하게는 니켈로 이루어지고, 및 선택적으로 하기 금속: 금, 백금, 팔라듐, 바나듐, 코발트, 니켈, 망간, 니오븀, tantalum, 크롬, 몰리브덴, 티타늄, 팔라듐, 지르코늄, 텅스텐 또는 이러한 금속 중 적어도 하나를 포함하는 임의의 합금으로부터 선택되는 귀금속으로 코팅된다.
- [0074] 본 발명의 다른 목적은 본 발명에 따른 방법에 의하여 획득될 수 있는 배터리에 관한 것이다.
- [0075] 유리하게도, 캐소드의 표면 용량은 애노드의 표면 용량 보다 크거나 같다.
- [0076] 바람직한 구현예에 있어서, 캐소드층 및 애노드층의 적층은 측면으로 오프셋(offset) 된다.
- [0077] 유리하게도, 배터리는 적어도 하나의 봉지 층, 바람직하게는 세라믹층, 유리층 또는 비트로세라믹층을 포함한다. 보다 유리하게도, 배터리는 상기 제1 봉지 층 상에 증착되는 제2 봉지 층을 포함하며, 상기 제2 봉지 층은 바람직하게는 실리콘 또는 헥사메틸디실록산 (HMDSO)이다.
- [0078] 바람직하게는, 상기 적어도 하나의 봉지 층은 상기 배터리의 6개 면 중의 4개의 면을 전체적으로 커버하고 배터리의 연결을 위한 금속화 아래에 위치되는 나머지 2개의 면을 부분적으로 커버한다.
- [0079] 특정한 구현예에 있어서, 배터리는 개별적으로 캐소드 전류 집전체 및 애노드 전류 집전체가 노출되는 단자를 포함한다.
- [0080] 유리하게도, 애노드 연결부 및 캐소드 연결부는 적층물의 대향되는 면 상에 위치된다.
- [0081] 본 발명의 바람직한 양태에 따르면, 배터리는 전체적으로 무기물성(inorganic)이다.

도면의 간단한 설명

- [0082] 도 1은 본 발명의 배터리로 획득된 충전 및 방전 곡선을 나타낸다.
- 도 2는 본 발명에 따라 제조되는 배터리의 사이클링 동안의 용량(capacity)의 변화를 나타낸다.

발명을 실시하기 위한 구체적인 내용

- [0083] 정의
- [0084] 본 발명의 문맥에서, "전기이동 증착(electrophoretic deposition)" 또는 "전기이동에 의한 증착(deposition by electrophoresis)"은 앞서 액체 매질 중에 현탁된 입자를 바람직하게는 전도성 기판상으로 증착시키는 공정 에 의해 증착되는 층을 의미하며, 기판의 표면의 입자의 치환이 전극 중의 하나가 그 위로 증착이 수행되는 전도성 기판로 구성되고, 다른 전극 ("대전극(counter electrode)")이 액체 상(liquid phase) 중에 위치되는 현탁액 중의 2개의 전극 사이의 전기장의 적용에 의해 생성된다. 입자 현탁액의 제타 전위(zeta potential)가 적절한 값을 갖는 경우 및/또는 특정한 열적 및/또는 기계적 밀집화 처리가 된 이후에, 소위 입자의 "밀집한" 증착이 기판상에 형성된다. 이러한 증착은 임의의 다른 기술에 의하여 획득된 증착과는 다름을 구별할 수 있는 당해 기술분야에서 통상의 지식을 가진 자에게 인식 가능한 특정한 구조를 갖는다.
- [0085] 본 문헌의 문맥에서, 입자의 크기는 그의 최대 치수(largest dimension)을 의미한다. 따라서, "나노입자

(nanoparticle)"는 나노입자 적어도 하나의 치수가 100 nm 미만인 입자이다. 분말 또는 입자 군의 "입자 크기 (particle size)" 또는 "평균 입자 크기(mean particle size)"는 D_{50} 으로 주어진다.

[0086] "전-고체(all-solid)" 배터리는 액체 상 재료를 포함하지 않는 배터리이다.

[0087] 전극의 "표면 용량(surface capacity)"은 전극 내로 삽입될 수 있는 리튬 이온의 양 (mA.h/cm^2 로 표시됨)을 의미한다.

[0088] 상세한 설명

[0089] 본 발명은 특허출원 WO 2013/064 779 A1 또는 WO 2012/064 777 A1에서 기술된 배터리에 대한 개선을 제공하여 배터리의 제조, 온도 거동 및 수명을 개선하도록 하는 것을 의도한다. 이를 위하여, 본 발명자는 유기 용제 또는 금속성 리튬을 포함하지 않아 이의 연소의 위험 없이 가열될 수 있는 전-고체 다층-구조 배터리를 제조하는 신규한 방법을 개발하였다. 본 발명에 따른 방법에 의하여 획득된 배터리는 배터리가 양호한 에너지 및 전력 밀도를 갖도록 하기 위하여 통상의 배터리의 평면 구조와는 대조적으로 다층 구조를 갖는다.

[0090] 고체 애노드층, 캐소드층 및 전해질층은 하기의 기술:

[0091] (i) 물리적 기상 증착, 특히 진공 증발, 레이저 삭마, 이온빔 또는 캐소드스퍼터링;

[0092] (ii) 화학적 기상 증착(CVD), 특히 플라즈마-강화 화학적 기상 증착(PECVD), 레이저-보조 화학적 기상 증착(LACVD) 또는 에어로졸-보조 화학적 기상 증착(AA-CVD);

[0093] (iii) 전기분사;

[0094] (iv) 전기이동;

[0095] (v) 에어로졸 증착;

[0096] (vi) 졸-겔;

[0097] (vii) 침적, 특히 딥-코팅, 스핀-코팅 또는 랭뮤어-블로드젯 공정

[0098] 중의 적어도 하나를 사용하여 증착된다.

[0099] 특정한 구현예에 있어서, 고체 애노드층, 캐소드층 및 전해질층은 모두 전기이동에 의해 증착된다. 입자의 전기이동 증착은 그 위에 증착이 형성되는 기판과 대전극 사이에 전기장을 적용하는 것에 의하여 콜로이드상 현탁액의 하전된 입자가 이동되고 기판상에 증착되도록 하는 것을 가능하게 하는 것에 의하여 수행된다. 입자와 함께 표면에 증착되는 결합제(binder) 및 다른 용제의 부재는 매우 치밀한(compact) 증착을 획득하는 것을 가능하게 한다. 전기이동 증착으로 인하여 획득된 치밀성은 건조 단계 동안 증착에서의 균열(crack) 또는 다른 결함의 출현의 위험을 제한한다. 게다가, 적용되는 전기장 및 현탁액의 입자의 전기이동 이동도(electrophoretic mobility)로 인하여 증착 속도가 높을 수 있다.

[0100] 전-고체 배터리를 제조하기 위한 방법은 애노드 재료의 층을 증착하는 단계 a)를 포함한다. 애노드 재료의 층은 바람직하게는 전기이동에 의하여 제조된다. 애노드 재료의 층을 위하여 선택되는 재료는 바람직하게는 하기의 재료:

[0101] (i) 주석 옥시니트라이드(대표 식 SnO_xN_y)

[0102] (ii) 리튬화 철 포스페이트(대표 식 LiFePO_4);

[0103] (iii) 혼성화된 규소 및 주석 옥시니트라이드 ($a>0$, $b>0$, $a+b\leq 2$, $0<y\leq 4$, $0<z\leq 3$ 인, 대표 식 $\text{Si}_a\text{Sn}_b\text{O}_y\text{N}_z$; 또는 SiTON이라고도 함), 특히 $\text{SiSn}_{0.87}\text{O}_{1.2}\text{N}_{1.72}$; 마찬가지로 $\text{Si}_a\text{Sn}_b\text{C}_c\text{O}_y\text{N}_z$ 의 형태의 옥시니트라이드 ($a>0$, $b>0$, $a+b\leq 2$, $0<c<10$, $0<y<24$, $0<z<17$ 임); $\text{Si}_a\text{Sn}_b\text{C}_c\text{O}_y\text{N}_z\text{X}_n$ (X_n 은 F, Cl, Br, I, S, Se, Te, P, As, Sb, Bi, Ge, Pb 중의 적어도 하나의 원소이고, $a>0$, $b>0$, $a+b>0$, $a+b\leq 2$, $0<c<10$, $0<y<24$, $0<z<17$ 임); 및 $\text{Si}_a\text{Sn}_b\text{O}_y\text{N}_z\text{X}_n$ (X_n 이 F, Cl, Br, I, S, Se, Te, P, As, Sb, Bi, Ge, Pb 중의 적어도 하나의 원소이고, $a>0$, $b>0$, $a+b\leq 2$, $0<y\leq 4$, $0<z\leq 3$ 임)

[0104] (iv) Si_xN_y (특히 $x=3$ 및 $y=4$), Sn_xN_y (특히 $x=3$ 및 $y=4$ 임), Zn_xN_y (특히 $x=3$ 및 $y=4$ 임), $\text{Li}_{3-x}\text{M}_x\text{N}$ ($\text{M} = \text{Co}, \text{Ni}, \text{Cu}$) 형태의 니트라이드;

- [0105] (v) 옥사이드 SnO_2 , $\text{Li}_4\text{Ti}_5\text{O}_{12}$, $\text{SnB}_{0.6}\text{P}_{0.4}\text{O}_{2.9}$ 및 TiO_2
- [0106]로부터 선택된다.
- [0107] 애노드층을 제조하기 위해 $\text{Li}_4\text{Ti}_5\text{O}_{12}$ 가 특히 바람직하다. 또한, $\text{Li}_4\text{Ti}_5\text{O}_{12}$ 는 주재료(host material)의 변형을 야기함이 없이 리튬 이온을 가역적으로 삽입하는 리튬삽입 재료이다.
- [0108] 다른 특별한 구현예에 있어서, LiFePO_4 가 바람직하다. 실제로, 애노드층은 또한 캐소드층을 제조하기 위하여 사용되는 재료의 삽입 전위 이하의 리튬 삽입 전위를 갖는 임의의 재료로 제조될 수 있다. 예를 들어, $\text{LiMn}_{1.5}\text{Ni}_{0.5}\text{O}_4$ 가 캐소드 재료로서 사용되는 경우, LiFePO_4 가 애노드 재료로서 사용될 수 있다.
- [0109] 본 발명에 따르면, 전-고체 배터리를 제조하기 위한 방법은 캐소드 재료의 층을 증착하는 단계 b)를 포함한다. 캐소드 재료의 층은 바람직하게는 전기이동에 의해 제조된다. 캐소드 재료의 층을 위하여 선택되는 재료는 바람직하게는 하기의 재료로부터 선택된다:
- [0110] (i) 옥사이드 LiMn_2O_4 , LiCoO_2 , LiNiO_2 , $\text{LiMn}_{1.5}\text{Ni}_{0.5}\text{O}_4$, $\text{LiMn}_{1.5}\text{Ni}_{0.5-x}\text{X}_x\text{O}_4$ (이때, X는 Al, Fe, Cr, Co, Rh, Nd, 다른 희토류 원소로부터 선택되고, $0 < x < 0.1$ 임), LiFeO_2 , $\text{LiMn}_{1/3}\text{Ni}_{1/3}\text{Co}_{1/3}\text{O}_4$;
- [0111] (ii) 포스페이트 LiFePO_4 , LiMnPO_4 , LiCoPO_4 , LiNiPO_4 , $\text{Li}_3\text{V}_2(\text{PO}_4)_3$;
- [0112] (iii) 하기 칼코게나이드(calcogenide)의 모든 리튬화 형태: V_2O_5 , V_3O_8 , TiS_2 , 티타늄 옥시설파이드 (TiO_xS_2), 텅스텐 옥시설파이드 (WO_xS_2), CuS , CuS_2 .
- [0113] 바람직한 구현예에 있어서, 캐소드 전극은 금속 기판, 바람직하게는 니켈 상에 증착되는 LiMn_2O_4 또는 $\text{LiMn}_{1.5}\text{Ni}_{0.5}\text{O}_4$ 의 박층으로 이루어진다. 이 재료는 진공증착(vacuum deposition) 기술을 요구하지 않고, 건조-실증착(dry-room deposition), 즉 건조하고 청정한 대기를 요구하지 않는다는 이점을 갖는다. 실제로, $\text{LiMn}_{1.5}\text{Ni}_{0.5}\text{O}_4$ 와 같은 LiMn_2O_4 은 동시에 공기에 대하여 민감하지 않다. 전극의 제조 동안 공기에의 캐소드 재료의 노출의 충격은 상대적으로 짧은 실행 시간에 비하여 무시할 수 있을 정도이다.
- [0114] 애노드 또는 캐소드를 제조하기 위하여, 상기-언급된 전기적으로 전도성인 재료의 나노입자, 특히 흑연 및/또는 이온성 전도성 재료의 나노입자 또는 이온성 기를 포함하는 고분자-기반 이온성 도전체를 첨가하는 것이 가능하다. 바람직하게는, 이온성 기는 하기의 양이온: 이미다졸리움(imidazolium), 피라졸리움(pyrazolium), 테트라졸리움(tetrazolium), 피리디늄(pyridinium), n-프로필-n-메틸피롤리디늄(n-propyl-n-methylpyrrolidinium; 또는 PYR_{13} 라 불리움) 또는 n-부틸-n-메틸피롤리디늄(n-butyl-n-methylpyrrolidinium; 또한 PYR_{14} 라 불리움) 등과 같은 피롤리디늄(pyrrolidinium), 암모늄(ammonium), 포스포늄(phosphonium) 또는 설포늄(sulfonium); 및/또는 하기의 음이온: 비스(트리플루오로메탄)설포아미드(bis(trifluoromethane)sulfonamide), 비스(플루오로설포닐)이미드(bis(fluorosulfonyl)imide) 또는 n-(노나플루오로부탄설포닐)-n-(트리플루오로메탄설포닐)-이미드(n-(nonafluorobutanesulfonyl)-n-(trifluoromethanesulfonyl)-imide; 원래 식(raw formula) $\text{C}_5\text{F}_{12}\text{NO}_4\text{S}_2$, 또는 IM_{14}^- 라 불리움)로부터 선택된다.
- [0115] 유리하게도, 애노드 재료의 층 및 캐소드 재료의 층의 증착은 각각 애노드 재료 나노입자 및 캐소드 재료 나노입자의 전기이동 증착에 의해 수행된다.
- [0116] 유리하게도, 애노드 재료 나노입자 및 캐소드 재료 나노입자의 층의 증착은 직접적으로 금속 기판상에 수행된다. 작은 나노입자 크기, 즉 100 nm 미만, 바람직하게는 50 nm 미만에 대하여는, 애노드층, 캐소드층 및 전해질층의 증착은 전기분사, 전기이동, 에어로졸 증착 또는 침적에 의하여 수행된다. 유리하게도, 애노드층, 캐소드층 및 전해질층은 모두 전기이동에 의하여 증착된다. 본 발명에 따른 방법의 이러한 특정한 구현예는 특히 전기이동 증착, 건조 및/또는 낮은 온도에서의 열처리의 단계 동안 나노입자 층의 자가-소결(self-sintering)에 의하여 나노입자의 밀집하고 치밀한 층을 수득하는 것을 가능하게 한다. 게다가, 애노드 재료 나노입자 또는 캐소드 재료 나노입자의 층의 전기이동 증착이 치밀함에 따라, 낮은 건조 추출 함량을 갖고 증착물이 대량의 용제를 포함하고 이는 건조 이후 증착물 내에 배터리의 작동에 해로운 균열의 출현을 야기하는 잉크 또는 유체로부터 제조되는 나노입자 층과는 달리, 건조 이후의 층의 균열의 위험이 감소된다.

- [0117] 본 발명에 따르면, 애노드 재료 나노입자 또는 캐소드 재료 나노입자의 층의 증착은 전도성 기판, 바람직하게는 하기 재료: 니켈, 알루미늄 또는 구리로부터 선택되는 금속 전도성 기판에 대하여 직접적으로 수행된다. 바람직한 구현예에 있어서, 애노드 재료 나노입자 또는 캐소드 재료 나노입자의 층의 증착은 니켈 기판에 대하여 수행된다. 기판의 두께는 10 μm 미만, 바람직하게는 5 μm 미만이다.
- [0118] 전도성 기판은 시트, 선택적으로 사전-재단(pre-cut) 전극 패턴을 포함하는 시트의 형태 또는 스트립의 형태로 사용될 수 있다. 전극과의 전기적 접촉의 품질을 개선하기 위하여, 기판은 유리하게도 금, 크롬, 스테인레스강, 팔라듐, 몰리브덴, 티타늄, 탄탈륨 또는 은으로부터 선택되는 금속 또는 금속 합금으로 코팅될 수 있다.
- [0119] 본 발명에 따르면, 예를 들어, 전기이동에 의하여 직접적으로 전도성 기판 상으로의 애노드 재료 나노입자 또는 캐소드 재료 나노입자의 층의 증착은 밀집한 나노결정 구조 층(nanocrystalline structure layer)을 수득하는 것을 가능하게 한다. 하지만, 결정립계(grain boundary)의 형성이 가능하여, 비정질 및 결정화된 재료의 구조 간의 특정한 구조를 갖는 층의 형성을 유도하고, 이는 전극의 두께 내에서의 리튬 이온의 확산의 동역학(kinetics)을 제한할 수 있다. 따라서, 배터리 전극의 출력 및 수명 사이클이 영향을 받을 수 있다. 유리하게도, 배터리의 성능을 개선하기 위하여, 결정화도를 개선하기 위하여 재결정화 열 처리가 수행되고, 선택적으로 전극(애노드 및/또는 캐소드)의 출력을 강화하기 위하여 전극의 압밀 (consolidation)이 수행된다.
- [0120] 애노드층 및/또는 캐소드층의 재결정화 열처리는 300°C 내지 1000°C, 바람직하게는 400°C 내지 800°C, 심지어 보다 바람직하게는 500°C 내지 700°C의 온도에서 수행된다. 열처리는 애노드층 및/또는 캐소드층을 증착하는 단계 a) 및/또는 b) 이후에, 그러나 전해질 나노입자의 층의 증착의 단계 c) 이전에 수행되어야 한다.
- [0121] 본 발명에 따르면, 배터리를 제조하기 위한 방법은 전해질 재료의 층을 증착하는 단계 c)를 포함한다. 전해질 재료의 층의 증착은 애노드 재료의 층 상에 및/또는 캐소드 재료의 층 상에 수행된다. 애노드층 또는 캐소드층 상에의 고체 전해질층의 증착은 전지를 내부 단락으로부터 보호하는 것을 가능하게 한다. 이는 또한 긴 수명을 갖고 제조하기에 용이한 전-고체 배터리를 제조하는 것을 가능하게 한다. 전해질 재료의 층의 증착은 바람직하게는 전기이동에 의해 수행된다.
- [0122] 특히, 전해질 재료로서 선택되는 재료는 바람직하게는 하기 재료로부터 선택된다:
- [0123] - 단계 a) 및/또는 b)에서 획득된 애노드 재료의 층 상에:
- [0124] -- $M = \text{Al}$ 또는 Y 이고 $0 \leq x \leq 1$ 인, $\text{Li}_3(\text{Sc}_{2-x}\text{M}_x)(\text{PO}_4)_3$; 또는
- [0125] -- $M = \text{Al}$, Y , Ga 또는 이들 2개 또는 3개 화합물의 혼합물이고 $0 \leq x \leq 0.8$ 인, $\text{Li}_{1+x}\text{M}_x(\text{Sc})_{2-x}(\text{PO}_4)_3$; 또는
- [0126] -- $M = \text{Al}$, Y 또는 이러한 2가지 화합물 M의 혼합물이고 $0 \leq x \leq 0.8$ 인, $\text{Li}_{1+x}\text{M}_x(\text{Ga})_{2-x}(\text{PO}_4)_3$; 또는
- [0127] -- $0 \leq x \leq 0.8$ 이고; $0 \leq y \leq 1.0$ 이고 $M = \text{Al}$ 또는 Y ; 또는 이러한 2가지 화합물의 혼합물인, $\text{Li}_{1+x}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}(\text{PO}_4)_3$; 또는
- [0128] -- $M = \text{Al}$ 및/또는 Y 이고 $Q = \text{Si}$ 및/또는 Se 이고, $0 \leq x \leq 0.8$ 이고 $0 \leq y \leq 1$ 인, $\text{Li}_{3+y}(\text{Sc}_{2-x}\text{M}_x)\text{Q}_y\text{P}_{3-y}\text{O}_{12}$; 또는
- [0129] -- $M = \text{Al}$, Y , Ga 또는 이러한 3가지 화합물의 혼합물이고 $Q = \text{Si}$ 및/또는 Se 이고, $0 \leq x \leq 0.8$ 이고 $0 \leq y \leq 1$ 인, $\text{Li}_{1+x+y}\text{M}_x\text{Sc}_{2-x}\text{Q}_y\text{P}_{3-y}\text{O}_{12}$; 또는
- [0130] -- $0 \leq x \leq 0.8$ 이거나; $0 \leq y \leq 1$ 이거나; $0 \leq z \leq 0.6$ 이고 $M = \text{Al}$ 또는 Y 또는 이러한 2가지 화합물의 혼합물이고 $Q = \text{Si}$ 및/또는 Se 인, $\text{Li}_{1+x+y+z}\text{M}_x(\text{Ga}_{1-y}\text{Sc}_y)_{2-x}\text{Q}_z\text{P}_{3-z}\text{O}_{12}$;
- [0131] -- $0 \leq x \leq 1$ 이고 $N = \text{Cr}$ 및/또는 V 이고, $M = \text{Sc}$, Sn , Zr , Hf , Se 또는 Si 또는 이러한 화합물의 혼합물인, $\text{Li}_{1+x}\text{N}_x\text{M}_{2-x}\text{P}_3\text{O}_{12}$.
- [0132] 본 발명에 따른 방법의 바람직한 구현예에 있어서, 전해질 재료의 층이 단계 a)에서 획득된 층 상에 증착되는 경우, 선택적으로 하기로부터 선택되는 적어도 하나의 재료의 층을 단계 b)에서 획득된 층 상에 증착시키는 것이 가능하다:
- [0133] - $M = \text{Al}$ 또는 Y 이고 $0 \leq x \leq 1$ 인, $\text{Li}_3(\text{Sc}_{2-x}\text{M}_x)(\text{PO}_4)_3$; 또는

- [0134] --- $M = Al, Y, Ga$ 또는 이들 2개 또는 3개 화합물의 혼합물이고 $0 \leq x \leq 0.8$ 인, $Li_{1+x}M_x(Sc)_{2-x}(PO_4)_3$; 또는
- [0135] -- $M = Al, Y$ 또는 이들 2개 화합물 M 의 혼합물이고 $0 \leq x \leq 0.8$ 인, $Li_{1+x}M_x(Ga)_{2-x}(PO_4)_3$; 또는
- [0136] -- $0 \leq x \leq 0.8$ 이고; $0 \leq y \leq 1.0$ 이고 $M = Al$ 또는 Y ; 또는 이들 2개 화합물의 혼합물인, $Li_{1+x}M_x(Ga_{1-y}Sc_y)_{2-x}(PO_4)_3$; 또는
- [0137] -- $0 \leq x \leq 1$ 인, $Li_{1+x}Al_xTi_{2-x}(PO_4)_3$; 또는
- [0138] -- $0 \leq x \leq 1$ 인, $Li_{1+x}Al_xGe_{2-x}(PO_4)_3$; 또는
- [0139] -- $0 \leq x \leq 0.8$ 이고 $0 \leq y \leq 1.0$ 이고 $0 \leq z \leq 0.6$ 이고 $M = Al, Ga$ 또는 Y 또는 이들 화합물의 2가지 또는 3가지의 혼합물인, $Li_{1+x+y+z}M_x(Ge_{1-y}Ti_y)_{2-x}Si_zP_{3-z}O_{12}$; 또는
- [0140] -- $M = Al$ 및/또는 Y 이고 $Q = Si$ 및/또는 Se 이고, $0 \leq x \leq 0.8$ 이고 $0 \leq y \leq 1$ 인, $Li_{3+y}(Sc_{2-x}M_x)Q_yP_{3-y}O_{12}$; 또는
- [0141] -- $M = Al, Y, Ga$ 또는 이들 3개 화합물의 혼합물이고 $Q = Si$ 및/또는 Se 이고, $0 \leq x \leq 0.8$ 이고 $0 \leq y \leq 1$ 인, $Li_{1+x+y}M_xSc_{2-x}Q_yP_{3-y}O_{12}$; 또는
- [0142] -- $0 \leq x \leq 0.8$ 이고; $0 \leq y \leq 1$ 이고; $0 \leq z \leq 0.6$ 이고 $M = Al$ 또는 Y 또는 이들 2개 화합물의 혼합물인, $Q = Si$ 및/또는 Se 인 $Li_{1+x+y+z}M_x(Ga_{1-y}Sc_y)_{2-x}Q_zP_{3-z}O_{12}$;
- [0143] -- $0 \leq x \leq 1$ 이고 $N = Cr$ 및/또는 V 이고, $M = Sc, Sn, Zr, Hf, Se$ 또는 Si 또는 이들 화합물의 혼합물인, $Li_{1+x}N_xM_{2-x}P_3O_{12}$.
- [0144] 비록 상기 일반식에 속하지는 않으나 스칸듐을 기반으로 하는 다른 전해질 재료도 적절할 수 있다. 특히, $Li_3Sc_2(PO_4)_3$ 또는 $Li_{4.8}Sc_{1.4}(PO_4)_3$ 형태의 화학 조성이 언급되는 것이 가능하다.
- [0145] 고체 리튬화 포스페이트-기반 전해질은 대기와의 접촉에서 안정하고 높은 전위에서 안정하여 공업적-규모의 배터리 생산을 용이하게 만든다. 이러한 전해질의 안정성은 또한 그 결과의 배터리에 양호한 수명 성능을 부여하는 것에 도움을 준다. 마지막으로, 리튬화 포스페이트-기반 전해질은 전극과의 계면에서 거의 저항 효과를 생성하지 않고 특히, 예를 들어, $LiMn_{1.5}Ni_{0.5}O_4$ 형의 5V 캐소드 등과 같이 높은 전압에서 기능하는 "전-고체" 배터리의 제조에서 사용될 수 있다.
- [0146] 게다가, 리튬화 포스페이트-기반 재료는 Li-이온 배터리에서 통상적으로 사용되는 재료에 비하여 낮은 용융 온도를 가져 "확산 결합(diffusion bonding)"에 의하거나 낮은 온도의 소결에 의한 전-고체 전지의 조립을 허용한다.
- [0147] 본 발명에 따른 방법에 의하여 증착되는 전해질층은 리튬화 포스페이트 형태의 고체 재료를 포함하고, 이는 애노드와의 접촉에서 경시적으로 안정하고 또한 대기와의 접촉에서 안정하다. 게다가, 애노드와 접촉하는 고체 전해질층은 애노드와의 접촉에서 환원될 수 있는 금속 이온을 포함하지 않는다. 따라서, 본 발명에 따른 방법에 의하여 증착되는 고체 전해질층은 적어도 스칸듐 및/또는 갈륨-기반 재료를 포함한다. 게다가, 스칸듐 및 갈륨은 단지 하나의 산화 상태를 갖고 따라서 애노드 및/또는 캐소드와의 접촉에서 산화 상태가 변화할 위험이 없다. 또한, 스칸듐 및/또는 갈륨으로 도핑된 고체 리튬화 포스페이트-기반 전해질은 양호한 이온성 전도체이고 배터리 전극과의 접촉에서 경시적으로 안정하다.
- [0148] 유리하게도, 고체 전해질층은 전기적으로 절연인 전해질 재료 나노입자의 전기이동 증착에 의해 제조된다. 획득된 층은 편재된 결함 없이 전체 커버리지를 제공한다. 전류 증착 밀도는 더 좁은 절연 영역 상에 결함이 존재할 수 있는 편재된 영역 상에 집중된다.
- [0149] 전해질층 내의 결함의 부재는 서서히 진행되는 단락(creeping short-circuit), 과도한 자가-방전 또는 심지어 배터리 전지의 파괴의 출현을 방지한다.
- [0150] 전기이동 증착 기술은 또한 전극재료 및/또는 전해질 재료의 밀집한 층을 수득하는 것을 가능하게 한다. 증착되어야 할 입자의 크기가 100 nm 미만, 바람직하게는 50 nm 미만, 심지어 보다 바람직하게는 30 nm 미만인 경우,

금속 전도성 기관상에 직접적으로 전기이동에 의하여 피상체(massive body)의 이론적인 밀도의 50% 이상의 밀도를 갖는 밀집한 층을 수득하는 것을 가능하게 한다. 증착 이후 층의 크래킹(cracking)을 방지하기 위하여, 현탁액 중에 위치되는 나노입자는 작고 완전하게 안정하여야 한다. 증착되는 나노입자의 속성, 치밀도, 층의 두께에 따라, 조립 단계 동안 상기 층의 증착물을 밀집시키기 위하여 부가적인 열처리 및/또는 기계적인 처리가 수행될 수 있다. 이는 피상체의 이론적인 밀도의 85% 이상 또는 심지어 90% 이상 더 큰 밀도를 유도할 수 있다.

[0151] 100 nm 미만, 바람직하게는 50 nm 미만 심지어 보다 보다 바람직하게는 30 nm 미만의 나노입자의 현탁액의 전기이동에 의한 증착에 대하여는, 특히 증착되는 재료가 비-내화성이고 높은 표면 에너지를 갖는 경우, 획득된 층이 직접적으로 증착 이후 밀집될 수 있다. 증착 직후 박막의 압밀은 전극과 전해질 필름 간의 계면에서의 상호 확산 현상 또는 리튬 이온의 확산에 대하여 고도로 저항성일 수 있는 신규한 화합물의 형성을 야기하는 열처리를 상당히 감소시키는 이점을 갖는다.

[0152] 본 발명의 방법의 특정한 구현예에 따르면, 전극 (애노드 및 캐소드)은 생산되어야 할 배터리의 크기로 절단부(cuts)를 형성하기 위하여 절단 패턴(cutting pattern)에 따라 "펀칭(punched)" 된다. 이러한 패턴은 인접하는 3개의 절단부를 포함하며 (예를 들어 U 자형으로), 이는 배터리의 크기를 한정한다. 제2 슬롯(slot)이 비-절단층 상에 형성되어 성분의 봉지화를 위하여 요구되는 생성물이 통과할 수 있도록 하는 것을 확실하게 하는 것을 가능하게 한다. 계속해서 애노드 전극 및 캐소드 전극이 교대로 적층되어 복수의 기본 전지의 적층물을 형성하도록 한다. 애노드 및 캐소드 절단 패턴은 "헤드-투-테일(head-to-tail)"로 위치된다.

[0153] 본 발명에 따른 방법의 다른 특정한 구현예에 있어서, 전극은 전해질층(들)의 증착의 단계 c) 이전에 절단되어 전극 모서리가 전해질 필름으로 커버되도록 하고 따라서 전극이 대기와 접촉하는 것으로부터 보호하고 배터리의 수명이 개선되도록 하는 것을 가능하게 한다. 대안의 구현예에 있어서, 애노드층 및 캐소드층의 증착의 단계 a) 및 b) 이전에 기관상에 절단부가 형성되어 전극 모서리가 전해질 필름에 의하여 커버되도록 하는 것을 가능하게 한다. 이러한 특정한 구현예는 전해질 재료 나노입자의 층이 증착되기 이전에 전극 모서리를 커버하여 그에 의하여, 특히 전해질층이 수분-안정성 재료를 포함하는 경우에, 봉지 필름이 용이하게 전극 주변에 생성되도록 하는 것을 가능하게 하는 이점을 갖는다. 또한, 전극의 측면 모서리의 커버링(covering)은 전지의 단락의 위험을 감소시키는 것을 가능하게 한다.

[0154] 마지막으로, 본 발명에 따른 방법의 필수 단계는 상기 획득된 적층물의 열처리 및/또는 기계적 압축을 포함하여 전-고체 박막 배터리를 수득하도록 한다.

[0155] 열처리는 200 내지 1000℃, 바람직하게는 300 내지 700℃, 심지어 보다 바람직하게는 300 내지 500℃의 온도에서 수행된다. 유리하게도, 열처리의 온도는 600℃를 초과하지 않는다.

[0156] 유리하게도, 조립되어야 하는 층의 기계적 압축은 10 내지 400 MPa, 바람직하게는 20 내지 100 MPa의 압력에서 수행된다.

[0157] 특정한 구현예에 있어서, 적층의 단계 이후 그리고 단자의 부가 이전에, 얇은 봉지 층을 증착하는 것에 의하여 적층물을 봉지화하여 장벽 층(barrier layer)으로서의 그의 기능을 수행하도록 하는 것이 유리하다. 장벽 층으로서의 그의 기능을 수행하도록 하기 위하여는 봉지 층은 화학적으로 안정하고, 높은 온도에 저항성이고 대기에 대하여 불투과성이어야 한다. 예를 들어, 얇은 봉지 층은, 예를 들어, 옥사이드, 니트라이드, 포스페이트, 옥시니트라이드(oxynitride) 또는 실록산 형태일 수 있는 폴리머, 세라믹, 유리 또는 비트로세라믹으로 이루어진다. 유리하게도, 이러한 봉지 층은 에폭시 수지 또는 실리콘 수지로 코팅된 세라믹, 유리 또는 비트로세라믹 층을 포함한다.

[0158] 봉지 층은 유리하게도 화학적 기상 증착 (CVD)에 의하여 증착될 수 있으며, 이는 모든 접근 가능한 적층물 표면의 커버리지를 제공하는 것을 가능하게 한다. 따라서, 봉지가 직접적으로 적층물 상에 수행될 수 있고 코팅은 모든 접근 가능한 공동(cavity)을 투과하는 것이 가능하다. 유리하게도, 제2 봉지 층이 제1 봉지 층 상에 증착되어 배터리 전지의 외부 환경으로부터의 보호를 증가시키도록 할 수 있다. 전형적으로, 상기 제2 층의 증착은 실리콘 함침(silicone impregnation)에 의하여 수행될 수 있다. 이러한 재료의 선택은 이것이 높은 온도에 저항성이고 따라서 봉지 재료의 유리전이의 출현을 수반함이 없이 전자 기관(electronic card) 상에 용접에 의하여 배터리가 용이하게 조립될 수 있다는 사실에 기초하고 있다.

[0159] 유리하게도, 배터리의 봉지는 적층물의 6개의 면들 중의 4개에 대하여 수행된다. 봉지는 배터리의 6개의 면들 중의 4개의 표면을 완전하게 커버한다. 배터리의 2개의 잔여의 (대향하는) 면들의 표면들이 부분적으로 적어도 하나의 봉지 층으로 커버되고, 상기 2개의 면들의 미보호된 표면의 보호는 배터리의 연결을 위하여 의도되는 단

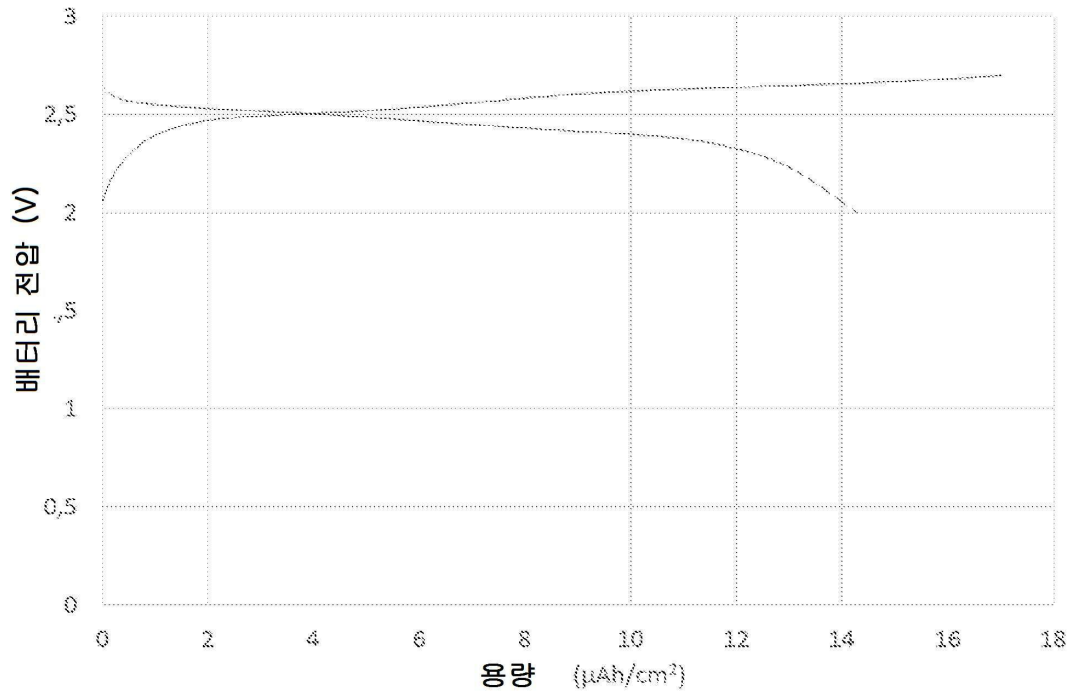
자에 의하여 확보된다.

- [0160] 바람직하게도, 애노드층과 캐소드층은 측면으로 오프셋되어 단자의 사인(sign)에 대향하는 사인을 갖는 전극의 모서리를 봉지 층이 커버하는 것을 가능하게 한다. 단자에 연결되지 않는 전극의 모서리에 대한 이러한 봉지 층 작은 이들 말단들에서의 단락을 방지하는 것을 가능하게 한다.
- [0161] 일단 적층물이 제조되고, 만약 수행되는 경우 적층물의 봉지의 단계 이후에, 각각 캐소드 전류 집전체 또는 애노드 전류 집전체가 노출되는 (봉지 층으로 코팅되지 않은) 곳에 단자 (전기적인 접촉)가 추가된다. 이러한 접촉 영역은 전류가 수집되도록 적층물의 대향되는 측면들 상 뿐만 아니라 또한 인접하는 면들 상이 될 수 있다.
- [0162] 단자를 제조하기 위하여, 선택적으로 코팅된 적층물이 절단면을 따라 절단되어 배터리의 연결부(connection) (+) 및 (-)의 각 절단면들 상에 노출을 수반하는 단일의 배터리 요소를 수득하는 것을 가능하게 한다. 계속해서 연결부가 당해 기술분야에서 통상의 지식을 가진 자에게 공지된 플라즈마 증착 기술에 의하고/의하거나 전도성 에폭시 수지 (은으로 충전된) 및/또는 용융 주석 욕(molten tin bath) 중에서의 침적에 의하여 금속화될 수 있다. 단자는 각 말단들 상에 교호로 캐소드 및 애노드의 전기적인 연결부를 구축하는 것을 가능하게 한다. 이러한 단자는 서로 다른 배터리 요소들 간에서 평행한 전기적인 연결부를 제조하는 것을 가능하게 한다. 이를 위하여, 단지 (+) 연결부가 일측 말단에서 출현하고, (-) 연결부가 타측 말단에 형성될 수 있다.
- [0163] 이러한 배터리가 전-고체이고, 애노드 재료로서 리튬 삽입 재료를 사용하기 때문에, 재충전 단계 동안의 금속성 리튬 수지상 돌기(dendrite)의 형성의 위험이 없고 리튬 애노드의 삽입을 위한 용량(capacity)이 제한된다.
- [0164] 게다가, 본 발명에 따른 배터리의 양호한 사이클링 성능을 보증하기 위하여, 캐소드의 표면 용량이 애노드의 표면 용량과 같거나 더 큰 배터리 구성이 선호된다.
- [0165] 배터리를 형성하는 층들이 전-고체이기 때문에, 애노드가 완전히 충전되는 경우, 리튬 수지상 돌기의 형성의 위험이 더이상 존재하지 않는다. 따라서, 이러한 배터리 구성은 과도한 배터리 전지의 생성을 회피한다.
- [0166] 게다가, 애노드의 표면 용량 보다 크거나 같은 캐소드의 표면 용량을 갖는 이러한 배터리의 제조는 사이클의 수로 표현되는 수명의 관점에서의 성능의 증가를 가능하게 한다. 실제로, 전극이 밀집하고 전-고체이기 때문에, 입자 간의 전기 접촉의 손실의 위험이 없다. 더욱이, 전해질 중에 또는 전극의 다공 중에서의 금속성 리튬의 증착물의 위험이 더이상 존재하지 않고, 마지막으로 캐소드 재료의 결정 구조의 악화의 위험이 없다.
- [0167] 실시예
- [0168] $\text{Li}_4\text{Ti}_5\text{O}_{12}$ 를 분쇄 후 수(several) ppm의 구연산을 수반하는 10 g/l의 무수 에탄올에 분산시키는 것에 의하여 애노드 재료의 현탁액을 수득하였다. LiMn_2O_4 를 분쇄 후 25 g/l의 무수 에탄올에 분산시키는 것에 의하여 캐소드 재료의 현탁액을 수득하였다. 계속해서 캐소드 현탁액을 5 g/l의 농도로 아세톤 중에 희석시켰다.
- [0169] 분쇄 후 계속해서 $\text{Li}_3\text{Al}_{0.4}\text{Sc}_{1.6}(\text{PO}_4)_3$ 의 분말을 5 g/l의 무수 에탄올에 분산시키는 것에 의하여 세라믹 전해질 재료의 현탁액을 수득하였다.
- [0170] 이러한 현탁액 모두에 대하여, 분쇄가 수행되어 100 nm 미만의 입자 크기를 가지는 안정한 현탁액이 획득되었다.
- [0171] 앞서 준비된 현탁액 중에 포함된 $\text{Li}_4\text{Ti}_5\text{O}_{12}$ 나노입자의 전기이동 증착에 의하여 음극 전극을 제조하였다. $\text{Li}_4\text{Ti}_5\text{O}_{12}$ 의 박막 (대략 1 마이크론)을 기판의 2개의 면 상에 증착시켰다. 계속해서 이러한 음극 전극을 600°C에서 열처리하였다.
- [0172] LiMn_2O_4 현탁액으로부터의 전기이동 증착에 의하여 동일한 방법으로 양극 전극이 제조되었다. LiMn_2O_4 의 박막 (약 1 μm)을 기판의 2개의 면 상에 증착시켰다. 계속해서 양극 전극을 600°C에서 처리하였다.
- [0173] 열처리 이후, 음극 전극 및 양극 전극을 전기이동 증착에 의하여 세라믹 전해질층 $\text{Li}_3\text{Al}_{0.4}\text{Sc}_{1.6}(\text{PO}_4)_3$ 으로 커버하였다. 각 전극 상에서 LASP 두께는 약 500 nm이다. 계속해서 이러한 전해질 필름을 건조시켰다.
- [0174] 계속해서 다층 적층물을 수득하기 위하여 $\text{Li}_3\text{Al}_{0.4}\text{Sc}_{1.6}(\text{PO}_4)_3$ 코팅된 애노드 및 캐소드의 적층물이 제조되었다. 계속해서 조립체(assembly)를 제조하기 위하여 15 분 동안 600°C에서 압력하에서 조립되었다.
- [0175] 그에 따라 획득된 배터리는 2 내지 2.7 V 사이에서 사이클링 되었다. 도 1은 이 배터리로 획득된 충전 및 방전

곡선을 나타낸다. 도 2는 그에 따라 제조되는 배터리의 사이클링 동안의 용량에서의 변화를 나타낸다.

도면

도면1



도면2

