(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[6]
H04L 29/10

(11) 공개번호 특2000-0005871
(43) 공개일자 2000년01월25일

(21) 출원번호 10-1999-0020395
(22) 출원일자 1999년06월03일

(30) 우선권주장 09/090,082 1998년06월03일 미국(US)
(71) 출원인 루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)
(72) 발명자 김창에이취.
미국,뉴저지07981,휘패니,비벌브룩테라스302
크램마크에이취.
미국,뉴저지07836,플랜더즈,아파트먼트12,오크우드빌리지76
(74) 대리인 이병호

심사청구 : 있음

(54) 통신소자에서의인터페이스제공장치및방법

요약

통신 소자의 물리층(physical layer)의 병렬 백플레인 버스와 그 소자의 더 높은 층사이의 인터페이스가 IEEE 1394와 같은 직렬 버스 구조와 호환 가능하도록 제공된다. 이 인터페이스는, 백플레인 버스로부터 데이터를 수신하는 다중 수신 데이터 라인을 갖는 병렬 백플레인 물리층 제어기 및, 백플레인 버프에 데이터를 송신하는 다중 송신 데이터 라인을 포함한다. 병렬 백플레인 물리층 제어기에는 링크층 제어기가 결합되어 데이터 버스를 통해 병렬 백플레인 물리층 제어기와 통신한다. 병렬 백플레인 물리층 제어기는 동작 클록 속도보다 큰 유효 데이터 대역폭을 제공할 수 있다. 병렬 백플레인 물리층 제어기는, 단일 데이터 비트 버스폭, 2 데이터 비트 버스폭, 4 데이터 비트 버스폭 및, 8 데이터 비트 버스폭과 같은 다수의 다른 백플레인 버스폭을 사용하여 백플레인 버스와의 통신을 지원하도록 동작할 수도 있다. 따라서, 인터페이스의 스루풋(throughput) 데이터 대역폭은 병렬 백플레인 물리층 제어기에 의해 지원된 데이터 버스폭 중 하나를 선택함으로써 스케일링될 수 있다.

대표도

도3

색인어

병렬 백플레인 버스, 인터페이스, 통신 소자, 데이터 버스폭, 물리층 제어기

명세서

도면의 간단한 설명

도 1은 IEEE 1394 표준에 따라 구성된 종래의 직렬 백플레인 인터페이스의 블록도.

도 2는 도 1의 종래의 직렬 백플레인 인터페이스에 적합한 직렬 백플레인 물리층 제어기의 세부도.

도 3은 본 발명의 예시적 실시예에 따라 구성된 병렬 백플레인 물리층의 블록도.

도 4는 본 발명의 예시적 실시예에 따른 도 3의 병렬 백플레인 인터페이스에 적합한 병렬 백플레인 물리층의 세부도.

* 도면의 주요부분에 대한 부호의 설명

100 : 병렬 백플레인 인터페이스 112 : 링크층 제어기
114 : 병렬 백플레인 물리층 제어기 116 : 백플레인 수신기
117 : 병렬 백플레인 버스 130 : LINK/PHY 인터페이스
132 : 중재 제어 블록 134 : 데이터 인코드 블록

150 : 중재/데이터 다중화기 160 : 데이터 재동기화/디코드 블록

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 IEEE 1394와 같은 표준에 따라 동작하는 백플레인 인터페이스에 관한 것이며, 보다 구체적으로는 네트워크 노드 또는 다른 통신 소자에서 물리층(physical layer: PHY 층) 백플레인과 더 높은 레벨의 링크층 사이의 통신을 제어하는데에 사용하기에 적합한 백플레인 인터페이스에 관한 것이다.

도 1은 네트워크 노드 또는 다른 통신 소자에서 물리층(PHY 층) 백플레인 또는 다른 회로를 링크층에 인터페이스 접속하는 종래의 직렬 백플레인 인터페이스(10)를 도시한다. 인터페이스(10)는, 링크층 제어기(12), 백플레인 물리층 제어기(14) 및, 백플레인 송수신기(16)를 포함한다. 링크층 제어기(12) 및 물리층 제어기(14)는, 고성능 직렬 버스(High Performance Serial Bus)에 대한 IEEE(Institute of Electrical and Electronics Engineers) 표준 1394-1995(이하 간단히 IEEE 1394 표준이라 칭하며, 기준에 본원에 포함된다)에 따라 동작한다. IEEE 1394 표준은 하나 이상의 병렬 백플레인 버스에 대해 주변 버스 또는 백업으로 사용되는 직렬 버스를 말한다. 직렬 백플레인 인터페이스(10)의 백플레인 송수신기(16)는 직렬 백플레인 버스(17)에 대한 전기적/기계적 인터페이스를 제공한다. 양방향성 백플레인은 신호들(BPstrb+ 및 BPstrb-)을 스트로브(strobe)하며, 백플레인 데이터 신호들(BPdata+ 및 BPdata-)은 송수신기(16)와 직렬 백플레인 버스(17)사이에서 전달된다. 단방향성 송신 스트로브(TSTRB)에 대응하여, 송수신기(16)와 PHY 층 제어기(14) 사이에는, 송신 데이터(TData), 수신 스트로브(RSTRB) 및 수신 데이터(RData) 신호 라인이 통과한다. 송수신기(16)는, 다른 송수신기들이 다른 유형의 직렬 백플레인 버스들에 사용될 수 있도록, 종종 PHY 층 제어기(14)와 별도로 패키징된다. 사용된 송수신기의 유형은 직렬 버스(17)를 통한 패킷 송신 속도를 결정한다. 예컨대, BTL 또는 ECL(Emitter-Coupled Logic)을 사용하는 송수신기는 49.152 MB/sec에서 송수신하고, ETL(Enhanced Transceiver Logic)을 사용하는 송수신기는 24.576 MB/sec에서 동작한다.

링크층 제어기(12)는 직렬 백플레인 버스를 사용하여 노드의 더 높은 층에, 호스트 인터페이스(18)를 통해 확인된 단방향(one-way) 데이터 전송 서비스를 제공한다. 예컨대, 제어기(12)는 직렬 백플레인 인터페이스(10)를 구현하는 노드의 상부층으로부터의 판독/기록/록 요청에 응답하고, PHY 층을 통한 직렬 백플레인 버스(17) 상으로의 송신을 위해 패킷을 준비한다. 링크층 제어기(12)는 또한 PHY 층 제어기(14)에 의해 지시된 직렬 버스(17)의 상태 변화(즉, 수신된 데이터 패킷)에도 응답한다. 링크층 제어기(12)의 다른 기능으로는, 어드레싱, 에러 체크, 데이터 프레임화(즉, 주어진 패킷 내에서)가 있다. 정보는, 데이터 라인 DATA[0:7]을 포함하는 데이터 버스(20) 및 제어 신호 라인 CLT[0:1]을 포함하는 제어 버스(22)를 사용하여, 링크층 제어기(12)와 PHY 층 제어기(14) 사이에서 양방향으로 송신된다. 통상적인 종래의 구현에서는, DATA[0:7] 데이터 라인 중 두 개, 즉, 데이터 라인(D0 및 D1) 만이 사용된다. 시스템 클록(SCLK)이 PHY 층 제어기(14)로부터 링크층 제어기(12)로 공급된다. 링크 요청(LREQ)은, 도시된 것처럼 링크층 제어기(12)로부터 PHY층 제어기로 단방향으로 송신된다.

도 2는 직렬 백플레인 인터페이스(10)의 PHY 층 제어기(14)를 더 구체적으로 도시한다. PHY 층 제어기(14)는 패킷 수신/송신 및 중재(arbitration)와 같은 기능을 수행하며, LINK/PHY 인터페이스(30), 중재 제어 블록(32), 데이터 인코드 블록(34), 중재/데이터 다중화기(36) 및 데이터 재동기화/디코드 블록(38)를 포함한다. PHY 층 제어기(14)내의 다양한 상태 머신의 동기화를 제공하기 위해 기준 클록(CLK)이 사용된다. 이 기준 클록의 주파수는 데이터 송신 속도에 상관없이 49.152 MHz(±100 ppm)이다. 전술된 SCLK는 기준 클록으로부터 유도된다. 링크층 제어기(12)와 PHY 층 제어기(14) 사이에 발생될 수 있는 4개의 기본 동작은 요청, 상태(status), 송신 및 수신이며, 요청 동작을 제외한 모든 동작은 PHY 층 제어기(14)에 의해 초기화된다. 링크층 제어기(12)는, 요청 동작을 사용하여, 내부 PHY 레지스터를 판독 또는 기록하거나, PHY 층 제어기(14)에 송신 동작을 초기화할 것을 요청한다. PHY 층 제어기(14)는 직렬 버스(17)의 상태가 변경될 때마다 상태 동작을 초기화한다.

PHY 층 제어기(14)는 링크 층 제어기(12)로부터의 요청에 응답하여 송신 동작을 초기화한다. 송신될 데이터 비트는 링크층 제어기(12)로부터 데이터 라인(20)을 통해 수신된다. 이들 데이터 비트는 시스템 클록 SCLK과 동기하여 제어기(14)의 데이터 인코드 블록(34)에 래치되고, 직렬로 결합되고, 인코딩된 후, 중재/데이터 다중화기(36)에 의해 TData 라인을 통해 송수신기(16)로 송신된다. 대응하는 스트로브 정보는 중재/데이터 다중화기(36)에 의해 TSTRB 라인을 통해 송수신기(16)로 송신된다. PHY 층 제어기(14)는 패킷이 직렬 버스(17)를 통해 수신될 때마다 수신 동작을 초기화한다. 패킷 데이터는 데이터 재동기화/디코드 블록(38)에서 RData 라인을 통해 수신되며, 대응하는 스트로브 정보는 RSTRB 라인을 통해 블록(38)에서 수신된다. 수신된 데이터 스트로브 정보는 블록(38)에서 디코딩되어 수신 클록(RxCLK) 및 직렬 데이터 비트를 복원한다. 다음에, 직렬 데이터 비트는 국소 시스템 클록으로 재동기화되고, 두 개의 병렬 스트림으로 분리되며, LINK/PHY 인터페이스(30)를 통해 관련 링크로 이송된다. 도 2의 PHY 층 제어기(14)의 다양한 요소의 동작에 대한 부연 설명은 위에서 참고된 IEEE 1394 표준 서류에서 발견될 수 있다. 보통 상업적으로 입수 가능한 PHY 층 제어기는 Dallas Texas의 Texas Instruments Inc.에서 제조된 TSB14C01 5-V IEEE 1394-1995 Backplane Transceiver/Arbiter이다.

발명이 이루고자하는 기술적 과제

상기 도 1 및 도 2에 관련하여 설명된 종래의 IEEE 1394 직렬 백플레인 인터페이스(1)의 중대한 문제점은, 데이터 대역폭이 심하게 제한된다는 것이다. 예컨대, 직렬 백플레인 인터페이스(10)는, 항상 단일 데이터 비트 폭인 직렬 백플레인 데이터 버프(17)를 지원한다. 즉, 도 1 및 도 2에 도시된 종래의 PHY 제어기(14) 및 송수신기(16)는 한 번에 1 데이터 비트를 처리하도록 구성된다. 이것은 인터페이스(10)를 통한 데이터 전송 속도를 제한하고, 그에 따라 유효 데이터 대역폭을 제한하며, 또한 대응하는 네트워크 노드 또는 다른 통신 소자가 링크 층 회로의 성능의 장점 전부를 취하지 못하도록 한다. 종래의 직렬 백플레인 인터페이스(10)에서 데이터 대역폭을 증가시키기 위해서는, 일반적으로 PHY 층 클록 주파수를 증가시키는 것이 요구되는데, 이것은 주어진 응용에서 실용적인 또는 바람직한 접근법이 되지 못할 수도 있다. 따라서, PHY 층 클록 주파수의 대응하는 증가없이 유효 데이터 대역폭이 증가될 수 있으며, 또한 IEEE 1394 직렬 버스 구조와 호환성을 유지할 수 있는 개선된 백플레인 PHY 층 인터페이스가 요구된다.

발명의 구성 및 작용

본 발명은 스케일링 가능한 데이터 대역폭을 갖는 병렬 백플레인 물리층 인터페이스를 제공한다. 예시된 실시예에서는, IEEE 1394와 같은 기존의 직렬 버스와 호환될 수 있도록 통신 소자의 물리층의 병렬 백플레인 버스와 소자의 더 높은 층 사이에 인터페이스가 제공된다. 이 인터페이스는, 백플레인 버스로부터 데이터를 수신하는 다중 수신 데이터 라인 및 백플레인 버스에 데이터를 송신하는 다중 송신 데이터 라인을 갖는 병렬 백플레인 물리층 제어기를 포함한다. 물리층 제어기와 백플레인 버스 사이에는 송수신기가 결합되어 다중 라인 데이터 송신 및 수신 동작을 실현한다. 병렬 백플레인 물리층 제어기에는 링크 층 제어기가 결합되어, 데이터 버프를 통해 병렬 백플레인 물리층 제어기와 통신한다. 병렬 백플레인 물리층 제어기는 동작 클록 속도보다 큰 유효 데이터 대역폭을 제공할 수 있다. 병렬 백플레인 물리층 제어기는, 단일 데이터 비트 버스폭, 2 데이터 비트 버스폭, 4 데이터 비트 버스폭 및, 8 데이터 비트 버스폭과 같이, 다수의 다른 백플레인 버스폭을 사용하여백플레인 버스와의 통신을 지원하도록 동작할 수도 있다. 따라서, 본 발명은 인터페이스의 스루풋(throughput) 데이터 대역폭이 사용가능한 데이터 버스폭 중 하나를 선택함으로써 스케일링될 수 있도록 한다.

본 발명의 장점은, 대응하는 직렬 백플레인 인터페이스와 동일한 물리층 클록 주파수를 유지하면서 주어진 백플레인 물리층 인터페이스가 상당히 증가될 수 있다는 것이다. 예컨대, 약 50 MHz의 클록 속도에서 동작하는 백플레인 물리층 인터페이스의 데이터 대역폭은, 전술된 종래의 IEEE 1394 직렬 백플레인 인터페이스에 비해 8 배로 증가될 수 있다. 이로 인해, 링크층 회로의 성능은 더 효과적으로 사용될 수 있다. 데이터 대역폭의 증가는 선택가능하므로, 단일 인터페이스 소자는 호환가능한 IEEE 1394 직렬 데이터 버스 뿐 아니라 다수의 다른 병렬 백플레인 버스폭을 지원할 수 있다. 또한, 본 발명은, 주어진 데이터 대역폭에 대해, 그 대역폭을 제공하는데 필요한 클록 주파수를 감소시킴으로써, 예컨대 전자기 간섭(EMI) 및 전자기 호환성(EMC)에 관하여, 직렬 백플레인 인터페이스의 잡음 성능을 개선시킬 수 있다.

이하, 예시적인 병렬 백플레인 인터페이스 구조에 관련하여 본 발명을 설명한다. 본 발명은, IEEE 1394 표준에 따라 구성된 회로와 함께 사용하기에 특히 적합하지만, 다른 형태의 백플레인 인터페이스 회로 및, 다른 인터페이스 응용에도 적용될 수 있다. 본 발명의 병렬 백플레인 인터페이스 구조는 네트워크 노드 또는, 예컨대, 개인용 컴퓨터, 마이크로 프로세서, 주문형 집적회로 또는 다른 데이터 처리 소자와 같은 다른 통신 소자, 또는 송신기, 수신기 또는 다른 통신 단말에서 구현될수도 있다. 본 발명은, 무선 셀룰라 시스템, 케이블 시스템, 위성 시스템 및 다른 형태의 통신 시스템을 포함하는 매우 다양한 통신 시스템 응용에 사용하기에 적합하다. 본원에서 사용된 "백플레인 버스"란 용어는 통신 소자의 물리층에 하나 이상의 데이터 라인의 임의의 장치를 포함하는 것으로 이해되어야 한다. 백플레인 제어기와 관련하여 본원에서 사용된 "유효 데이터 대역폭"이란 용어는 일반적으로 동작 조건의 주어진 설정하에서 제어기에 의해 지원된 대략적인 대역폭을 언급한다. 예컨대, 400 MHz의 유효 데이터 대역폭을 제공하는 제어기는, 본 발명에 따라, 8 비트의 백플레인 데이터 버스폭 및 50 MHz의 물리층 클록 속도를 사용함으로써 구현될 수 있다.

도 3은 본 발명의 예시적 실시예에 따라 구성된 병렬 백플레인 인터페이스(100)를 도시한다. 병렬 백플레인 인터페이스(100)는, 링크층 제어기(112), 병렬 백플레인 PHY 층 제어기(114) 및 백플레인 수신기(116)를 포함한다. 이 실시예의 병렬 백플레인 인터페이스(100)는 통신 노드 또는 다른 통신 소자 내에서 PHY 층 병렬 백플레인 버스(117)와 더 높은 레벨층 사이를 인터페이스한다. 링크층 제어기(112)는 전술된 IEEE 1394 표준에 따라 동작하도록 구성되어, 더 높은 레벨층들 중 하나와 관련된 호스트 인터페이스(118)와 PHY 층 제어기(114) 사이에 통신을 제공한다. 링크층 제어기(112)와 PHY층 제어기(114) 사이의 양방향성 DATA[0:7] 데이터 버스(120)는 8비트의 폭을 갖는다. 전술된 것처럼, 통상적인 종래의 구현은, 사용 가능한 8개의 데이터 라인 중에서 단지 2개, 즉, 데이터 라인(D0 및 D1) 만을 사용하는 것이 일반적이다. 데이터 버스(120)의 폭은 단순히예시일 뿐임에 유의해야 한다. 이하에 더 상세히 설명되겠지만, 본 발명의 다른 실시예에서는 데이터 버스(120)에 대해 다른 폭을 사용할 수도 있다. 링크층 제어기(112)와 PHY 제어기(114) 사이의 제어 버스(122)는 CTL[0:1]로 표기된 제어 신호 라인을 포함한다. CLL[0:1], LREQ 및 SCLK 신호 라인들은 모두 전술된 IEEE 1394 표준 서류에서 설명된 것과 유사하게 동작한다.

PHY 층 제어기(114)는, 송신 스트로브 출력(TSTRB), 수신 스트로브 입력(RSTRB), 8개의 송신 데이터 출력(TData0, TData1, ...TData7) 및 8개의 수신 데이터 입력(RData0, RData1, ...RData7)을 포함한다. 이들 라인은 백플레인 송수신기(116)의 대응하는 각자의 입력 및 출력에 접속된다. 송수신기(116)는 또한, 양방향성 백플레인 스트로브 신호(BPsttb+ 및 BPstrb-) 및 8쌍의 양방향성 백플레인 데이터 신호(BPdata0+ 및 BPdata0-, BPdata1+ 및 BPdata1-, ...BPdata7+ 및 BPdata7-)를 지원한다. 이들 스트로브 및 데이터 신호 라인들은 송수신기(116)와 병렬 백플레인 버스(117)사이를 통과한다. 이와 같이,

이 실시예의 PHY 층 제어기(114) 및 백플레인 송수신기(116)는 8비트까지의 데이터를 동시에 처리하도록 구성된다.

도 4는 병렬 백플레인 PHY 층 제어기(114)를 더 구체적으로 도시한다. 제어기(114)는, 패킷 수신/송신 및 중재와 같은 기능을 수행하며, LINK/PHY 인터페이스(130), 중재 제어 블록(132), 데이터 인코드 블록(134), 중재/데이터 다중화기(150) 및, 데이터 재동기화/디코드 블록(160)을 포함한다. PHY 층 제어기(114)내의 다양한 상태 머신의 동기화를 위해 국소 기준 클록(CLK)이 사용된다. IEEE 1394 표준과 호환성이 있는 실시예에서 이 클록의 주파수는, 데이터 송신 속도에 상관없이 49.152 MHz(±100 ppm)에서 유지될 수 있다. 다른 실시예에서 다른 클록 속도가 사용될 수도 있다.

PHY 층 제어기(114)의 중재/데이터 다중화기(150)는, 송신 패킷 스트로브(TxPktStrb) 입력 및 송신 패킷 데이터(TxPktData) 입력을 가지며, 전술된 TSTRB 및 TData0, TData1 ...TData7 신호를 출력으로 발생시킨다. 데이터 재동기화/디코드 블록(160)은, 전술된 RSTRB 및 RData0, RData1 ...RData7 신호를 입력으로 수신하고, 수신 스트로브(RxStrb) 및 수신 데이터(RxData) 신호를 출력으로 발생시킨다. 이와 같이, PHY 층 제어기(114)는 8비트 폭 백플레인 데이터 버스에 의해 동작하도록 구성된다. 제어기(114)는 병렬 백플레인 버스(117)로부터 백플레인 송수신기(116)를 통해 RSTRB 및 RData0, Rdata1, ...RData7 신호를 수신하며, 송수신기(116)를 통해 병렬 버스(117)에 TSTRB 및 TData0, TData1 ...TData7 신호를 공급한다.

도 1의 종래의 직렬 백플레인 인터페이스(10)에서처럼, 병렬 백플레인 이??페이스(100)의 링크층 제어기(112)와 PHY 층 제어기(114) 사이에서 발생할 수 있는 4개의 기본 동작은, 요청, 상태, 송신 및 수신이며, 요청 동작을 제외한 모든 동작이 PHY 제어기(114)에 의해 제어된다. 링크층 제어기(112)는 요청 동작으로 사용하여, 내부 PHY 레지스터를 판독 또는 기록하거나, PHY 층 제어기(114)에 송신 동작을 초기화할 것을 요청한다. PHY 층 제어기(114)는 병렬 패킷 버스(117)의 상태가 변경될 때 상태 동작을 초기화한다. PHY 층 제어기(114)는 링크 층 제어기(112)로부터의 요청에 응답하여 송신 동작을 초기화한다. 송신될 데이터 비트는 링크층 제어기(112)로부터 DATA[0:7] 라인들을 통해 수신된다. 이들 데이터 비트는, 시스템 클록 SCLK에 동기하여 PHY 층 제어기(114)의 데이터 인코드 블록(134)에 래치되고, 인코드된 후, 중재/데이터 다중화기(150)에 의해 TData0, TData1, ...Tdata7 라인을 통해 송수신기(116)에 송신된다. 대응하는 스트로브 정보는 중재/데이터 다중화기(150)에 의해 TSTRB 라인을 통해 송수신기(116)에 송신된다.

PHY 층 제어기(114)는 패킷이 병렬 백플레인 버스(117)를 통해 수신될 때마다 수신 동작을 초기화한다. 패킷 데이터는 송수신기(116)로부터 RData0, RData1, ...Rdata7을 통해 재동기화/디코드 블록(160)에서 수신되고, 대응하는 스트로브 정보는 RSTRB 라인을 통해 블록(160)에서 수신된다. 수신된 데이터 스트로브 정보는 블록(38)에서 디코딩되어 수신 클록(RxCLK) 및 데이터 비트를 복원한다. 다음에 데이터 비트는 국소 시스템 클록에 재동기화되고, LINK/PHY 인터페이스(30)를 통해 관련 링크로 이송된다. 제어기(114)의 요소(130, 132 및 134)의 동작은, 실질상 전술된 IEEE 1394 표준 서류에서 설명된 것처럼 더 넓은 백플레인 데이터 버스를 수용하도록 변형될 수 있다. 이를 변형은 간단하며 당업자에게는 명백할 것이므로 구체적인 설명을 생략한다.

전술된 것처럼, 도 3에 도시된 병렬 백플레인 인터페이스(100)는 8비트 폭 병렬 백플레인 데이터 버스(117)에 의해 동작한다. 본 발명에 따라, 스케일링 가능한 데이터 대역폭을 제공하기 위해, 병렬 백플레인 인터페이스(100)는 임의 개수의 다른 백플레인 데이터 버스 대역폭에 의해 동작하도록 이루어질 수도 있다. 예컨대,병렬 백플레인 인터페이스(100)는, 백플레인 데이터 버스폭이, 1 비트, 2비트, 4 비트, 8 비트 중 어느 한 비트로 스케일링 될 수 잇는 스케일링 가능한 데이터 대역폭을 제공할 수도 있다. 아래의 표 1은 3개의 다른 대략적은 PHY 층 클록 속도에서, 이들 4개의 예시적 버스폭 각각에 대해 생성되는 유효 데이터 대역폭을 도시한다. 도 1의 종래의 직렬 백플레인 인터페이스(10)는 1비트의 백플레인 버스폭에 의해 동작하며, 따라서 25 MHz, 50 MHz 또는 100MHz의 대략적인 PHY 층 클록 속도에 대해 각각 25 MHz, 50 MHz 또는 100 MHz의 데이터 대역폭을 제공할 것이다.

[표 1]

	PHY 층 클록 (MHz)		
버스폭	25	50	100
1 bit	25	50	100
2 bits	50	100	200
4 bits	100	200	400
8 bits	200	400	800

이와 같이, 본 발명은 백플레인 인터페이스의 데이터 대역폭이 백플레인 데이터 버스의 폭에 기초하여 스케일링될 수 있도록 한다. 예컨대, 백플레인 버스가 8비트 폭인 실시예에서, PHY 층 클록 데이터의 8배의 유효 데이터 대역폭, 예컨대, 50 MHz 클록 속도에 대해 400 MHz의 유효 데이터 대역폭이 제공될 수 있다. 표 1은 또한 인터페이스 데이터 대역폭의 유사한 스케일링이, 2 비트 또는 4 비트와 같은 다른 백플레인 데이터 버스폭에 대해 제공될 수 있다는 것을 나타낸다. 그렇지 않으면, 도 3의 병렬 백플레

인 인터페이스(100)에 제공된 중재 처리는, 2, 4, 또는 8 비트의 백플레인 데이터 버스폭에 대한 중재를 제공하도록 간단하게 변형된 종래의 중재 처리가 될 수 있다. 본 발명에 따라 구성된 소정의 병렬 백플레인 인터페이스는 표 1에 도시된 다른 데이터 버스폭 각각을 지원할 수 있으며, 소정 응용에 사용된 특정 버스폭은 적절한 버스폭 선택 회로의 포함에 의해 선택될 수 있다. 그런 회로는 당업자에 의해 간단하게 구현될 수 있을 것이며, 따라서 구체적인 설명은 생략한다.

발명의 효과

본 발명은, 스케일링 가능한 데이터 대역폭을 제공함으로써, 주어진 유효 데이터 대역폭에 대한 백플레인 인터페이스의 잡음 성능을 개선시킬 수 있다. 예컨대, 본 발명은, 주어진 대역폭을 지원하는데에 요구될 클록 주파수를 감소시키므로, 클록 잡음량이 상당히 감소될 수 있다. 이것은 백플레인 인터페이스가 특정 응용의 전자기 간섭(EMI) 및 전자기 호환(EMC) 요구조건을 보다 쉽게 충족시킬 수 있도록 한다.

도 3 및 도 4의 병렬 백플레인 인터페이스 구조는 본 발명의 동작을 예시하기 위해 의도된 것이며, 따라서 본 발명을 특정 실시예 또는 실시예의 그룹으로 제한하는 것으로 해석되어서는 안 된다. 다른 실시예들은 다양한 다른 형태의 논리 회로를 사용하여 전술된 병렬 백플레인 제어 기술을 구현하도록 기능할 수 있다. 전술된 실시예 이외의 백플레인 버스폭 및 PHY 층 클록 속도가 사용될 수도 있다. 첨부된 청구범위의 범위에 속하는 상기 및 다수의 다른 대안적 실시예는 당업자에게 명백할 것이다.

(57) 청구의 범위

청구항 1

통신 소자에서 상기 소자의 물리층 백플레인 버스와 상기 소자의 더 높은 층에 관련된 회로 사이에 인터페이스를 제공하는 장치에 있어서,

상기 백플레인 버스로부터 데이터를 수신하도록 배열된 다수의 데이터 라인 입력 및, 상기 백플레인 버스에 데이터를 송신하도록 배열된 다수의 데이터 라인 출력을 갖는 백플레인 물리층 제어기로서, 상기 백플레인 물리층 제어기의 동작 클록 속도보다 큰 유효 데이터 대역폭을 제공하는 상기 백플레인 물리층 제어기 및;

데이터 버스를 통해 상기 백플레인 물리층 제어기에 결합된 링크층 제어기를 구비하는, 통신 소자에서의 인터페이스 제공 장치.

청구항 2

제 1 항에 있어서, 상기 링크층 제어기는 IEEE 1394 표준에 따라 동작하는 통신 소자에서의 인터페이스 제공 장치.

청구항 3

제 1 항에 있어서, 상기 백플레인 물리층 제어기는 다수의 다른 백플레인 버스폭을 사용하여 상기 백플레인 버스와의 통신을 지원하도록 동작하는 통신 소자에서의 인터페이스 제공 장치.

청구항 4

제 3 항에 있어서, 상기 백플레인 물리층 제어기는 특정 시간에 사용하기 위한 다른 백플레인 버스폭들 중 하나를 선택하도록 동작하는 통신 소자에서의 인터페이스 제공 장치.

청구항 5

제 3 항에 있어서, 상기 다수의 다른 백플레인 버스폭은, 적어도, 단일 데이터 비트 버스폭, 2 데이터 비트 버스폭, 4 데이터 비트 버스폭 및, 8 데이터 비트 버스폭을 포함하는 통신 소자에서의 인터페이스 제공 장치.

청구항 6

제 1 항에 있어서, 상기 백플레인 물리층 제어기는, 상기 물리층 제어기의 클록 속도의 n(n은 2이상)배인 유효 데이터 폭을 제공하는 통신 소자에서의 인터페이스 제공 장치.

청구항 7

제 1 항에 있어서, 상기 백플레인 물리층 제어기와 상기 백플레인 버스사이에 결합되며, 상기 백플레인 물리층 제어기의 다수의 데이터 라인 출력에 결합된 입력, 상기 백플레인 물리층 제어기의 다수의 데이터 라인 입력에 결합된 출력 및, 백플레인 버스와의 대응하는 입력 및 출력 접속을 갖는 송수신기를 더 포함하는 통신 소자에서의 인터페이스 제공 장치.

청구항 8

제 1 항에 있어서, 상기 백플레인 물리층 제어기는 스케일링 가능한 유효 데이터 대역폭을 제공하도록 동작하는 통신 소자에서의 인터페이스 제공 장치.

청구항 9

제 1 항에 있어서, 상기 백플레인 물리층 제어기는, 상기 백플레인 버스와의실제 데이터 통신에 사용된

입력 및 출력 데이터 라인의 개수와 물리층 클록 속도 중 적어도 하나의 조절에 의해, 상기 스케일링 가능한 유효 데이터폭을 제공하는 통신 소자에서의 인터페이스 제공 장치.

청구항 10

통신 소자에서 상기 소자의 물리층 백플레인 버스와 상기 소자의 더 높은 층에 관련된 회로 사이에 인터페이스를 제공하기 위한 방법에 있어서,

백플레인 물리층 제어기와 상기 백플레인 버스 사이에 결합된 다수의 수신 데이터 라인 및, 상기 물리층 제어기와 상기 백플레인 버스 사이에 결합된 다수의 송신 데이터 라인을 사용하여, 상기 백플레인 물리층 제어기와 상기 백플레인 버스 사이에 데이터를 통신하는 단계로서, 상기 백플레인 물리층 제어기가 상기 백플레인 물리층 제어기의 동작 클록 속도보다 큰 유효 데이터 대역폭을 제공하는, 상기 단계 및;

데이터 버스를 통해 링크층 제어기와 상기 물리층 제어기 사이에 데이터를 통신하는 단계를 구비하는 통신 소자에서의 인터페이스 제공 방법.

청구항 11

제 10 항에 있어서, 상기 링크층 제어기는 IEEE 1394 표준에 따라 동작하는 통신 소자에서의 인터페이스 제공 방법.

청구항 12

제 10 항에 있어서, 상기 물리층 제어기에 의해 지원된 다수의 다른 백플레인 버스폭 중 하나를 선택하는 단계를 더 포함하는 통신 소자에서의 인터페이스 제공방법.

청구항 13

제 12 항에 있어서, 상기 다수의 다른 백플레인 버스폭은, 적어도, 단일 데이터 비트 버스폭, 2 데이터 비트 버스폭, 4 데이터 비트 버스폭 및, 8 데이터 비트 버스폭을 포함하는 통신 소자에서의 인터페이스 제공 방법.

청구항 14

제 10 항에 있어서, 상기 백플레인 물리층 제어기는, 상기 물리층 제어기의 클록 속도의 n(n은 2이상)배인 유효 데이터 폭을 제공하는 통신 소자에서의 인터페이스 제공 방법.

청구항 15

제 10 항에 있어서, 상기 물리층 제어기에 의해 지원된 다른 유효 데이터 대역폭의 개수로부터 유효 데이터 대역폭을 선택하는 단계를 더 포함하는 통신 소자에서의 인터페이스 제공 방법.

청구항 16

제 15 항에 있어서, 상기 유효 데이터 대역폭을 선택하는 단계는, 상기 백플레인 버스와의 실제 데이터 통신에 사용된 입력 및 출력 데이터 라인의 개수와 물리층 클록 속도 중 적어도 하나를 조절하는 단계를 포함하는 통신 소자에서의 인터페이스 제공 방법.

청구항 17

통신 소자에서 상기 소자의 물리층 백플레인 버스와 상기 소자의 더 높은 층에 관련된 회로 사이에 인터페이스를 제공하는 장치에 있어서,

상기 백플레인 버스로부터 데이터를 수신하도록 배열된 다수의 수신 입력 및, 상기 백플레인 버스에 데이터를 송신하도록 배열된 다수의 송신 출력을 갖는 백플레인 물리층 제어기 및;

상기 백플레인 물리층 제어기에 결합된 링크층 제어기;를 구비하고, 상기 백플레인 물리층 제어기에 의해 제공된 유효 데이터 대역폭은 상기 백플레인 버스와의 실제 데이터 통신에 사용된 수신 및 송신 출력의 개수에 기초하여 선택되는, 통신 소자에서의 인터페이스 제공 장치.

청구항 18

제 17 항에 있어서, 상기 백플레인 물리층 제어기는 다수의 다른 백플레인 버스폭 중 하나를 선택함으로써 다수의 유효 데이터 대역폭 중 하나를 선택하도록 동작하는 통신 소자에서의 인터페이스 제공 장치.

청구항 19

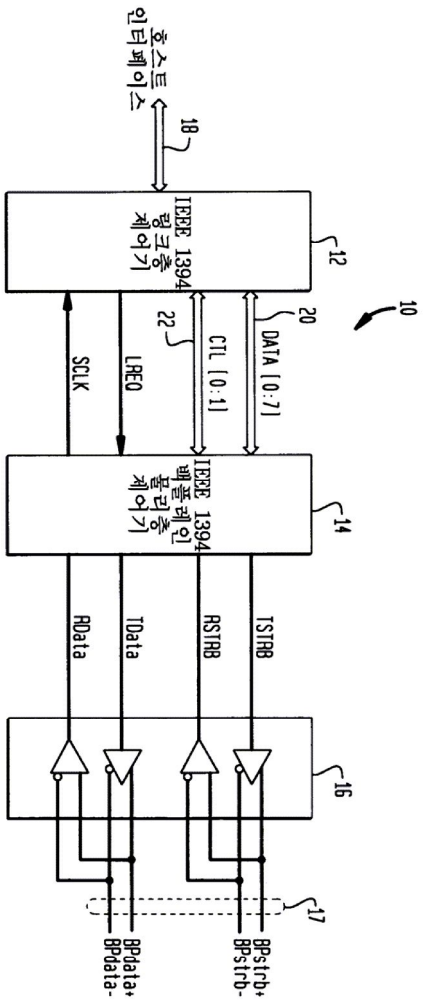
제 18 항에 있어서, 상기 백플레인 물리층 제어기는 특정 시간에 상이한 사용 가능한 백플레인 버스 대역폭들 중 어떤 대역폭이 사용되는지를 선택하도록 동작하는 통신 소자에서의 인터페이스 제공 장치.

청구항 20

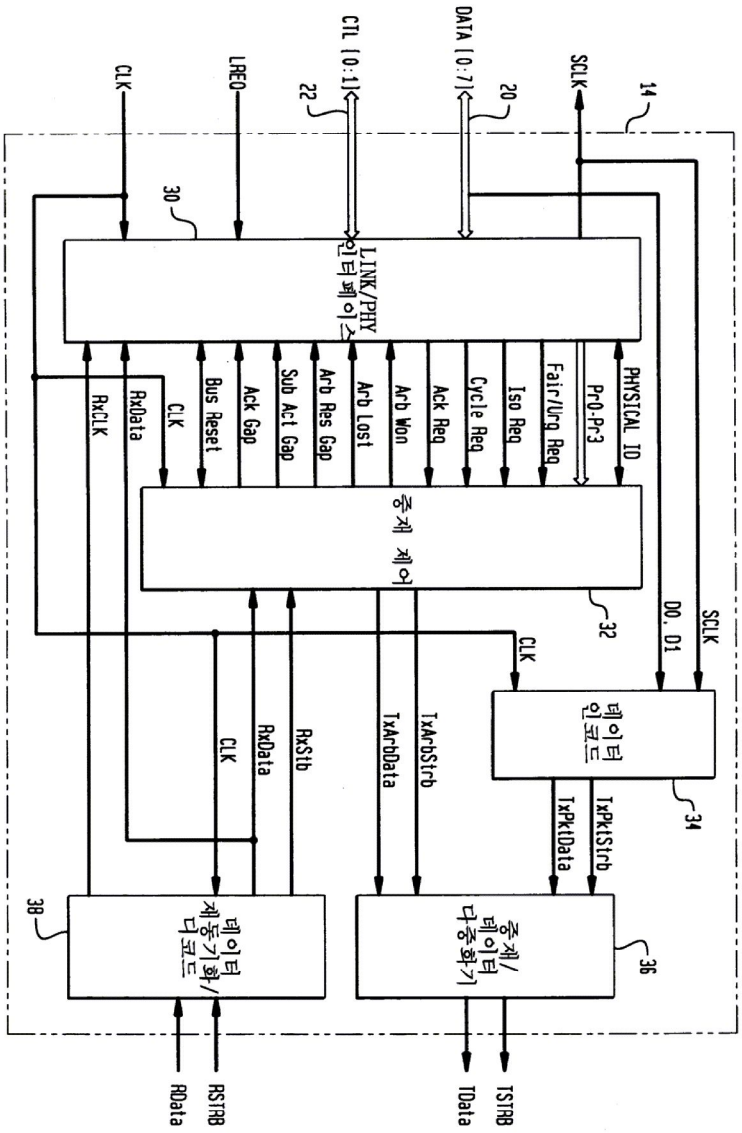
제 18 항에 있어서, 상기 다수의 다른 백플레인 버스폭은, 적어도, 단일 데이터 비트 버스폭, 2 데이터 비트 버스폭, 4 데이터 비트 버스폭 및, 8 데이터 비트 버스폭을 포함하는 통신 소자에서의 인터페이스 제공 장치.

도면

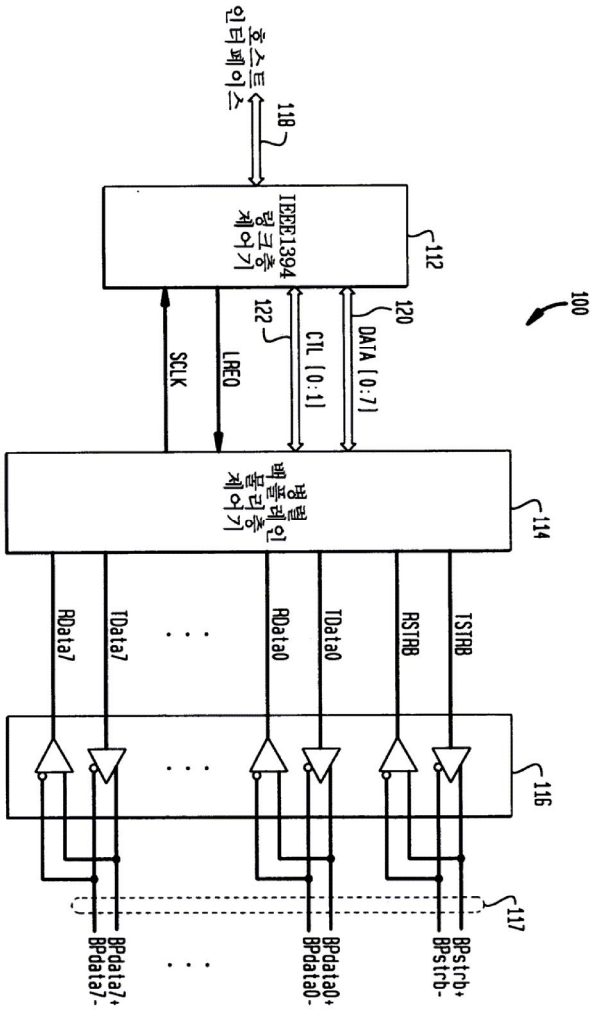
도면1


호스트 인터페이스
18
IEEE 1394 링크층 제어기
12
10
20
22
SCLK
LREQ
CTL [0:1]
DATA [0:7]
IEEE 1394 백플레인 물리층 제어기
14
RData
TData
RSTRB
TSTRB
16
17
BPdata+
BPdata-
BPstrb+
BPstrb-

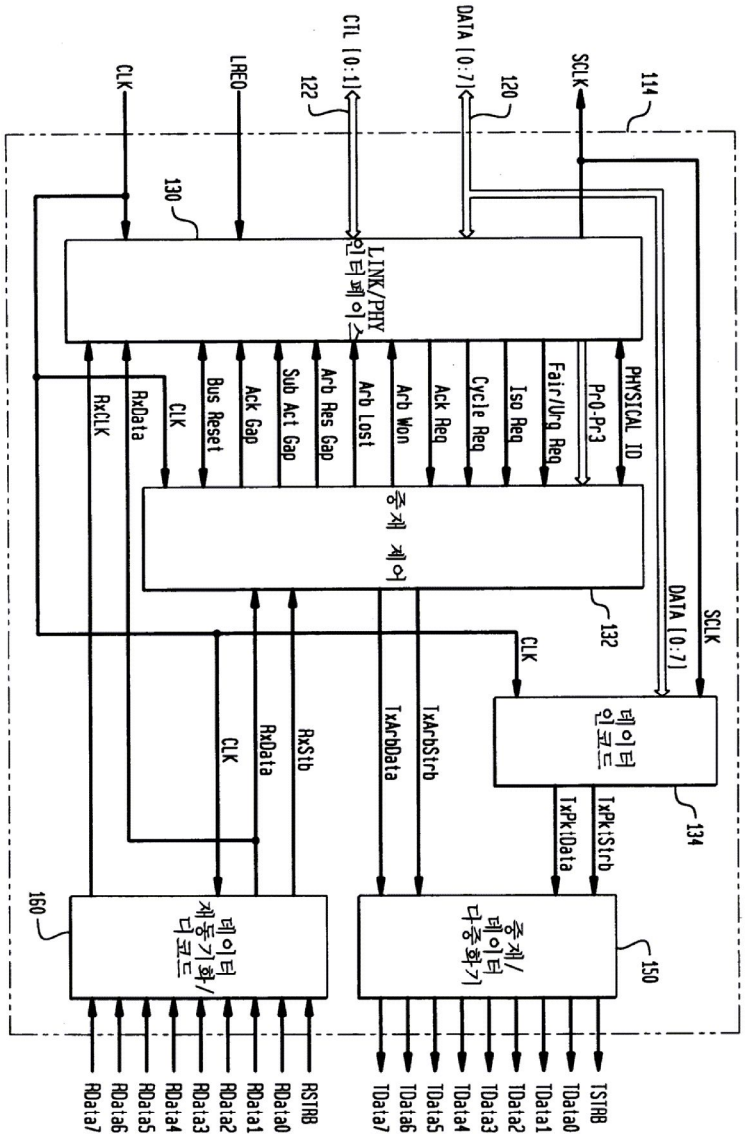
도면2


CLK
LREQ
CTL [0:1]
22
DATA [0:7]
20
SCLK
14
30
LINK/PHY 인터페이스
RxCLK
RxData
CLK
Bus Reset
Ack Gap
Sub Act Gap
Arb Res Gap
Arb Lost
Arb Won
Ack Req
Cycle Req
Iso Req
Fair/Urg Req
Pr0-Pr3
PHYSICAL ID
중재 제어
32
CLK
D0, D1
SCLK
데이터 인코드
34
TxArbStrb
TxArbData
TxPktData
TxPktStrb
CLK
RxData
RxStb
데이터 재동기화/ 디코드
38
중재/ 데이터 다중화기
36
RData
RSTRB
TData
TSTRB

도면3


호스트 인터페이스
118
IEEE1394 링크층 제어기
112
100
120
122
CTL [0:1]
DATA [0:7]
SCLK
LREQ
병렬 백플레인 링크층 제어기
114
RData7
TData7
RData0
TData0
RSTRB
TSTRB
116
117
BPdata7+
BPdata7-
BPdata0+
BPdata0-
BPstrb+
BPstrb-

도면4


CLK
LREQ
CTL [0:1]
DATA [0:7]
SCLK
130
122
120
114
LINK/PHY 인터페이스
PHYSICAL ID
Pr0-Pr3
Fair/Urg Req
Iso Req
Cycle Req
Ack Req
Arb Won
Arb Lost
Arb Res Gap
Sub Act Gap
Ack Gap
Bus Reset
RxData
RxCLK
CLK
중재 제어
132
SCLK
DATA [0:7]
CLK
데이터 인코드
134
TxPktData
TxPktStrb
TxArbData
TxArbStrb
CLK
RxData
RxStb
160
데이터 재동기화/ 디코드
중재/ 데이터 다중화기
150
RData7
RData6
RData5
RData4
RData3
RData2
RData1
RData0
RSTRB
TData7
TData6
TData5
TData4
TData3
TData2
TData1
TData0
TSTRB