



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I514580 B

(45) 公告日：中華民國 104 (2015) 年 12 月 21 日

(21) 申請案號：102129758

(22) 申請日：中華民國 102 (2013) 年 08 月 20 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30) 優先權：2012/09/28 美國

13/631,688

(71) 申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72) 發明人：吳志強 WU, ZHIQIANG (US)；張廣興 CHANG, GWAN SIN (TW)；江國誠 CHING,  
KUO CHENG (TW)；蘇俊鐘 SU, CHUN CHUNG (TW)；朱熙甯 JU, SHINING (TW)

(74) 代理人：洪澄文；顏錦順

(56) 參考文獻：

TW 200843107A

TW 200919726A

CN 100449783C

US 8084309B2

US 2011/0237046A1

審查人員：皮欣霖

申請專利範圍項數：10 項 圖式數：10 共 30 頁

(54) 名稱

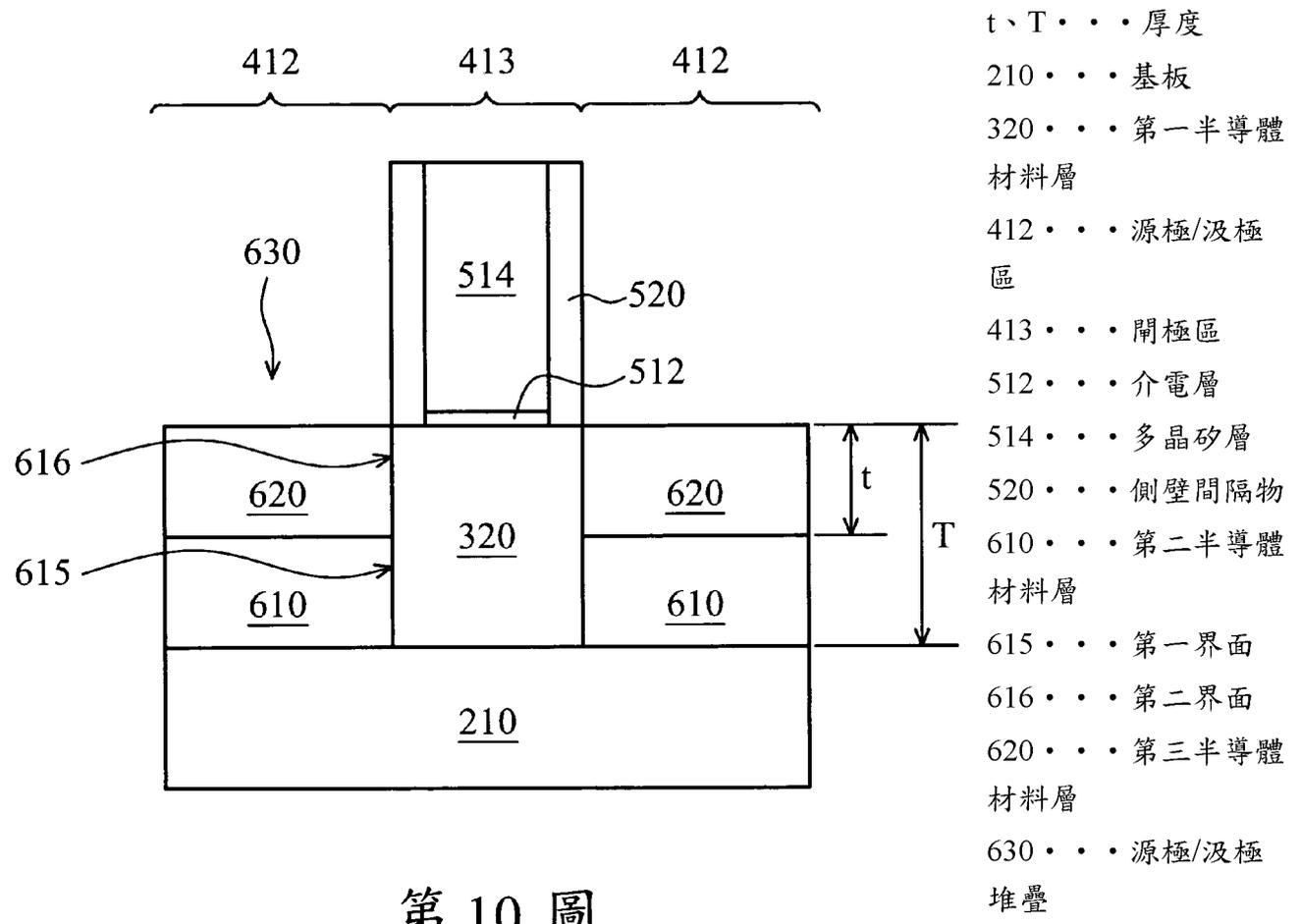
半導體元件與其形成方法

SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING THE SAME

(57) 摘要

本發明提供之半導體元件包括：基板；鰭狀物位於基板上，且鰭狀物係由具有第一晶格常數之第一半導體材料組成。閘極區形成於基板上的部份鰭狀物上，而源極區與汲極區被基板上的閘極區隔開。源極/汲極堆疊位於源極區與汲極區上。源極/汲極堆疊之下半部為第二半導體材料，且接觸閘極區中鰭狀物的下半部。源極/汲極堆疊之上半部為第三半導體材料，且接觸閘極區中鰭狀物的上半部。

The present disclosure provides a semiconductor device. The device includes a substrate, a fin structure formed by a first semiconductor material, a gate region on a portion of the fin, a source region and a drain region separated by the gate region on the substrate and a source/drain stack on the source and drain region. A low portion of the source/drain stack is formed by a second semiconductor material and it contacts a low portion of the fin in the gate region. An upper portion of the source/drain stack is formed by a third semiconductor material and it contacts an upper portion of the fin in the gate region.



- t、T . . . 厚度
- 210 . . . 基板
- 320 . . . 第一半導體材料層
- 412 . . . 源極/汲極區
- 413 . . . 閘極區
- 512 . . . 介電層
- 514 . . . 多晶矽層
- 520 . . . 側壁間隔物
- 610 . . . 第二半導體材料層
- 615 . . . 第一界面
- 616 . . . 第二界面
- 620 . . . 第三半導體材料層
- 630 . . . 源極/汲極堆疊

第 10 圖

## 發明摘要

※ 申請案號： 102129758

※ 申請日： 102. 8. 20

※IPC 分類： H01L 29/178 (2006.01)

H01L 21/28 (2006.01)

【發明名稱】 半導體元件與其形成方法

Semiconductor device and method for  
manufacturing the same

## 【中文】

本發明提供之半導體元件包括：基板；鰭狀物位於基板上，且鰭狀物係由具有第一晶格常數之第一半導體材料組成。閘極區形成於基板上的部份鰭狀物上，而源極區與汲極區被基板上的閘極區隔開。源極/汲極堆疊位於源極區與汲極區上。源極/汲極堆疊之下半部為第二半導體材料，且接觸閘極區中鰭狀物的下半部。源極/汲極堆疊之上半部為第三半導體材料，且接觸閘極區中鰭狀物的上半部。

## 【英文】

The present disclosure provides a semiconductor device. The device includes a substrate, a fin structure formed by a first semiconductor material, a gate region on a portion of the fin, a source region and a drain region separated by the gate region on the substrate and a source/drain stack on the source and drain region. A low portion of the source/drain stack is formed by a second semiconductor material and it contacts a low portion of the fin in the gate region. An upper portion of the

source/drain stack is formed by a third semiconductor material and it contacts an upper portion of the fin in the gate region.

**【代表圖】**

**【本案指定代表圖】**：第（10）圖。

**【本代表圖之符號簡單說明】**：

- t、T 厚度
- 210 基板
- 320 第一半導體材料層
- 412 源極/汲極區
- 413 閘極區
- 512 介電層
- 514 多晶矽層
- 520 側壁間隔物
- 610 第二半導體材料層
- 615 第一界面
- 616 第二界面
- 620 第三半導體材料層
- 630 源極/汲極堆疊

**【本案若有化學式時，請揭示最能顯示發明特徵的化學式】**：

無。

# 發明專利說明書

(本說明書格式、順序，請勿任意更動)

**【發明名稱】** 半導體元件與其形成方法

Semiconductor device and method for manufacturing the same

**【技術領域】**

**【0001】** 本發明係關於半導體元件，更特別關於鰭狀場效電晶體與其形成方法。

**【先前技術】**

**【0002】** 半導體積體電路(IC)產業呈指數成長。IC 材料與設計的技術進步，使每一代的 IC 比前一代的 IC 更小且其電路更複雜。新一代的 IC 具有較大的功能密度(比如固定晶片面積中的內連線元件數目)，與較小的尺寸(比如製程形成的最小構件或連線)。製程尺寸縮小往往有利於增加製程效率並降低相關成本。

**【0003】** 製程尺寸縮小會增加製程複雜度，但製程尺寸縮小的優點顯而易見，因此需要更小的 IC 製程。舉例來說，三維電晶體如鰭狀場效電晶體(FinFET)可用以取代平面電晶體。雖然現有的 FinFET 元件與其形成方法適用於特定目的，但仍無法適用於所有領域。舉例來說，施加應力至 FinFET 的閘極通道仍需改良製程。

**【發明內容】**

**【0004】** 本發明一實施例提供一種半導體元件，包括：基板；鰭狀物位於基板上，且鰭狀物係由具有第一晶格常數之第一半導體材料組成；閘極區形成於基板上的部份鰭狀物上；源

極區與汲極區，被基板上的閘極區隔開；以及具有第一厚度之源極/汲極堆疊位於源極區與汲極區上，其中源極/汲極堆疊之下半部為具有第二晶格常數之第二半導體材料，源極/汲極堆疊之下半部接觸閘極區中的鰭狀物的下半部，且第二晶格常數實質上小於第一晶格常數；其中源極/汲極堆疊之上半部為具有第三晶格常數之第三半導體材料，源極/汲極堆疊之上半部接觸閘極區中的鰭狀物的上半部，第三半導體材料位於第二半導體材料的頂部上，第三半導體材料具有第二厚度，且第三晶格常數大於或等於第一晶格常數。

**【0005】** 本發明一實施例提供一種半導體元件，包括：基板，具有第一鰭狀物；第二鰭狀物位於第一鰭狀物之頂部上，且第二鰭狀物為磊晶成長鍺；閘極區形成於部份第二鰭狀物上；源極區與汲極區，被基板上的閘極區隔開；以及源極/汲極堆疊位於源極區與汲極區上，源極/汲極堆疊與閘極區中的第二鰭狀物相鄰，且源極/汲極堆疊具有第一厚度；其中源極/汲極堆疊之下半部接觸第二鰭狀物的下半部，且源極/汲極堆疊之下半部為磊晶成長矽鍺合金；其中源極/汲極堆疊之上半部接觸閘極區中第二鰭狀物的上半部，源極/汲極堆疊之上半部為磊晶成長鍺，且源極/汲極堆疊之上半部位於源極/汲極堆疊之下半部的頂部上並具有第二厚度。

**【0006】** 本發明一實施例提供一種鰭狀物場效電晶體元件的形成方法，包括：提供基板，且基板具有多個第一鰭狀物與位於第一鰭狀物之間的多個隔離區；使第一鰭狀物凹陷；磊晶成長具有第一晶格常數之第一半導體材料，以形成多個第二鰭

狀物於凹陷的第一鰭狀物上；形成虛置閘極堆疊於部份第二鰭狀物上，其中部份第二鰭狀物被定義為閘極區；使虛置閘極堆疊附近的部份第二鰭狀物凹陷，以形成源極/汲極區；磊晶成長具有第二晶格常數之第二半導體材料於源極/汲極區中，以形成源極/汲極堆疊的下半部，其中第二半導體材料接觸閘極區中的第二鰭狀物的下半部，且第二晶格常數實質上小於第一晶格常數；以及磊晶成長具有第三晶格常數之第三半導體材料於源極/汲極區中，以形成源極/汲極堆疊的上半部，其中第三半導體材料接觸閘極區中的第二鰭狀物的上半部，且第三晶格常數實質上大於第二晶格常數。

#### 【圖式簡單說明】

##### 【0007】

第 1 圖係本發明多種實施例中，製作 FinFET 元件的方法流程圖；

第 2 至 5 圖係根據第 1 圖中的方法，不同製程階段中 FinFET 元件的剖視圖；

第 6 圖係本發明多種實施例中，FinFET 元件的透視圖；以及

第 7 至 10 圖係沿著第 6 圖中 A-A 切線的 FinFET 元件其剖視圖。

#### 【實施方式】

【0008】 下述揭露內容提供的不同實施例可實施本發明的不同結構。特定構件與排列的實施例係用以簡化本發明而非侷限本發明。舉例來說，形成第一構件於第二構件上的敘述包含

兩者直接接觸，或兩者之間隔有其他額外構件而非直接接觸。此外，本發明之多種實例將重複標號及/或符號以簡化並清楚說明。然而不同實施例中，具有相同標號的元件並不必然具有相同的對應關係及/或排列。

**【0009】** 本發明係關於但不限定於鰭狀場效電晶體 (FinFET) 元件，比如互補式金氧半 (CMOS) 元件，其包括 p 型金氧半 (PMOS) FinFET 元件與 n 型金氧半 (NMOS) FinFET 元件。下述內容將以 FinFET 為例說明本發明的多種實施例。可以理解的是，本發明除了特別申請專利範圍的部份外，並不限定於特定種類的元件。

**【0010】** 第 1 圖係本發明中製作 FinFET 元件 200 之方法 100 的流程圖。第 2 至 10 圖係根據第 1 圖之方法 100，在不同製程階段中 FinFET 元件 200 的圖式。方法 100 與 FinFET 元件 200 將搭配第 1 至 10 圖說明。可以理解的是，在方法 100 之前、之中、或之後可進行額外步驟。在其他實施例中，可將這些步驟取代為其他步驟或省略這些步驟。

**【0011】** 如第 1 及 2 圖所示，方法 100 之起始步驟 102 為提供基板 210。基板 210 可為基體矽基板。在另一實施例中，基板 210 可為半導體元素如結晶矽或結晶鍺、半導體化合物如矽化鍺、碳化矽、砷化鎵、磷化鎵、磷化銦、砷化銦、及/或銻化銦、或上述之組合。基板 210 亦可包含絕緣層上矽 (SOI) 基板，其形成方法可為佈植氧加以分離 (SIMOX)、晶圓接合、及/或其他合適方法。

**【0012】** 某些實施例中，基板 210 亦包含絕緣層。絕緣層

包含任何合適的材料，比如氧化矽、氧化鋁、及/或上述之組合。在一實施例中，絕緣層可為埋置氧化層(BOX)。絕緣層之形成方法可為任何合適製程，比如 SIMOX、氧化、沉積、及/或其他合適製程。在某些 FinFET 前驅結構的實施例中，絕緣層為絕緣層上矽基板的某一構件(如層狀物)。

【0013】 如本技術領域中具有通常知識者所知，基板 210 可依需包含多種摻雜區。摻雜區可摻雜 p 型摻質如硼或 BF<sub>2</sub>，n 型摻質如磷或砷、或上述之組合。摻雜區可直接形成於基板 210 上、p 型井結構中、n 型井結構中、或雙重井結構中，或採用凸起的結構。基板 210 可進一步包含多種主動區，比如 n 型金氧半電晶體元件的區域或 p 型金氧半電晶體元件的區域。

【0014】 第一鰭狀物 220 係形成於基板 210 上。在某些實施例中，基板 210 包含多個第一鰭狀物 220。第一鰭狀物 220 可由任何合適的製程形成，比如多種沉積、微影、及/或蝕刻製程。舉例來說，微影製程包含形成光阻層於基板(如矽基板)上，以光罩圖案曝光光阻層，進行曝光後烘烤，以及顯影光阻層以形成含有光阻的遮罩單元。接著以遮罩單元蝕刻基板 210 以形成鰭狀結構。以反應性離子蝕刻(RIE)製程及/或其他合適製程，蝕刻未受遮罩單元保護的部份基板。在一實施例中，第一鰭狀物 220 的形成方法為圖案化與蝕刻部份矽基板 210。在另一實施例中，第一鰭狀物 220 之形成方法為圖案化與蝕刻沉積於絕緣層上的矽層，比如 SOI 基板之矽-絕緣-矽堆疊中較上方的矽層。除了習知的微影製程外，第一鰭狀物 220 之形成方法可為雙重圖案化微影(DPL)製程。DPL 製程將圖案分為兩個

交錯的圖案，並以此作為基板上的圖案。DPL 製程可增加結構如鰭狀物的密度。DPL 的方法理論包括雙重曝光(比如兩個光罩組)、形成鄰近結構的間隔物後移除結構以提供間隔物圖案、光阻凍結、及/或其他合適製程。可以理解的是，類似方法可用以形成多個平行的第一鰭狀物 220。

**【0015】** 多種隔離區 230 係形成於基板 210 上以隔離主動區。舉例來說，隔離區 230 分隔多個第一鰭狀物 220。隔離區 230 的形成方法可為習知的隔離技術，比如以淺溝槽隔離(STI)以定義並電性隔離多個區域。隔離區 230 包含氧化矽、氮化矽、氮氧化矽、氣隙、其他合適材料、或上述之組合。隔離區 230 之形成方法可為任何合適製程。在一實施例中，STI 的形成方法包括微影製程、蝕刻基板以形成溝槽於其中(比如乾蝕刻及/或濕蝕刻)、以及將一或多種介電材料填入溝槽中(比如化學氣相沉積製程)。在此實施例中，可填滿部份溝槽，使溝槽之間的基板維持鰭狀結構。在某些實施例中，填入溝槽中的層狀物為多層結構，比如熱氧化襯墊層上填有氮化矽或氧化矽層。在一實施例中，以化學機械研磨(CMP)製程移除多餘的介電材料，並平坦化隔離區 230 之上表面與第一鰭狀物 220 之上表面。

**【0016】** 如第 1 及 3 圖所示，方法 100 之步驟 104 使第一鰭狀物 220 凹陷，以形成凹陷溝槽 310。上述凹陷製程可為乾蝕刻製程、濕蝕刻製程、及/或上述之組合。凹陷製程亦可為選擇性濕蝕刻或選擇性乾蝕刻。濕蝕刻包含氫氧化四甲基銨(TMAH)溶液、HF/HNO<sub>3</sub>/CH<sub>3</sub>COOH 溶液、或其他合適溶液。乾蝕刻與濕蝕刻製程的可調參數包括蝕刻品種類、蝕刻溫度、

蝕刻溶液濃度、蝕刻壓力、蝕刻源功率、射頻偏壓、射頻偏壓功率、蝕刻品流速、與其他合適參數。舉例來說，濕蝕刻溶液可包含氨水( $\text{NH}_4\text{OH}$ )、氫氧化鉀( $\text{KOH}$ )、氫氟酸( $\text{HF}$ )、氫氧化四甲基銨( $\text{TMAH}$ )、其他合適的濕蝕刻溶液、或上述之組合。乾蝕刻製程可為採用含氯化學品的偏壓電漿蝕刻製程。其他乾蝕刻氣體可為四氟化碳、三氟化氮、六氟化硫、及氮氣。乾蝕刻亦可為非等向蝕刻，其機制為深反應性離子蝕刻(DRIE)。

【0017】 如第 1 及 4 圖所示，方法 100 之步驟 106 沉積第一半導體材料層 320 於凹陷的第一鰭狀物 220 的頂部上，且第一半導體材料層 320 填入凹陷溝槽 310 中。第一半導體材料層 320 之沉積方法可為磊晶成長製程。第一半導體材料層 320 之材料可為單一半導體元素如銻或矽，半導體化合物如砷化銻( $\text{GaAs}$ )或砷化鋁銻( $\text{AlGaAs}$ )，或半導體合金如矽銻合金( $\text{SiGe}$ )或砷磷化銻( $\text{GaAsP}$ )。磊晶製程可為 CVD 沉積技術如氣相磊晶(VPE)及/或超高真空 CVD (UHV-CVD)、分子束磊晶(MBE)、及/或其他合適製程。

【0018】 在一實施例中，第一半導體材料層 320 包含磊晶成長的銻層。在另一實施例中，第一半導體材料層 320 包含磊晶成長的矽銻合金( $\text{Si}_{1-x}\text{Ge}_x$ ， $x$  指的是 Ge 組成的原子比例)。藉由調整磊晶成長製程的條件如壓力、氣體流量、及溫度，可控制第一半導體材料層 320 如  $\text{SiGe}$  層中的 Ge 比例。此外，可進行 CMP 製程以移除多餘的第一半導體材料層 320，並平坦化第一半導體材料 320 與隔離區 230 之上表面。

【0019】 如第 1 及 5 圖所示，方法 100 之步驟 108 使圍繞

第一半導體材料層 320 之隔離區 230 凹陷，以露出第一半導體材料層 320 的上半部，進而形成第二鰭狀物 410 於凹陷的第一鰭狀物 220 上。上述凹陷製程可為乾蝕刻製程、濕蝕刻製程、及/或上述之組合。

【0020】 如第 6 圖所示，某些實施例中的第二鰭狀物 410 具有源極/汲極區 412 與閘極區 413。在某些實施例中，源極/汲極區 412 中的一者為源極區，且另一者為汲極區。閘極區 413 係位於源極/汲極區 412 之間。

【0021】 如第 1 及 7 圖所示，方法 100 之步驟 110 形成閘極堆疊 510 於閘極區 413 上，而側壁間隔物 520 係沿著閘極堆疊 510。在先形成閘極的製程中，閘極堆疊 510 可為部份或全部的功能性閘極。相反地，在後形成閘極的製程中，閘極堆疊 510 可為虛置閘極。在此實施例中，閘極堆疊為虛置閘極。在高溫製程如形成源極/汲極的熱製程後，可將虛置的閘極堆疊 510 置換為高介電常數之閘極介電層與金屬閘極。上述置換製程包含移除虛置閘極堆疊以形成閘極溝槽，以及形成高介電常數的閘極介電層/金屬閘極於閘極溝槽中。虛置的閘極堆疊 510 可包含介電層 512 與多晶矽層 514。虛置的閘極堆疊 510 之形成方法可為任何合適製程。舉例來說，閘極堆疊 510 之形成方法可包含沉積、微影圖案化、與蝕刻製程。沉積製程可為 CVD、PVD、ALD、其他合適方法、及/或上述之組合。微影圖案化製程包含塗佈光阻(比如旋轉塗佈法)、軟烘烤、對準光罩、曝光、曝光後烘烤、顯影光阻、潤濕、乾燥(硬烘烤)、其他合適製程、及/或上述之組合。蝕刻製程包括乾蝕刻、濕蝕刻、及/或其他

蝕刻方法(比如反應性離子蝕刻)。介電層 512 可為氧化矽、氮化矽、或其他合適材料。

【0022】 側壁間隔物 520 可為介電材料如氧化矽、氮化矽、碳化矽、氮氧化矽、或上述之組合。側壁間隔物 520 可為多層結構。一般形成側壁間隔物 520 的方法包括沉積介電材料於閘極堆疊 510 上，再非等向回蝕刻介電材料。回蝕刻製程可為多重步驟蝕刻，以達蝕刻選擇性、製程彈性、與所需的過蝕刻控制。

● 【0023】 如第 1 及 8 圖所示，方法 100 之步驟 112 移除源極/汲極區 412 中至少部份的第二鰭狀物 410。部份第二鰭狀物 410 的移除方法為乾蝕刻製程、濕蝕刻製程、及/或上述之組合。

● 【0024】 如第 1 及 9 圖所示，方法 100 之步驟 114 沉積第二半導體材料層 610 於源極/汲極區 412 中，以形成源極/汲極堆疊 630 的下半部。在源極/汲極區 412 中的第二半導體材料 610，其側表面與閘極區 413 中的第二鰭狀物 410 的下半部接觸的部份為第一界面 615。第二半導體材料層 610 可為 Ge、Si、SiGe、GaAs、AlGaAs、GaAsP、或其他合適的半導體材料。第二半導體材料層 610 之沉積法可為磊晶製程。

【0025】 如第 1 及 10 圖所示，方法 100 之步驟 116 沉積第三半導體材料層 620 於源極/汲極區 412 中的第二半導體材料層 610 上，以形成源極/汲極堆疊 630 的上半部。第三半導體材料層 620 可為 Ge、Si、SiGe、GaAs、AlGaAs、GaAsP、或其他合適的半導體材料。第三半導體材料層 620 之形成方法與第 9 圖中類似材料之形成方法類似。在源極/汲極區 412 中的

第三半導體材料 620，其側表面與閘極區 413 中的第二鱗狀物 410 的上半部接觸的部份為第二界面 616。

【0026】 在第 10 圖中，本實施例的源極/汲極堆疊 630 中的第三半導體材料層 620 之晶格常數(稱為第三晶格常數)，實質上大於第二半導體材料層 610 之晶格常數(稱為第二晶格常數)。第三晶格常數大於或等於第一半導體材料層 320 之晶格常數(稱為第一晶格常數)。舉例來說，第二半導體材料層 610 為  $\text{Si}_{1-y}\text{Ge}_y$ ，其中  $y$  為 Ge 之原子比百分比，第二晶格常數介於約 5.526 至約 5.549 之間，且  $y$  介於 0.45 至 0.55 之間。第三半導體材料層 620 與第一半導體材料層 320 類似，亦為  $\text{Si}_{1-x}\text{Ge}_x$ ，其中第三晶格常數介於約 5.645 至約 5.658 之間，且  $x$  介於 0.95 至 1.0 之間。同樣在本實施例的源極/汲極堆疊 630 中，第三半導體材料層 620 之厚度( $t$ )與源極/汲極堆疊 630 之總厚度( $T$ )的比例需符合元件效能的標準如通道遷移率。舉例來說， $t/T$  介於約 0.1 至約 0.8 之間。可以相信的是，當不匹配的第一、第二、與第三晶格常數搭配  $t/T$  厚度比例，可引發多種程度的應力至閘極區 413 中的閘極通道。如此一來，源極/汲極堆疊 630 可作為源極/汲極應力源。

【0027】 FinFET 元件 200 可進一步進行閘極置換製程，將虛置的閘極堆疊 510 置換為高介電常數的閘極介電層與金屬閘極。FinFET 元件 200 可進一步搭配 CMOS 或 MOS 製程以形成多種本技術領域所熟知的結構與區域。舉例來說，後續製程可形成多種接點/通孔/線路與多層內連線結構(比如金屬層與層間介電層)於基板 210 上，以連接 FinFET 元件之多種結構。舉

例來說，多層內連線包含垂直內連線如習知通孔或接點，與水平內連線如金屬線路。多種內連線結構可採用多種導電材料如銅、鎢、及/或金屬矽化物。在一實施例中，可採用鑲嵌及/或雙鑲嵌製程以形成銅的多層內連線結構。

**【0028】** 在方法 100 之前、之中、或之後可進行額外步驟，且某些實施例可將某些步驟取代為其他步驟或省略某些步驟。

**【0029】** 綜上所述，本發明提供之半導體元件具有源極/汲極堆疊應力源，以提供有效應力至閘極通道。藉由選擇源極/汲極堆疊應力源之材料的晶格常數與厚度比例，可引發不同程度的應力至半導體元件的閘極通道，進而改善元件效能。源極/汲極堆疊應力源亦具有製程彈性，即可視情況採用承受較高熱預算的材料。舉例來說，源極/汲極堆疊應力源可採用矽鍺合金而非錫鍺合金，因矽鍺合金之熔點高於錫鍺合金。

**【0030】** 本發明提供多種半導體元件的不同實施例，其源極/汲極堆疊比現有技術相較有許多改良。半導體元件包括：基板；鰭狀物結構位於基板上，且鰭狀物結構係由具有第一晶格常數之第一半導體材料組成。閘極區形成於基板上的部份鰭狀物上，而源極區與汲極區，被基板上的閘極區隔開。具有厚度(T)之源極/汲極堆疊位於源極區與汲極區上。源極/汲極堆疊之下半部為具有第二晶格常數之第二半導體材料，源極/汲極堆疊之下半部接觸閘極區中鰭狀物的下半部，且第二晶格常數實質上小於第一晶格常數。源極/汲極堆疊之上半部為具有第三晶格常數之第三半導體材料，源極/汲極堆疊之上半部接觸閘極區中鰭狀物上半部，第三半導體材料位於第二半導體材料

的頂部上，第三半導體材料具有厚度(t)，且第三晶格常數大於或等於第一晶格常數。

**【0031】** 在另一實施例中，FinFET 元件包括基板，具有第一鰭狀物。第二鰭狀物位於第一鰭狀物之頂部上，且第二鰭狀物為磊晶成長鍺。閘極區形成於部份第二鰭狀物上。源極區與汲極區，被基板上的閘極區隔開。源極/汲極堆疊位於源極區與汲極區上，源極/汲極堆疊與閘極區中的第二鰭狀物相鄰，且源極/汲極堆疊具有厚度(T)。源極/汲極堆疊之下半部接觸第二鰭狀物的下半部，且源極/汲極堆疊之下半部為磊晶成長矽鍺合金。源極/汲極堆疊之上半部接觸閘極區中第二鰭狀物的上半部，該源極/汲極堆疊之上半部為磊晶成長鍺，且源極/汲極堆疊之上半部位於源極/汲極堆疊之下半部的頂部上。

**【0032】** 在又一實施例中，FinFET 元件的形成方法包括提供基板，且基板具有多個第一鰭狀物與位於第一鰭狀物之間的多個隔離區。使第一鰭狀物凹陷，磊晶成長具有第一晶格常數之第一半導體材料，以形成多個第二鰭狀物於凹陷的第一鰭狀物上。形成虛置閘極堆疊於部份第二鰭狀物上，使虛置閘極堆疊附近的其他部份第二鰭狀物凹陷，以形成源極/汲極區。磊晶成長具有第二晶格常數之第二半導體材料於源極/汲極區中，以形成源極/汲極堆疊的下半部，其中第二半導體材料接觸閘極區中的第二鰭狀物的下半部，且第二晶格常數實質上小於第一晶格常數。磊晶成長具有第三晶格常數之第三半導體材料於源極/汲極區中，以形成源極/汲極堆疊的上半部，其中第三半導體材料接觸閘極區中的第二鰭狀物的上半部，且第三晶

格常數實質上大於第二晶格常數。

【0033】 雖然本發明已以數個較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【符號說明】

【0034】

t、T 厚度

100 方法

102、104、106、108、110、112、114、116 步驟

200 FinFET 元件

210 基板

220 第一鰭狀物

230 隔離區

310 凹陷溝槽

320 第一半導體材料層

410 第二鰭狀物

412 源極/汲極區

413 閘極區

510 閘極堆疊

512 介電層

514 多晶矽層

520 側壁間隔物

610 第二半導體材料層

- 615 第一界面
- 616 第二界面
- 620 第三半導體材料層
- 630 源極/汲極堆疊

## 申請專利範圍

### 1. 一種半導體元件，包括：

一基板；

一鰭狀物位於該基板上，且該鰭狀物係由具有一第一晶格常數之一第一半導體材料組成；

一閘極區形成於該基板上的部份該鰭狀物上；

一源極區與一汲極區，被該基板上的該閘極區隔開；以及

一具有第一厚度之一源極/汲極堆疊位於該源極區與該汲極區上；

其中該源極/汲極堆疊之下半部為具有一第二晶格常數之一第二半導體材料，該源極/汲極堆疊之下半部接觸該閘極區中的該鰭狀物的下半部，且該第二晶格常數實質上小於該第一晶格常數；

其中該源極/汲極堆疊之上半部為具有一第三晶格常數之一第三半導體材料，該源極/汲極堆疊之上半部接觸該閘極區中的該鰭狀物的上半部，該第三半導體材料位於該第二半導體材料的頂部上，該第三半導體材料具有一第二厚度，且該第三晶格常數大於或等於該第一晶格常數。

### 2. 如申請專利範圍第 1 項所述之半導體元件，其中該鰭狀物的該第一半導體材料包括一磊晶成長材料，該源極/汲極堆疊之下半部的該第二半導體材料包括一磊晶成長材料，及/或該源極/汲極堆疊之上半部的該第三半導體材料包括一磊晶成長材料。

### 3. 如申請專利範圍第 1 項所述之半導體元件，其中該第二晶

格常數介於約 5.526 至約 5.549 之間，且該第三晶格常數介於約 5.645 至約 5.658 之間。

4. 如申請專利範圍第 1 項所述之半導體元件，其中該第二厚度/該第一厚度之比例介於約 0.1 至約 0.8 之間。
5. 一種半導體元件，包括：
  - 一基板，具有一第一鰭狀物；
  - 一第二鰭狀物位於該第一鰭狀物之頂部上，且該第二鰭狀物為磊晶成長鍺；
  - 一閘極區形成於部份該第二鰭狀物上；
  - 一源極區與一汲極區，被該基板上的該閘極區隔開；以及
  - 一源極/汲極堆疊位於該源極區與該汲極區上，該源極/汲極堆疊與該閘極區中的該第二鰭狀物相鄰，且該源極/汲極堆疊具有一第一厚度；

其中該源極/汲極堆疊之下半部接觸該第二鰭狀物的下半部，且該源極/汲極堆疊之下半部為磊晶成長矽鍺合金；

其中該源極/汲極堆疊之上半部接觸該閘極區中該第二鰭狀物的上半部，該源極/汲極堆疊之上半部為磊晶成長鍺，且該源極/汲極堆疊之上半部位於該源極/汲極堆疊之下半部的頂部上並具有一第二厚度。
6. 如申請專利範圍第 5 項所述之半導體元件，其中該第二厚度/該第一厚度之比例介於約 0.1 至約 0.8 之間。
7. 一種半導體元件的形成方法，包括：
  - 提供一基板，且該基板具有多個第一鰭狀物與位於該些第一鰭狀物之間的多個隔離區；

使該些第一鱗狀物凹陷；

磊晶成長具有一第一晶格常數之一第一半導體材料，以形成多個第二鱗狀物於凹陷的該些第一鱗狀物上；

形成一虛置閘極堆疊於部份該些第二鱗狀物上，其中部份該些第二鱗狀物被定義為一閘極區；

使該虛置閘極堆疊附近的部份該些第二鱗狀物凹陷，以形成一源極/汲極區；

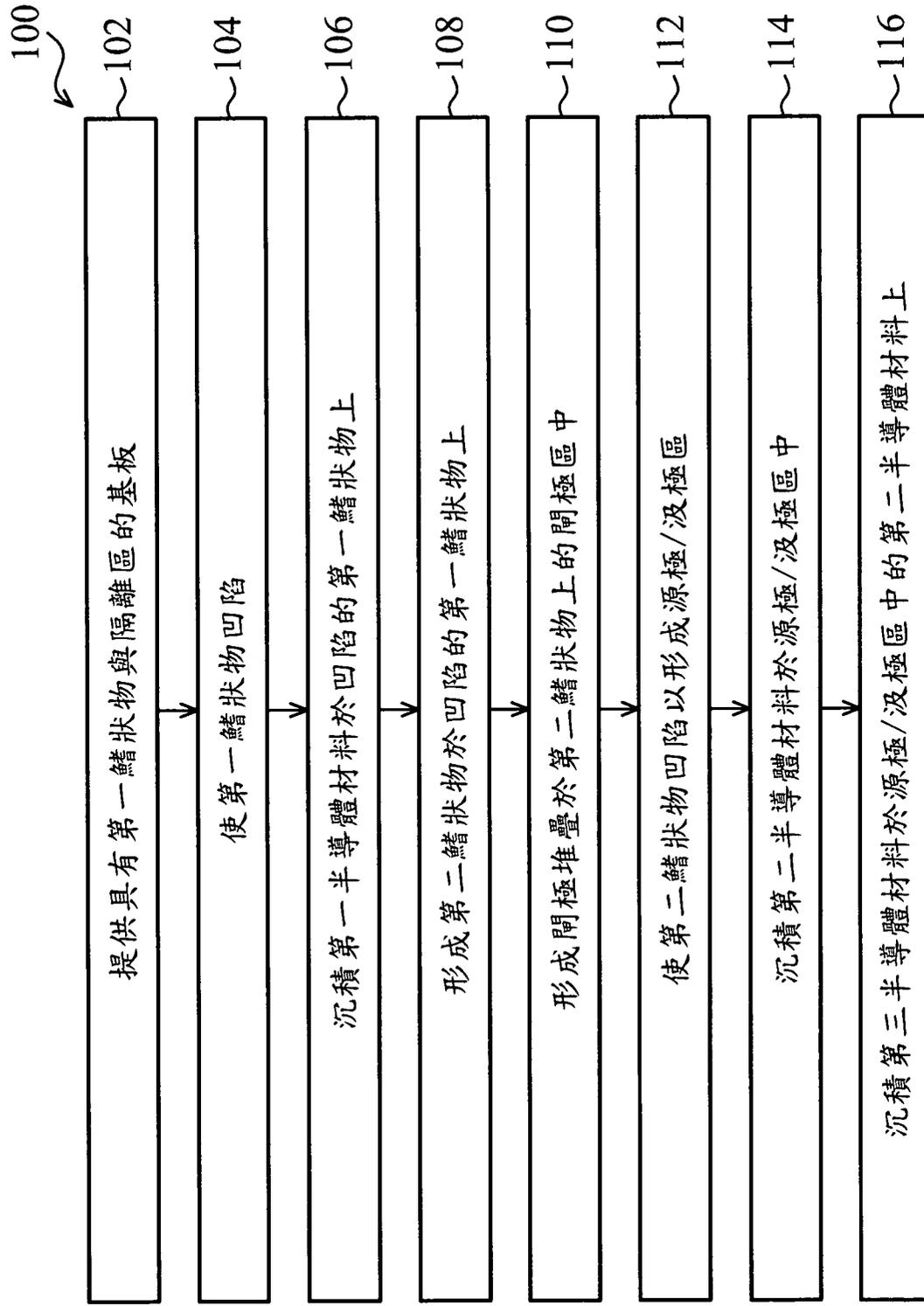
磊晶成長具有一第二晶格常數之一第二半導體材料於該源極/汲極區中，以形成一源極/汲極堆疊的下半部，其中該第二半導體材料接觸該閘極區中的該第二鱗狀物的下半部，且該第二晶格常數實質上小於該第一晶格常數；以及

磊晶成長具有一第三晶格常數之一第三半導體材料於該源極/汲極區中，以形成該源極/汲極堆疊的上半部，其中該第三半導體材料接觸該閘極區中的該第二鱗狀物的上半部，且該第三晶格常數實質上大於該第二晶格常數。

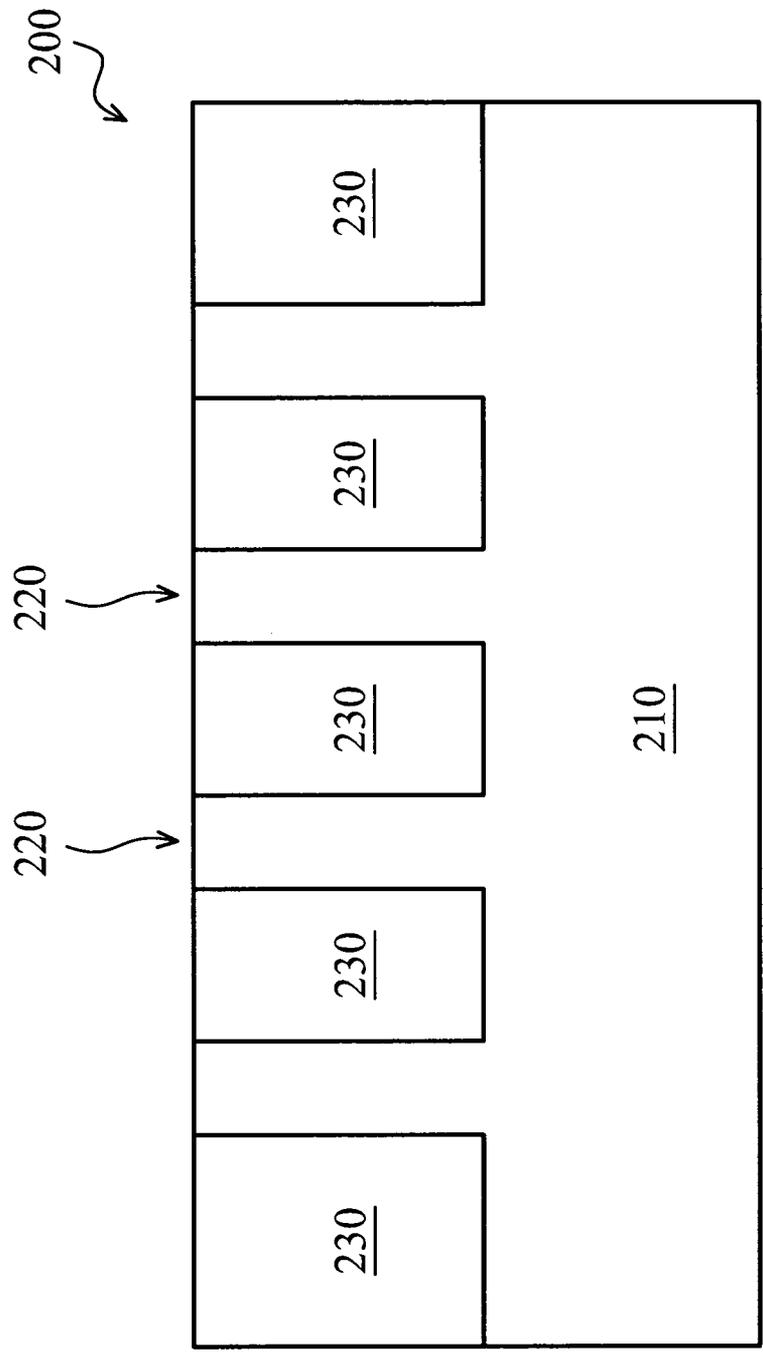
8. 如申請專利範圍第 7 項所述之半導體元件的形成方法，其中該第一晶格常數介於約 5.645 至約 5.658 之間，且該第二晶格常數介於約 5.526 至約 5.549 之間。
9. 如申請專利範圍第 7 項所述之半導體元件的形成方法，其中該第三半導體材料之厚度與該源極/汲極堆疊之厚度之間的比例介於約 0.1 至約 0.8 之間。
10. 如申請專利範圍第 7 項所述之半導體元件的形成方法，更包括：  
移除該虛置閘極堆疊以形成一閘極溝槽；以及

形成一高介電常數之閘極介電層與一金屬閘極於該閘極溝槽中。

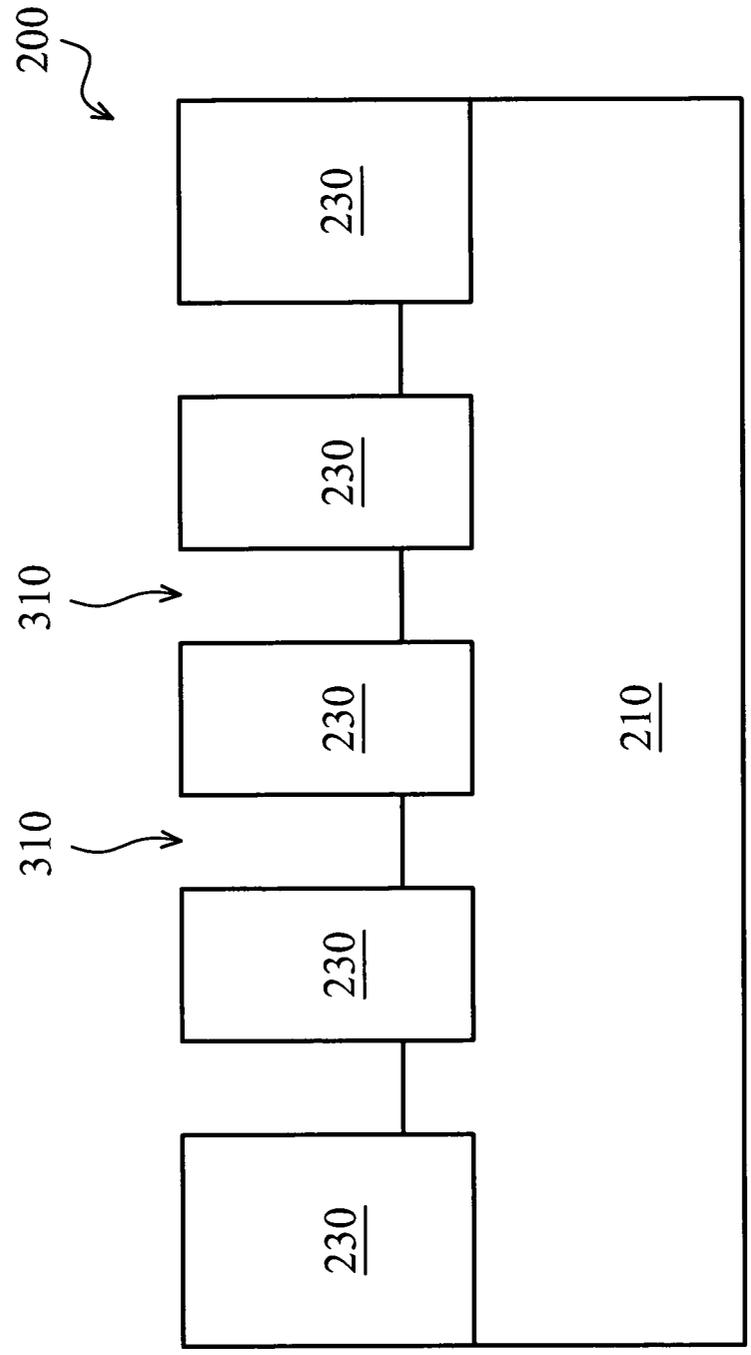
圖式



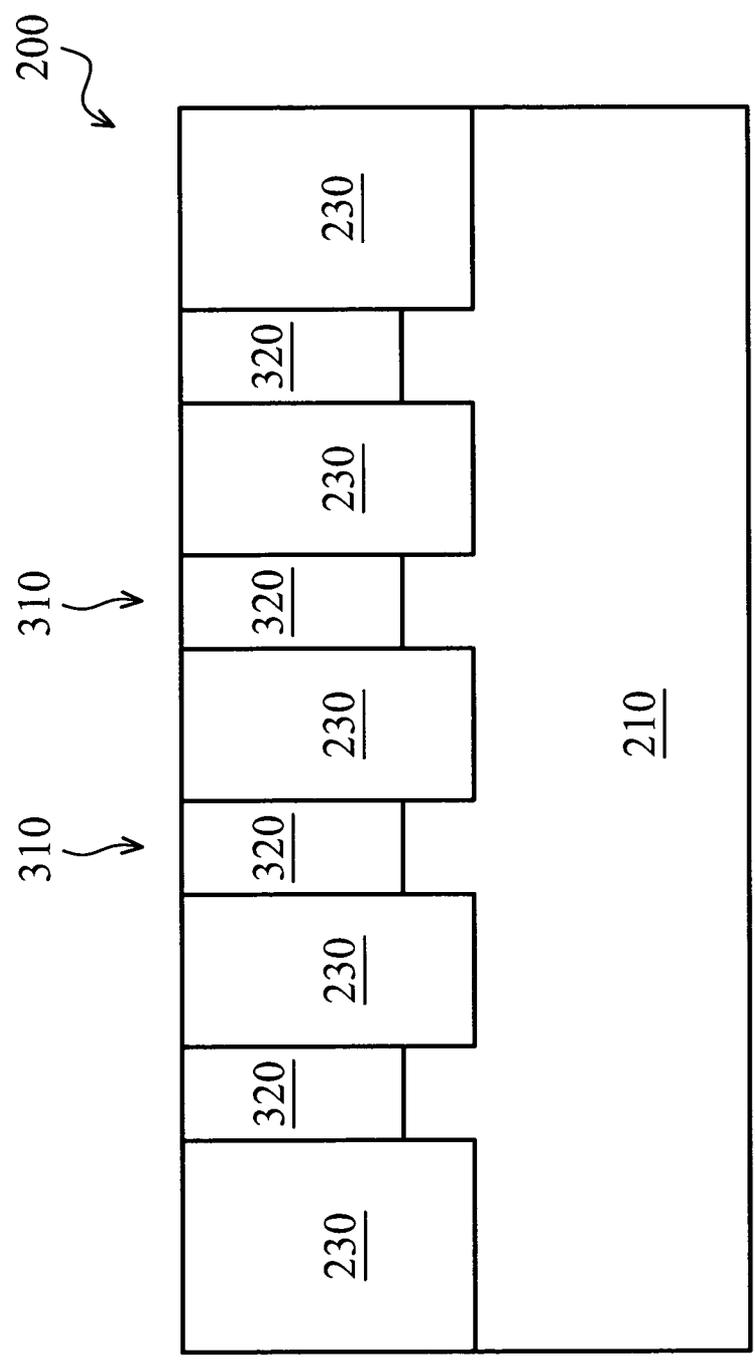
第 1 圖



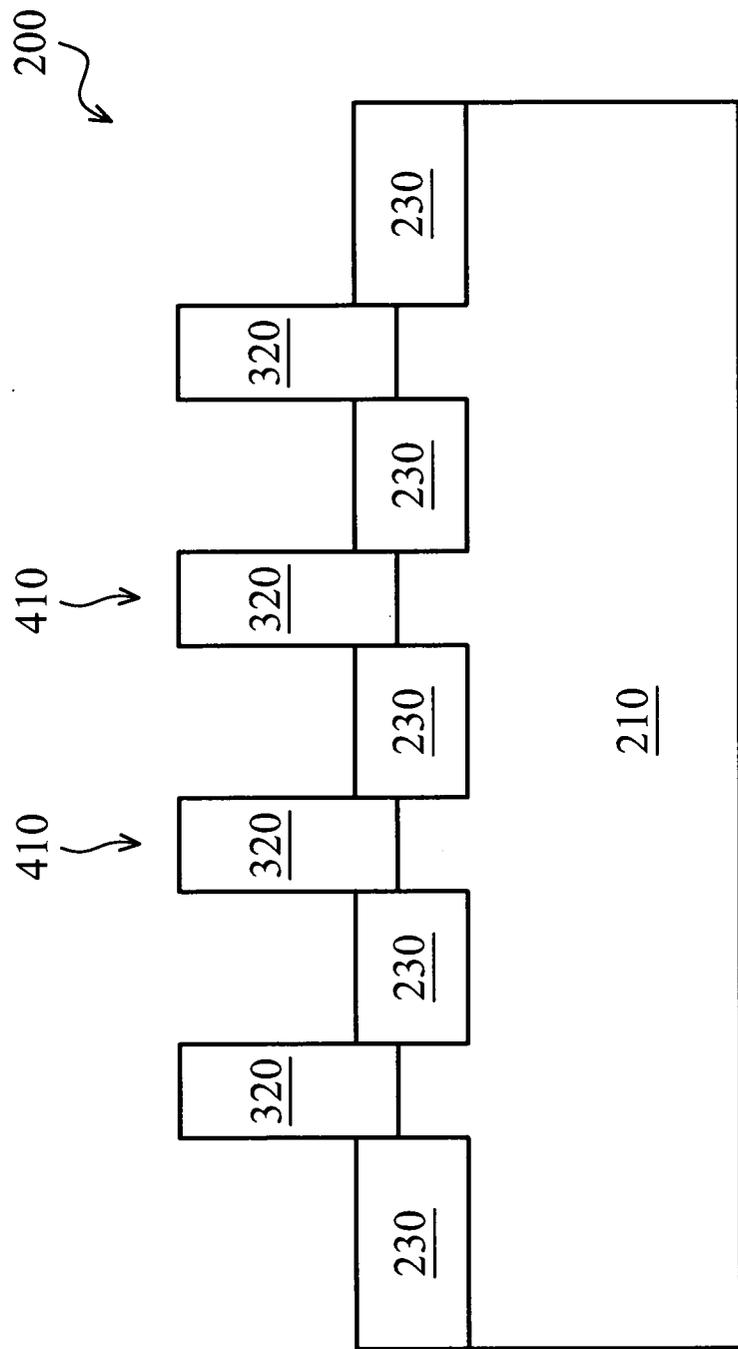
第 2 圖



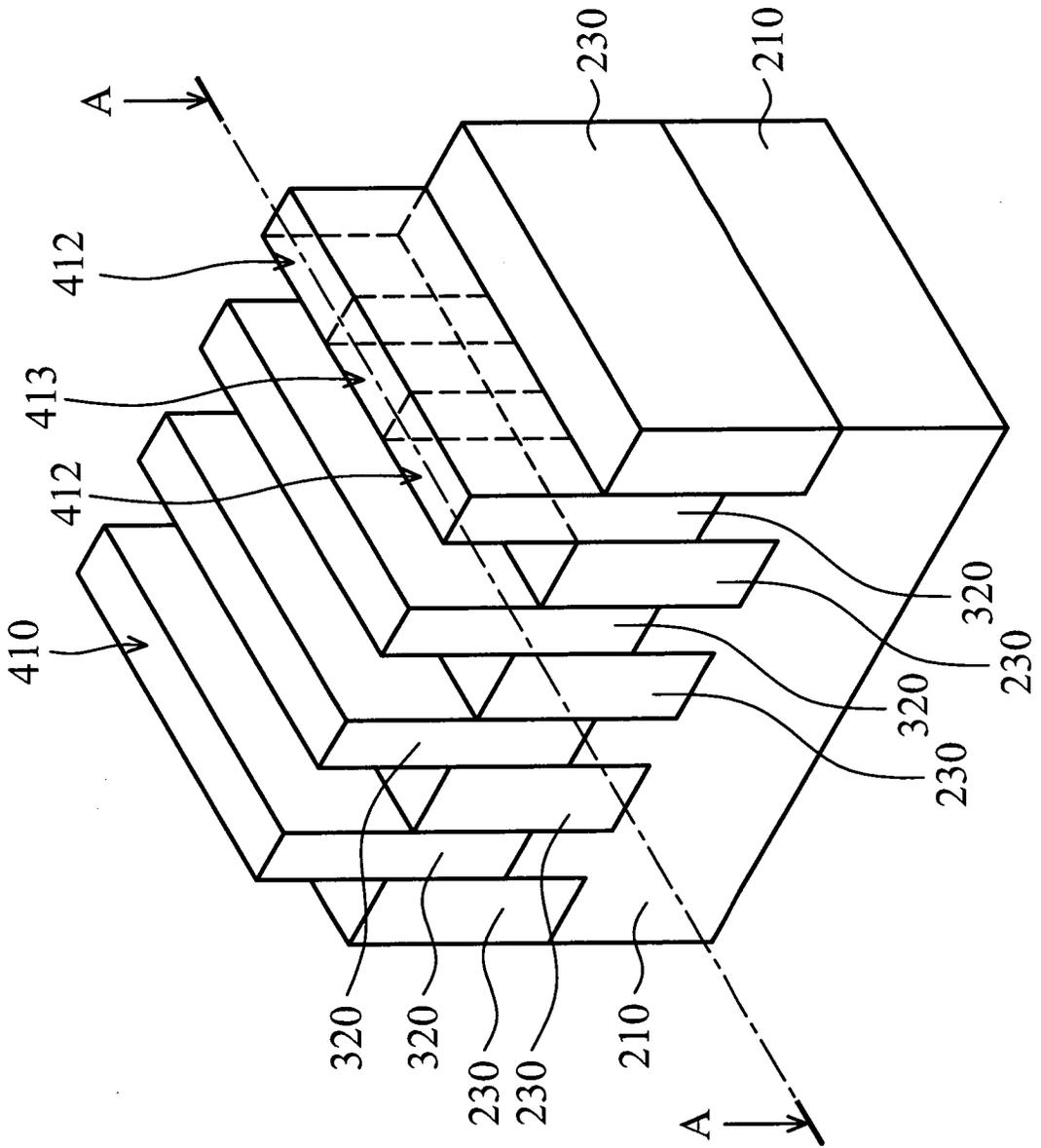
第 3 圖



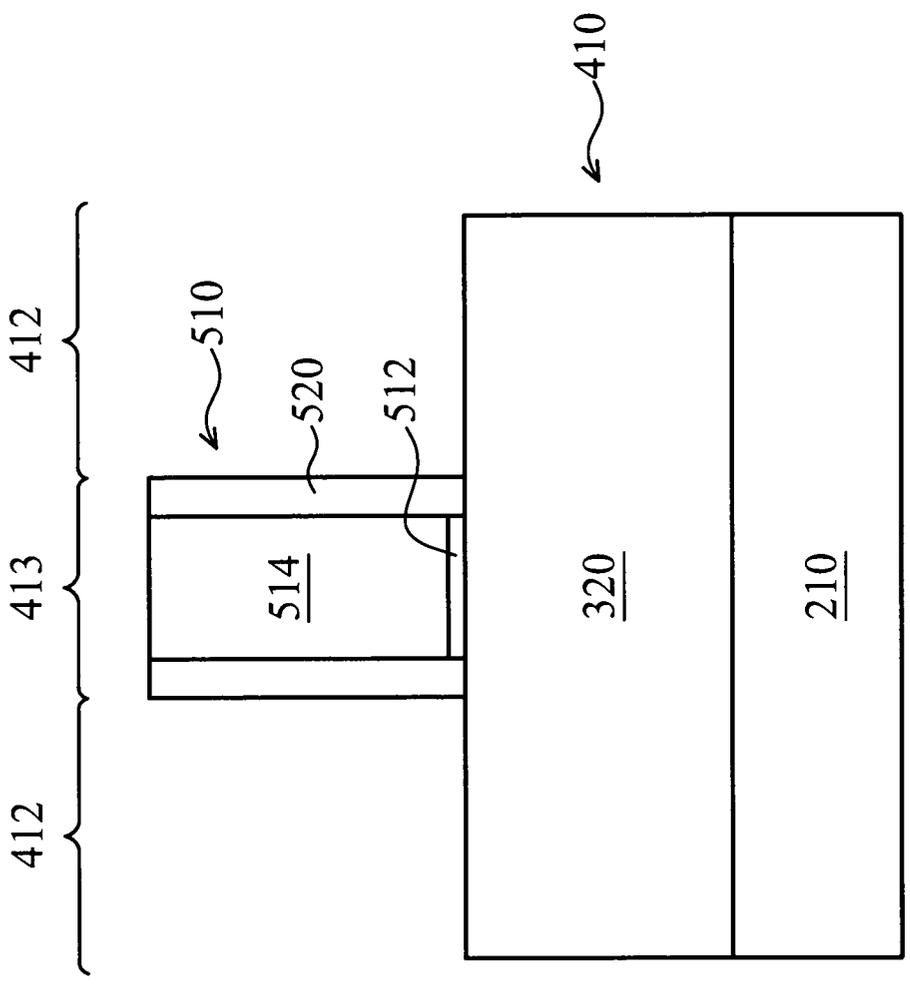
第 4 圖



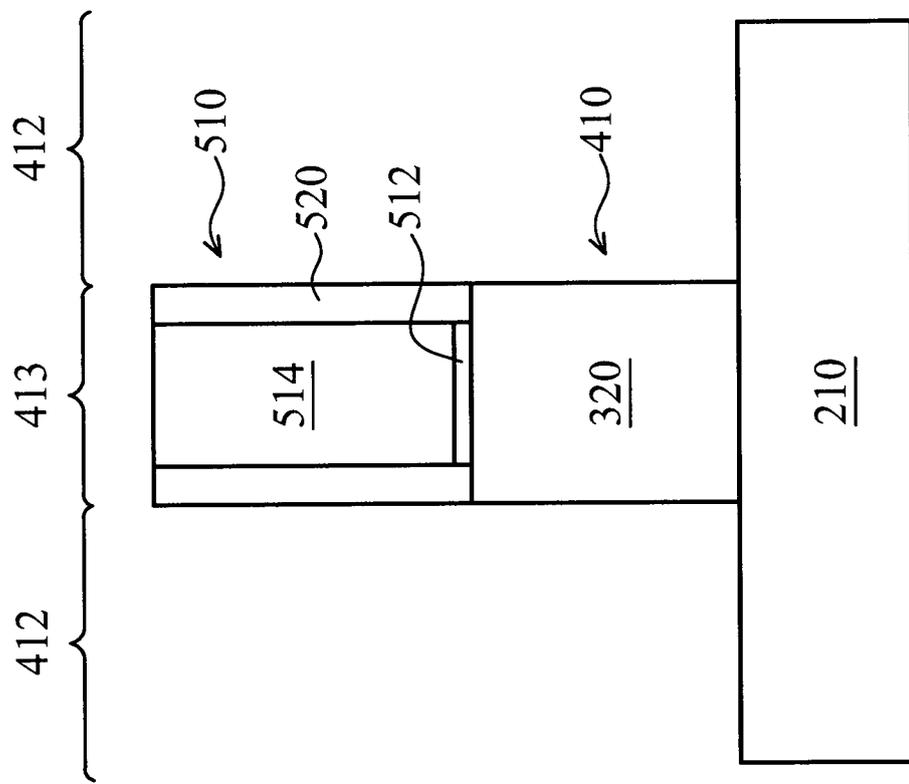
第 5 圖



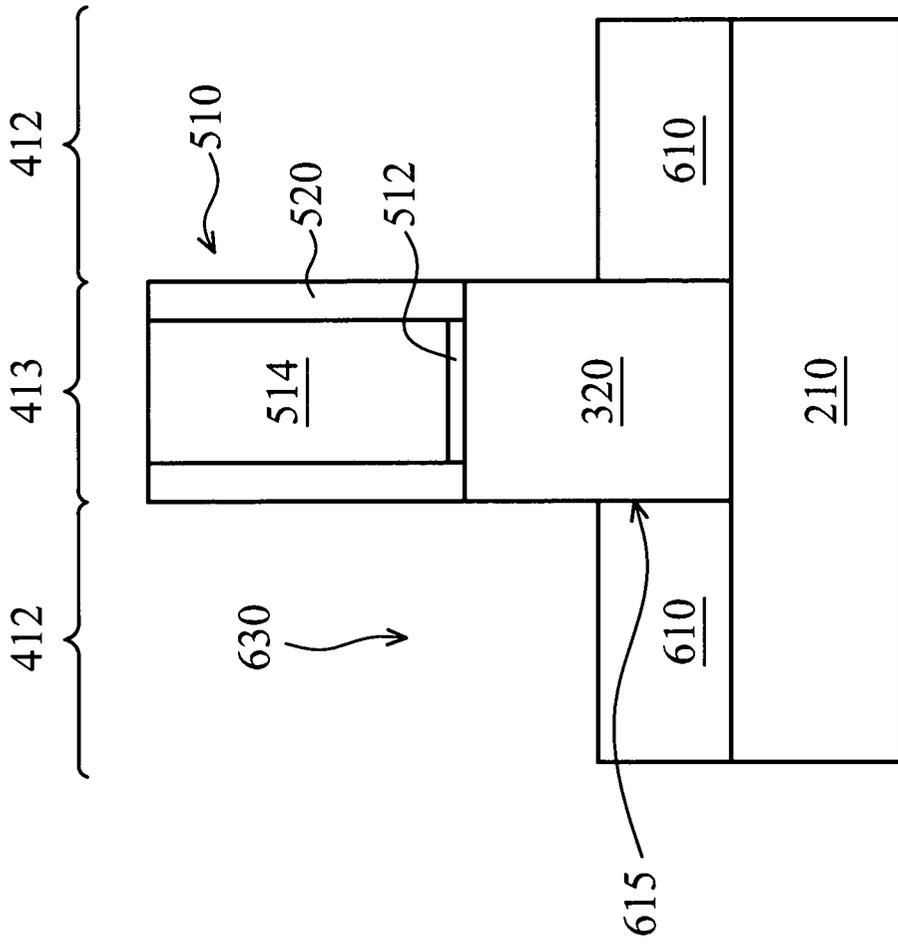
第 6 圖



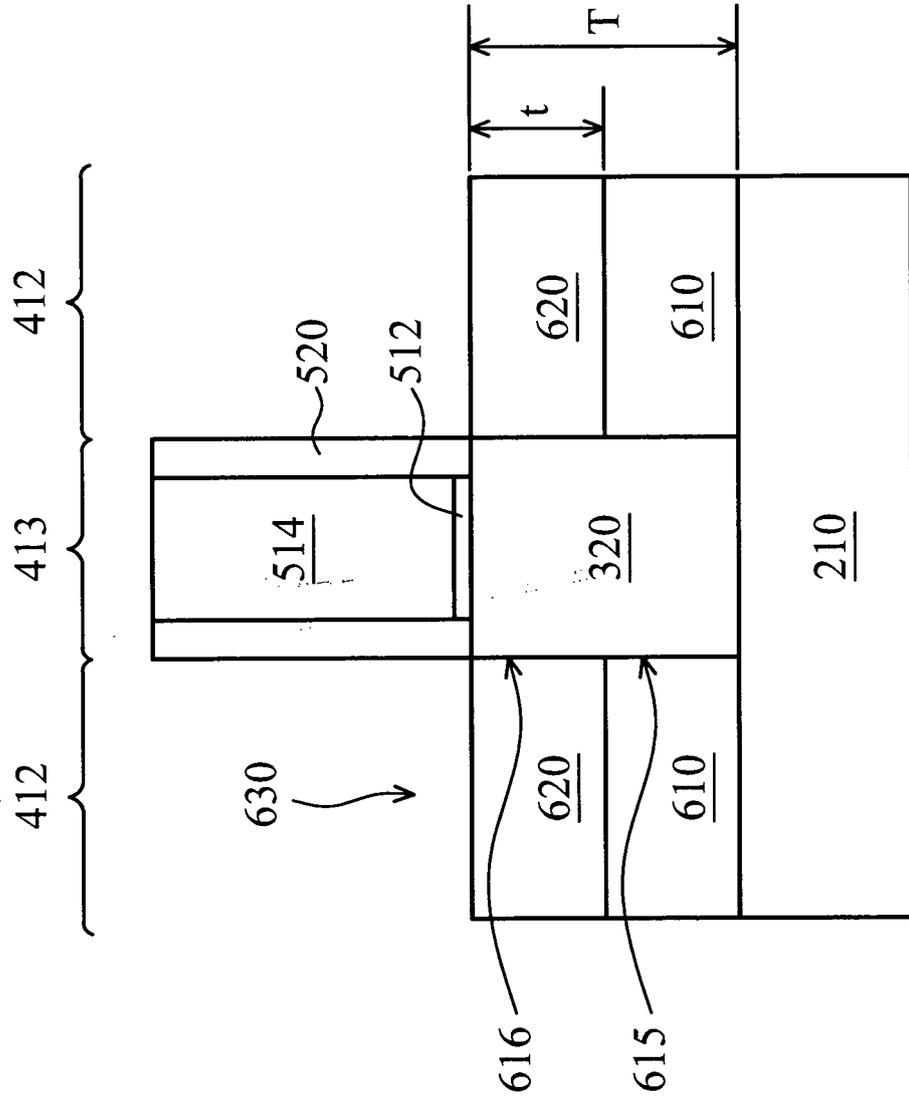
第 7 圖



第 8 圖



第 9 圖



第 10 圖