

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5112449号
(P5112449)

(45) 発行日 平成25年1月9日(2013.1.9)

(24) 登録日 平成24年10月19日(2012.10.19)

(51) Int.Cl. F I
G06F 9/38 (2006.01) G O 6 F 9/38 3 7 0 A
G06F 9/46 (2006.01) G O 6 F 9/46 4 1 0

請求項の数 38 (全 24 頁)

(21) 出願番号	特願2009-544188 (P2009-544188)	(73) 特許権者	593096712 インテル コーポレーション
(86) (22) 出願日	平成19年12月18日 (2007.12.18)		アメリカ合衆国 95054 カリフォル ニア州 サンタ クララ ミッション カ レッジ ブールバード 2200
(65) 公表番号	特表2010-515161 (P2010-515161A)	(74) 代理人	100070150 弁理士 伊東 忠彦
(43) 公表日	平成22年5月6日 (2010.5.6)	(74) 代理人	100091214 弁理士 大貫 進介
(86) 国際出願番号	PCT/US2007/088008	(74) 代理人	100107766 弁理士 伊東 忠重
(87) 国際公開番号	W02008/082964	(72) 発明者	ジアン, ホン アメリカ合衆国 95762 カリフォル ニア州 エルドラドヒルズ ペンニマン ドライブ 1058
(87) 国際公開日	平成20年7月10日 (2008.7.10)		
審査請求日	平成21年8月14日 (2009.8.14)		
(31) 優先権主張番号	11/647, 608		
(32) 優先日	平成18年12月30日 (2006.12.30)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 スレッドをキューに供給する方法及び装置

(57) 【特許請求の範囲】

【請求項1】

回路が実行する方法であって：

第1スレッドの生成についての要求を受信する段階；

第1スレッドの生成についての、前記受信した要求に対して少なくとも一部で応答して、第1キューに第1要求を供給する段階；

第2スレッドの生成についての要求を受信する段階；

第2スレッドの生成についての前記要求に対して少なくとも一部で応答して、第2キューに第2要求を供給する段階；

前記第1キューに供給された前記第1要求に対して少なくとも一部で応答して第1の複数の命令をフェッチする段階；

前記第1の複数の命令の少なくとも1つの命令を実行するように、実行ユニットに前記第1の複数の命令の少なくとも1つの命令を供給する段階；

前記第2キューに供給された前記第2要求に対して少なくとも一部で応答して第2の複数の命令をフェッチする段階；

前記第2の複数の命令の少なくとも1つの命令を実行するように、実行ユニットに前記第2の複数の命令の少なくとも1つの命令を供給する段階；及び

前記第1キューにスポンルルートメッセージを供給する段階；

を有する、方法であり、

前記第2キューに供給された前記第2要求は同期されたルートスレッドの要求であり；

10

20

前記同期されたルートスレッドの要求は、前記スポンルルートメッセージが前記第1キューの先頭に達するまで、前記第2キューの先頭を超えて進まない；
ことを特徴とする方法。

【請求項2】

請求項1に記載の方法であって、第1スレッドの生成についての要求を受信する前記段階は：

第1ポインタを受信する段階；
 を有する、方法。

【請求項3】

請求項2に記載の方法であって、前記第1キューに供給された前記第1要求に対して少なくとも一部で応答して第1の複数の命令をフェッチする前記段階は：

前記第1ポインタに対して少なくとも一部で応答して第1の複数の命令をフェッチする段階；
 を有する、方法。

【請求項4】

請求項3に記載の方法であって、前記第1ポインタに対して少なくとも一部で応答して第1の複数の命令をフェッチする前記段階は：

前記第1ポインタ及び第2ポインタに対して少なくとも一部で応答して第1の複数の命令をフェッチする段階；
 を更に有する、方法。

【請求項5】

請求項1に記載の方法であって：

前記第1キューにおける要求と前記第2キューにおける要求との間で調停する段階；
 を更に有する方法。

【請求項6】

少なくとも1つのプロセッサを有する処理システムが実行する方法であって：

第1スレッドスレッドの生成についての要求を受信する段階；

第1スレッドの生成についての、前記受信した要求に対して少なくとも一部で応答して、第1キューに第1要求を供給する段階；

第2スレッドの生成についての要求を受信する段階；

第2スレッドの生成についての前記要求に対して少なくとも一部で応答して、第2キューに第2要求を供給する段階；

前記第1キューに供給された前記第1要求に対して少なくとも一部で応答して、第1の複数の命令をフェッチする段階；

前記第1の複数の命令の少なくとも1つの命令を実行するように、実行ユニットに前記第1の複数の命令の少なくとも1つの命令を供給する段階；

前記第2キューに供給された前記第2要求に対して少なくとも一部で応答して、第2の複数の命令をフェッチする段階；

前記第2の複数の命令の少なくとも1つの命令を実行するように、実行ユニットに前記第2の複数の命令の少なくとも1つの命令を供給する段階；及び

前記第1キューにスポンルルートメッセージを供給する段階；

を有する、方法であり、

前記第2キューに供給された前記第2要求は同期されたルートスレッドの要求であり；

前記同期されたルートスレッドの要求は、前記スポンルルートメッセージが前記第1キューの先頭に達するまで、前記第2キューの先頭を超えて進まない；

方法。

【請求項7】

請求項6に記載の方法であって、第1スレッドの生成についての要求を受信する前記段階は：

第1ポインタを受信する段階；

を有する、方法。

【請求項 8】

請求項 7 に記載の方法であって、前記第 1 キューに供給された前記第 1 要求に対して少なくとも一部で応答して第 1 の複数の命令をフェッチする前記段階は：

前記第 1 ポインタに対して少なくとも一部で応答して第 1 の複数の命令をフェッチする段階；

を有する、方法。

【請求項 9】

請求項 8 に記載の方法であって、前記第 1 ポインタに対して少なくとも一部で応答して第 1 の複数の命令をフェッチする前記段階は：

前記第 1 ポインタ及び第 2 ポインタに対して少なくとも一部で応答して第 1 の複数の命令をフェッチする段階；

を更に有する、方法。

【請求項 10】

請求項 6 に記載の方法であって：

前記第 1 キューにおける要求と前記第 2 キューにおける要求との間で調停する段階；

を更に有する方法。

【請求項 11】

回路を有する装置であって、前記回路は：

第 1 スレッドの生成についての要求を受信し；

第 1 スレッドの生成についての、前記受信した要求に対して少なくとも一部で応答して、第 1 キューに第 1 要求を供給し；

第 2 スレッドの生成についての要求を受信し；

第 2 スレッドの生成についての前記要求に対して少なくとも一部で応答して、第 2 キューに第 2 要求を供給し；

前記第 1 キューに供給された前記第 1 要求に対して少なくとも一部で応答して、第 1 の複数の命令をフェッチし；

前記第 1 の複数の命令の少なくとも 1 つの命令を実行するように、実行ユニットに前記第 1 の複数の命令の少なくとも 1 つの命令を供給し；

前記第 2 キューに供給された前記第 2 要求に対して少なくとも一部で応答して、第 2 の複数の命令をフェッチし；

前記第 2 の複数の命令の少なくとも 1 つの命令を実行するように、実行ユニットに前記第 2 の複数の命令の少なくとも 1 つの命令を供給し；

前記第 1 キューにスポンルルートメッセージを供給する；

装置であって：

前記第 2 キューに供給された前記第 2 要求は同期されたルートスレッドの要求であり；

同期されたルートスレッドの前記要求は、前記スポンルルートメッセージが前記第 1 キューの先頭に達するまで、前記第 2 キューの先頭を超えて進まない；

装置。

【請求項 12】

請求項 11 に記載の装置であって、前記回路は：

前記第 1 の複数の命令の前記少なくとも 1 つの命令を実行する実行ユニット；

を有する、装置。

【請求項 13】

請求項 12 に記載の装置であって：

前記回路において、前記実行ユニットは、前記第 2 の複数の命令の前記少なくとも 1 つの命令を実行する；

装置。

【請求項 14】

請求項 11 に記載の装置であって、前記回路は：

前記第 1 の複数の命令の前記少なくとも 1 つの命令を実行する実行ユニット；

前記第 2 の複数の命令の前記少なくとも 1 つの命令を実行する実行ユニット；

前記第 1 の複数の命令の前記少なくとも 1 つの命令を実行する実行ユニット；

前記第 2 の複数の命令の前記少なくとも 1 つの命令を実行する実行ユニット；

10

20

30

40

50

第 1 ポインタを受信する回路；
を有する、装置。

【請求項 15】

請求項 14 に記載の装置であって、前記回路は：
前記第 1 ポインタに対して少なくとも一部で応答して前記第 1 の複数の命令をフェッチし、前記第 1 の複数の命令の前記少なくとも 1 つの命令を実行する回路；
を有する、装置。

【請求項 16】

請求項 15 に記載の装置であって、前記第 1 ポインタに対して少なくとも一部で応答して前記第 1 の複数の命令をフェッチする前記回路は：
前記第 1 ポインタ及び第 2 ポインタに対して少なくとも一部で応答して前記第 1 の複数の命令をフェッチする回路；
を有する、装置。

10

【請求項 17】

請求項 11 に記載の装置であって、前記回路は：
前記第 1 キュー；
を有する、装置。

【請求項 18】

請求項 17 に記載の装置であって、前記回路は：
前記第 2 キュー；
を更に有する、装置。

20

【請求項 19】

請求項 18 に記載の装置であって、前記回路は：
前記第 1 キューにおける要求と前記第 2 キューにおける要求との間で調停する回路；
を更に有する、装置。

【請求項 20】

機械が実行する命令を記憶している非一時的記憶媒体を有する装置であって、前記命令は、前記機械が：

第 1 スレッドの生成についての要求を受信し；

第 1 スレッドの生成についての、前記受信した要求に対して少なくとも一部で応答して、第 1 キューに第 1 要求を供給し；

30

第 2 スレッドの生成についての要求を受信し；

第 2 スレッドの生成についての前記要求に対して少なくとも一部で応答して、第 2 キューに第 2 要求を供給し；

前記第 1 キューに供給された前記第 1 要求に対して少なくとも一部で応答して、第 1 の複数の命令をフェッチし；

前記第 1 の複数の命令の少なくとも 1 つの命令を実行するように、実行ユニットに前記第 1 の複数の命令の少なくとも 1 つの命令を供給し；

前記第 2 キューに供給された前記第 2 要求に対して少なくとも一部で応答して、第 2 の複数の命令をフェッチし；

40

前記第 2 の複数の命令の少なくとも 1 つの命令を実行するように、実行ユニットに前記第 2 の複数の命令の少なくとも 1 つの命令を供給し；

前記第 1 キューにスポンルルートメッセージを供給する；

命令である、装置であり；

前記第 2 キューに供給された前記第 2 要求は同期されたルートスレッドの要求であり；同期されたルートスレッドの前記要求は、前記スポンルルートメッセージが前記第 1 キューの先頭に達するまで、前記第 2 キューの先頭を超えて進まない；

ことを特徴とする装置。

【請求項 21】

システムであって：

50

第 1 スレッドの生成についての要求を受信し、
第 1 スレッドの生成についての、前記受信した要求に対して少なくとも一部で応答して
、第 1 キューに第 1 要求を供給し、
第 2 スレッドの生成についての要求を受信し、
第 2 スレッドの生成についての前記要求に対して少なくとも一部で応答して、第 2 キューに第 2 要求を供給し、
前記第 1 キューに供給された前記第 1 要求に対して少なくとも一部で応答して、第 1 の複数の命令をフェッチし、
前記第 1 の複数の命令の少なくとも 1 つの命令を実行するように、実行ユニットに前記第 1 の複数の命令の少なくとも 1 つの命令を供給し、
前記第 2 キューに供給された前記第 2 要求に対して少なくとも一部で応答して、第 2 の複数の命令をフェッチし、
前記第 2 の複数の命令の少なくとも 1 つの命令を実行するように、実行ユニットに前記第 2 の複数の命令の少なくとも 1 つの命令を供給し、
前記第 1 キューにスポンルルートメッセージを供給する、
回路；及び
前記第 1 スレッドについての少なくとも 1 つの命令を記憶するメモリユニット；
を有するシステムであり；
前記第 2 キューに供給された前記第 2 要求は同期されたルートスレッドの要求であり；
同期されたルートスレッドの前記要求は、前記スポンルルートメッセージが前記第 1 キューの先頭に達するまで、前記第 2 キューの先頭を超えて進まない；
ことを特徴とするシステム。

10

20

【請求項 2 2】

請求項 2 1 に記載のシステムであって：
前記回路において、前記実行ユニットは、前記第 1 の複数の命令の前記少なくとも 1 つの命令を実行する；
システム。

【請求項 2 3】

請求項 2 2 に記載のシステムであって：
前記回路において、前記実行ユニットは、前記第 2 の複数の命令の少なくとも前記 1 つの命令を実行する；
システム。

30

【請求項 2 4】

請求項 1 に記載の方法であって：
前記第 1 キューに供給されたすべての要求は、前記実行ユニットからの要求に応答して少なくとも一部が供給され；
前記第 2 キューに供給されたすべての要求は、前記実行ユニットからの要求に応答して少なくとも一部も供給されない；
方法。

40

【請求項 2 5】

請求項 6 に記載の方法であって：
前記第 1 キューに供給されたすべての要求は、前記実行ユニットからの要求に応答して少なくとも一部が供給され；
前記第 2 キューに供給されたすべての要求は、前記実行ユニットからの要求に応答して少なくとも一部も供給されない；
方法。

【請求項 2 6】

請求項 1 1 に記載の装置であって：
前記第 1 キューに供給されたすべての要求は、前記実行ユニットからの要求に応答して少なくとも一部が供給され；

50

前記第 2 キューに供給されたすべての要求は、前記実行ユニットからの要求に回答して少なくとも一部も供給されない；

装置。

【請求項 27】

請求項 20 に記載の装置であって；

前記第 1 キューに供給されたすべての要求は、前記実行ユニットからの要求に回答して少なくとも一部が供給され；

前記第 2 キューに供給されたすべての要求は、前記実行ユニットからの要求に回答して少なくとも一部も供給されない；

装置。

【請求項 28】

請求項 21 に記載のシステムであって；

前記第 1 キューに供給されたすべての要求は、前記実行ユニットからの要求に回答して少なくとも一部が供給され；

前記第 2 キューに供給されたすべての要求は、前記実行ユニットからの要求に回答して少なくとも一部も供給されない；

システム。

【請求項 29】

請求項 1 に記載の方法であって、同期されたルートスレッドの前記要求が前記第 2 キューの先頭に達する前に、前記スポンルルートメッセージは前記第 1 キューの先頭を超えて進まない、方法。

【請求項 30】

請求項 6 に記載の方法であって、同期されたルートスレッドの前記要求が前記第 2 キューの先頭に達する前に、前記スポンルルートメッセージは前記第 1 キューの先頭を超えて進まない、方法。

【請求項 31】

請求項 11 に記載の装置であって、同期されたルートスレッドの前記要求が前記第 2 キューの先頭に達する前に、前記スポンルルートメッセージは前記第 1 キューの先頭を超えて進まない、装置。

【請求項 32】

請求項 20 に記載の装置であって、同期されたルートスレッドの前記要求が前記第 2 キューの先頭に達する前に、前記スポンルルートメッセージは前記第 1 キューの先頭を超えて進まない、装置。

【請求項 33】

請求項 21 に記載のシステムであって、同期されたルートスレッドの前記要求が前記第 2 キューの先頭に達する前に、前記スポンルルートメッセージは前記第 1 キューの先頭を超えて進まない、システム。

【請求項 34】

請求項 1 に記載の方法であって；

第 3 スレッドの生成についての要求を受信する段階；及び

第 3 スレッドの生成についての要求に対して少なくとも一部で応答して、前記第 2 キューに第 3 要求を供給する段階；

を更に有する、方法であり；

前記第 2 キューに供給された前記第 3 要求は同期されたルートスレッドの要求である；

方法。

【請求項 35】

請求項 6 に記載の方法であって；

第 3 スレッドの生成についての要求を受信する段階；及び

第 3 スレッドの生成についての要求に対して少なくとも一部で応答して、前記第 2 キューに第 3 要求を供給する段階；

10

20

30

40

50

を更に有する、方法であり：

前記第 2 キューに供給された前記第 3 要求は同期されたルートスレッドの要求である；
方法。

【請求項 36】

請求項 11に記載の装置であって、前記回路は：

第 3 スレッドの生成についての要求を受信する段階；及び

第 3 スレッドの生成についての要求に対して少なくとも一部で応答して、前記第 2 キューに第 3 要求を供給する段階；

を更に有する、装置であり、

前記第 2 キューに供給された前記第 3 要求は同期されたルートスレッドの要求である；
装置。

10

【請求項 37】

請求項 20に記載の装置であって、前記非一時的記憶媒体は：

第 3 スレッドの生成についての要求を受信し、

第 3 スレッドの生成についての要求に対して少なくとも一部で応答して、前記第 2 キューに第 3 要求を供給する

ように機械が実行する命令を更に記憶している；

装置。

【請求項 38】

請求項 21に記載のシステムであって、前記回路は更に：

第 3 スレッドの生成についての要求を受信し；

第 3 スレッドの生成についての要求に対して少なくとも一部で応答して、前記第 2 キューに第 3 要求を供給する；

システムであり；

前記第 2 キューに供給された前記第 3 要求は、同期されたルートスレッドの要求である；

システム。

20

【発明の詳細な説明】

【技術分野】

【0001】

スレッドをキューに供給する方法及び装置に関する。

30

【背景技術】

【0002】

処理システムは、性能を改善するために 2 つ以上のスレッドを実行する能力を有することが可能である。例えば、処理システムは、1 つ又はそれ以上のイベントが生じるまで、例えば、データを待っている間にストールモードにされるまで、スレッドを実行して、次いで、他のスレッドを実行し始める、能力を有することが可能である。

【0003】

1 つのマルチスレッディング処理システムにおいては、実行ユニットは複数のチャンネルであって、2 つ又はそれ以上のスレッドを実行する能力を各々有する 2 つ又はそれ以上のチャンネルを有する。

40

【0004】

マルチスレッディングシステムの現在の状態にも拘わらず、マルチスレッディングシステムにおけるスレッドの生成及び / 又は実行で用いられる更なる方法及び装置について要請されている。

【発明の概要】

【課題を解決するための手段】

【0005】

本明細書で説明する幾つかの実施形態は“処理システム”に関連している。本明細書で用いるように、表現“処理システム”とは、データを処理する何れかのシステムのことを

50

いう。一部の実施形態においては、処理システムは、グラフィクスデータ及び/又は他の種類のメディア情報を処理するグラフィクスエンジンと関連する。一部の場合には、処理システムの性能は、SIMD実行ユニットの使用により改善されることが可能である。例えば、SIMD実行ユニットは、データの多チャンネルについての単一浮動小数点SIMD命令を同時に実行する(例えば、変換を加速する及び/又は三次元幾何形状をレンダリングするように)ことが可能である。他の処理システムの例には、中央演算処理装置(CPU)及びデジタル信号プロセッサ(DSP)がある。

【図面の簡単な説明】

【0006】

【図1】一部の実施形態に従ったシステムのブロック図である。

10

【図2】一部の実施形態に従った、図1のシステムの処理システムのブロック図である。

【図3A】一部の実施形態に従った、図1のシステムの処理システムの一部のブロック図である。

【図3B】一部の実施形態に従った、図1のシステムの処理システムの一部のブロック図である。

【図4】一部の実施形態に従った、図1のシステムのスレッド生成器の模式的なブロック図である。

【図5】一部の実施形態に従った、図1のシステムのスレッド生成器のコマンド及び状態モデルの模式的なブロック図である。

【図6】一部の実施形態に従った、スレッド関係の模式図である。

20

【図7】一部の実施形態に従った、スレッド関係の模式図である。

【図8】一部の実施形態に従った、図4のスレッド生成器のスレッドスポーナ(spawner)機能ブロック図である。

【図9】一部の実施形態に従った方法のフロー図である。

【発明を実施するための形態】

【0007】

図1は、一部の実施形態に従ったシステム100のブロック図である。図1を参照するに、システム100は、入力装置110と、処理システム120と、出力装置130とを有する。入力装置110は、通信リンク140を介して処理システム120に結合されることが可能である、処理システム120は、通信リンク150を介して出力装置130に結合されることが可能である。

30

【0008】

作動中、入力装置110は、通信リンク140を介して処理システムに情報を供給することが可能である。処理システム120は、入力装置110により供給される情報を受信することが可能であり、情報を記憶し、及び/又は、通信リンク150を介して出力装置140、例えば、表示装置140に情報を供給することが可能である。

【0009】

本明細書で用いているように、通信リンクは、何れかの種類の通信リンク、例えば、有線リンク(例えば、導体ケーブル、光ファイバケーブル)又は無線リンク(例えば、音響リンク、電磁リンク、又は、例えば、マイクロ波リンク、衛星リンク、赤外線リンクを含む何れかの組み合わせであることが可能であるが、それらに限定されない)、並びに/若しくは、それらの組み合わせであり、それらの各々は公的又は私的であることが可能であるが、それらに限定されるものではない。通信リンクは、何れかの種類の恒久通信リンクである又はないことが可能である。通信リンクは、何れかの形式の何れかの種類の情報に、例えば、シリアル形式の及び/又はパラレル形式のアナログ及び/又はデジタル(例えば、2値の列、即ち、ビット列)信号に対応することが可能である。その情報は、ブロックに分割されることが可能であり又はされないことが可能である。ブロックに分割される場合、ブロックにおける情報量は予め決定される又は動的に決定される、並びに/若しくは固定化される(例えば、同様に)又は可変であることが可能である。通信リンクは、1つのプロトコル、又は例えば、インターネットプロトコルを含む複数のプロトコルの組

40

50

み合わせを用いることが可能である。

【 0 0 1 0 】

一部の実施形態においては、処理システムは1つ又はそれ以上のプロセッサを有する。本明細書で用いているように、プロセッサは何れかの種類のプロセッサであることが可能である。例えば、プロセッサは、プログラマブルな又は非プログラマブルな、汎用の又は専門の、専用の又は非専用の、共有の又は非共有の、並びに/若しくはそれらの組み合わせであることが可能である。プロセッサが2つの又はそれ以上の区分された部分を有する場合、それらの2つの又はそれ以上の部分は、通信リンクを介して互いに通信することが可能である。プロセッサは、例えば、ハードウェア、ソフトウェア、ファームウェア、ハードワイヤード回路及び/又はそれらの何れかの組み合わせを有することが可能であるが、それらに限定されるものではない。

10

【 0 0 1 1 】

図2は、一部の実施形態に従った、処理システム120のブロック図である。図2を参照するに、一部の実施形態においては、処理システム120は、プロセッサ210及びメモリユニット215を有する、プロセッサ210は実行ユニット220を有することが可能であり、例えば、汎用プロセッサ、デジタル信号プロセッサ、メディアプロセッサ、グラフィクスプロセッサ及び/又は通信プロセッサと連携することが可能である。

【 0 0 1 2 】

メモリユニット215は命令及びデータ(例えば、二次元画像、三次元画像及び/又は動画に関連するスカラー及びベクトル)を記憶することが可能であり、1つ又はそれ以上の通信リンクを介してプロセッサ210に結合されることが可能である。一部の実施形態においては、メモリユニット215又はそのメモリの一部は、ハードディスクドライブ(例えば、メディア情報を記憶し、供給するように)、例えば、ランダムアクセスメモリ(RAM)等の揮発性メモリ及び/又は例えばフラッシュメモリ等の不揮発性メモリを有する。

20

【 0 0 1 3 】

一部の実施形態においては、メモリユニット215は、命令を記憶することが可能である命令メモリユニット230と、データを記憶することが可能であるデータメモリユニット240とを有する。命令メモリユニット230は、通信リンク250を介してプロセッサに結合されることが可能である。データメモリユニット240は、通信リンク260を介してプロセッサに結合されることが可能である。一部の実施形態においては、命令メモリユニット230及びデータメモリユニット240は、別個の命令キャッシュ及びデータキャッシュ、共有命令キャッシュ及びデータキャッシュ、共通の共有キャッシュによりバックアップされた別個の命令キャッシュ及びデータキャッシュに関連する。

30

【 0 0 1 4 】

図3Aは、一部の実施形態に従った、処理システムの一部のブロック図である。図3Aを参照するに、一部の実施形態においては、処理システムは、実行ユニット300及びスレッド生成器310を有することが可能である。一部の実施形態においては、実行ユニット300は、スレッドテーブル320と、複数の命令キュー330と、複数のデコーダ340と、命令ディスパッチャ350と、実行ユニットパイプライン360とを有することが可能である。

40

【 0 0 1 5 】

一部の実施形態においては、コマンドは、通信リンク140を介してスレッド生成器310の入力に供給されることが可能である。それらのコマンドは、例えば、ホスト及び/又は入力装置110(図1)を含む何れかのコマンドソースから供給されることが可能であるが、それらに限定されるものではない。一部の実施形態においては、スレッド生成器310は、1つ又はそれ以上の信号ライン及び/又はバス380を介して実行ユニットパイプライン360からコマンドを受信することも可能である。スレッド生成器310は、1つ又はそれ以上のスレッドを生成する要求を含むことが可能であるコマンドを処理することが可能であり、少なくともそれらのコマンドにตอบสนองして1つ又はそれ以上のスレッド

50

を生成することが可能である。スレッド生成器 310 の 1 つ又はそれ以上の出力は 1 つ又はそれ以上のスレッドを供給することが可能であり、そのスレッドについての規定はまた、1 つ又はそれ以上の信号ライン 370 を介してスレッドテーブル 320 の 1 つ又はそれ以上の入力に供給されることが可能である。各々のスレッドは、処理システムにより実行される及び / 又は実行されるようになっている 1 つ又はそれ以上のプログラムの 1 つ、幾つか又は全てを規定する複数の命令を記憶することが可能である命令キャッシュ又は他のメモリからフェッチされることが可能である命令の集合を有することが可能である。スレッドテーブルにより規定された各々のスレッドについての命令は、複数の命令キュー 330 のそれぞれの命令キューに供給されることが可能であり、それらの複数の命令キューの各々は、例えば、少数の命令、例えば、6 つ乃至 8 つの命令を記憶するように大きさ付け 10
されることが可能である。各々の命令キュー 330 からの命令は、複数のデコーダ 340 のそれぞれのデコーダの入力に対して供給されることが可能である。それらの複数のデコーダ 340 は、命令ディスパッチャ 350 に復号化命令を供給することが可能であり、その命令ディスパッチャは実行パイプライン 360 に実行される 1 つ又はそれ以上のスレッドについての復号化命令を供給することが可能であり、その実行パイプラインはその復号化命令を実行することが可能である。

【 0016 】

図 3 B は、一部の実施形態に従った、処理システムの一部のブロック図である。図 3 B を参照するに、一部の実施形態においては、処理システムは、実行ユニット 390 及びスレッド生成器 310 を有する。一部の実施形態においては、実行ユニット 390 は、複数 20
の実行ユニット、例えば、実行ユニット 300 A 乃至 300 D を有することが可能である。一部の実施形態においては、実行ユニット 300 A 乃至 300 D の各々は、実行ユニット 300 (図 3 A) と同じである及び / 又は類似することが可能である。

【 0017 】

一部の実施形態においては、コマンドは、通信リンク 140 を介してスレッド生成器 310 の入力に供給されることが可能である。それらのコマンドは、例えば、ホスト及び / 又は入力装置 110 (図 1) を含む何れかのコマンドソースから供給されることが可能であるが、それらに限定されるものではない。一部の実施形態においては、スレッド生成器は、実行ユニット 300 A 乃至 300 D の 1 つ又はそれ以上からコマンドを受信することも可能である。スレッド生成器 310 は、1 つ又はそれ以上のスレッドを生成する要求を 30
含むことが可能であるそれらのコマンドを処理することが可能であり、少なくともそれらのコマンドに応答して 1 つ又はそれ以上のスレッドを生成することが可能である。スレッド生成器 310 の 1 つ又はそれ以上の出力は、1 つ又はそれ以上のスレッドを供給することが可能であり、それらのスレッドの規定が順に、実行ユニット 300 A 乃至 300 D の 1 つ又はそれ以上に、例えば、実行ユニット 300 A 乃至 300 D の 1 つ又はそれ以上のスレッドテーブル (例えば、スレッドテーブル 320 (図 3 A) を参照されたい) の 1 つ又はそれ以上の入力に供給されることが可能である。一部の実施形態においては、実行ユニット 300 A 乃至 300 D の動作は、上記の実行ユニット 300 (図 3 A) の動作と同じである及び / 又は類似していることが可能である。

【 0018 】

一部の実施形態においては、実行ユニット (300 A、300 B、300 C 又は 300 D) は SIMD 実行ユニットを有することが可能である。一部の実施形態においては、SIMD 実行ユニットは、4 成分データベクトル (例えば、ベクトル成分) と共に命令 (例 40
えば、命令メモリユニットからの) を受信することが可能である。実行ユニットは、その場合、そのベクトルの成分の全てについての命令を同時に実行することが可能である。そのような方法は、“チャンネル - パラレル” 又は “構造のアレイ (Array Of Structure : AOS)” 実行と称せられている。一部の実施形態においては、SIMD 実行ユニットは、データの 4 つのオペランドと共に命令を受信することが可能であり、その場合、各々のオペランドは異なるベクトルと関連している。各々のベクトルは、例 50
えば、三次元グラフィクス位置と関連する 3 つのベクトル (例えば、X、Y 及び Z) を有

することが可能である。実行ユニットは、その場合、単一の命令期間におけるオペランドの全てについての命令を同時に実行することが可能である。そのような方法は、“垂直” “チャンネル - シリアル” 又は “アレイの構造 (SOA)” 実行と称せられている。

【0019】

本明細書で説明している一部の実施形態は、4つ乃至8つの方法のSIMD実行ユニットに関連しているが、SIMD実行ユニットは2つ以上の何れかの数のチャンネルを有する (例えば、複数の実施形態は32個のチャンネル実行ユニットに関連する) ことが可能である。

【0020】

図4は、一部の実施形態に従った、スレッド生成器310の機能ブロック図である。図4を参照するに、一部の実施形態においては、スレッド生成器310は、コマンドストリーマ402と、映像フロントエンド404と、スレッドスポーナ406と、マルチプレクサ410と、メモリ (ときどき、本明細書においては、統一戻りバッファ (Unified Return Buffer: URB) である) と、スレッドディスパッチャ414とを有することが可能である。

10

【0021】

コマンドストリーマは、映像フロントエンド404及びマルチプレクサ410に結合されることが可能である。映像フロントエンド404は、スレッドスポーナ406及びマルチプレクサ410に結合されることが可能である。マルチプレクサは統一戻りバッファに結合されることが可能であり、その統一戻りバッファはスレッドディスパッチャ414に結合されることが可能である。

20

【0022】

一部の実施形態においては、処理システム400の部分の種々の一部の間の結合、例えば、電氣的接続が、専用化される、共有される (例えば、バス) 及び/又はそれらの何れかの組み合わせにされることが可能である。その点で、一部の実施形態においては、例えば、コマンドストリーマ、映像フロントエンド及び実行ユニットからメモリへの、例えば、URBへの結合、例えば、電氣的接続は、1つ又はそれ以上の共有データバスを有することが可能である。一部の実施形態においては、他の結合、例えば、複数の電氣的接続の各々は、1つ又はそれ以上の専用信号ラインを有することが可能である。

30

【0023】

コマンドストリーマ402の入力は複数のコマンドを受信することが可能である。複数の入力コマンドが、例えば、ホストプロセッサ及び/又は入力装置110 (図1) を含む何れかのコマンドソースにより供給されることが可能であるが、それらに限定されるものではない。一部の実施形態においては、コマンドストリーマ402は、メモリからそのようなコマンドをフェッチするダイレクトメモリアクセス (DMA) エンジンに有する。一部のそのような実施形態においては、DMAエンジンはリングバッファとして構成される。

【0024】

コマンドの1つ又はそれ以上は、スレッドを生成する要求を有することが可能である。そのようなコマンドは何れかの形式を有することが可能である。一部の実施形態においては、その要求は、スレッドを生成する過程で用いられることが可能である情報を含むことが可能である。

40

【0025】

スレッドを要求するコマンドの1つ又はそれ以上の部分が、映像フロントエンド404の入力に供給されることが可能である、コマンドがスレッドを要求する場合、映像フロントエンド404は、そのコマンドに回答してスレッド要求を供給することが可能である。映像フロントエンド404により供給されるスレッド要求は、コマンドストリーマ402及び/又は映像フロントエンド404に対して供給される要求と同じ形式を有することが可能である又は可能でない。一部の実施形態においては、スレッド要求は、スレッドを生成するように用いられることが可能である情報を有する。

50

【 0 0 2 6 】

映像フロントエンド 4 0 4 からのスレッド要求は、スレッドスポーナ 4 0 6 の第 1 入力、実行ユニットにおいて実行される 1 つ又はそれ以上のスレッドにより生成されるスレッド要求を受信することが可能である第 2 入力に供給されることが可能である。特に、ホストコマンドからもたらされるスレッド要求はときどき、以下、ルートスレッド要求と称せられている。実行ユニットからのスレッド要求はときどき、スポン (s p a w n) スレッド要求と称せられている。実行ユニットにおいて実行される他のスレッドにより生成されるスレッドは子スレッドと称せられている。子スレッドは付加スレッドを生成することが可能であり、それらの子スレッドの全てはルートスレッドのツリーの下にある。

【 0 0 2 7 】

図 6 は、一部の実施形態に従ったスレッド関係の模式図である。図 6 を参照するに、一部の実施形態においては、スレッド関係は単一のツリー構造 6 0 0 を有することが可能である。単一のツリー構造 6 0 0 は、複数の子スレッド 6 0 4 乃至 6 1 2 を生成する単一のルートスレッド 6 0 2 を有することが可能である。一部の子スレッドは後続の子スレッドを生成することが可能である。例えば、子スレッド 6 0 6 は子スレッド 6 1 4、6 1 6 を生成することが可能である。子スレッド 6 0 8 は子スレッド 6 1 8、6 2 0 を生成することが可能である。子スレッド 6 1 0 は子スレッド 6 2 2 を生成することが可能である。ルートスレッド 6 0 8、6 1 0、6 1 2 はルートスレッド 6 0 2 に依存し、同期ルートスレッドと称せられていて、それについては下で更に説明する。

【 0 0 2 8 】

図 7 は、一部の実施形態に従ったスレッド関係の模式図である。図 7 を参照するに、一部の実施形態においては、スレッド関係は複数の不連続なツリー 7 0 0、7 0 1 を有することが可能である、第 1 ツリー 7 0 0 は、子スレッド 7 0 4、7 0 6 を有する第 1 ルートスレッド 7 0 2 を有する。子スレッド 7 0 6 は子スレッド 7 1 4、7 1 6 を生成することが可能である。ルートスレッド 7 0 8 は兄弟ルートスレッド 7 1 0、7 1 2 を有することが可能である、ルートスレッド 7 0 8 は子スレッド 7 1 8、7 2 0 を生成することが可能である。ルートスレッド 7 0 2 は兄弟ルートスレッド 7 0 8、7 1 0、7 1 2 を有することが可能である。ルートスレッド 7 0 2 及び兄弟ルートスレッド 7 0 8、7 1 0、7 1 2 は独立していて、非同期ルートスレッドと称せられていて、それについては下で更に説明する。

【 0 0 2 9 】

図 4 を再び参照するに、スレッドスポーナ 4 0 6 は複数のスレッド要求を待ち行列に入れる及び / 又はそれらの複数のスレッド要求を調停することが可能であり、少なくともそれらのスレッド要求の一部に基づくスレッド要求を供給することが可能である。スレッドスポーナ 4 0 6 により供給されるスレッド要求は何れかの形式を有することが可能であり、それ故、コマンドストリーマ 4 0 2 に供給される要求、映像フロントエンド 4 0 4 に供給される要求及び / 又はスレッドスポーナ 4 0 6 に供給される要求と同じ形式を有することが可能である又は可能でない。

【 0 0 3 0 】

スレッドスポーナ 4 0 6 からのスレッド要求は、スレッドディスパッチャ 4 1 4 との第 1 入力に供給されることが可能であり、これについては下で更に説明する。

【 0 0 3 1 】

一部の実施形態においては、コマンドストリーマ 4 0 2 及び映像フロントエンド 4 0 4 は、マルチプレクサ 4 1 0 の入力に情報を供給することも可能である。マルチプレクサの他の入力は実行ユニットからの情報を受信することが可能である。

【 0 0 3 2 】

マルチプレクサ 4 1 0 の出力は、コマンドストリーマ 4 0 2、映像フロントエンド 4 0 4 及び実行ユニットから受信された情報を供給することが可能であり、その情報は、本明細書で統一戻りバッファ (U R B) と称せられているメモリ 4 1 2 に供給されることが可能である。

10

20

30

40

50

【 0 0 3 3 】

一部の実施形態においては、メモリ 4 1 2 は 2 つ又はそれ以上の部分に区分化されることが可能である。一部のそのような実施形態においては、本明細書でときどき、ハンドル又は U R B ハンドルと称せられているインデックスが、メモリにおけるそのような複数の区分の参照区分を示すポインタとして用いられることが可能である。そのような区分の 1 つは、ときどき定数 U R B と称せられていて、1 つ又はそれ以上の定数を記憶するように用いられることが可能である。

【 0 0 3 4 】

一部の実施形態においては、メモリの 1 つ又はそれ以上の部分が、コマンドストリーマ 4 0 2、映像フロントエンド 4 0 4、スレッドスポーナ 4 0 6 及び / 又はスレッドディスパッチャ 4 1 4 と同じチップ上に備えられることが可能である。

10

【 0 0 3 5 】

メモリ又は U R B 4 1 2 の出力は、スレッドディスパッチャ 4 1 4 の第 2 入力に供給されることが可能である情報を供給することが可能である、スレッドディスパッチャ 4 1 4 は、その第 2 入力に供給されるそのようなスレッドの各々についてのスレッドをディスパッチすることが可能である。一部の実施形態においては、スレッドディスパッチャ 4 1 4 は、同時に一度、複数のスレッド要求を処理する。即ち、スレッドディスパッチャ 4 1 4 は、スレッドディスパッチャ 4 1 4 がそのディスパッチャに供給された先行するスレッド要求についてのスレッドをディスパッチするまで、スレッド要求を要求しない及び / 又は受信しないことが可能である。

20

【 0 0 3 6 】

一部の実施形態においては、制御情報がスレッドディスパッチャに供給されることが可能であり、そのスレッドをディスパッチするように、例えば、そのスレッドにより要求されることが可能であるレジスタの数を構成する及び / 又は割り当てるように、用いられることが可能である。

【 0 0 3 7 】

スレッドは何れかの方法でディスパッチされることが可能である。その点に関して、一部の実施形態においては、スレッドディスパッチャ 4 1 4 は、“ラウンドロビン”方式でスレッドをディスパッチすることが可能である。例えば、一部の実施形態においては、実行ユニットは複数の実行ユニットを有することが可能であり、それらの複数の実行ユニットの各々は複数のスレッドを実行することが可能である。そのような一部の実施形態においては、スレッドディスパッチャは、第 1 スレッドを第 1 実行ユニットにおける第 1 スレッドスロットに、第 2 スレッドを第 2 実行ユニットにおける第 1 スロットに、第 3 スレッドを第 3 実行ユニットにおける第 1 スロットに、第 4 スレッドを第 4 実行ユニットにおける第 1 スロットに、第 5 スレッドを第 1 実行ユニットにおける第 2 スロットに割り当てることを可能である。実行ユニットがスレッドの実行を終了した場合、スレッドメッセージの終点が、例えば、実行ユニットにより生成され、スレッドスポーナ 4 0 6 に供給されることが可能である。

30

【 0 0 3 8 】

図 5 は、一部の実施形態に従った、スレッドに関する情報を規定するように用いられることが可能であるスレッド及び状態モデル 5 1 0 を要求する処理システムに供給されることが可能である複数のコマンドのシーケンス 5 0 0 の模式図である。図 4 を参照するに、一部の実施形態においては、スレッドを要求するように用いられるコマンドのシーケンスは、状態ポインタコマンド 5 1 2 と、非パイプライン化状態コマンド 5 1 6 と、プリミティブコマンド 5 1 8 とを有することが可能である。

40

【 0 0 3 9 】

状態ポインタコマンド 5 1 2 は、状態情報を有する状態記述子に少なくとも 1 つのポインタを供給することにより、パイプライン（例えば、映像フロントエンド 4 0 4 及び / 又はスレッドスポーナ 4 0 6）における固定機能を制御する状態情報を‘間接的に’供給することが可能である。一部の実施形態においては、状態ポインタコマンドは、V F E 状態

50

記述子 520 を示すことが可能である VFE 状態ポインタ 514 を有することが可能である。一部のそのような実施形態においては、VFE 状態記述子は、インタフェース記述子の基底を示すことが可能であるインタフェース記述子基底ポインタを有することが可能である。

【0040】

非パイプライン化状態コマンド 516 は、パイプラインに関連する固定機能及びメモリを制御する状態情報を '直接' 供給することが可能である。非パイプライン化状態コマンドのタイプのメモリの区分化を構成することが可能であり、上記のようなメモリは、コマンドストリーマ 402、映像フロントエンド 404、スレッドスポーナ 406 及び / 又はスレッドディスパッチャ 414 と同じチップ上に備えられることが可能である。非パイプライン化状態コマンドの他のタイプは定数コマンドであり、本明細書においてはときどき、定数 URB コマンドと称せられていて、定数データ、例えば、1つ又はそれ以上の定数を規定することが可能である。一部の実施形態においては、データは、間接的に（例えば、メモリに対する 1つ又はそれ以上のポインタにより識別される）又は調和して（例えば、コマンドに含まれて）規定されることが可能である。

【0041】

プリミティブコマンド 518 は、用いられることが可能であるコマンドの他のタイプである。一部の実施形態においては、プリミティブコマンドは、1つ又はそれ以上のスレッドが生成されることを要求するように用いられることが可能である、一部の実施形態においては、プリミティブコマンドは、生成されるようになっている 1つ又はそれ以上のスレッドについての情報、即ち、制御及び / 又はデータを含むことが可能である、一部の実施形態においては、制御情報は、スレッドを構成するように、例えば、スレッドにより要求されることが可能であるレジスタの数を構成する及び / 又は割り当てるように用いられることが可能である情報を有することが可能である。一部の実施形態においては、制御情報は、生成されるようになっているスレッドについてのインタフェース記述子オフセットを含むことが可能である。一部の実施形態においては、スレッドについてのインタフェース記述子ポインタは、インタフェース記述子オフセット及びインタフェース記述子ベースポインタに基づいて決定されることが可能である（上記のように、一部の実施形態においては、映像フロントエンド 404 は、インタフェース記述子ベースポインタを含むことが可能である VFE 状態記述子 520 を示すことが可能である VFE 状態ポインタ 514 を有する状態ポインタコマンドと共に供給されることが可能である）。

【0042】

インタフェース記述子 510 は、スレッドに関連する情報を規定するように用いられることが可能である。インタフェース記述子モデル及び状態記述子モデルは、インタフェース記述子ベースポインタ 522 及び複数のインタフェース記述子 524 を有することが可能である。インタフェース記述子ベースポインタ 522 は、インタフェース記述子 524 の 1つ又はそれ以上のインタフェース記述子の位置を提供することが可能である。

【0043】

一部の実施形態においては、インタフェース記述子 524 は、ディスパッチされた及びディスパッチされるようになっているスレッドについての状態情報を提供する、一部の実施形態においては、各々のインタフェース記述子 524 は、スレッドをディスパッチするようにスレッドスポーナ 406 及び / 又はスレッドディスパッチャ 414 についての十分な情報を有することが可能である。

【0044】

一部の実施形態においては、複数のインタフェース記述子 524 の各々は、スレッドポインタ 526 及びスレッド資源記述子 528、サンプリング状態ポインタ 530、拘束テーブルポインタ 532 並びに / 若しくは他のハードウェア機能へのアクセス及びメモリへのアクセスのために用いられることが可能である 1つ又はそれ以上のポインタを有することが可能である。スレッドポインタ 526 は、スレッドについての 1つ又はそれ以上の命令（例えば、第 1 命令）の位置を提供することが可能である。スレッド資源記述子 528 は、

10

20

30

40

50

スレッドにより要求されることが可能である資源、例えば、スレッド及び/又は浮動小数点モードにより要求されることが可能である資源を示すことが可能である。サンプル状態ポインタ530は、サンプル状態テーブル534における1つ又はそれ以上の記述子(例えば、第1記述子)の位置を提供することが可能である、一部の実施形態においては、サンプル状態テーブル534が最大16個のサンプル状態記述子まで含むことが可能である。一部の実施形態においては、サンプル状態記述子の1つ又はそれ以上が、三次元グラフィクスに関連して用いられることが可能である。一部の実施形態においては、サンプル状態記述子の1つ又はそれ以上が、サンプル装置(例えば、グラフィクステクスチャサンプルユニット(図示せず))の1つ又はそれ以上の状態を提供する。

【0045】

拘束テーブルポインタ532は、拘束テーブル536の1つ又はそれ以上のエントリ(例えば、第1エントリ)の位置を提供することが可能である。一部の実施形態においては、拘束テーブル536は最大256個のエントリを有することが可能である、拘束テーブル536における1つ又はそれ以上のそのようなエントリは、表面状態記述子540の位置を提供するポインタを規定することが可能である。一部の実施形態においては、表面状態の1つ又はそれ以上は、メモリにおけるデータアレイを及び/又はデータバッファに関連するデータ処理を規定することが可能である。一部の実施形態においては、1つ又はそれ以上の表面状態記述子540は、二次元画像についての外部の拘束されたデータアクセスの処理の仕方について示すことが可能である。

【0046】

インタフェース記述子524の各々は、それ自体のメモリ位置に、即ち、他のインタフェース記述子が記憶されるメモリ位置と異なる1つ又はそれ以上のメモリ位置に記憶されることが可能である。特定のインタフェース記述子524の位置は、インタフェース記述子ベースポインタにインデックス又はオフセットを付加することにより決定されることが可能であり、そのインデックス又はオフセットはときどき、本明細書においては、インタフェース記述子インデックスと称されている。それ故、そのモデルの1つ又はそれ以上の特徴はアドレッシングの2つのレベルを用いることが可能である。更に、アドレッシングの1つ又はそれ以上のそのようなレベルは、ベース+オフセットアドレッシングを有することが可能である。

【0047】

一部の実施形態においては、インタフェース記述子の全ては、同じサイズを有する及び/又はメモリにおける連続アレイとして組織化される。一部の他の実施形態においては、1つ又はそれ以上のインタフェース記述子は異なるサイズを有し、並びに/若しくは他のインタフェース記述子と連続的でないメモリの位置に記憶される。

【0048】

ここでまた、図4を参照するに、一部の実施形態においては、コマンドストリーマ402に供給されるコマンドは、図5に示している及び/又は図5に関して説明しているコマンドと同じ及び/又は類似している。一部のそのような実施形態においては、コマンドストリーマ402は先ず、状態ポインタコマンドを受信することが可能である。状態ポインタコマンド512(図5)を受信するとき、コマンドストリーマ402は、映像フロントエンドに、VFE状態記述子520(図5)の位置を示すことが可能である状態ポインタを供給することが可能である。コマンドストリーマは、その後、1つ又はそれ以上のプリミティブコマンドを受信することが可能である。上記のように、一部の実施形態においては、プリミティブコマンドは、1つ又はそれ以上のスレッドが生成される要求を表すことが可能である。一部の実施形態においては、プリミティブコマンドは、情報を、即ち、生成されるようになっている1つ又はそれ以上のスレッドについての制御及び/又はデータを有することが可能である。一部の実施形態においては、制御情報は、スレッドを構成するように、例えば、スレッドにより要求されることが可能であるレジスタの数を構成する及び/又は割り当てるように用いられることが可能である情報を有することが可能である。一部の実施形態においては、制御情報は、生成されるようになっているスレッドについ

10

20

30

40

50

てのインタフェース記述子オフセットを有することが可能である。一部の実施形態においては、スレッドについてのインタフェース記述子ポインタは、インタフェース記述子オフセット及びインタフェース記述子ベースポインタに基づいて決定されることが可能である（上記のように、一部の実施形態においては、映像フロントエンド404は、インタフェース記述子ベースポインタを有することが可能であるVFE状態記述子520を示すことが可能であるVFE状態ポインタ514を有する状態ポインタコマンドと共に供給されることが可能である）。一部の実施形態においては、映像フロントエンド404は、インタフェース記述子オフセット（上記のように、プリミティブコマンド518（図5）に含まれることが可能である）及びインタフェース記述子ベースポインタ522（上記のように、一部の実施形態においては、映像フロントエンドは、インタフェース記述子ベースポインタ522を有することが可能であるVFE状態記述子520を示すことが可能であるVFE状態ポインタ514を有する状態ポインタコマンドと共に供給されることが可能である）に基づいてスレッドについてのインタフェース記述子ポインタを決定することが可能である。

10

【0049】

一部の実施形態においては、スレッドスポーナ406に供給されるスレッド要求はインタフェース記述子ポインタを有することが可能である。一部の実施形態においては、映像フロントエンド404は、スレッドスポーナ406に供給されるスレッド要求に含まれることが可能であるインデックスハンドル又はURBハンドルを生成することが可能である。一部の実施形態においては、スレッド要求は、生成されるようになっているスレッドに割り当てられるレジスタの数を、及び定数を、例えば、定数URBを記憶しているメモリの部分をスレッドが用いるかどうかを示す制御情報を有することが可能である。

20

【0050】

図8は、一部の実施形態に従った、スレッドスポーナ406の機能ブロック図である。図8を参照するに、一部の実施形態においては、映像フロントエンド404（図4）により供給されるルートスレッド要求は、ルートスレッド要求キュー802の入力に供給されることが可能である。一部の実施形態においては、ルートスレッド要求キュー802はファーストインファーストアウト（FIFO）バッファを有することが可能であり、そのことは、キュー802に対する第1ルートスレッド要求はまた、キュー802の外部の第1ルートスレッド要求であることを意味している。一部のそのような実施形態においては、ルートスレッド要求キュー802は、入力バッファ804と、出力バッファ806と、1つ又はそれ以上のバッファであって、例えば、それらの入力バッファ804と出力バッファ806との間に結合されたバッファ808乃至814とを有することが可能である。出力バッファ806は、本明細書においてはときどき、キュー802のヘッド806と称せられている。一部の実施形態においては、出力バッファ806又はキューのヘッドは、次いでルートスレッド要求キュー802から次にずれたルートスレッド要求に記憶されることが可能である。

30

【0051】

ルートスレッド要求キュー802により供給されるルートスレッド要求は、マルチプレクサ818の第1入力に供給されることが可能である。ルートスレッド要求キューにより供給されるスレッド要求は何れかの形式を有することが可能である。一部の実施形態においては、ルートスレッド要求キュー802により供給されるスレッド要求は、映像フロントエンド404からスレッドスポーナ406に供給されるスレッド要求の構成と同じ構成を有することが可能である。

40

【0052】

一部の実施形態においては、制御ユニット816は、ルートスレッド要求キュー802からのルートスレッド要求の供給のためのタイミングを制御することが可能である。一部の実施形態においては、制御部分816は、1つ又はそれ以上の信号の同期及び/又は調停を提供することが可能である、制御ユニット816からの1つ又はそれ以上の信号は、ルートスレッド要求キュー802に供給されることが可能である。更に、制御ユニット8

50

16からの1つ又はそれ以上の信号が、マルチプレクサ818の1つ又はそれ以上の制御入力に供給されることが可能である。

【0053】

一部の実施形態においては、スレッドスポーナ404は、スポンスレッド要求キュー822を更に有することが可能であり、そのスポンスレッド要求キューの入力は、実行ユニットにより供給される、スポンスレッド要求を受信することが可能である。スポンスレッド要求キュー822は、そのスポンスレッド要求キューに供給されるスポンスレッド要求をキューに供給することが可能である。一部の実施形態においては、スポンスレッド要求キュー822はファーストインファーストアウト(FIFO)バッファを有することが可能である。一部のそのような実施形態においては、スポンスレッド要求キュー822は、入力バッファ824と、出力バッファ826と、1つ又はそれ以上のバッファであって、例えば、入力バッファ824と出力バッファ826との間に結合されたバッファ828乃至834を有することが可能である。出力バッファ826は、本明細書においてはときどき、キューのヘッド又はキューバッファのヘッドと称せられている。一部の実施形態においては、出力バッファ826又はキューのヘッドは、スポンスレッド要求キュー822から次にずれたスポンスレッド要求に記憶されることが可能である。

10

【0054】

一部の実施形態においては、ルートスレッドキュー802及び/又はスポンスレッドキュー822は、FIFOバッファに付加して又はその代わりに、1つ又はそれ以上の他のタイプのキューを有することが可能である。一部の実施形態においては、例えば、複数のルートスレッド要求は各々、優先順位が割り当てられることが可能であり、最も高い優先順位を有するルートスレッド要求は、キュー802から外れた第1ルートスレッド要求であることが可能である。一部の実施形態においては、例えば、複数のスポンスレッド要求は各々、優先順位が割り当てられることが可能であり、最も高い優先順位を有するスポンスレッド要求は、キュー822から外れた第1スポンスレッド要求であることが可能である。

20

【0055】

スポンスレッドキュー822により供給されるスレッド要求は、マルチプレクサ818の第2入力に供給されることが可能である。スポンスレッド要求キューにより供給されるスレッド要求は各々、何れかの形式を有することが可能である。一部の実施形態においては、スポンスレッド要求キュー822により供給されるスレッド要求は、映像フロントエンド404からスレッドスポーナ406に供給されるスレッド要求の構成と同じ構成を有することが可能である。

30

【0056】

一部の実施形態においては、制御部分816は、スポンスレッド要求キュー822からのスポンスレッド要求の供給のためのタイミングを制御することが可能である。一部の実施形態においては、その制御部分816は、同期及び/又は調停のための1つ又はそれ以上の信号を供給することが可能であり、そのことについては下で更に説明する。

【0057】

一部の実施形態においては、一時に1つのスレッド要求(即ち、ルートスレッド要求キュー802からの1つのスレッド要求又はスポンスレッド要求キュー822からの1つのスレッド要求)のみを供給することが好ましいことである。例えば、スレッド生成ユニットは、一時に1つのスレッド要求のみを処理することができる。その趣旨で、調停が提供されることが可能である。一部の実施形態においては、スポンスレッド要求キュー822におけるスレッド要求は、ルートスレッド要求キューのスレッド要求における所定の優先順位であることが可能である。一部の実施形態においては、そのような調停は、別に生じる可能性があるデッドロックを回避するのに役立つことが可能である。

40

【0058】

その点で、一部の実施形態においては、制御ユニット816は、ルートスレッド要求キュー802に1つ又はそれ以上の制御信号を、並びに/若しくは、ルートスレッド要求キ

50

キュー 802 を制御するようにスポンスレッド要求キュー 822 に及び / 又は一時に 1 つのスレッド要求 (即ち、ルートスレッド要求キュー 802 からの 1 つのスレッド要求又はスポンスレッド要求キュー 822 からの 1 つのスレッド要求) のみが供給されるようにスポンスレッド要求キュー 822 に 1 つ又はそれ以上の制御信号を供給することが可能である。そのような実施形態においては、制御ユニット 816 は、スレッド要求がマルチプレクサ 818 の出力に供給されるようにマルチプレクサ 818 を制御するように、マルチプレクサ 818 に 1 つ又はそれ以上の制御信号を供給することがまた、可能である。

【 0059 】

更に、一部の実施形態は、何れかの所定の時間に許可されることが可能であるルートスレッドの数に関する制限 (プログラマブルであるか非プログラマブルであるかに拘わらず) を規定することが可能である。一部の実施形態においては、この制限は、デッドロックを回避するのに役立つように、システムにおけるスレッドの最大数に比べて小さい。ルートスレッドについての要求はキュー 802 の先頭 806 に達し、ルートスレッドの数は限界にあり、ルートスレッド要求キュー 802 は、ルートスレッドの数が所定の限界より小さくなるまで待機することが可能である。一部の実施形態においては、スレッドスポーナは、スレッドの最大数に達しない限り、スレッド要求を供給し続けることが可能である。

【 0060 】

一部の実施形態においては、ルートスレッドは同期化される又は非同期化されることが可能である。同期化されたルートスレッドは、イベントが生じるまでルートスレッドが生成されないことを保証するのに役立つように用いられることが可能である。例えば、プログラムの先行部分についてのスレッドが終了まで実行されるまで、そのプログラムの部分についてのスレッドを延期することは好ましいことである。

【 0061 】

一部の実施形態においては、同期化ルートスレッドについての要求及び非同期化ルートスレッドについての要求が、同じルートスレッド要求キュー 802 に供給されることが可能である。一部のそのような実施形態においては、同期化ルートスレッドについての要求は、同期信号が供給されるまでは、ルートスレッド要求キュー 802 の先頭 806 を越えて進むことはない。一部の実施形態においては、メッセージがスポンスレッド要求キュー 822 に供給され、スポンスレッド要求キュー 822 の先頭 826 に達する場合、同期信号が生成され、そのメッセージは、本明細書においてはときどき、スポンルルートメッセージと称せられている。同期化ルートスレッドについての要求が、スポンルルートメッセージがキュー 822 の先頭 826 に達する前に、キュー 802 の先頭 806 に達した場合、ルートスレッド要求キュー 802 は、スポンルルートメッセージがキュー 822 の先頭 826 に達するまで待機する。デッドロックを回避するのに役立つように、スポンルルートメッセージは、同期化ルートスレッドについての要求がルートスレッド要求キューの先頭 806 に達する前に、スポンスレッド要求キュー 802 の先頭を越えて進むように許可されない。その点で、スポンルルートメッセージが、同期化ルートスレッドがキュー 802 の先頭 806 に達する前に、キュー 822 の先頭 826 に達した場合、同期化ルートスレッドについての要求を待っているスポンスレッド要求キュー 822 は、キュー 802 の先頭 806 に達する。一部のそのような実施形態においては、同期化ルートスレッドについての要求及びスポンルルートスレッドメッセージは、互いに同時にそれらのそれぞれのキューから出ることが可能である。

【 0062 】

一部の実施形態においては、同期化ルートスレッドは、同期化ルートスレッドを要求するコマンドから由来することが可能である。一部の実施形態においては、コマンドは同期化フィールドを有し、同期化ルートスレッドは、そのようなフィールドにおいてビットを設定することにより要求される。一部の実施形態においては、スポンルルートメッセージは、ルートスレッド及び / 又は子スレッドにより初期化されることが可能である。

【 0063 】

一部の実施形態は、同期化ルートスレッドの数に関して何れかの制限を有することは可

10

20

30

40

50

能でないが、同期化ルートについての要求の数及びスポンルートメッセージの数は同じである必要がある。又は、一部の実施形態においては、デッドロックが生じる可能性がある。

【 0 0 6 4 】

上記のように、一部の実施形態においては、制御ユニット 8 1 6 は、ルートスレッド要求キュー 8 0 2 を制御するようにスポンスレッド要求キュー 8 2 2 に、及び / 又は好まし動作を提供するように、ルートスレッド要求キュー 8 0 2 に 1 つ又はそれ以上の制御信号を、及び / 又はスポンスレッド要求キュー 8 2 2 に 1 つ又はそれ以上の制御信号を、供給することが可能である。そのような実施形態においては、制御ユニット 8 1 6 は、スレッド要求がマルチプレクサ 8 1 8 の出力に供給されるようにマルチプレクサを制御する
10

【 0 0 6 5 】

マルチプレクサ 8 1 8 の出力は、スレッド生成ユニット 8 3 8 の入力にスレッド要求を供給することが可能であり、そのスレッド生成ユニットの出力はスレッド要求を供給することが可能である。スレッド生成ユニットにより供給されるスレッド要求は何れかの形式を有することが可能であり、一部の実施形態においては、メモリに対するインタフェース記述子及び / 又はインデックス、例えば、定数 U R B ハンドルを有することが可能であるが、それに限定されるものではない。

【 0 0 6 6 】

一部の実施形態においては、スレッド生成ユニット 8 3 8 は、インタフェース記述子（例えば、インタフェース記述子キャッシュからの）をフェッチし、スレッド生成ユニット 8 3 8 にインタフェース記述子を供給することが可能であるインタフェース記述子フェッチユニット 8 4 0 にインタフェース記述子ポインタを供給することが可能である。更に、スレッド生成ユニット 8 3 8 に供給されるスレッド要求が、定数、例えば、定数 U R B を記憶するメモリの一部を生成されるようになっているスレッドが用いることを示す場合、スレッド生成ユニット 8 3 8 は、定数、例えば、定数 U R B ハンドルユニットからの定数 U R B ハンドルを記憶するメモリの一部にインデックスをまた、受信することが可能である。
20

【 0 0 6 7 】

スレッド生成ユニット 8 3 8 により供給されるスレッド要求は、スレッドディスパッチキュー 8 4 4 の入力に供給されることが可能である。一部の実施形態においては、スレッドディスパッチキュー 8 4 4 は、スレッドディスパッチャからスレッド生成ユニットを分離するのに役立つことが可能である。そのような実施形態においては、スレッドディスパッチキューは、スレッド生成ユニット 8 3 8 及びスレッドディスパッチャ 4 1 4 が互いに対して同時に及び / 又は非同期的に（同期化なしに）動作することを可能にするのに役立つことが可能である。一部の実施形態においては、ルートスレッド要求キュー 8 4 4 は、ファーストインファーストアウト（ F I F O ）バッファ又は何れかの他の種類のキューを有することが可能である。
30

【 0 0 6 8 】

一部の実施形態においては、ルートスレッドキュー 8 0 2 は、スレッド生成ユニット 8 3 8 から映像フロントエンド 4 0 4 を分離するのに役立つことが可能である。そのような実施形態においては、ルートスレッド要求キュー 8 0 2 は、それ故、たとえ映像フロントエンド 4 0 4 及びスレッド生成器が互いに同じ遅延を有しないとしても、映像フロントエンド 4 0 4 及びスレッド生成器が互いに対して同時に及び / 又は非同期的に（同期化なしに）動作することを可能にするのに役立つことが可能である。
40

【 0 0 6 9 】

一部の実施形態においては、（親）スレッドが子スレッドを生成するとき、親スレッドは固定機能（例えば、映像フロントエンド 4 0 4 ）のように振る舞う。その親スレッドは、U R B においてペイロードを組み立て、次いで、メモリ、例えば、U R B におけるデー
50

タについてのポインタ及び子スレッドについてのインタフェース記述子ポインタを用いてスレッドスポーナ 4 0 6 にスポンスレッドメッセージを送ることにより、子スレッドを開始する全ての必要な情報を提供することが可能である。

【 0 0 7 0 】

一部の実施形態においては、子についてのインタフェース記述子は、親とは異なることが可能であり、親が子インタフェース記述子をどのように決定するかは親次第であることが可能である。一部の実施形態は、子インタフェース記述子が同じインタフェース記述子ベースアドレスにおけるインタフェース記述子アレイからのものであることを要求することが可能である。

【 0 0 7 1 】

一部の実施形態においては、ルートスレッドは、直接的な及び間接的な子スレッドについてのメモリ、例えば、URB、空間及びスクラッチ空間等の予め割り当てられた資源を管理する役割を担うことが可能である。一部の実施形態においては、例えば、ルートスレッドは、URB空間を複数のセクションに分割することが可能である。1つの子スレッドにペイロードを供給すること、及び戻りURB空間として用いられるようになっている子スレッドに1つのセクションを転送するために、1つのセクションを用いることが可能である。子スレッドは、URBセクションをサブセクションに更に副分割することが可能であり、それら自体の子スレッドのためにそれらのサブセクションを用いることが可能である。そのような処理は繰り返されることが可能である。同様に、ルートスレッドは、そのスクラッチメモリ空間を複数のセクションに分割し、1つの子スレッドについて1つのスクラッチセクションを与えることが可能である。

【 0 0 7 2 】

一部の実施形態においては、複数のルートスレッドは、実行ユニットにおいて連続的に実行されることが可能である。一部の実施形態においては、全てのルートスレッドについて共有される1つのみのスクラッチ空間状態変数が存在し、スクラッチ空間を必要とする全ての同時のルートスレッドは同じスクラッチメモリサイズを共有することが可能である。

【 0 0 7 3 】

図9は、一部の実施形態に従った方法のフロー図900である。ここで示しているフロー図は、固定された段階の順序を必ずしも示す必要はなく、それらの実施形態は、実際的である何れかの順序で実行されることが可能である。本明細書で説明している方法の何れかは、ハードウェア、ソフトウェア（マイクロコードを含む）、ファームウェア又はそれらの装置の何れかの組み合わせにより実行されることが可能である。一部の実施形態においては、その方法は、本明細書で開示されている実施形態の1つ又はそれ以上において用いられることが可能である。

【 0 0 7 4 】

段階902で、一部の実施形態においては、スレッドを生成する要求が受信されることが可能である。一部の実施形態においては、その要求は第1ポインタを有することが可能である。一部のそのような実施形態においては、その第1ポインタはインタフェース記述子ポインタを有することが可能である。

【 0 0 7 5 】

段落904で、少なくとも受信された要求の一部に回答してキューに要求が供給されることが可能である。一部の実施形態においては、キューに供給される要求は、少なくとも受信された要求の一部に基づくことが可能である。一部の実施形態においては、キューに供給される要求は受信された要求であることが可能である。一部の実施形態においては、受信された要求及び/又は供給された要求は第1ポインタを有する。一部のそのような実施形態においては、第1ポインタはインタフェース記述子ポインタを有することが可能である。

【 0 0 7 6 】

一部の実施形態は、少なくともキューに供給された要求に回答して複数の命令をフェッ

10

20

30

40

50

チすること及びそれらの複数の命令の少なくとも1つを実行することを更に含むことが可能である。それらの複数の命令の少なくとも1つを実行することは、その少なくとも1つの命令を実行するように実行ユニットにその少なくとも1つの命令を供給することを含む。一部の更なる実施形態は、スレッドを生成するように実行ユニットからの要求を受信することと、実行ユニットからの要求の少なくとも一部に回答してキューに対する要求を供給することとを更に有することが可能である。

【0077】

特に明記しない限り、例えば、“に基づく”等の表現は、2つ以上のものに基づくことを除外しないように、“に少なくとも基づく”を意味する。更に、特に明記しない限り、例えば、“を有する”等の表現は、付加的な要素及び/又は特徴を除外しないように、制限がないとみなされる。更に、特に明記しない限り、単数表現は制限がないとみなされ、“のみ”を意味するのではない。更に、特に明記しない限り、“第1”自体は、“第2”をまた必要とするものではない。

10

【0078】

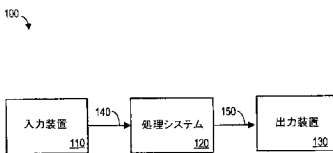
一部の実施形態は、本明細書においては、SIMD実行ユニットに関連して説明されている。しかしながら、それらの実施形態は、他の種類の実行ユニット、例えば、複数命令、複数データ(MIMD)実行ユニット等と関連付けられることが可能である。

【0079】

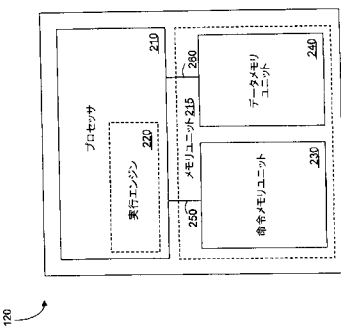
本明細書で説明している複数の実施形態は単に例示のためのものである。当業者は、他の実施形態が同時提出の特許請求の範囲のみにより制限される修正及び変形により実行されることが可能であることを、本明細書から認識することができる。

20

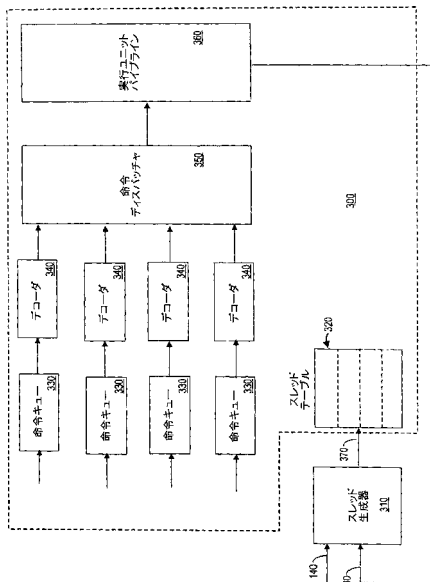
【図1】



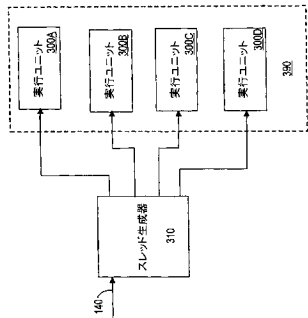
【図2】



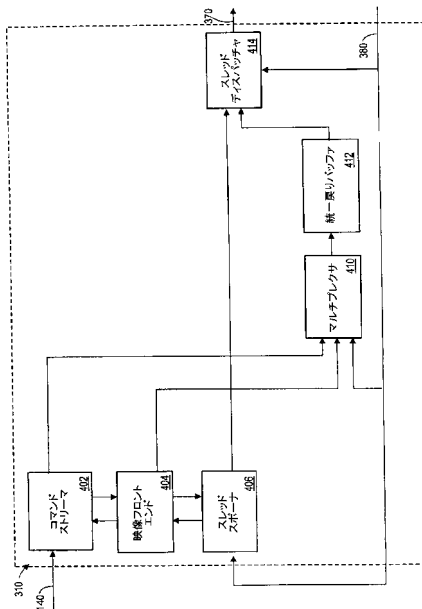
【図3A】



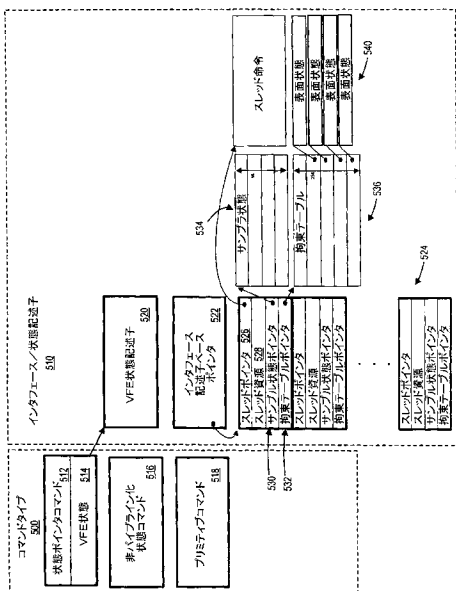
【図 3 B】



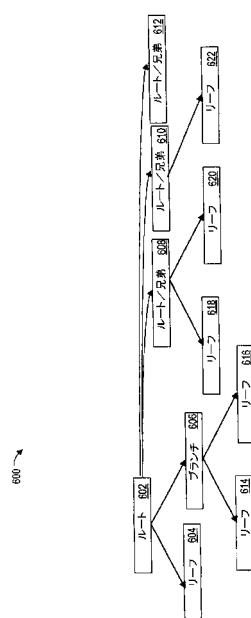
【図 4】



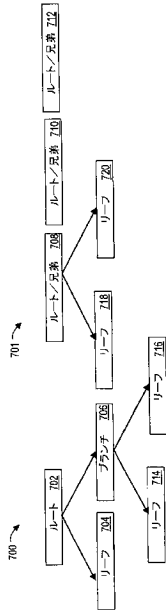
【図 5】



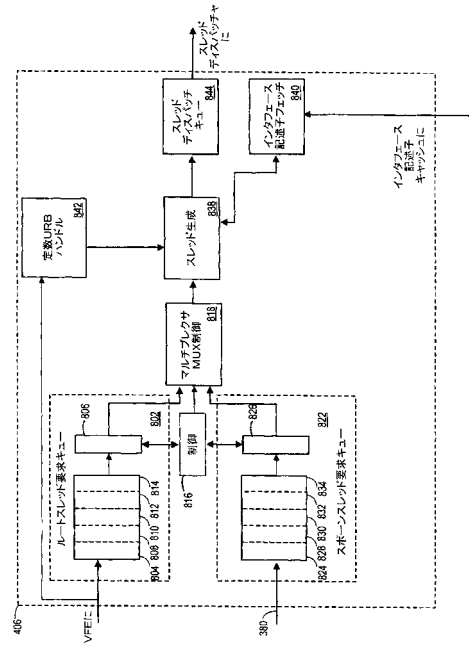
【図 6】



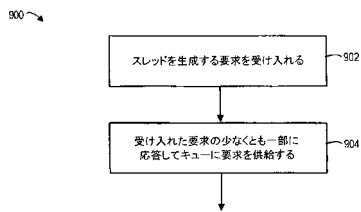
【 図 7 】



【 図 8 】



【 図 9 】



フロントページの続き

- (72)発明者 ピアッツァ, トマス エー.
アメリカ合衆国 95746 カリフォルニア州 グラナイトベイ オーク リーフ ウェイ 9
005
- (72)発明者 ローチファス, ブライアン ディー.
アメリカ合衆国 95670 カリフォルニア州 ランチョコルドヴァ ロアノーク リヴァー
コート 11078
- (72)発明者 チャラサニ, スリーデヴィ
アメリカ合衆国 95630 カリフォルニア州 フォルサム ナトマ ステーション ドライヴ
2400 アpartment ナンバー132
- (72)発明者 スパングラー, スティーヴン ジェイ.
アメリカ合衆国 95762 カリフォルニア州 エルドラドヒルズ シナモン ティール ウェ
イ 7048

審査官 青木 重徳

- (56)参考文献 特開2002-140201(JP, A)
特開平03-164945(JP, A)
特表2006-509282(JP, A)
特開2003-022183(JP, A)
齊藤徹, 浅田勝彦, “パイプライン型スレッド処理機構によるデータ駆動アーキテクチャ”, 電
子情報通信学会論文誌 D-I, 日本, 社団法人電子情報通信学会 情報・システムソサイエテ
ィ, 1997年 3月25日, Vol. J80-D-I, No. 3, p. 181-188
Amir Roth and Gurindar S. Sohi, “Effective Jump-Pointer Prefetching for Linked Data S
tructures”, Proceedings of the 26th annual international symposium on Computer archit
ecture (ISCA '99), [online], 1999年 3月, Volume 27, Issue 2, p.111-121, [retriev
ed on 2012-03-14]. Retrieved from the Internet, URL, <http://delivery.acm.org/10.1145/310000/300989/p111-roth.pdf?ip=118.155.206.157&acc=ACTIVE%20SERVICE&CFID=70441162&CFTOKEN=48258281&_acm_=1331710298_b6db394a405b676abcb3b990fd7c401b>

(58)調査した分野(Int.Cl., DB名)

G06F 9/38
G06F 9/46
JSTPlus/JMEDPlus/JST7580(JDreamII)