(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-89087
(P2009-89087A)
(43)公開日　平成21年4月23日(2009.4.23)

(51)Int.Cl.		F I			テーマコード（参考）
H04N 5/335 (2006.01)		H04N	5/335	E	5C024
		H04N	5/335	P	

審査請求 未請求　請求項の数 16　ＯＬ　（全 14 頁）

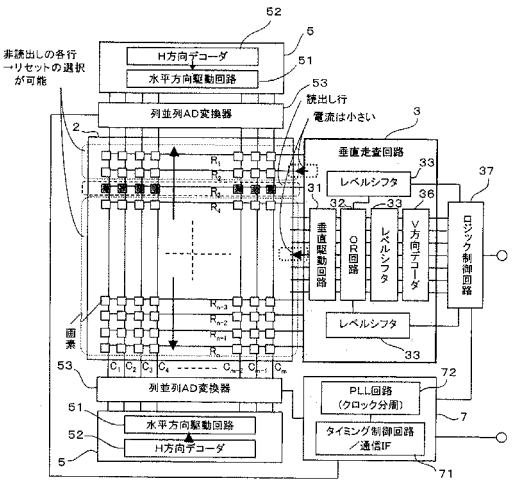
(21)出願番号　特願2007-256789 (P2007-256789)
(22)出願日　平成19年9月28日 (2007.9.28)

(71)出願人　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100089875
弁理士　野田　茂
(74)代理人　100090527
弁理士　舘野　千惠子
(72)発明者　和田　孝政
東京都港区港南１丁目７番１号　ソニー株式会社内
(72)発明者　宇井　博貴
東京都港区港南１丁目７番１号　ソニー株式会社内

最終頁に続く

(54)【発明の名称】固体撮像装置及び撮像装置

(57)【要約】
【課題】間引き読み出し駆動時に、走査回路内に配置されたレベルシフタ回路に一斉に電流が流れることを回避でき、誤動作などを防止する。
【解決手段】画素アレイ部２の各画素をレベルシフタ回路３３を介して駆動制御して画素信号の読み出しを行う画素駆動制御回路部において、画素アレイ部２の行単位または列単位で選択し、画素信号の読み出しを行う間引き読み出し制御を行う場合に、この間引き読み出し制御によって選択されない非読出し画素行または非読出し画素列をリセットする。この場合、画素駆動制御回路部からレベルシフタ回路を介さずに駆動制御させるＯＲ回路等を設けることにより、間引き読み出し駆動時にレベルシフタ回路に一斉に電流が流れることを回避し、レベルシフタ回路を起因で起こる大電流を抑制する。
【選択図】図１



【特許請求の範囲】
【請求項１】
それぞれ光電変換部を有する複数の画素を２次元方向に配置した画素アレイ部と、
前記画素アレイ部を行方向または列方向に順次走査し、前記画素アレイ部の各画素をレベルシフタ回路を介して駆動制御して画素信号の読み出しを行う画素駆動制御手段とを有し、
前記画素駆動制御手段は、
前記画素アレイ部の画素を行単位または列単位で選択し、画素信号の読み出しを行う間引き読み出し制御手段と、
前記間引き読み出し制御手段によって選択されない非読出し画素行または非読出し画素列をリセットするリセット制御手段と、
前記間引き読み出し制御手段による間引き読み出し駆動時に、前記画素駆動制御手段から前記レベルシフタ回路を介さずに駆動制御させるゲート手段とを有し、
前記間引き読み出し駆動時にレベルシフタ回路に一斉に電流が流れることを回避し、レベルシフタ回路を起因で起こる大電流を抑制する、
ことを特徴とする固体撮像装置。
【請求項２】
前記リセット制御手段は、非読出し行のリセット操作において、行毎のリセット操作は選択された行のみ実行し、あるいは選択された複数行について同時に実行し、あるいは選択された行について一定時間間隔ごとに実行し、あるいは選択された行について予め定められた順序に基づいた実行を可能にすることを特徴とする請求項１記載の固体撮像装置。
【請求項３】
前記画素アレイ部と画素駆動制御手段が同一半導体チップ上に設けられていることを特徴とする請求項１記載の固体撮像装置。
【請求項４】
それぞれ光電変換部を有する複数の画素を２次元方向に配置した画素アレイ部と、
前記画素アレイ部を行方向または列方向に順次走査し、前記画素アレイ部の各画素をレベルシフタ回路を介して駆動制御して画素信号の読み出しを行う画素駆動制御手段とを有し、
前記画素駆動制御手段は、
前記画素アレイ部の画素を画素単位で選択し、画素信号の読み出しを行う間引き読み出し制御手段と、
前記間引き読み出し制御手段によって選択されない非読出し画素をリセットするリセット制御手段と、
前記間引き読み出し制御手段による間引き読み出し駆動時に、前記画素駆動制御手段から前記レベルシフタ回路を介さずに駆動制御させるゲート手段とを有し、
前記間引き読み出し駆動時にレベルシフタ回路に一斉に電流が流れることを回避し、レベルシフタ回路を起因で起こる大電流を抑制する、
ことを特徴とする固体撮像装置。
【請求項５】
前記画素アレイ部の各画素毎にＯＲ回路を配置し、前記ＯＲ回路の一方の入力端に行リセット線を接続し、他方の入力端に列アドレス選択線を接続し、前記ＯＲ回路の出力端を各画素内に設置されているリセットトランジスタのゲート部に接続し、列アドレスの出力と行リセット信号の論理和（ＯＲ）をとることにより、有効画素領域内で予め指定された部分領域について画素のリセット操作は行わず、指定領域以外の領域については画素のリセット操作を行うことを特徴とする請求項４記載の固体撮像装置。
【請求項６】
前記画素アレイ部の各画素毎にＮＯＲ回路を配置し、前記ＮＯＲ回路の一方の入力端に行リセット線を接続し、他方の入力端に列アドレス選択線を接続し、前記ＮＯＲ回路の出力端を各画素内に設置されているリセットトランジスタのゲート部に接続し、列アドレス

の出力と行リセット信号の論理和（ＮＯＲ）をとることにより、有効画素領域内で予め指定された部分領域について画素のリセット操作を行い、指定領域以外の領域については画素のリセット操作を行なわないことを特徴とする請求項４記載の固体撮像装置。
【請求項７】
指定された列アドレス及び行リセットアドレスを有するように予めプログラム化された幾つかのモードを格納したメモリ部を有し、前記メモリ部に格納されたデータに基づいて前記間引き読み出しの駆動制御を行うことを特徴とする請求項４記載の固体撮像装置。
【請求項８】
前記画素アレイ部と画素駆動制御手段が同一半導体チップ上に設けられていることを特徴とする請求項４記載の固体撮像装置。
【請求項９】
固体撮像装置を用いた撮像部と、前記撮像部を制御する制御部と、前記撮像部を操作する操作部とを有し、
前記固体撮像装置は、
それぞれ光電変換部を有する複数の画素を２次元方向に配置した画素アレイ部と、
前記画素アレイ部を行方向または列方向に順次走査し、前記画素アレイ部の各画素をレベルシフタ回路を介して駆動制御して画素信号の読み出しを行う画素駆動制御手段とを有し、
前記画素駆動制御手段は、
前記画素アレイ部の画素を行単位または列単位で選択し、画素信号の読み出しを行う間引き読み出し制御手段と、
前記間引き読み出し制御手段によって選択されない非読出し画素行または非読出し画素列をリセットするリセット制御手段と、
前記間引き読み出し制御手段による間引き読み出し駆動時に、前記画素駆動制御手段から前記レベルシフタ回路を介さずに駆動制御させるゲート手段とを有し、
前記間引き読み出し駆動時にレベルシフタ回路に一斉に電流が流れることを回避し、レベルシフタ回路を起因で起こる大電流を抑制する、
ことを特徴とする撮像装置。
【請求項１０】
前記リセット制御手段は、非読出し行のリセット操作において、行毎のリセット操作は選択された行のみ実行し、あるいは選択された複数行について同時に実行し、あるいは選択された行について一定時間間隔ごとに実行し、あるいは選択された行について予め定められた順序に基づいた実行を可能にすることを特徴とする請求項９記載の撮像装置。
【請求項１１】
前記画素アレイ部と画素駆動制御手段が同一半導体チップ上に設けられていることを特徴とする請求項９記載の撮像装置。
【請求項１２】
固体撮像装置を用いた撮像部と、前記撮像部を制御する制御部と、前記撮像部を操作する操作部とを有し、
前記固体撮像装置は、
それぞれ光電変換部を有する複数の画素を２次元方向に配置した画素アレイ部と、
前記画素アレイ部を行方向または列方向に順次走査し、前記画素アレイ部の各画素をレベルシフタ回路を介して駆動制御して画素信号の読み出しを行う画素駆動制御手段とを有し、
前記画素駆動制御手段は、
前記画素アレイ部の画素を画素単位で選択し、画素信号の読み出しを行う間引き読み出し制御手段と、
前記間引き読み出し制御手段によって選択されない非読出し画素をリセットするリセット制御手段と、
前記間引き読み出し制御手段による間引き読み出し駆動時に、前記画素駆動制御手段か

ら前記レベルシフタ回路を介さずに駆動制御させるゲート手段とを有し、
前記間引き読み出し駆動時にレベルシフタ回路に一斉に電流が流れることを回避し、レベルシフタ回路を起因で起こる大電流を抑制する、
ことを特徴とする撮像装置。
【請求項１３】
前記画素アレイ部の各画素毎にＯＲ回路を配置し、前記ＯＲ回路の一方の入力端に行リセット線を接続し、他方の入力端に列アドレス選択線を接続し、前記ＯＲ回路の出力端を各画素内に設置されているリセットトランジスタのゲート部に接続し、列アドレスの出力と行リセット信号の論理和（ＯＲ）をとることにより、有効画素領域内で予め指定された部分領域について画素のリセット操作は行わず、指定領域以外の領域については画素のリセット操作を行うことを特徴とする請求項１２記載の撮像装置。
【請求項１４】
前記画素アレイ部の各画素毎にＮＯＲ回路を配置し、前記ＮＯＲ回路の一方の入力端に行リセット線を接続し、他方の入力端に列アドレス選択線を接続し、前記ＮＯＲ回路の出力端を各画素内に設置されているリセットトランジスタのゲート部に接続し、列アドレスの出力と行リセット信号の論理和（ＮＯＲ）をとることにより、有効画素領域内で予め指定された部分領域について画素のリセット操作を行い、指定領域以外の領域については画素のリセット操作を行なわないことを特徴とする請求項１２記載の撮像装置。
【請求項１５】
指定された列アドレス及び行リセットアドレスを有するように予めプログラム化された幾つかのモードを格納したメモリ部を有し、前記メモリ部に格納されたデータに基づいて前記間引き読み出しの駆動制御を行うことを特徴とする請求項１２記載の撮像装置。
【請求項１６】
前記画素アレイ部と画素駆動制御手段が同一半導体チップ上に設けられていることを特徴とする請求項１２記載の撮像装置。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、ＣＭＯＳイメージセンサ等の各種固体撮像装置及び撮像装置に関し、特に間引き読み出し機能を備えた固体撮像装置及び撮像装置に関する。
【背景技術】
【０００２】
近年、ＣＭＯＳイメージセンサに代表される固体撮像装置の開発が活発化しており、各種のカメラ装置や携帯電話機等に用いられている。
ＣＭＯＳイメージセンサは、同一半導体基板上に、フォトダイオードを含む複数の画素を２次元方向に配置した撮像領域と、この撮像領域の外部に形成された周辺回路領域とを設けたものである。
そして、撮像領域には、各画素毎に、フォトダイオードの信号電荷をＦＤ（フローティングデフュージョン）に読み出す読み出しトランジスタ（転送ゲート）、ＦＤの電位に応じた画素信号を生成する増幅トランジスタ、画素信号を出力する画素を選択する選択トランジスタ、ＦＤをリセットするリセットトランジスタ等の各種画素トランジスタを設け、各画素のフォトダイオードで検出した信号電荷を各画素トランジスタの駆動によって画素信号に変換し、画素列毎に設けた信号線より出力する。
また、周辺回路領域には、画素アレイ部に各種の制御パルスを供給して画素信号の読み出しを制御する駆動制御回路、読み出された画素信号に対して各種の信号処理を行う信号処理回路、駆動電源を生成する電源制御回路等が設けられている。
また、半導体基板上には、絶縁膜、トランジスタの駆動電極膜、配線膜、遮光膜といった積層膜が順次形成され、さらに平坦化膜等を介してカラーフィルタ、マイクロレンズ等が形成されている。
このようなＣＭＯＳイメージセンサでは、各画素トランジスタの駆動によって各画素の

フォトダイオードに蓄積した信号電荷を各画素毎に画素信号に変換し、これを画素列毎に出力して後段の信号処理回路に送り、ノイズ除去や信号処理等を施して出力する。

【０００３】

図８は従来のＣＭＯＳイメージセンサの構成例を示すブロック図である。

図示のように、本実施の形態による固体撮像装置は、１行分の画素信号を同時に読み出すタイプのＸ－Ｙアドレス型の列並列読出し方式のＣＭＯＳイメージセンサの例を示している。

図８に示すように、本例のＣＭＯＳイメージセンサは、それぞれ光電変換部を有する複数の画素を２次元方向に配置した画素アレイ部２と、この画素アレイ部２を垂直方向に行単位で走査する垂直走査回路３と、画素アレイ部２の各画素信号を列毎に取り込んでＣＤＳ処理やその他の信号処理を行うカラムＣＤＳ回路４と、このカラムＣＤＳ回路４を水平方向に走査する水平走査回路５と、カラムＣＤＳ回路４から転送される画素信号にさらに必要な信号処理を施して画像信号として出力する出力回路６と、各部の動作タイミングを同期させるためのタイミング発生回路７とを有する。

画素アレイ部２は、その上部に配置されるカラーフィルタの分光特性に応じた色成分光を受光して光量に応じた画素信号を生成する。

また、垂直走査回路３は、レベルシフタ８によってレベル調整した各種のパルス信号により、画素アレイ部２の各画素回路を制御し、撮像動作や画素信号の読み出し動作を制御する。

【０００４】

また、各画素は、１つの光電変換部（フォトダイオード）と例えば４つのＭＯＳトランジスタによって構成されており、フォトダイオードで検出した信号電荷を読み出しトランジスタでＦＤ（フローティングデフュージョン）に転送し、このＦＤの電位を増幅トランジスタによって検出、増幅して画素信号に変換し、この増幅トランジスタの出力画素信号を選択トランジスタの動作に基づき、所定の出力タイミングで垂直信号線９に出力する。また、ＦＤの電位は所定のリセットタイミングでリセットトランジスタによって電源電位にリセットする。

【０００５】

また、このＣＭＯＳイメージセンサでは、カラムＣＤＳ方式のインターレス複数行加算読出し方式が採用され、画素の行毎の電荷蓄積時間のバラツキをなくし画像のちらつきを抑える目的で、画素の読み出し及びリセットとは別に、必要な行について画素リセットのみを実行させ、全ての行の画素の蓄積時間を統一するようにしている（たとえば特許文献１参照）。

さらに、残像やブルーミングをなくすために、フォトダイオードで光電変換された電荷を読み出した後に、転送ゲートとリセットゲートをともにオンさせて残留電荷をなくし、残像のない高品質な画像を得るようにしたものも提案されている（たとえば特許文献２参照）。

【特許文献１】特開２００５－１９１８１４号公報

【特許文献２】特開２０００－２０９５０８号公報

【発明の開示】

【発明が解決しようとする課題】

【０００６】

しかしながら、上記特許文献１及び特許文献２において開示される従来技術のうち、前者では、ＣＭＯＳイメージセンサの間引き読み出し時に通常読み出さない画素は、ブルーミングの影響を抑制するために常にリセット状態にする必要があり、通常駆動状態から、間引き読み出し駆動へ移行するときに、読み出さない画素（非読出し行）が一斉にリセット状態へ遷移するために、レベルシフタ回路へ一斉に電流が流れて、ラッチアップによる誤動作などの問題が発生した。

また、後者は、インターレス方式に特定しているものではないが、リセット時に選択行に接続されている全ての画素の転送ゲートとリセットゲートが一斉にオンする場合に、昇

圧バッファに過電流が流れ、前者と同様に素子の誤動作などに繋がる危険性がある。
さらに上述した例では、過電流に対して電源ラインを太くしなければならないという配線上の問題も加わる。

【０００７】

そこで本発明は、間引き読み出し駆動時に、走査回路内に配置されたレベルシフタ回路に一斉に電流が流れることを回避でき、誤動作などを防止できる固体撮像装置及び撮像装置を提供することを目的とする。

【課題を解決するための手段】

【０００８】

上述の目的を達成するため、本発明の固体撮像装置は、それぞれ光電変換部を有する複数の画素を２次元方向に配置した画素アレイ部と、前記画素アレイ部を行方向または列方向に順次走査し、前記画素アレイ部の各画素をレベルシフタ回路を介して駆動制御して画素信号の読み出しを行う画素駆動制御手段とを有し、前記画素駆動制御手段は、前記画素アレイ部の画素を行単位または列単位で選択し、画素信号の読み出しを行う間引き読み出し制御手段と、間引き読み出し制御手段によって選択されない非読出し画素行または非読出し画素列をリセットするリセット制御手段と、前記間引き読み出し制御手段による間引き読み出し駆動時に、前記画素駆動制御手段から前記レベルシフタ回路を介さずに駆動制御させるゲート手段とを有し、前記間引き読み出し駆動時にレベルシフタ回路に一斉に電流が流れることを回避し、レベルシフタ回路を起因で起こる大電流を抑制することを特徴とする。

【０００９】

また本発明の撮像装置は、固体撮像装置を用いた撮像部と、前記撮像部を制御する制御部と、前記撮像部を操作する操作部とを有し、前記固体撮像装置は、それぞれ光電変換部を有する複数の画素を２次元方向に配置した画素アレイ部と、前記画素アレイ部を行方向または列方向に順次走査し、前記画素アレイ部の各画素をレベルシフタ回路を介して駆動制御して画素信号の読み出しを行う画素駆動制御手段とを有し、前記画素駆動制御手段は、前記画素アレイ部の画素を行単位または列単位で選択し、画素信号の読み出しを行う間引き読み出し制御手段と、前記間引き読み出し制御手段によって選択されない非読出し画素行または非読出し画素列をリセットするリセット制御手段と、前記間引き読み出し制御手段による間引き読み出し駆動時に、前記画素駆動制御手段から前記レベルシフタ回路を介さずに駆動制御させるゲート手段とを有し、前記間引き読み出し駆動時にレベルシフタ回路に一斉に電流が流れることを回避し、レベルシフタ回路を起因で起こる大電流を抑制することを特徴とする。

【発明の効果】

【００１０】

本発明の固体撮像装置及び撮像装置によれば、間引き読み出し駆動時に、前記画素駆動制御手段から前記レベルシフタ回路を介さずに駆動制御させるゲート手段を有することにより、間引き読み出し駆動時にレベルシフタ回路に一斉に電流が流れることを回避し、レベルシフタ回路を起因で起こる大電流を抑制でき、レベルシフタ回路に起因する誤動作などを防止できる効果がある。

【発明を実施するための最良の形態】

【００１１】

図１は本発明の実施の形態による固体撮像装置の全体構成例を示すブロック図である。また、図２は図１に示すＣＭＯＳイメージセンサの垂直走査回路の構成例を示すブロック図である。

図示のように、本実施の形態によるＣＭＯＳイメージセンサは、画素アレイ部２と、垂直走査回路３と、カラムＣＤＳ回路４と、水平走査回路５と、出力回路６と、タイミング発生回路７とを有する。垂直走査回路３は、垂直駆動回路３１、ＯＲ回路３２、レベルシフタ３３と、Ｖ方向デコーダ３６とを有し、これらを制御するロジック制御回路３７が付加されている。

本例では、間引き読み出し駆動の際に、オア回路３２と３つのレベルシフタ３３を設けることにより、レベルシフタに一斉に電流が流れることを回避するものである。
また、水平走査回路５は、画素アレイ部２の上下両側に配置されており、それぞれ水平方向駆動回路５１と、Ｈ方向デコーダ５２とを有し、前段の列並列ＡＤ変換器５３によってデジタル化された画素信号を入力して処理する。
また、タイミング発生回路７は、外部からの指示データなどを入力してタイミングを制御するタイミング制御回路／通信ＩＦ７１と、クロックの分周などを行うＰＬＬ回路７２を有する。

【００１２】

また、図２に示す垂直駆動回路３１は、行選択ゲートＳＥＬ、リセットゲートＲＳＴ、読み出しゲートＲＯＧ（Ｂ、Ｒ）、の全ラインをリセット操作する場合の構成であり、各ゲートを制御するＯＲ回路３２Ａの一方の入力にＶ方向デコーダ３６の各出力がレベルシフタ（Ｌ／Ｓ）３４を介して接続され、他方の入力に垂直駆動回路３１からの出力信号線が直接接続されている。また、ＯＲ回路３２Ａの他方の入力には、レベルシフタ（Ｌ／Ｓ）３５を介してＯＲ回路３２Ｂの出力信号も接続されている。
このような回路において、間引き読み出し時には、間引く行の画素を常にリセットするために、図２に示すＰＶＤＦＲＳＴＳ信号と、ＰＶＤＦＲＯＧＥＳ、ＰＶＤＦＲＯＧＯＳ信号を動作させ、一斉に、間引く行の画素をリセットさせる。なお、この図２では、１つの画素に関して記載しているが、複数の画素に展開させるときは、一斉動作をさせたい行だけ、各行のＯＲ回路に接続する。
画素をリセットする行は、必ずＰＶＤＦＲＯＧＥＳ，ＰＶＤＦＲＯＧＯＳを接続し、動作させる必要があるが、ＰＶＤＦＲＳＴＳの信号線は、動作させる、動作させない、の２つの方法がとれる。また各信号線の動作は同時でも、同時でなくてもよい。

【００１３】

図３は本実施の形態における列毎のリセット制御可能な駆動回路の構成例（実施例１）を示す回路図である。
図示のように、列方向の画素信号線８１と行選択線８２をＯＲ回路８３に入力し、論理和をとった回路構成を用いることにより、選択した列について一列全体の画素リセット操作を行うことができる。この場合、上下にセレクタ回路（図示せず）を配置することにより、上下方向間引き読出しに対応した列方向のリセット操作を可能にしている。

【００１４】

図４は本実施の形態における画素毎のリセット制御可能な駆動回路の構成例（実施例２）を示す回路図である。
本例では、図３で示したＯＲ回路８３の列接続線の各々に列選択用のスイッチ８４を配置したことにより、画素毎のリセット制御を可能にしている。図３で示す実施例１より、図４で示す実施例２の方が行列で指定する画素について個別にリセット操作ができるので、柔軟なリセット制御が実現できる。
ここでは詳細は省略するが、図５（実施例３）に示すように、さらにメモリ１などを併用して、プログラム化したリセット操作も可能となり、例えば、画面中央の動きの速い移動物体に対応する画素領域に対しては速いリセット操作を行い、それ以外の周囲映像に対してはリセット時間を遅らせるような制御、すなわち、移動物体を含む特定領域のみを鮮明に撮像し、それ以外の周囲映像はボカすような撮像効果も演出できる。図５において、メモリ１には、モード１、モード２等といったプログラム化したデータが格納されており、ユーザは、このデータを適宜選択して読み出し、撮像処理に利用する。また、図５では、水平走査回路５に列選択回路５４が設けられ、画素単位の選択が可能な構成となっている。

【００１５】

図６は本実施の形態において画素内にＯＲ回路を設けて画素単位の選択を行う駆動回路の構成例（実施例４）を示す回路図である。
図示のように、本例では、各画素内にリセットトランジスタ９０をリセットさせるため

のＯＲ回路９２が設けられている。図中、縦方向の信号線９１は、図２で示されるロジック制御回路３７より供給される制御信号をＯＲ回路９２の第１の入力端に入力させるための制御信号線であり、配線抵抗による電圧降下を抑制するために上下にレベルシフタ９３が配置されている。また、横方向に配置されたレベルシフタ（図示せず）に接続されている横方向の制御信号線９４はＯＲ回路９２の第２の入力端に入力され、第１の入力端に入力された制御信号とＯＲがとられるように構成されている。この例では、ロジック制御回路３７内であらかじめ指定された行リセットアドレスにしたがってリセット信号ＲＳＴの制御を行う。

【００１６】

なお、本例においても図５に示したメモリ１を用いて、あらかじめ記録されている行・列アドレスにしたがって有効画素領域の一部領域はリセットさせず、その他の領域をリセットさせることができる。例えば、ＯＲ回路９２の出力が画素内のリセットトランジスタ９０のゲートに接続した構成において、図示のような列方向の制御信号と行方向のリセット信号を用い、画素内でＯＲをとり、一部の画素領域をリセットさせず、その他の画素領域をリセット状態におくことができる。

【００１７】

図７は本実施の形態において画素内にＮＯＲ回路を設けて画素単位の選択を行う駆動回路の構成例（実施例５）を示す回路図である。

図示のように、本例では、各画素内にリセットトランジスタ９０をリセットさせるためのＮＯＲ回路９５が設けられている。例えば、ＮＯＲ回路９５の出力が画素内のリセットトランジスタ９０のゲートに接続した構成において、図示のような列方向の制御信号と行方向のリセット信号を用い、画素内でＮＯＲをとり、一部の画素領域をリセットさせず、その他の画素領域をリセット状態におくことができる（なお、リセット領域が図６と反対になる）。

【００１８】

以上のような本発明の各実施例によれば、次のような効果を得ることも可能である。

（１）ラッチアップが起こらない。

（２）誤動作が避けられる。

（３）非読み出し行に対して、リセットの制御がフレキシブルに行える。

（４）非読み出し列に対して、リセットの制御がフレキシブルに行える。

（５）プログラマブルリセットが可能になる。

（６）消費電流が少なくて済む（例えば、省電力モードなどの設定が容易になる）。

（７）電源ラインを太くしないで済む。

【００１９】

以上、本発明による固体撮像装置の具体的な実施例について説明したが、本発明はさらに種々の変形が可能である。

例えば、上記実施例では、画素内に４つのトランジスタを設けた構成について説明したが、他の画素構成を有するＣＭＯＳイメージセンサやＣＣＤイメージセンサ等、その他の各種固体撮像装置に広く適用できるものである。

また、固体撮像装置は１チップ上にイメージセンサ等を構成したものに限らず、撮像部と信号処理部や光学系がまとめてパッケージ化されたモジュールであってもよい。また、カメラシステムや携帯電話器に利用される装置であってもよい。なお、本発明では、イメージセンサの機能を単体で有する構成を固体撮像装置といい、固体撮像装置と他の要素（制御回路、操作部、表示部、さらにはデータ蓄積機能、通信機能等）と一体化された構成を撮像装置というものとする。

【００２０】

以下、本発明を適用した撮像装置の具体例を説明する。

図９は上記実施例のイメージセンサを用いたカメラ装置の構成例を示すブロック図である。

図９において、撮像部３１０は、例えば図１や図２に示したイメージセンサを用いて被

写体の撮像を行うものであり、撮像信号をメイン基板に搭載されたシステムコントロール部３２０に出力する。
すなわち、撮像部３１０では、上述したイメージセンサの出力信号に対し、ＡＧＣ（自動利得制御）、ＯＢ（オプティカルブラック）クランプ、ＣＤＳ（相関二重サンプリング）、Ａ／Ｄ変換といった処理を行い、デジタル撮像信号を生成して出力する。
【００２１】
なお、本例では、撮像部３１０内で撮像信号をデジタル信号に変換してシステムコントロール部３２０に出力する例について示しているが、撮像部３１０からアナログ撮像信号をシステムコントロール部３２０に送り、システムコントロール部３２０側でデジタル信号に変換する構成であってもよい。
また、撮像部３１０内での具体的な制御動作や信号処理等も従来から種々の方法が提供されており、本発明の撮像装置において特に限定しないことは勿論である。
【００２２】
また、撮像光学系３００は、鏡筒内に配置されたズームレンズ３０１や絞り機構３０２等を含み、イメージセンサの受光部に被写体像を結像させるものであり、システムコントロール部３２０の指示に基づく駆動制御部３３０の制御により、各部を機械的に駆動してオートフォーカス等の制御が行われる。
【００２３】
また、システムコントロール部３２０には、ＣＰＵ３２１、ＲＯＭ３２２、ＲＡＭ３２３、ＤＳＰ３２４、外部インターフェース３２５等が設けられている。
ＣＰＵ３２１は、ＲＯＭ３２２及びＲＡＭ３２３を用いて本カメラ装置の各部に指示を送り、システム全体の制御を行う。
ＤＳＰ３２４は、撮像部３１０からの撮像信号に対して各種の信号処理を行うことにより、所定のフォーマットによる静止画または動画の映像信号（例えばＹＵＶ信号等）を生成する。
外部インターフェース３２５には、各種エンコーダやＤ／Ａ変換器が設けられ、システムコントロール部３２０に接続される外部要素（本例では、ディスプレイ３６０、メモリ媒体３４０、操作パネル部３５０）との間で、各種制御信号やデータをやり取りする。
【００２４】
ディスプレイ３６０は、本カメラ装置に組み込まれた例えば液晶パネル等の小型表示器であり、撮像した画像を表示する。なお、このようなカメラ装置に組み込まれた小型表示器に加えて、外部の大型表示装置に画像データを伝送し、表示できる構成とすることも勿論可能である。
メモリ媒体３４０は、例えば各種メモリカード等に撮影された画像を適宜保存しておけるものであり、例えばメモリ媒体コントローラ３４１に対してメモリ媒体を交換可能なものとなっている。メモリ媒体３４０としては、各種メモリカードの他に、磁気や光を用いたディスク媒体等を用いることができる。
操作パネル部３５０は、本カメラ装置で撮影作業を行うに際し、ユーザが各種の指示を行うための入力キーを設けたものであり、ＣＰＵ３２１は、この操作パネル部３５０からの入力信号を監視し、その入力内容に基づいて各種の動作制御を実行する。
【００２５】
このようなカメラ装置に、本発明の固体撮像装置を適用することにより、有効なウインドウ切り出し機能を備えた高機能の撮像装置を提供できる。なお、以上の構成において、システムの構成要素となる単位デバイスや単位モジュールの組み合わせ方、セットの規模等については、製品化の実情等に基づいて適宜選択することが可能であり、本発明の撮像装置は、種々の変形を幅広く含むものとする。
【００２６】
また、本発明の固体撮像装置及び撮像装置において、撮像対象（被写体）としては、人や景色等の一般的な映像に限らず、偽札検出器や指紋検出器等の特殊な微細画像パターンの撮像にも適用できるものである。

この場合の装置構成としては、図９に示した一般的なカメラ装置ではなく、さらに特殊な撮像光学系やパターン解析を含む信号処理系を含むことになり、この場合にも本発明の作用効果を十分発揮して、精密な画像検出を実現することが可能となる。

さらに、遠隔医療や防犯監視、個人認証等のように遠隔システムを構成する場合には、上述のようにネットワークと接続した通信モジュールを含む装置構成とすることも可能であり、幅広い応用が実現可能である。

【図面の簡単な説明】

【００２７】

【図１】本発明の実施の形態によるＣＭＯＳイメージセンサの構成例を示すブロック図である。

【図２】図１に示すＣＭＯＳイメージセンサの垂直走査回路の構成例を示す回路図である。

【図３】図１に示すＣＭＯＳイメージセンサに設けられる駆動回路の構成例（実施例１）を示す回路図である。

【図４】図１に示すＣＭＯＳイメージセンサに設けられる駆動回路の構成例（実施例２）を示す回路図である。

【図５】図１に示すＣＭＯＳイメージセンサに設けられる駆動回路の構成例（実施例３）を示す回路図である。

【図６】図１に示すＣＭＯＳイメージセンサに設けられる駆動回路の構成例（実施例４）を示す回路図である。

【図７】図１に示すＣＭＯＳイメージセンサに設けられる駆動回路の構成例（実施例５）を示す回路図である。

【図８】従来のＣＭＯＳイメージセンサの構成例を示すブロック図である。

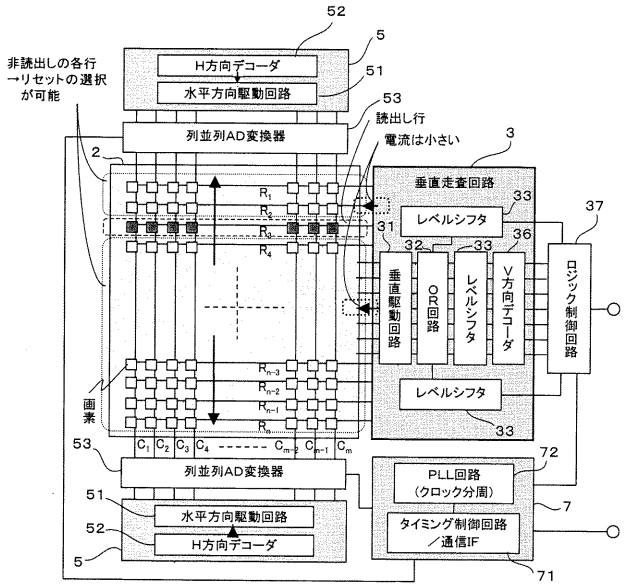
【図９】本発明の他の実施例によるカメラ装置の構成例を示すブロック図である。

【符号の説明】

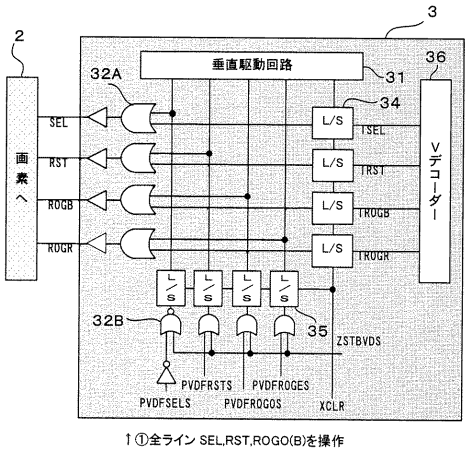
【００２８】

２……画素アレイ部、３……垂直走査回路、５……水平走査回路、６……出力回路、７……タイミング発生回路、３３……レベルシフタ、３２……ＯＲ回路。

【図１】

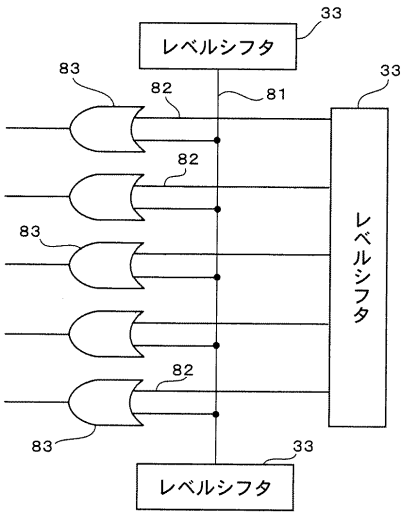


【図２】

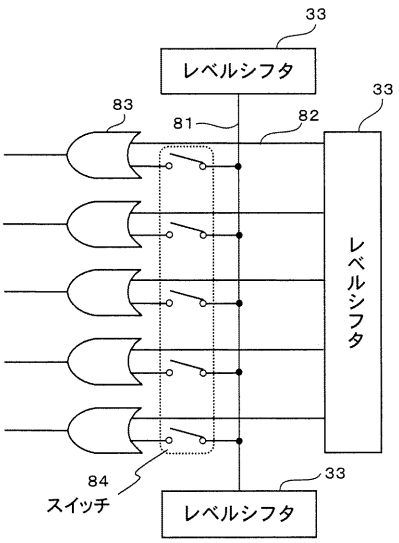


↑①全ライン SEL,RST,ROGO(B)を操作

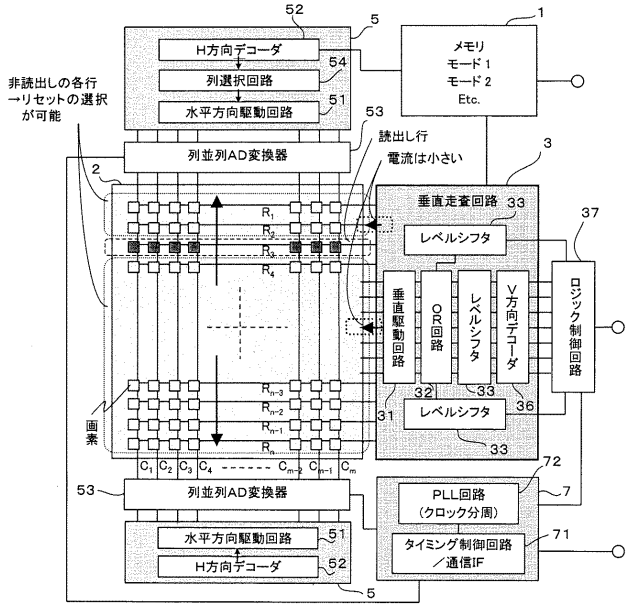
【図３】



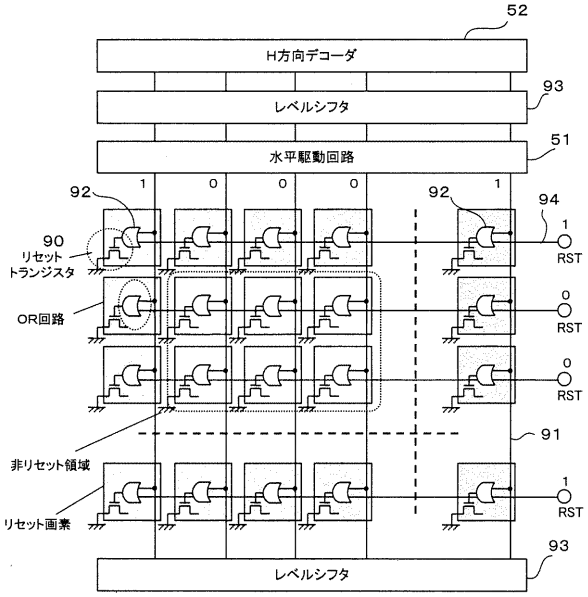
【図４】



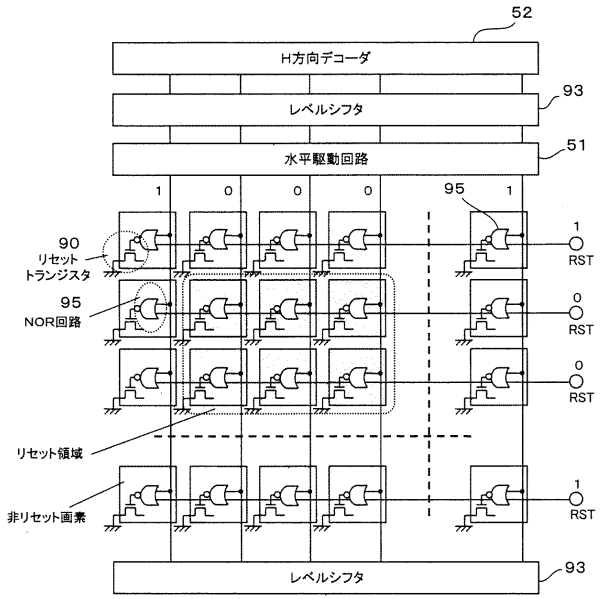
【図５】


52
5
1
H方向デコーダ
54
列選択回路
51
水平方向駆動回路
メモリ
モード１
モード２
Etc.
非読出しの各行
→リセットの選択
が可能
53
読出し行
電流は小さい
列並列AD変換器
2
3
垂直走査回路
33
レベルシフタ
37
垂直駆動回路
OR回路
レベルシフタ
V方向デコーダ
ロジック制御回路
32
33
36
31
画素
72
7
PLL回路
（クロック分周）
タイミング制御回路
／通信IF
71
5

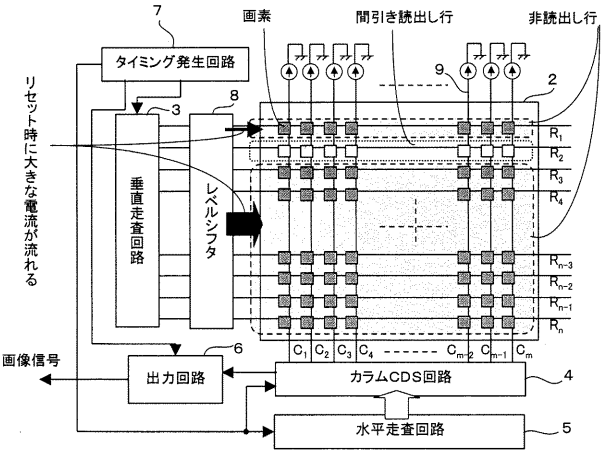
【図６】


52
H方向デコーダ
93
レベルシフタ
51
水平駆動回路
92
94
90
リセット
トランジスタ
OR回路
RST
91
非リセット領域
リセット画素

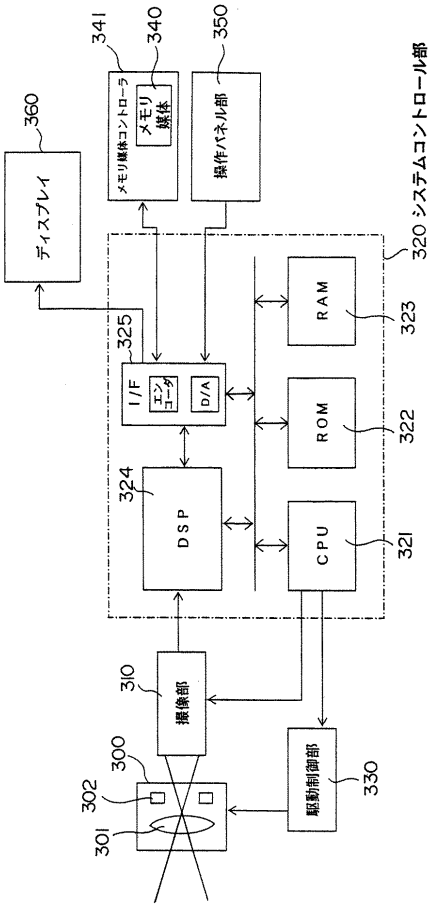
【図７】


52
H方向デコーダ
93
レベルシフタ
51
水平駆動回路
95
90
リセット
トランジスタ
95
NOR回路
RST
リセット領域
非リセット画素

【図８】


7
タイミング発生回路
画素
間引き読出し行
非読出し行
9
2
3
8
垂直走査回路
レベルシフタ
リセット時に大きな電流が流れる
6
出力回路
画像信号
カラムCDS回路
4
水平走査回路
5

【図９】


341
340
350
360
メモリ媒体コントローラ
メモリ媒体
操作パネル部
ディスプレイ
320 システムコントロール部
325
I/F
エンコーダ
D/A
RAM
323
ROM
322
324
DSP
CPU
321
310
撮像部
300
302
301
駆動制御部
330

フロントページの続き

(72)発明者　前田　憲哉
東京都港区港南１丁目７番１号　ソニー株式会社内
Ｆターム(参考) 5C024 CX03　GX03　GY31　GZ01　HX12　HX52　JX09