

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年6月8日(08.06.2023)



(10) 国際公開番号

**WO 2023/100490 A1**

(51) 国際特許分類:

*G11C 11/54* (2006.01) *G06N 3/063* (2023.01)  
*G06G 7/60* (2006.01) *G11C 11/412* (2006.01)

(21) 国際出願番号: PCT/JP2022/038204

(22) 国際出願日: 2022年10月13日(13.10.2022)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2021-193741 2021年11月30日(30.11.2021) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

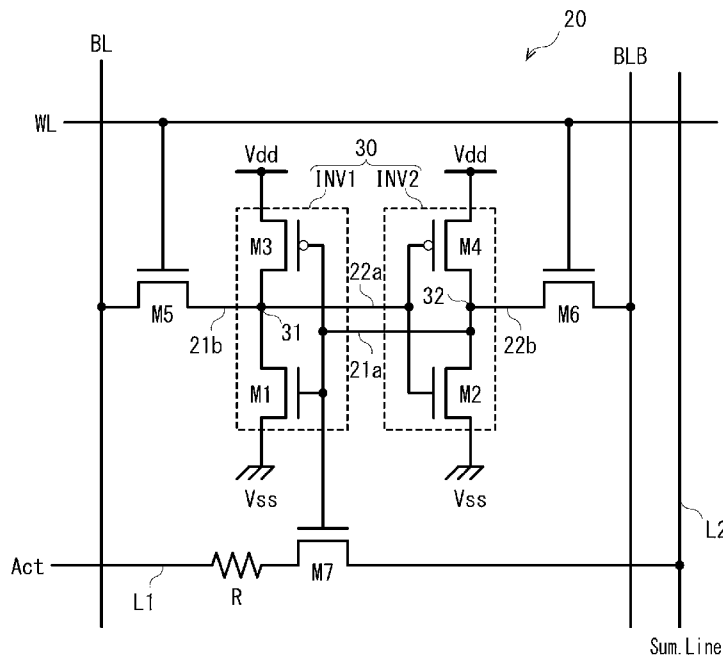
(72) 発明者: 齋藤 大輔(SAITO, Daisuke); 〒2430014  
神奈川県厚木市旭町四丁目14番1号  
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 弁理士法人つばさ国際特許事務所 (TSUBASA PATENT PROFESSIONAL CORPORATION); 〒1600022 東京都新宿区新宿1丁目15番9号さわだビル3階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO,

(54) Title: COMPUTATION DEVICE AND SOLID-STATE IMAGING DEVICE

(54) 発明の名称: 演算装置および固体撮像装置



(57) Abstract: A computation device according to one embodiment of the present disclosure comprises a memory cell array including a plurality of memory cells that each comprise: a first inverter having a first input unit and a first output unit; a second inverter having a second input unit connected to the first output unit, and a second output unit connected to the first input unit and outputting a first signal; a first transistor into which the first signal is input from the second output unit; and a resistor connected in series to the first transistor.

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

---

(57) 要約: 本開示の一実施形態の演算装置は、第1入力部および第1出力部を有する第1インバータと、前記第1出力部に接続される第2入力部および前記第1入力部に接続されて第1信号を出力する第2出力部を有する第2インバータと、前記第2出力部から前記第1信号が入力される第1トランジスタと、前記第1トランジスタに直列に接続される抵抗と、をそれぞれ有するメモリセルを複数含むメモリセルアレイを備える。

## 明 細 書

**発明の名称：** 演算装置および固体撮像装置

### 技術分野

[0001] 本開示は、演算装置および固体撮像装置に関する。

### 背景技術

[0002] ホットエレクトロンの注入により情報の書き込みを行うフリップフロップ型のメモリセルが提案されている（特許文献1）。また、SRAM（Static Random Access Memory）技術を利用してメモリセルアレイ上で積和演算を実行可能な演算装置が期待されている。

### 先行技術文献

### 特許文献

[0003] 特許文献1：特開平6－76582号公報

### 発明の概要

[0004] 演算装置では、メモリセル面積の増大を抑えることが求められている。

[0005] メモリセル面積の増大を抑制可能な演算装置を提供することが望まれる。

[0006] 本開示の一実施形態の演算装置は、第1入力部および第1出力部を有する第1インバータと、第1出力部に接続される第2入力部および第1入力部に接続されて第1信号を出力する第2出力部を有する第2インバータと、第2出力部から第1信号が入力される第1トランジスタと、第1トランジスタに直列に接続される抵抗と、をそれぞれ有するメモリセルを複数含むメモリセルアレイを備える。

本開示の一実施形態の固体撮像装置は、第1入力部および第1出力部を有する第1インバータと、第1出力部に接続される第2入力部および第1入力部に接続されて第1信号を出力する第2出力部を有する第2インバータと、第2出力部から第1信号が入力される第1トランジスタと、第1トランジスタに直列に接続される抵抗と、をそれぞれ有するメモリセルを複数含むメモリセルアレイを備える。

## 図面の簡単な説明

[0007] [図1]本開示の実施の形態に係る撮像装置の全体構成の一例を示すブロック図である。

[図2]本開示の実施の形態に係る撮像装置の画素の構成例を示す図である。

[図3]本開示の実施の形態に係る撮像装置の画素の別の構成例を示す図である。

[図4]本開示の実施の形態に係る撮像装置の画素の別の構成例を示す図である。

[図5]本開示の実施の形態に係る撮像装置のメモリセルアレイの構成例を示す図である。

[図6]本開示の実施の形態に係る撮像装置のメモリセルの構成例を示す図である。

[図7]本開示の実施の形態に係る撮像装置のメモリセルのレイアウト例を示す図である。

[図8]本開示の実施の形態に係る撮像装置の抵抗の構成例を示す図である。

[図9]本開示の実施の形態に係る撮像装置の抵抗の別の構成例を示す図である。

[図10]本開示の実施の形態に係る撮像装置による積和演算処理の一例を説明するための図である。

[図11]本開示の実施の形態に係る撮像装置のメモリセルの別の構成例を示す図である。

[図12]本開示の変形例 1 に係る撮像装置のメモリセルアレイの構成例を示す図である。

[図13]本開示の変形例 1 に係る撮像装置のメモリセルの構成例を示す図である。

[図14]本開示の変形例 2 に係る撮像装置のメモリセルの構成例を示す図である。

[図15]本開示の変形例 2 に係る撮像装置のメモリセルの別の構成例を示す図

である。

[図16]本開示の変形例2に係る撮像装置のメモリセルの別の構成例を示す図である。

[図17]本開示の変形例3に係る撮像装置のメモリセルの構成例を示す図である。

[図18]本開示の変形例3に係る撮像装置のメモリセルの別の構成例を示す図である。

[図19]本開示の変形例3に係る撮像装置のメモリセルの別の構成例を示す図である。

[図20]撮像装置を有する電子機器の構成例を表すブロック図である。

[図21]車両制御システムの概略的な構成の一例を示すブロック図である。

[図22]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

[図23]内視鏡手術システムの概略的な構成の一例を示す図である。

[図24]カメラヘッド及びCCUの機能構成の一例を示すブロック図である。

## 発明を実施するための形態

[0008] 以下、本開示の実施の形態について、図面を参照して詳細に説明する。なお、説明は以下の順序で行う。

1. 実施の形態
2. 変形例
3. 適用例
4. 応用例

[0009] <1. 実施の形態>

図1は、本開示の実施の形態に係る演算装置の一例である撮像装置1の全体構成の一例を示すブロック図である。撮像装置1は、固体撮像装置であり、入射した光を光電変換し、被写体の像を撮像する。撮像装置1は、積和演算を実行可能なメモリセルアレイを有し、非ノイマン型演算器であるメモリセルアレイ上で演算を行うCIM (Computing in memory) を実現している。メモリセルアレイをニューラルネットワークの積和演算に利用することで、

ノイマン型演算器の課題である回路規模や消費電力の増大を解決することが期待できる。固体撮像装置である撮像装置 1 は、例えば CMOS (Complementary Metal Oxide Semiconductor) イメージセンサである。

[0010] 撮像装置 1 では、光電変換部を有する複数の画素が 2 次元状に設けられる。撮像装置 1 は、光学レンズ系（図示せず）を介して、被写体からの入射光（像光）を取り込む。撮像装置 1 は、撮像面上に結像された入射光の光量を画素単位で電気信号に変換し、画素信号として出力する。撮像装置 1 は、デジタルスチルカメラ、ビデオカメラ等の電子機器に利用可能である。

[0011] [撮像装置の概略構成]

撮像装置 1 は、複数の画素 P が 2 次元状に配置された画素部 100 を、撮像エリアとして有している。画素部 100 は、画素 P が行列状に配置される画素アレイともいえる。また、撮像装置 1 は、複数のメモリセル 20 が行列状に配置されたメモリセルアレイ 200 を有する。図 1 に示す例では、撮像装置 1 は、第 1 基板 101 及び第 2 基板 201 を備える。第 1 基板 101 及び第 2 基板 201 は、それぞれ半導体基板（例えばシリコン基板）により構成され、互いに重なり合って積層される。

[0012] 第 1 基板 101 には、画素部 100 が設けられる。第 2 基板 201 には、メモリセルアレイ 200 が設けられる。なお、メモリセルアレイ 200 のアスペクトは、長方形（縦長または横長）であってもよいし、正方形であってもよい。メモリセルアレイ 200 は、第 2 基板 201 の任意の位置（右端、中央、上端など）に配置され得る。画素部 100 とメモリセルアレイ 200 は、同じ基板に設けられてもよい。なお、メモリセルアレイ 200 が設けられる基板は、酸化物半導体や化合物半導体等の基板であってもよい。

[0013] 図 1 に示すように、撮像装置 1 は、画素部 100 の周辺領域に、例えば、垂直駆動回路 111、カラム信号処理回路 112、水平駆動回路 113、及び制御回路 115 等を有している。また、撮像装置 1 は、メモリセルアレイ 200 の周辺領域に、例えば、メモリ制御回路 211、メモリ信号処理回路 212、記憶部 214、及び入出力部 215 等を有している。

[0014] 画素Pは、光電変換部および複数の画素トランジスタを有する。光電変換部は、例えばフォトダイオードである。複数の画素トランジスタには、例えば、転送トランジスタ、増幅トランジスタ、選択トランジスタ、及びリセットトランジスタ等が含まれる。画素Pは、例えば、図2に示す例のように、フォトダイオードである光電変換部12、転送トランジスタ13、増幅トランジスタ14、選択トランジスタ15、及びリセットトランジスタ16を有する。画素Pは、光電変換部で光電変換された電荷に基づく画素信号を生成する。

[0015] 画素部100の複数の画素Pには、赤色の波長域の光を透過するフィルタを有する画素（R画素）と、緑色の波長域の光を透過するフィルタを有する画素（G画素）と、青色の波長域の光を透過するフィルタを有する画素（B画素）とが含まれる。R画素、G画素、及びB画素は、例えば、いわゆるベイヤー配列に従って配置されている。R画素、G画素、及びB画素は、それぞれ、R成分の画素信号、G成分の画素信号、及びB成分の画素信号を生成する。このため、撮像装置1は、RGBの画素信号を得ることができる。なお、画素Pに設けられるフィルタは、原色系（RGB）のカラーフィルタに限定されず、例えばCy（シアン）、Mg（マゼンダ）、Ye（イエロー）等の補色系のカラーフィルタであってもよい。

[0016] なお、画素Pの構成は、上述した例に限られない。図3及び図4は、本開示の実施の形態に係る撮像装置1の画素の別の構成例を示す図である。画素Pは、電荷を保持可能なメモリトランジスタ及びキャパシタを有していてもよい。図3に示す例では、メモリトランジスタ17a及びキャパシタ18aは、光電変換部12aで光電変換された電荷を保持し、メモリトランジスタ17b及びキャパシタ18bは、光電変換部12bで光電変換された電荷を保持し得る。なお、図3に示す例のように、増幅トランジスタ14、選択トランジスタ15、及びリセットトランジスタ16等は、複数の光電変換部に対して配置されてもよく、複数の画素Pで共有されてもよい。増幅トランジスタ14及び選択トランジスタ15によって、光電変換部12aで光電変換

された電荷に基づく画素信号と、光電変換部 1 2 b で光電変換された電荷に基づく画素信号とを、それぞれ出力可能となる。

[0017] 図 4 に示す例では、光電変換部 1 2 a ~ 1 2 c は、それぞれ、光電変換膜 1 2 1 と上部電極 1 2 2 と下部電極 1 2 3 とを有する。光電変換膜 1 2 1 は、有機材料または無機材料によって構成され、入射した光を電荷に変換する。増幅トランジスタ 1 4 及び選択トランジスタ 1 5 は、転送トランジスタ 1 3 a に接続され、光電変換部 1 2 a で光電変換された電荷に基づく画素信号を出力し得る。また、増幅トランジスタ 1 4 及び選択トランジスタ 1 5 は、転送トランジスタ 1 3 b, 1 3 c に接続され、光電変換部 1 2 b で生成された電荷に基づく画素信号、光電変換部 1 2 c で生成された電荷に基づく画素信号を、それぞれ出力し得る。

[0018] なお、画素 P は、パルス幅変調 (PWM : Pulse Width Modulation) 方式で画素信号を出力可能な画素であってもよい。また、画素 P は、DVS (Dynamic Vision Sensor) 画素であってもよく、受光量が所定の閾値を超えて変化したことを示す画素信号を出力するようにしてもよい。また、画素部 1 0 0 には、いわゆる畳み込み画素が配置されてもよく、各画素の画素信号が加算された画素信号が出力されるようにしてもよい。

[0019] 図 1 に示す画素部 1 0 0 には、水平方向に並ぶ複数の画素 P により構成される画素行と、垂直方向に並ぶ複数の画素 P により構成される画素列とがそれぞれ複数設けられている。画素部 1 0 0 には、例えば、画素行ごとに画素駆動線 *L read* (行選択線およびリセット制御線等) が配線され、画素列ごとに垂直信号線 *L sig* が配線されている。画素駆動線 *L read* は、画素からの信号読み出しのための駆動信号を伝送するものである。画素駆動線 *L read* の一端は、垂直駆動回路 1 1 1 の各画素行に対応した出力端に接続されている。

[0020] 垂直駆動回路 1 1 1 は、シフトレジスタやアドレスデコーダ等によって構成される。垂直駆動回路 1 1 1 は、画素部 1 0 0 の各画素を順次を選択して走査し、各画素の画素信号を出力させる。垂直駆動回路 1 1 1 は、画素部 1



00の各画素Pを、例えば行単位で駆動する画素駆動部である。垂直駆動回路111は、画素Pを制御する画素制御回路ともいえる。垂直駆動回路111によって選択走査された画素行の各画素Pから出力される信号は、垂直信号線Lsigを通してカラム信号処理回路112に供給される。

[0021] カラム信号処理回路112は、垂直信号線Lsig毎に設けられたアンプや水平選択スイッチ等によって構成されている。カラム信号処理回路112は、各画素の画素信号に対して、例えばCDS (Correlated Double Sampling: 相関二重サンプリング) 処理や、AD (Analog to Digital) 変換処理等の信号処理を行う。カラム信号処理回路112は、画素Pから出力される信号を処理する画素信号処理回路ともいえる。

[0022] 水平駆動回路113は、シフトレジスタやアドレスデコーダ等によって構成され、カラム信号処理回路112の各水平選択スイッチを走査しつつ順番に駆動するものである。この水平駆動回路113による選択走査により、カラム信号処理回路112で信号処理された各画素の画素信号は、メモリ制御回路211へ順次に伝送される。

[0023] 制御回路115は、外部から入力されるクロックや、動作モードを指令するデータ等を受け取り、撮像装置1の各部を制御する。制御回路115は、各種のタイミング信号を生成するタイミングジェネレータを有し、タイミングジェネレータで生成された各種のタイミング信号を基に垂直駆動回路111、カラム信号処理回路112及び水平駆動回路113等の周辺回路の駆動制御を行う。

[0024] メモリ制御回路211は、シフトレジスタやアドレスデコーダ等によって構成される。メモリ制御回路211とメモリセルアレイ200とは、図1に示すように、縦方向に並んで設けられる。メモリ制御回路211は、メモリセル20を制御する信号をメモリセルアレイ200の各メモリセル20に供給し、各メモリセル20の動作を制御する。メモリ制御回路211は、メモリセルアレイ200の各メモリセル20により積和演算を行わせて、積和演算によって得られる信号（積和信号）をメモリ信号処理回路212に出力さ

せる。

[0025] メモリ制御回路 211 は、例えば、カラム信号処理回路 112 から入力される各画素の画素信号に関連付けられた制御信号を、メモリセルアレイ 200 の各メモリセル 20 に出力する。メモリ制御回路 211 は、入力される画素信号に応じて制御信号（例えば後述する信号 *Act*）を生成し、メモリセルアレイ 200 の各メモリセル 20 へ出力する。画素信号に応じて各メモリセル 20 に入力される制御信号と、各メモリセル 20 に保持されたデータとを用いて積和演算が行われ、生成された積和信号がメモリ信号処理回路 212 に伝送される。また、メモリ制御回路 211 は、カラム信号処理回路 112 から入力される各画素の画素信号を、入出力部 215 を介して外部に出力し得る。

[0026] メモリ信号処理回路 212 は、ADC（Analog to Digital Converter）等を有し、メモリセルアレイ 200 から読み出された積和信号に対して、各種の信号処理を行う。メモリ信号処理回路 212 とメモリセルアレイ 200 とは、図 1 に示すように、横方向に並んで設けられる。メモリ信号処理回路 212 は、例えば、メモリセルアレイ 200 から出力されるアナログ信号である積和信号に対して、AD 変換処理を行う。メモリ信号処理回路 212 は、デジタル信号に変換された積和信号を、入出力部 215 に出力する。なお、メモリ信号処理回路 212 は、活性化関数による処理、プーリング処理等を行い、処理後の積和信号を入出力部 215 に出力するようにしてもよい。

[0027] メモリ信号処理回路 212 の ADC は、例えば、シングルスロープ ADC である。ADC は、2 重積分型、逐次比較型（SAR）、デルタシグマ型等、他の AD 変換回路であってもよい。DVS（Dynamic Vision Sensor）の場合のように差分を検出する方式の ADC を用いてもよい。ADC の分解能、即ち AD 変換のビット数は、1 ビット又は 2 ビット以上（例えば 10 ビット又は 12 ビット）であってよい。

[0028] メモリ信号処理回路 212 は、入出力部 215 を介して外部の装置（例えば画像処理装置）から入力された信号やパラメータ等を記憶部 214 に記憶

させたり、外部装置からの指示に基づいて実行する信号処理を変更したりする。記憶部214は、メモリを有し、メモリ信号処理回路212が行う信号処理に用いる信号やパラメータ等のデータを記憶する。

[0029] 入出力部215は、メモリ信号処理回路212から順次入力される信号を、外部の装置、例えばISP(Image Signal Processor)等の画像処理装置に出力する。また、入出力部215は、外部の装置から入力される信号やパラメータを、メモリ信号処理回路212や制御回路115へ出力する。

[0030] 入出力部215は、メモリセルアレイ200のメモリセル20へのデータの書き込みを行い得る。入出力部215は、例えば、外部の装置から入力された学習結果を示すデータ値を、メモリセルアレイ200の各メモリセル20へ書き込む。また、メモリ信号処理回路212で計算された結果をメモリセル20のデータに反映させ、学習結果を更新することも可能である。なお、メモリ制御回路211又はメモリ信号処理回路212が、メモリセルアレイ200のメモリセル20へのデータの書き込みを行うようにしてもよい。メモリ制御回路211又はメモリ信号処理回路212は、入出力部215で取得されたデータに応じて、各メモリセル20に保持させるデータを変更するようにしてもよい。

[0031] [メモリセルアレイの構成]

図5は、本開示の実施の形態に係る撮像装置1のメモリセルアレイ200の構成例を示す図である。図5に示すように、撮像装置1のメモリセルアレイ200では、複数のメモリセル20が、第1方向である水平方向（行方向）、及び第1方向と直交する第2方向である垂直方向（列方向）に配置される。複数のメモリセル20が、左右方向（紙面横方向）及び上下方向（紙面縦方向）に配置されるともいえる。

[0032] メモリセルアレイ200では、水平方向に配置された複数のメモリセル20毎に、ワード線WLと、後述する信号Actが伝送される信号線L1とが設けられる。水平方向に並ぶ複数のメモリセル20により構成されるメモリセル行に対して、ワード線WL及び信号線L1が設けられるともいえる。ワ

ード線WL及び信号線L1の各々は、例えば水平方向に延伸する配線である。

[0033] また、メモリセルアレイ200では、垂直方向に配置された複数のメモリセル20毎に、第1のビット線BLと、第2のビット線BLBと、積和信号が伝送される信号線L2が設けられる。垂直方向に並ぶ複数のメモリセル20により構成されるメモリセル列に対して、第1のビット線BL及び第2のビット線BLB及び信号線L2が設けられるともいえる。第1のビット線BL、第2のビット線BLB、及び信号線L2は、それぞれ、例えば垂直方向に延伸する配線である。例えば、信号線L2とメモリ制御回路211とは、水平方向に並んで設けられる。また、信号線L2とメモリ信号処理回路212とは、垂直方向に並んで設けられる。

[0034] メモリセルアレイ200には、上述のように、メモリセル行ごとにワード線WL及び信号線L1が配線され、メモリセル列ごとに第1のビット線BL及び第2のビット線BLB及び信号線L2が配線されている。メモリセル20は、対応するワード線WLと、一对の第1のビット線BL及び第2のビット線BLBとの交差部に配置されるともいえる。

[0035] 一例として、ワード線WL及び信号線L1は、上述したメモリ制御回路211に接続される。メモリ制御回路211は、ワード線WLに信号を供給し、信号線L1に信号Actを供給する。第1のビット線BL及び第2のビット線BLBは、例えば、入出力部215又はメモリ制御回路211に接続される。入出力部215又はメモリ制御回路211によって、第1のビット線BL及び第2のビット線BLBに信号が供給され、各メモリセル20に入力される。信号線L2は、メモリ信号処理回路212に接続される。メモリ信号処理回路212には、信号線L2を介して積和信号が入力される。

[0036] [メモリセルの構成]

図6は、本開示の実施の形態に係る撮像装置1のメモリセル20の構成例を示す図である。図7は、メモリセル20のレイアウト例を示す図である。メモリセル20は、第1インバータINV1と、第2インバータINV2と

、トランジスタM5と、トランジスタM6と、トランジスタM7と、抵抗Rとを有する。メモリセル20は、1ビットの情報を記憶可能な記憶素子である。メモリセル20は、第1インバータINV1及び第2インバータINV2を含むフリップフロップ回路30を有し、フリップフロップ型のメモリセルともいえる。

[0037] 第1インバータINV1は、直列に接続されたトランジスタM1及びトランジスタM3を有する。第1インバータINV1は、入力部21a及び出力部21bを有し、入力された信号の反転信号を出力し得る。第2インバータINV2は、直列に接続されたトランジスタM2及びトランジスタM4を有する。第2インバータINV2は、入力部22a及び出力部22bを有し、入力された信号の反転信号を出力し得る。第1インバータINV1の入力部21aは、第2インバータINV2の出力部22bと電氣的に接続され、第1インバータINV1の出力部21bは、第2インバータINV2の入力部22aと電氣的に接続される。

[0038] トランジスタM1～M7は、それぞれ、ゲート、ソース、ドレインの端子を有するMOSトランジスタ（MOSFET）である。トランジスタM1及びトランジスタM2は、それぞれNMOSトランジスタであり、トランジスタM3及びトランジスタM4は、それぞれPMOSトランジスタである。トランジスタM5、M6、M7は、例えば、NMOSトランジスタである。なお、メモリセル20の各トランジスタは、MISFETであってもよい。

[0039] トランジスタM1及びトランジスタM3の各々のゲートは、互いに電氣的に接続され、入力部21aを構成する。トランジスタM2及びトランジスタM4の各々のゲートは、互いに電氣的に接続され、入力部22aを構成する。トランジスタM1及びトランジスタM2の各々のソースは、それぞれ接地線（グランド線）に接続される。トランジスタM3及びトランジスタM4の各々のソースは、それぞれ電源線に接続される。

[0040] トランジスタM1のドレインとトランジスタM3のドレインとは、互いに電氣的に接続され、出力部21bを構成する。トランジスタM2のドレイン

とトランジスタM4のドレインとは、互いに電氣的に接続され、出力部22bを構成する。図6に示す第1保持ノード31及び第2保持ノード32は、信号を保持可能なノードである。第1保持ノード31は、第1インバータINV1の出力部21bと第2インバータINV2の入力部22aとを接続するノードである。第2保持ノード32は、第2インバータINV2の出力部22bと第1インバータINV1の入力部21aとを接続するノードである。メモリセル20は、第1保持ノード31の電位及び第2保持ノード32の電位の高低により、デジタル信号を記憶する。第1保持ノード31及び第2保持ノード32は、記憶ノードともいえる。

[0041] トランジスタM5及びトランジスタM6の各々のゲートは、ワード線WLに電氣的に接続される。トランジスタM5、M6は、それぞれ、ワード線WLを介して入力される信号により、オン状態（導通状態）又はオフ状態（非導通状態）に制御される。トランジスタM5のソース及びドレインの一方は、第2インバータINV2の入力部22a及び第1インバータINV1の出力部21bと電氣的に接続される。トランジスタM5のソース及びドレインの他方は、第1のビット線BLに接続される。トランジスタM5は、第1インバータINV1の出力部21bと第1のビット線BLとを、電氣的に接続または遮断する。

[0042] トランジスタM6のソース及びドレインの一方は、第1インバータINV1の入力部21a及び第2インバータINV2の出力部22bと電氣的に接続される。トランジスタM6のソース及びドレインの他方は、第2のビット線BLBに接続される。トランジスタM6は、第2インバータINV2の出力部22bと第2のビット線BLBとを、電氣的に接続または遮断する。

[0043] トランジスタM7のゲートは、第2保持ノード32に電氣的に接続され、第2インバータINV2の出力部22bから信号が入力される。トランジスタM7は、第2保持ノード32の電位に応じてオン状態又はオフ状態となる。トランジスタM7のソース及びドレインの一方は、抵抗Rに直列に接続され、信号Actが入力（伝送）される信号線L1に電氣的に接続される。ト

ランジスタM7のソース及びドレインの他方は、信号線L2に電氣的に接続される。信号線L2は、総計線（Summation Line）である。トランジスタM7は、ゲートに与えられる第2保持ノード32の電位と信号A<sub>ct</sub>の電位とに応じた電流を生成可能であり、生成した電流を信号線L2に供給し得る。

[0044] 図7に示す例では、トランジスタM1, M5は、活性領域41に形成される。トランジスタM3は活性領域42に形成され、トランジスタM4は活性領域43に形成される。また、トランジスタM2, M6は、活性領域44に形成される。トランジスタM7は、活性領域45に形成される。図7に示す例では、トランジスタM1, M3, M7は、各々のゲートが一体的に形成される。また、トランジスタM2, M4は、各々のゲートが一体的に形成されている。

[0045] 抵抗Rは、複数の導電体と複数の絶縁体とを積層して構成される。抵抗Rは、トンネル接合を有する抵抗素子である。抵抗Rは、例えば2端子の素子であり、トランジスタM7に直列に接続される。抵抗Rは、導電体と絶縁体とが交互に積層された構造を有する。絶縁体の膜厚は、トンネル効果が生じるように薄くされる。なお、抵抗Rの抵抗値は、絶縁体の膜厚、絶縁体の材料、積層する膜の数などによって決まる。絶縁体の膜厚等を調整することにより、高抵抗素子を小面積で実現することができる。抵抗Rは、例えば、抵抗値が1 MΩ以上の高抵抗素子であってよい。図7に示すレイアウト例では、抵抗Rは、トランジスタM7のソース及びドレインの一方に重なり合うように形成されている。

[0046] 図8は、本開示の実施の形態に係る撮像装置1の抵抗の構成例を示す図である。一例として、抵抗Rは、図8に示すように、絶縁体51, 52, 53と、導電体61, 62, 63, 64とを有する。絶縁体51～53は、例えば、酸化シリコン（SiO<sub>x</sub>）により構成される。絶縁体51～53は、窒化シリコン（SiN<sub>x</sub>）により構成されてもよい。なお、絶縁体51～53は、ハフニウム（Hf）、ジルコニウム（Zr）、チタン（Ti）、アルミニウム（Al）、マグネシウム（Mg）元素等の酸化物の少なくとも1つを

含むように形成されてもよい。絶縁体51～53は、半導体材料により構成されてもよいし、その他の材料を用いて構成されてもよい。

[0047] 導電体61～64は、例えば、窒化チタン(TiN)により構成される。導電体61～64は、タンタル(Ta)、タングステン(W)、銅(Cu)元素等の酸化物又は窒化物の少なくとも1つを含むように形成されてもよい。なお、導電体61～64は、半導体材料により構成されてもよいし、その他の材料を用いて構成されてもよい。即ち、例えば、導電体61～64は、Ti、Ta、W、Cu、Ru、Pt、Ir、In、Sn、Zn、Ga若しくはC、又はこれらの化合物、酸化物若しくは窒化物で形成されてもよい。導電体61～64は、同じ材料を用いて構成されてもよいし、異なる材料を用いて構成されてもよい。抵抗Rの構造例としては、例えば、TiN/SiO<sub>2</sub>/TiN、TiN/ZrO<sub>2</sub>/TiN、ITO/ZrO<sub>2</sub>/ITO、TiN/HfO<sub>2</sub>/ITO、TiN/Al<sub>2</sub>O<sub>3</sub>/TiN、CoFeB/MgO/CoFeB等が挙げられる。なお、トンネル抵抗素子の構造及び材料は、上述した例に限られず、トンネル障壁が形成され且つ所望の抵抗値が得られれば、任意の構造及び材料を選択することができる。

[0048] このように、抵抗Rとして積層型のトンネル抵抗素子を用いることで、抵抗Rの抵抗値の電圧依存性を小さくすることができる。このため、抵抗R及びトランジスタM7を流れる電流のバラつきを抑制し、メモリセルアレイ200を利用した積和演算の演算精度が低下することを抑制することが可能となる。

[0049] なお、抵抗Rは、強誘電体を用いて構成されてもよいし、磁性体を用いて構成されてもよい。抵抗Rは、強誘電トンネル接合素子(FTJ: Ferroelectric Tunnel Junction)、磁気トンネル接合素子(MTJ: Magnetic Tunnel Junction)、その他の高抵抗体であってもよい。抵抗Rは、例えば、図9に示す例のように、2つの磁性体65、66によって絶縁体55を挟持して構成されたMTJ素子であってもよい。抵抗Rは、残留分極等によって情報を記憶可能な素子で



あってもよい。

[0050] 次に、撮像装置 1 におけるデータの書き込み処理の一例について説明する。メモリセルアレイ 200 のメモリセル 20 にデータを書き込む場合、メモリ制御回路 211 によって、図 5 及び図 6 等を示すワード線 WL の電位が高電位にされる。即ち、ワード線 WL に供給される信号の信号レベルがハイレベルにされる。ワード線 WL の電位がハイレベルになることで、トランジスタ M5 及びトランジスタ M6 がそれぞれオン状態となる。

[0051] また、第 1 のビット線 BL 及び第 2 のビット線 BLB のうち、一方のビット線の電位が高電位にされ、他方のビット線の電位が低電位にされる。即ち、一方のビット線に供給される信号の信号レベルがハイレベルにされ、他方のビット線に供給される信号の信号レベルがローレベルにされる。この場合、第 1 のビット線 BL の電位がトランジスタ M5 を介して、第 2 インバータの入力部 22a に与えられる。また、第 2 のビット線 BLB の電位がトランジスタ M6 を介して、第 1 インバータの入力部 21a に与えられる。これにより、第 1 保持ノード 31 及び第 2 保持ノード 32 に保持される信号が更新され、メモリセル 20 にデータを書き込むことができる。

[0052] なお、メモリセル 20 からデータを読み出す場合、例えば、第 1 のビット線 BL 及び第 2 のビット線 BLB が予めプリチャージされる。例えば、プリチャージによって、第 1 のビット線 BL と第 2 のビット線 BLB とは、同じ電位に設定される。第 1 のビット線 BL 及び第 2 のビット線 BLB の電位がプリチャージされた後、ワード線 WL の電位がハイレベルにされる。ワード線 WL の電位がハイレベルになることで、トランジスタ M5 及びトランジスタ M6 がそれぞれオン状態となる。

[0053] トランジスタ M5 がオン状態となることで、第 1 インバータの出力部 21b が、第 1 のビット線 BL に電氣的に接続される。また、トランジスタ M6 がオン状態となることで、第 2 インバータの出力部 22b が、第 2 のビット線 BLB に電氣的に接続される。この場合、第 1 のビット線 BL の電位は、第 1 インバータの出力部 21b の電位、即ち第 1 保持ノード 31 の電位に

じて変化する。また、第2のビット線B<sub>L</sub>Bの電位は、第2インバータの出力部22bの電位、即ち第2保持ノード32の電位に応じて変化することになる。こうして、メモリセル20に記憶されたデータ、即ち第1保持ノード31及び第2保持ノード32によって保持された信号を、第1のビット線B<sub>L</sub>及び第2のビット線B<sub>L</sub>Bに読み出すことができる。

[0054] 次に、撮像装置1における積和演算処理の一例について説明する。積和演算を行う場合、信号線L<sub>1</sub>及び信号線L<sub>2</sub>が予めプリチャージされる。例えば、プリチャージによって、信号線L<sub>1</sub>及び信号線L<sub>2</sub>は、同じ電位に設定される。この場合、トランジスタM7のドレインとソースが同電位となるため、トランジスタM7及び抵抗Rには電流は流れない。

[0055] プリチャージが行われた後、各信号線L<sub>1</sub>に入力される信号A<sub>c</sub>tは、それぞれ所定時間の間、ローレベルにされる。信号A<sub>c</sub>tがローレベルになることで、トランジスタM7のドレインとソース間に電位差が生じる。これにより、トランジスタM7は、ゲートに与えられる第2保持ノード32の電位と、信号A<sub>c</sub>tの電位と、抵抗Rに応じた電流を出力可能となる。

[0056] 信号A<sub>c</sub>tがローレベルとなり、トランジスタM7に接続された第2保持ノード32の電位がハイレベルの場合に、そのトランジスタM7を介して、信号線L<sub>1</sub>及び信号線L<sub>2</sub>間に電流が流れる。即ち、信号線L<sub>1</sub>を介して入力される信号の信号値と、メモリセル20に保持された信号値との乗算値に対応する電荷が生じる。信号線L<sub>2</sub>に接続された複数のメモリセル20の各トランジスタM7は、信号A<sub>c</sub>tがローレベルになると、そのトランジスタM7に入力されるメモリセル20の信号値に応じた電流を出力する。

[0057] 信号線L<sub>2</sub>の電位は、各メモリセル20のトランジスタM7によって生じる電荷量に応じて低下することになる。この場合、各トランジスタM7によって生じる電荷が信号線L<sub>2</sub>において加算され、加算結果となる積和信号が生成される。信号線L<sub>2</sub>において、各乗算値の和に対応する積和信号が算出されるともいえる。こうして、積和演算結果となる積和信号を、信号線L<sub>2</sub>を介してメモリ信号処理回路212に読み出すことができる。

- [0058] メモリ信号処理回路212は、入力されるアナログ信号である積和信号に対してAD変換を行う。この場合、メモリ信号処理回路212は、ADCの分解能、即ちAD変換のビット数を増やすことで、AD変換の精度を向上させることができる。このため、積和演算の演算精度を向上させることが可能となる。
- [0059] 本実施の形態に係る撮像装置1は、積和演算の場合、パルス幅変調（PWM）方式の制御を行い得る。撮像装置1のメモリ制御回路211は、信号線L1を介して、パルス信号である信号A c tを各メモリセル20に出力する。メモリ制御回路211は、例えば、信号A c tのパルス幅を、信号線L1毎または複数の信号線L1毎に異なるように制御する。
- [0060] 各信号線L1に入力される信号A c tは、例えば、信号線L1毎または複数の信号線L1毎に異なる時間の間、ローレベルにされる。各メモリセル20のトランジスタM7は、そのメモリセル20に入力される信号A c tのパルス幅に応じて電流を出力する。信号A c tがローレベルとなる期間に応じた電荷が、各メモリセル20から信号線L2に転送されて足し合わされる。信号線L2では、信号A c tのパルス幅に応じた各メモリセル20の出力信号が加算され、積和信号となる。積和信号の電位は、メモリセルアレイ200に入力される各信号A c tのパルス幅に応じて変化する。
- [0061] 図10は、本開示の実施の形態に係る撮像装置1による積和演算処理の一例を説明するための図である。図10では、同一の時間軸に、信号A c tの電圧と、積和信号の電圧とを示している。図10に示す信号A c t [0]は、1行目のメモリセル行に共通に入力される信号である。また、信号A c t [2]、信号A c t [n-2]、信号A c t [n-1]は、それぞれ、2行目、n-1行目、n行目のメモリセル行に入力される信号である。
- [0062] メモリセルアレイ200の各メモリセル20には、図10に示す例のような波形の信号A c t [0]～信号A c t [n-1]が入力される。これにより、積和信号の電位は、図10に模式的に示すように、信号A c t [0]～信号A c t [n-1]の各々のローレベルのパルス幅T a c tに応じて、時

間経過と共に低下する。

[0063] このように、信号  $A_{ct}$  にパルス信号を用いることで、メモリセル 20 に保持された信号値と信号  $A_{ct}$  のパルス幅とに応じた積和信号を得ることができる。PWM 駆動によって、メモリセル 20 に保持された信号値に乗算する値が調整されともいえる。PWM 駆動を用いることで入力信号の多値化が可能となり、高精度な積和演算を実現することができる。

[0064] なお、上記では、撮像装置 1 の構成例について説明したが、あくまでも一例であって、撮像装置 1 の構成は、上述した例に限られない。例えば、メモリセル 20 のトランジスタ M7 のゲートが第 2 保持ノード 32 に電氣的に接続される例について説明したが、図 11 に示すように、トランジスタ M7 のゲートは、第 1 保持ノード 31 に電氣的に接続されていてもよい。トランジスタ M7 のソース及びドレインの一方は、抵抗 R に直列に接続され、信号  $A_{ct}$  が入力される信号線 L1 に電氣的に接続される。トランジスタ M7 のソース及びドレインの他方は、信号線 L2 に電氣的に接続される。この場合、トランジスタ M7 は、ゲートに与えられる第 1 保持ノード 31 の電位と信号  $A_{ct}$  の電位とに応じた電流を生成可能であり、生成した電流を信号線 L2 に供給可能となる。また、上記では、パルス幅変調方式の制御について説明したが、撮像装置 1 は、パルス振幅変調方式の制御を行うようにしてもよい。この場合も、入力信号の多値化が可能となり、高精度な積和演算を実現可能となる。

[0065] [作用・効果]

本実施の形態に係る演算装置（撮像装置 1）は、第 1 入力部（入力部 21 a）および第 1 出力部（出力部 21 b）を有する第 1 インバータ（INV1）と、第 1 出力部に接続される第 2 入力部（入力部 22 a）および第 1 入力部に接続されて第 1 信号を出力する第 2 出力部（出力部 22 b）を有する第 2 インバータ（INV2）と、第 2 出力部から第 1 信号が入力される第 1 トランジスタ（トランジスタ M7）と、第 1 トランジスタに直列に接続される抵抗（抵抗 R）と、をそれぞれ有するメモリセル 20 を複数含むメモリセル

アレイ 200 を備える。

[0066] 本実施の形態に係る撮像装置 1 は、メモリセル 20 に保持された信号が入力されるトランジスタ M7 と、トランジスタ M7 に直列に接続される抵抗 R とを有する。各メモリセル 20 のトランジスタ M7 によって生じる電荷が信号線 L2 において加算され、積和信号を得ることができる。このため、小さいメモリセル面積で積和演算処理を行うことができ、メモリセル面積が増大することを防ぐことができる。また、小さいセル面積で、高精度の積和演算を行うことが可能となる。

[0067] 次に、本開示の変形例について説明する。以下では、上記実施の形態と同様の構成要素については同一の符号を付し、適宜説明を省略する。

[0068] <2. 変形例>

(2-1. 変形例 1)

図 12 は、本開示の変形例 1 に係る撮像装置 1 のメモリセルアレイ 200 の構成例を示す図である。図 12 に示す例では、メモリセルアレイ 200 では、垂直方向に配置された複数のメモリセル 20 毎に、第 1 の積和信号が伝送される信号線 L2a と、第 2 の積和信号が伝送される信号線 L2b とが設けられる。垂直方向に並ぶ複数のメモリセル 20 により構成されるメモリセル列に対して、信号線 L2a 及び信号線 L2b が設けられるともいえる。例えば、信号線 L2a 及び信号線 L2b は、上述したメモリ信号処理回路 212 に接続される。メモリ信号処理回路 212 には、信号線 L2a を介して第 1 の積和信号が入力され、信号線 L2b を介して第 2 の積和信号が入力される。

[0069] 図 13 は、本開示の変形例 1 に係る撮像装置 1 のメモリセル 20 の構成例を示す図である。メモリセル 20 は、トランジスタ M7a、M7b と、抵抗 R1、R2 とを有する。トランジスタ M7a 及び抵抗 R1 は、上述した実施の形態のトランジスタ M7 及び抵抗 R と同様の構成である。トランジスタ M7a のゲートは、第 2 保持ノード 32 に電氣的に接続され、第 2 インバータ INV2 の出力部 22b から信号が入力される。トランジスタ M7a のソー

ス及びドレインの一方は、抵抗 $R_1$ に接続され、信号 $A_{ct}$ が入力される信号線 $L_1$ に電氣的に接続される。トランジスタ $M7a$ のソース及びドレインの他方は、信号線 $L2a$ に電氣的に接続される。トランジスタ $M7a$ は、ゲートに与えられる第2保持ノード32の電位と信号 $A_{ct}$ の電位とに応じた電流を生成可能であり、生成した電流を信号線 $L2a$ に供給し得る。各メモリセル20のトランジスタ $M7a$ によって生じる電荷が信号線 $L2a$ において加算され、第1の積和信号を得ることができる。

[0070] トランジスタ $M7b$ のゲートは、第1保持ノード31に電氣的に接続され、第1インバータ $INV1$ の出力部21bから信号が入力される。トランジスタ $M7b$ のソース及びドレインの一方は、抵抗 $R_2$ に接続され、信号 $A_{ct}$ が入力される信号線 $L_1$ に電氣的に接続される。トランジスタ $M7b$ のソース及びドレインの他方は、信号線 $L2b$ に電氣的に接続される。トランジスタ $M7b$ は、ゲートに与えられる第1保持ノード31の電位と信号 $A_{ct}$ の電位とに応じた電流を生成可能であり、生成した電流を信号線 $L2b$ に供給し得る。各メモリセル20のトランジスタ $M7b$ によって生じる電荷が信号線 $L2b$ において加算され、第2の積和信号を得ることができる。このように、本変形例では、信号線 $L2a$ に第1の積和信号を読み出し、信号線 $L2b$ に第2の積和信号を読み出すことが可能となる。第1の積和信号と第2の積和信号とを読み出すことができ、高精度な積和演算を実現することが可能となる。

[0071] (2-2. 変形例2)

図14は、本開示の変形例2に係る撮像装置1のメモリセル20の構成例を示す図である。トランジスタ $M7$ のソース及びドレインの一方は、第1保持ノード31と電氣的に接続される。トランジスタ $M7$ のソース及びドレインの他方は、抵抗 $R$ に直列に接続され、信号 $A_{ct}$ が入力される信号線 $L_1$ に電氣的に接続される。積和演算を行う場合、トランジスタ $M7$ は、入力される第1保持ノード31の電位と信号 $A_{ct}$ の電位とに応じた電流を生成可能であり、生成した電流を第1のビット線 $BL$ に供給し得る。

- [0072] 第1のビット線BLは、総計線（Summation Line）でもあり、各メモリセル20からの電荷が第1のビット線BLにおいて加算され、積和信号を得ることができる。なお、積和演算を行う場合、ワード線WLに、パルス信号である信号Actを入力するようにしてもよい。また、信号線L1に、接地電位または電源電位を与えるようにしてもよい。本変形例の場合も、上記実施の形態の撮像装置と同様の効果を得ることができる。
- [0073] なお、図15に示すように、トランジスタM7のソース及びドレインの一方は、第2保持ノード32に電氣的に接続されていてもよい。トランジスタM7のソース及びドレインの他方は、図14の場合と同様に、抵抗Rに接続され、信号Actが入力される信号線L1に電氣的に接続される。この場合、トランジスタM7は、入力される第2保持ノード32の電位と信号Actの電位とに応じた電流を生成可能であり、生成した電流を第2のビット線BLBに供給可能となる。第2のビット線BLBは、総計線でもあり、各メモリセル20からの電荷が第2のビット線BLBにおいて加算され、積和信号を得ることができる。
- [0074] 図16は、本開示の変形例2に係る撮像装置1のメモリセル20の別の構成例を示す図である。メモリセル20は、トランジスタM7a、M7bと、抵抗R1、R2とを有する。トランジスタM7aのソース及びドレインの一方は、第1保持ノード31と電氣的に接続される。また、トランジスタM7bのソース及びドレインの一方は、第2保持ノード32と電氣的に接続される。
- [0075] 積和演算を行う場合、トランジスタM7aは、第1保持ノード31の電位と信号Actの電位とに応じた電流を生成可能であり、生成した電流を第1のビット線BLに供給し得る。第1のビット線BLは、第1の総計線でもあり、各メモリセル20からの電荷が第1のビット線BLにおいて加算され、第1の積和信号を得ることができる。また、トランジスタM7bは、第2保持ノード32の電位と信号Actの電位とに応じた電流を生成可能であり、生成した電流を第2のビット線BLBに供給し得る。第2のビット線BLB

は、第2の総計線でもあり、各メモリセル20からの電荷が第2のビット線BLBにおいて加算され、第2の積和信号を得ることができる。

[0076] (2-3. 変形例3)

図17は、本開示の変形例3に係る撮像装置1のメモリセル20の構成例を示す図である。トランジスタM3及びトランジスタM4の各々のバックゲートが、ワード線WLに電氣的に接続される。トランジスタM3のソースは、第1のビット線BLに接続され、トランジスタM4のソースは、第2のビット線BLBに接続される。第1のビット線BL、第2のビット線BLBは、それぞれ、トランジスタM3、トランジスタM4に対する電源線でもある。本変形例では、データの書き込みを行う場合、ワード線WLを介してトランジスタM3、M4のバックゲートに与えられる電位によって、トランジスタM3、M4のしきい値電圧が調整される。これにより、トランジスタM3、M4のオンオフ制御を行うことができ、第1のビット線BL及び第2のビット線BLBの信号に応じて、メモリセル20にデータを書き込むことが可能となる。

[0077] 図17に示す例では、トランジスタM7のゲートは、第1保持ノード31に電氣的に接続される。トランジスタM7のソース及びドレインの一方は、抵抗Rに接続され、信号Actが入力される信号線L1に電氣的に接続される。トランジスタM7のソース及びドレインの他方は、信号線L2に電氣的に接続される。トランジスタM7は、第1保持ノード31の電位と信号Actの電位とに応じた電流を生成可能であり、生成した電流を信号線L2に供給し得る。なお、図18に示すように、トランジスタM7のゲートは、第2保持ノード32に電氣的に接続されていてもよい。図18に示す例では、トランジスタM7のソース及びドレインの一方は、抵抗Rに接続され、信号Actが入力される信号線L1に電氣的に接続される。トランジスタM7のソース及びドレインの他方は、信号線L2に電氣的に接続される。この場合、トランジスタM7は、第2保持ノード32の電位と信号Actの電位とに応じた電流を生成可能であり、生成した電流を信号線L2に供給し得る。本変



形例の場合も、上記実施の形態の撮像装置と同様の効果を得ることができる。

[0078] 図19は、本開示の変形例3に係る撮像装置1のメモリセル20の別の構成例を示す図である。メモリセル20は、トランジスタM7a、M7bと、抵抗R1、R2とを有する。トランジスタM7aのゲートは、第1保持ノード31に電氣的に接続される。トランジスタM7aは、第1保持ノード31の電位と信号Actの電位とに応じた電流を生成可能であり、生成した電流を信号線L2aに供給し得る。各メモリセル20のトランジスタM7aによって生じる電荷が信号線L2aにおいて加算され、第1の積和信号を得ることができる。

[0079] トランジスタM7bのゲートは、第2保持ノード32に電氣的に接続される。トランジスタM7bは、第2保持ノード32の電位と信号Actの電位とに応じた電流を生成可能であり、生成した電流を信号線L2bに供給し得る。各メモリセル20のトランジスタM7bによって生じる電荷が信号線L2bにおいて加算され、第2の積和信号を得ることができる。このように、本変形例では、信号線L2aに第1の積和信号を読み出し、信号線L2bに第2の積和信号を読み出すことが可能となる。第1の積和信号と第2の積和信号とを読み出すことができ、高精度な積和演算を実現することが可能となる。

[0080] <3. 適用例>

上記撮像装置1等は、例えば、デジタルスチルカメラやビデオカメラ等のカメラシステムや、撮像機能を有する携帯電話等、撮像機能を備えたあらゆるタイプの電子機器に適用することができる。図20は、電子機器1000の概略構成を表したものである。

[0081] 電子機器1000は、例えば、レンズ群1001と、撮像装置1と、DSP (Digital Signal Processor) 回路1002と、フレームメモリ1003と、表示部1004と、記録部1005と、操作部1006と、電源部1007とを有し、バスライン1008を介して相互に接続されている。

[0082] レンズ群１００１は、被写体からの入射光（像光）を取り込んで撮像装置１の撮像面上に結像するものである。撮像装置１は、レンズ群１００１によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号としてDSP回路１００２に供給する。

[0083] DSP回路１００２は、撮像装置１から供給される信号を処理する信号処理回路である。DSP回路１００２は、撮像装置１からの信号を処理して得られる画像データを出力する。フレームメモリ１００３は、DSP回路１００２により処理された画像データをフレーム単位で一時的に保持するものである。

[0084] 表示部１００４は、例えば、液晶パネルや有機EL（Electro Luminescence）パネル等のパネル型表示装置からなり、撮像装置１で撮像された動画または静止画の画像データを、半導体メモリやハードディスク等の記録媒体に記録する。

[0085] 操作部１００６は、ユーザによる操作に従い、電子機器１０００が所有する各種の機能についての操作信号を出力する。電源部１００７は、DSP回路１００２、フレームメモリ１００３、表示部１００４、記録部１００５および操作部１００６の動作電源となる各種の電源を、これら供給対象に対して適宜供給するものである。

[0086] <４．応用例>

（移動体への応用例）

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0087] 図２１は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0088] 車両制御システム１２０００は、通信ネットワーク１２００１を介して接

続された複数の電子制御ユニットを備える。図 21 に示した例では、車両制御システム 12000 は、駆動系制御ユニット 12010、ボディ系制御ユニット 12020、車外情報検出ユニット 12030、車内情報検出ユニット 12040、及び統合制御ユニット 12050 を備える。また、統合制御ユニット 12050 の機能構成として、マイクロコンピュータ 12051、音声画像出力部 12052、及び車載ネットワーク I/F (interface) 12053 が図示されている。

[0089] 駆動系制御ユニット 12010 は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット 12010 は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0090] ボディ系制御ユニット 12020 は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット 12020 は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker 又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット 12020 には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット 12020 は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0091] 車外情報検出ユニット 12030 は、車両制御システム 12000 を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット 12030 には、撮像部 12031 が接続される。車外情報検出ユニット 12030 は、撮像部 12031 に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット 12030 は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処

理を行ってもよい。

[0092] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0093] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0094] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0095] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0096] また、マイクロコンピュータ12051は、車外情報検出ユニット120

30で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0097] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図21の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでいてもよい。

[0098] 図22は、撮像部12031の設置位置の例を示す図である。

[0099] 図22では、車両12100は、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0100] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0101] なお、図22には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像

部 1 2 1 0 1 の撮像範囲を示し、撮像範囲 1 2 1 1 2, 1 2 1 1 3 は、それぞれサイドミラーに設けられた撮像部 1 2 1 0 2, 1 2 1 0 3 の撮像範囲を示し、撮像範囲 1 2 1 1 4 は、リアバンパ又はバックドアに設けられた撮像部 1 2 1 0 4 の撮像範囲を示す。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 で撮像された画像データが重ね合わせられることにより、車両 1 2 1 0 0 を上方から見た俯瞰画像が得られる。

[0102] 撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、距離情報を取得する機能を有していてもよい。例えば、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 の少なくとも 1 つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0103] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を基に、撮像範囲 1 2 1 1 1 ないし 1 2 1 1 4 内における各立体物までの距離と、この距離の時間的变化（車両 1 2 1 0 0 に対する相対速度）を求めることにより、特に車両 1 2 1 0 0 の進行路上にある最も近い立体物で、車両 1 2 1 0 0 と略同じ方向に所定の速度（例えば、0 k m / h 以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ 1 2 0 5 1 は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0104] 例えば、マイクロコンピュータ 1 2 0 5 1 は、撮像部 1 2 1 0 1 ないし 1 2 1 0 4 から得られた距離情報を元に、立体物に関する立体物データを、2 輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ 1 2 0 5 1 は、車両 1 2 1 0 0 の周辺の障害物を、車両 1 2 1 0 0 のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ 1 2 0 5 1 は、各障害物との衝突の危険度を示す衝突リスク

を判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ 12061 や表示部 12062 を介してドライバに警報を出力することや、駆動系制御ユニット 12010 を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0105] 撮像部 12101 ないし 12104 の少なくとも 1 つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ 12051 は、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部 12101 ないし 12104 の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ 12051 が、撮像部 12101 ないし 12104 の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部 12052 は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部 12062 を制御する。また、音声画像出力部 12052 は、歩行者を示すアイコン等を所望の位置に表示するように表示部 12062 を制御してもよい。

[0106] 以上、本開示に係る技術が適用され得る移動体制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部 12031 に適用され得る。具体的には、例えば、撮像装置 1 は、撮像部 12031 に適用することができる。撮像部 12031 に本開示に係る技術を適用することにより、移動体制御システムにおいて撮影画像を利用した高精度な制御を行うことができる。

[0107] (内視鏡手術システムへの応用例)

本開示に係る技術(本技術)は、様々な製品へ応用することができる。例えば、本開示に係る技術は、内視鏡手術システムに適用されてもよい。

[0108] 図 23 は、本開示に係る技術(本技術)が適用され得る内視鏡手術システムの概略的な構成の一例を示す図である。

[0109] 図23では、術者（医師）11131が、内視鏡手術システム11000を用いて、患者ベッド11133上の患者11132に手術を行っている様子が図示されている。図示するように、内視鏡手術システム11000は、内視鏡11100と、気腹チューブ11111やエネルギー処置具11112等の、その他の術具11110と、内視鏡11100を支持する支持アーム装置11120と、内視鏡下手術のための各種の装置が搭載されたカート11200と、から構成される。

[0110] 内視鏡11100は、先端から所定の長さの領域が患者11132の体腔内に挿入される鏡筒11101と、鏡筒11101の基端に接続されるカメラヘッド11102と、から構成される。図示する例では、硬性の鏡筒11101を有するいわゆる硬性鏡として構成される内視鏡11100を図示しているが、内視鏡11100は、軟性の鏡筒を有するいわゆる軟性鏡として構成されてもよい。

[0111] 鏡筒11101の先端には、対物レンズが嵌め込まれた開口部が設けられている。内視鏡11100には光源装置11203が接続されており、当該光源装置11203によって生成された光が、鏡筒11101の内部に延設されるライトガイドによって当該鏡筒の先端まで導光され、対物レンズを介して患者11132の体腔内の観察対象に向かって照射される。なお、内視鏡11100は、直視鏡であってもよいし、斜視鏡又は側視鏡であってもよい。

[0112] カメラヘッド11102の内部には光学系及び撮像素子が設けられており、観察対象からの反射光（観察光）は当該光学系によって当該撮像素子に集光される。当該撮像素子によって観察光が光電変換され、観察光に対応する電気信号、すなわち観察像に対応する画像信号が生成される。当該画像信号は、RAWデータとしてカメラコントロールユニット（CCU： Camera Control Unit）11201に送信される。

[0113] CCU11201は、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）



）等によって構成され、内視鏡１１１００及び表示装置１１２０２の動作を統括的に制御する。さらに、ＣＣＵ１１２０１は、カメラヘッド１１１０２から画像信号を受け取り、その画像信号に対して、例えば現像処理（デモザイク処理）等の、当該画像信号に基づく画像を表示するための各種の画像処理を施す。

[0114] 表示装置１１２０２は、ＣＣＵ１１２０１からの制御により、当該ＣＣＵ１１２０１によって画像処理が施された画像信号に基づく画像を表示する。

[0115] 光源装置１１２０３は、例えばＬＥＤ（Ｌｉｇｈｔ Ｅｍｉｔｔｉｎｇ Ｄｉｏｄｅ）等の光源から構成され、術部等を撮影する際の照射光を内視鏡１１１００に供給する。

[0116] 入力装置１１２０４は、内視鏡手術システム１１０００に対する入力インタフェースである。ユーザは、入力装置１１２０４を介して、内視鏡手術システム１１０００に対して各種の情報の入力や指示入力を行うことができる。例えば、ユーザは、内視鏡１１１００による撮像条件（照射光の種類、倍率及び焦点距離等）を変更する旨の指示等を入力する。

[0117] 処置具制御装置１１２０５は、組織の焼灼、切開又は血管の封止等のためのエネルギー処置具１１１１２の駆動を制御する。気腹装置１１２０６は、内視鏡１１１００による視野の確保及び術者の作業空間の確保の目的で、患者１１１３２の体腔を膨らめるために、気腹チューブ１１１１１を介して当該体腔内にガスを送り込む。レコーダ１１２０７は、手術に関する各種の情報を記録可能な装置である。プリンタ１１２０８は、手術に関する各種の情報を、テキスト、画像又はグラフ等各種の形式で印刷可能な装置である。

[0118] なお、内視鏡１１１００に術部を撮影する際の照射光を供給する光源装置１１２０３は、例えばＬＥＤ、レーザ光源又はこれらの組み合わせによって構成される白色光源から構成することができる。ＲＧＢレーザ光源の組み合わせにより白色光源が構成される場合には、各色（各波長）の出力強度及び出力タイミングを高精度に制御することができるため、光源装置１１２０３において撮像画像のホワイトバランスの調整を行うことができる。また、こ

の場合には、RGBレーザ光源それぞれからのレーザ光を時分割で観察対象に照射し、その照射タイミングに同期してカメラヘッド11102の撮像素子の駆動を制御することにより、RGBそれぞれに対応した画像を時分割で撮像することも可能である。当該方法によれば、当該撮像素子にカラーフィルタを設けなくても、カラー画像を得ることができる。

[0119] また、光源装置11203は、出力する光の強度を所定の時間ごとに変更するようにその駆動が制御されてもよい。その光の強度の変更のタイミングに同期してカメラヘッド11102の撮像素子の駆動を制御して時分割で画像を取得し、その画像を合成することにより、いわゆる黒つぶれ及び白とびのない高ダイナミックレンジの画像を生成することができる。

[0120] また、光源装置11203は、特殊光観察に対応した所定の波長帯域の光を供給可能に構成されてもよい。特殊光観察では、例えば、体組織における光の吸収の波長依存性を利用して、通常の観察時における照射光（すなわち、白色光）に比べて狭帯域の光を照射することにより、粘膜表層の血管等の所定の組織を高コントラストで撮影する、いわゆる狭帯域光観察（Narrow Band Imaging）が行われる。あるいは、特殊光観察では、励起光を照射することにより発生する蛍光により画像を得る蛍光観察が行われてもよい。蛍光観察では、体組織に励起光を照射し当該体組織からの蛍光を観察すること（自家蛍光観察）、又はインドシアニンググリーン（ICG）等の試薬を体組織に局注するとともに当該体組織にその試薬の蛍光波長に対応した励起光を照射し蛍光像を得ること等を行うことができる。光源装置11203は、このような特殊光観察に対応した狭帯域光及び／又は励起光を供給可能に構成され得る。

[0121] 図24は、図23に示すカメラヘッド11102及びCCU11201の機能構成の一例を示すブロック図である。

[0122] カメラヘッド11102は、レンズユニット11401と、撮像部11402と、駆動部11403と、通信部11404と、カメラヘッド制御部11405と、を有する。CCU11201は、通信部11411と、画像処

理部 1 1 4 1 2 と、制御部 1 1 4 1 3 と、を有する。カメラヘッド 1 1 1 0 2 と C C U 1 1 2 0 1 とは、伝送ケーブル 1 1 4 0 0 によって互いに通信可能に接続されている。

[0123] レンズユニット 1 1 4 0 1 は、鏡筒 1 1 1 0 1 との接続部に設けられる光学系である。鏡筒 1 1 1 0 1 の先端から取り込まれた観察光は、カメラヘッド 1 1 1 0 2 まで導光され、当該レンズユニット 1 1 4 0 1 に入射する。レンズユニット 1 1 4 0 1 は、ズームレンズ及びフォーカスレンズを含む複数のレンズが組み合わされて構成される。

[0124] 撮像部 1 1 4 0 2 は、撮像素子で構成される。撮像部 1 1 4 0 2 を構成する撮像素子は、1 つ（いわゆる単板式）であってもよいし、複数（いわゆる多板式）であってもよい。撮像部 1 1 4 0 2 が多板式で構成される場合には、例えば各撮像素子によって R G B それぞれに対応する画像信号が生成され、それらが合成されることによりカラー画像が得られてもよい。あるいは、撮像部 1 1 4 0 2 は、3 D ( D i m e n s i o n a l ) 表示に対応する右目用及び左目用の画像信号をそれぞれ取得するための 1 対の撮像素子を有するように構成されてもよい。3 D 表示が行われることにより、術者 1 1 1 3 1 は術部における生体組織の奥行きをより正確に把握することが可能になる。なお、撮像部 1 1 4 0 2 が多板式で構成される場合には、各撮像素子に対して、レンズユニット 1 1 4 0 1 も複数系統設けられ得る。

[0125] また、撮像部 1 1 4 0 2 は、必ずしもカメラヘッド 1 1 1 0 2 に設けられなくてもよい。例えば、撮像部 1 1 4 0 2 は、鏡筒 1 1 1 0 1 の内部に、対物レンズの直後に設けられてもよい。

[0126] 駆動部 1 1 4 0 3 は、アクチュエータによって構成され、カメラヘッド制御部 1 1 4 0 5 からの制御により、レンズユニット 1 1 4 0 1 のズームレンズ及びフォーカスレンズを光軸に沿って所定の距離だけ移動させる。これにより、撮像部 1 1 4 0 2 による撮像画像の倍率及び焦点が適宜調整され得る。

[0127] 通信部 1 1 4 0 4 は、C C U 1 1 2 0 1 との間で各種の情報を送受信する

ための通信装置によって構成される。通信部 11404 は、撮像部 11402 から得た画像信号を RAW データとして伝送ケーブル 11400 を介して CCU 11201 に送信する。

[0128] また、通信部 11404 は、CCU 11201 から、カメラヘッド 11102 の駆動を制御するための制御信号を受信し、カメラヘッド制御部 11405 に供給する。当該制御信号には、例えば、撮像画像のフレームレートを指定する旨の情報、撮像時の露出値を指定する旨の情報、並びに／又は撮像画像の倍率及び焦点を指定する旨の情報等、撮像条件に関する情報が含まれる。

[0129] なお、上記のフレームレートや露出値、倍率、焦点等の撮像条件は、ユーザによって適宜指定されてもよいし、取得された画像信号に基づいて CCU 11201 の制御部 11413 によって自動的に設定されてもよい。後者の場合には、いわゆる AE (Auto Exposure) 機能、AF (Auto Focus) 機能及び AWB (Auto White Balance) 機能が内視鏡 11100 に搭載されていることになる。

[0130] カメラヘッド制御部 11405 は、通信部 11404 を介して受信した CCU 11201 からの制御信号に基づいて、カメラヘッド 11102 の駆動を制御する。

[0131] 通信部 11411 は、カメラヘッド 11102 との間で各種の情報を送受信するための通信装置によって構成される。通信部 11411 は、カメラヘッド 11102 から、伝送ケーブル 11400 を介して送信される画像信号を受信する。

[0132] また、通信部 11411 は、カメラヘッド 11102 に対して、カメラヘッド 11102 の駆動を制御するための制御信号を送信する。画像信号や制御信号は、電気通信や光通信等によって送信することができる。

[0133] 画像処理部 11412 は、カメラヘッド 11102 から送信された RAW データである画像信号に対して各種の画像処理を施す。

[0134] 制御部 11413 は、内視鏡 11100 による術部等の撮像、及び、術部

等の撮像により得られる撮像画像の表示に関する各種の制御を行う。例えば、制御部 11413 は、カメラヘッド 11102 の駆動を制御するための制御信号を生成する。

[0135] また、制御部 11413 は、画像処理部 11412 によって画像処理が施された画像信号に基づいて、術部等が映った撮像画像を表示装置 11202 に表示させる。この際、制御部 11413 は、各種の画像認識技術を用いて撮像画像内における各種の物体を認識してもよい。例えば、制御部 11413 は、撮像画像に含まれる物体のエッジの形状や色等を検出することにより、鉗子等の術具、特定の生体部位、出血、エネルギー処置具 11112 の使用時のミスト等を認識することができる。制御部 11413 は、表示装置 11202 に撮像画像を表示させる際に、その認識結果を用いて、各種の手術支援情報を当該術部の画像に重畳表示させてもよい。手術支援情報が重畳表示され、術者 11131 に提示されることにより、術者 11131 の負担を軽減することや、術者 11131 が確実に手術を進めることが可能になる。

[0136] カメラヘッド 11102 及び CCU 11201 を接続する伝送ケーブル 11400 は、電気信号の通信に対応した電気信号ケーブル、光通信に対応した光ファイバ、又はこれらの複合ケーブルである。

[0137] ここで、図示する例では、伝送ケーブル 11400 を用いて有線で通信が行われていたが、カメラヘッド 11102 と CCU 11201 との間の通信は無線で行われてもよい。

[0138] 以上、本開示に係る技術が適用され得る内視鏡手術システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、内視鏡 11100 のカメラヘッド 11102 に設けられた撮像部 11402 に好適に適用され得る。撮像部 11402 に本開示に係る技術を適用することにより、高精度な内視鏡 11100 を提供することが可能となる。

[0139] 以上、実施の形態、変形例および適用例ならびに応用例を挙げて本開示を説明したが、本技術は上記実施の形態等に限定されるものではなく、種々の変形が可能である。例えば、上述した変形例は、上記実施の形態の変形例と

して説明したが、各変形例の構成を適宜組み合わせることができる。

[0140] なお、本明細書中に記載された効果はあくまで例示であってその記載に限定されるものではなく、他の効果があってもよい。また、本開示は以下のような構成をとることも可能である。

(1)

第1入力部および第1出力部を有する第1インバータと、  
前記第1出力部に接続される第2入力部および前記第1入力部に接続されて第1信号を出力する第2出力部を有する第2インバータと、  
前記第2出力部から前記第1信号が入力される第1トランジスタと、  
前記第1トランジスタに直列に接続される抵抗と、  
をそれぞれ有するメモリセルを複数含むメモリセルアレイを備えた演算装置。

(2)

前記第1トランジスタは、前記第1出力部に接続されるゲートを有し、  
前記抵抗は、前記第1トランジスタのソースまたはドレインに接続される  
前記(1)に記載の演算装置。

(3)

第1のビット線および第2のビット線を有し、  
前記メモリセルは、前記第1出力部と第1のビット線とを接続可能な第2トランジスタと、前記第2出力部と第2のビット線とを接続可能な第3トランジスタと、を有する  
前記(1)または(2)に記載の演算装置。

(4)

前記メモリセルは、フリップフロップ型のメモリセルである  
前記(1)から(3)のいずれか1つに記載の演算装置。

(5)

前記メモリセルアレイは、前記メモリセル毎の前記第1信号に基づく積和演算を行う

前記（１）から（４）のいずれか１つに記載の演算装置。

（６）

前記メモリセルアレイは、積和演算によりアナログ信号である第２信号を生成する

前記（１）から（５）のいずれか１つに記載の演算装置。

（７）

前記第２信号を処理する信号処理回路を備え、

前記信号処理回路は、アナログデジタル変換処理、活性化関数による処理、プーリング処理の少なくとも一つを行う

前記（１）から（６）のいずれか１つに記載の演算装置。

（８）

複数の前記メモリセルの各々の前記第１トランジスタに電氣的に接続され、積和演算された第２信号を伝送する信号線を備える

前記（１）から（７）のいずれか１つに記載の演算装置。

（９）

前記メモリセルを制御する制御回路を備え、

前記信号処理回路と前記信号線とは、第１方向に並んで設けられ、

前記制御回路と前記信号線とは、前記第１方向と直交する方向に並んで設けられる

前記（１）から（８）のいずれか１つに記載の演算装置。

（１０）

前記抵抗は、トンネル接合を有する抵抗素子である

前記（９）に記載の演算装置。

（１１）

前記抵抗素子は、磁性体を含んで構成されている

前記（１０）に記載の演算装置。

（１２）

前記抵抗素子は、強誘電体を含んで構成されている

前記（１０）に記載の演算装置。

（１３）

第１入力部および第１出力部を有する第１インバータと、  
前記第１出力部に接続される第２入力部および前記第１入力部に接続されて第１信号を出力する第２出力部を有する第２インバータと、  
前記第２出力部から前記第１信号が入力される第１トランジスタと、  
前記第１トランジスタに直列に接続される抵抗と、  
をそれぞれ有するメモリセルを複数含むメモリセルアレイを備えた  
固体撮像装置。

[0141] 本出願は、日本国特許庁において２０２１年１１月３０日に出願された日本特許出願番号２０２１－１９３７４１号を基礎として優先権を主張するものであり、この出願の全ての内容を参照によって本出願に援用する。

[0142] 当業者であれば、設計上の要件や他の要因に応じて、種々の修正、コンビネーション、サブコンビネーション、および変更を想到し得るが、それらは添付の請求の範囲やその均等物の範囲に含まれるものであることが理解される。



## 請求の範囲

- [請求項1] 第1入力部および第1出力部を有する第1インバータと、  
前記第1出力部に接続される第2入力部および前記第1入力部に接続されて第1信号を出力する第2出力部を有する第2インバータと、  
前記第2出力部から前記第1信号が入力される第1トランジスタと、  
、  
前記第1トランジスタに直列に接続される抵抗と、  
をそれぞれ有するメモリセルを複数含むメモリセルアレイを備えた演算装置。
- [請求項2] 前記第1トランジスタは、前記第1出力部に接続されるゲートを有し、  
前記抵抗は、前記第1トランジスタのソースまたはドレインに接続される  
請求項1に記載の演算装置。
- [請求項3] 第1のビット線および第2のビット線を有し、  
前記メモリセルは、前記第1出力部と第1のビット線とを接続可能な第2トランジスタと、前記第2出力部と第2のビット線とを接続可能な第3トランジスタと、を有する  
請求項1に記載の演算装置。
- [請求項4] 前記メモリセルは、フリップフロップ型のメモリセルである  
請求項1に記載の演算装置。
- [請求項5] 前記メモリセルアレイは、前記メモリセル毎の前記第1信号に基づく積和演算を行う  
請求項1に記載の演算装置。
- [請求項6] 前記メモリセルアレイは、積和演算によりアナログ信号である第2信号を生成する  
請求項5に記載の演算装置。
- [請求項7] 前記第2信号を処理する信号処理回路を備え、

前記信号処理回路は、アナログデジタル変換処理、活性化関数による処理、プーリング処理の少なくとも一つを行う

請求項 6 に記載の演算装置。

[請求項8] 複数の前記メモリセルの各々の前記第 1 トランジスタに電氣的に接続され、積和演算された第 2 信号を伝送する信号線を備える

請求項 7 に記載の演算装置。

[請求項9] 前記メモリセルを制御する制御回路を備え、  
前記信号処理回路と前記信号線とは、第 1 方向に並んで設けられ、  
前記制御回路と前記信号線とは、前記第 1 方向と直交する方向に並んで設けられる

請求項 8 に記載の演算装置。

[請求項10] 前記抵抗は、トンネル接合を有する抵抗素子である

請求項 1 に記載の演算装置。

[請求項11] 前記抵抗素子は、磁性体を含んで構成されている

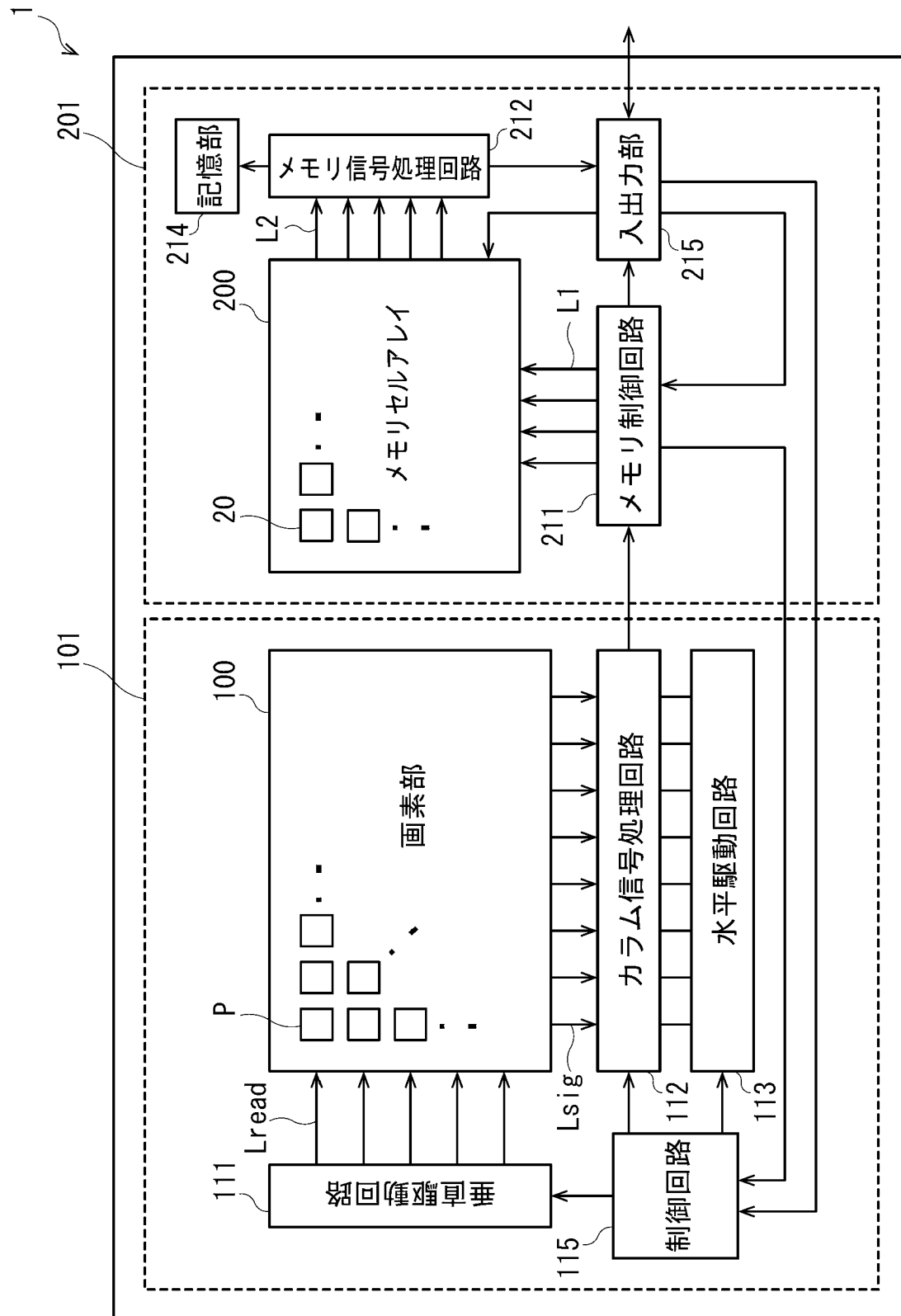
請求項 10 に記載の演算装置。

[請求項12] 前記抵抗素子は、強誘電体を含んで構成されている

請求項 10 に記載の演算装置。

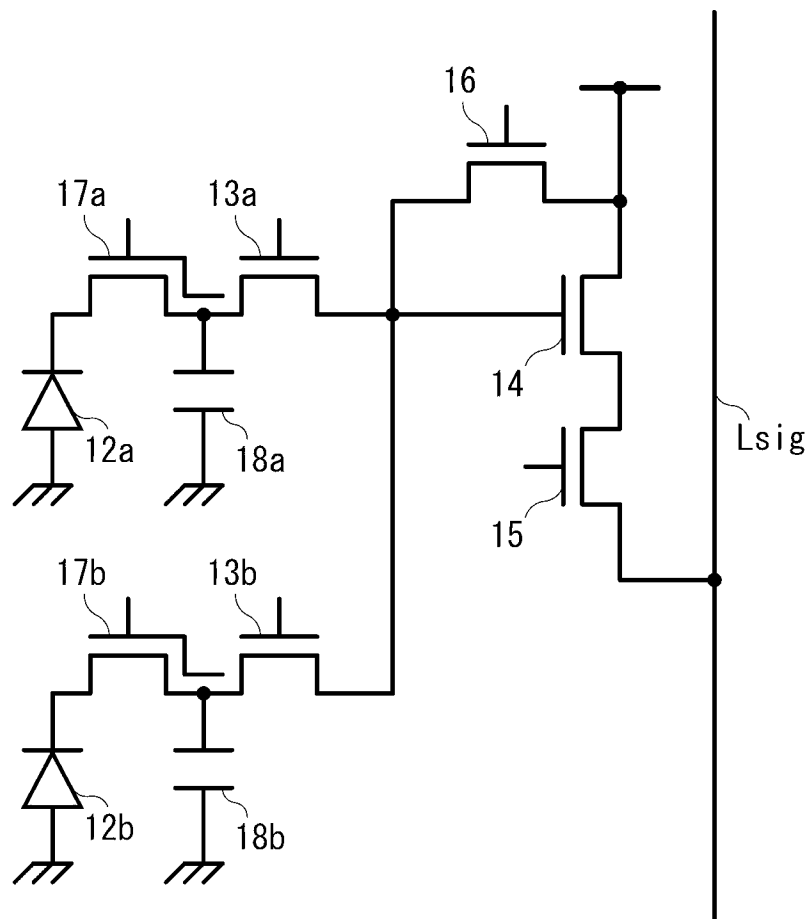
[請求項13] 第 1 入力部および第 1 出力部を有する第 1 インバータと、  
前記第 1 出力部に接続される第 2 入力部および前記第 1 入力部に接続されて第 1 信号を出力する第 2 出力部を有する第 2 インバータと、  
前記第 2 出力部から前記第 1 信号が入力される第 1 トランジスタと、  
、  
前記第 1 トランジスタに直列に接続される抵抗と、  
をそれぞれ有するメモリセルを複数含むメモリセルアレイを備えた  
固体撮像装置。

[図1]

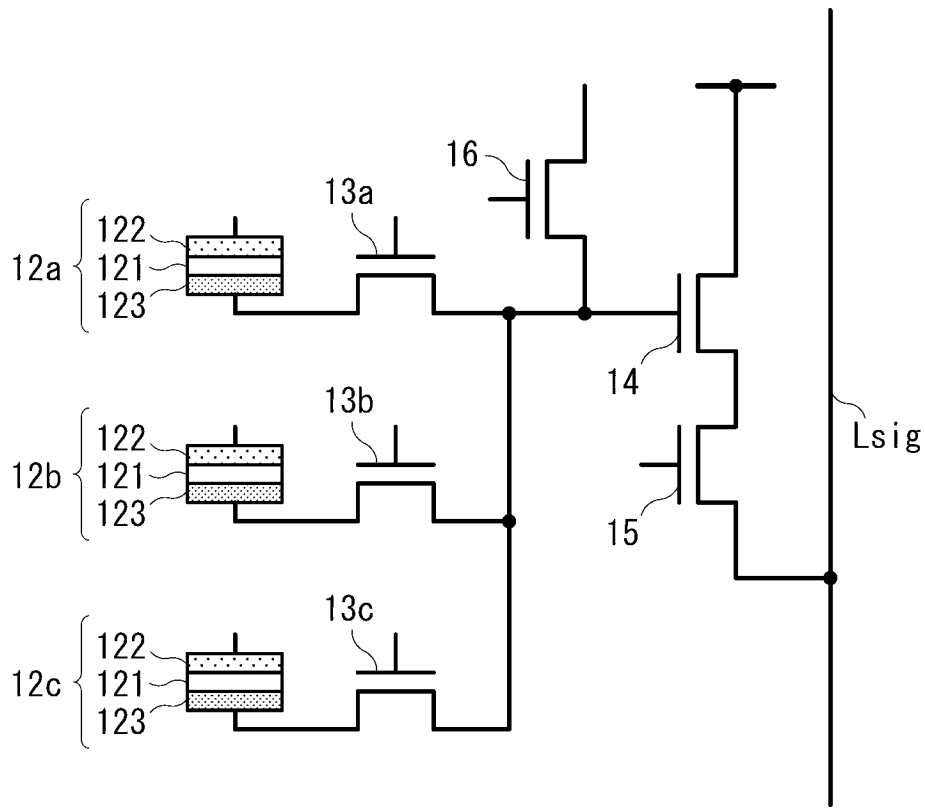


The diagram shows a differential amplifier circuit. A PMOS transistor, labeled 12, has its source connected to ground and its gate connected to a bias voltage  $P$ . The drain of transistor 12 is connected to the gates of two NMOS transistors, 13 and 14. Transistor 13 is a PMOS device with its source connected to the drain of transistor 12 and its gate connected to a bias voltage  $P$ . Transistor 14 is an NMOS device with its source connected to ground and its gate connected to the drain of transistor 12. The drains of transistors 13 and 14 are connected to a common output node, which is labeled  $L_{sig}$ . A load capacitor, labeled 16, is connected between the output node and ground. A differential pair of NMOS transistors, 14 and 15, is also shown. Transistor 14 has its source connected to ground and its gate connected to the drain of transistor 12. Transistor 15 has its source connected to ground and its gate connected to the drain of transistor 13. The drains of transistors 14 and 15 are connected to a common output node, which is labeled  $L_{sig}$ .

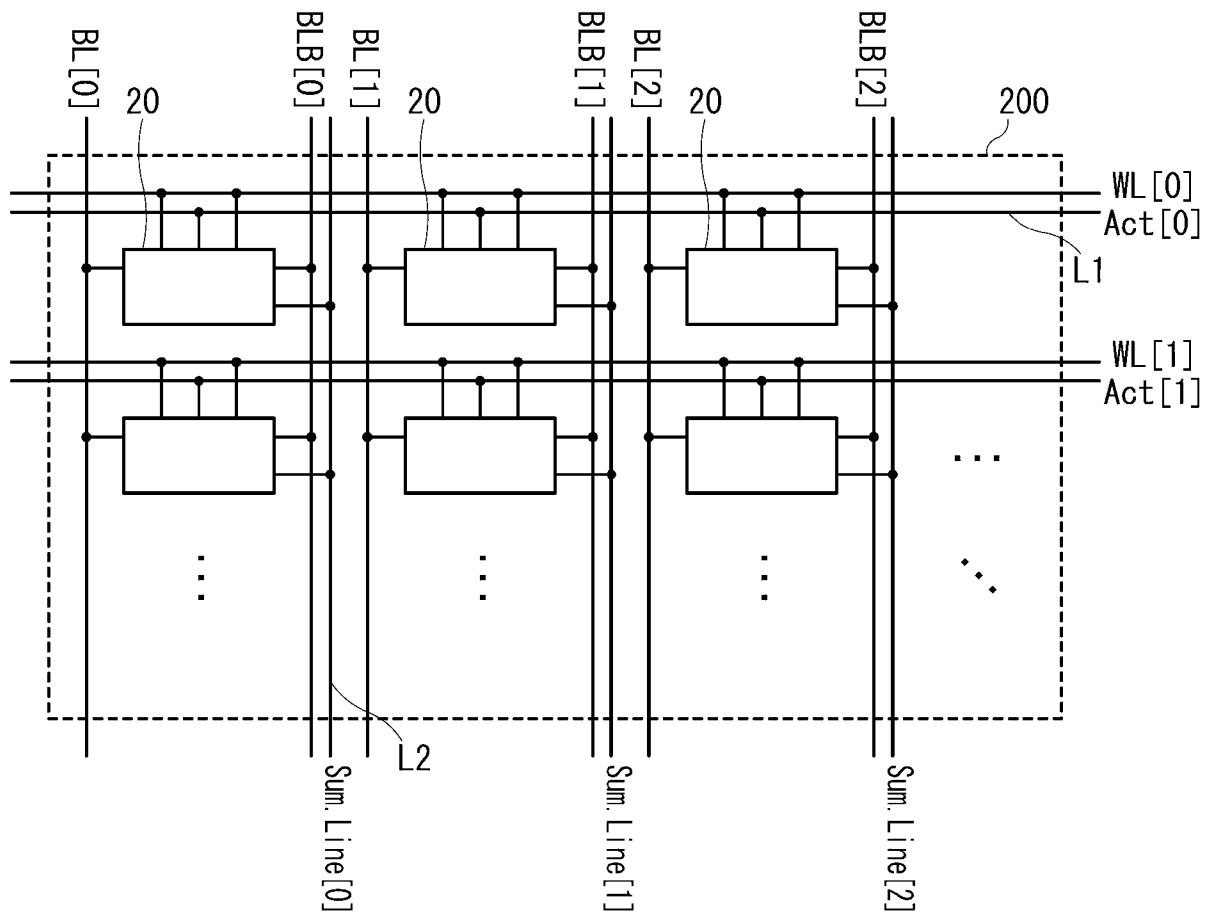
[図3]

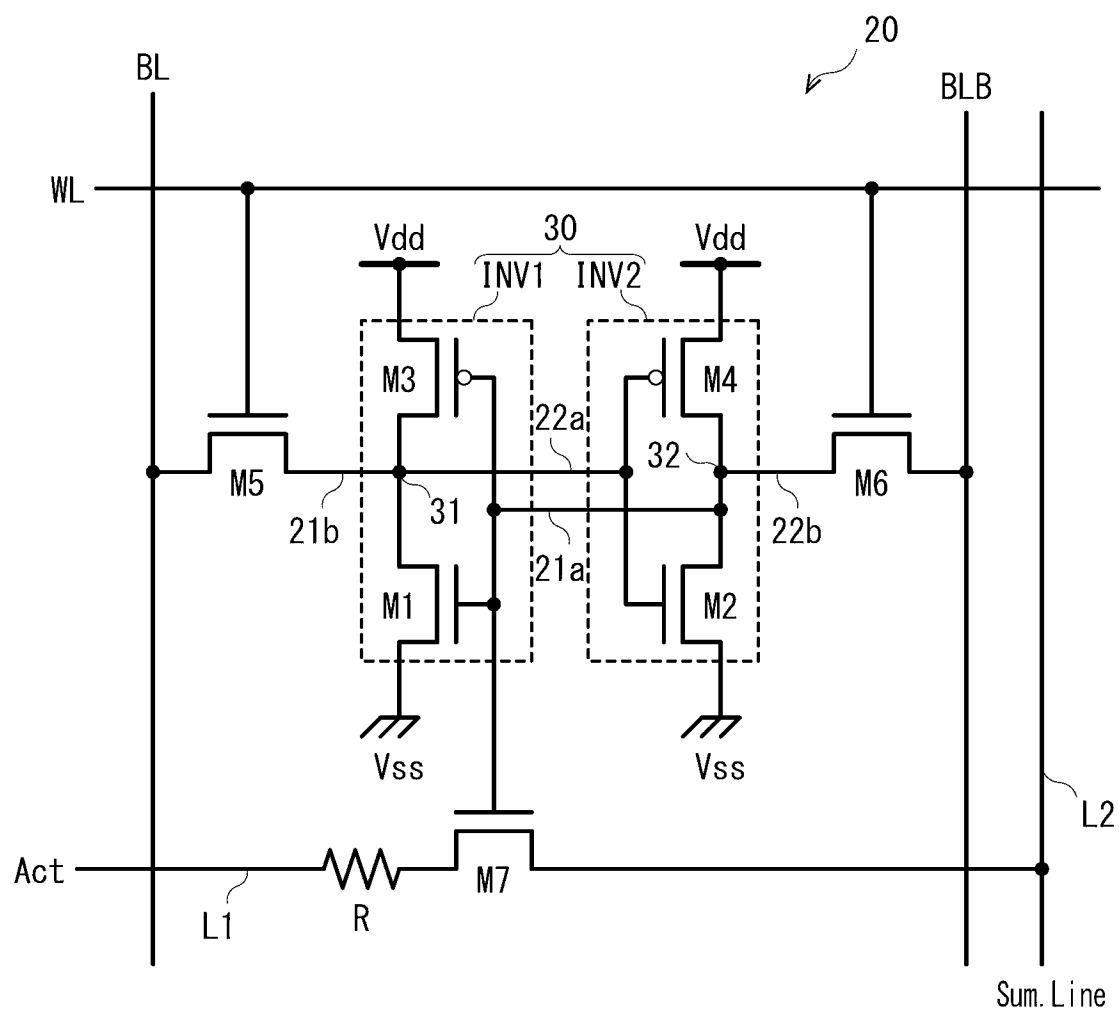


[図4]



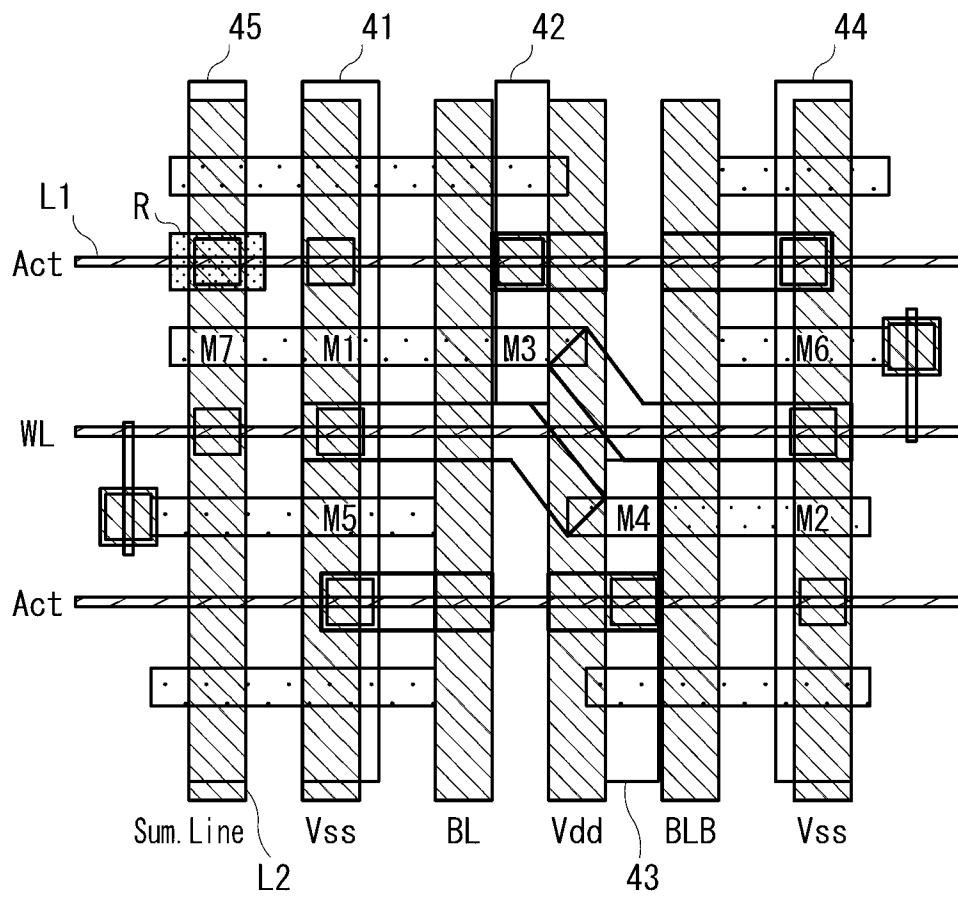
[図5]



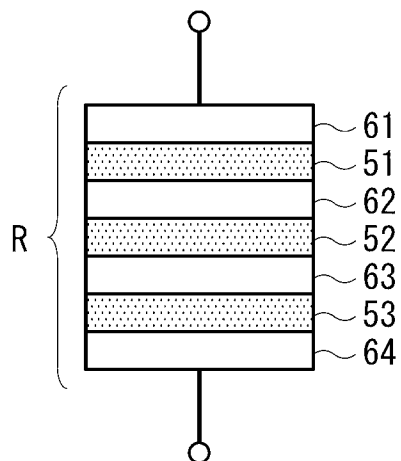




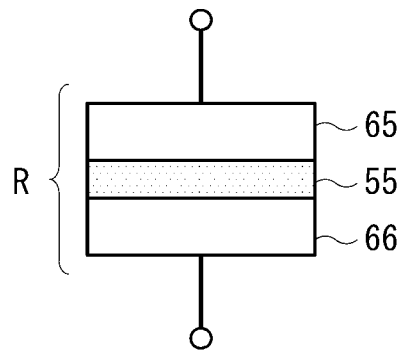
[図7]



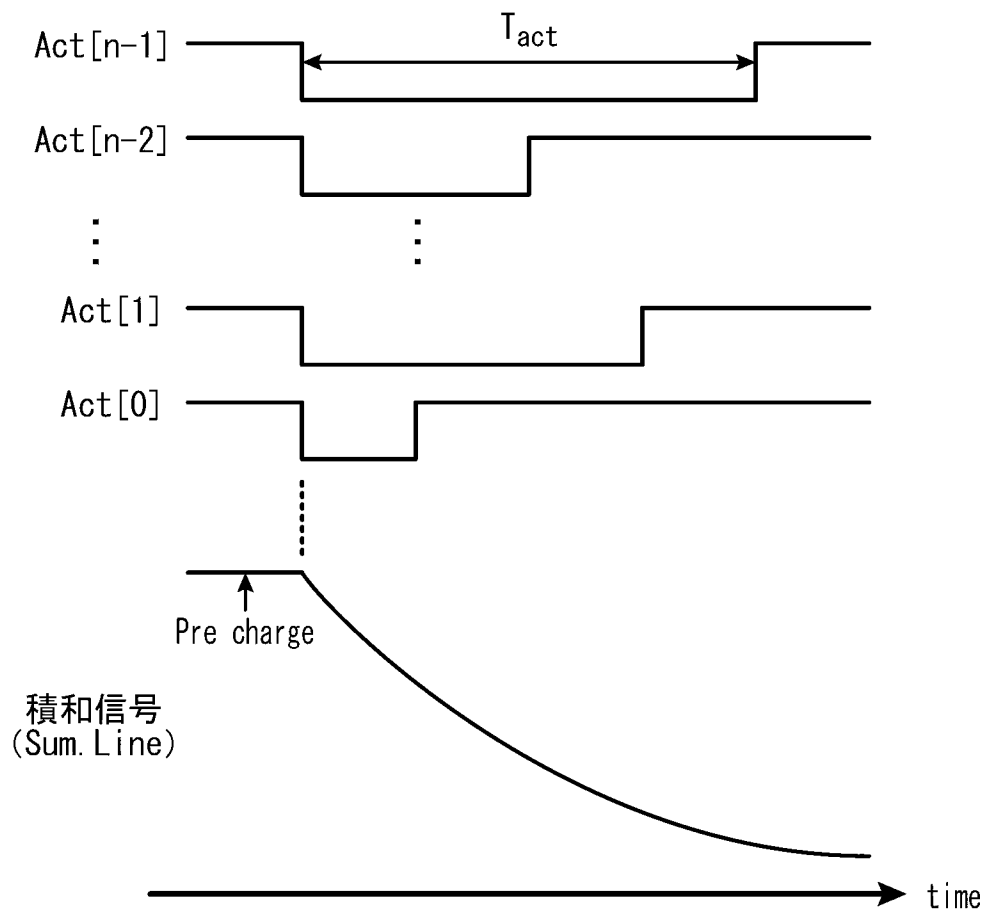
[図8]



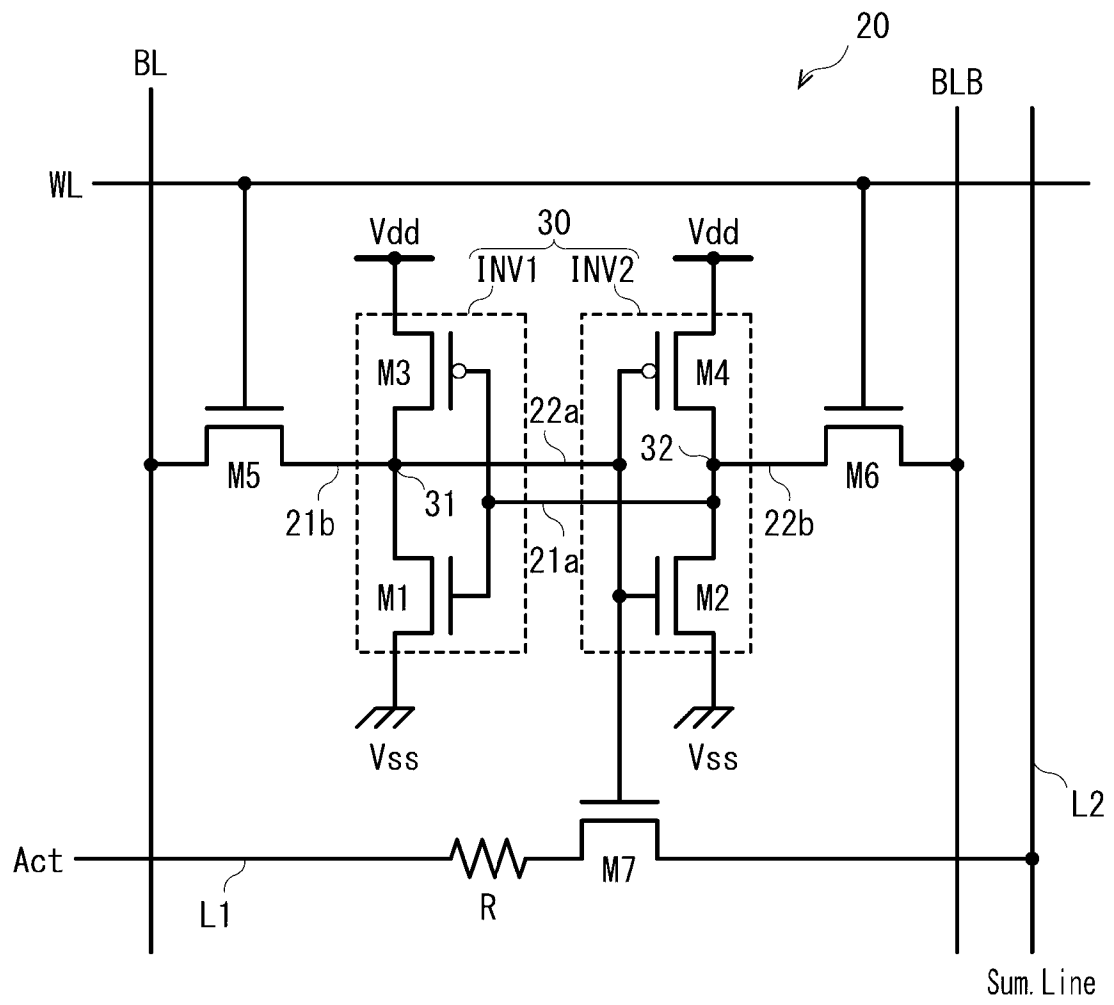
[図9]



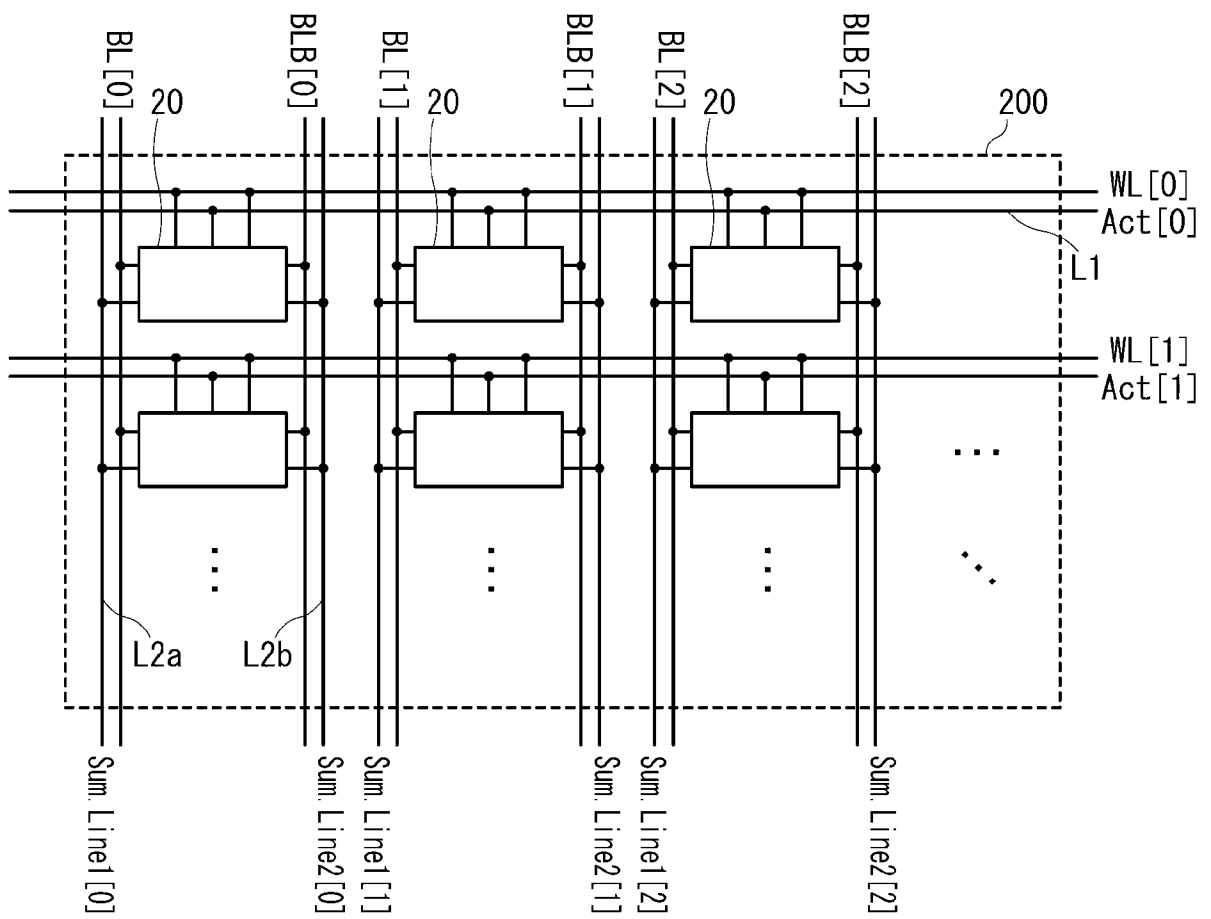
[図10]



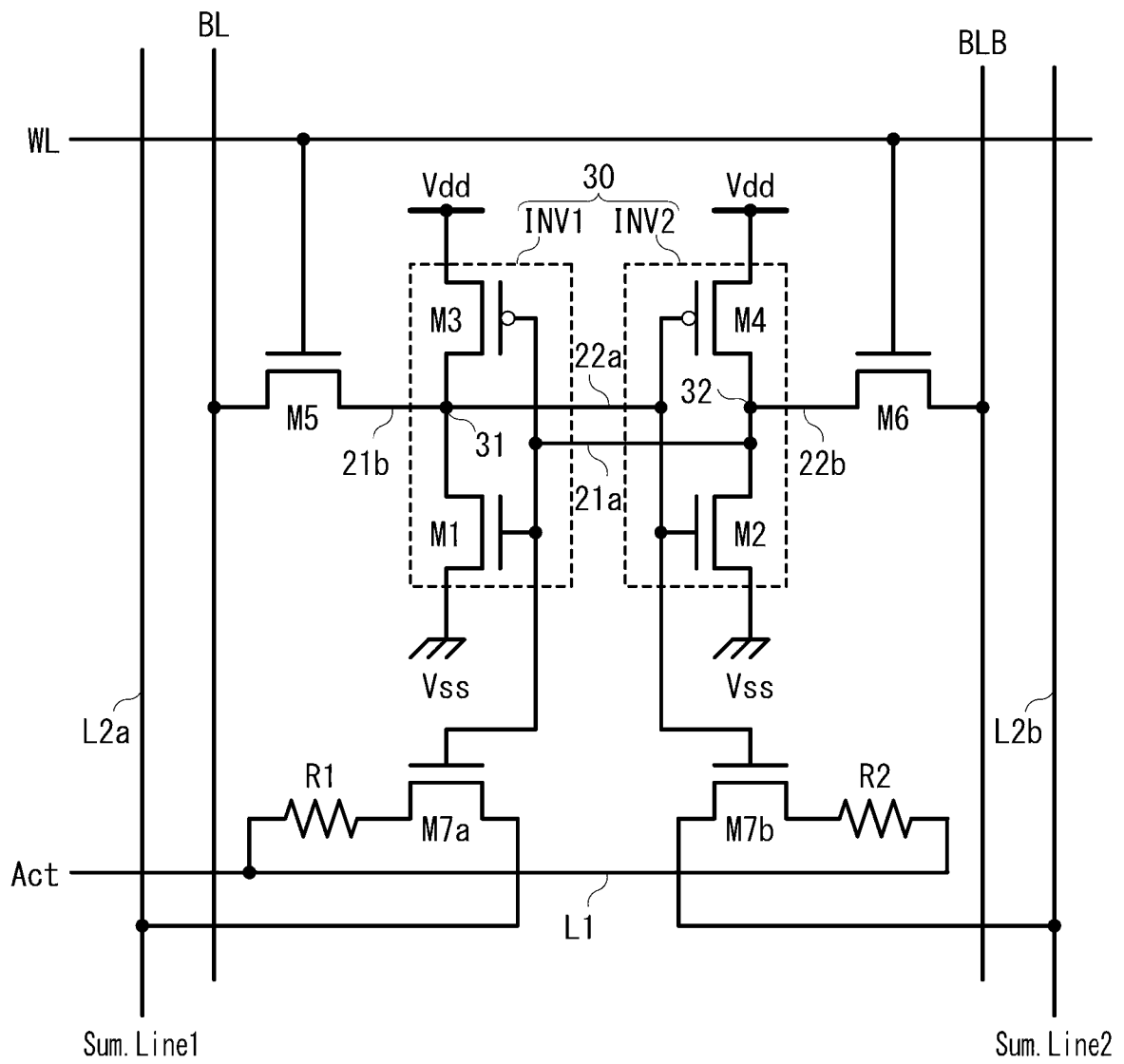
[図11]



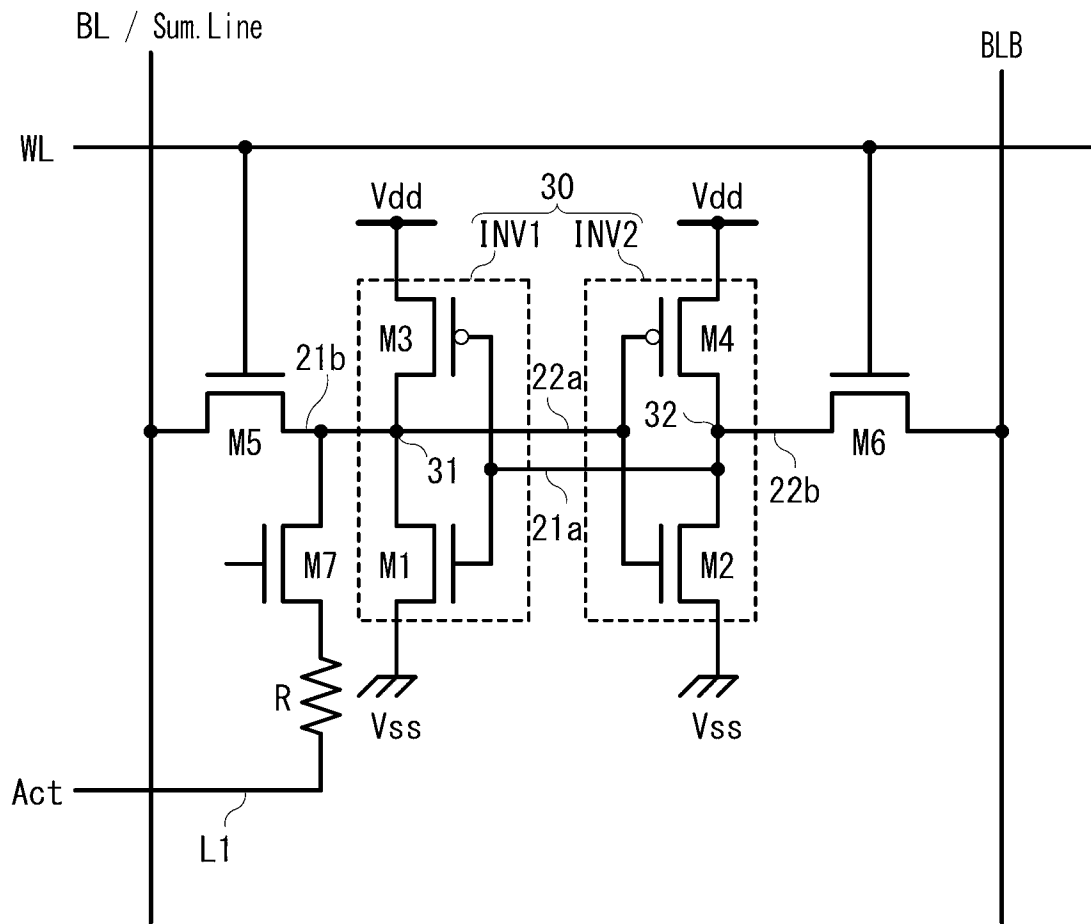
[図12]



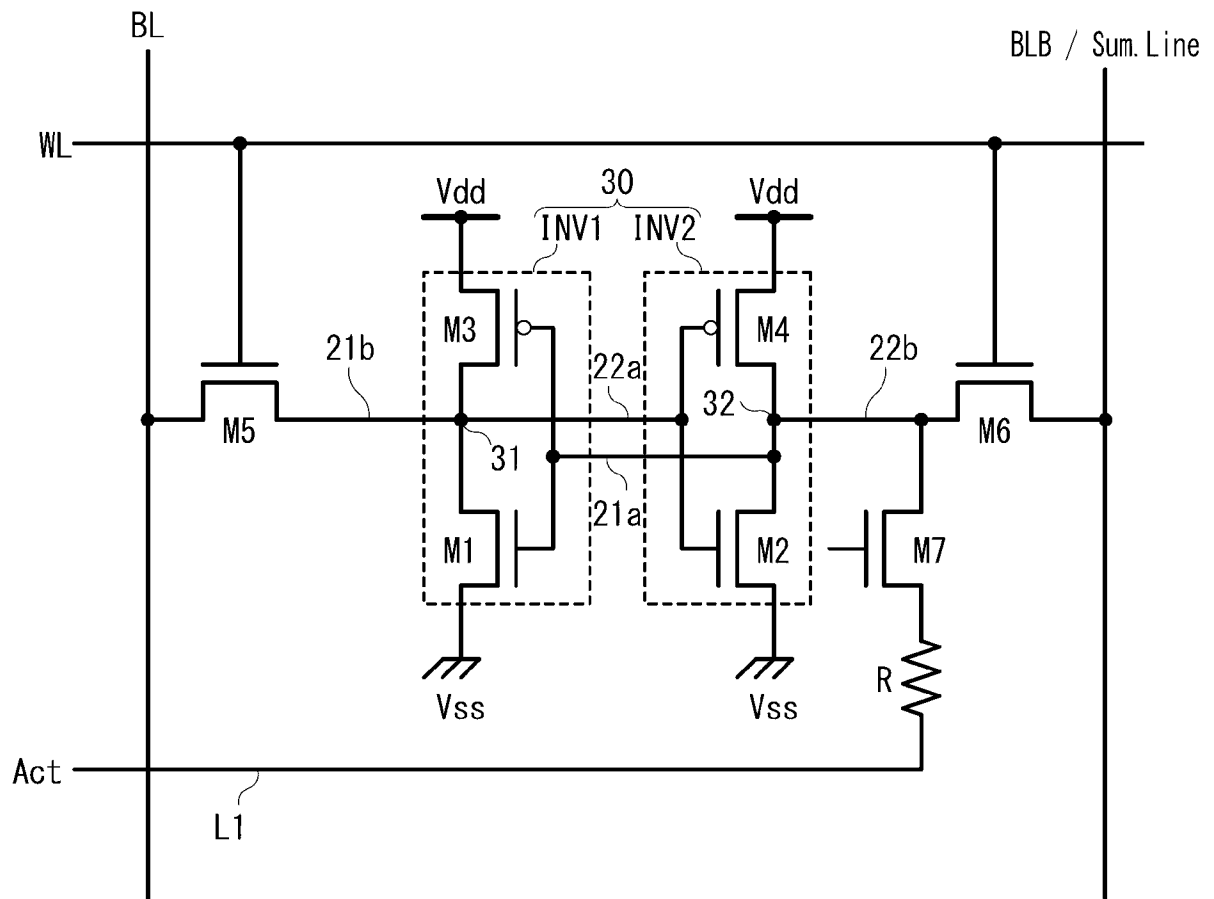
[図13]



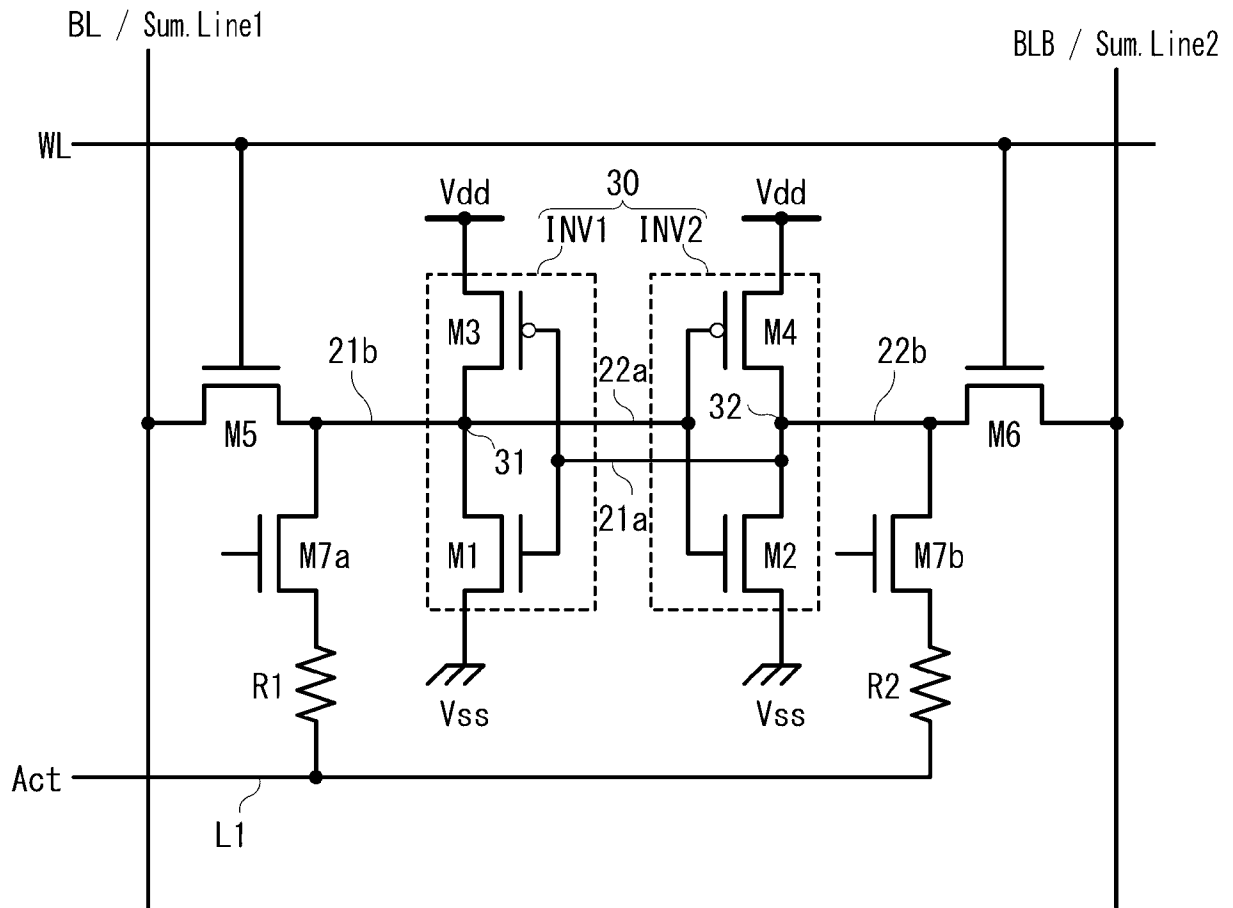
[図14]



[図15]



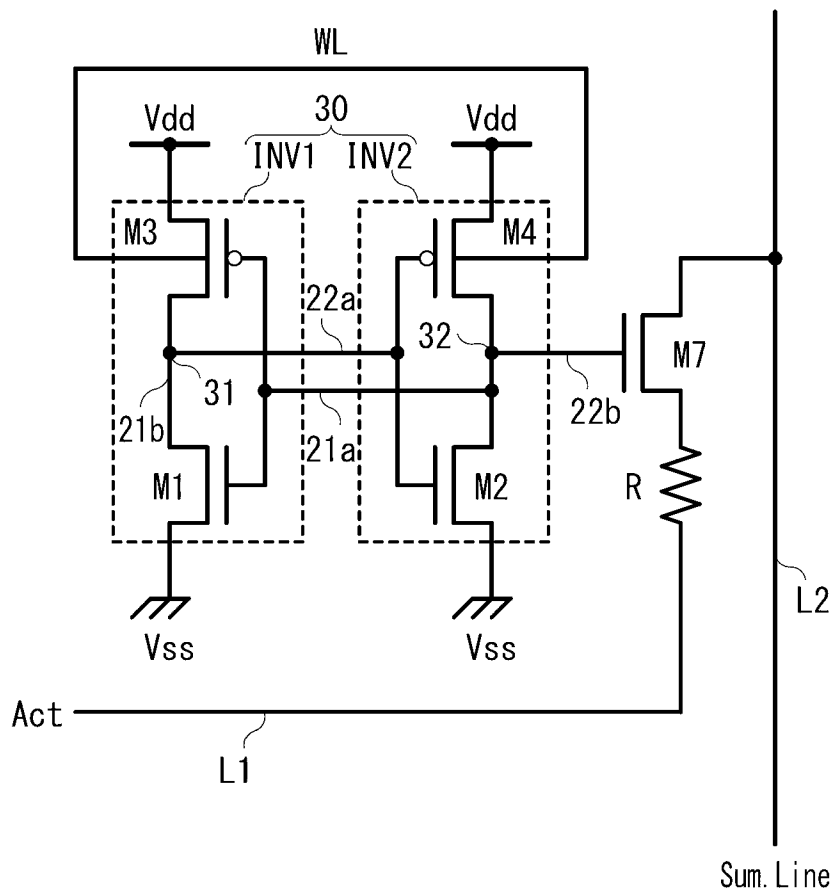
[図16]



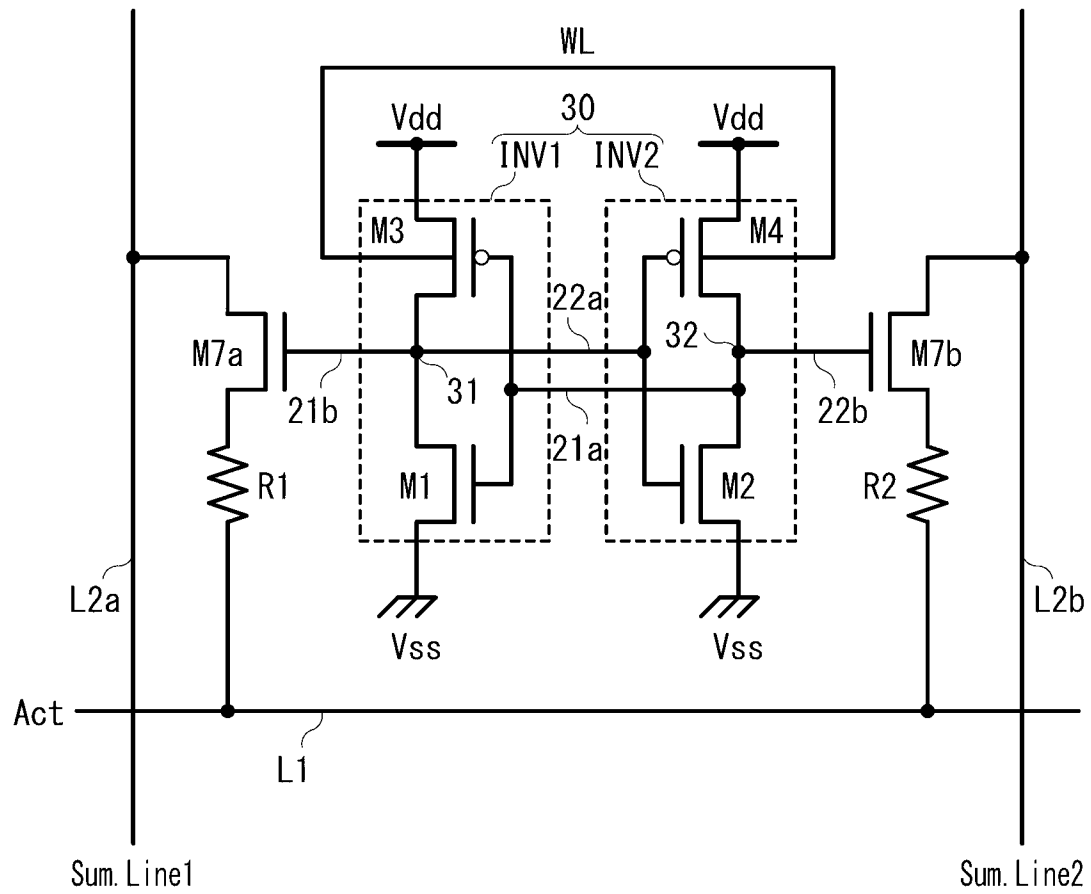


[illegible]

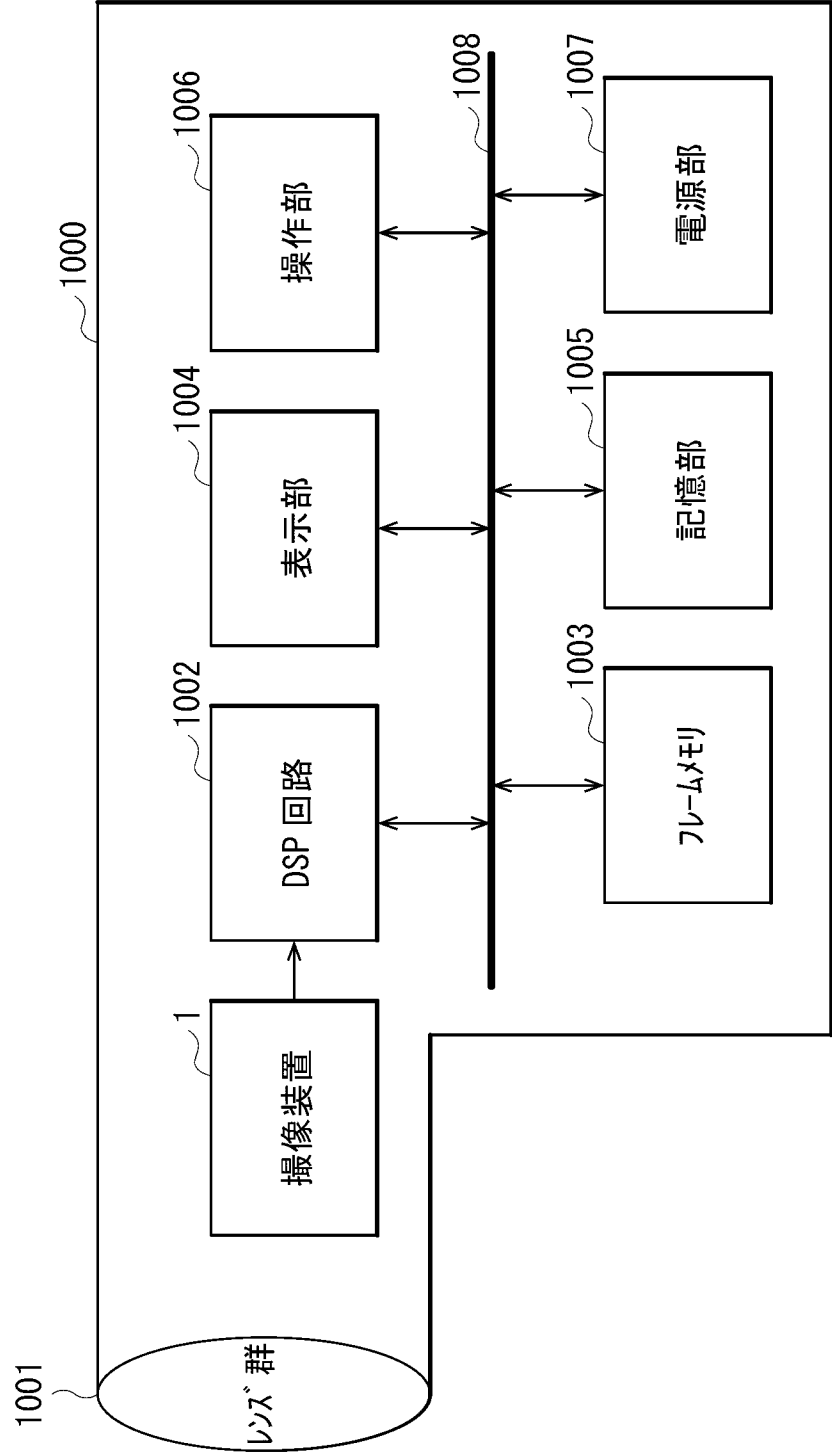
[図18]



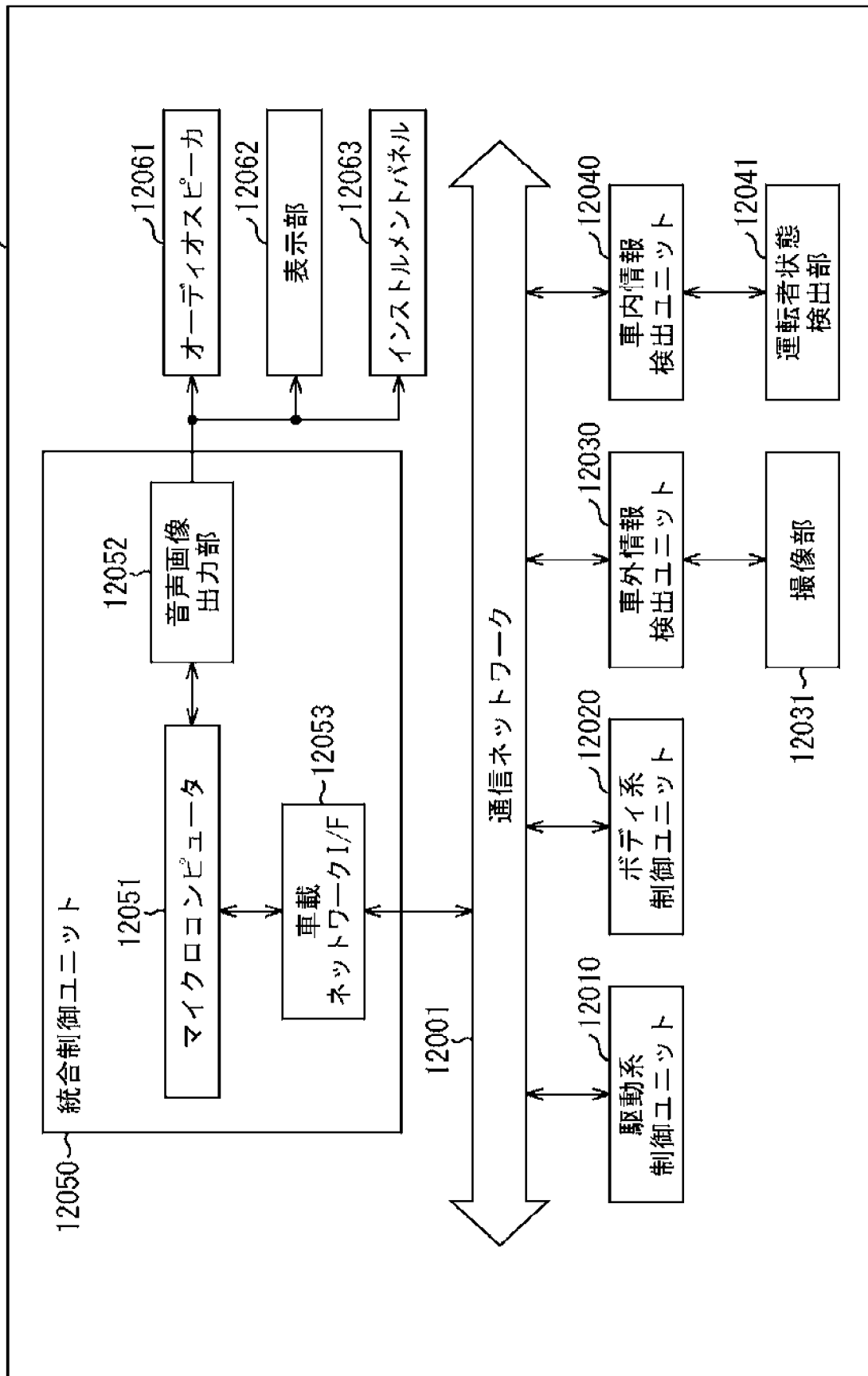
[図19]



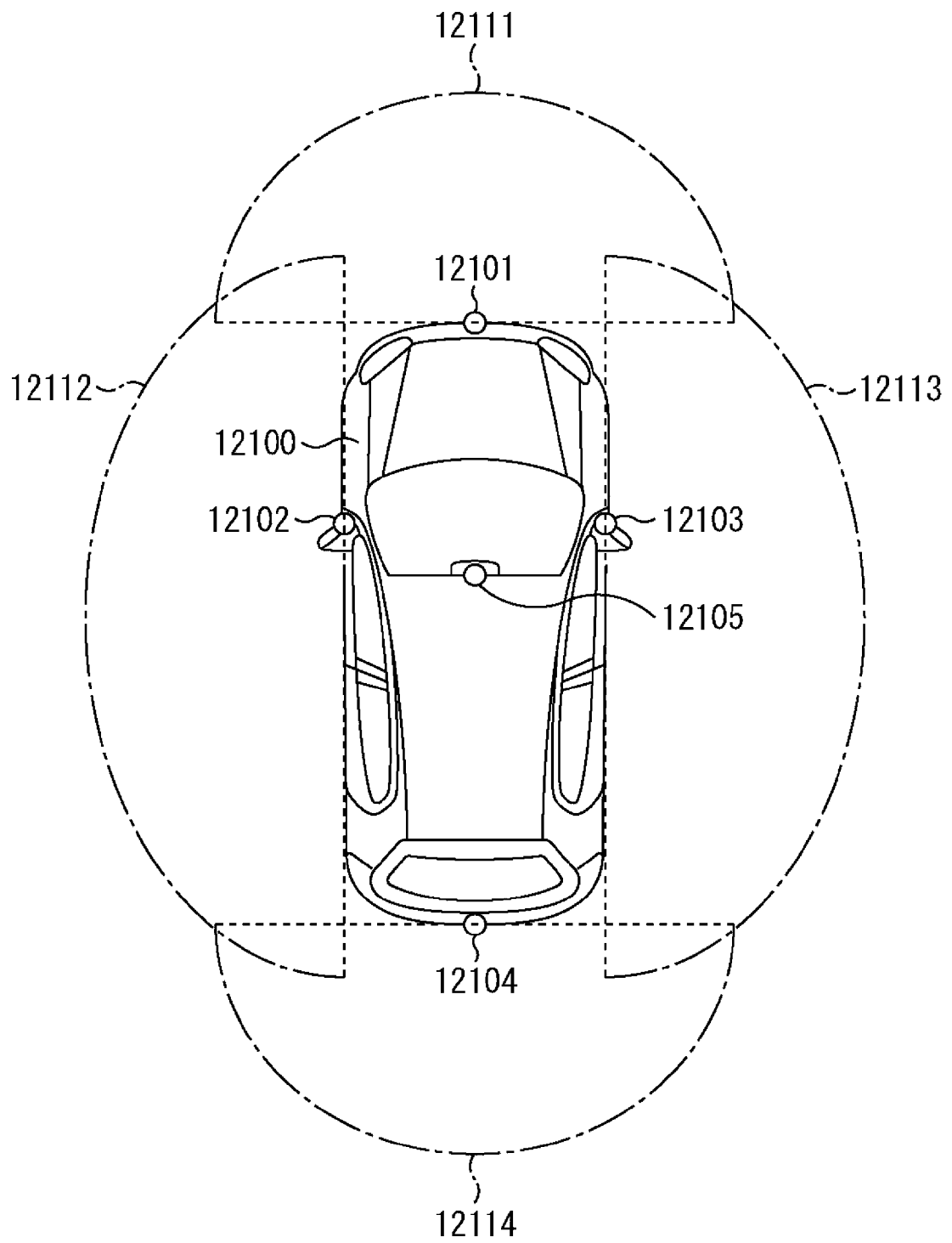
[図20]



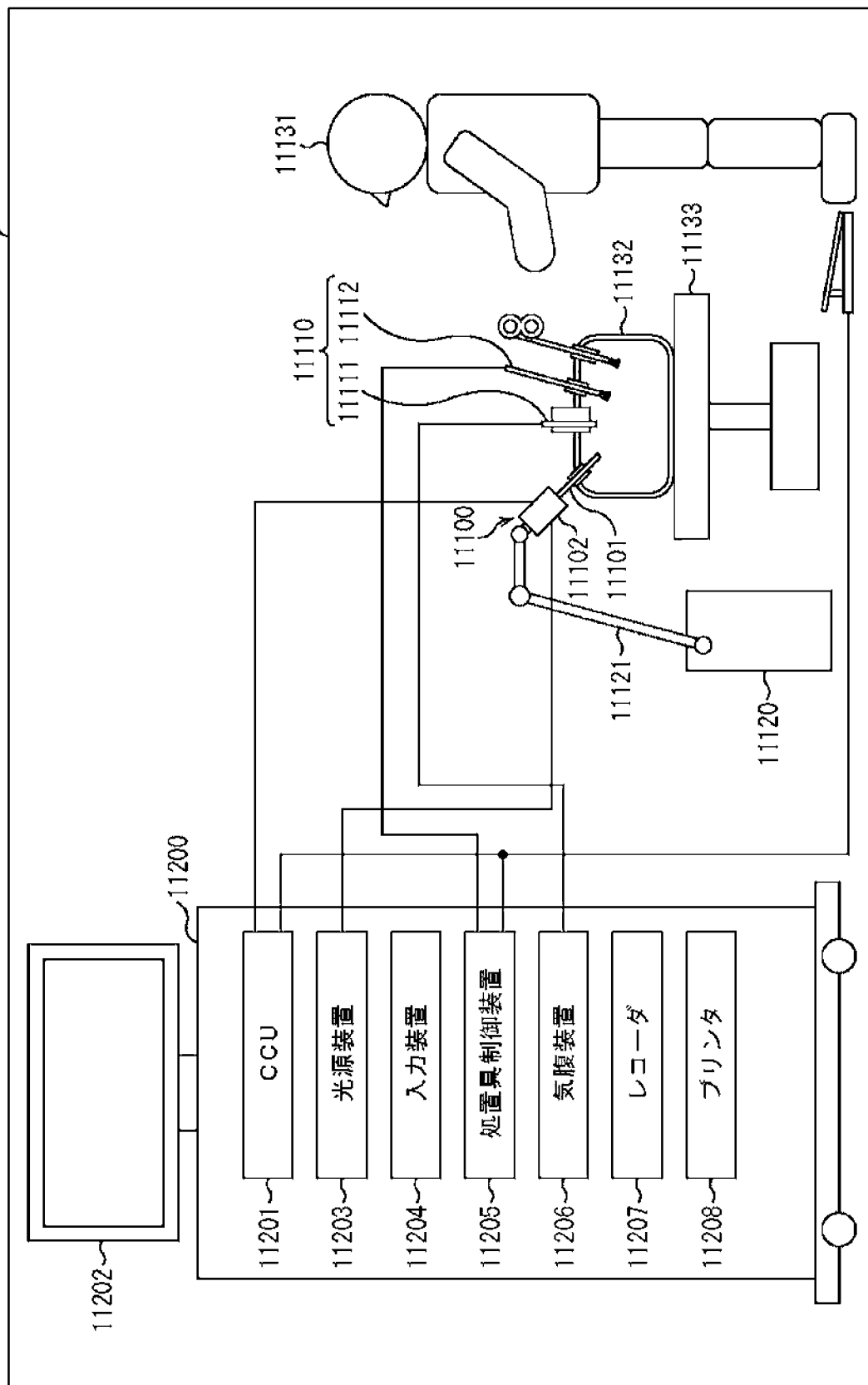
[図21]



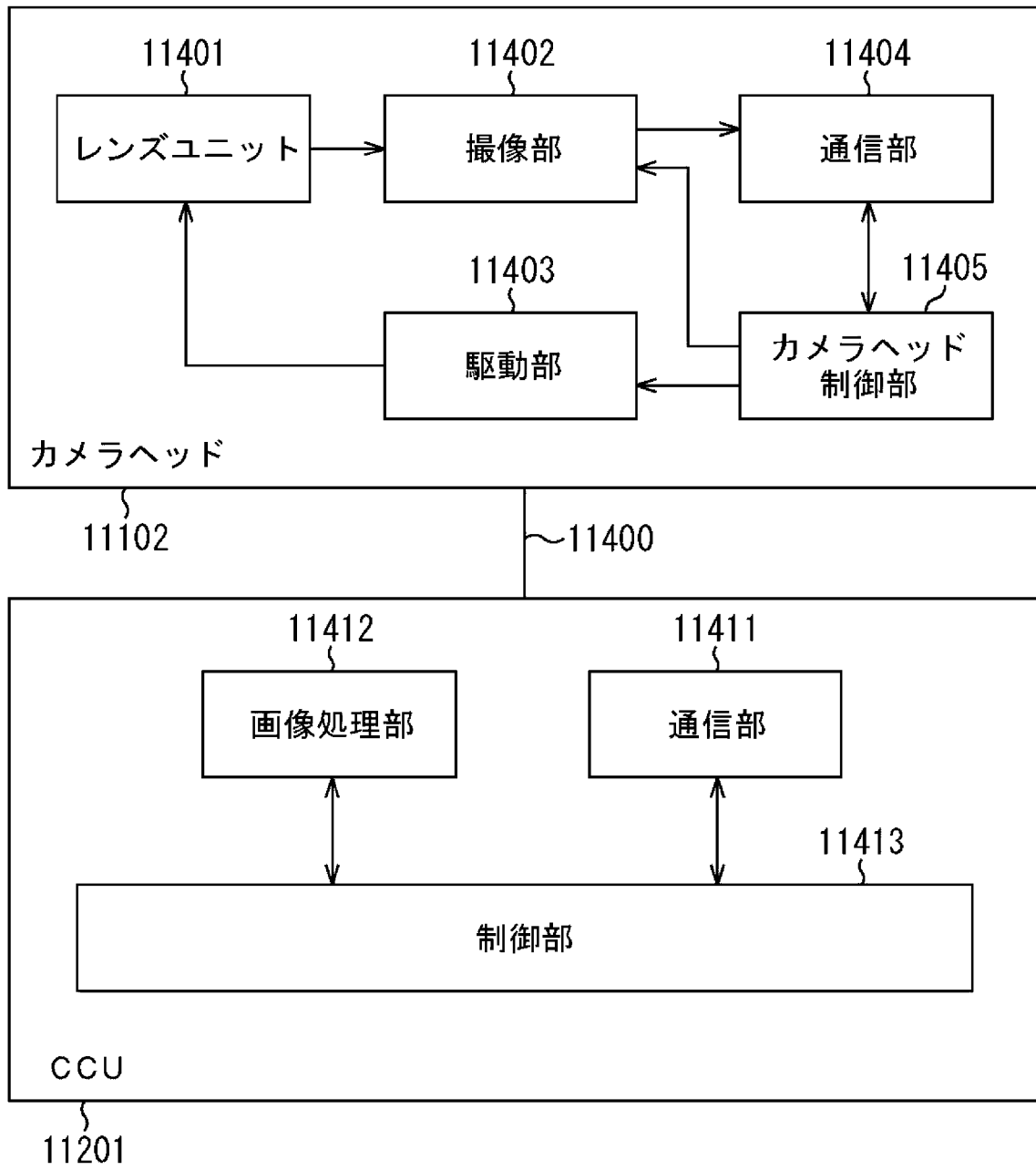
[図22]



[図23]



[図24]





## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2022/038204

**A. CLASSIFICATION OF SUBJECT MATTER***G11C 11/54*(2006.01)i; *G06G 7/60*(2006.01)i; *G06N 3/063*(2023.01)i; *G11C 11/412*(2006.01)i

FI: G11C11/54; G11C11/412; G06G7/60; G06N3/063

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

G11C11/54; G06G7/60; G06N3/063; G11C11/412

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2022

Registered utility model specifications of Japan 1996-2022

Published registered utility model applications of Japan 1994-2022

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                      | Relevant to claim No. |
|-----------|-----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X         | WO 2021/215112 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP.) 28 October 2021 (2021-10-28)<br>paragraphs [0004], [0022]-[0032], [0041], [0042], [0057], [0059], [0060]-[0076], fig. 1, 2, 5, 6 | 1-13                  |

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

\* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&amp;” document member of the same patent family

Date of the actual completion of the international search

05 December 2022

Date of mailing of the international search report

20 December 2022

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)

3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915

Japan

Authorized officer

Telephone No.

## INTERNATIONAL SEARCH REPORT

### Information on patent family members

International application No.

PCT/JP2022/038204

| Patent document<br>cited in search report |             |    | Publication date<br>(day/month/year) | Patent family member(s) |             |   | Publication date<br>(day/month/year) |
|-------------------------------------------|-------------|----|--------------------------------------|-------------------------|-------------|---|--------------------------------------|
| WO                                        | 2021/215112 | A1 | 28 October 2021                      | JP                      | 2021-174563 | A |                                      |
| .....                                     |             |    |                                      |                         |             |   |                                      |

|                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |                                                                                                                                                                                                                |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
|---------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------|-------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|----------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-------------|--------------|-------------|--------------|-------------|--------------|
| A. 発明の属する分野の分類（国際特許分類（IPC））<br>G11C 11/54(2006.01)i; G06G 7/60(2006.01)i; G06N 3/063(2023.01)i; G11C 11/412(2006.01)i<br>FI: G11C11/54; G11C11/412; G06G7/60; G06N3/063                                                                                                                                                                                                                                                                                                                                                                                                                                                                                 |                                                                                                                                                                                                                |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| B. 調査を行った分野                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             |                                                                                                                                                                                                                |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 調査を行った最小限資料（国際特許分類（IPC））<br>G11C11/54; G06G7/60; G06N3/063; G11C11/412                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                                                                                                                                                |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 最小限資料以外の資料で調査を行った分野に含まれるもの                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                              |                                                                                                                                                                                                                |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2022年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2022年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2022年</td> </tr> </table>                                                                                                                                                                                                                                                                                                                                                                                                       |                                                                                                                                                                                                                |                | 日本国実用新案公報                                                                                                                                                                                                                           | 1922 - 1996年                                                                                                                                                                                                   | 日本国公開実用新案公報 | 1971 - 2022年 | 日本国実用新案登録公報 | 1996 - 2022年 | 日本国登録実用新案公報 | 1994 - 2022年 |
| 日本国実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                               | 1922 - 1996年                                                                                                                                                                                                   |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 日本国公開実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 1971 - 2022年                                                                                                                                                                                                   |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 日本国実用新案登録公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 1996 - 2022年                                                                                                                                                                                                   |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 日本国登録実用新案公報                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                             | 1994 - 2022年                                                                                                                                                                                                   |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                  |                                                                                                                                                                                                                |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| C. 関連すると認められる文献                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         |                                                                                                                                                                                                                |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 引用文献の<br>カテゴリー*                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                         | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                                                                                              | 関連する<br>請求項の番号 |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| X                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                       | WO 2021/215112 A1（ソニーセミコンダクタソリューションズ株式会社）28.10.2021<br>(2021 - 10 - 28)<br>段落[0004], [0022]-[0032], [0041], [0042], [0057], [0059], [0060]-[0076]、図1,<br>2, 5, 6                                               | 1-13           |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| <table border="0"> <tr> <td>           * 引用文献のカテゴリー<br/>           “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの<br/>           “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br/>           “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br/>           “O” 口頭による開示、使用、展示等に言及する文献<br/>           “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献         </td> <td>           “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの<br/>           “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br/>           “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br/>           “&amp;” 同一パテントファミリー文献         </td> </tr> </table> |                                                                                                                                                                                                                |                | * 引用文献のカテゴリー<br>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの<br>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>“O” 口頭による開示、使用、展示等に言及する文献<br>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 | “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの<br>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>“&” 同一パテントファミリー文献 |             |              |             |              |             |              |
| * 引用文献のカテゴリー<br>“A” 特に関連のある文献ではなく、一般的な技術水準を示すもの<br>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの<br>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）<br>“O” 口頭による開示、使用、展示等に言及する文献<br>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献                                                                                                                                                                                                                                                                                                                                                                                                                     | “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの<br>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの<br>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの<br>“&” 同一パテントファミリー文献 |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 国際調査を完了した日<br>05.12.2022                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                | 国際調査報告の発送日<br>20.12.2022                                                                                                                                                                                       |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |
| 名称及びあて先<br>日本国特許庁(ISA/JP)<br>〒100-8915<br>日本国<br>東京都千代田区霞が関三丁目4番3号                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                                      | 権限のある職員（特許庁審査官）<br><br>後藤 彰 5S 4226<br><br>電話番号 03-3581-1101 内線 3546                                                                                                                                           |                |                                                                                                                                                                                                                                     |                                                                                                                                                                                                                |             |              |             |              |             |              |

国際出願番号  
PCT/JP2022/038204

| 引用文献  |             |    | 公表日        | パテントファミリー文献 |             |   | 公表日 |
|-------|-------------|----|------------|-------------|-------------|---|-----|
| WO    | 2021/215112 | A1 | 28.10.2021 | JP          | 2021-174563 | A |     |
| <hr/> |             |    |            |             |             |   |     |