

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4644953号  
(P4644953)

(45) 発行日 平成23年3月9日(2011.3.9)

(24) 登録日 平成22年12月17日(2010.12.17)

(51) Int.Cl.		F I	
HO 1 L 21/822 (2006.01)		HO 1 L 27/04	P
HO 1 L 27/04 (2006.01)		HO 1 L 27/06	1 O 1 U
HO 1 L 27/06 (2006.01)		HO 1 L 27/06	1 O 2 A
HO 1 L 21/8248 (2006.01)		HO 1 L 27/06	3 2 1 A
HO 1 L 21/8222 (2006.01)			

請求項の数 2 (全 24 頁) 最終頁に続く

(21) 出願番号 特願2001-52754 (P2001-52754)  
 (22) 出願日 平成13年2月27日(2001.2.27)  
 (65) 公開番号 特開2002-261237 (P2002-261237A)  
 (43) 公開日 平成14年9月13日(2002.9.13)  
 審査請求日 平成19年12月27日(2007.12.27)

(73) 特許権者 000002185  
 ソニー株式会社  
 東京都港区港南1丁目7番1号  
 (74) 代理人 100122884  
 弁理士 角田 芳末  
 (74) 代理人 100113516  
 弁理士 磯山 弘信  
 (74) 代理人 100080883  
 弁理士 松隈 秀盛  
 (72) 発明者 吉田 浩  
 東京都品川区北品川6丁目7番35号 ソ  
 ニー株式会社内

審査官 宇多川 勉

最終頁に続く

(54) 【発明の名称】 半導体装置の製造方法

(57) 【特許請求の範囲】

【請求項1】

薄膜抵抗素子を有して成る半導体装置を製造する方法であって、  
 シリコンサーメット材料から成る抵抗膜を成膜する工程と、  
 上記抵抗膜を形成する工程と同一の装置内で、連続して上記抵抗膜上に絶縁性保護膜を成膜する工程と、

上記抵抗膜及び上記絶縁性保護膜を一括してパターンニングして、上記抵抗膜及び上記絶縁性保護膜の積層膜から成る上記薄膜抵抗素子を形成する工程と、

上記薄膜抵抗素子を覆って絶縁層を形成する工程とを有し、

上記シリコンサーメット材料は、シリコン及び1種類以上の金属元素に、酸素、窒素、炭素から選ばれる少なくとも1種類の元素を含む組成から成る

半導体装置の製造方法。

【請求項2】

上記絶縁性保護膜が、上記抵抗膜及び上記絶縁層に対して、エッチングに対する選択性を有している請求項1に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、薄膜抵抗素子を有して成る半導体装置の製造方法に係わる。特に、高抵抗 (> 0.5 k / ) の抵抗素子の搭載が必要とされ、バイポーラ素子等から構成されるア

ナログ回路機能を有する半導体装置もしくはバイポーラトランジスタ及びMOSトランジスタから構成されるアナログ・デジタル回路機能を有するいわゆるBiCMOS半導体装置に適用して好適な半導体装置の製造方法に係わる。

【0002】

【従来の技術】

集積回路を有する半導体装置において抵抗素子を形成する場合に、用いられている抵抗素子の種類としては、

- (1) 拡散抵抗素子
- (2) 電界効果型抵抗素子
- (3) 薄膜多結晶シリコン抵抗素子
- (4) 薄膜金属抵抗素子

10

が挙げられる。

【0003】

(1) 拡散抵抗素子は、半導体基体に導電型がN型又はP型となる不純物をドーピングし、熱処理を行うことにより形成される。拡散抵抗素子の抵抗値は、不純物の拡散の長さ、拡散の幅、拡散の深さと、拡散材料の抵抗率とに依存する。拡散材料の抵抗率はドーパントと高温熱処理後のドーパント種の接合プロファイルに依存する特徴がある。

(2) 電界効果型抵抗素子は、デプレッションモードで使用されるトランジスタを用いた抵抗素子であり、そのトランジスタの閾値電圧を制御するイオン注入により抵抗値が調整されることを特徴としている。

20

(3) 薄膜多結晶シリコン抵抗素子は、多結晶シリコン膜に導電型がN型又はP型となる不純物をドーピングし、熱処理を行うことによって形成される。

(4) 薄膜金属抵抗素子は、絶縁材料上に成膜される抵抗性金属材料膜により形成される。薄膜金属抵抗素子は、回路上高いシート抵抗が必要とされるLSIにおいて、特に有用とされてきた。

【0004】

従来のデジタル回路においては、不純物をドーブされた多結晶シリコン膜が抵抗体材料として用いられてきた。

しかしながら、特にアナログ回路では、デジタル回路と比較して、より低い抵抗温度係数が要求とされる。そこで、高精度、高信頼性を有する薄膜金属抵抗素子を採用するようになってきている。このような高精度かつ高信頼性を有する薄膜金属抵抗素子の材料としては、従来から、ニッケルクロム(NiCr)、窒化タンタル(TaN)、クロムシリサイド(CrSi<sub>2</sub>)、クロムシリコンオキシ(CrSiO)等が知られている。

30

【0005】

近年、半導体装置の高集積化に伴い、抵抗素子の微細化が要求されており、そのために2000μm程度の高い比抵抗が容易に得られるCrSiOやCrSi<sub>2</sub>が多く用いられるようになってきている。これにより、所要の高抵抗値の確保がなされている。

尚、上記材料の比抵抗は、CrSiOが1000~4000μm、CrSi<sub>2</sub>が500~2000μm、TaNが100μm、NiCrが50μm程度である。

【0006】

40

そして、従来の微細化された薄膜抵抗素子は、半導体基体上の絶縁膜上に抵抗素子となる例えばCrSi<sub>2</sub>膜から成る薄膜パターンが延在配設され、このCrSi<sub>2</sub>膜から成る薄膜パターンの両端部にアルミニウムもしくはその合金から成るAl配線が直接コンタクトした構造を有していた。

【0007】

さらに、特にシリコン半導体基板上に形成された薄膜金属抵抗素子に対してとりわけ低い抵抗温度係数が要求される場合には、その材料としてCrSiN膜がしばしば用いられる。

このCrSiN膜は高抵抗でかつスパッタ成膜やエッチングが容易であり、ドーブされた多結晶シリコン膜の抵抗温度係数が1000ppm/以上あるのに対して、CrSiN

50

膜は100ppm/と低い抵抗温度係数を有するため、多用されてきた。

【0008】

しかしながら、上述した4種類の抵抗素子においては、以下のような問題があった。

【0009】

拡散抵抗素子及び電界効果型抵抗素子は、それぞれ半導体集積回路の製造プロセスに容易に統合されるという利点を有しているが、多くの短所もある。

特にこれらの抵抗素子は、抵抗値を制御するパラメータが半導体集積回路のデバイス性能のために最適化されなければならないパラメータと同一であるため、抵抗値が制約され、自由な抵抗値の設計が難しくなっている。

従って、実際の半導体集積回路において、拡散抵抗素子または電界効果型抵抗素子を形成した場合、デバイス性能を優先する結果、上述のパラメータの制約により、これらの抵抗素子では低い抵抗値しか得られない。

さらに、拡散抵抗素子は、比較的大きなスペースを必要とするため、半導体集積回路の集積化や小型化を妨げてしまう短所を有している。

【0010】

一方、多結晶シリコン抵抗素子は、半導体集積回路用の抵抗素子として現在最も幅広く採用されている。

しかしながら、多結晶シリコンにおけるキャリア伝導機構を構成する因子が多く、かつ複雑であり、しかも他工程の熱処理の影響による大きな変動を受け、特に高抵抗側で顕著となる傾向があり、抵抗値の精度が充分でないこと及び抵抗温度係数(～2000ppm/ )が大きいことが課題となってきた。

【0011】

また、薄膜金属抵抗素子で最も広く採用されているCrSi系材料は、非常に酸化されやすいことが大きな課題となってきた。CrSi系抵抗素子の製造プロセスでは、バターニングした抵抗膜(CrSi系材料の膜)が直接酸素雰囲気や酸素プラズマに晒される工程が多い。このため、抵抗膜の表面に酸化や変質が生じる。このように表面が酸化されたり、変質した抵抗膜の上に直接アルミニウム膜の配線を形成すると、接触抵抗が大きかつ導通が不安定になる。

そこで、抵抗膜の表面の変質層を除去するために、希フッ酸水溶液で抵抗膜の表面及び半導体ウエハの表面を洗浄することも行われている。

しかしながら、このように抵抗膜の表面に対して洗浄を行っても、コンタクト抵抗を充分低く、かつ安定にすることは困難である。例えばCrSiN膜は非常に酸化されやすいため、表面の洗浄を行った後でも、CrSiN膜の上に積層する配線膜材料との間に薄い酸化クロム等が自然酸化膜として形成されてしまい、配線材料と抵抗膜との導通がしばしば不安定になる。

【0012】

さらに、薄膜金属抵抗素子の材料としてCrSi<sub>2</sub>膜を用いた従来の薄膜抵抗素子では、CrSi<sub>2</sub>の抵抗値が360近傍の温度で大きく変化し、薄膜抵抗素子を形成した後に半導体装置が完成するまでに行われる熱処理工程によって、抵抗値が大幅に変動する問題がある。

【0013】

一方、CrSiO膜は、熱的な安定性が高く、抵抗素子を形成した後の熱処理工程による抵抗値の変動が少ないので、抵抗膜自体の材料としては望ましい。しかしながら、このCrSiO膜は、アルミニウム合金を積層して成る配線層と良好な電氣的接続をとることが難しく、接続部の接触抵抗により初期抵抗値のばらつきが大きくなる問題があり、実用化には複雑な素子構造と繁雑な製造工程が必要となることから、製造コストの増大が大きな課題となる。

【0014】

さらに、従来の薄膜抵抗素子には、ニクロム合金やチタ化タンタルを用いたものが多いが、これらの材料は比抵抗が低いため、高い比抵抗とするためには抵抗膜を薄くしなければ

10

20

30

40

50

ならず、薄くすることにより熱的安定性が悪くなるという問題があった。

そこで、高い比抵抗を有する材料として、クロムとシリコンとの合金から成る薄膜抵抗素子が提案されているが、この合金材料も熱を加えると抵抗値が変化するという問題があった。

#### 【0015】

上述した従来の抵抗素子の課題を解決するために、各種の抵抗素子の構成や製造方法が提案されているが（例えば特開平6-5787号、特開平5-190547号、特開平7-245303号、特開平7-202124等参照）、いずれも製造コストの大幅な上昇や抵抗精度の悪化等の短所を有していて、実用上十分なものとはなっていない。

#### 【0016】

##### 【発明が解決しようとする課題】

以上の問題を回避し、尚かつ、特に高抵抗の抵抗素子に求められる特性、即ち高い抵抗（ $> 2.0 \text{ k} / \square$ ）、低い抵抗温度係数（ $< \pm 200 \text{ ppm} / \square$ ）、高精度の抵抗値、耐熱性（450 程度まで）、耐酸化性（450 程度まで）、経時変化に対する安定性、等の要件を全て満たすことが要求されている。

#### 【0017】

そこで、これらの要求に応えられる材料として、 $(M + SiO_2)$ 、 $(M + SiN)$ 、 $(M + SiC)$ 等（Mは金属元素）の組成を有するシリコンサーメット材料（絶縁材料と金属材料との合成材料）を用いて、高抵抗の薄膜抵抗素子を形成することが考えられる。

#### 【0018】

これらのシリコンサーメット材料のうち、例えばTa-SiO<sub>2</sub>サーメットは、シート抵抗 $\sim 10 \text{ k} / \square$ 、抵抗温度係数 $< \pm 100 \text{ ppm} / \square$ 、耐熱性 $\sim 600$ 、耐酸化性も $\sim 600$ という良好な特性を有しており、さらに半導体製造装置に広く利用されている絶縁膜SiO<sub>2</sub>系やSiN系材料とも密着性が極めて良好であるという特長を有している。

#### 【0019】

しかしながら、上述のシリコンサーメット材料を薄膜抵抗素子へ採用する際には、前述した従来の他の抵抗素子の構成をそのまま適用することができない問題がある。

最大の問題は、現在半導体装置一般に幅広く採用されているシリコン系絶縁膜との製造工程上の問題である。

特に、抵抗膜として、シリコンサーメット材料の薄膜（膜厚10nm $\sim$ 100nm）を形成しようとしたとき、抵抗膜の下地の層や抵抗膜を覆う層間絶縁層として、シリコンサーメット材料と組成及び構成元素が酷似したシリコン系絶縁層（SiO<sub>2</sub>系やSiN系材料）に挟み込まれる構造が避けられないため、これらのシリコン系絶縁層とシリコンサーメット材料から成る抵抗膜とのエッチング選択性を確保することが困難になっている。

#### 【0020】

これにより、配線層と抵抗素子を接続するコンタクト領域の形成工程の難易度が高くなり、このことが実現化の最大の課題となっている。

#### 【0021】

ここで、具体的な構成を挙げて、シリコンサーメット材料を薄膜抵抗素子に適用した場合に発生する問題を説明する。

シリコンサーメット材料を薄膜抵抗素子に適用した場合の構造としては、まず図22に示すように、シリコンサーメット材料からなる抵抗膜73により薄膜抵抗素子70を形成し、薄膜抵抗素子70を覆うシリコン系絶縁層74に形成した接続孔を通じて配線77（下地膜75及び配線層76）のコンタクト部77Cを接続した構造が考えられる。このような構造は、例えば前述した薄膜多結晶シリコン抵抗素子において、多く採用されている構造である。

この構造を採用した場合、シリコン系絶縁層74とシリコンサーメット材料から成る抵抗膜73とのエッチング選択比がとれないために、絶縁層74をエッチングして接続孔を形成する際にオーバーエッチングされて配線77のコンタクト部77Cの下の抵抗膜73が

10

20

30

40

50

一部削られて薄くなってしまふ。

これにより、コンタクト抵抗が増えて、コンタクト抵抗を要因とする薄膜抵抗素子70の抵抗値の変動が大きくなる。

【0022】

一方、抵抗膜73上の絶縁層74に接続孔を形成する代わりに、抵抗膜73上に配線層を形成して配線層をパターニングして配線77を形成する方法も考えられる。この場合、配線層のパターニングはエッチング薬液によるウエット処理か或いはプラズマエッチング等のドライ処理により行われる。

【0023】

まず、ウエット処理により配線層をパターニングする場合には、図23Aに示すように、抵抗膜73上に配線層78を直接成膜して、さらにエッチング薬液によるウエット処理により選択的なエッチングを行って、配線層78をパターニングして配線を形成する。

この場合には、配線層78がウエット処理が可能な材料に限定されてしまい、Ti系のバリアメタル層の採用が不可能となる。

また、抵抗膜73の表面がエッチング薬液により損傷することにより、薄膜抵抗素子70の抵抗値の変動要因となる。さらに、抵抗膜73の両側に接続された配線の間隔Lにより抵抗値が規定されるが、ウエット処理では配線層78の端面78Aの位置を制御して配線の間隔Lを高精度に制御することが難しく、抵抗値の精度上問題となる。

【0024】

また、ドライ処理により配線層をパターニングする場合には、図23Bに示すように、抵抗膜73上に下地膜75及び配線層76の積層膜を直接成膜して、さらにプラズマエッチングによりパターニングを行って、配線77を形成することができる。この場合は、下地膜75としてTi系のバリアメタル層を採用することが可能である。

この場合には、プラズマ中の活性ラジカルや入射イオン等のダメージにより抵抗膜73表面が損傷する(例えば図23Bのように薄くなる)ことにより薄膜抵抗素子70の抵抗値の変動要因となる。特にRIE(反応性イオンエッチング)等によるイオン損傷が抵抗膜73の表面に与える影響は無視できない。

【0025】

そこで、抵抗膜73上に配線77を形成した構成において、図24に示すように、絶縁性材料から成る保護膜79を抵抗膜73上に積層してこの保護膜79を介して抵抗膜73と配線77を接続する構成が考えられる。保護膜79を積層することにより、プラズマや薬液等による抵抗膜73の表面の損傷を回避することが可能となる。

この図24に示す構成を製造する場合には、抵抗膜73上に保護膜79を積層した後、これを覆って下地膜75及び配線層76を形成し、下地膜75及び配線層76をパターニングして配線77を形成する。このパターニングの際には保護膜79により抵抗膜73の表面の損傷を回避することができる。

さらに、薄膜抵抗素子70を構成するために、左右にある配線77との接続部を分離する必要があるため、その間(中央部)の保護膜79を除去する。

このとき、保護膜79が抵抗膜73とエッチング選択比が確保しやすい絶縁性材料である場合、抵抗膜73を保護膜79の除去の際のエッチングストッパとして作用させることができるが、材料の性質として配線77とのコンタクト抵抗が著しく高くなる。

一方、もし保護膜79に導電性材料を採用すると、保護膜79が配線77や抵抗膜73に対してエッチング選択性を確保できなくなるため、配線77のパターニングの際に保護膜79も同時にエッチングされたり、中央部の保護膜79を除去する際に抵抗膜73へダメージを与えたりする。

【0026】

次に、図25に示す構成は、エッチング用の加工マスクを2枚利用することで、抵抗値の精度の確保と、保護膜79による抵抗膜73へのダメージ損傷とを回避することを可能としたものである。

この図25に示す構成を製造する際には、抵抗膜73上に保護膜79を積層した後、これ

10

20

30

40

50

を覆って下地膜 75 及び配線層 76 を形成し、配線層 76 をパターニングして配線 77 を形成する。この配線層 76 のパターニングにはウエット処理を用いて、配線層 76 の端面 76A が曲面となっている。このとき、保護膜 79 によりウエット処理のエッチング薬液から抵抗膜 73 が保護される。

続いて、配線層 76 のパターニングに用いたマスクを除去して、より開口の小さいマスクを改めて形成する。この開口の小さいマスクを用いて、中央部の下地膜 75 と保護膜 79 を除去する。配線 77 の間隔 L がウエット処理ではなく開口の小さいマスクにより規定されるため、薄膜抵抗素子 70 の抵抗値の精度を高く確保することができる。

しかしながら、この場合は、マスクを付け直しする等煩雑な製造工程が必要になり、製造コストの増大をもたらす問題がある。

10

#### 【0027】

図 26 に示す構成は、図 22 に示した構成を改善したもので、配線 77 と薄膜抵抗素子 70 との接触部において、抵抗膜 73 の下に導電性のエッチングストッパ層 80 を形成し、部分的に抵抗膜 73 と積層構造としたものである。

エッチングストッパ層 80 により、絶縁層 74 に接続孔を形成する際に、エッチングストッパ層 80 で接続孔が止まる。そして、配線 78 と、エッチングストッパ層 80 及び抵抗膜 73 とが電氣的に接続される。エッチングストッパ層 80 が導電性のため配線との接触抵抗も小さい。

しかしながら、この場合には、抵抗膜 73 が段差を有して、この段差部のカバレッジが抵抗値の変動要因となる。また、エッチングストッパ層 80 が増えることにより、この

20

#### 【0028】

上述した問題の解決のために、本発明においては、抵抗値の精度がよく、耐熱性や耐酸化性を有し、配線層と良好な接続を行うことができ、比較的安い製造コストで容易に製造することが可能な半導体装置の製造方法を提供するものである。

#### 【0029】

##### 【課題を解決するための手段】

本発明の半導体装置の製造方法は、シリコンサーメット材料から成る抵抗膜を成膜する工程と、この抵抗膜を形成する工程と同一の装置内で連続して抵抗膜上に絶縁性保護膜を成膜する工程と、抵抗膜及び絶縁性保護膜を一括してパターニングして、抵抗膜及び絶縁性保護膜の積層膜から成る薄膜抵抗素子を形成する工程と、薄膜抵抗素子を覆って絶縁層を形成する工程とを有して薄膜抵抗素子を有して成る半導体装置を製造するものであり、シリコンサーメット材料はシリコン及び 1 種類以上の金属元素に、酸素、窒素、炭素から選ばれる少なくとも 1 種類の元素を含む組成から成るものである。

30

#### 【0032】

上述の本発明の半導体装置の製造方法によれば、シリコンサーメット材料から成る抵抗膜を成膜した後、抵抗膜を形成する工程と同一の装置内で連続して抵抗膜上に絶縁性保護膜を成膜し、抵抗膜及び絶縁性保護膜を一括してパターニングして薄膜抵抗素子を形成するため、抵抗膜の表面に自然酸化膜を生じないで抵抗膜を絶縁性保護膜で覆うことができる。

40

また、上述のように絶縁性保護膜により抵抗膜を保護して、後の工程における抵抗膜表面への損傷を防止することができる。

これにより、上述した低い抵抗温度係数、耐熱性、並びに耐酸化性を有する高抵抗の薄膜抵抗素子を製造することができる。

#### 【0033】

##### 【発明の実施の形態】

本発明は、シリコンサーメット材料から成る抵抗膜を成膜する工程と、この抵抗膜を形成する工程と同一の装置内で連続して抵抗膜上に絶縁性保護膜を成膜する工程と、抵抗膜及び絶縁性保護膜を一括してパターニングして、抵抗膜及び絶縁性保護膜の積層膜から成る薄膜抵抗素子を形成する工程と、薄膜抵抗素子を覆って絶縁層を形成する工程とを有し

50

て薄膜抵抗素子を有して成る半導体装置を製造するものであり、シリコンサーメット材料はシリコン及び1種類以上の金属元素に、酸素、窒素、炭素から選ばれる少なくとも1種類の元素を含む組成から成る半導体装置の製造方法である。

【0038】

また本発明は、上記半導体装置の製造方法において、絶縁性保護膜が、上記抵抗膜及び上記絶縁層に対して、エッチングに対する選択性を有する。

【0039】

図1は本発明の一実施の形態として薄膜抵抗素子を有する半導体装置の概略構成図(断面図)を示す。

この半導体装置は、例えば半導体基板や半導体基板上にエピタキシャル層を形成して成る基体1上に絶縁層2が形成され、この絶縁層2上に抵抗膜3とその上の保護膜4との積層膜から成る薄膜抵抗素子10が形成されて成る。

そして、薄膜抵抗素子10の表面を絶縁層5が覆っていて、この絶縁層5及び薄膜抵抗素子10の保護膜4に形成された開口を通じて、配線11が抵抗膜3に接続されている。配線11は配線層7とその下の下地膜6とから構成され、絶縁層5及び保護膜4に形成された開口内を埋めて抵抗膜3に電氣的に接続されるようにコンタクト部11Cを有している。

【0040】

本実施の形態においては、特に抵抗膜3の材料として、Si(シリコン)サーメット材料(絶縁材料と金属材料との合成材料)を用いると共に、保護膜4を絶縁性の膜とする。

【0041】

Si(シリコン)サーメット材料は、Si(シリコン)と金属元素Mとその他の元素(例えば酸素)とから構成される。

金属元素Mとしては、好ましくは、Ta, Nb, W, Ti, Mo, Ni, V, Zrの金属から少なくとも1種類を選択する。

その他の元素としては、酸素、窒素、炭素の反応種の元素から少なくとも1種類を選択する。

【0042】

これらシリコン、金属元素M、反応種の元素から3元系以上の組成のサーメットを構成する。

例えば $M_x Si_y O_z$ ,  $M_x Si_y N_z$ ,  $M_x Si_y C_z$ ,  $M_x Si_y O_z N_w$  ( $x, y, z, w$ は正の数)といった組成のサーメットを用いることができる。

【0043】

シリコンサーメット材料から成る抵抗膜3のシート抵抗は、好ましくは $0.1\text{ K} / \square$ 以上とする。また、抵抗膜3の膜厚は、好ましくは $10\text{ nm} \sim 300\text{ nm}$ の範囲内とする。また、シリコンサーメット材料の金属元素MとシリコンSiとの組成比は、 $M / (M + Si) = 25 \sim 55 (\text{mol} \%)$ とすることが好ましい。

【0044】

このようなシリコン系サーメット材料は、例えばサーマルプリンターヘッドやインクジェットヘッド等の発熱体(ヒーター)に用いられている。

【0045】

絶縁性の保護膜4としては、絶縁性金属酸化物、絶縁性金属酸窒化物を用いることができる。好ましくは、抵抗膜3のサーメットを構成する金属元素Mの酸化物や酸窒化物( $M_x O_y$ ,  $M_x O_y N_z$ 等、 $x, y, z$ は正の数)を用いて、抵抗膜3に対して良好な相性を有するようにする。

また、絶縁性の保護膜4として、微細結晶性多結晶シリコンやアモルファス(非晶質)シリコン、並びにそれらが混合した状態の膜を用いることも可能である。

【0046】

絶縁性の保護膜4のシート抵抗は、好ましくは $100\text{ k} / \square$ 以上とする。また、保護膜4の膜厚は、好ましくは $5 \sim 50\text{ nm}$ の範囲内とする。

10

20

30

40

50

## 【0047】

さらに、絶縁性の保護膜4は、薄膜抵抗素子10を上下に挟む絶縁層2及び5、特に薄膜抵抗素子10を覆う絶縁層5に対してエッチング選択性(選択比)が高いことが好ましい。通常、半導体装置において、絶縁層2及び5の材料としてはシリコン化合物(酸化シリコンや窒化シリコン)が用いられる。上述した絶縁性金属酸化物、絶縁性金属窒化物、微細結晶性多結晶シリコン、アモルファスシリコン等の材料で、絶縁層5のシリコン化合物に対してエッチング選択性の高い材料を、絶縁性の保護膜4に用いる。

これにより、薄膜抵抗素子10を覆う絶縁層5に配線11のコンタクト部11Cのための開口を形成するエッチングを行う工程において、絶縁性の保護膜4をエッチングストップをして作用させることができる。

10

## 【0048】

そして、上述のように保護膜4をシリコン化合物から成る絶縁層5に対してエッチング選択性が高い材料とすれば、保護膜4がシリコン系サーメット材料から成る抵抗膜3に対してもエッチング選択性が高くなる。

これにより、保護膜に配線11のコンタクト部11Cのための開口を形成するエッチングを行う工程において、絶縁性の保護膜4だけエッチングされて、抵抗膜3がエッチングされないようにすることができる。

## 【0049】

配線11には、Al, Ti, W, Ta, Mo, Cuから選ばれた1種類以上の元素もしくはこれらを主成分にもつ化合物から選択した材料を用いることができる。またこれらの材料を用いた複数の膜の積層構造であっても良い。

20

配線11の下地膜6は、特にTi等を用いることにより、バリアメタルとして作用させることができる。

## 【0050】

本実施の形態の半導体装置において、薄膜抵抗素子10及びその周辺の各層の材料及び膜厚については、例えば次のような構成を採ることができる。

(A) 基体1としてシリコン基板、絶縁層2としてSiO<sub>2</sub>膜を膜厚800nm、抵抗膜3としてTa-SiO<sub>2</sub>サーメット(モル比でTa:SiO<sub>2</sub>=45:55)膜を膜厚80nm(シート抵抗3k/□)、絶縁性の保護膜4として、Ta<sub>x</sub>O<sub>y</sub>を膜厚25nm、絶縁層5としてSiO<sub>2</sub>膜を膜厚400nm、配線11として、下層から順にTi/TiON/Tiをそれぞれ膜厚30nm/70nm/30nmとした積層構造(下地膜6に相当)、Al-Si膜を膜厚800nm、TiON膜を膜厚25nm、それぞれ形成する。

30

(B) 基体1としてGaAs基板、絶縁層2としてSi<sub>3</sub>N<sub>4</sub>膜を膜厚300nm、抵抗膜3としてTa-SiO<sub>2</sub>サーメット(モル比でTa:SiO<sub>2</sub>=45:55)膜を膜厚80nm(シート抵抗3k/□)、絶縁性の保護膜4として、Ta<sub>x</sub>O<sub>y</sub>を膜厚25nm、絶縁層5としてSi<sub>3</sub>N<sub>4</sub>膜を膜厚300nm、配線11として、下層から順にTi膜を膜厚50nm(下地膜6に相当)、Pt膜を膜厚50nm、Au膜を膜厚500nm、それぞれ形成する。

## 【0051】

40

また、本実施の形態の半導体装置は、その構造に上述した特徴を有すると共に、以下述べるように、その製造工程にも特徴を有する。

## 【0052】

まず、薄膜抵抗素子10の抵抗値の変動を抑制するために、抵抗膜3及び保護膜4とを積層するだけでなく、好ましくは同一スパッタ装置内で連続して抵抗膜3の成膜及び保護膜4の成膜を行う。

これにより、抵抗膜3の表面が酸化されたり損傷したりすることなく、保護膜4に覆われる。

## 【0053】

また、抵抗膜3の上に保護膜4が形成されていることにより、抵抗膜3が酸素雰囲気や酸

50



素プラズマに晒されることがなく、かつ剥離薬液等のアルカリ性薬液による抵抗膜3の腐食も回避することができる。

即ち後の工程、例えば配線層7等の成膜及びパターニング工程における、抵抗膜3の表面に対する酸素雰囲気やエッチング薬液による化学変化、並びに酸素プラズマによる損傷が防止される。

これにより、薄膜抵抗素子10の抵抗値の変動が抑制されるため、薄膜抵抗素子10の抵抗値の高精度化を一層実現することができる。

#### 【0054】

そして、抵抗膜3及び保護膜4からなる薄膜抵抗素子10をパターニング加工する際には、フォトレジストによりパターンを形成した後、反応性イオンエッチングRIEもしくはイオンミリングのいずれかにより加工を行う。

このとき、同一のフォトレジストをマスクとして用いて、一括して抵抗膜3及び保護膜4を加工することが望ましい。

#### 【0055】

薄膜抵抗素子10とこの薄膜抵抗素子10に接続される配線11とのコンタクト部11Cの形成にあたっては、薄膜抵抗素子10を覆う絶縁層5に対して、反応性イオンエッチング(RIE)による加工、もしくはエッチング薬液による加工のいずれか、或いはこれらの加工の組み合わせによりコンタクト部11Cのための開口(接続孔)を形成する。さらに、絶縁性の保護膜4にも加工を行って、コンタクト部11Cのための開口(接続孔)を形成する。

シリコン化合物からなる絶縁層5の加工工程と絶縁性の保護膜4の加工工程は、同一設備と同マスクでエッチング処理条件を切り換えることで可能になる。

#### 【0056】

そして、上述したように絶縁性の保護膜4の材料をシリコン化合物から成る絶縁層5に対してエッチング選択比の高い材料とすることにより、反応性イオンエッチング(RIE)法により高選択比のエッチングを行って、絶縁層5に接続孔を形成するエッチングにおいて保護膜4をエッチングストップとして用いることができる。このとき、絶縁性の保護膜4の膜厚をエッチングストップとして充分耐えうる膜厚とする。

この高選択比のエッチングを行うための条件としては、例えばエッチングガスに $CF_4$ 、 $CHF_3$ 、 $C_2F_6$ 、 $C_4F_8$ 、 $Ar$ 、 $CO$ の少なくとも1種以上のガス種を採用して、それらのプラズマ生成により反応性イオンエッチング(RIE)を行うことが挙げられる。

#### 【0057】

同様に、絶縁性の保護膜4の材料はシリコンセメット材料から成る抵抗膜3に対してエッチング選択比の高い材料とすることにより、反応性イオンエッチング(RIE)法により高選択比のエッチングを行って、保護膜4に配線11のコンタクト部11Cを形成するための開口を形成するエッチングにおいて抵抗膜3をエッチングストップとして用いることができる。

この高選択比のエッチングを行うための条件としては、例えばエッチングガスに $Cl_2$ 、 $BCl_3$ 、 $SF_6$ 、 $CH_2F_2$ の少なくとも1種以上のガス種、或いは $CF_4$ 、 $CHF_3$ 、 $C_2F_6$ 、 $C_4F_8$ 、 $Ar$ 、 $CO$ の少なくとも1種以上のガス種を採用して、それらのプラズマ生成により反応性イオンエッチング(RIE)を行うことが挙げられる。

#### 【0058】

このように製造を行うことにより、従来不可能であった、薄膜抵抗素子10の抵抗膜3と配線11とを安定して電氣的に接続することを可能にすると共に、さらに抵抗膜3と配線11との接触抵抗値を常に安定化することができるため、薄膜抵抗素子10の抵抗値の変動要因を抑えることを可能にする。

#### 【0059】

そして、図1に示した薄膜抵抗素子10を有する半導体装置は、具体的には例えば次のようにして製造することができる。尚、各層の材料及び膜厚は、前述した(A)の構成とし

10

20

30

40

50

て説明している。

まず、図2Aに示すように、基板1上に、例えば $\text{SiO}_2$ から成る絶縁層2を例えば800nmの厚さに形成する。

【0060】

次に、図2Bに示すように、スパッタ法により、絶縁層2上に例えば $\text{Ta-SiO}_2$ サーメット材料から成る抵抗膜3を例えば80nmの厚さに成膜し、さらに同一スパッタ装置内で連続して、スパッタ法により、例えば $\text{Ta}_2\text{O}_5$ から成る保護膜4を例えば25nmの厚さに成膜する。

ここで、サーメット材料の組成を $\text{Ta} / (\text{Ta} + \text{SiO}_2) = 45\%$  (モル比)とした場合には抵抗膜3のシート抵抗は $3\text{k}\Omega/\square$ が得られる。一方、 $\text{Ta}_2\text{O}_5$ から成る保護膜4のシート抵抗は $3\text{M}\Omega/\square$ 以上とする。

10

【0061】

次に、水素雰囲気中で450℃・15分の熱処理を行い、薄膜抵抗素子10のストレスを緩和し、熱変動を安定化させる。この熱処理工程により、抵抗膜3のシート抵抗が8%程度変動するが、この後の製造工程において同様の熱処理を行う際の抵抗値の変動が回避される。

尚、この熱処理工程は配線11を形成した後に行ってもよい。

【0062】

次に、図2Cに示すように、薄膜抵抗素子10のパターンを形成するためのフォトリソスト21を保護膜4上に形成する。

20

続いて、図2Dに示すように、このフォトリソスト21を用いて、抵抗膜3及び保護膜4をエッチングにより一括して加工することにより、これら抵抗膜3及び保護膜4をパターニングする。このときのエッチングは、例えばプラズマ生成装置によるRIE(反応性イオンエッチング)を利用して、例えば混合ガス( $\text{BCl}_3 + \text{Cl}_2$ )、圧力10mTorrの雰囲気で行う。

【0063】

抵抗膜3及び保護膜4をパターニングした後に、プラズマ生成装置によりレジストアッシングを行う。即ち図2Eに示すように、保護膜4上に残ったフォトリソスト21Xを酸素プラズマ22により除去する。アッシングの条件は、酸素を主成分とするガスから構成し、例えば圧力1.6Torrの下で行う。

30

このとき、 $\text{Ta}_2\text{O}_5$ から成る絶縁性の保護膜4が、 $\text{Ta-SiO}_2$ サーメットから成る抵抗膜3を酸素プラズマ22の照射損傷から保護する役割を果たす。

【0064】

また、さらにアッシング後の残留有機物、ポリマー、エッチング残さ、レジスト変質層等を除去するための洗浄工程を行う。図3Fに示すように、例えばアルカリ性有機剥離液23により、表面に対して薬液処理を行う。

このとき、 $\text{Ta}_2\text{O}_5$ から成る絶縁性の保護膜4が、 $\text{Ta-SiO}_2$ サーメットから成る抵抗膜3をアルカリ性腐食性薬液23から保護して、抵抗膜3の腐食やエッチング損傷を防止する役割を果たす。

【0065】

40

上述したアッシングや薬液処理を経て、図3Gに示すように抵抗膜3及び保護膜4の積層膜から成る薄膜抵抗素子10が完成する。

次に、図3Hに示すように、薄膜抵抗素子10の積層膜を被覆して、プラズマCVD法により、例えば $\text{SiO}_2$ から成る絶縁層5を例えば400nmの厚さに成膜する。プラズマCVDの温度は400℃以下の低温とする。

尚、必要に応じて、この後に表面の平滑化工程を行う。この平滑化工程ではSOG(Spin on glass)等の塗布膜を利用するが、絶縁層5が覆っているため薄膜抵抗素子10には影響が及ばない。

【0066】

続いて、薄膜抵抗素子10を覆う絶縁層5に接続孔を形成する。

50

図3 Iに示すように、絶縁層5上にフォトレジスト24を形成し、このフォトレジスト24に接続孔の形成のための開口25を形成する。

【0067】

次に、図4 Jに示すように、開口25が形成されたフォトレジスト24をマスクとして用いて、絶縁層5を例えばプラズマ装置によるRIE（反応性イオンエッチング）により加工して、絶縁層5に開口を形成する。

この際に、 $Ta_2O_5$ から成る絶縁性の保護膜4を $SiO_2$ から成る絶縁層5のエッチングのエッチングストップパとするため、プラズマエッチングの条件は、例えばエッチングガスとして混合ガス（ $CF_4 + CHF_3 + Ar$ ）、処理圧力500mTorrとする。この条件を採用することにより、エッチング選択比10以上（ $SiO_2$ エッチレート/ $Ta_2O_5$ エッチレート）が得られる。

10

【0068】

さらに続けて、図4 Kに示すように、同じくフォトレジスト24をマスクとして用いて、RIEにより保護膜4を加工して、保護膜4に開口を形成する。

この際に、 $Ta-SiO_2$ サーメット材料から成る抵抗膜3を $Ta_2O_5$ から成る絶縁性の保護膜4のエッチングストップパとするため、プラズマエッチングの条件は、例えばエッチングガスとして混合ガス（ $SF_6 + Cl_2$ ）、処理圧力16mTorrとする。この条件を採用することにより、エッチング選択比8以上（ $Ta_2O_5$ エッチレート/ $Ta-SiO_2$ エッチレート）が得られる。

【0069】

20

その後、図4 Lに示すように、絶縁層5上のフォトレジスト24を除去する。

続いて、下地膜6及び配線層7を順次スパッタリング装置を用いて成膜し、これら下地膜6及び配線層7を所定のパターンにパターンニングして、図4 Mに示すように配線11を形成する。

下地膜6としては、例えばTi/TiON/Tiの積層構造を例えば合計膜厚130nmとなるように形成してバリアメタルとする。配線層7としては、例えばAl-Si合金を例えば800nmの厚さに形成する。

このようにして、図1に示した本実施の形態の薄膜抵抗素子10を有する半導体装置を製造することができる。

【0070】

30

上述の本実施の形態によれば、薄膜抵抗素子10の抵抗膜3にシリコンサーメット材料を用いたことにより、シリコンサーメット材料の特徴であるシート抵抗 $\sim 10k/\square$ 、抵抗温度係数 $< \pm 100ppm/\square$ という特性から、薄膜抵抗素子10において比較的高いシート抵抗及び低い抵抗温度係数が得られ、高抵抗であり熱処理により受ける影響が少ない（耐熱性を有する）薄膜抵抗素子10を構成することができる。

さらに、シリコンサーメット材料の特徴である耐酸性及び耐酸化性を600まで確保できる特性から、耐酸性及び耐酸化性を有する薄膜抵抗素子10を構成することができる。

【0071】

また、抵抗膜3上に絶縁性の保護膜4を積層して薄膜抵抗素子10を構成したことにより、保護膜4により抵抗膜3の表面が保護されて、例えば薄膜抵抗素子10のパターンニング後のレジストアッシング工程や剥離液工程等において、シリコンサーメット材料から成る抵抗膜3への損傷や化学変化を防止することができる。これにより、抵抗膜3の損傷等を要因とする薄膜抵抗素子10の抵抗値の変動を抑制して、薄膜抵抗素子10の高精度化が可能になる。

40

【0072】

さらに、絶縁性の保護膜4を抵抗膜3を覆っているシリコン化合物から成る絶縁層5に対してエッチング選択性を有する材料とすることにより、薄膜抵抗素子10に配線11を接続するコンタクト部11Cを形成するためにエッチングにより絶縁層5に開口を形成する工程において、絶縁性の保護膜4がエッチングストップパとして作用して抵抗膜3へのエッチングダメージを回避することができる。

50

また、これにより、絶縁性の保護膜 4 がシリコンサーメット材料から成る抵抗膜 3 とエッチング選択性を有するので、コンタクト部 1 1 C を形成するためにエッチングにより絶縁性の保護膜 4 に開口を形成する工程において、絶縁性の保護膜 4 のエッチング残渣が残ったり抵抗膜 3 がエッチングされたりしないようにして、確実に配線 1 1 を抵抗膜 3 に接続して形成することができる。

従って、薄膜抵抗素子 1 0 の寄生抵抗であるコンタクト抵抗成分を低く抑えることができると共に、コンタクト抵抗のばらつき変動も抑えることが可能となり、その結果、薄膜抵抗素子 1 0 の抵抗値の高精度化をさらに図ることができる。

【 0 0 7 3 】

即ち本実施の形態の半導体装置によれば、特に高抵抗の薄膜抵抗素子 1 0 において、高精度の抵抗値及び高信頼性を実現することが可能になる。

10

【 0 0 7 4 】

また、シリコン系サーメット材料を組成が類似したシリコン系絶縁膜から構成された半導体集積回路装置に搭載することは従来は不可能であったが、本実施の形態の半導体装置により、製造コストの大幅な増大を招くことなく、かつ複雑な素子構造や複雑な製造工程を必要としないで実現することが可能になる。

【 0 0 7 5 】

さらに、薄膜抵抗素子 1 0 により抵抗素子を構成しているため、拡散抵抗による抵抗素子と比較して、抵抗素子が占有するスペースを小さくすることができ、半導体装置の微細化・小型化を図ることができる。

20

【 0 0 7 6 】

また、薄膜抵抗素子 1 0 の構成は、抵抗膜 3 にシリコンサーメット材料を用い、抵抗膜 3 上に絶縁性の保護膜 4 を積層して、配線 1 1 を接続するための接続孔を保護膜 4 にも形成している他は、従来の多結晶シリコン膜による抵抗素子と同様であり、比較的簡単な構成となっている。

このため、薄膜抵抗素子 1 0 の製造工程は、絶縁性の保護膜 4 の形成工程が増える他は、従来の多結晶シリコン膜による抵抗素子の製造工程と同様であり、半導体装置の他の部分の製造工程に薄膜抵抗素子 1 0 の製造工程を組み込むことができる。

さらに、絶縁性の保護膜 4 の成膜は、抵抗膜 3 の成膜工程と同一のスパッタ装置内で連続して行うため、保護膜 4 の成膜工程を追加したことによる製造コストの増加は小さい。

30

【 0 0 7 7 】

このように、本実施の形態によれば、複雑な素子構成や煩雑な製造工程を必要としない。従って、本実施の形態によれば、製造コストの増大を招かないで比較的安いコストで高抵抗の薄膜抵抗素子 1 0 を有する半導体装置を製造することができると共に、抵抗素子 1 0 の抵抗値の変動を抑制して良好な特性の抵抗素子 1 0 を有する半導体装置を安定して製造することができる。

【 0 0 7 8 】

続いて、本発明の他の実施の形態として、図 1 に示した薄膜抵抗素子 1 0 の構造を組み込んだ BiCMOS 半導体装置の概略構成図（断面図）を図 5 に示す。

この BiCMOS 半導体装置は、図 5 に示すように、シリコン基板 4 1 上に N 型のエピタキシャル層 4 2 が形成されて基体が構成され、この基体に PMOS トランジスタ 3 1 P 及び NMOS トランジスタ 3 1 N から成る CMOS トランジスタ部 3 1 と、縦型の NPN バイポーラトランジスタ（以下 NPN トランジスタとする）から成るバイポーラトランジスタ部 3 2 と、薄膜抵抗素子 3 0 を有する抵抗素子部 3 3 とを有して構成される。

40

基体の表面には LOCOS により形成された素子分離層 4 4 が形成されて、各トランジスタ 3 1 P, 3 1 N, 3 2 を分離している。

【 0 0 7 9 】

CMOS トランジスタ部 3 1 の PMOS トランジスタ 3 1 P は、基体の表面に N<sup>-</sup> の半導体ウエル領域 4 5 が形成され、この N<sup>-</sup> の半導体ウエル領域 4 5 内に P 型のソース/ドレイン領域 4 7 が形成されて構成されている。これらソース/ドレイン領域 4 7 の内側にチ

50

チャンネルが形成される。チャンネル上にはゲート酸化膜を介して多結晶シリコン膜55とシリサイド膜56との積層構造からなるゲート電極Gが形成されている。ゲート電極Gの側壁には、絶縁膜から成るサイドウォールが形成されている。

P型のソース/ドレイン領域47には、下地膜61、配線層62、導電性反射防止膜63の3層構造から成る配線64が接続されている。

【0080】

CMOSトランジスタ部31のNMOSトランジスタ31Nは、基体(半導体エピタキシャル層42)の表面にP<sup>-</sup>の半導体ウエル領域46が形成され、このP<sup>-</sup>の半導体ウエル領域46内にN型のソース/ドレイン領域48が形成されて構成されている。これらソース/ドレイン領域48の内側にチャンネルが形成される。これらソース/ドレイン領域48は、内側(チャンネル側)にN型の低濃度領域(いわゆるLDD領域)を有している。チャンネル上にはゲート酸化膜を介して多結晶シリコン膜55とシリサイド膜56との積層構造からなるゲート電極Gが形成されている。ゲート電極Gの側壁には、絶縁膜から成るサイドウォールが形成されている。

N型のソース/ドレイン領域48には、下地膜61、配線層62、導電性反射防止膜63の3層構造から成る配線64が接続されている。

【0081】

バイポーラトランジスタ部32の縦型NPNバイポーラトランジスタは、半導体基体の内部にN型の埋め込み拡散領域43が形成されて構成されている。

そして、N型のエピタキシャル層42内に、ベース領域49が形成され、さらにベース領域49の中央の表面付近にエミッタ領域50が形成されている。

また、コレクタ取り出し部では、N型の埋め込み拡散領域43に接続するように、コレクタ取り出し領域51が形成されている。

ベース領域49には、多結晶シリコン膜57によりシリサイド膜58を挟んだ3層構造のベース電極が接続されている。

エミッタ領域50には、多結晶シリコン膜59によりシリサイド膜60を挟んだ3層構造のエミッタ電極が接続されている。

そして、ベース電極にはCMOSトランジスタ部31の配線64と同様の3層構造のベース配線64Bが接続され、同様にエミッタ電極には3層構造のエミッタ配線64Eが接続され、コレクタ取り出し領域51には3層構造のコレクタ配線64Cが接続されている。

【0082】

抵抗素子部33は、図1に示した薄膜抵抗素子10と同様の構成のシリコンサーメット材料から成る抵抗膜3及びその上の絶縁性の保護膜4から成る薄膜抵抗素子30が形成されて成る。

この薄膜抵抗素子30は、素子分離層44上に形成された絶縁層52, 53上に形成され、表面を薄い絶縁膜54で覆われている。

絶縁膜54及び保護膜4に形成された開口を通じて、CMOSトランジスタ部31の配線64と同様の3層構造の配線64Rが薄膜抵抗素子30の抵抗膜3に直接接続されている。

【0083】

尚、図5では省略しているが、各配線64、64B, 64E, 64C, 64Rは絶縁層で覆われて、さらに絶縁層上に上層の配線等が形成されてBiCMOS半導体装置が構成される。

【0084】

本実施の形態では、抵抗素子部33の薄膜抵抗素子30が図1に示した薄膜抵抗素子10と同様の構成を有するので、前述した先の実施の形態と同様に、高精度の抵抗値を有する高抵抗の薄膜抵抗素子を構成することができる。

【0085】

また、本実施の形態では、薄膜抵抗素子30の抵抗膜に接続される配線64Rは、CMOSトランジスタ部31の配線64や、バイポーラトランジスタ部32の配線64B, 64

10

20

30

40

50

E, 64Cと同じ3層構造61, 62, 63を有しており、同一工程で同時に形成することが可能になっている。

また、CMOSトランジスタ部31のゲート電極Gを覆う絶縁膜と、抵抗素子部33の薄膜抵抗素子30を覆う絶縁膜とが、同一の絶縁膜54となっている。

#### 【0086】

そして、薄膜抵抗素子30により抵抗素子を構成しているため、抵抗素子の抵抗値は、CMOSトランジスタ部31やバイポーラトランジスタ部32の特性のパラメータにより影響されない。

従って、抵抗素子部33の素子の設計と、CMOSトランジスタ部31やバイポーラトランジスタ部32の設計とを、それぞれ制約が少なくなるようにして、より自由に行うことができる。

10

#### 【0087】

次に、本実施の形態の図5に示したBiCMOS半導体装置の製造工程を、図6～図13を参照して説明する。

尚、シリコン基板41とN型の半導体エピタキシャル層42から成る基体の内部に素子分離層44や各半導体領域を形成する工程は、説明を省略する。

基体上に、ゲート絶縁膜を介してゲート電極Gを形成し、ゲート電極Gの側壁に絶縁膜から成るサイドウォールを形成した後、ゲート電極Gを覆って全面的に絶縁膜52を形成する。さらに、バイポーラトランジスタ部32においては、ベース領域49上の絶縁膜52を除去して開口を形成する。

20

次に、絶縁膜52の上に多結晶シリコン膜57・シリサイド膜58・多結晶シリコン膜57の3層を成膜し、これをパターニングして3層構造から成るベース電極を形成する。このベース電極は、絶縁膜52の開口を通じてベース領域49に接続される。

次に、ベース電極を覆って、比較的厚い絶縁層53を形成する。さらに、バイポーラトランジスタ部32においては、エミッタ領域50及びその付近のベース領域49上のベース電極及び絶縁層53に開口を形成する。開口の側壁にはさらに絶縁膜によりサイドウォールを形成する。

その後、この開口を埋めるように、多結晶シリコン膜59・シリサイド膜60・多結晶シリコン膜59の3層を成膜し、これをパターニングして3層構造から成るエミッタ電極を形成する。このエミッタ電極は、ベース電極及び絶縁層53の開口を通じてエミッタ領域50に接続される。ベース電極の開口の側壁に形成されたサイドウォールにより、エミッタ電極とベース電極とが分離される。

30

次に、絶縁層53及びエミッタ電極を覆って、シリコンサーメット材料から成る抵抗膜3と、保護膜4とを順次成膜する。そして、抵抗素子部33においては、保護膜4上に抵抗素子のパターンを形成するためのフォトレジスト81を形成する。この状態を示しているのが図6である。

#### 【0088】

次に、図7に示すように、フォトレジスト81をマスクとして、保護膜4及び抵抗膜3を一括してパターニングする。

続いて、フォトレジスト81を除去して、図8に示すように、表面を絶縁膜54で覆う。これにより、抵抗膜3及び保護膜4から成る薄膜抵抗素子30が絶縁膜54で覆われる。

40

#### 【0089】

次に、図9に示すように、薄膜抵抗素子30へのコンタクト部を形成するための開口を有するフォトレジスト82を形成し、このフォトレジスト82をマスクとして、エッチングを行って絶縁膜54に開口(接続孔)を形成する。

引き続き、図10に示すように、同じフォトレジスト82をマスクとして、条件を変えてエッチングを行って、保護膜4に開口(接続孔)を形成する。

#### 【0090】

次に、フォトレジスト82を除去して、図11に示すように、改めてCMOSトランジスタ部31及びバイポーラトランジスタ部32の接続孔を形成するための開口を有するフォ

50

トレジスト 8 3 を形成し、このフォトレジスト 8 3 をマスクとして、絶縁膜 5 4 や絶縁層 5 3、並びに絶縁膜 5 2 に対してエッチングを行って、それぞれ、ソース/ドレイン領域 5 7, 5 8、ベース電極、コレクタ取り出し領域 5 1 に達する開口（接続孔）を形成する。

#### 【 0 0 9 1 】

次に、図 1 2 に示すように、フォトレジスト 8 3 を除去する。

さらに、下地膜 6 1 ・配線層 6 2 ・導電性反射防止膜 6 3 の 3 層を順次形成して、これをパターニングすることにより、図 1 3 に示すように、CMOS トランジスタ部 3 1 の配線 6 4 と、バイポーラトランジスタ部 3 2 の配線 6 4 B, 6 4 E, 6 4 C と、抵抗素子部 3 3 の配線 6 4 R を形成する。

10

このようにして、図 5 に示した構成の BiCMOS 半導体装置を製造することができる。この後は、必要に応じて層間絶縁層や上層の配線を形成する。

#### 【 0 0 9 2 】

続いて、本発明のさらに他の実施の形態として、図 1 に示した薄膜抵抗素子 1 0 の構造を組み込んだ BiCMOS 半導体装置の概略構成図（断面図）を図 1 4 に示す。

この BiCMOS 半導体装置は、概略構成は図 5 と同様であるが、縦型の NPN バイポーラトランジスタ（以下 NPN トランジスタとする）から成るバイポーラトランジスタ部 3 2 のエミッタ配線 6 4 E の付近が異なっている。

即ちエミッタ配線 6 4 E 及びエミッタ電極の左右に、これらエミッタ配線 6 4 E 及びエミッタ電極の間の層として、薄膜抵抗素子 3 0 の抵抗膜 3 及び保護膜 4 が存在している。この部分の抵抗膜 3 は、エミッタ配線 6 4 の下地膜 6 1 やエミッタ電極の多結晶シリコン膜 5 9 及びシリサイド膜 6 0 の側壁に接していて、エミッタ配線 6 4 及びエミッタ電極と一体化した導電体となっている。

20

その他の構成は図 5 と同様であるため、重複説明を省略する。

#### 【 0 0 9 3 】

また、本実施の形態の図 1 4 に示した BiCMOS 半導体装置の製造工程を、図 1 5 ~ 図 2 1 に示す。

まず、先の実施の形態の図 6 に示した状態までは、先の実施の形態と同様にして製造を行う。

次に、フォトレジスト 8 1 で薄膜抵抗素子 3 0 のパターニングを行う前に、バイポーラトランジスタ部 3 2 のエミッタ電極の部分を覆うようにフォトレジスト 8 4 を形成する。そして、図 1 5 に示すように、2 つのフォトレジスト 8 1 及び 8 4 をマスクとして、保護膜 4 及び抵抗膜 3 をエッチングする。これにより、抵抗膜 3 及び保護膜 4 による薄膜抵抗素子 3 0 のパターンが形成されると共に、これら抵抗膜 3 及び保護膜 4 がエミッタ電極を覆って残る。

30

#### 【 0 0 9 4 】

続いて、フォトレジスト 8 1 及び 8 4 を除去して、図 1 6 に示すように、表面に絶縁膜 5 4 を形成する。このとき、エミッタ電極を覆う抵抗膜 3 及び保護膜 4 が絶縁膜 5 4 により覆われる。

#### 【 0 0 9 5 】

次に、図 1 7 に示すように、フォトレジスト 8 2 をマスクとしてエッチングを行って、薄膜抵抗素子 3 0 上の絶縁膜 5 4 に開口（接続孔）を形成する。

40

さらに、図 1 8 に示すように、同じフォトレジスト 8 2 をマスクとして条件を変えてエッチングを行って、薄膜抵抗素子 3 0 の保護膜 4 に開口（接続孔）を形成する。

#### 【 0 0 9 6 】

次に、フォトレジスト 8 2 を除去して、図 1 9 に示すように、改めて CMOS トランジスタ部 3 1 及びバイポーラトランジスタ部 3 2 の接続孔を形成するための開口を有するフォトレジスト 8 3 を形成し、このフォトレジスト 8 3 をマスクとして、絶縁膜 5 4 や絶縁層 5 3、絶縁膜 5 2、並びにエミッタ電極上の保護膜 4 及び抵抗膜 3 に対してエッチングを行って、それぞれ、ソース/ドレイン領域 5 7, 5 8、ベース電極、コレクタ取り出し領

50

域 5 1 に達する開口（接続孔）を形成する。

【 0 0 9 7 】

次に、図 2 0 に示すように、フォトレジスト 8 3 を除去する。

さらに、下地膜 6 1 ・配線層 6 2 ・導電性反射防止膜 6 3 の 3 層を順次形成して、これをパターニングすることにより、図 2 1 に示すように、CMOS トランジスタ部 3 1 の配線 6 4 と、バイポーラトランジスタ部 3 2 の配線 6 4 B , 6 4 E , 6 4 C と、抵抗素子部 3 3 の配線 6 4 R を形成する。

このようにして、図 1 4 に示した構成の BiCMOS 半導体装置を製造することができる。

この後は、必要に応じて層間絶縁層や上層の配線を形成する。

10

【 0 0 9 8 】

上述の各実施の形態では、CMOS トランジスタ部 3 1 とバイポーラトランジスタ部 3 2 を有する BiCMOS 半導体装置に、本発明を適用して薄膜抵抗素子 3 0 を有する抵抗素子部 3 3 を形成した構成であったが、その他の構成の半導体装置においても、本発明を適用することができる。

例えば上述の各実施の形態の構成の他に、容量素子（キャパシタ）や PNP バイポーラトランジスタ等を有していてもよい。

【 0 0 9 9 】

本発明は、上述の実施の形態に限定されるものではなく、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得る。

20

【 0 1 0 0 】

【発明の効果】

上述の本発明によれば、薄膜抵抗素子を有する半導体装置の製造において、シリコンサーメット材料から成る抵抗膜を成膜した後、同一の装置内で連続して抵抗膜上に絶縁性保護膜を成膜し、抵抗膜及び絶縁性保護膜を一括してパターニングすることにより、抵抗膜の表面に自然酸化膜を生じないで抵抗膜を絶縁性保護膜で覆うことができる。

これにより、抵抗膜表面の自然酸化膜を要因とする抵抗値の変動や配線との接触抵抗の増大を回避することができる。

【 0 1 0 3 】

従って、本発明によれば、薄膜抵抗素子の抵抗値の変動を抑制して、薄膜抵抗素子の抵抗値の精度が高く、かつ信頼性の高い半導体装置を実現することができる。

30

また、製造コストの大幅な増大を招くことなく、かつ複雑な素子構造や複雑な製造工程を必要としないので、シリコンサーメット材料から成る薄膜抵抗素子を半導体装置に搭載することが容易になる。

【 0 1 0 4 】

さらに、絶縁性保護膜を抵抗膜を覆っているシリコン化合物から成る絶縁層に対してエッチング選択性を有する材料としたときには、抵抗素子に配線を接続するコンタクト部を形成する工程において、抵抗膜へのエッチングダメージを回避し、かつ配線を抵抗膜に確実に接続して形成することができる。

これにより、抵抗素子のコンタクト抵抗成分を低く抑えると共にコンタクト抵抗成分のばらつき変動も抑えることが可能となり、薄膜抵抗素子の抵抗値の高精度化をさらに向上することができる。

40

【図面の簡単な説明】

【図 1】本発明の一実施の形態の薄膜抵抗素子を有する半導体装置の概略構成図（断面図）である。

【図 2】A ~ E 図 1 の半導体装置の製造工程を示す工程図である。

【図 3】F ~ I 図 1 の半導体装置の製造工程を示す工程図である。

【図 4】J ~ M 図 1 の半導体装置の製造工程を示す工程図である。

【図 5】本発明の他の実施の形態の BiCMOS 半導体装置の概略構成図（断面図）である。

50



【図6】図5のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図7】図5のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図8】図5のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図9】図5のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図10】図5のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図11】図5のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図12】図5のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図13】図5のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図14】本発明のさらに他の実施の形態のBiCMOS半導体装置の概略構成図（断面図）である。

10

【図15】図14のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図16】図14のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図17】図14のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図18】図14のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図19】図14のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図20】図14のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図21】図14のBiCMOS半導体装置の製造工程を示す工程図である。  
 【図22】シリコンサーメット材料を用いた薄膜抵抗素子の概略構成図（断面図）である

。

【図23】A、B シリコンサーメット材料を用いた薄膜抵抗素子の概略構成図（断面図）である。

20

【図24】シリコンサーメット材料を用いた薄膜抵抗素子の概略構成図（断面図）である

。

【図25】シリコンサーメット材料を用いた薄膜抵抗素子の概略構成図（断面図）である

。

【図26】シリコンサーメット材料を用いた薄膜抵抗素子の概略構成図（断面図）である

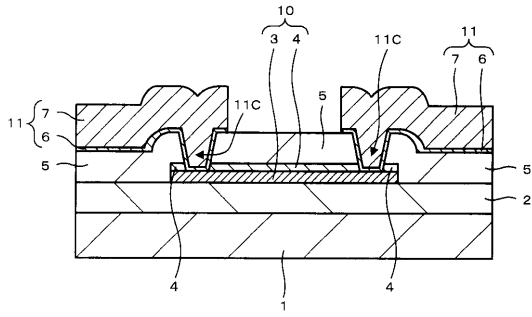
。

#### 【符号の説明】

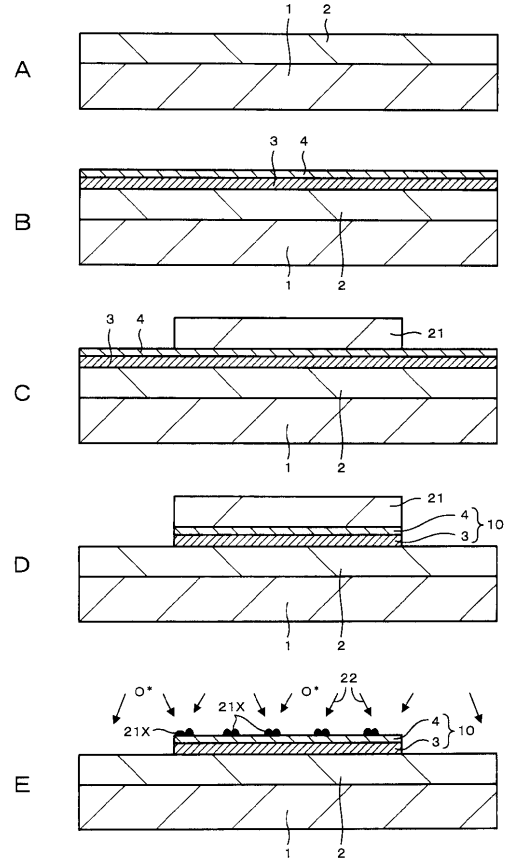
1 基板、2, 5, 53 絶縁層、3 抵抗膜、4 絶縁性の保護膜、6 下地膜、7 配線層、10, 30 薄膜抵抗素子、11, 64, 64B, 64E, 64C, 64R 配線、21, 24, 81, 82, 83, 84 フォトレジスト、31 CMOSトランジスタ部、32 バイポーラトランジスタ部、33 抵抗素子部、52, 54 絶縁膜

30

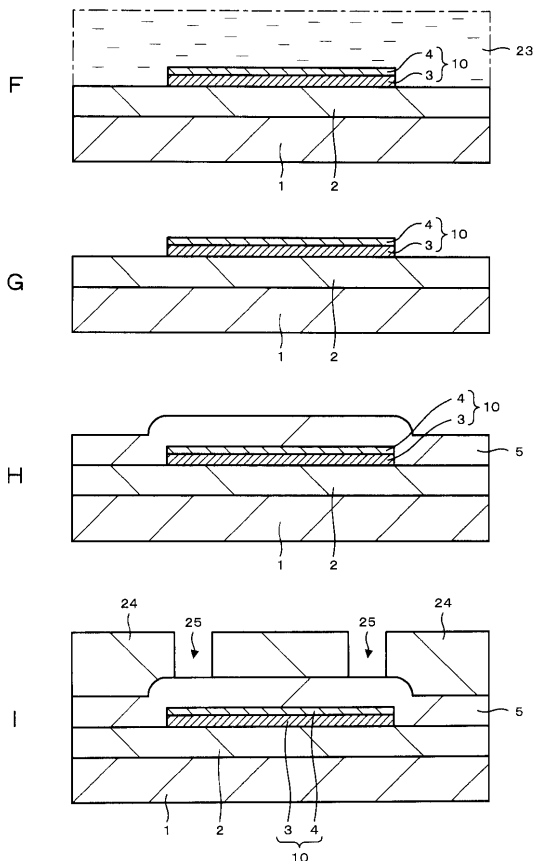
【図 1】



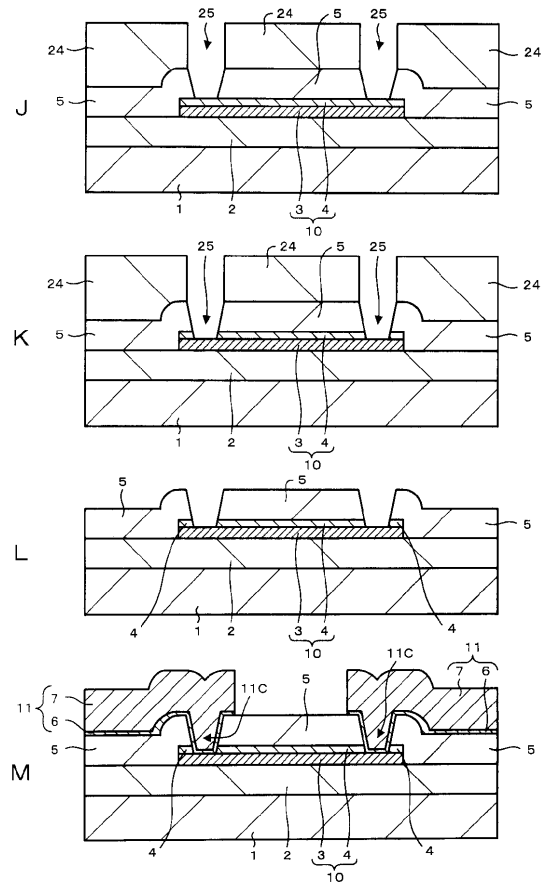
【図 2】



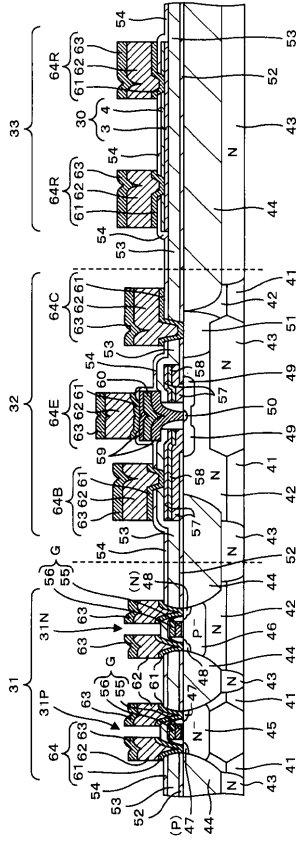
【図 3】



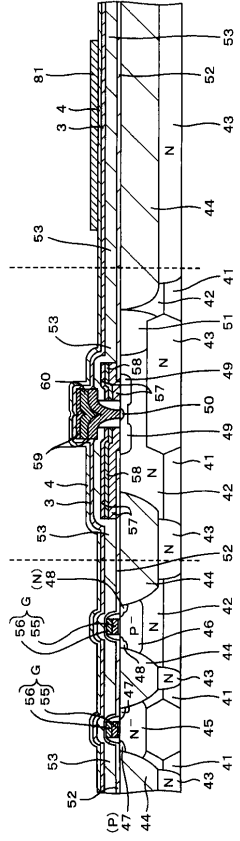
【図 4】



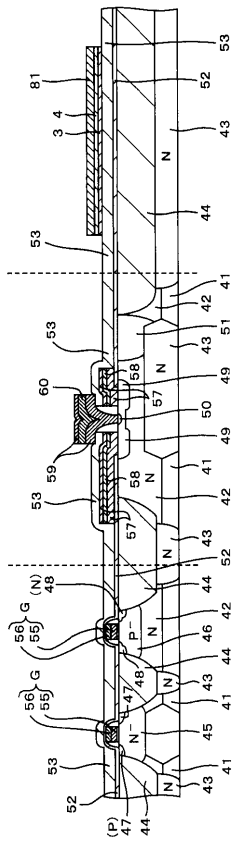
【 図 5 】



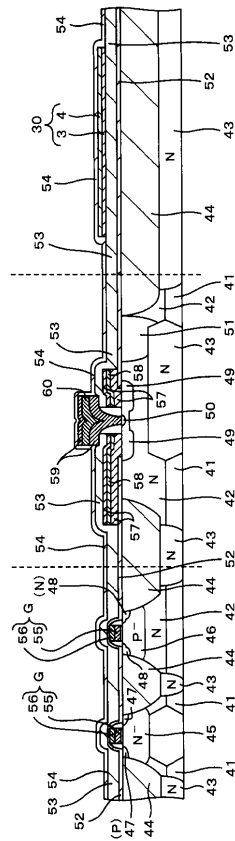
【 図 6 】



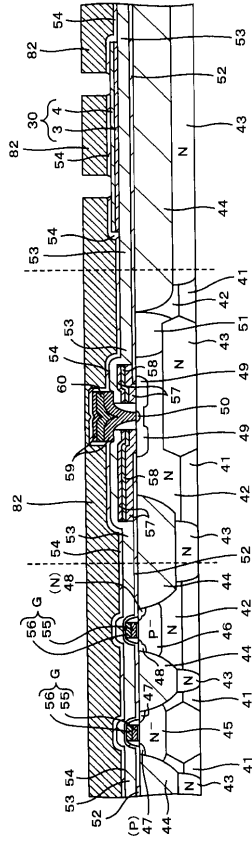
【 図 7 】



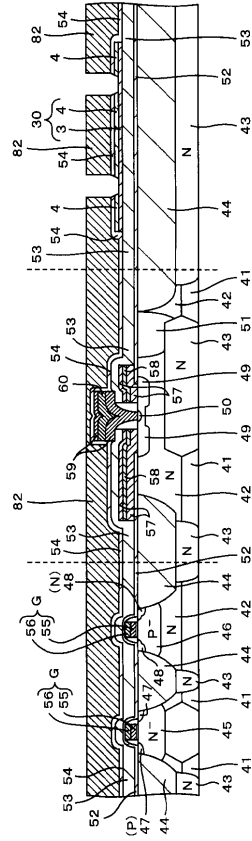
【 図 8 】



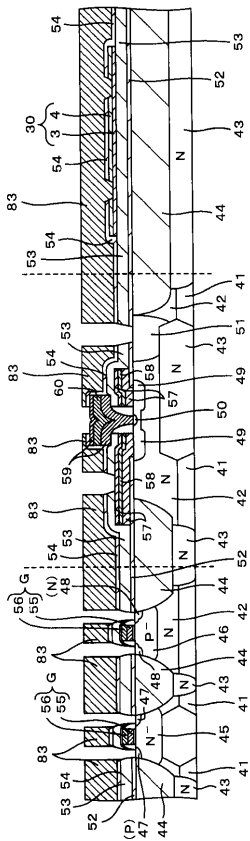
【図 9】



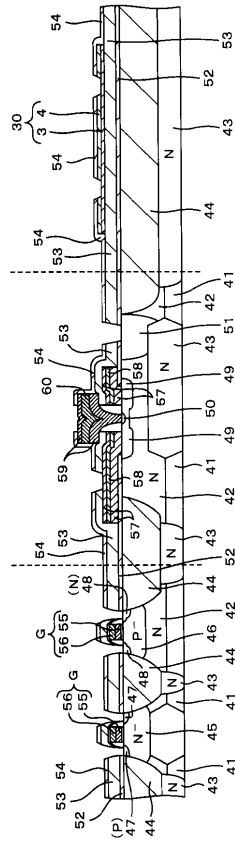
【図 10】



【図 11】

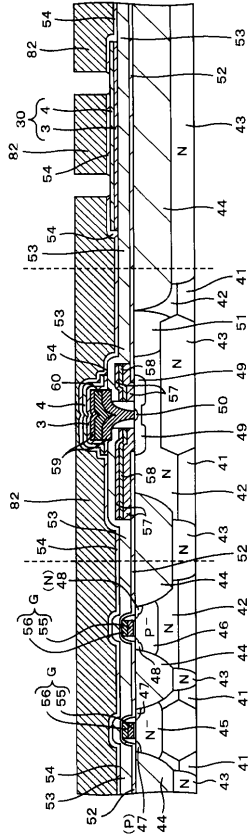


【図 12】

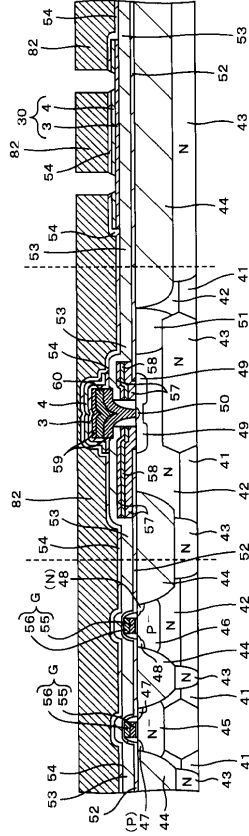




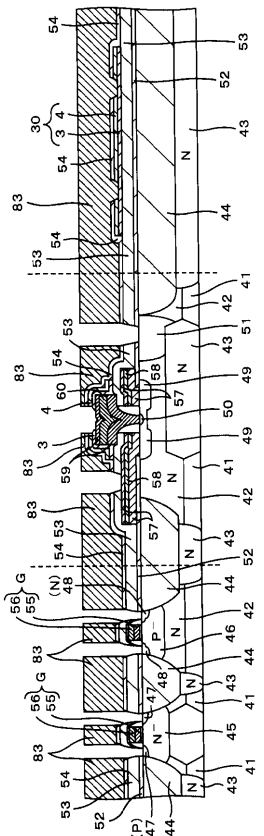
【図 17】



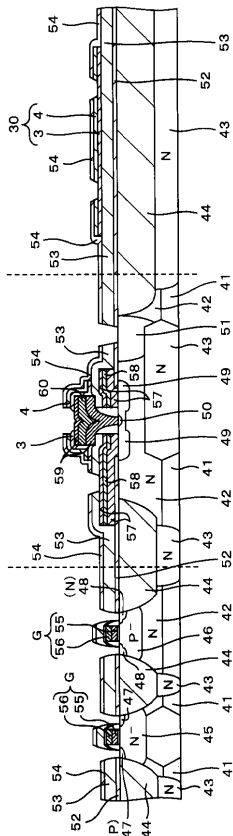
【図 18】



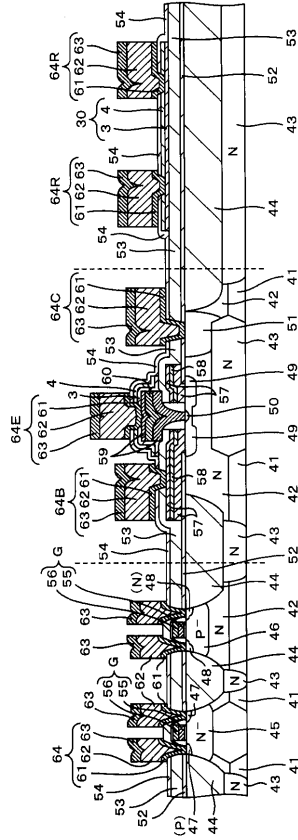
【図 19】



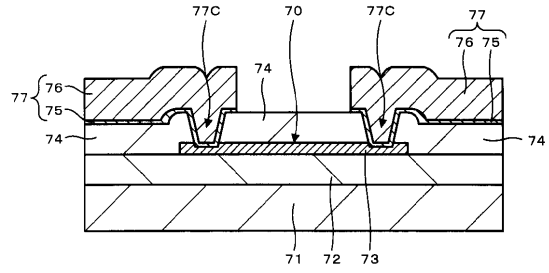
【図 20】



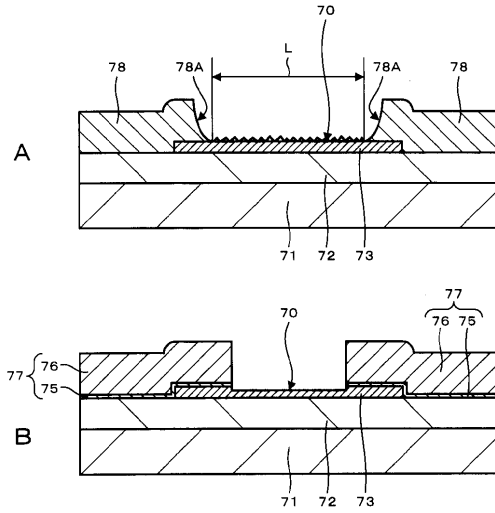
【 2 1 】



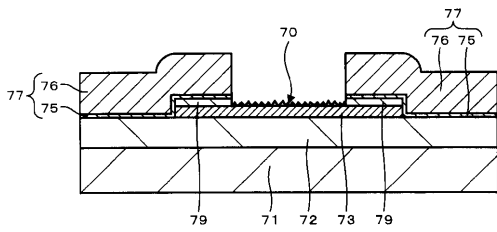
【 2 2 】



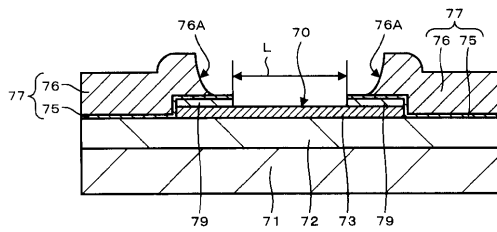
【 2 3 】



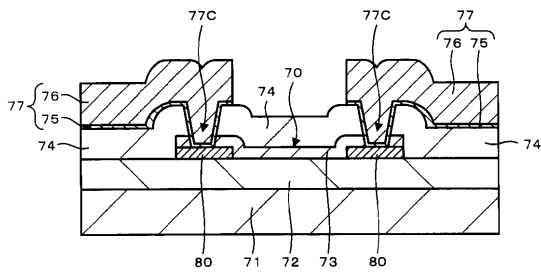
【 2 4 】



【 2 5 】



【 2 6 】



---

フロントページの続き

(51)Int.Cl. F I

**H 0 1 L 21/8234 (2006.01)**

**H 0 1 L 21/8249 (2006.01)**

(56)参考文献 特開平03 - 003333 (JP, A)  
特開平03 - 008368 (JP, A)  
特開平08 - 288397 (JP, A)  
特開昭60 - 154551 (JP, A)  
特開平07 - 245303 (JP, A)  
特開平05 - 190547 (JP, A)  
特開平06 - 291258 (JP, A)  
特開昭51 - 081999 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/822  
H01L 21/8222  
H01L 21/8234  
H01L 21/8248  
H01L 21/8249  
H01L 27/04  
H01L 27/06