

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成 19 年 7 月 26 日 (2007.7.26)

【公表番号】特表 2003-502728 (P2003-502728A)
 【公表日】平成 15 年 1 月 21 日 (2003.1.21)
 【出願番号】特願 2001-503043 (P2001-503043)
 【国際特許分類】

G 0 6 F 9/38 (2006.01)

G 0 6 F 9/30 (2006.01)

G 0 6 F 9/46 (2006.01)

【F I】

G 0 6 F 9/38 3 7 0 C

G 0 6 F 9/30 3 5 0 A

G 0 6 F 9/46 3 6 0 B

【手続補正書】

【提出日】平成 19 年 6 月 4 日 (2007.6.4)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】 第 1 のプロセッサと、

前記第 1 のプロセッサへのコプロセッサとして使用するための第 2 のプロセッサと、
 メモリと、

バースト命令に従ってデータ・バーストにおいて前記メモリに書き込みまたは読み取る
 データを入れるための、少なくとも 1 つのデータ・バッファと、

前記バースト命令を実行するためのバースト・コントローラと、

前記バースト・コントローラによる実行のためにバースト命令を順番に提供するための
 バースト命令エレメントと、

コプロセッサ命令およびバースト命令の実行を、前記コプロセッサ命令およびバースト
 命令が実行するデータの可用性により、同期化するための同期化機構とを含み、

バースト命令が前記第 1 のプロセッサによって前記バースト命令エレメントへ提供され
 、前記バースト・コントローラによって実行されたバースト命令に従って前記少なくとも
 1 つのデータ・バッファを通じて、データが、前記第 2 のプロセッサへの入力データとし
 て前記メモリから読み取られ、前記第 2 のプロセッサからの出力データとして前記メモリ
 へ書き込まれる、コンピュータ・システム。

【請求項 2】 前記第 2 のプロセッサの実行を順番に制御するためのコプロセッサ命令
 を提供するためのコプロセッサ命令エレメントをさらに含み、前記コプロセッサ命令が前
 記第 1 のプロセッサによって提供される、請求項 1 に記載のコンピュータ・システム。

【請求項 3】 コプロセッサ・コントローラをさらに含み、前記コプロセッサ・コント
 ローラがコプロセッサ命令を前記コプロセッサ命令エレメントから受信し、前記第 2 のプ
 ロセッサの実行を、受信されたコプロセッサ命令に従って制御し、前記コプロセッサと前
 記少なくとも 1 つのデータ・バッファの間の通信を制御する、請求項 2 に記載のコンピ
 ュータ・システム。

【請求項 4】 分離したデータ・ストリームが前記コプロセッサと前記少なくとも 1 つ
 のデータ・バッファの間に提供され、前記コプロセッサ・コントローラが、前記分離した
 データ・ストリームによる、前記第 2 のプロセッサおよび前記少なくとも 1 つのデータ・

バッファへのアクセスを制御する、請求項 3 に記載のコンピュータ・システム。

【請求項 5】 前記同期化機構が、前記少なくとも 1 つのデータ・バッファにまだロードされていないデータにおける前記第 2 のプロセッサの実行を必要とするコプロセッサ命令の実行をブロックするように適合され、前記少なくとも 1 つのデータ・バッファから前記メモリへのデータの格納のためのバースト命令の実行を、このようなデータが前記第 2 のプロセッサによって前記少なくとも 1 つのデータ・バッファへ提供されていない場合にブロックするように適合される、請求項 1 に記載のコンピュータ・システム。

【請求項 6】 前記同期化機構が、特定の実行されたコプロセッサ命令および特定の実行されたバースト命令によって増分かつ減分されるように適合された、少なくとも 2 つのカウンタを含み、所定のしきい値を越えてカウンタをさらに増分あるいは減分することができない場合、少なくとも 1 つのタイプの命令が実行からブロックされる、請求項 1 に記載のコンピュータ・システム。

【請求項 7】 第 1 のカウンタが、特定のバースト命令の実行により増分可能であり、特定のコプロセッサ命令の実行により減分可能であり、前記第 1 のカウンタを、第 1 の低しきい値を越えてさらに減分することができないとき、前記第 2 のプロセッサの関連付けられた実行のためのコプロセッサ命令がストールあるいは防止される、請求項 6 に記載のコンピュータ・システム。

【請求項 8】 前記第 1 のカウンタを、第 1 の高しきい値を越えてさらに増分することができないとき、前記少なくとも 1 つのバッファから前記メモリへのデータの関連付けられた格納のためのバースト命令がストールあるいは防止される、請求項 7 に記載のコンピュータ・システム。

【請求項 9】 第 2 のカウンタが、特定のコプロセッサ命令の実行により増分可能であり、特定のバースト命令の実行により減分可能であり、前記第 2 のカウンタを、第 2 の低しきい値を越えてさらに減分することができないとき、前記少なくとも 1 つのバッファから前記メモリへのデータの関連付けられた格納のためのバースト命令がストールあるいは防止される、請求項 6 に記載のコンピュータ・システム。

【請求項 10】 前記第 2 のカウンタを、第 2 の高しきい値を越えてさらに増分することができないとき、前記第 2 のプロセッサの関連付けられた実行のためのコプロセッサ命令がストールあるいは防止される、請求項 9 に記載のコンピュータ・システム。

【請求項 11】 前記バースト命令エレメントは、命令キューである、請求項 1 に記載のコンピュータ・システム。

【請求項 12】 前記バースト命令エレメントは、さらに加えられたプロセッサである、請求項 1 に記載のコンピュータ・システム。

【請求項 13】 前記バースト命令エレメントは、プログラム可能な状態機械である、請求項 1 に記載のコンピュータ・システム。

【請求項 14】 前記第 1 のプロセッサは、コンピュータ装置の中央処理装置である、請求項 1 に記載のコンピュータ・システム。

【請求項 15】 コンピュータ・システムを動作する方法であって、

第 1 のプロセッサ、および前記第 1 のプロセッサへのコプロセッサとして動作する第 2 のプロセッサによる実行のためのコードを提供することと、

前記第 2 のプロセッサによって実行されるタスクを提供することとしての、前記コードの一部の識別することと、

前記タスクを提供するコードを、コプロセッサ・コントローラによる実行のためのコプロセッサ命令で置換することを含み、前記プロセッサ命令は、前記第 2 のプロセッサによる前記タスクの実行を制御するように決定され、

前記コードおよび前記タスクから、少なくとも 1 つのデータ・バッファにより、前記第 2 のプロセッサによるアクセスのためにデータ・バーストにおいてメイン・メモリからデータを読み取り、そこへ書き込むことができるようにするためのバースト命令を決定することと、

前記少なくとも 1 つのデータ・バッファと前記メイン・メモリの間でデータの転送を制

御するバースト・コントローラによるバースト命令の実行と共に、前記コプロセッサ上で前記タスクを実行することとを含む方法。

【請求項 16】 バースト命令を決定する前記ステップが、前記バースト命令を、前記第 1 のプロセッサによって実行される前記コードの一部内に含めることをさらに含む、請求項 15 に記載の方法。

【請求項 17】 バースト命令を決定する前記ステップが、前記コードから前記第 2 のプロセッサによってアクセスされるメモリ・アドレスを決定すること、および少なくとも 1 つのデータ・バッファにより、前記第 2 のプロセッサによるアクセスのためにデータ・バーストにおいてメイン・メモリからデータを読み取り、そこへ書き込むことができるように、前記第 2 のプロセッサによって行われるメモリ・アクセスを編成することをさらに含む、請求項 15 に記載の方法。

【請求項 18】 前記タスクの実行において、コプロセッサ命令の実行とバースト命令の実行の間の同期化が、同期化機構によって達成される、請求項 15 に記載の方法。

【請求項 19】 前記同期化機構が、前記第 1 の命令の正しい実行のために完了が必要である第 2 の命令が完了するまで、第 1 の命令をブロックすることを含む、請求項 18 に記載の方法。

【請求項 20】 特定のコプロセッサ命令およびバースト命令により増分可能あるいは減分可能であるカウンタが使用されて、前記同期化機構が提供される、請求項 18 に記載の方法。

【請求項 21】 前記プロセッサ命令エレメントは、命令キューである、請求項 2 に記載のコンピュータ・システム。

【請求項 22】 前記プロセッサ命令エレメントは、さらに加えられたプロセッサである、請求項 2 に記載のコンピュータ・システム。

【請求項 23】 前記プロセッサ命令エレメントは、プログラム可能な状態機械である、請求項 2 に記載のコンピュータ・システム。