

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年7月20日(20.07.2017)



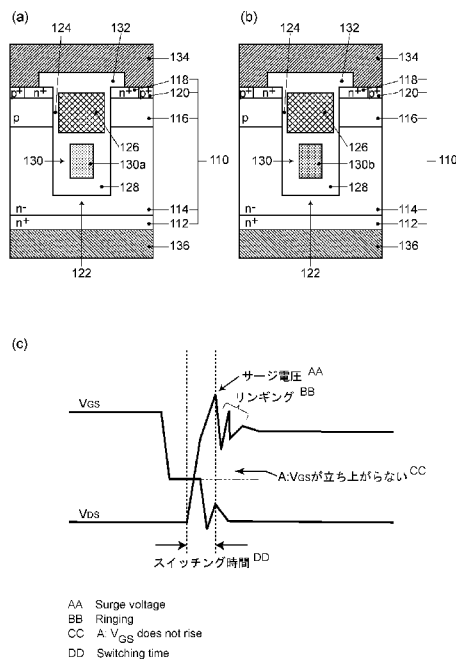
(10) 国際公開番号

WO 2017/122318 A1

- (51) 国際特許分類:
H01L 29/78 (2006.01)
- (21) 国際出願番号: PCT/JP2016/050957
- (22) 国際出願日: 2016年1月14日(14.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人: 新電元工業株式会社 (SHINDENGEN ELECTRIC MANUFACTURING CO., LTD.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目2番1号 Tokyo (JP).
- (72) 発明者: 岸 雅人(KISHI, Masato); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 竹森 俊之(TAKEMORI, Toshiyuki); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 秋元 俊孝(AKIMOTO, Toshitaka); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 竹本 剛太郎(TAKEMOTO, Gotaro); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP). 伊藤 瑛基(ITO, Eiki); 〒3578585 埼玉県飯能市南町10番13号 新電元工業株式会社工場内 Saitama (JP).
- (74) 代理人: 松尾 誠剛(MATSUO, Nobutaka); 〒3990214 長野県諏訪郡富士見町落合9862番地60 めぶき特許事務所 Nagano (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ユーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置



(57) Abstract: A semiconductor device 100 is provided with: a gate electrode 126 disposed in a trench 122 via a gate insulating film 124; a shield electrode 130 positioned between the gate electrode 126 and the bottom of the trench 122; an electric insulation region 128, which extends between the gate electrode 126 and the shield electrode 130, and furthermore, along the side wall and the bottom of the trench 122, and isolates the shield electrode 130 from the side wall and the bottom; and a source electrode 134, which is electrically connected to an n⁺ type source region 118, and is also electrically connected, at both end portions of the trench 122, to the shield electrode 130 in plan view. The shield electrode 130 has, in plan view, high-resistance regions 130a positioned at both the end portions of the trench 122, and a low-resistance region 130b positioned at a position sandwiched between the high-resistance regions 130a. In the semiconductor device, ringing and a surge voltage can be suppressed, a malfunction can be suppressed, an increase of a switching loss can be eliminated, and adverse effects due to a surge voltage from the outside can be reduced.

(57) 要約: トレンチ122内にゲート絶縁膜124を介して配設されたゲート電極126と、ゲート電極126とトレンチ122の底との間に位置するシールド電極130と、ゲート電極126とシールド電極130との間に拡がり、さらに、トレンチ122の側壁及び底に沿って拡がって側壁及び底からシールド電極130を隔離させる電氣的絶縁領域128と、n⁺型ソース領域118に電氣的に接続されるとともに平面的に見てトレンチ122の両端部においてシールド電極130に電氣的に接続されたソース電極134とを備え、

シールド電極130は、平面的に見てトレンチ122の両端部に位置する高抵抗領域130a、及び、高抵抗領域130aに挟まれた位置に位置する低抵抗領域130bを有する半導体装置100。リングング及びサージ電圧の抑制、誤動作の抑制、スイッチング損失の増加防止、並びに、外部からのサージ電圧による悪影響の軽減が可能となる。

WO 2017/122318 A1

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本発明は、半導体装置に関する。

背景技術

[0002] 従来より、いわゆるシールドゲート構造を有する半導体装置が知られている（例えば、特許文献１参照。）。従来の半導体装置９００は、図２３（ａ）に示すように、 n^+ 型ドレイン領域９１２、 n^- 型ドリフト領域９１４、 p 型ベース領域９１６及び n^+ 型ソース領域９１８を含む半導体基体９１０と、半導体基体９１０内に形成され、 n^- 型ドリフト領域９１４に隣接した底、及び、 p 型ベース領域９１６及び n^- 型ドリフト領域９１４に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチ９２２と、トレンチ９２２内に配設され、かつ、側壁の部分でゲート絶縁膜９２４を介して p 型ベース領域９１６と対向するゲート電極９２６と、トレンチ９２２内に配設され、かつ、ゲート電極９２６とトレンチ９２２の底との間に位置するシールド電極９３０と、ゲート電極９２６とシールド電極９３０との間に拡がり、さらに、トレンチ９２２の側壁及び底に沿って拡がって側壁及び底からシールド電極９３０を離隔させる、トレンチ９２２内における電氣的絶縁領域９２８と、半導体基体９１０の上方に形成され、 n^+ 型ソース領域９１８とシールド電極９３０とに電氣的に接続されたソース電極９３４と、 n^+ 型ドレイン領域９１２に隣接して形成されたドレイン電極９３６とを備える。

[0003] 従来の半導体装置９００によれば、トレンチ９２２内に配設され、かつ、ゲート電極９２６とトレンチ９２２の底との間に位置するシールド電極９３０を備えることから、ゲート電極９２６からトレンチ９２２の底までの距離が長くなるため、ゲート・ドレイン間容量 C_{GD} （図２３（ｂ）参照。）が低減し、その結果、ゲート充電電流量及びゲート放電電流量が低減し、スイッチング速度を速くできる。また、電界集中が起こり易いトレンチ９２２の角

部からゲート電極 926 までの距離を長くでき、さらには、電氣的絶縁領域 928 で電界を緩和することができる結果、耐圧を高くできる。

先行技術文献

特許文献

[0004] 特許文献1：特許第4790908号公報

発明の概要

発明が解決しようとする課題

[0005] しかしながら、本発明者の研究により、従来の半導体装置 900 においては、スイッチオフ時にリングングが発生したり高いサージ電圧が発生したりする場合があることが分かった。そこで、本発明者は、シールド電極として高抵抗のシールド電極（例えば、ソース電極やゲート電極よりも高抵抗のシールド電極）を用いることを考えた（図3及び図4（a）参照。）。このようにすれば、シールド電極の高い内部抵抗により、スイッチオフ時にドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリングングを抑制するとともにサージ電圧を低減することが可能となる（図4（b）参照）。

[0006] しかしながら、上記したようにシールド電極として高抵抗のシールド電極を用いると、スイッチング期間の後半において、シールド電極の配線に沿って電位差が生じるために、ゲート・ソース間の容量 C_{GS} を介してゲート電圧 V_{GS} が立ち上がってしまい、誤動作（セルフ・ターンオン）が発生し易くなるという問題（図4（b）符号A参照。）が発生する。また、スイッチング速度が遅くなることで（図4（b）参照。）、スイッチング損失が増加するという問題が発生する。

[0007] 一方、シールド電極として低抵抗のシールド電極を用いた場合には（図5及び図6（a）参照。）、スイッチオフ時にドレイン電極の電位変化を緩やかにすることができないことから、リングングを抑制するとともにサージ電圧を低減することが可能となるという効果が得られなくなる（図6（b）参

照。) 。

[0008] そこで、本発明は、これらの問題を解決するためになされたもので、スイッチオフ時に発生するリングングを抑制するとともにサージ電圧を低減することが可能で、かつ、スイッチオフ時にゲート電圧 V_{GS} が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制することが可能で、かつ、スイッチング損失が増加するという問題を軽減することが可能な半導体装置を提供することを目的とする。

課題を解決するための手段

[0009] [1] 本発明の半導体装置は、第1導電型のドレイン領域、前記ドレイン領域に隣接した第1導電型のドリフト領域、前記ドリフト領域に隣接した第2導電型のベース領域、及び、前記ベース領域に隣接した第1導電型のソース領域を含む半導体基体と、前記半導体基体内に形成され、前記ドリフト領域に隣接した底、及び、前記ベース領域及び前記ドリフト領域に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチと、前記トレンチ内に配設され、かつ、前記側壁の部分でゲート絶縁膜を介して前記ベース領域と対向するゲート電極と、前記トレンチ内に配設され、かつ、前記ゲート電極と前記トレンチの前記底との間に位置するシールド電極と、前記ゲート電極と前記シールド電極との間に拡がり、さらに、前記トレンチの前記側壁及び前記底に沿って拡がって前記側壁及び前記底から前記シールド電極を隔離させる、前記トレンチ内における電氣的絶縁領域と、前記半導体基体の上方に形成され、前記ソース領域に電氣的に接続されるとともに平面的に見て前記トレンチの両端部のうち少なくとも一方において前記シールド電極に電氣的に接続されたソース電極と、前記ドレイン領域に隣接して形成されたドレイン電極とを備える半導体装置であって、前記シールド電極は、平面的に見て前記トレンチの両端部のうち前記ソース電極に電氣的に接続された端部に位置する高抵抗領域、及び、前記ソース電極から見て前記高抵抗領域よりも先の位置に位置する低抵抗領域を有することを特徴とする。

[0010] なお、上記した高抵抗領域を、平面的に見て前記トレンチの両端部に位置

し、第１の抵抗を有する第１領域と言い、上記した低抵抗領域を、前記第１領域に挟まれた位置に位置し、前記第１の抵抗よりも低い第２の抵抗を有する第２領域と言うこともできる。

[0011] [２] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域はともに不純物を含有する同一の半導体材料からなり、前記低抵抗領域の不純物濃度は前記高抵抗領域の不純物濃度よりも高いことが好ましい。

[0012] [３] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域はそれぞれ異なる材料からなり、前記低抵抗領域を構成する材料の電気抵抗率は前記高抵抗領域を構成する材料の電気抵抗率よりも低いことが好ましい。

[0013] [４] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域はそれぞれ同一の材料からなり、前記トレンチの長手方向に直交する平面で切断したときの前記高抵抗領域の断面積は、前記トレンチの長手方向に直交する平面で切断したときの前記低抵抗領域の断面積よりも小さいことが好ましい。

[0014] [５] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域は、ともに不純物を含有する同一の半導体材料からなり、前記低抵抗領域は、前記高抵抗領域より高濃度の不純物を含有するとともに前記トレンチの長手方向に沿って延在する高濃度不純物領域を含むことが好ましい。

[0015] [６] 本発明の半導体装置においては、前記高抵抗領域及び前記低抵抗領域はともに、不純物を含有する同一の半導体材料からなり、かつ、前記トレンチの長手方向に沿って延在する高濃度不純物領域を含み、前記トレンチの長手方向に直交する平面で切断したときの前記高抵抗領域の前記高濃度不純物領域の断面積は、前記トレンチの長手方向に直交する平面で切断したときの前記低抵抗領域の前記高濃度不純物領域の断面積よりも小さいことが好ましい。

[0016] [７] 本発明の半導体装置においては、前記シールド電極のうち、平面的に見てチップの辺に隣接して延在する前記シールド電極は、すべて前記高抵抗領域からなることが好ましい。

[0017] [8] 本発明の半導体装置においては、前記シールド電極のうち、平面的に見てゲートパッドの辺に隣接して延在する前記シールド電極は、平面的に見て前記ゲートパッドの辺に隣接して延在する部分が前記高抵抗領域からなることが好ましい。

[0018] [9] 本発明の半導体装置においては、前記シールド電極の両端部のうち前記ソース電極に接続された端部には、前記シールド電極と前記ソース電極とを電氣的に接続するためのコンタクト構造が形成されていることが好ましい。

[0019] [1 0] 本発明の半導体装置においては、前記コンタクト構造は、前記高抵抗領域よりも抵抗の低い第 2 低抵抗領域に形成されていることが好ましい。

[0020] [1 1] 本発明の半導体装置においては、前記ソース電極は、平面的に見て前記トレンチの両端部において前記シールド電極に電氣的に接続され、前記高抵抗領域は、平面的に見て前記トレンチの両端部に位置し、前記低抵抗領域は、前記高抵抗領域に挟まれた位置に位置することが好ましい。

発明の効果

[0021] 本発明の半導体装置によれば、シールド電極として、トレンチの両端部のうちソース電極に電氣的に接続された端部に位置する高抵抗領域、及び、ソース電極から見て高抵抗領域よりも先の位置に位置する低抵抗領域を有するシールド電極を備えることから（図 1、図 2（a）及び図 2（b）参照。）高抵抗領域の存在によりドレイン・ソース間の抵抗を高くすることができる。このため、スイッチオフ時のドレイン電極の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリングングを抑制（及びサージ電圧を低減）して誤動作の発生を抑制することができる（図 2（c）参照。）。

[0022] また、低抵抗領域の存在により、シールド電極の配線に沿って生じる電位差を低減することができ、もって、スイッチング期間の後半に V_{GS} が立ち上がって誤動作につながることを抑制できる（図 2（c）符号 A 参照。）また、低抵抗領域の存在により、スイッチング速度を高くすることができ（図 2

(c) 参照。)、もって、スイッチング損失の増加を防止することができる。

[0023] さらにまた、トレンチの両端部のうちソース電極に電氣的に接続された端部に位置する高抵抗領域の存在により、シールド電極に生じる電位が高くなり、 C_{ds} を介してドリフト領域の空乏層伸長が抑制される。このとき、MOSFETのスイッチング動作はトレンチの両端部のうちソース電極に電氣的に接続された端部から徐々に中央に移るため、トレンチの両端部のうちソース電極に電氣的に接続された端部における空乏層伸長が抑制される結果、外部からのサージ電圧による悪影響を軽減できる。

図面の簡単な説明

[0024] [図1]実施形態1に係る半導体装置100を説明するために示す平面図である。

[図2]実施形態1に係る半導体装置100を説明するために示す図である。図2(a)は半導体装置100の要部(高抵抗領域130aを含む領域)断面図であり、図2(b)は半導体装置100の要部(低抵抗領域130bを含む領域)断面図であり、図2(c)は半導体装置100のスイッチオフ時の応答波形を示す図である。

[図3]比較例1に係る半導体装置100aを説明するために示す平面図である。

[図4]比較例1に係る半導体装置100aを説明するために示す図である。図4(a)は半導体装置100aの要部断面図であり、図4(b)は半導体装置100aのスイッチオフ時の応答波形を示す図である。

[図5]比較例2に係る半導体装置100bを説明するために示す平面図である。

[図6]比較例2に係る半導体装置100bを説明するために示す図である。図6(a)は半導体装置100bの要部断面図であり、図6(b)は半導体装置100bのスイッチオフ時の応答波形を示す図である。

[図7]実施形態1に係る半導体装置100の作用・効果を説明するために示す

図である。図 7 (a) は半導体装置 100 の要部 (高抵抗領域 130 a を含む領域) 断面図に寄生抵抗及び寄生容量を追記した図であり、図 7 (b) は半導体装置 100 の要部 (低抵抗領域 130 b を含む領域) 断面図に寄生抵抗及び寄生容量を追記した図であり、図 7 (c) は半導体装置 100 の等価回路図である。

[図8]実施形態 1 に係る半導体装置 100 を製造する方法を説明するために示す図である。図 8 (a) ~ 図 8 (d) は各工程図である。

[図9]実施形態 1 に係る半導体装置 100 を製造する方法を説明するために示す図である。図 9 (a) ~ 図 9 (d) は各工程図である。

[図10]実施形態 1 に係る半導体装置 100 を製造する方法を説明するために示す図である。図 10 (a) ~ 図 10 (d) は各工程図である。

[図11]実施形態 1 に係る半導体装置 100 を製造する方法を説明するために示す図である。図 11 (a) ~ 図 11 (d) は各工程図である。なお、図 8 ~ 図 11 並びに後述する図 15、図 18 及び図 19 において、左側列の図面は半導体装置の要部 (高抵抗領域 130 a を含む領域) 断面から見た工程図であり、右側列の図面は半導体装置の要部 (低抵抗領域 130 b を含む領域) 断面から見た工程図である。

[図12]実施形態 2 に係る半導体装置の要部断面図である。図 12 (a) は半導体装置の要部 (高抵抗領域 130 a を含む領域) 断面図であり、図 12 (b) は半導体装置の要部 (低抵抗領域 130 b を含む領域) 断面図である。

[図13]実施形態 3 に係る半導体装置 102 の要部断面図である。図 13 (a) は半導体装置 102 の要部 (高抵抗領域 130 a を含む領域) 断面図であり、図 13 (b) は半導体装置 102 の要部 (低抵抗領域 130 b を含む領域) 断面図である。

[図14]実施形態 3 に係る半導体装置 102 を説明するために示す平面図である。

[図15]実施形態 3 に係る半導体装置 102 を製造する方法を説明するために示す図である。図 15 (a) ~ 図 15 (d) は各工程図である。なお、図 1

5においては、図8～図11に示す工程と同様の工程については図示を省略する。

[図16]実施形態4に係る半導体装置の要部断面図である。図16(a)は半導体装置の要部（高抵抗領域130aを含む領域）断面図であり、図16(b)は半導体装置の要部（低抵抗領域130bを含む領域）断面図である。

[図17]実施形態5に係る半導体装置の要部断面図である。図17(a)は半導体装置の要部（高抵抗領域130aを含む領域）断面図であり、図17(b)は半導体装置の要部（低抵抗領域130bを含む領域）断面図である。

[図18]実施形態4に係る半導体装置を製造する方法を説明するために示す図である。図18(a)～図18(d)は各工程図である。なお、図18においては、図8～図11に示す工程と同様の工程については図示を省略する。

[図19]実施形態5に係る半導体装置を製造する方法を説明するために示す図である。図19(a)～図19(d)は各工程図である。なお、図19においては、図8～図11に示す工程と同様の工程については図示を省略する。

[図20]シールド電極の端部を説明するために示す平面図である。図20(a)は実施形態1に係る半導体装置100におけるシールド電極130の端部を示す平面図であり、図20(b)は実施形態2に係る半導体装置におけるシールド電極130の端部を示す平面図であり、図20(c)は実施形態3に係る半導体装置102におけるシールド電極130の端部を示す平面図であり、図20(d)は実施形態4に係る半導体装置におけるシールド電極130の端部を示す平面図であり、図20(e)は実施形態5に係る半導体装置100におけるシールド電極130の端部を示す平面図である。また、図20(f)は実施形態1に係る半導体装置100の変形例におけるシールド電極130の端部を示す平面図であり、図20(g)は実施形態2に係る半導体装置の変形例におけるシールド電極130の端部を示す平面図であり、図20(h)は実施形態3に係る半導体装置102の変形例におけるシールド電極130の端部を示す平面図であり、図20(i)は実施形態4に係る半導体装置の変形例におけるシールド電極130の端部を示す平面図であり

、図20(j)は実施形態5に係る半導体装置100の変形例におけるシールド電極130の端部を示す平面図である。

[図21]実施形態6に係る半導体装置105を説明するために示す平面図である。

[図22]実施形態7に係る半導体装置106を説明するために示す平面図である。

[図23]従来の半導体装置900を説明するために示す図である。図23(a)は半導体装置900の断面図に寄生抵抗及び寄生容量を追記した図であり、図23(b)は半導体装置900の等価回路図である。

発明を実施するための形態

[0025] 以下、本発明の半導体装置について、図に示す実施形態に基づいて説明する。

[0026] [実施形態1]

1. 半導体装置

実施形態1に係る半導体装置100は、図1、図2(a)及び図2(b)に示すように、 n^+ 型ドレイン領域(第1導電型のドレイン領域)112、 n^+ 型ドレイン領域112に隣接した n^- 型ドリフト領域(第1導電型のドリフト領域)114、 n^- 型ドリフト領域114に隣接した p 型ベース領域(第2導電型のベース領域)116、及び、 p 型ベース領域116に隣接した n^+ 型ソース領域(第1導電型のソース領域)118を含む半導体基体110と、半導体基体110内に形成され、 n^- 型ドリフト領域114に隣接した底、及び、 p 型ベース領域116及び n^- 型ドリフト領域114に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチ122と、トレンチ122内に配設され、かつ、側壁の部分でゲート絶縁膜124を介して p 型ベース領域116と対向するゲート電極126と、トレンチ122内に配設され、かつ、ゲート電極126とトレンチ122の底との間に位置するシールド電極130と、ゲート電極126とシールド電極130との間に拡がり、さらに、トレンチ122の側壁及び底に沿って拡がって側壁及び底からシー

ルド電極 130 を離隔させる、トレンチ 122 内における電氣的絶縁領域 128 と、半導体基体 110 の上方に形成され、 n^+ 型ソース領域 118 に電氣的に接続されるとともに平面的に見てトレンチ 122 の両端部においてシールド電極 130 に電氣的に接続されたソース電極 134 と、 n^+ 型ドレイン領域 112 に隣接して形成されたドレイン電極 136 とを備える。なお、図 2 (a) 及び図 2 (b) 中、符号 132 は層間絶縁膜 132 を示す。

実施形態 1 に係る半導体装置 100 は、パワー MOSFET である。

[0027] そして、実施形態 1 に係る半導体装置 100 においては、シールド電極 130 は、平面的に見てトレンチ 122 の両端部に位置する高抵抗領域 130a、及び、高抵抗領域 130a に挟まれた位置に位置する低抵抗領域 130b を有する。高抵抗領域 130a 及び低抵抗領域 130b はともに不純物を含有する同一の半導体材料からなり、低抵抗領域 130b の不純物濃度は高抵抗領域 130a の不純物濃度よりも高い。

[0028] なお、実施形態 1 に係る半導体装置 100 においては、シールド電極 130 のうち、平面的に見てチップの辺に隣接して延在するシールド電極は、すべて高抵抗領域 130a からなる。また、シールド電極 130 のうち、平面的に見てゲートパッド 138 の辺に隣接して延在するシールド電極は、平面的に見てゲートパッド 138 の辺に隣接して延在する部分が高抵抗領域 130a からなる。

[0029] n^+ 型ドレイン領域 112 の厚さは $50\mu\text{m} \sim 500\mu\text{m}$ (例えば $350\mu\text{m}$) であり、 n^+ 型ドレイン領域 112 の不純物濃度は $1 \times 10^{18}\text{cm}^{-3} \sim 1 \times 10^{20}\text{cm}^{-3}$ (例えば $1 \times 10^{19}\text{cm}^{-3}$) である。 n^- 型ドリフト領域 114 の厚さは $10\mu\text{m} \sim 50\mu\text{m}$ (例えば $15\mu\text{m}$) であり、 n^- 型ドリフト領域 114 の不純物濃度は $1 \times 10^{14}\text{cm}^{-3} \sim 1 \times 10^{17}\text{cm}^{-3}$ (例えば $1 \times 10^{15}\text{cm}^{-3}$) である。 p 型ベース領域 116 の厚さは $2\mu\text{m} \sim 10\mu\text{m}$ (例えば $5\mu\text{m}$) であり、 p 型ベース領域 116 の不純物濃度は $1 \times 10^{16}\text{cm}^{-3} \sim 1 \times 10^{18}\text{cm}^{-3}$ (例えば $1 \times 10^{17}\text{cm}^{-3}$) である。

[0030] トレンチ 122 の深さは $4\mu\text{m} \sim 20\mu\text{m}$ (例えば $12\mu\text{m}$) であり、ト

レンチ 122 のピッチは $3\ \mu\text{m} \sim 15\ \mu\text{m}$ (例えば $10\ \mu\text{m}$) である。

ゲート絶縁膜 124 は例えば熱酸化法により形成された二酸化珪素膜からなり、ゲート絶縁膜 124 の厚さは $20\ \text{nm} \sim 200\ \text{nm}$ (例えば $100\ \text{nm}$) である。

ゲート電極 126 は例えば CVD 法により形成された低抵抗のポリシリコンからなり、ゲート電極 126 の厚さは $2\ \mu\text{m} \sim 10\ \mu\text{m}$ (例えば $5\ \mu\text{m}$) である。

[0031] シールド電極 130 は、上記したように、トレンチ 122 内に配設され、かつ、ゲート電極 126 とトレンチ 122 の底との間に位置する。高抵抗領域 130a は例えば CVD 法により形成された高抵抗のポリシリコンからなり、高抵抗領域 130a の厚さは $1\ \mu\text{m} \sim 4\ \mu\text{m}$ (例えば $3\ \mu\text{m}$) である。低抵抗領域 130b は例えば CVD 法により形成された低抵抗のポリシリコンからなり、低抵抗領域 130b の厚さは $1\ \mu\text{m} \sim 4\ \mu\text{m}$ (例えば $3\ \mu\text{m}$) である。

[0032] シールド電極 130 とゲート電極 126 との間隔は $1\ \mu\text{m} \sim 3\ \mu\text{m}$ (例えば $2\ \mu\text{m}$) であり、シールド電極 130 とトレンチ 122 の底との間隔は $1\ \mu\text{m} \sim 3\ \mu\text{m}$ (例えば $2\ \mu\text{m}$) であり、シールド電極 130 とトレンチ 122 の側壁との間隔は $1\ \mu\text{m} \sim 3\ \mu\text{m}$ (例えば $2\ \mu\text{m}$) である。

[0033] n^+ 型ソース領域 118 の深さは $1\ \mu\text{m} \sim 3\ \mu\text{m}$ (例えば $2\ \mu\text{m}$) であり、 n^+ 型ソース領域 118 の不純物濃度は $1 \times 10^{18}\ \text{cm}^{-3} \sim 1 \times 10^{20}\ \text{cm}^{-3}$ (例えば $2 \times 10^{19}\ \text{cm}^{-3}$) である。

p^+ 型コンタクト領域 120 の深さは $1\ \mu\text{m} \sim 3\ \mu\text{m}$ (例えば $2\ \mu\text{m}$) であり、 p^+ 型コンタクト領域 120 の不純物濃度は $1 \times 10^{18}\ \text{cm}^{-3} \sim 1 \times 10^{20}\ \text{cm}^{-3}$ (例えば $2 \times 10^{19}\ \text{cm}^{-3}$) である。

層間絶縁膜 132 は例えば CVD 法により形成された二酸化珪素膜からなり、層間絶縁膜 132 の厚さは $0.5\ \mu\text{m} \sim 3\ \mu\text{m}$ (例えば $1\ \mu\text{m}$) である。

[0034] ソース電極 134 は例えば Al 膜又は Al 合金膜 (例えば AlSi 膜) か

らなり、ソース電極 134 の厚さは $1\ \mu\text{m} \sim 10\ \mu\text{m}$ （例えば $3\ \mu\text{m}$ ）である。

ドレイン電極 136 は Ti、Ni 及び Au がこの順序で積層された積層膜からなり、ドレイン電極 136 の厚さは $0.2\ \mu\text{m} \sim 1.5\ \mu\text{m}$ （例えば $1\ \mu\text{m}$ ）である。

[0035] 実施形態 1 に係る半導体装置 100 において、高抵抗領域 130a 及び低抵抗領域 130b の電気抵抗率や不純物濃度などは特に限定されるものでないが、高抵抗領域 130a の電気抵抗率が低抵抗領域 130b の電気抵抗率の 10 倍以上であることが好ましく、100 倍以上であることがより一層好ましい。トレンチ 122 の長手方向に沿った高抵抗領域 130a 及び低抵抗領域 130b の長さ（片側長さ）も特に限定されるものでないが、高抵抗領域 130a の長さが低抵抗領域 130b の長さの 0.2 倍以下であることが好ましく、0.1 倍以下であることがより一層好ましい。

[0036] 2. 半導体装置の効果

実施形態 1 に係る半導体装置 100 によれば、シールド電極 130 として、トレンチの両端部に位置する高抵抗領域 130a、及び、高抵抗領域 130a に挟まれた位置に位置する低抵抗領域 130b を有するシールド電極 130 を備えることから（図 1、図 2（a）及び図 2（b）参照。）、高抵抗領域 130a における抵抗 R_a （図 7 参照。）の抵抗値が低抵抗領域 130b における抵抗 R_b （図 7 参照。）の抵抗値よりも高くなり、高抵抗領域 130a の存在によりドレイン・ソース間の抵抗を高くすることができる。このため、スイッチオフ時のドレイン電極 136 の電位変化を緩やかにすることができ、もって、スイッチオフ時に発生するリングングを抑制（及びサージ電圧を低減）して誤動作の発生を抑制することができる（図 2（c）参照。）。）。。

[0037] また、低抵抗領域 130b における抵抗 R_b （図 7 参照。）の抵抗値が高抵抗領域 130a における抵抗 R_a （図 7 参照。）の抵抗値よりも低くなり、低抵抗領域 130b の存在により、シールド電極 130 の配線に沿って生

じる電位差を低減することができ、もって、スイッチング期間の後半に V_{GS} が立ち上がることに起因して発生する誤動作（セルフ・ターンオン）を抑制できる（図2（c）符号A参照。）また、低抵抗領域130bの存在により、スイッチング速度を高くすることができ（図2（c）参照。）、もって、スイッチング損失の増加を防止することができる。

[0038] さらにまた、トレンチ122両端部に位置する高抵抗領域130aの存在により、シールド電極130に生じる電位が高くなり、 C_{ds} を介してn型ドリフト領域114の空乏層伸長が抑制される。このとき、MOSFETのスイッチング動作はトレンチ122両端部から徐々に中央に移るため、トレンチ122両端部における空乏層伸長が抑制される結果、外部からのサージ電圧による悪影響を軽減できる。

[0039] また、実施形態1に係る半導体装置100によれば、シールド電極130のうち、平面的に見てチップの辺に隣接して延在するシールド電極130は、すべて高抵抗領域130aからなることから、当該シールド電極においては、シールド電極130に生じる電位がより一層高くなり、 C_{ds} を介してn型ドリフト領域114の空乏層伸長がより一層抑制される。このため、チップ外部からのサージ電圧による悪影響の軽減が可能となる。

[0040] また、実施形態1に係る半導体装置100によれば、シールド電極130のうち、平面的に見てゲートパッド138の辺に隣接して延在するシールド電極130は、平面的に見てゲートパッド138の辺に隣接して延在する部分が高抵抗領域130aからなることから、当該シールド電極においては、シールド電極130に生じる電位がより一層高くなり、 C_{ds} を介してn型ドリフト領域114の空乏層伸長がより一層抑制される。このため、ゲートパッド138からのサージ電圧による悪影響の軽減が可能となる。

[0041] また、実施形態1に係る半導体装置100によれば、シールド電極130として、高抵抗領域130a及び低抵抗領域130bがともに不純物を含有する同一の半導体材料からなり、低抵抗領域130bの不純物濃度が高抵抗領域130aの不純物濃度よりも高いシールド電極を備えることから、不純

物のドーピング量を適宜の値に設定することにより、高抵抗領域 130a 及び低抵抗領域 130b の電気抵抗率を比較的容易に所望の値に設定することができる。

[0042] 3. 半導体装置の製造方法

実施形態 1 に係る半導体装置 100 は、以下に示す製造工程を有する製造方法（実施形態 1 に係る半導体装置の製造方法）により製造することができる。

[0043] (1) 半導体基体準備工程

図 8 (a) ~ 図 8 (c) に示すように、 n^+ 型ドレイン領域 112、 n^+ 型ドレイン領域 112 に隣接した n^- 型ドリフト領域 114、 n^- 型ドリフト領域 114 に隣接した p 型ベース領域 116、 p 型ベース領域 116 に隣接した n^+ 型ソース領域 118 及び p^+ 型コンタクト領域 120 を含む半導体基体 110 を準備する。

[0044] (2) トレンチ形成工程

その後、図 8 (d) に示すように、半導体基体 110 の表面にマスク M3 を形成し、当該マスク M3 をマスクとして p 型ベース領域 116 の表面から n^- 型ドリフト領域 114 に達するようにトレンチ 122 を形成する。トレンチ 122 の深さは例えば $12\mu\text{m}$ とする。

[0045] (3) 第 1 の電氣的絶縁領域形成工程

その後、図 9 (a) に示すように、熱酸化法により、トレンチ 122 の内面及び半導体基体 110 の表面にシリコン酸化膜 128' を形成し、これを電氣的絶縁領域 128 の底部及び側壁部とする。なお、第 1 の電氣的絶縁領域形成工程においては、CVD 法により底の部分のシリコン酸化膜 128' を厚く形成し、その後、熱酸化法により側壁の部分のシリコン酸化膜 128' を形成することとしてもよい。

[0046] (4) シールド電極形成工程

その後、図 9 (b) に示すように、CVD 法により、トレンチ 122 の内部及び半導体基体 110 の表面に高抵抗ポリシリコン膜 130a' を形成し

、その後、図9（c）に示すように、低抵抗領域130bを形成する領域のみに高抵抗ポリシリコン膜130a'のエッチングを行い、高抵抗ポリシリコン膜130a'を除去する。これにより、トレンチ122内部の高抵抗領域130aを形成する領域のみに高抵抗ポリシリコン膜130a'が形成される。

その後、図9（d）に示すように、CVD法により、低抵抗領域130bを形成する領域のみにトレンチ122の内部及び半導体基体110の表面に低抵抗ポリシリコン膜130b'を形成する。

[0047] その後、高抵抗ポリシリコン膜130a'及び低抵抗ポリシリコン膜130b'のエッチバックを行い、所定厚さの高抵抗ポリシリコン膜130a'及び低抵抗ポリシリコン膜130b'を残した状態で高抵抗ポリシリコン膜130a'及び低抵抗ポリシリコン膜130b'を除去する。

これにより、トレンチ122内部に高抵抗領域130a及び低抵抗領域130bが形成され、全体として、高抵抗領域130a及び低抵抗領域130bを有するシールド電極130が形成される（図10（a）参照）。なお、シールド電極130は、当該シールド電極130の一部又は全部が、p型ベース領域116の底部よりも深い位置に位置するように形成される。

[0048] （5）第2の電氣的絶縁領域形成工程

その後、CVD法により、トレンチ122内部の高抵抗領域130a及び低抵抗領域130b上に所定厚さのシリコン酸化膜を形成し、これを電氣的絶縁領域128の頂部とする（図10（b）参照。）。

[0049] （6）ゲート絶縁膜形成工程

その後、図10（c）に示すように、ウェットエッチングにより、ゲート絶縁膜124を形成する部位に形成されているシリコン酸化膜128'を除去する。その後、図10（d）に示すように、熱酸化法により、トレンチ122の内面におけるゲート絶縁膜124を形成する部位及び半導体基体110の表面にシリコン酸化膜124'を形成し、これを最終的なゲート絶縁膜124とする。

[0050] (7) ゲート電極形成工程

その後、図 11 (a) に示すように、半導体基体 110 の表面側から、トレンチ 122 を埋めるように低抵抗ポリシリコン膜 126' を形成する。その後、図 11 (b) に示すように、低抵抗ポリシリコン膜 126' のエッチバックを行い、トレンチ 122 の内部にのみ低抵抗ポリシリコン膜 126' を残した状態で上方の低抵抗ポリシリコン膜 126' を除去する。これにより、トレンチ 122 の内周面に最終的なゲート電極 126 が形成される。

[0051] (8) 層間絶縁膜形成工程

その後、半導体基体 110 の表面におけるシリコン酸化膜 124' を除去し、その後、半導体基体 110 の表面側から気相法により PSG 膜を形成し、さらにその後、ゲート電極 126 の上部所定部分を残してシリコンの熱酸化膜及び PSG 膜をエッチングにより除去する。これにより、図 11 (c) に示すように、ゲート電極 126 の上部に層間絶縁膜 132 が形成される。

[0052] (9) ソース電極及びドレイン電極形成工程

その後、図 11 (d) に示すように、半導体基体 110 及び層間絶縁膜 132 を覆うようにソース電極 134 を形成し、 n^+ 型ドレイン領域 112 の表面にドレイン電極 136 を形成する。

[0053] 以上の工程を実施することにより、実施形態 1 に係る半導体装置 100 を製造することができる。

[0054] [実施形態 2]

実施形態 2 に係る半導体装置は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、シールド電極 130 の構成が実施形態 1 に係る半導体装置 100 の場合とは異なる。すなわち、図 12 に示すように、実施形態 2 に係る半導体装置が、シールド電極 130 として、高抵抗領域 130a 及び低抵抗領域 130b はそれぞれ異なる材料からなり、低抵抗領域 130b を構成する材料の電気抵抗率が高抵抗領域 130a を構成する材料の電気抵抗率よりも低いシールド電極 130 を備える。

[0055] 高抵抗領域 130a を構成する材料としては、例えば CVD 法により形成

された高抵抗のポリシリコンを用いることができる。また、低抵抗領域 130b としては、高融点金属（例えば、W、Mo、Ta、Nb など。）やその他の金属（例えば、Cu など。）を用いることができる。

[0056] このように、実施形態 2 に係る半導体装置は、シールド電極 130 の構成が実施形態 1 に係る半導体装置 100 の場合とは異なるが、シールド電極 130 として、平面的に見てトレンチ 122 の両端部に位置する高抵抗領域 130a、及び、高抵抗領域 130a に挟まれた位置に位置する低抵抗領域 130b を有するシールド電極を備えることから、実施形態 1 に係る半導体装置 100 の場合と同様に、リングング及びサージ電圧の抑制、誤動作の抑制、スイッチング損失の増加防止、並びに、外部からのサージ電圧による悪影響の軽減が可能となる。

[0057] また、実施形態 2 に係る半導体装置によれば、高抵抗領域 130a 及び低抵抗領域 130b の材料を適宜選択することにより、高抵抗領域 130a 及び低抵抗領域 130b の電気抵抗率を幅広い範囲から選択することができる。

[0058] [実施形態 3]

実施形態 3 に係る半導体装置 102 は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、シールド電極 130 の構成が実施形態 1 に係る半導体装置 100 の場合とは異なる。すなわち、図 13 及び図 14 に示すように、実施形態 3 に係る半導体装置 102 は、シールド電極 130 として、高抵抗領域 130a 及び低抵抗領域 130b がそれぞれ同一の材料からなり、トレンチ 122 の長手方向に直交する平面で切断したときの高抵抗領域 130a の断面積が、トレンチ 122 の長手方向に直交する平面で切断したときの低抵抗領域 130b の断面積よりも小さいシールド電極 130 を備える。

[0059] このように、実施形態 3 に係る半導体装置 102 は、シールド電極 130 の構成が実施形態 1 に係る半導体装置 100 の場合とは異なるが、シールド電極 130 として、平面的に見てトレンチ 122 の両端部に位置する高抵抗

領域 130a、及び、高抵抗領域 130a に挟まれた位置に位置する低抵抗領域 130b を有するシールド電極を備えることから、実施形態 1 に係る半導体装置 100 の場合と同様に、リングング及びサージ電圧の抑制、誤動作の抑制、スイッチング損失の増加防止、並びに、外部からのサージ電圧による悪影響の軽減が可能となる。

[0060] 実施形態 3 に係る半導体装置 102 は、図 15 に示すように、トレンチ 122 の内部に形成する電氣的絶縁領域 128 の側壁部の厚さを高抵抗領域 130a を形成する領域と低抵抗領域 130b を形成する領域とで変えること（図 15（a）及び図 15（b）参照。）、及び、不純物濃度を変えずに高抵抗領域 130a 及び低抵抗領域 130b を形成すること（図 15（c）及び図 15（d）参照。）を除いて、実施形態 1 に係る半導体装置の製造方法と同様の方法で製造することができる。

[0061] [実施形態 4]

実施形態 4 に係る半導体装置は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、シールド電極の構成が実施形態 1 に係る半導体装置 100 の場合とは異なる。すなわち、図 16 に示すように、実施形態 4 に係る半導体装置は、シールド電極 130 として、高抵抗領域 130a 及び低抵抗領域 130b がともに不純物を含有する同一の半導体材料からなり、低抵抗領域 130b が、高抵抗領域 130a より高濃度の不純物を含有するとともにトレンチ 122 の長手方向に沿って延在する高濃度不純物領域 130d を含むシールド電極を備える。なお、高抵抗領域 130a 及び低抵抗領域 130b は、図 18（特に図 18（c））に示すように、イオン注入法を実施する際にポリシリコン層 130c における低抵抗領域 130b を形成する領域のみに高濃度不純物領域 130d を形成することにより形成することができる。

[0062] このように、実施形態 4 に係る半導体装置は、シールド電極 130 の構成が実施形態 1 に係る半導体装置 100 の場合とは異なるが、シールド電極 130 として、平面的に見てトレンチ 122 の両端部に位置する高抵抗領域 1

30a、及び、高抵抗領域130aに挟まれた位置に位置する低抵抗領域130bを有するシールド電極を備えることから、実施形態1に係る半導体装置100の場合と同様に、リングング及びサージ電圧の抑制、誤動作の抑制、スイッチング損失の増加防止、並びに、外部からのサージ電圧による悪影響の軽減が可能となる。

[0063] 実施形態4に係る半導体装置は、高抵抗領域130a及び低抵抗領域130bを形成する工程（図19参照。）を除いて、実施形態1に係る半導体装置の製造方法と同様の方法で製造することができる。

[0064] [実施形態5]

実施形態5に係る半導体装置は、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、シールド電極130の構成が実施形態1に係る半導体装置100の場合とは異なる。すなわち、図17に示すように、実施形態5に係る半導体装置は、シールド電極130として、高抵抗領域130a及び低抵抗領域130bがともに、不純物を含有する同一の半導体材料からなり、かつ、トレンチ122の長手方向に沿って延在する高濃度不純物領域130dを含み、トレンチ122の長手方向に直交する平面で切断したときの高抵抗領域130aの高濃度不純物領域130dの断面積が、トレンチ122の長手方向に直交する平面で切断したときの低抵抗領域130bの高濃度不純物領域130dの断面積よりも小さいシールド電極を備える。なお、高抵抗領域130a及び低抵抗領域130bは、図19（特に図19（c））に示すように、イオン注入法を実施する際に高抵抗領域130aと低抵抗領域130bとの間でポリシリコン層130cにイオン注入する面積を変えて高濃度不純物領域130dの断面積を変えることにより形成することができる。

[0065] このように、実施形態5に係る半導体装置は、シールド電極130の構成が実施形態1に係る半導体装置100の場合とは異なるが、シールド電極130として、平面的に見てトレンチ122の両端部に位置する高抵抗領域130a、及び、高抵抗領域130aに挟まれた位置に位置する低抵抗領域1

30bを有するシールド電極を備えることから、実施形態1に係る半導体装置100の場合と同様に、リングング及びサージ電圧の抑制、誤動作の抑制、スイッチング損失の増加防止、並びに、外部からのサージ電圧による悪影響の軽減が可能となる。

[0066] 実施形態5に係る半導体装置は、高抵抗領域130a及び低抵抗領域130bを形成する工程（図19参照。）を除いて、実施形態1に係る半導体装置の製造方法と同様の方法で製造することができる。

[0067] [実施形態1～5におけるコンタクト構造]

実施形態1～5に係る本発明の半導体装置においては、図20（a）～図20（e）に示すように、シールド電極130の両端部には、シールド電極130とソース電極134とを電氣的に接続するためのコンタクト構造140が形成されていてもよい。この場合、図20（f）～図20（j）に示すように、当該コンタクト構造140は、高抵抗領域130aよりも抵抗の低い第2低抵抗領域130eに形成されていてもよい。この場合、低抵抗領域130bと第2低抵抗領域130eとに挟まれた領域に高抵抗領域130aが位置することとなる。

[0068] [実施形態6]

実施形態6に係る半導体装置105は、基本的には実施形態1に係る半導体装置100と同様の構成を有するが、平面的に見てチップの辺に隣接して延在するシールド電極130の構成が実施形態1に係る半導体装置100の場合とは異なる。すなわち、図21に示すように、実施形態6に係る半導体装置105においては、平面的に見てチップの辺に隣接して延在するシールド電極130も、そのほかの位置にあるシールド電極130と同様に、高抵抗領域130aに挟まれた位置に位置する低抵抗領域130bを有する。なお、実施形態6に係る半導体装置105においては、平面的に見てゲートパッド138の辺に隣接して延在するシールド電極130も、そのほかの位置にあるシールド電極130と同様に、高抵抗領域130aに挟まれた位置に位置する低抵抗領域130bを有する。

[0069] このように、実施形態 6 に係る半導体装置 105 は、平面的に見てチップの辺に隣接して延在するシールド電極 130 の構成が実施形態 1 に係る半導体装置 100 の場合とは異なるが、シールド電極 130 として、平面的に見てトレンチ 122 の両端部に位置する高抵抗領域 130a、及び、高抵抗領域 130a に挟まれた位置に位置する低抵抗領域 130b を有するシールド電極を備えることから、実施形態 1 に係る半導体装置 100 の場合と同様に、リングング及びサージ電圧の抑制、誤動作の抑制、並びに、スイッチング損失の増加防止が可能となる。

[0070] [実施形態 7]

実施形態 7 に係る半導体装置 106 は、基本的には実施形態 1 に係る半導体装置 100 と同様の構成を有するが、ゲートパッド 138 とゲート電極 126 とを連結するためのゲートフィンガーの構成が実施形態 1 に係る半導体装置 100 の場合とは異なる。すなわち、実施形態 1 に係る半導体装置 100 においては、図示しないが、ゲートフィンガーとして、ゲートパッド 138 からチップ外周部に沿って延在したゲートフィンガー 142 を備えるのに対して、実施形態 7 に係る半導体装置 106 においては、図 22 に示すように、ゲートフィンガーとして、ゲートパッド 138 からチップ外周部に沿って延在したゲートフィンガー 142 に加えて、ゲートパッド 138 からチップ中央部を貫通するように延在した第 2 ゲートフィンガー 144 を備える。また、これにともない、トレンチ 122 が第 2 ゲートフィンガー 144 により分断されている。

[0071] このように、実施形態 7 に係る半導体装置 106 は、ゲートフィンガーの構成が実施形態 1 に係る半導体装置 100 の場合とは異なるが、シールド電極 130 として、平面的に見てトレンチ 122 の両端部に位置する高抵抗領域 130a、及び、高抵抗領域 130a に挟まれた位置に位置する低抵抗領域 130b を有するシールド電極を備えることから、実施形態 1 に係る半導体装置 100 の場合と同様に、リングング及びサージ電圧の抑制、誤動作の抑制、スイッチング損失の増加防止、並びに、外部からのサージ電圧による

悪影響の軽減が可能となる。

[0072] また、実施形態 7 に係る半導体装置 106 によれば、第 2 ゲートフィンガー 144 からのサージ電圧による悪影響を軽減できるという効果も得られる。

[0073] 以上、本発明を上記の実施形態に基づいて説明したが、本発明は上記の実施形態に限定されるものではない。その趣旨を逸脱しない範囲において種々の態様において実施することが可能であり、例えば、次のような変形も可能である。

[0074] (1) 上記実施形態 1 においては、高抵抗領域 130a として、例えば CVD 法により形成された高抵抗のポリシリコンを用い、低抵抗領域 130b として例えば CVD 法により形成された低抵抗のポリシリコンを用いたが、本発明はこれに限定されるものではない。これら以外の材料を用いてもよい。

[0075] (2) 上記実施形態 2 においては、高抵抗領域 130a として、例えば CVD 法により形成された高抵抗のポリシリコンを用い、低抵抗領域 130b として高融点金属（例えば、W、Mo、Ta、Nb など。）やその他の金属（例えば、Cu など。）を用いたが、本発明はこれに限定されるものではない。これら以外の材料を用いてもよい。

[0076] (3) 上記実施形態 1 においては、半導体装置 100 として、パワー MOSFET を例にして説明したが、本発明はこれに限定されるものではない。本発明は、パワー MOSFET 以外の他のデバイスにも本発明の趣旨を逸脱しない範囲で種々に適用可能である。

[0077] (4) 実施形態 1 に係る半導体装置 100 は、実施形態 1 に記載した方法とは別の方法によっても製造することができる。例えば、シールド電極 130 やゲート電極 126 を形成した後に、 n^+ 型ソース領域 118 及び p^+ 型コンタクト領域 120 を形成するようにしてもよい。また、例えば、シールド電極 130 やゲート電極 126 を形成した後に、 n^+ 型ソース領域 118、 p 型ベース領域 116 及び p^+ 型コンタクト領域 120 を形成するようにしてもよい。

[0078] (5) 上記した各実施形態においては、ソース電極が平面的に見てトレンチの両端部においてシールド電極に電氣的に接続され、高抵抗領域が平面的に見てトレンチの両端部に位置し、低抵抗領域が高抵抗領域に挟まれた位置に位置しているが、本発明はこれに限定されるものではない。例えば、ソース電極が平面的に見て前記トレンチの両端部のうち一方においてシールド電極に電氣的に接続され、高抵抗領域が平面的に見てトレンチの両端部のうちソース電極に電氣的に接続された端部に位置し、低抵抗領域がソース電極から見て高抵抗領域よりも先の位置に位置していてもよい。

符号の説明

[0079] 100, 100a, 100b, 102, 105, 106, 900…半導体装置、110…半導体基体、112… n^+ 型ドレイン領域、114… n^- 型ドリフト領域、116… p 型ベース領域、118… n^+ 型ソース領域、120… p^+ 型コンタクト領域、122…トレンチ、124…ゲート絶縁膜、126…ゲート電極、128…電氣的絶縁領域、130…シールド電極、130a…高抵抗領域、130b…低抵抗領域、130c…ポリシリコン層、130d…高濃度不純物領域、130e…第2低抵抗領域、132…層間絶縁膜、134…ソース電極、136…ドレイン電極、138…ゲートパッド、140…コンタクト構造、142…ゲートフィンガー、144…第2ゲートフィンガー、M1, M2, M3…マスク

請求の範囲

[請求項1]

第1導電型のドレイン領域、前記ドレイン領域に隣接した第1導電型のドリフト領域、前記ドリフト領域に隣接した第2導電型のベース領域、及び、前記ベース領域に隣接した第1導電型のソース領域を含む半導体基体と、

前記半導体基体内に形成され、前記ドリフト領域に隣接した底、及び、前記ベース領域及び前記ドリフト領域に隣接した側壁を有し、平面的に見てストライプ状に形成されたトレンチと、

前記トレンチ内に配設され、かつ、前記側壁の部分でゲート絶縁膜を介して前記ベース領域と対向するゲート電極と、

前記トレンチ内に配設され、かつ、前記ゲート電極と前記トレンチの前記底との間に位置するシールド電極と、

前記ゲート電極と前記シールド電極との間に拡がり、さらに、前記トレンチの前記側壁及び前記底に沿って拡がって前記側壁及び前記底から前記シールド電極を離隔させる、前記トレンチ内における電氣的絶縁領域と、

前記半導体基体の上方に形成され、前記ソース領域に電氣的に接続されるとともに平面的に見て前記トレンチの両端部のうち少なくとも一方において前記シールド電極に電氣的に接続されたソース電極と、

前記ドレイン領域に隣接して形成されたドレイン電極とを備える半導体装置であって、

前記シールド電極は、平面的に見て前記トレンチの両端部のうち前記ソース電極に電氣的に接続された端部に位置する高抵抗領域、及び、前記ソース電極から見て前記高抵抗領域よりも先の位置に位置する低抵抗領域を有することを特徴とする半導体装置。

[請求項2]

請求項1に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はともに不純物を含有する同一の半導体材料からなり、前記低抵抗領域の不純物濃度は前記高抵抗領

域の不純物濃度よりも高いことを特徴とする半導体装置。

[請求項3]

請求項1に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はそれぞれ異なる材料からなり、前記低抵抗領域を構成する材料の電気抵抗率は前記高抵抗領域を構成する材料の電気抵抗率よりも低いことを特徴とする半導体装置。

[請求項4]

請求項1に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はそれぞれ同一の材料からなり、前記トレンチの長手方向に直交する平面で切断したときの前記高抵抗領域の断面積は、前記トレンチの長手方向に直交する平面で切断したときの前記低抵抗領域の断面積よりも小さいことを特徴とする半導体装置。

[請求項5]

請求項1に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域は、ともに不純物を含有する同一の半導体材料からなり、前記低抵抗領域は、前記高抵抗領域より高濃度の不純物を含有するとともに前記トレンチの長手方向に沿って延在する高濃度不純物領域を含むことを特徴とする半導体装置。

[請求項6]

請求項1に記載の半導体装置において、

前記高抵抗領域及び前記低抵抗領域はともに、不純物を含有する同一の半導体材料からなり、かつ、前記トレンチの長手方向に沿って延在する高濃度不純物領域を含み、

前記トレンチの長手方向に直交する平面で切断したときの前記高抵抗領域の前記高濃度不純物領域の断面積は、前記トレンチの長手方向に直交する平面で切断したときの前記低抵抗領域の前記高濃度不純物領域の断面積よりも小さいことを特徴とする半導体装置。

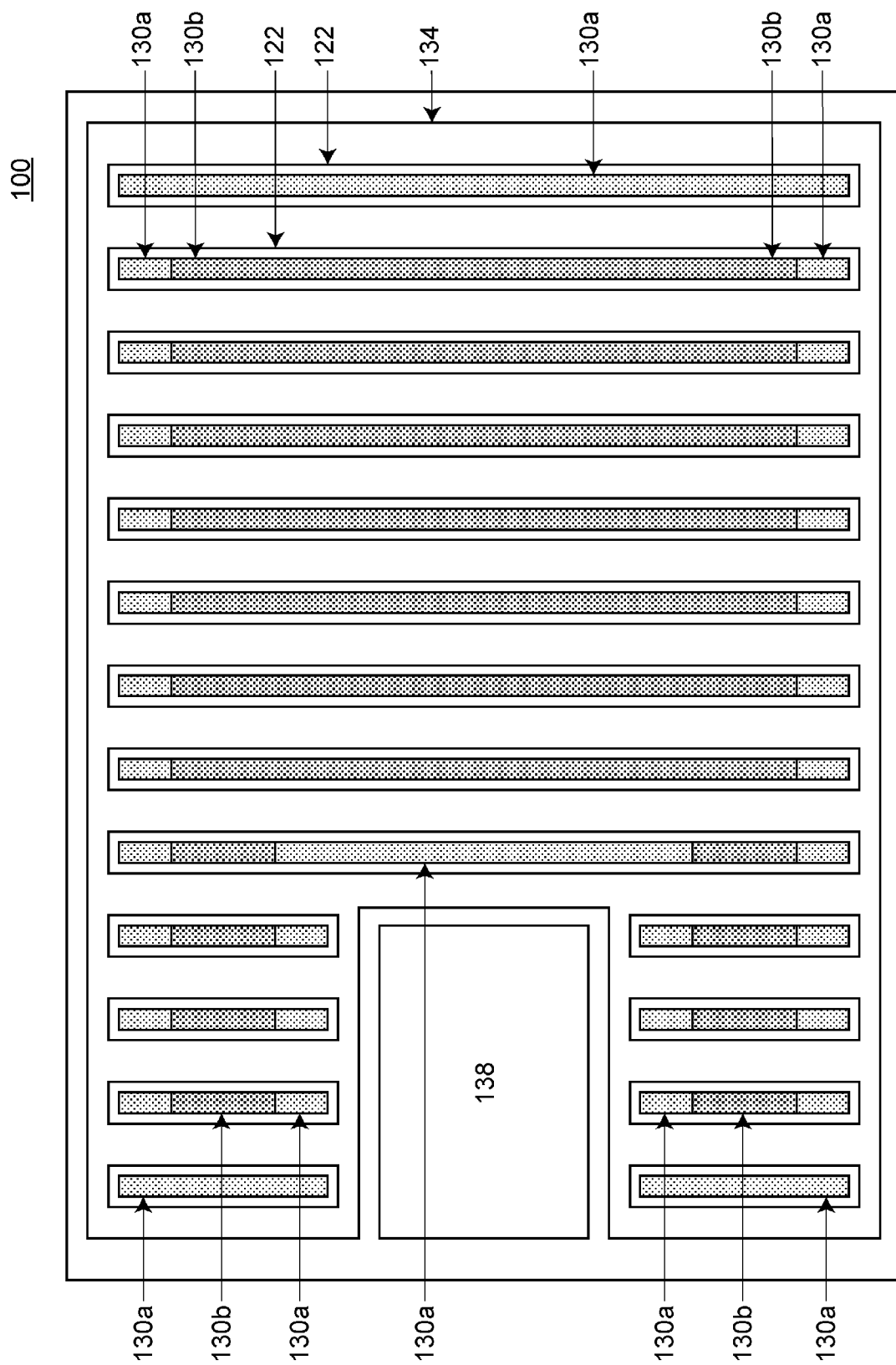
[請求項7]

請求項1～6のいずれかに記載の半導体装置において、

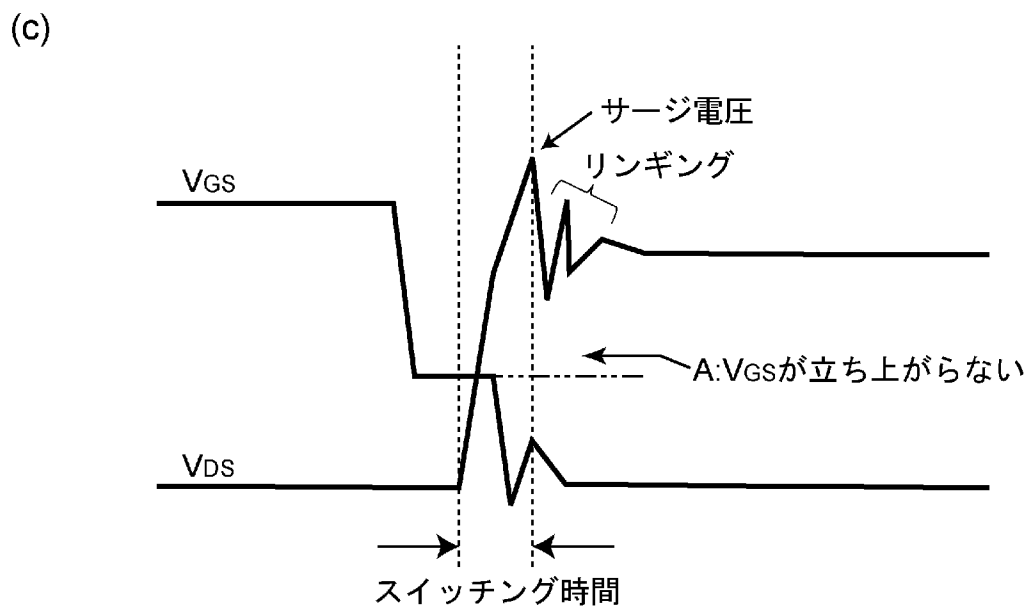
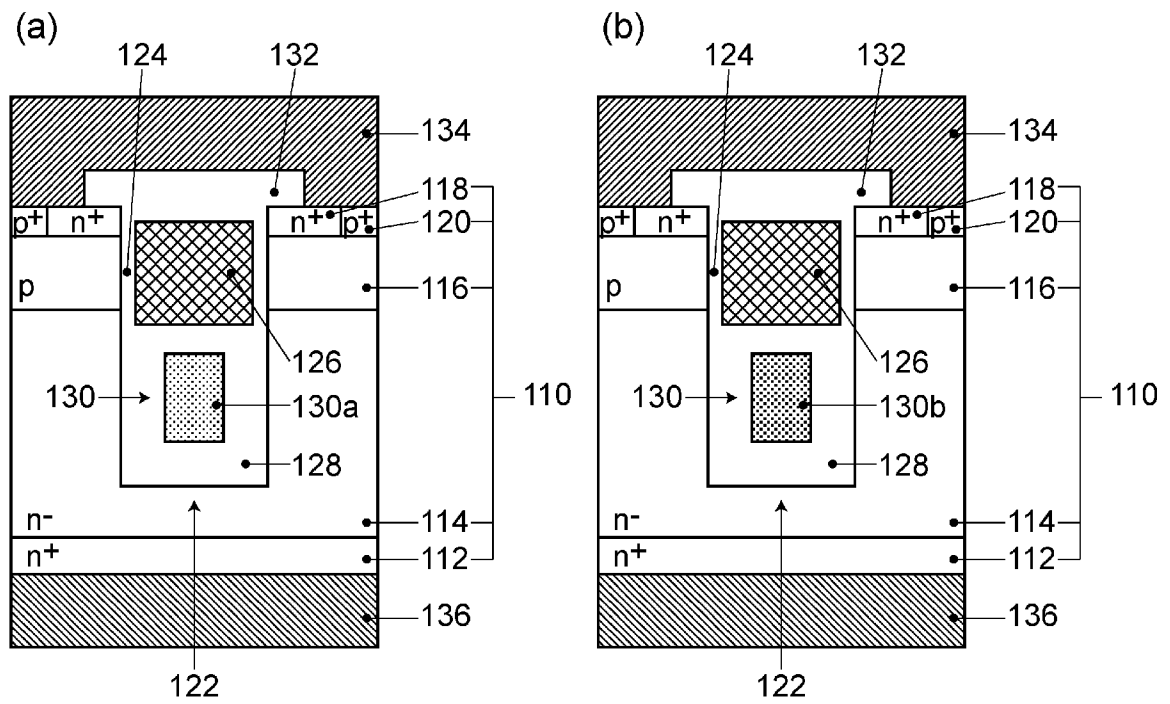
前記シールド電極のうち、平面的に見てチップの辺に隣接して延在する前記シールド電極は、すべて前記高抵抗領域からなることを特徴とする半導体装置。

- [請求項8] 請求項1～7のいずれかに記載の半導体装置において、
前記シールド電極のうち、平面的に見てゲートパッドの辺に隣接して延在する前記シールド電極は、平面的に見て前記ゲートパッドの辺に隣接して延在する部分が前記高抵抗領域からなることを特徴とする半導体装置。
- [請求項9] 請求項1～8のいずれかに記載の半導体装置において、
前記シールド電極の両端部のうち前記ソース電極に接続された端部には、前記シールド電極と前記ソース電極とを電氣的に接続するためのコンタクト構造が形成されていることを特徴とする半導体装置。
- [請求項10] 請求項9に記載の半導体装置において、
前記コンタクト構造は、前記高抵抗領域よりも抵抗の低い第2低抵抗領域に形成されていることを特徴とする半導体装置。
- [請求項11] 請求項1～10のいずれかに記載の半導体装置において、
前記ソース電極は、平面的に見て前記トレンチの両端部において前記シールド電極に電氣的に接続され、
前記高抵抗領域は、平面的に見て前記トレンチの両端部に位置し、
前記低抵抗領域は、前記高抵抗領域に挟まれた位置に位置することを特徴とする半導体装置。

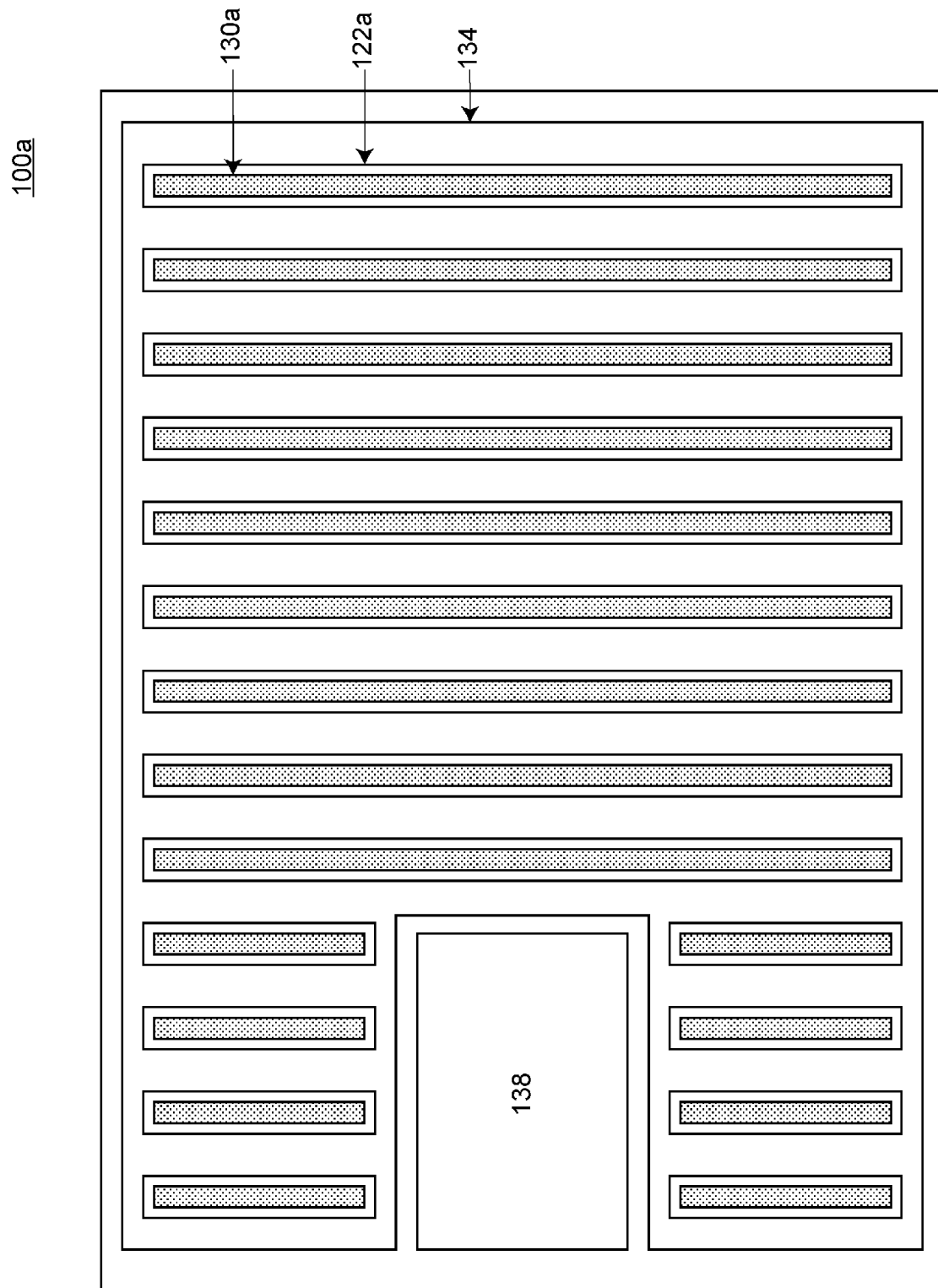
[図1]



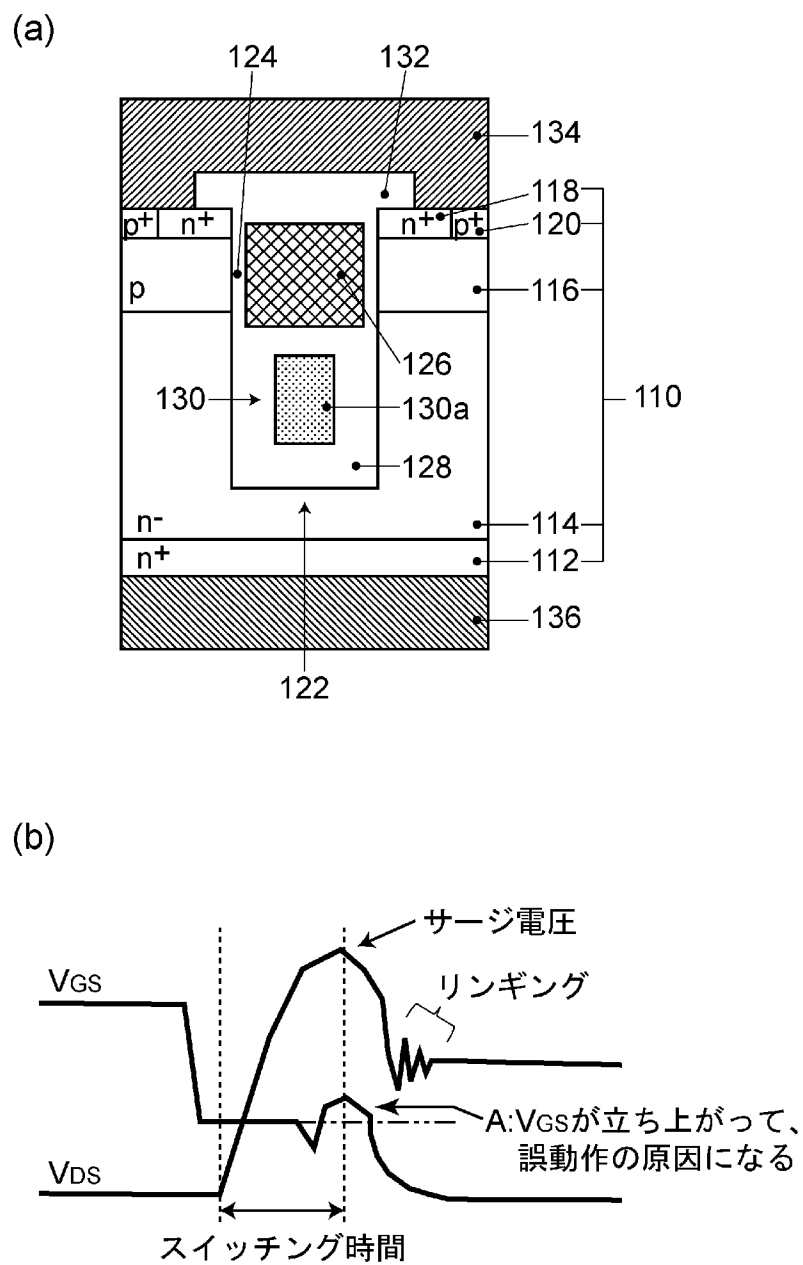
[図2]



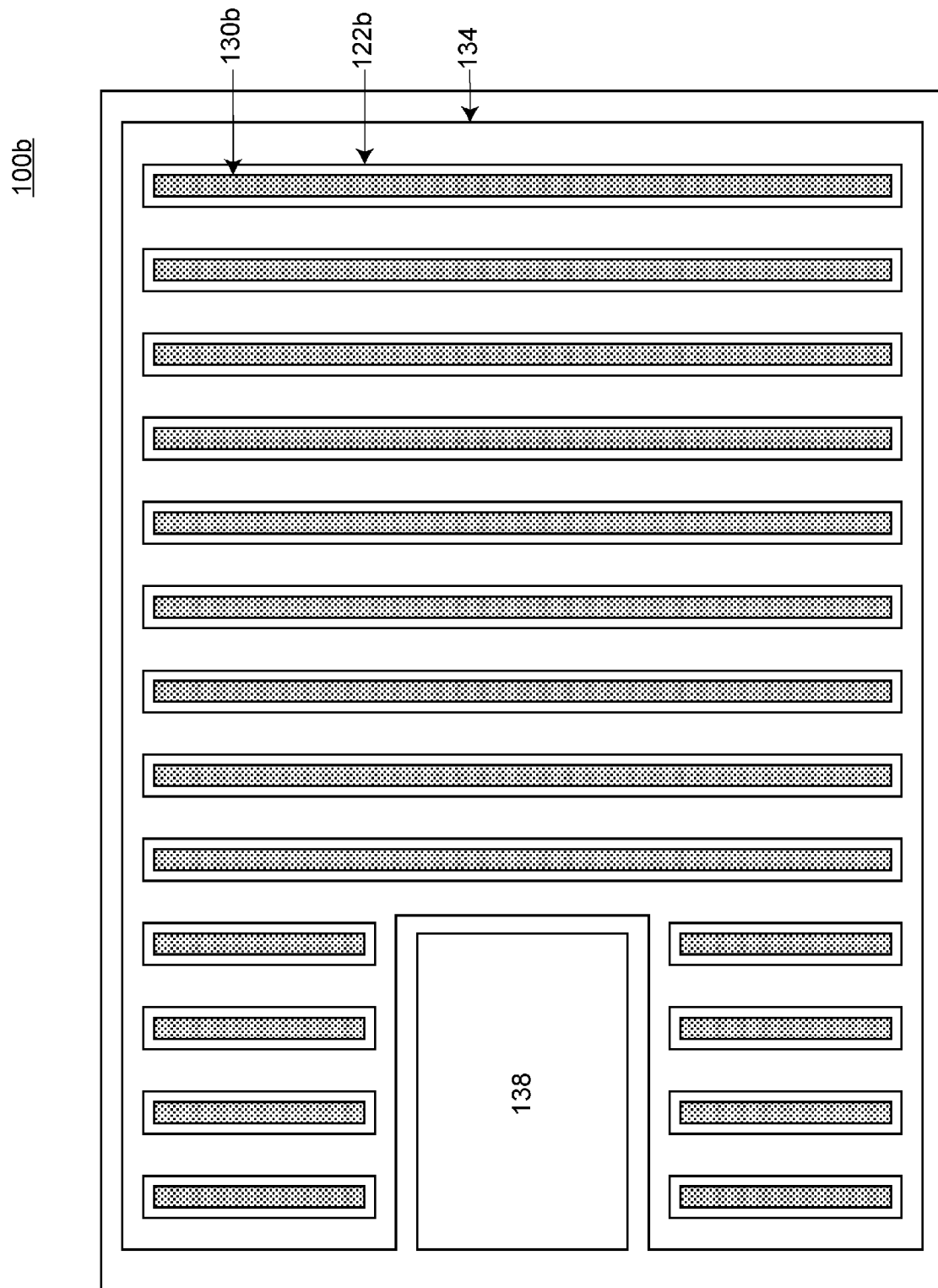
[図3]



[図4]

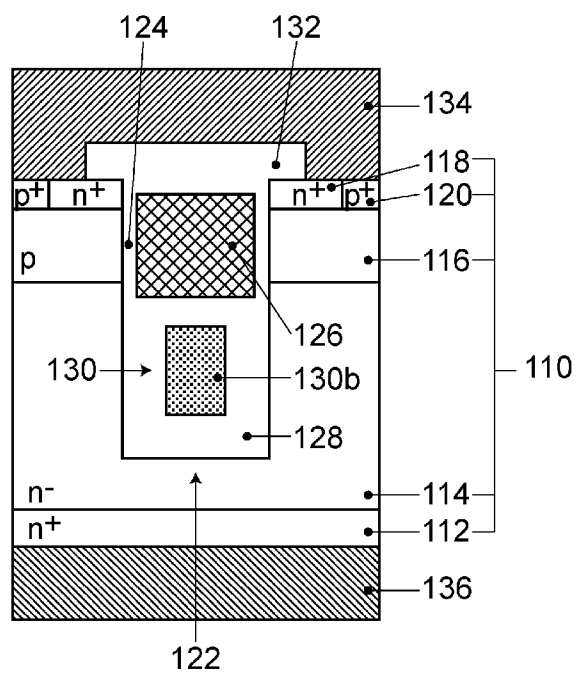


[図5]

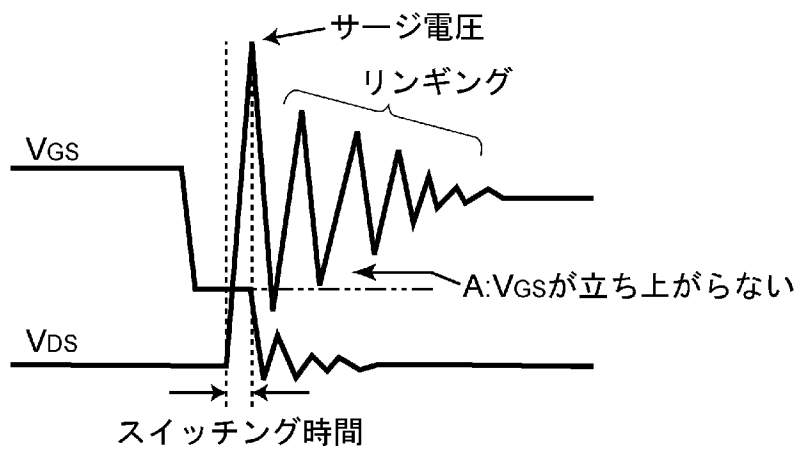


[図6]

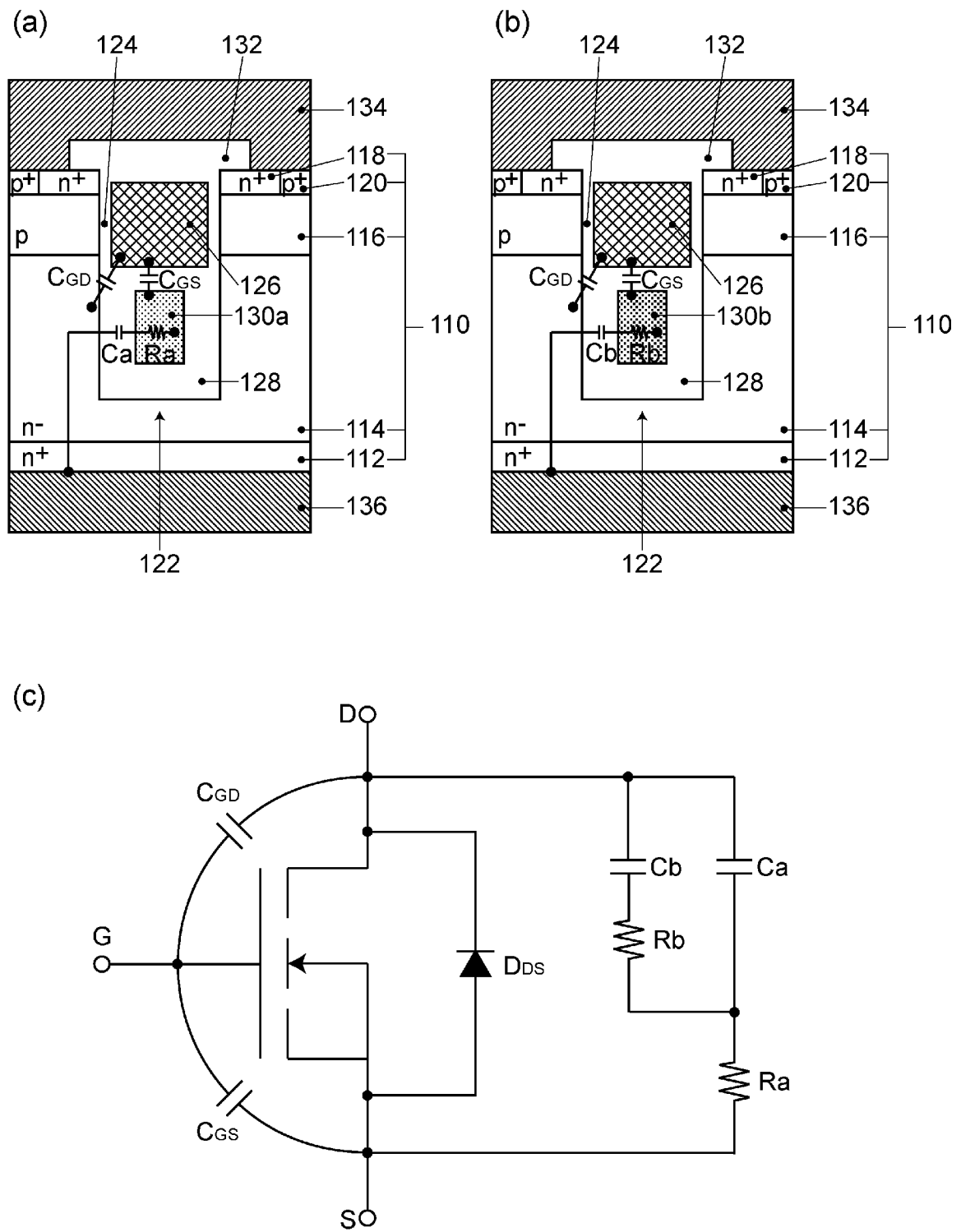
(a)



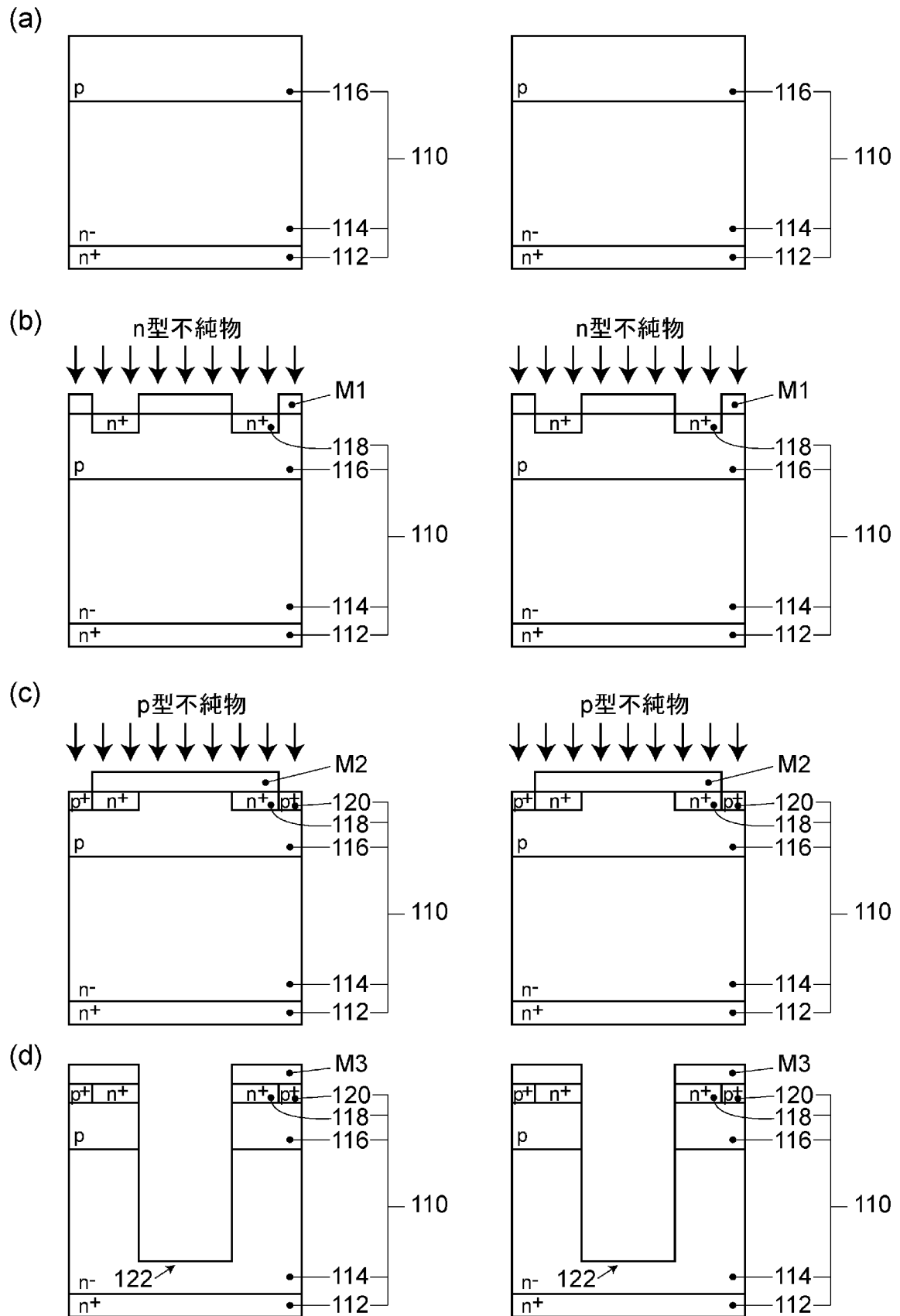
(b)



[図7]

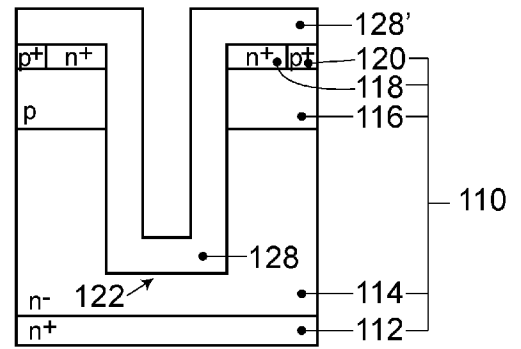
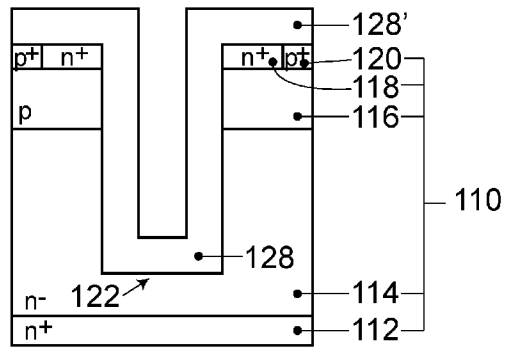


[図8]

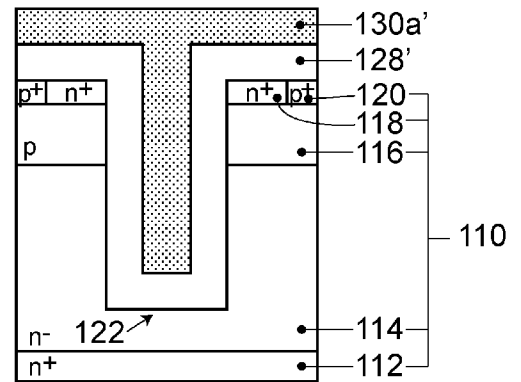
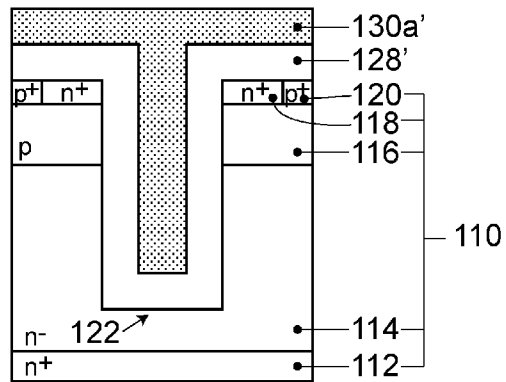


[図9]

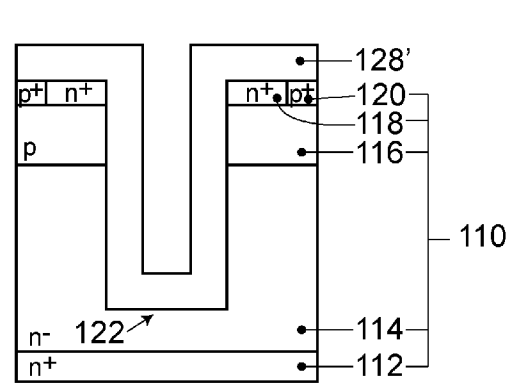
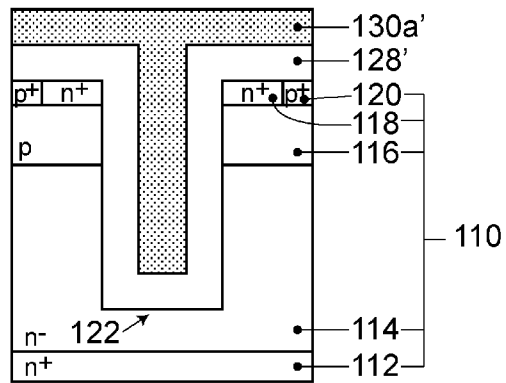
(a)



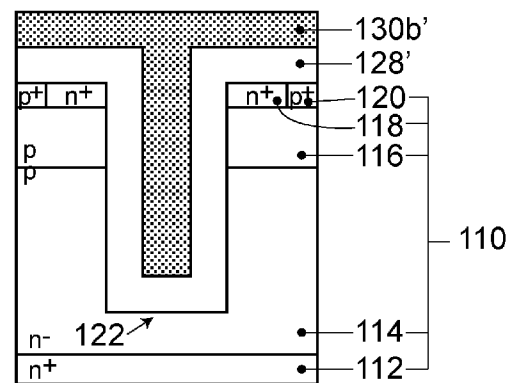
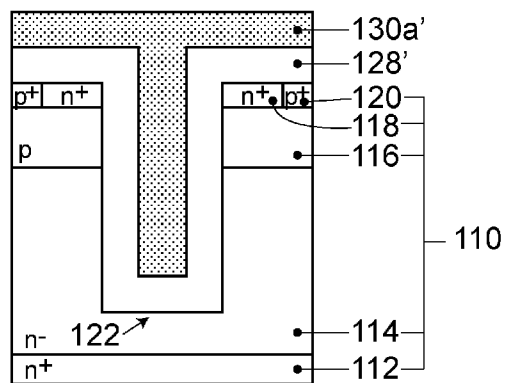
(b)



(c)

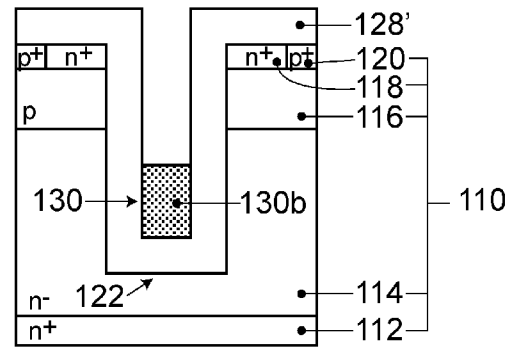
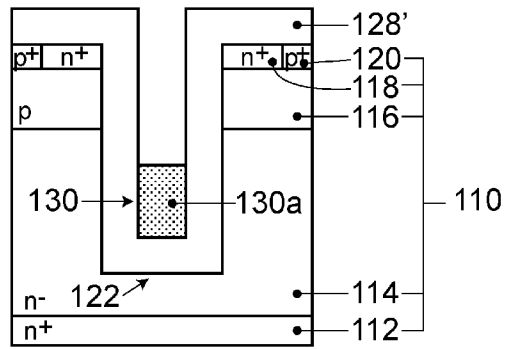


(d)

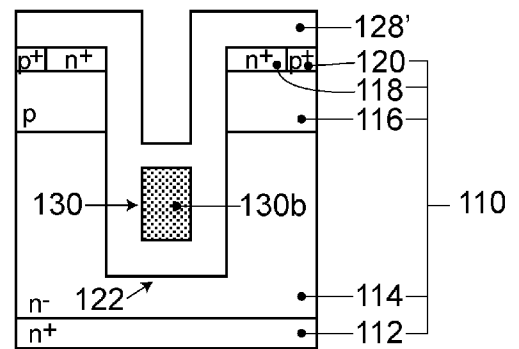
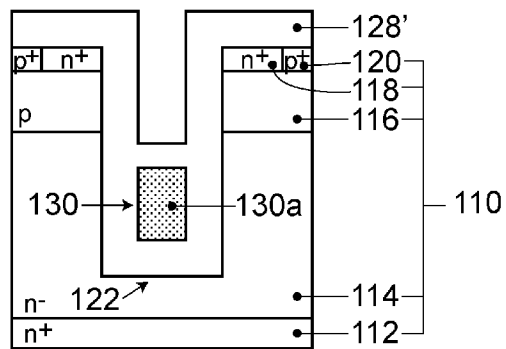


[図10]

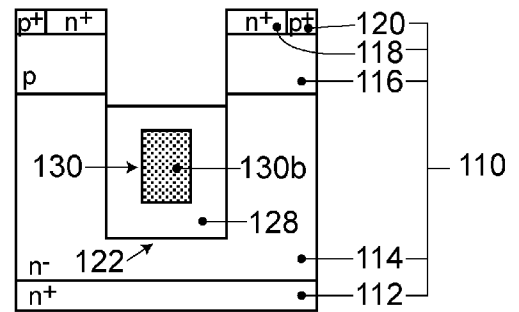
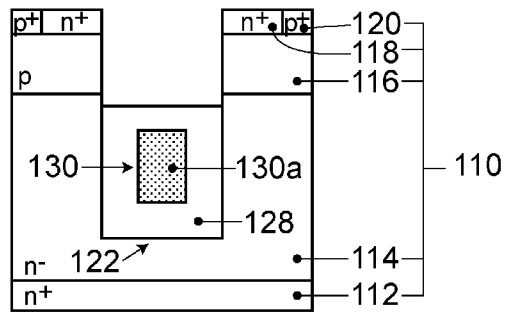
(a)



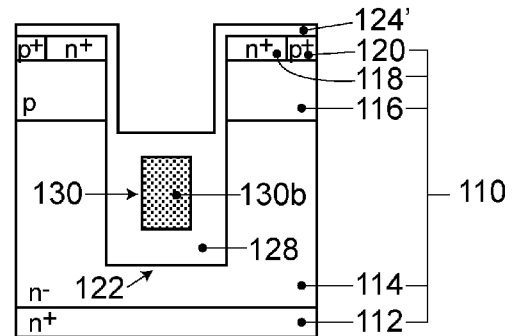
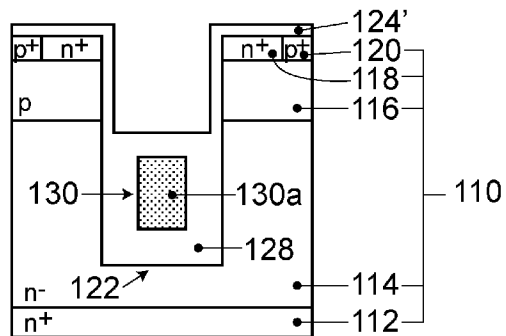
(b)



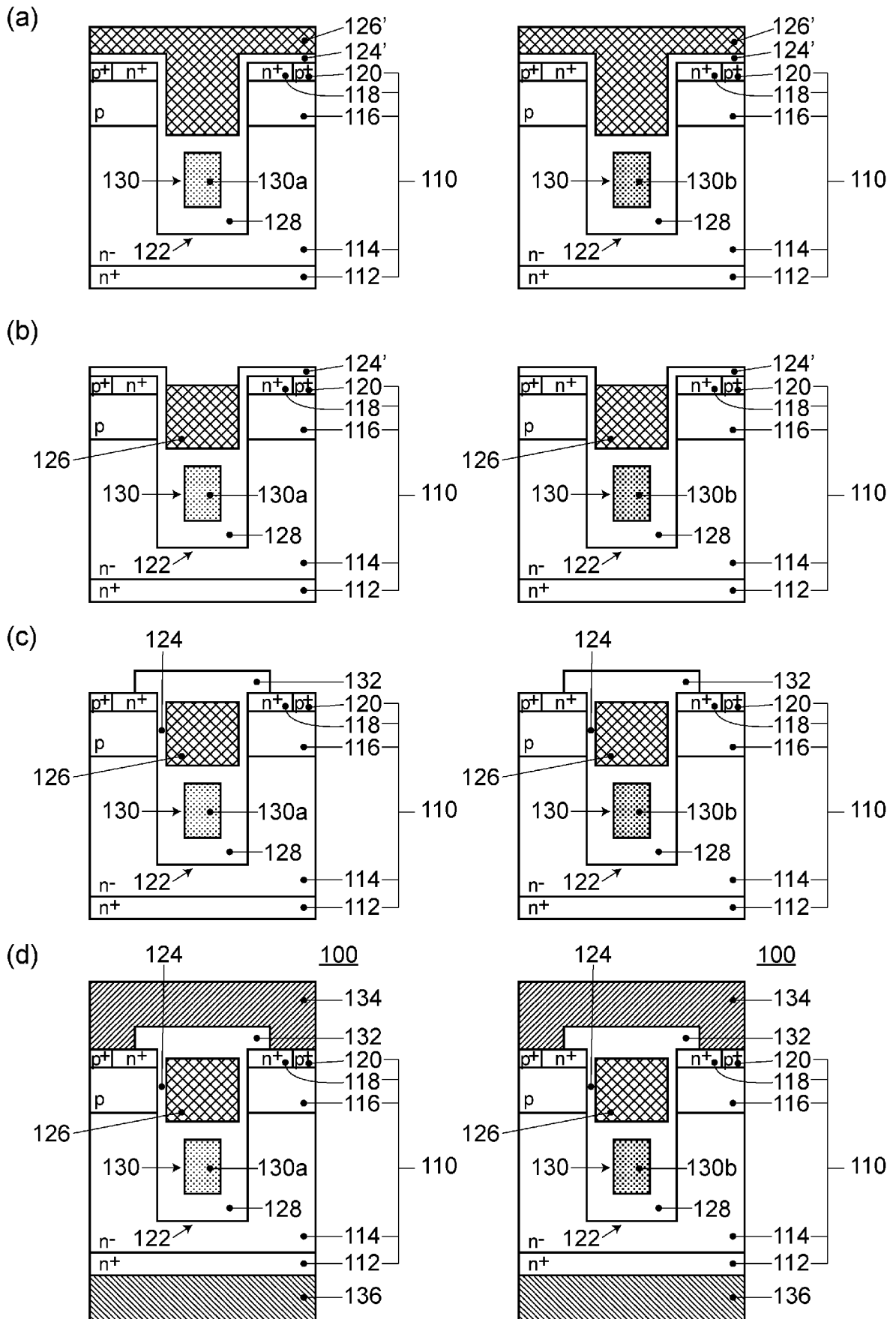
(c)



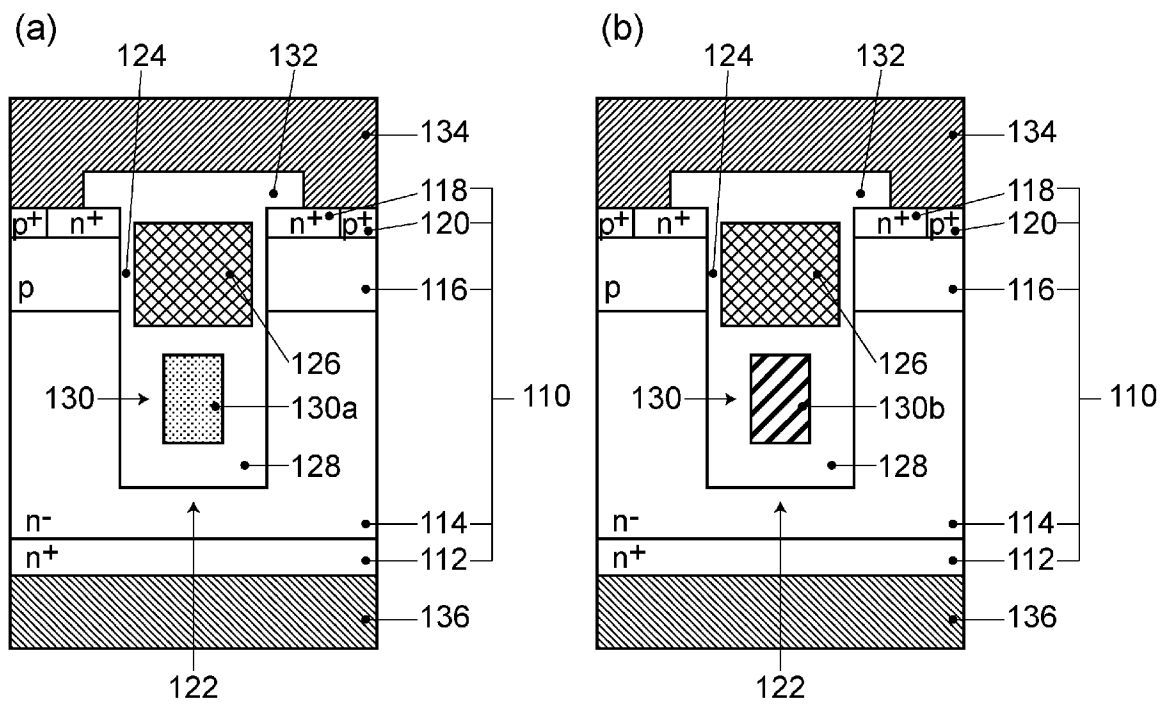
(d)



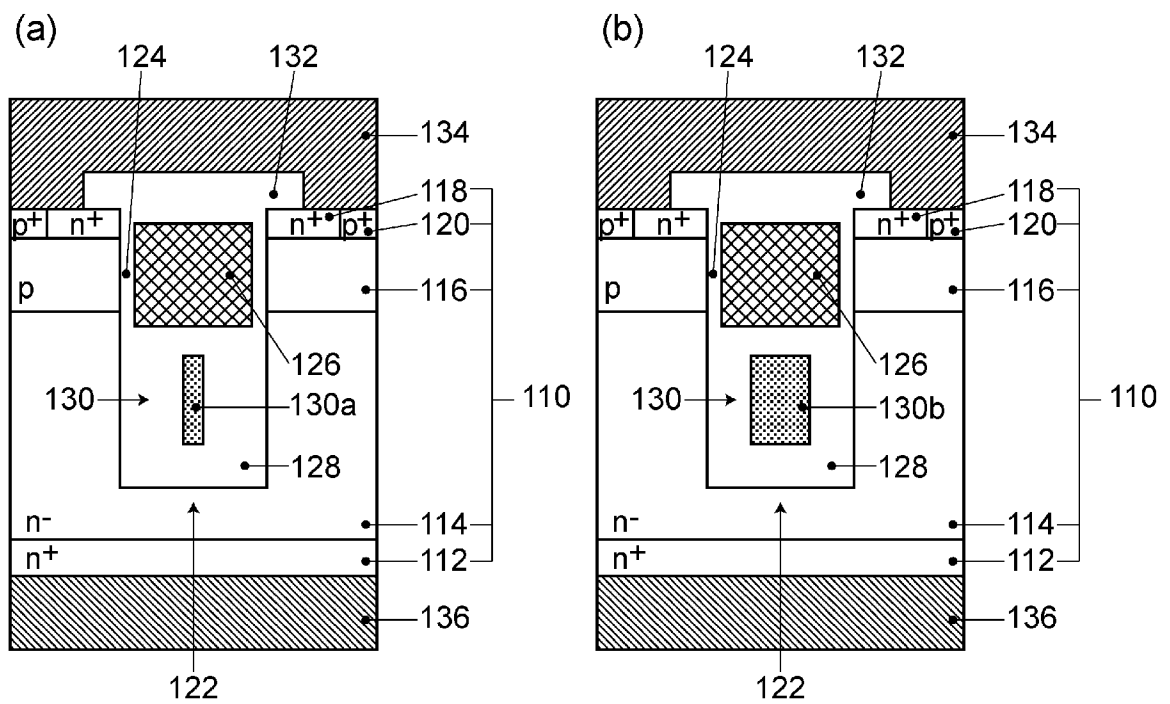
[図11]



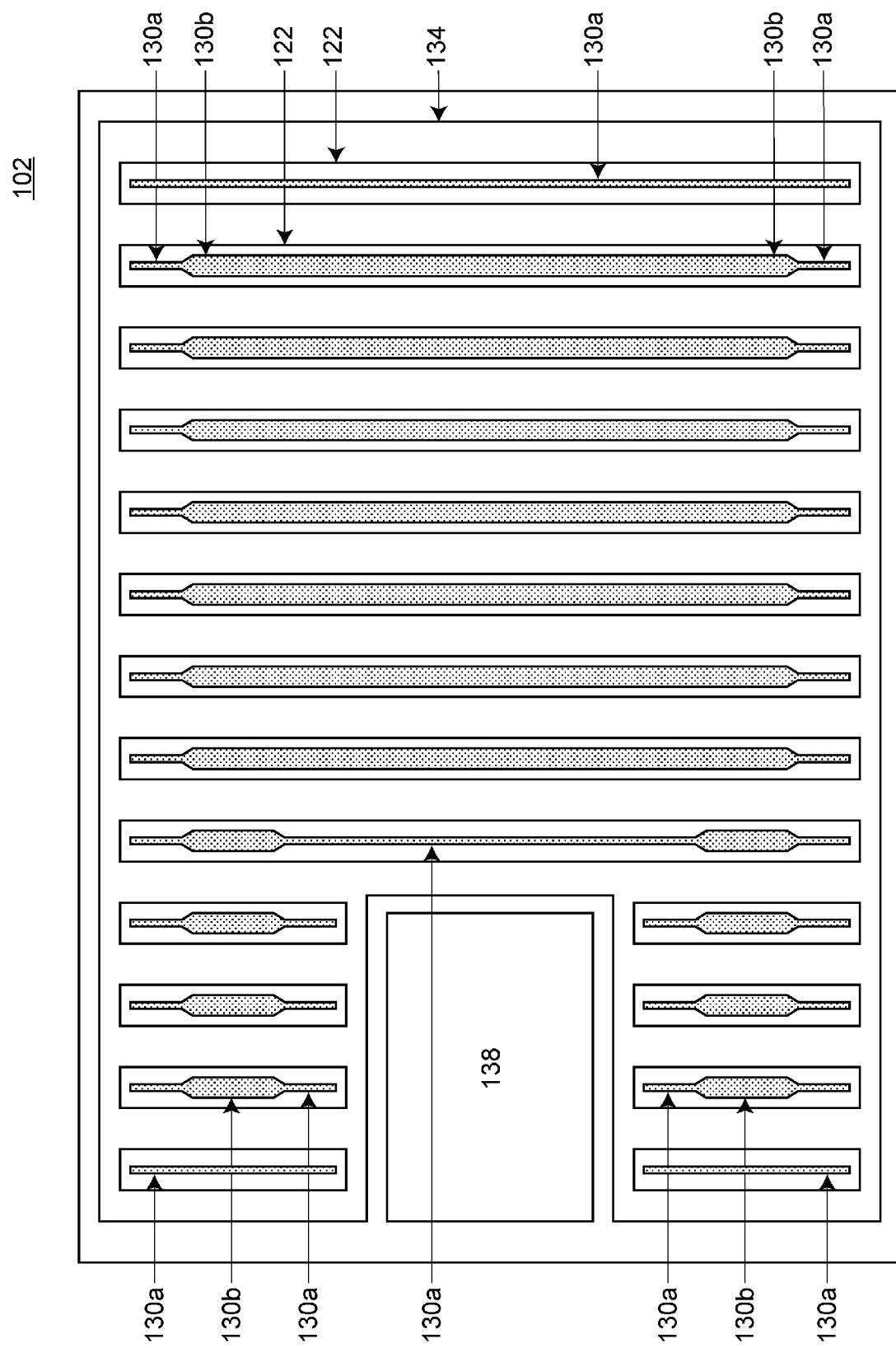
[図12]



[図13]

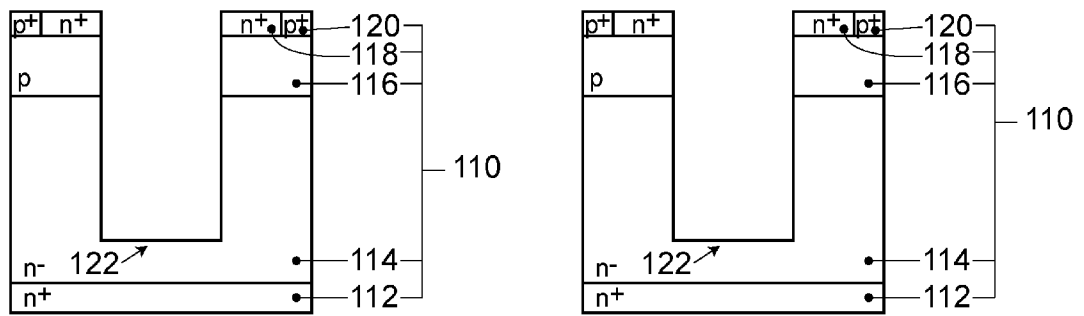


[図14]

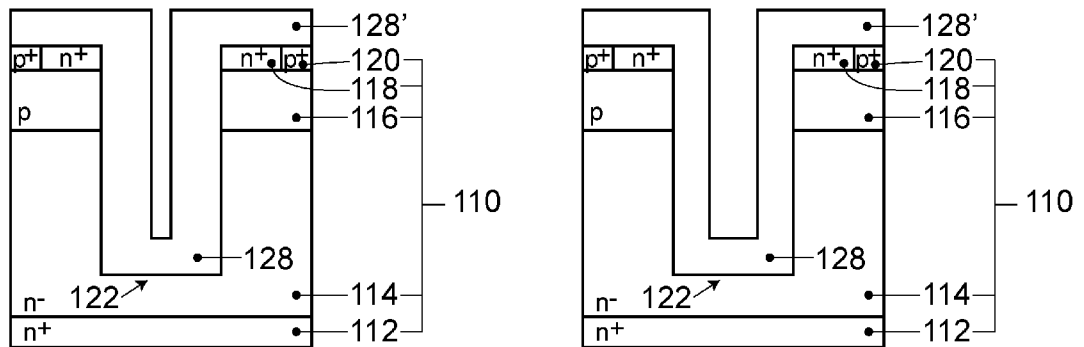


[図15]

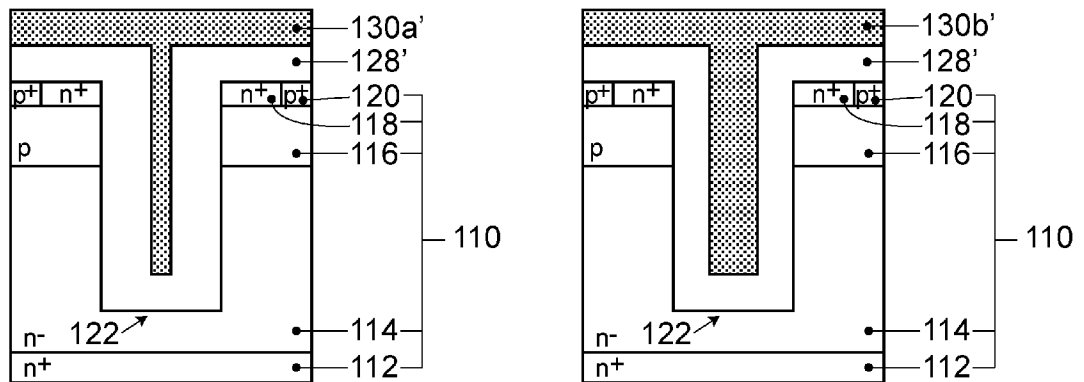
(a)



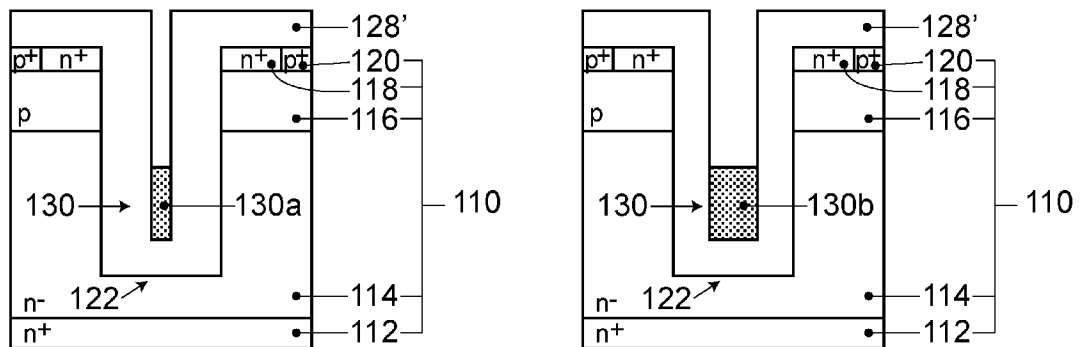
(b)



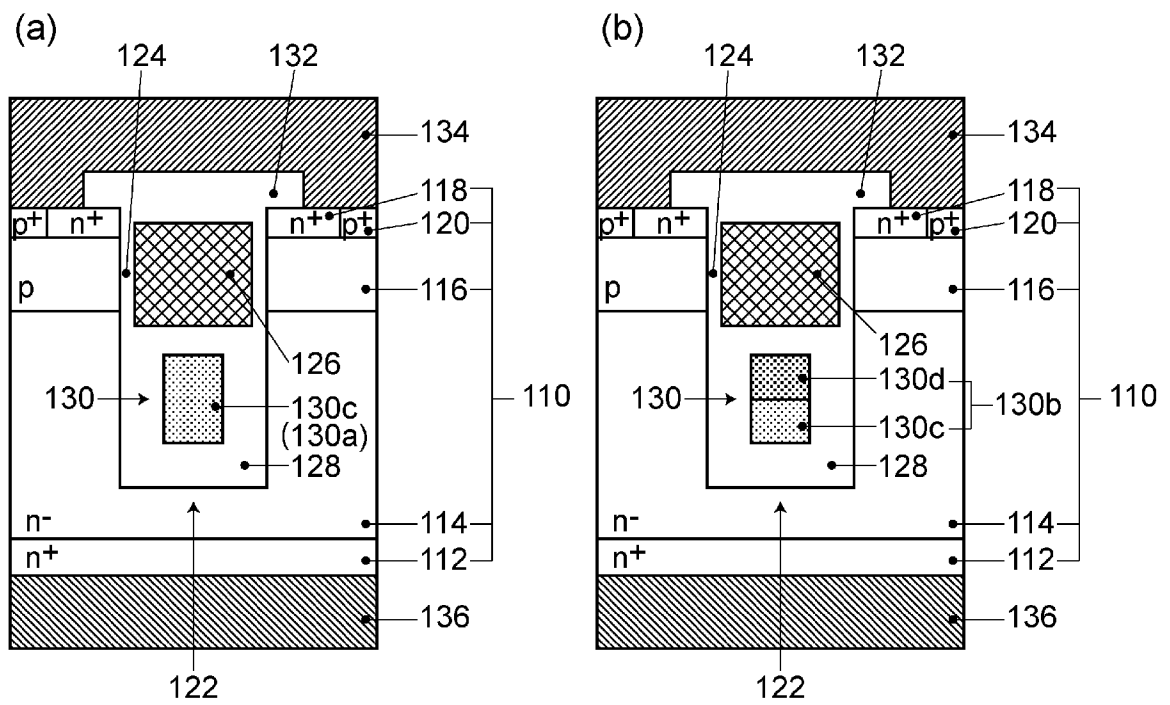
(c)



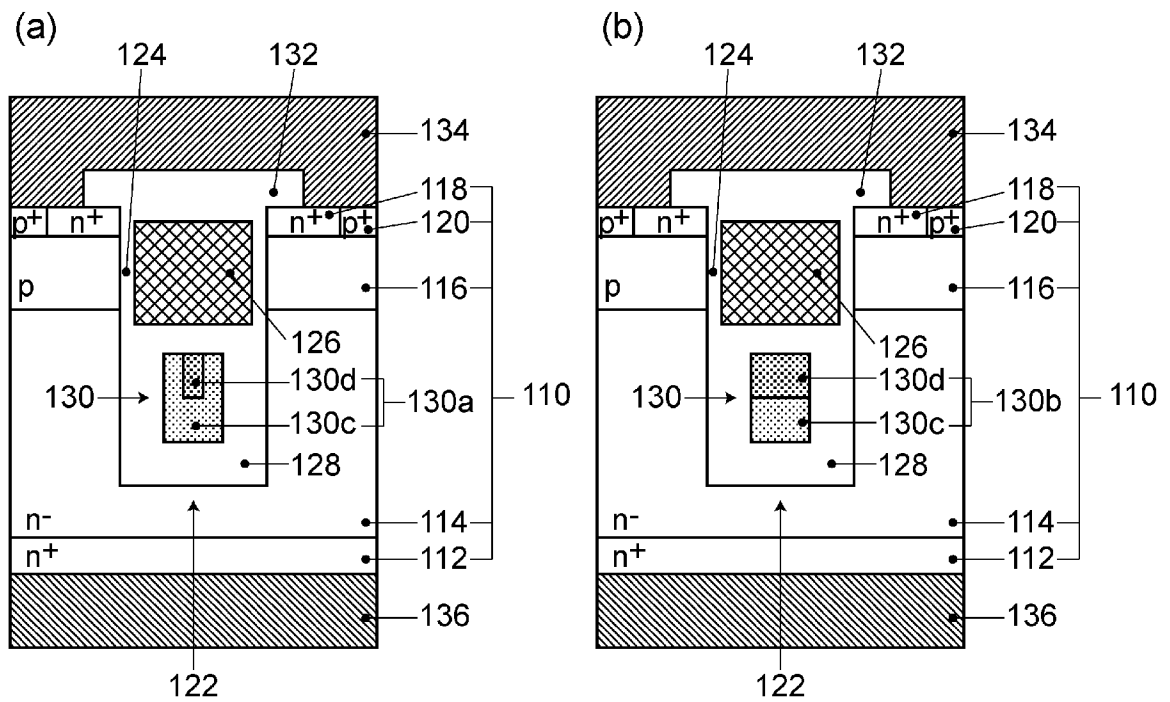
(d)



[図16]

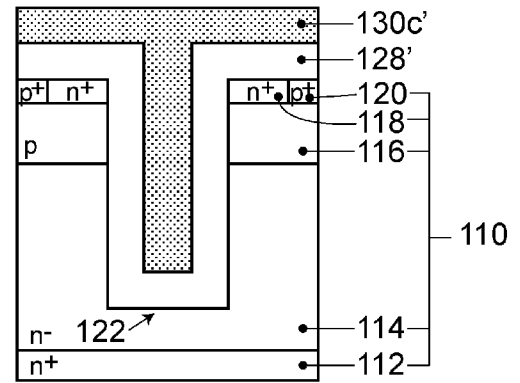
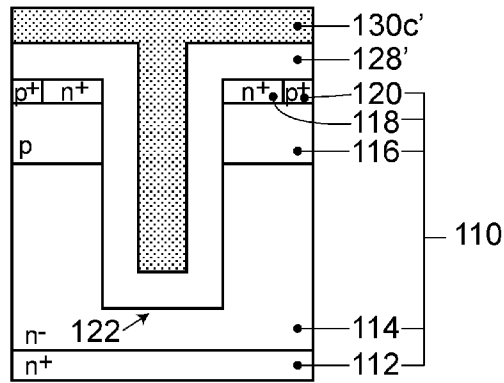


[図17]

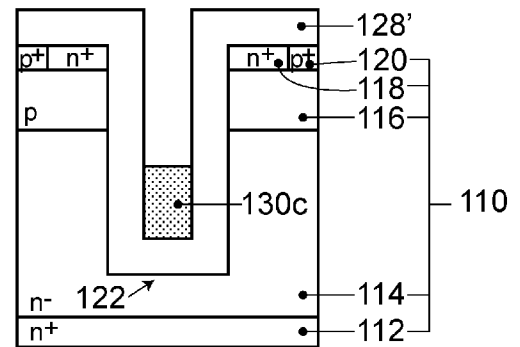
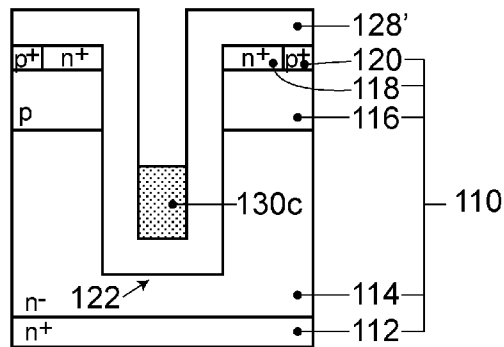


[図18]

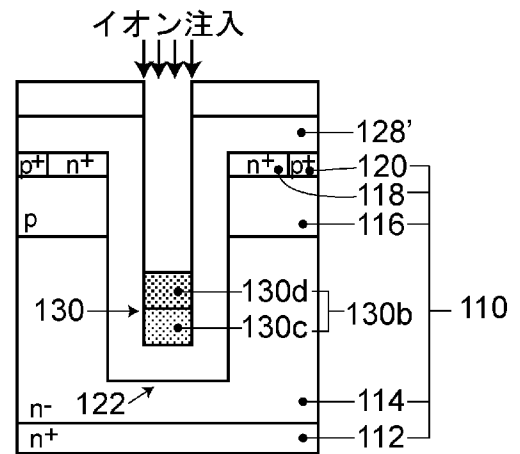
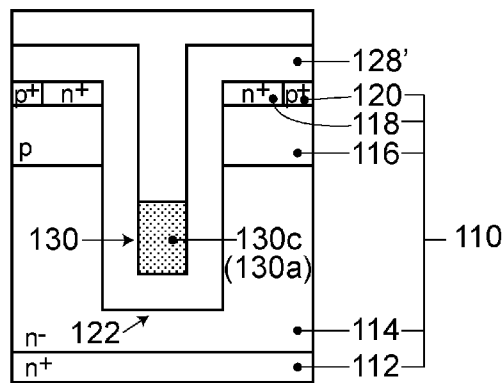
(a)



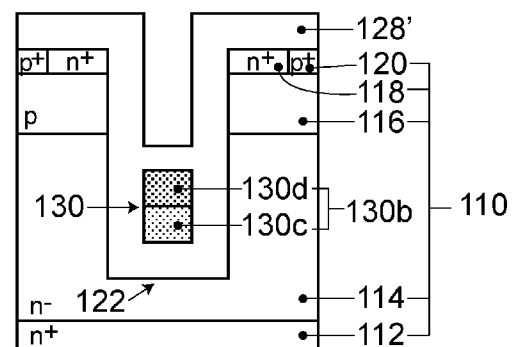
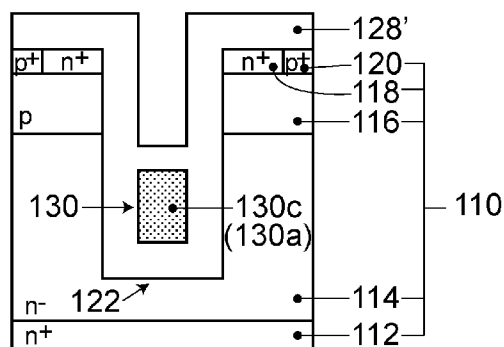
(b)



(c)

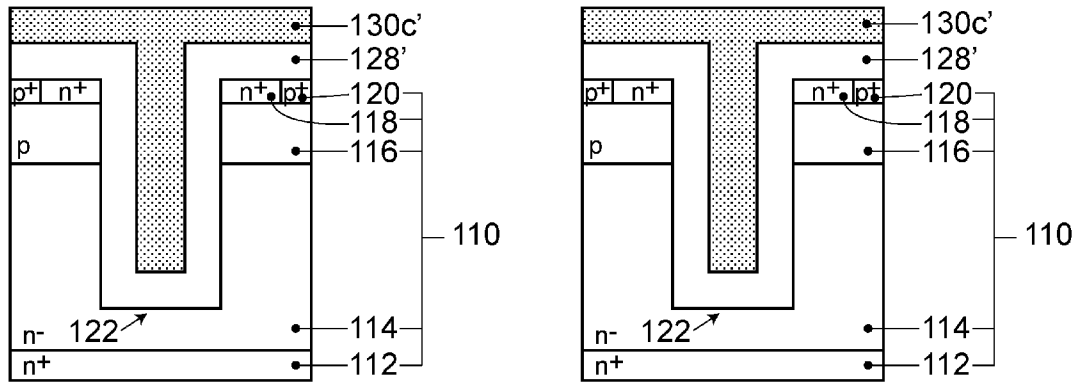


(d)

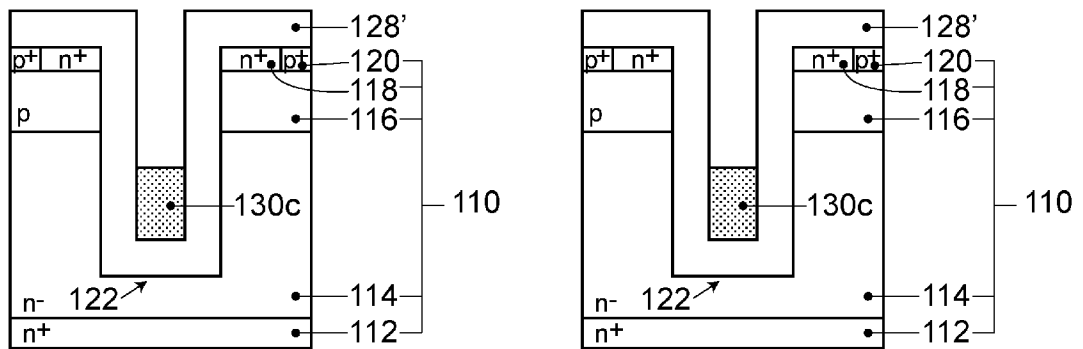


[図19]

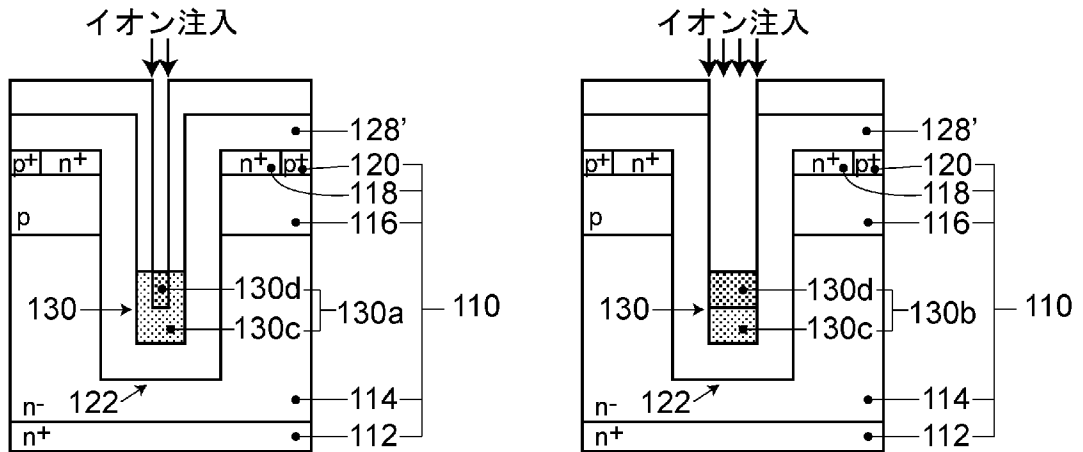
(a)



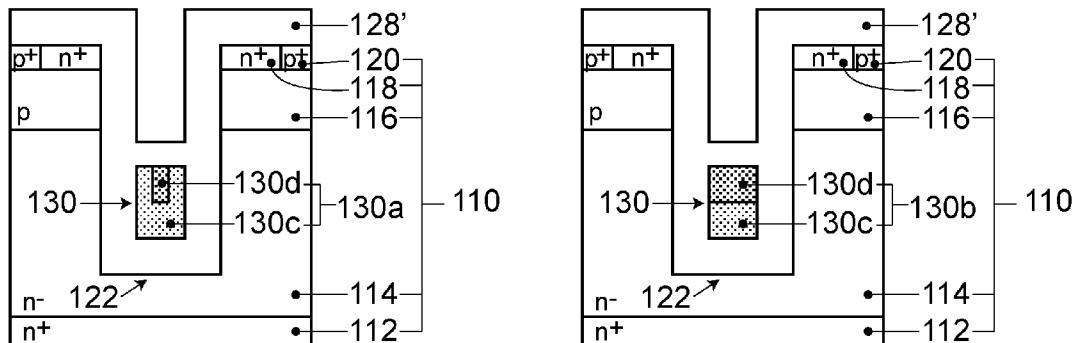
(b)



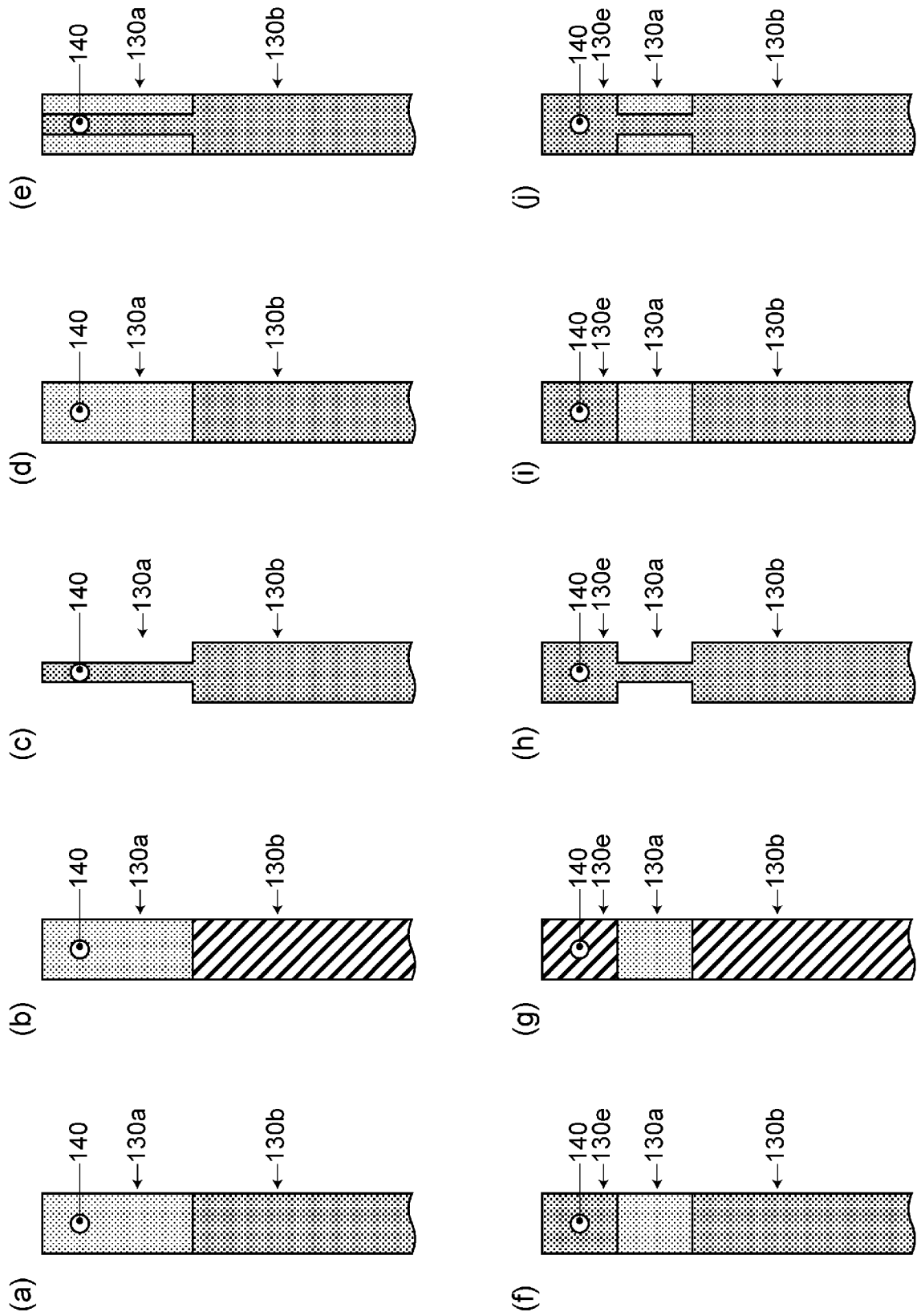
(c)



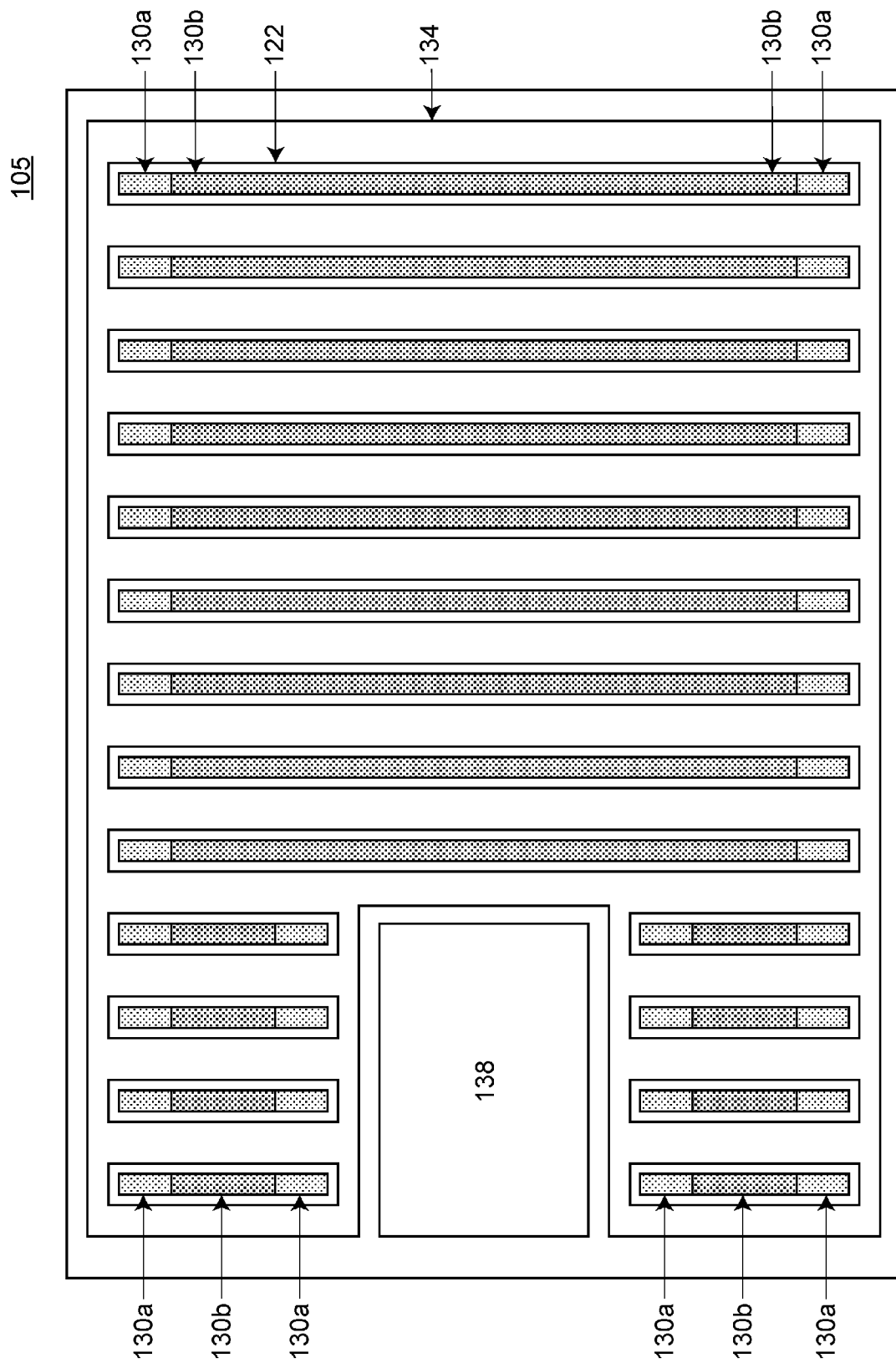
(d)



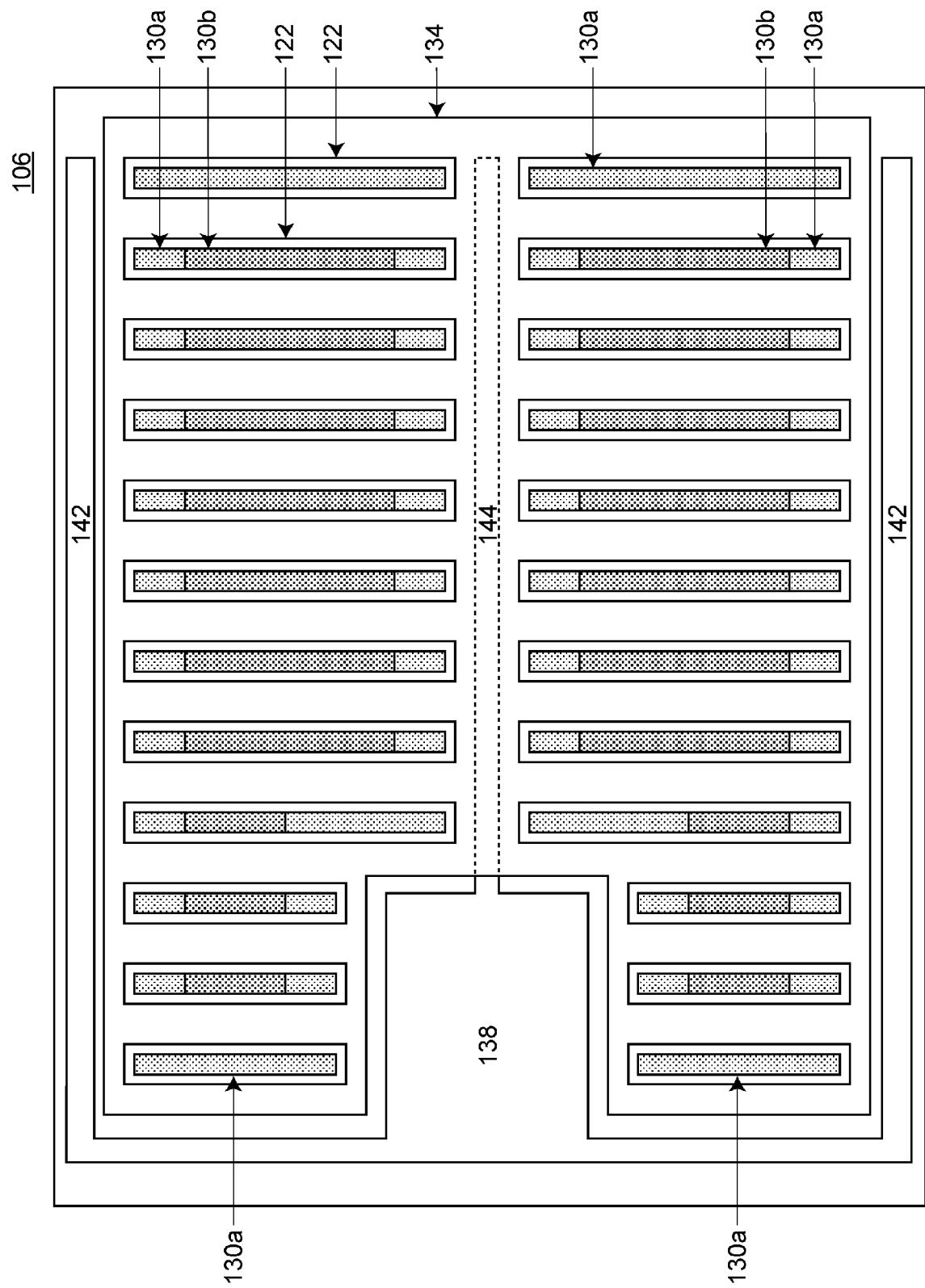
[図20]



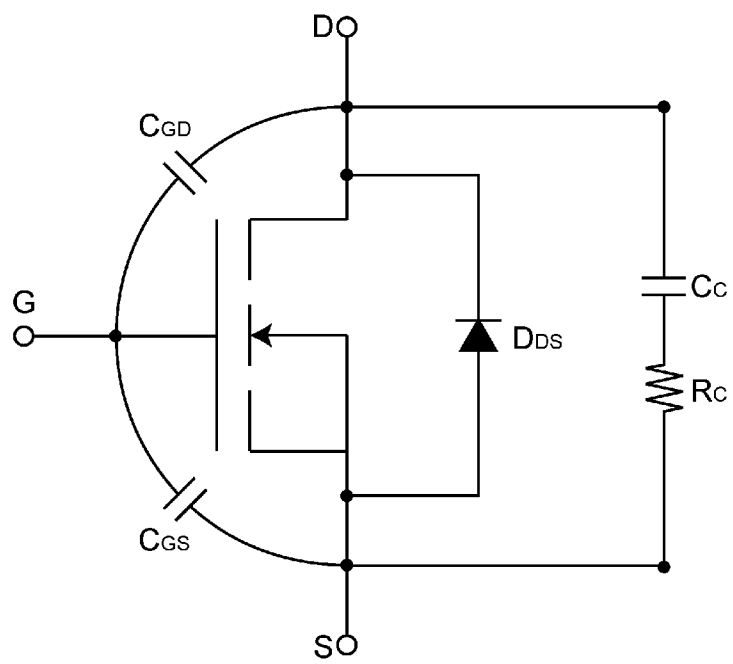
[図21]



[図22]



(a)



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050957

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/78(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 2015/0048445 A1 (INFINEON TECHNOLOGIES AUSTRIA AG), 19 February 2015 (19.02.2015), fig. 3, 5 & DE 102014111279 A1 & CN 104425490 A	1-5, 9, 10 7, 8, 11
Y	JP 2008-227533 A (Hitachi, Ltd.), 25 September 2008 (25.09.2008), fig. 1 to 4 (Family: none)	7, 8, 11
A	JP 2012-209330 A (Renesas Electronics Corp.), 25 October 2012 (25.10.2012), fig. 26 (Family: none)	1-11

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 March 2016 (23.03.16)

Date of mailing of the international search report
05 April 2016 (05.04.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050957

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2012-33951 A (Renesas Electronics Corp.), 16 February 2012 (16.02.2012), fig. 2 (Family: none)	1-11

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. H01L29/78(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	US 2015/0048445 A1 (INFINEON TECHNOLOGIES AUSTRIA AG)	1-5, 9, 10
Y	2015.02.19, 図3, 図5 & DE 102014111279 A1 & CN 104425490 A	7, 8, 11
Y	JP 2008-227533 A (株式会社日立製作所) 2008.09.25, 図1-図4 (ファミリーなし)	7, 8, 11
A	JP 2012-209330 A (ルネサスエレクトロニクス株式会社) 2012.10.25, 図26 (ファミリーなし)	1-11

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

23.03.2016

国際調査報告の発送日

05.04.2016

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

須原 宏光

5 F

9057

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2012-33951 A (ルネサスエレクトロニクス株式会社) 2012.02.16, 図 2 (ファミリーなし)	1 - 1 1