



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2007 049 354 A1** 2009.04.16

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2007 049 354.3**

(22) Anmeldetag: **15.10.2007**

(43) Offenlegungstag: **16.04.2009**

(51) Int Cl.⁸: **G11C 29/02** (2006.01)

G11C 29/12 (2006.01)

G11C 29/16 (2006.01)

(71) Anmelder:

Robert Bosch GmbH, 70469 Stuttgart, DE

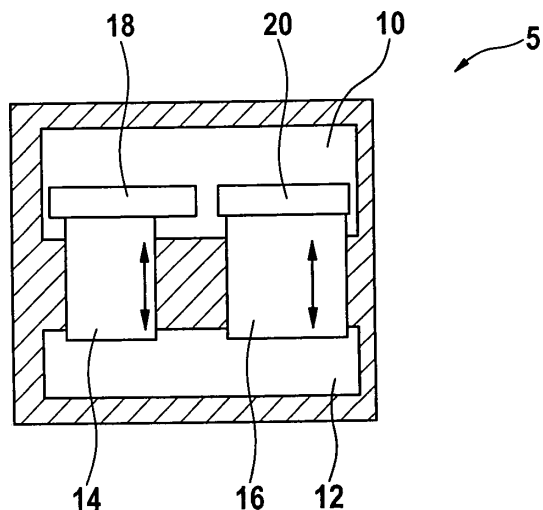
(72) Erfinder:

**Schneider, Thomas, 71706 Markgröningen, DE;
Pfitzer, Otto, 72820 Sonnenbühl, DE; Wirth, Peter,
68753 Waghäusel, DE**

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

(54) Bezeichnung: **Verfahren zum Testen eines Adressbusses in einem logischen Baustein**

(57) Zusammenfassung: Es werden ein Verfahren zum Testen eines Adressbusses (14) in einem logischen Baustein (10), ein logischer Baustein (10), ein Computerprogramm sowie ein Computerprogrammprodukt beschrieben. Bei dem vorgestellten Verfahren ist vorgesehen, dass in einem logischen Baustein (10) mindestens ein Datenregister vorgesehen ist, in das von dem Adressdecoder (18) erkannte Adressen geschrieben werden.



Beschreibung

[0001] Die Erfindung betrifft ein Verfahren zum Testen eines Adressbusses in einem logischen Baustein, einen solchen logischen Baustein, ein Computerprogramm und ein Computerprogrammprodukt.

Stand der Technik

[0002] In logischen elektronischen Bausteinen, wie bspw. anwendungsspezifischen integrierten Schaltungen (ASIC: application specific integrated circuit), werden zur Kommunikation zwischen den einzelnen Komponenten Datenleitungen bzw. Busse eingesetzt. Typischerweise ist in einem ASIC ein Mikroprozessor oder auch Mikrocontroller mit mehreren Elementen, wie bspw. einem Speicher und mehreren Ein-Ausgabeeinheiten, verbunden, wobei für die Übertragung der eigentlichen Daten ein Datenbus vorgesehen ist. Zur Ansteuerung der einzelnen Komponenten oder auch von Speicherbereichen in dem Speicher ist ein Adressbus vorgesehen, der lediglich Speicheradressen überträgt. Zur Erzeugung der benötigten Adresssignale ist üblicherweise ein Adressdecoder vorgesehen, so dass mit den Adresssignalen an den Mikroprozessor angeschlossene Elemente direkt angesteuert bzw. angesprochen werden können.

[0003] Zur Überprüfung der Funktionsfähigkeit der einzelnen Elemente des logischen Bausteins sind unter anderem Adressbus-Tests vorgesehen, bei denen Speicherareale in dem Speicher beschrieben werden, um die Funktionalität von Verbindungsleitungen zu prüfen. Dabei werden an allen Speicherstellen Werte geschrieben und das Vorhandensein aller geschriebenen Werte geprüft. Bei einem 1 kb großen Speicherbereich schreibt man somit 1.024 Zahlen und prüft jede Zahl einzeln ab. Fehlt eine oder fehlen mehrere Zahlen, ist die Adressbusverbindung defekt.

[0004] Zur Überprüfung des Datenbusses ist es üblicherweise vorgesehen, dass mehrere vordefinierte Werte in ein Datenregister geschrieben werden und diese zurückgelesen werden. Bei voller Funktionalität ist das Schreiben und Lesen jedes Werts möglich, in diesem Fall bei 16-Bit Breite sind dies 65.535 Werte.

[0005] Zur Gewährleistung der Funktionalität und Integrität des Adressbusses in einem ASIC muss ein ähnlicher Test durchgeführt werden. Hierbei ist allerdings zu beachten, dass durch Beschreiben von Registern im ASIC unerwünscht Funktionen ausgelöst werden können. So können bei einem Testzugriff nicht plausible oder rechtlich nicht abgesicherte Reaktionen ausgelöst werden.

Offenbarung der Erfindung

[0006] Das erfindungsgemäße Verfahren dient zum Testen eines Adressbusses in einem logischen Bau-

stein, wobei in dem logischen Baustein mindestens ein Datenregister vorgesehen ist, in das mindestens eine von dem Adressdecoder bei einem Zugriff erkannte Adresse übertragen bzw. geschrieben wird, die zur Überprüfung der Funktionalität des Adressbusses ausgelesen werden kann.

[0007] Dabei bietet es sich an, wenn die bei einem Zugriff von dem Adressdecoder erkannte Adresse, die in das Datenregister geschrieben wurde, bei einem nächsten Zugriff, typischerweise der direkt anschließend folgende Zugriff, ausgelesen wird. Der ausgelesene Wert ermöglicht die Überprüfung, ob der Adressdecoder die richtige Adresse erkannt bzw. gelesen hat.

[0008] Der Datenbus wird in Ausgestaltung durch Beschreiben einer vorzugsweise unkritischen Speicherstelle im logischen Baustein mit Standardwerten getestet.

[0009] Das Verfahren, insbesondere das Übertragen der bei einem Zugriff erkannten Adressen, kann bei einem Lesezugriff oder einem Schreibzugriff erfolgen.

[0010] Es bietet sich an, dass vorgestellte Verfahren bei der Überprüfung von Leiterbahnen einzusetzen.

[0011] Der erfindungsgemäße logische Baustein ist insbesondere dazu ausgestaltet, das vorstehend beschriebene Verfahren durchzuführen, und weist mindestens ein Datenregister auf, in das von dem Adressdecoder erkannte Adressen übertragen bzw. geschrieben werden können, die zur Überprüfung der Funktionalität des Adressbusses ausgelesen werden können.

[0012] Als logischer Baustein kommt bspw. ein ASIC (application specific integrated circuit: anwendungsspezifische integrierte Schaltung) in Betracht, wie dieser z. B. zur Steuerung eines integrierten RADAR-Teils in einer aktiven Fahrsteuerung (acc: active cruise control) zum Einsatz kommt.

[0013] Das erfindungsgemäße Computerprogramm umfasst Programmcodemittel, um alle Schritte eines vorstehend beschriebenen Verfahrens durchzuführen, wenn das Computerprogramm auf einem Computer oder einer entsprechenden Recheneinheit, insbesondere in einem logischen Baustein der vorstehenden Art, ausgeführt wird.

[0014] Das erfindungsgemäße Computerprogrammprodukt umfasst eben diese Programmcode-mittel, die auf einem computerlesbaren Datenträger gespeichert sind. Als Datenträger kommen dabei beliebige interne und externe Aufzeichnungsträger in Betracht.

[0015] Die Erfindung ermöglicht zumindest in ihren Ausgestaltungen einen nicht invasiven Test der Busverbindungen in einem logischen Baustein. Dabei bedeutet nicht invasiv, dass keine Daten in den logischen Baustein geschrieben werden, um den Adressbus zu testen. Um den Test durchzuführen, wird innerhalb des logischen Bausteins, in einem Fall innerhalb des ASIC, ein Datenregister (PREVIOUS_ADDRESS) integriert, das die Adresse des zuletzt durchgeführten Schreib- oder Lesezugriffs enthält. Dies wird dadurch erreicht, dass die von dem Adressdecoder erkannte Adresse in das Datenregister übertragen bzw. transferiert wird. Der Inhalt des Datenregisters kann dann beim nächsten Lesezugriff ausgelesen werden.

[0016] Durch Auslesen jeder Adresse kann verifiziert werden, ob der Adressdecoder die richtige Adresse gelesen hat. Dies wird durch Auslesen des Datenregisters PREVIOUS_ADDRESS nach dem Lesen erreicht.

[0017] Somit wird ein Testwert, der auf den Adressbus gelegt wird, auf den Datenbus "gespiegelt". Der Datenbus wird bspw. durch Beschreiben einer unkritischen Speicherstelle im ASIC mit Standardwerten getestet. Folglich wird die Integrität des Adressbusses über die Integrität des Datenbusses nachgewiesen.

[0018] Weitere Vorteile und Ausgestaltungen der Erfindung ergeben sich aus der Beschreibung und der beiliegenden Zeichnung.

[0019] Es versteht sich, dass die voranstehend genannten und die nachstehend noch zu erläuternden Merkmale nicht nur in der jeweils angegebenen Kombination, sondern auch in anderen Kombinationen oder in Alleinstellung verwendbar sind, ohne den Rahmen der vorliegenden Erfindung zu verlassen.

[0020] Die Erfindung ist anhand eines Ausführungsbeispiels in den Zeichnungen schematisch dargestellt und wird im folgenden unter Bezugnahme auf die Zeichnungen ausführlich beschrieben.

Kurze Beschreibung der Zeichnungen

[0021] [Fig. 1](#) zeigt in schematischer Darstellung eine mögliche Ausführungsform des erfindungsgemäßen logischen Bausteins.

[0022] [Fig. 2](#) zeigt den logischen Baustein aus [Fig. 1](#) zur Verdeutlichung des Prinzips des erfindungsgemäßen Verfahrens.

[0023] [Fig. 3](#) zeigt in einem Flussdiagramm eine mögliche Ausführung des erfindungsgemäßen Verfahrens.

[0024] In [Fig. 1](#) ist in schematischer Darstellung eine Platine dargestellt, die insgesamt mit der Bezugsziffer **5** bezeichnet ist. Diese Platine **5** trägt einen als ASIC ausgebildeten logischen Baustein **10**, einen Mikrocontroller **12**, einen Adressbus **14**, einen Datenbus **16**, einen Adressdecoder **18** und ein Datenregister **20**. Der logische Baustein **10** dient dazu, ein integriertes Radarteil in einen ACC (active cruise control: aktive Fahrsteuerung) zu steuern.

[0025] Über den Adressbus **18** kann der Mikrocontroller **12** bestimmte Speicherbereiche ansprechen, wobei eine Übertragung der Daten über den Datenbus **16** erfolgt.

[0026] Das beschriebene Verfahren wird nunmehr anhand [Fig. 2](#) erläutert, in der ebenfalls die Platine **5** mit dem logischen Baustein **10**, dem Mikrocontroller **12**, dem Adressbus **14**, dem Datenbus **16**, dem Adressdecoder **18** und dem Datenregister **20** dargestellt ist.

[0027] Bei einem Zugriff durch den Mikrocontroller **12** auf eine Komponente bzw. einen Speicherbereich innerhalb des logischen Bausteins **10** generiert der Adressdecoder **18** ein Adresssignal bzw. Adresssignale anhand der erkannten Adresse und überträgt diese erkannte Adresse zusätzlich in das Datenregister **20**. Dieses Datenregister **20** kann nunmehr, bspw. bei dem nächsten Lesezugriff, ausgelesen werden, so dass verifiziert werden kann, ob der Adressdecoder **18** die richtige Adresse erkannt bzw. gelesen hat. Auf diese Weise wird ein Testwert, der auf den Adressbus **14** gelegt wird, auf den Datenbus **16** gespiegelt, wie mit Pfeil **22** verdeutlicht ist, der den Weg eines Testwerts beschreibt. Mit dem Test kann die Funktionsweise des Adressbusses **14** überprüft werden.

[0028] Der Datenbus **16** wird durch Beschreiben einer unkritischen Speicherstelle im logischen Baustein **10** mit Standardwerten getestet, so dass die Integrität des Adressbusses **14** über die Integrität des Datenbusses **16** nachgewiesen werden kann.

[0029] In [Fig. 3](#) ist in einem Flussdiagramm eine mögliche Ausführung des erfindungsgemäßen Verfahrens verdeutlicht.

[0030] In einem ersten Schritt **30** erfolgt in einem logischen Baustein von einer Recheneinheit ein Zugriff auf einen Speicherbereich in einem Speicher des logischen Bausteins. Dabei erfolgt eine Adressierung des anzusteuern Speicherbereichs durch einen Adressdecoder, der wiederum in einem nächsten Schritt **32** die erkannte Adresse in ein Datenregister schreibt. In einem nächsten Lesezugriff in einem Schritt **34** wird dieses Adressregister ausgelesen und typischerweise nach Testen des Datenbusses festge-

stellt, ob die Integrität des Adressbusses gegeben ist (Block **36**) oder nicht gegeben ist (Block **38**).

[0031] Die Integrität des Adressbusses wird somit über die Integrität des Datenbusses nachgewiesen, wobei ein Testwert, der auf den Adressbus gelegt wird, auf den Datenbus gespiegelt wird.

[0032] Das beschriebene Verfahren bietet sich insbesondere bei logischen Bausteinen, wie bspw. ASIC, an, bei denen herkömmliche Adressbus-Tests, bei denen Speicherareale beschrieben werden und das Vorhandensein der geschriebenen Werte überprüft wird, zu unerwünschten Funktionen führen können. Dies wird bei dem erfindungsgemäßen, nicht-invasiven Testverfahren vermieden.

Patentansprüche

1. Verfahren zum Testen eines Adressbusses (**14**) in einem logischen Baustein (**10**), bei dem in dem logischen Baustein (**10**) mindestens ein Datenregister (**20**) vorgesehen ist, in das mindestens eine von dem Adressdecoder (**18**) bei einem Zugriff erkannte Adresse geschrieben wird, die zur Überprüfung der Funktionalität des Adressbusses (**14**) ausgelesen werden kann.

2. Verfahren nach Anspruch 1, bei dem das Datenregister (**20**) bei einem nächsten Lesezugriff ausgelesen wird.

3. Verfahren nach Anspruch 1 oder 2, bei dem zusätzlich ein Datenbus (**16**) durch Beschreiben einer Speicherstelle in dem logischen Baustein (**10**) mit Standardwerten getestet wird.

4. Verfahren nach einem der Ansprüche 1 bis 3, das bei einem Lesezugriff durchgeführt wird.

5. Verfahren nach einem der Ansprüche 1 bis 3, das bei einem Schreibzugriff durchgeführt wird.

6. Verfahren nach einem der Ansprüche 1 bis 5, das zur Überprüfung von Leiterbahnen eingesetzt wird.

7. Logischer Baustein, insbesondere zur Durchführung eines Verfahrens nach einem der Ansprüche 1 bis 6, bei dem mindestens ein Datenregister (**20**) vorgesehen ist, in das mindestens eine von dem Adressdecoder (**18**) erkannte Adresse geschrieben werden kann, die zur Überprüfung der Funktionalität des Adressbusses (**14**) ausgelesen werden kann.

8. Logischer Baustein nach Anspruch 7, der als ASIC ausgebildet ist.

9. Computerprogramm mit Programmcodemitteln, um alle Schritte eines Verfahrens nach einem

der Ansprüche 1 bis 6 durchzuführen, wenn das Computerprogramm auf einem Computer oder einer entsprechenden Recheneinheit, insbesondere in einem logischen Baustein (**10**) nach Anspruch 7, ausgeführt wird.

10. Computerprogrammprodukt mit Programmcodemitteln, die auf einem computerlesbaren Datenträger gespeichert sind, um alle Schritte eines Verfahrens nach einem der Ansprüche 1 bis 6 durchzuführen, wenn das Computerprogramm auf einem Computer oder einer entsprechenden Recheneinheit, insbesondere in einem logischen Baustein (**10**) nach Anspruch 7, ausgeführt wird.

Es folgen 2 Blatt Zeichnungen

Anhängende Zeichnungen

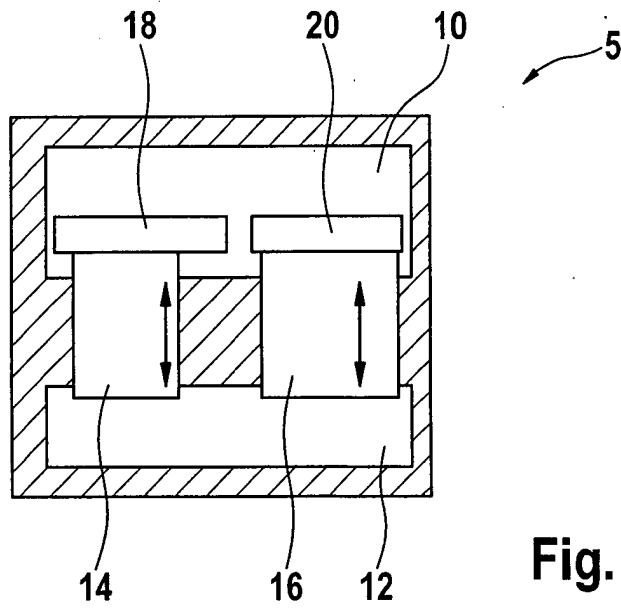


Fig. 1

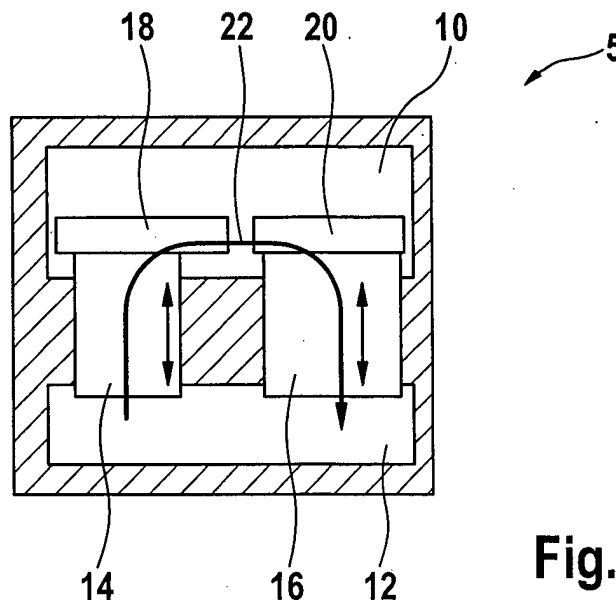


Fig. 2

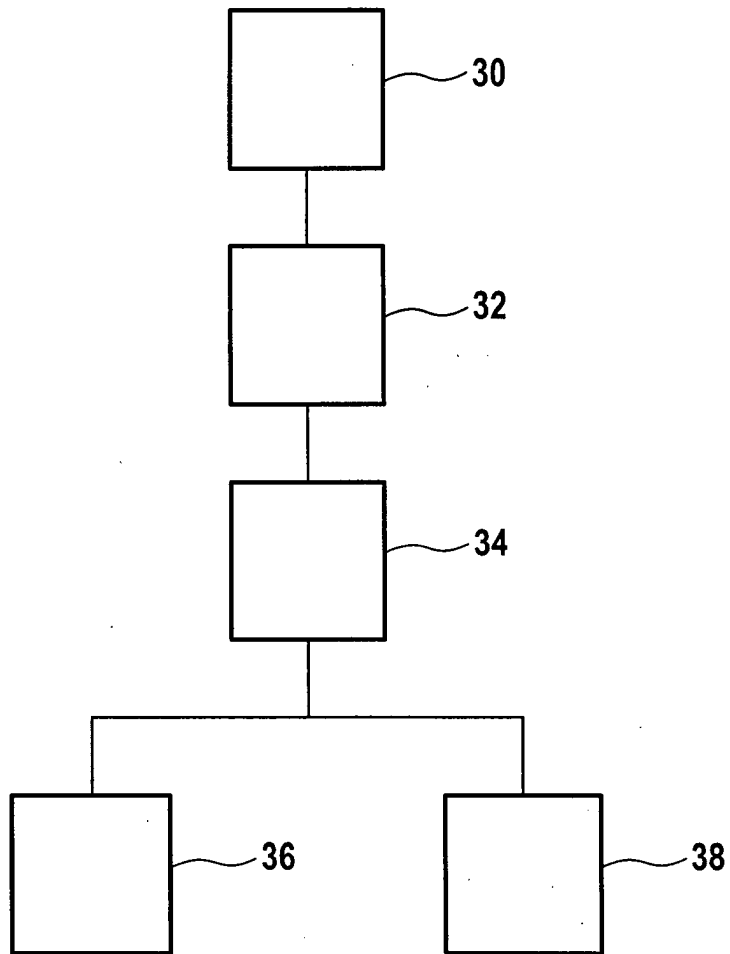


Fig. 3