



(19)대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl.

C23C 16/00 (2006.01)

C23C 16/56 (2006.01)

(11) 공개번호 10-2007-0061844

(43) 공개일자 2007년06월14일

(21) 출원번호 10-2007-7007110

(22) 출원일자 2007년03월28일

심사청구일자 없음

번역문 제출일자 2007년03월28일

(86) 국제출원번호 PCT/EP2005/053328

(87) 국제공개번호 WO 2006/024572

국제출원일자 2005년07월12일

국제공개일자 2006년03월09일

(30) 우선권주장 MI2004A001677 2004년08월30일 이탈리아(IT)

(71) 출원인 엘피이 에스피에이  
이탈리아공화국, 아이-20021 볼레이트, 7, 비아 테이지오비  
이티씨 에피텍셀 테크놀로지 센터 에스알엘  
이탈리아, 아이-95127 카타니아, 207, 코르소 이탈리아

(72) 발명자 레오네 스테파노  
이탈리아 아가타 리 바티아티 아이-95030 에스. 비아 팔레모 4  
마우세리 마르코  
이탈리아 아이-95100 카타니 비아 아리고 보이토 2디  
아본단자 주세페  
이탈리아 아이-95030 트라페토 비아 쥐. 레오파르디 62  
씨리파 다니로  
이탈리아 아이-28100 노바라 비아 크림메아 24  
바렌테 지안루카  
이탈리아 아이-20127 밀라노 비알레 문자 76  
마씨 마루리시오  
이탈리아 아이-20124 밀라노 비아 펠리씨 카사티 19  
프레티 프랑스  
이탈리아 아이-20133 밀라노 비아 산 베니그노 4

(74) 대리인 정홍식

전체 청구항 수 : 총 22 항

(54) CVD 반응기를 위한 세정 프로세스 및 동작 프로세스

(57) 요약

본 발명은 CVD 반응기의 반응 챔버(12)를 세정하기 위한 프로세스에 관한 것으로, 적절한 온도로 챔버 벽들을 가열하는 단계 및 챔버에 가스 흐름을 도입하는 단계를 포함하고; 이러한 세정 프로세스는 챔버 내부의 기관들 상에 반도체 재료를 침착하기 위한 CVD 반응기의 동작 프로세스에 유리하게 사용될 수 있으며; 이러한 동작 프로세스는 챔버(12)에 기관들을

연속적이고 순환적인 로딩하고, 기관들 상에 반도체 재료를 침착하고, 및 챔버(12)로부터 기관들을 언로딩하는 단계를 포함하는 성장 프로세스를 상정하고; 언로딩 후에, 챔버(12)를 세정하기 위한 프로세스가 수행된다. 본 발명은 또한 가열과 함께, 가스 흐름에 화학적 에칭 성분들의 존재를 상정하는 전체 CVD 반응기를 세정하기 위한 프로세스에 관한 것이다.

## 대표도

도 2

## 특허청구의 범위

### 청구항 1.

CVD 반응기의 반응 챔버를 세정하기 위한 프로세스로서,

- 제거될 재료의 승화(sublimation) 시작을 위한 온도보다 낮지 않은 온도로 상기 챔버의 벽들(walls)을 가열하는 단계; 및
- 가스 흐름을 상기 챔버에 도입하는 단계를 포함하는, 세정 프로세스.

### 청구항 2.

제 1 항에 있어서, 제거될 상기 재료는 실리콘 카바이드인, 세정 프로세스.

### 청구항 3.

제 1 항 또는 제 2 항에 있어서, 상기 가스는 희 가스(noble gas), 바람직하게는 아르곤 또는 헬륨을 포함하는, 세정 프로세스.

### 청구항 4.

CVD 반응기를 세정하기 위한 프로세스로서,

- 상기 반응기의 벽들을 가열하는 단계로서, 상기 반응기 챔버 벽들을 위한 가열 온도는 제거될 상기 재료의 승화 시작 온도보다 낮지 않은, 가열 단계; 및
- 세정될 상기 반응기의 상기 벽들과 접촉하여 가스 흐름을 도입하는 단계로서, 상기 가스는 제거될 상기 재료에 대하여 반응하는 적어도 하나의 성분을 포함하는, 도입 단계를 포함하는, 세정 프로세스.

### 청구항 5.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 가스는 수소 또는 염화수소산(hydrochloric acid) 또는 브롬화수소산(hydrobromic acid)을 포함하는, 세정 프로세스.

### 청구항 6.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 가스는 염화수소산 및 희 가스를 포함하는, 세정 프로세스.

### 청구항 7.

제 1 항 내지 제 4 항 중 어느 한 항에 있어서, 상기 가스는 염화수소산 및 수소를 포함하는, 세정 프로세스.

### 청구항 8.

선행항 중 어느 한 항에 있어서, 상기 챔버의 상기 벽들은 1800℃보다 높은 온도, 바람직하게는 1800℃ 내지 2400℃, 보다 바람직하게는 1900℃ 내지 2000℃의 온도로 가열되는, 세정 프로세스.

### 청구항 9.

선행항 중 어느 한 항에 있어서,

- 상기 챔버의 상기 벽들의 온도가 증가하는 제 1 기간;
- 상기 챔버의 상기 벽들의 온도가 유지되는 제 2 기간; 및
- 상기 챔버의 상기 벽들의 온도가 감소되는 제 3 기간을 포함하는, 세정 프로세스.

### 청구항 10.

제 9 항에 있어서, 상기 제 2 기간 동안의 상기 가스 흐름은 상기 제 1 기간 동안의 상기 가스 흐름보다 크고, 바람직하게는 5 내지 7배 큰, 세정 프로세스.

### 청구항 11.

제 10 항에 있어서, 상기 제 3 기간 동안의 상기 가스 흐름은 실질적으로 상기 제 2 기간 동안의 상기 가스 흐름보다 크거나 같고, 바람직하게는 1 내지 3배 큰, 세정 프로세스.

### 청구항 12.

기관들 상에 반도체 재료를 침착하기 위한 CVD 반응기의 동작 프로세스로서,

상기 반응기는

- 상기 기관들을 상기 챔버에 로딩(loading)하기 위한 프로세스;
- 반도체 재료를 상기 기관 상에 침착하기 위한 프로세스; 및
- 상기 챔버로부터 상기 기관을 언로딩하기 위한 프로세스의 연속적이고 순환적인 실행을 포함하는 성장 프로세스를 상정하는 침착용 반응 챔버가 설비되는, 상기 동작 프로세스에 있어서,

언로딩 프로세스 후에, 청구항 1 내지 11항 중 하나 이상의 항에 따라 상기 챔버를 세정하기 위한 프로세스가 수행됨을 특징으로 하는, 동작 프로세스.

**청구항 13.**

제 12 항에 있어서, 상기 로딩 프로세스 후 및 상기 침착 프로세스 전에 정화 프로세스(purging process)가 수행되는, 동작 프로세스.

**청구항 14.**

제 12 항 또는 제 13 항에 있어서, 상기 챔버 세정 프로세스는 각각의 언로딩 프로세스 후에 수행되는, 동작 프로세스.

**청구항 15.**

제 12 항 또는 제 13 항에 있어서, 상기 챔버 세정 프로세스는 미리정해진 수의 언로딩 프로세스들 후에 수행되는, 동작 프로세스.

**청구항 16.**

제 15 항에 있어서, 상기 수는 2 내지 10인, 동작 프로세스.

**청구항 17.**

제 14 항에 있어서, 상기 세정 프로세스는 상기 성장 프로세스보다 짧게 지속되는, 동작 프로세스.

**청구항 18.**

제 17 항에 있어서, 상기 세정 프로세스는 상기 성장 프로세스의 1/2 내지 1/4에서 지속되는, 동작 프로세스.

**청구항 19.**

제 12 항 내지 제 18 항 중 어느 한 항에 있어서, 상기 침착 프로세스 동안 실리콘 카바이드가 침착되는, 동작 프로세스.

**청구항 20.**

제 19 항에 있어서, 상기 실리콘 카바이드의 침착은 1500℃ 내지 1700℃의 온도에서, 바람직하게는 1550℃ 내지 1650℃의 온도에서 수행되는, 동작 프로세스.

**청구항 21.**

제 12 항 내지 제 20 항 중 어느 한 항에 있어서, 상기 반응기의 상기 벽들은 무엇보다도, 탄탈 카바이드(tantalum carbide) 또는 니오븀 카바이드(niobium carbide)의 적어도 한 표면 층을 구비하는, 동작 프로세스.

**청구항 22.**

청구항 12 내지 21항 중 하나 이상에 따른 동작 프로세스를 구현하는 수단을 포함함을 특징으로 하는, 기관들 상에 반도체 재료를 침착하기 위한 CVD 반응기.

## 명세서

### 기술분야

본 발명은 CVD 반응기를 위한 세정 프로세스 및 동작 프로세스에 관한 것이다.

### 배경기술

공지된 바와 같이, CVD(Chemical Vapour Deposition) 반응기들은, 얇고 균일한 재료층들이 기관들 상에 침착되는 동안 에피택셜(epitaxial) 성장 프로세스들을 수행하는데 사용된다.

마이크로전자 분야에서, CVD 반응기들은 기관들 상에 얇은 반도체 재료층들을 침착하고 이어서 전자 구성성분들, 특히 집적회로들의 제조시에 사용되는 슬라이스들(slices)을 준비하는데 사용된다. 성장 프로세스 중, 반도체 재료는 기관 상에 그리고 반응 챔버의 내부 벽들(walls) 상에 침착되는데: 이것은 상기 재료는 온도가 상당히 높을 때에만 침착되므로, 이른바 "핫 월(hot wall)" CVD 반응기들의 경우에 특히 그러하다.

각각의 프로세스로, 새로운 얇은 재료층이 챔버의 내부 벽들 상에 침착되고; 다양한 프로세스들 후에, 상기 벽들은 두꺼운 재료층을 갖는다. 이 두꺼운 재료층은 챔버의 기하학적 구조를 변경하며, 이에 따라 반응 가스의 흐름에 영향을 미쳐, 결국 추가적인 성장 프로세스에 영향을 미친다. 더욱이, 이 두꺼운 재료층은 완전히 콤팩트하지 않으며, 추가적인 성장 프로세스들 동안, 작은 입자들이 이러한 층으로부터 분리될 수 있으며, 상기 입자들이 기관들의 상부에 떨어진다면 성장되는 기관들을 손상시킨다.

현재, 마이크로전자 산업에 의해 가장 광범위하게 사용되는 반도체 재료는 실리콘이다. 현재 마이크로전자 산업에 의해 아직은 상당히 많이 사용되지는 않지만, 매우 유망한 재료는 실리콘 카바이드이다. 마이크로전자 산업에 의해 요구되는 고품질을 갖는 실리콘 카바이드를 에피택셜하게 성장시키기 위해서는, 매우 높은 온도, 즉 1500°C보다 높은 고온이 요구되고, 결국 일반적으로 1100°C와 1200°C 사이 범위의, 실리콘의 에피택셜 성장을 위해 필요한 온도보다 훨씬 높은 온도가 요구된다. 이러한 고온들을 얻기 위해서는, "핫 월" CVD 반응기들이 특히 적합하다.

그러므로, 실리콘 카바이드의 에피택셜 성장을 위한 CVD 반응기들은 특히 반응 챔버의 내부 벽들 상에서의 재료 침착과 관련된 문제를 겪는다. 또한, 실리콘 카바이드는 특히 기계적 및 화학적으로 제거하기 어려운 재료이다.

이러한 문제점을 해소하기 위해 일반적으로 채택되는 해결책은 주기적으로 반응기로부터 반응 챔버를 결합해제하고, 그것을 기계적 및/또는 화학적으로 세정하는 것이다; 이러한 작업은 많은 시간을 필요로 하고, 결국 반응기의 긴 중단(stoppage)을 포함하고; 또한 종종 소정 회수의 세정 작업 후에는, 챔버는 버려지거나 처리되어야 한다.

또한, 특히 실제 반응 챔버의 업스트림 및 다운스트림의 반응기 섹션들에서, 제거되어야 할 실리콘 침착물들이 존재할 수 있다.

### 발명의 상세한 설명

본 발명의 일반적인 목적은 CVD 반응기들의 반응 챔버 및 CVD 반응기들을 위한 세정 프로세스를 제공하여, 상술한 단점들을 해소하는 것이다.

이러한 목적은 실질적으로 독립 청구항 1에 개시된 기능적인 특징들을 갖는 세정 프로세스에 의해 달성되고; 이러한 프로세스의 추가적인 이로운 측면들은 종속 청구항에 개시된다.

하나의 추가적인 측면에 따라, 본 발명은 또한 이러한 세정 프로세스를 사용하고, 독립 청구항 12에 개시된 기능적인 특징들을 갖는 CVD 반응기를 위한 동작 프로세스에 관한 것이며; 이러한 프로세스의 추가적인 이로운 측면들은 종속 청구항에 개시된다.

본 발명은 첨부된 도면들과 관련하여 고려될 아래의 설명으로부터 명백해 질 것이다.

## 실시예

상세한 설명 및 도면들은 단순히 설명을 위한 것으로 고려되어야 하며, 이에 제한되는 것이 아니다; 또한 이러한 도면들은 개략적이며 단순화된 것임을 기억해야 한다.

도 1은 전체적으로 도면번호 1로 표시된 반응 챔버 및 전체적으로 도면번호 2로 표시된 주변 셸(surrounding shell)로 구성되는 어셈블리를 도시한다.

도 1은, 오른쪽 상부에 중앙이 잘려진 어셈블리의 정면도, 왼쪽 상부에 중앙이 절단된 어셈블리의 측면도, 및 왼쪽 하부에 중앙이 절단된 어셈블리의 상면도를 도시한다.

본 발명에 따른 세정 프로세스는 예를 들어 도 1에 도시된 챔버(1)에 유리하게 적용될 수 있다. 이 챔버는 실리콘 카바이드의 에피택셜 성장을 위한 CVD 반응기들에 사용하기에 특히 적합하다.

챔버(1)는 반도체 재료층들이 침착되는 기관들을 하우징하기 위한 공동(cavity:12)을 가지며, 이를 위해, 공동(12)은 실질적으로 평평하고, CVD 반응기 내부의 실질적으로 수평인 위치에 배치되는 하부 벽을 가지며; 공동(12)은 다른 벽들, 특히 상부 벽 및 두 개의 측면 벽들에 의해 둘러 싸인다. 반응 가스들은 공동(12)을 통해 길이방향으로 흐른다. 챔버(1)는 공동(12)의 벽들 및 또한 이에 따라 공동 내부를 흐르는 반응 가스들을 가열시키는 방식으로 가열되기에 적합하다. 통상적으로, 챔버(1)는 전자기 유도에 의해 가열되기에 적합하고; 이를 위해, 챔버(1)는 통상적으로 그래파이트(graphite)로 만들어지고, 실리콘 카바이드 또는 탄탈(tantalum) 카바이드 또는 니오븀 카바이드(niobium carbide)의 보호층과 정렬된다. 도 1에 도시된 챔버(1)는 축(10)(300mm의 길이를 가짐)을 따라 균일하게 연장하고, 그 단면은 원(270mm의 직경을 가짐)의 외부 형태를 가지며; 택일적으로, 이 단면은 다각형 또는 타원의 형태를 갖는다. 도 1에 도시된 공동(12)의 단면은 실질적으로 직사각형(210mm의 폭 및 25mm의 높이를 가짐)의 내부 형태를 가지며; 이 단면은 다른 형태를 가질 수 있다.

본 발명에 따른 세정 프로세스는 기관들과 면하는 반응 챔버의 표면(도 1의 경우에, 공동(12)의 상부 벽)이 상기 기관들에 매우 가까운 경우에 특히 유용하고; 실제로, 이 경우에, 이 표면으로부터(보다 정확하게는, 이 표면 상에 성장된 층들로부터) 분리되는 입자들은 그것들이 반응 가스들의 흐름에 의해 운반되기 전에 기관 상에 떨어진다.

챔버(1)의 공동(12)의 벽들이 보호층, 예를 들어 탄탈(tantalum) 카바이드 또는 니오븀 카바이드와 정렬되는 경우에, 성장 프로세스 중 벽들 상에 침착되는 재료의 부착은 제한되고, 그에 따라, 입자들의 형성은 더욱 가능성이 있게 되며; 이것은 보호층의 재료 및 침착되는 재료가 크리스탈 구조(crystal structure)에서의 차이로 인해 서로 다른 경우에 특히 그러하며; 이것은, 예컨대 그래파이트(graphite)로 만들어지며, 실리콘 카바이드 성장 프로세스용으로 사용될 때 탄탈(tantalum) 카바이드 또는 니오븀 카바이드와 정렬되는 반응 챔버의 경우이다.

도 1에 도시된 타입의 반응 챔버들에서, 기관들은 일반적으로 성장 프로세스의 시작 전에 로딩 및 성장 프로세스의 종료시에 언로딩을 용이하게 하기 위해 트레이(tray)에 의존한다. 도 1에 따른 예에서, 트레이는 도면번호 3으로 나타내지고, 3개의 대응하는 구멍들(hollows:31) 내부의 3개의 원형 기관들을 지지할 수 있고; 현재, 기관들의 수는 최소 하나에서 최대 12개까지 변할 수 있으며, 그 직경은 최소 2인치에서 최대 6인치로 변할 수 있지만, 이것은 본 발명의 목적과는 무관하며; 명백히, 기관들의 수가 증가함에 따라, 그 직경은 감소한다.

도 1에 도시된 타입의 반응 챔버들에서, 기관 지지는 기관들 상에서의 균일한 침착을 돕기 위해 회전가능하고; 반응 챔버에 대한 적절한 세정 및 챔버의 내부 벽들 상에 침착된 재료의 제거를 달성하는 것은 트레이의 효과적이고 효율적인 회전을 보장하는데 또한 유용하다는 것을 생각하는 것이 유리하다. 도 1에 따른 예에서, 트레이의 회전을 달성하기 위한 수단이 도시되지는 않았지만, 트레이(3)는 회전가능하며; 트레이의 회전을 얻기 위한 다양한 해결책들이 당해 기술분야, 예컨대 문헌 WO2004/053189호에서 당업자들에게 공지되어 있다.

도 1에 도시된 바와 같은 트레이를 갖는 챔버들에서, 트레이는 공동의 내부 표면이 돌연한 돌출들(projections) 또는 함몰들(depressions)을 갖지 않도록, 공동의 저면 벽의 오목부(recess) 내에 하우징되고; 반응 챔버에 대한 적절한 세정 및 공동의 저면 벽 상에 침착된 재료의 제거를 보장하는 것은 벽의 표면 및 트레이의 표면이 정렬되도록 하기 위해 또한 유용하다는 것을 생각하는 것이 유리하다. 도 1에 따른 예에서, (회전가능한) 트레이(3)는 얇은 디스크(직경 190mm이고, 두께 5mm)의 모양을 가지며, 원형 형태를 갖는 공동(12)의 저면 벽의 오목부(11) 내부에 하우징된다.

도 1에 도시된 바와 같은 챔버의 트레이는 일반적으로 서셉터(susceptor), 즉 전자기 유도에 의해 가열되고 그것이 지지하는 기관들을 직접 가열시키는 소자로서 동작한다.

도 1에 따른 챔버(1)는 그 내부에 반응 가스들이 흐르지 않는 커다란 2개의 관통 홀들(13,14)을 가지며; 그에 따라, 이들 홀들의 벽들 상에 재료의 침착이 없으며, 이들 벽들은 본 발명의 목적을 위해서는 크게 중요하지는 않다.

이 홀들(13,14)의 기능 및 구조를 포함하는, 도 1에 도시된 바와 같은 챔버의 많은 기능적 및 구조적인 세부사항들은 참조 문헌으로써 여기에 포함된 문헌 WO2004/053187호 및 WO2004/053188호로부터 얻을 수 있다.

에피택셜 반응기의 반응 챔버는 반응 환경을 정확하게 제어하기 위해서 그것을 둘러싸는 환경으로부터 물리적으로 고립되어야 한다. 에피택셜 반응기의 반응 챔버는 또한 그것을 둘러싸는 환경으로부터 열적으로 절연되어야 하고; 실제로, 에피택셜 성장 프로세스들 동안, 챔버 및 그 환경은 (침착되는 재료에 따라) 1000°C 내지 2000°C 사이의 온도에 있으며, 그에 따라 가열 손실을 제한하는 것이 중요하며; 이를 위해, 챔버는 열 절연 구조물로 둘러 싸인다.

도 1에 따른 예에서, 챔버(1)는 열 절연 셸(2)로 둘러 싸여지고; 셸(2)은 예를 들어 다공성 그래파이트(porous graphite), 즉 내화성 및 열 절연 재료로 만들어질 수 있고; 셸(2)은 원통형 본체(21) 및 이 본체와 커버들 사이의 결합 존(zone)의 열 절연을 향상시키는 주변 링(ring)에 의해 이 본체(21) 상에 실장되는 두 개의 측면 커버들(side covers)(왼쪽의 22A 및 오른쪽의 22B)을 포함한다. 두 개의 커버들(22A,22B)은 반응 가스들의 유입 및 배기 가스들의 유출을 위해 공동(12)과 실질적으로 동일한 단면을 갖는 두 개의 오프닝들(221A,221B)을 각각 가지며; 명백히, 이들 오프닝들은 공동(12)과 실질적으로 정렬되고; 이들 오프닝들, 특히 오프닝(221A)은 또한 적절한 수동 또는 자동 툴들(tools)에 의해, 기관들 또는 기관들을 갖는 트레이를 로딩 및 언로딩하는데 사용된다.

도 2는 도 1에 따른 어셈블리를 포함하는 CVD 반응기의 일부를 도시한다.

도 1에 따른 어셈블리는 예컨대 반응 챔버 길이의 2 또는 3 또는 4배인 긴 석영 튜브(quartz tube:4)의 중심 존에 삽입되고; 다른 것들 중에서도 튜브(4)의 기능은 측면 커버들(22)로부터, 특히 오프닝들(221)로부터 나오는 방사 에너지를 분산시키는 것이다.

입구 유니온(inlet union:6) 및 출구 가이드(7)가 보여지며; 이들 소자들은 통상적으로 석영으로 만들어지며; 입구 유니온(6)은 원형 단면을 갖는 반응 가스 공급 도관(도 2에 도시되지 않음)을, 직사각형 및 매우 평평한 단면을 갖는 커버(22A)의 오프닝(221A)에 접속시키는 기능을 가지며; 출구 가이드(7)는 배기 가스들(도 2에 도시되지 않음)을 방출하기 위해 도관 쪽으로 배출 가스들을 가이드하는 기능을 갖는다.

중심 존에 있는 튜브(4)는 도 1에 따른 어셈블리의 영역에서, 유도(induction)에 의해 챔버(1)를 가열하는 전자기장을 발생시키는 솔레노이드(5)로 중심 존 주변에서 감겨진다.

튜브(4)의 두 개의 단부들에는 에피택셜 반응기의 하우징에 튜브를 고정시키기 위해 두 개의 측 플랜지들, 즉 왼쪽 플랜지(8A) 및 오른쪽 플랜지(8B)가 제공된다.

이미 상술한 바와 같이, 도 2에 따른 어셈블리는, 반응 챔버의 공동(12) 내부에서 매우 높은 온도를 생성 및 유지하기 위해 특별히 제작되므로, 실리콘 카바이드의 에피택셜 성장을 위한 프로세스들을 수행하는데 특히 적합하다.

도 3은 실리콘 카바이드의 에피택셜 성장을 위한 프로세스 동안, 대칭 축(10)을 따라 도 2에 따른 어셈블리에 대한 통상적인 온도 다이어그램을 도시하며, 도 3의 상부는 공간적인 대응관계가 보다 쉽게 이해될 수 있도록 도 2의 어셈블리를 부분적으로 도시한다.

유니온(6)의 시작시에, 온도는 주변 온도, 예를 들어 20°C에 대응하고; 이어서 온도는 유니온(6)을 따라 점차 상승하고; 이어서 커버(22A)의 오프닝(221A) 영역에서 빠르게 증가하고; 공동(12) 내부의 온도는 특히 기관들을 갖는 트레이(3)가 위치되는 공동(12)의 중심 존에서 통상적으로 1500°C 내지 1700°C, 바람직하게는 1550°C 내지 1650°C 사이의 온도로 사실상 일정하고; 커버(22B)의 오프닝(221B) 영역에서의 급강하(sharp drop)가 존재하고; 최종적으로, 온도는 가이드(7)를 따라 점차 떨어지고; 공동(12)의 입구에서의 온도는 반응 가스들이 공동(12) 내부에서 흐르는 결과 가열되므로 공동(12)의 출구에서 보다 낮다.

도 3에 도시된 바와 같은 불균일 온도 상태에서, 벽들을 따른 재료의 침착은 균일하지 않고; 또한, 도 2를 참조하면, 공동(12)의 벽들을 따라서 뿐만 아니라 유니온(6), 및 가이드(7)를 따라서 그리고 두 개의 오프닝들(221)의 영역에서 재료의 침착이 존재하고; 예를 들면, 저온 존들에서, 실리콘 층들이 침착되고, 고온 존들에서, 실리콘 카바이드 층들이 침착된다. 명백히, 침착된 재료와 상관없이 반응기의 부품들 모두를 세정하는 것이 유리하다.

본 발명에 따른 CVD 반응기의 반응기 챔버를 세정하기 위한 프로세스는: 특히,

- 실리콘 카바이드의 승화(sublimation) 시작을 위한 온도보다 낮지 않은 온도로 챔버의 벽들을 가열하는 단계;
- 가스 흐름을 챔버에 도입하는 단계를 포함한다.

이런 식으로, 챔버의 벽들 상에 그리고 또한 챔버에 가까운 다른 부품들 상에 침착되고, 고온 및 가스 흐름 둘 모두에 의해 영향을 받는 재료를 용이하고 효과적으로 제거하는 것이 가능하다. 통상적으로 그리고 이롭게는, 가스를 전달하기 위해서, 성장 프로세스들을 위해 사용된 동일한 도관들이 사용될 것이며, 챔버를 가열하기 위해, 성장 프로세스들을 위해 사용된 동일한 수단이 사용될 것이다. 이러한 프로세스를 구현하기 위해, CVD 반응기 또는 그 반응 챔버를 전혀 분해할 필요가 없다.

이 온도로 인해, 침착된 재료의 분자들은 고체 벽을 떠나, 가스상(gaseous phase)으로 되는 경향이 있으며; 가스 흐름은 가스상의 종들(species)의 부분적인 압력을 감소시켜, 이러한 이동(migration)을 상당히 증가시키며; 이들 두 가지 현상의 효과는 침착된 재료의 제거이며; 이러한 효과는 또한 침착된 재료의 낮은 결정학적인 품질(low crystallographic quality)에 의해 더 촉진(favour)된다.

반응 챔버 및 SiC의 층들의 경우에, 세정은 적절한 온도로 가열함으로써 최적의 조건하에서 수행되고, 가스 흐름은 이렇게 형성된 SiC 증기들을 전달하는 것을 주목적으로 한다.

한편, 실리콘 침착물들이 존재하고 온도가 최소값에 도달하는 CVD 반응기의 다른 성분들을 세정 프로세스가 또한 고려할 때 가열은 세정 프로세스 전에 도입되는 가스 흐름의 적절한 성분들에 의해 수행되는 화학적 에칭과 연관되어야 한다.

기본적으로, 두 개의 파라미터들, 즉 온도 및 가스 성분은 본 발명에 따른 세정 프로세스와 연관된다.

본 발명에 따른 세정 프로세스에 사용되는 가스는 하나의 화학적인 종들(species)만 또는 여러 개의 화학적인 종들을 포함할 수 있다.

본 발명에 따른 프로세스에 유리하게 사용될 수 있는 화학적인 종들은 그것들이 상당히 불활성이기 때문에 희 가스들(noble gases)을 포함하고, 그에 따라 반응 챔버 내의 잔류물들이 뒤따르는 성장 프로세스들에 대해 문제를 일으키지 않으며; 통상적으로, 상기 종들이 캐리어 가스(carrier gas)로서 마이크로전자 산업에 이미 일반적으로 사용되는 헬륨이나 아르곤을 사용하는 것이 가능하다.

본 발명에 따른 프로세스에 유리하게 사용될 수 있는 화학적인 종들은 또한 수소를 포함한다: 이것은 몇몇 재료들에 대해 반응 특성들을 가지며; 더욱이, 수소는 매우 낮은 분자량을 가지며 그에 따라, 벽들의 가열 결과 형성되는 화학적인 종들의 확산계수가 매우 높다. 수소는 또한 저비용이 드는 주요한 이점을 갖는다.

본 발명에 따른 프로세스에 유리하게 사용될 수 있는 다른 화학적인 종들은 염화수소산(hydrochloric acid) 또는 브롬화수소산(hydrobromic acid)이며; 공지된 바와 같이, 이들 물질들은 많은 재료들에 대해 두드러진 화학적인 에칭 특성들을 가지며, 그에 따라 물리적 제거에 부가하여 화학적 제거의 효과를 갖는다.

그러므로, 여러 개의 화학적인 종들의 사용은 서로 다른 지점들에서 서로 다른 재료들을 제거하는 것이 요구될 때 특히 유리하다; 예컨대 이미 언급한 바와 같이, 도 2에 따른 반응기 내부에서 몇몇 지점들에 실리콘 침착물들이 그리고 다른 지점들에서 실리콘 카바이드 침착물들이 존재할 수 있다.

화학적인 종들의 유리한 제 1 조합은 염화수소산(hydrochloric acid)과 희 가스(noble gas)를 상정하며; 염화수소산은 특히 실리콘을 제거하는데 특히 효과적이고, 희 가스는 고온에서 실리콘 카바이드를 제거하는데 특히 효과적이다.

화학적인 종들의 유리한 제 2 조합은 염화수소산과 수소를 상정하며; 염화수소산은 실리콘을 제거하는데 특히 효과적이고, 수소는 고온에서 실리콘 카바이드를 제거하는데 특히 효과적이다.

본 발명에 따른 세정 프로세스에 사용되는 온도는 통상적으로 1800°C 이상으로 고온이며, 바람직하게는 기판 상에서 성장을 위한 프로세스 온도보다 높다(실리콘에 대해, 이 온도는 통상적으로 1100°C 내지 1200°C의 범위에 있고, 실리콘 카바이드에 대해, 이 온도는 통상적으로 1550°C 내지 1650°C의 범위에 있음). 고온은 벽들로부터 재료를 빠르게 제거하게 하지만(그러므로, 빠른 세정 프로세스), 오로지 세정 프로세스의 결과로서 반응기를 변경시켜야 하는 것을 회피하기 위해, 너무 높지 않은 온도를 선택하는 것이 적절하고 유리하다.

본 발명의 목적들을 위해, 가장 중요한 온도는 반응기 챔버의 벽들(도 1 및 도 2를 참조하면, 공동(12)의 벽들)의 온도이고; 하지만, 도 1에 도시된 바와 같은 "핫 월" 반응기 챔버들을 갖는 CVD 반응기들에서, 챔버 환경의 온도 및 챔버 벽들의 온도는 크게 다르지 않다.

효과적이고 효율적인 세정 작용을 획득하기 위해 적절하다고 검증된 온도들은 바람직하게는 1800°C와 2400°C 사이이고, 보다 바람직하게는 1900°C와 2000°C 사이이고; 이들 온도들은 또한 실리콘 카바이드를 제거하기에 적합하며, 또한 실리콘의 경우에는 보다 낮은 온도들이 사용될 수 있다.

본 발명에 따른 세정 프로세스는:

- 챔버 벽들의 온도가 증가되는 동안의 제 1 기간;
- 챔버 벽들의 온도가 유지되는 동안의 제 2 기간;
- 챔버 벽들의 온도가 감소되는 동안의 제 3 기간을 포함할 수 있다.

예를 들어 도 4를 참조하면, 제 1 기간은 도면부호 RP2로 나타내진 다이어그램 부분에 대응하고, 제 2 기간은 도면부호 EP로 나타내진 다이어그램 부분에 대응하고, 제 3 기간은 도면부호 FP2로 나타내진 다이어그램 부분에 대응한다. 도 2에 부분적으로 도시된 반응기에서, 공동(12)의 벽들의 온도 증가는 솔레노이드(5)에 에너지를 가하여 얻어지고, 그 온도는 적절한(공지된) 온도 제어 시스템에 의해 솔레노이드(5)의 에너지 공급을 제어함으로써 유지되며, 온도의 감소는 예컨대 솔레노이드(5)로의 전원 공급을 차단함으로써 얻어질 수 있다.

3개의 기간들 중에서, 벽들로부터 재료를 제거하는데 가장 효과적인 기간은 온도가 높은 제 2 기간이지만; 제 1 기간의 최종 부분과 제 3 기간의 초기 부분 또한 역할을 할 수 있다.

세정 프로세스를 제어하기 위해 매우 중요한 제 3의 파라미터는 가스 흐름이다. 가장 단순한 경우에, 가스 흐름은 세정 프로세스 전체기간 동안 동일하다. 단순히 예로써, 처리 예의 파라미터들의 값들은, 가스 흐름의 흐름율 = 100slm(분당 표준 리터: standard litres per minute), 압력 = 100mbar(즉 10,000Pa), 온도 = 1950°C, 가스 흐름 속도 = 약 25m/s로 표시된다.

3개의 기간으로 분할된 세정 프로세스를 고려하면, 상술한 바와 같이, 가스 흐름은 온도가 가장 높으므로 제 2 기간 동안 가장 중요하고; 이러한 제 2 기간 동안, 예를 들어 위에서 나타내진 파라미터 값들이 이용될 수 있다.

제 2 기간의 가스 흐름이 제 1 기간 동안의 가스 흐름보다 훨씬 높은 것이 바람직하고, 바람직하게는 5 내지 20배 높고; 실제로는, 온도가 증가하는 기간 동안 높은 가스 흐름이 존재한다면, 많은 열에너지가 가스 흐름을 가열시키는데 소모될 것이다.

제 3 기간 동안의 가스 흐름이 제 2 기간동안의 가스 흐름보다 높거나 실질적으로 같은 것이 바람직하고, 바람직하게는 1 내지 3 배 높고; 실제로는, 이 기간 동안 높은 가스 흐름은 챔버를 보다 빠르게 냉각시키는 것을 돕고, 그에 따라 효율을 감소시키지 않고도 세정 프로세스 지속기간을 감소시키고, 반대로 가스 흐름은 제거 효과를 유지한다.

본 발명에 따라, 여러 개의 서로 다른 연속적인 제거 단계들을 상정하는 것이 가능하다는 것을 지적할 만한 가치가 있다; 이 단계들은 서로 다른 지속기간들을 가지며, 서로 다른 온도들에서 수행되고, 서로 다른 화학적인 종들을 포함하는 가스 흐름들을 사용하며; 이들 연속적인 단계들은 온도의 증가를 포함하는 하나의 단계보다 선행될 수 있으며, 온도의 감소를 포함하는 하나의 단계에 선행한다.

본 발명에 따른 세정 프로세스는, 예를 들어 도 2에 부분적으로 도시된 바와 같이 기관들 상에 반도체 재료를 침착하고, 예를 들어 도 1에 도시된 바와 같이 침착을 위해 반응기 챔버가 설치되는 CVD 반응기의 동작 프로세스 내에서 통상적이고 유리한 응용을 갖는다.

본 발명에 따른 동작 프로세스는 다음의 순차적이고 순환적인 실행을 포함하는 성장 프로세스를 상정한다.

- 챔버 내의 기관들을 로딩하기 위한 프로세스;
- 기관들 상에 반도체 재료를 침착하기 위한 프로세스;
- 챔버로부터 기관들을 언로딩하기 위한 프로세스;

언로딩 프로세스 후에, 본 발명에 따라 챔버를 세정하기 위한 프로세스가 수행된다.

세정 프로세스의 빈도는 주로 침착 프로세스의 특성들 및 세정 프로세스의 특성들을 포함하는 다양한 인자들에 의존한다.

도 4는 도 2에 따른 반응기에서 수행된 본 발명에 따른 동작 프로세스의 일부와 관련한 시간/온도 다이어그램을 도시하고; 도 4는 언로딩 프로세스에 대응하는 시간 기간(LP), 성장 프로세스에 대응하는 시간 기간(RP1+DP+FP1), 언로딩 프로세스에 대응하는 시간 기간(UP), 및 세정 프로세스에 대응하는 시간 기간(RP2+EP+FP2)을 도시한다. 특히, 성장 프로세스에 대응하는 시간 기간은 온도 증가에 대한 시간 기간(RP1) 및 침착을 위한 시간 기간(DP), 및 온도 감소에 대한 시간 기간(FP1)으로 분할되고, 세정 프로세스에 대응하는 시간 기간은 온도 증가에 대한 시간 기간(RP2), 제거를 위한 시간 기간(EP), 및 온도 감소에 대한 시간 기간(FP2)으로 분할된다.

본 발명에 따른 동작 프로세스는 로딩 프로세스 후에 그리고 침착 프로세스 전에 수행되는 정화 프로세스(purging process)를 유리하게 상정할 수 있으며; 도 4에 따른 다이어그램에서, 정화 프로세스는 도시되지 않는다.

정화 프로세스의 목적은 성장 프로세스, 특히 침착 프로세스에 바람직하지 않거나 해로운 가스 물질을 반응 챔버로부터 제거하기 위한 것이며; 유해한 물질은 산소(공기의 성분)인데, 이는 산소가 반도체 재료를 산화시키기 때문이며; 바람직하지 못한 물질은 질소(공기의 성분)인데, 이는 질소가 반도체 재료를 도핑(doping)하기 때문이다.

유해한 물질들, 통상적으로 공기의 성분들은 기관 로딩 및 언로딩 프로세스 동안 반응 챔버로 침투할 수 있다. 이러한 침투는 처리될 기관들이 "정화 챔버"로부터 추출되고 이미 처리된 기관들이 "정화 챔버"에 삽입된다면 회피될 수도 있으며; 통상적으로, 두 개의 정화 챔버들은 동시에 동작한다(coincide). 도 2에 부분적으로 도시된 반응기는 "정화 챔버"를 상정하지 않는 것이며, 그에 따라 정화 프로세스가 필요하다.

반응 챔버로부터 바람직하지 않거나 유해한 가스들을 제거하는 가장 편리한 방식은 반응 챔버 내부를 진공으로 만드는 것이다. 유리하게는, 다음의 단계들:

- a) 1atm(즉, 약 100,000Pa)에서, 불활성 가스, 예컨대 "희(noble)" 가스, 통상적으로는 아르곤 또는 헬륨으로 챔버를 채우는 단계;
- b) 챔버의 내부를 예컨대 10Pa의 낮은 세기의 진공으로 만드는 단계;
- c) 챔버의 내부를 예컨대 0.0001Pa의 높은 세기의 진공으로 만드는 단계를 사용하여 처리하는 것이 가능하며,

단계 b)는 예컨대 일반적인 진공 펌프로 수행될 수 있다.

단계 c)는 예컨대 터보 분자 펌프(turbo molecular pump)로 수행될 수 있다.

단계 a)는 매우 짧고, 예컨대 약 1분간 지속할 수 있다.

단계 b)는 매우 짧고, 예컨대 약 1분간 지속할 수 있다.

단계 c)는 예컨대 10 또는 15분간 지속할 수 있고; 명백히 시간은 요구된 진공 세기에 의존한다.

통상적으로, 단계 c) 동안, 온도는 바람직하지 않거나 유해한 종들의 제거(desorption)를 돕도록, 예컨대 약 20°C 내지 1200°C로 증가된다.

침착 전에, 기관의 표면을 예칭함으로써 기관들의 표면을 처리하는 것이 바람직하다. 이러한 처리는 침착 프로세스에 선행하는 온도 증가 기간(즉, 도 4를 참조하면, 기간 RP1) 동안 효과적이고 효율적인 방식으로 수행될 수 있다. 이를 위해, 예컨대 20m/s 또는 25m/s의 속도로 수소의 흐름을 도입하는 것이 충분할 것이다. 유리하게는, 기관들의 전처리(pre-treatment)를 위한 수소의 흐름은 정화 프로세스 직후에 시작할 수 있고; 예컨대, 이것은 약 1200°C에서 시작하고 약 1600°C에서 종료할 수 있으며; 통상적으로, 수소 흐름은 또한 침착 프로세스(즉, 도 4를 참조하면, 기간 DP) 동안 지속된다.

본 발명에 따른 동작 프로세스에서, 챔버 세정 프로세스는 예를 들어 각각의 언로딩 프로세스 후에 수행될 수 있다. 이런 식으로, 챔버의 벽들 상에 침착된 재료는 침착 직후에 제거되고, 그에 따라 손상 효과가 최소화되고, 특히 벽들로부터의 입자들의 분리와 연관된 위험이 최소화된다.

각각의 성장 프로세스를 위한 세정 프로세스를 수행하는 실제 가능성은 본 발명에 따른 충분히 짧은 세정 프로세스 지속기간과 연관되고; 실제로, 세정 프로세스가 성장 프로세스보다 훨씬 길면, CVD 반응기는 매우 낮은 생산 아웃풋(output)을 가지며; 세정 프로세스 지속기간은 특히 수행되는 온도에 연관된다.

단순히 제시하는 다음의 예는 상기의 설명을 보다 명료하게 이해하는데 도움이 되는데; 1600°C에서 실리콘 카바이드의 침착 속도가 10 마이크론/시간이고 주어진 수소 흐름을 갖는 2000°C에서의 실리콘 카바이드의 제거 속도가 100 마이크론/시간이면, 한 시간에 침착되는 층을 제거하기 위해, 약 6분이 충분할 것이며; 이론적으로는, 단 10%만의 생산 아웃풋의 감소가 존재하며, 이것은 떨어지는 입자들로 인해 기관이 손상되는 기관들의 가능성이 감소되는 이점을 고려할 때, 매우 작다.

상기 주어진 예는 도 4의 도움으로 보다 상세히 설명될 것이며, 이미 상술한 바와 같이, 오로지 동작 프로세스의 예에 관한 것이다. 성장 프로세스는 약 20°C에서 약 1600°C로의 온도 증가를 위한 시간 기간(RP1), 1600°C에서의 침착을 위한 시간 기간(DP), 및 1600°C에서 약 20°C로의 온도 감소를 위한 시간 기간(FP1)을 상정하고, 세정 프로세스는 약 20°C에서 약 2000°C로의 온도 증가를 위한 시간 기간(RP2), 약 2000°C에서의 제거를 위한 시간 기간(EP), 및 약 2000°C에서 약 20°C로의 온도 감소를 위한 시간 기간(FP2)을 상정한다. 도 2에 부분적으로 도시된 바와 같은 반응기에서, 온도는 예컨대 약 50°C/분의 속도로 증가 및 감소될 수 있다. 도 4에 따른 예에서, 기간(RP1)은 약 30분 지속되고, 기간(FP1)은 약 60분 지속되고, 기간(RP2)은 약 40분 지속되고, 기간(FP2)은 약 80분 지속되고; 기간(DP)은 약 60분 지속되고; 기간(EP)은 약 6분 지속되고; 그러므로, 성장 프로세스는 약 150분 지속되고, 세정 프로세스는 약 126분 지속되어 성장 프로세스보다 약간 작고, 약 45%의 생산 아웃풋이 감소한다. 하지만, 위의 계산에서, 로딩 프로세스의 동안, 언로딩 프로세스 및 정화 프로세스는 전혀 고려하지 않았고; 이들 시간 기간들이 고려되면, 세정 프로세스는 성장 프로세스보다 실질적으로 짧게 지속하며, 그에 따라 생산 아웃풋은 20%-30%만큼만 감소된다.

그러므로, 이미 언급한 바와 같이, 세정 프로세스가 성장 프로세스 보다 적은 짧은 시간 지속하는 것이 이롭고, 바람직하게는, 성장 프로세스의 1/2 내지 1/4이다.

이제, 몇몇 상술한 기간들의 지속기간과 관련한 두 가지를 언급한다. 기관들을 로딩 및 언로딩하기 위한 기간들(LP 및 UP)의 지속기간은 CVD 반응기의 자동화 정도에 상당히 의존한다. 벽들 상에 침착된 재료의 제거는 오로지 기간(EP) 동안만 일어나는 게 아니라, 가스 흐름이 존재하면, 챔버의 온도가 상당히 높아질 때, 예컨대 1500°C보다 높을 때 일어난다; 그에 따라, 상기 제거는 시작과 종료시에 제거가 상당히 느리다 하더라도 기간(RP2) 동안 시작하고 기간(FP2) 동안 종료되며, 기간(EP) 동안은 가장 빠른 속도로 된다; 이러한 관찰에 기초하여, 세정 프로세스의 다양한 단계의 지속기간을 정확하게 선택하는 것이 가능하다.

임의의 경우에, CVD 반응기의 생산 아웃풋이 매우 작은 양으로 감소된다면, 본 발명에 따른 동작 프로세스는 챔버 세정 프로세스가 미리정해진 수의 언로딩 프로세스들 및 그에 따른 성장 프로세스들 후에 수행된다는 것을 상정할 수 있다. 이러한 수는 2 내지 10 사이의 범위로부터 유리하게 선택될 수 있다.

세정 프로세스와 동작 프로세스 둘 모두를 고려할 때, 본 발명은 기관들 상에 반도체 재료를 침착하기 위한 CVD 반응기들에 응용한다.

본 발명은 특히 반응기에 이로운데, 여기서, 침착 프로세스 동안, 실리콘 카바이드는 이리 언급한 이유로 고온에서 침착되고; 침착된 재료의 양호한 품질을 위해, 실리콘 카바이드의 침착은 1500°C와 1700°C 사이의 온도에서 수행되고, 바람직하게는, 1550°C와 1650°C 사이에서 수행되고, 반면에, 최적의 제거를 위해, 제거는 1800°C와 2400°C 사이의 온도, 바람직하게는 1900°C와 2000°C 사이의 온도에서 수행된다.

본 발명은, 반응기 챔버의 벽들에 무엇보다도 탄탈(tantalum) 카바이드 또는 니오븀 카바이드 중 적어도 한 표면 층이 제공되는 반응기에 특히 유용하고; 상술한 바와 같이, 표면 층은 그래파이트로 이루어진 챔버들을 위한 보호층으로서 동작한다.

탄탈(tantalum) 카바이드 또는 니오븀 카바이드의 표면 층은 특히 저항성이 있으며(resistant), 그 결과, 세정 프로세스의 지속기간은 덜 결정적이 된다; 실제로, 저항성 표면 층의 부존재시에, 세정 프로세스의 지속기간은 벽들 상에 침착된 재료 뿐만 아니라 상기 벽들의 재료의 제거를 회피하기 위해 정확하게 계산되어야 한다.

본 발명에 따른 세정 프로세스 또는 동작 프로세스를 구현하기 위해, CVD 반응기는 적절한 수단을 구비해야 한다. 종종, CVD 반응기에서, 본 발명에 따른 세정 프로세스를 구현하기 위한 물질들, 기계 부품들, 및 전기 부품들은 대부분 이미 존재하고; 또한, CVD 반응기는 일반적으로 컴퓨터화된 전자 제어 시스템을 구비하고; 그에 따라, 본 발명을 구현하기 위해서는, 반응기를 제어하는 소프트웨어 프로그램 및 소프트웨어 프로그램들을 변경하기에 실질적으로 종종 족하게 될 것이다.

상술한 설명은 실리콘 카바이드의 침착물을 갖는 CVD 반응기와 관련하여 제공되었음이 이해된다. 하지만, 반응 챔버 및/또는 반응기 성분은 반응기의 정확한 동작을 보장하기 위해 제거되어야만 하는 원하지 않은 퇴적물들(incrustations) 및 침착물들의 형성을 겪는 CVD 반응기들의 모든 경우들에서 적용가능하다.

### 도면의 간단한 설명

도 1은 본 발명에 따른 세정 프로세스가 적용될 수 있는, 절연 셸(insulating shell)로 둘러싸인 반응 챔버의 단면 측면도, 단면 정면도, 및 단면 상면도를 도시하는 도면.

도 2는 도 1에 따른 어셈블리를 포함하는 CVD 반응기의 일부를 도시하는 도면.

도 3은 도 2의 반응기 내부의 온도에 대한 공간 다이어그램.

도 4는 도 2에 따른 반응기에서 수행되는 본 발명에 따른 동작 프로세스에 관련한 시간/온도 다이어그램.

### 도면

도면1

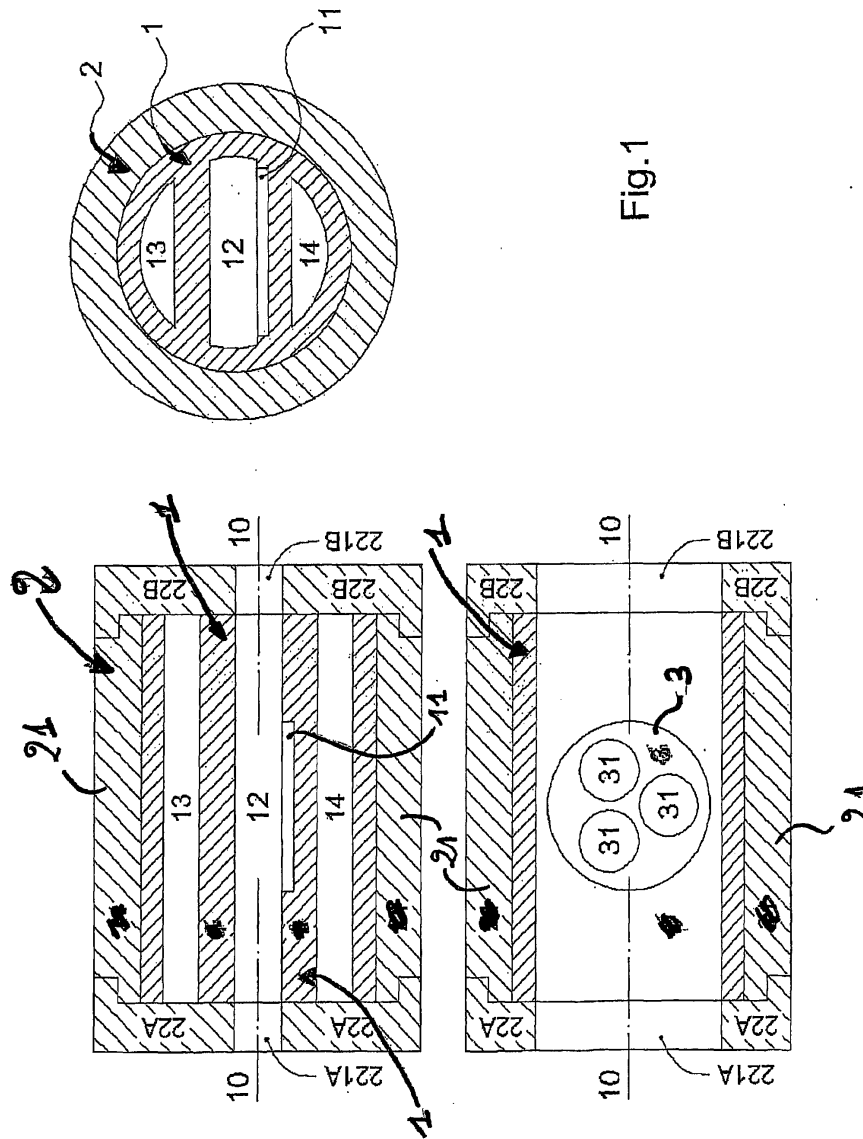


Fig.1

도면2

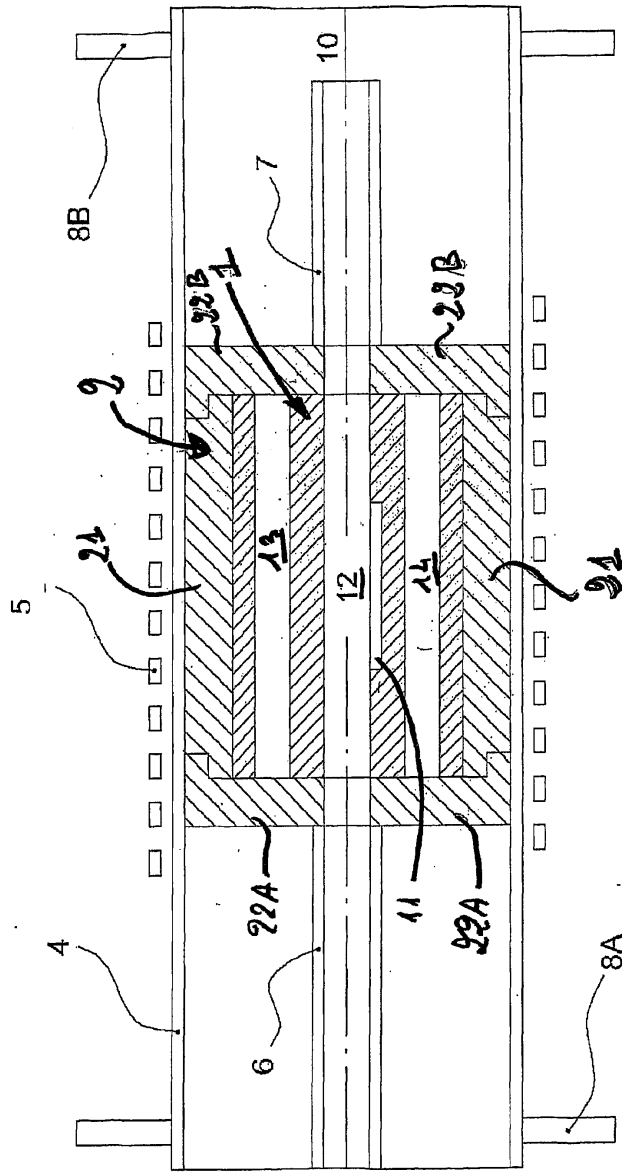


Fig.2

도면3

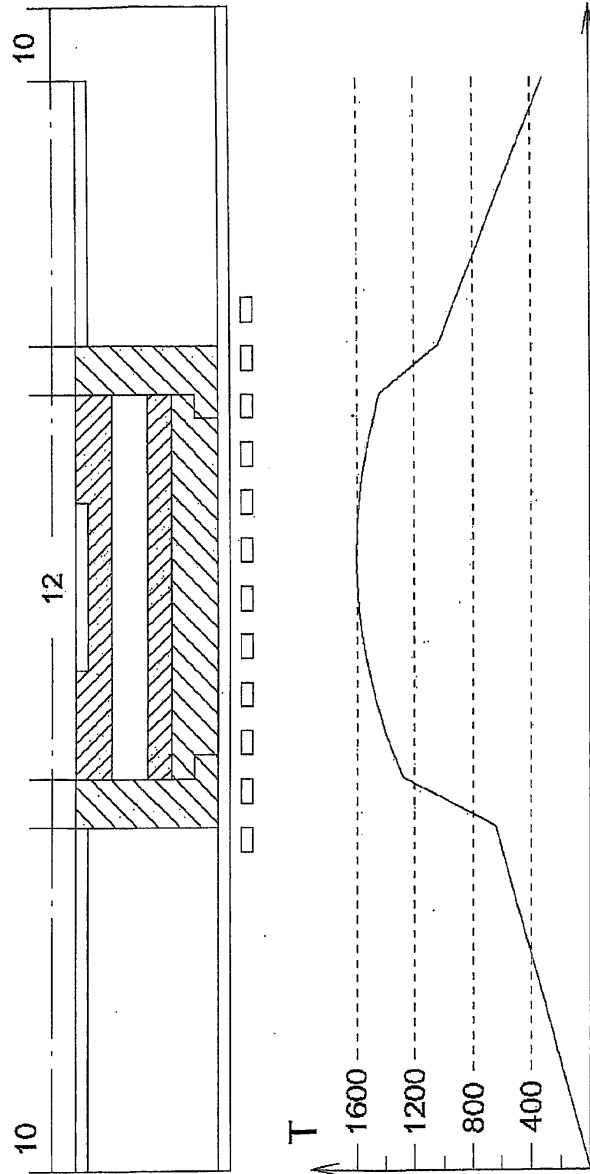


Fig.3

도면4

