

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3649878号
(P3649878)

(45) 発行日 平成17年5月18日(2005.5.18)

(24) 登録日 平成17年2月25日(2005.2.25)

(51) Int.Cl.⁷

H04L 27/22

F I

H04L 27/22

F

請求項の数 4 (全 16 頁)

(21) 出願番号	特願平9-287345	(73) 特許権者	000005223
(22) 出願日	平成9年10月20日(1997.10.20)		富士通株式会社
(65) 公開番号	特開平11-127207		神奈川県川崎市中原区上小田中4丁目1番1号
(43) 公開日	平成11年5月11日(1999.5.11)	(74) 代理人	100070150
審査請求日	平成15年7月15日(2003.7.15)		弁理士 伊東 忠彦
		(72) 発明者	柴田 学
			宮城県仙台市青葉区一番町1丁目2番25号 富士通東北デジタル・テクノロジー株式会社内
		審査官	藤井 浩
		(56) 参考文献	特開平06-232934(JP,A)
			特開平07-177190(JP,A)
			最終頁に続く

(54) 【発明の名称】 デジタル無線通信装置の検波方法及びその回路

(57) 【特許請求の範囲】

【請求項1】

P S K 変調信号を受信するデジタル無線通信装置の検波方法において、
 再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成し、
 合成位相データからデータ判定を行うデジタル無線通信装置の検波方法であって、
 前記再生クロックを中心とする前後の複数ポイントのサンプリングは、前記 P S K 変調信号の周期で離散的に行い、
 前記位相データの合成は、前記複数の位相の量子化データうち最大頻度の量子化データを前記位相データとする

ことを特徴とするデジタル無線通信装置の検波方法。

【請求項2】

請求項1記載のデジタル無線通信装置の検波方法において、
 前記位相データの合成は、前記複数の位相の量子化データに最大頻度の量子化データが複数種類ある場合、前記再生クロックを中心とする前後の複数ポイントで、前記再生クロックより離れるほど減少する重み付けを行って平均して得る

ことを特徴とするデジタル無線通信装置の検波方法。

【請求項3】

P S K 変調信号を受信するデジタル無線通信装置の検波回路において、
 再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化

10

20

データから各シンボルの位相データを合成する合成手段を有し、

合成位相データからデータ判定を行うデジタル無線通信装置の検波回路であって、

前記再生クロックを中心とする前後の複数ポイントは、前記 P S K 変調信号の周期で離散的に行い、

前記位相データの合成手段は、前記複数の位相の量子化データうち最大頻度の量子化データを前記位相データとする頻度判定手段を有する

ことを特徴とするデジタル無線通信装置の検波回路。

【請求項 4】

請求項 3 記載のデジタル無線通信装置の検波回路において、

前記位相データの合成手段は、前記複数の位相の量子化データに最大頻度の量子化データが複数種類ある場合、前記再生クロックを中心とする前後の複数ポイントで、前記再生クロックより離れるほど減少する重み付けを行って平均する重み付け平均手段を有する

ことを特徴とするデジタル無線通信装置の検波回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はデジタル無線通信装置の検波方法及びその回路に関し、P S K (フェイズシフトキーイング) 変調信号を受信するデジタル無線通信装置の検波方法及びその回路に関する。

【0002】

【従来の技術】

図 1 3 は従来のデジタル無線通信装置の検波回路の一例のブロック図を示す。同図中、端子 1 0 にはデジタル無線通信装置で受信した、例えば P S K (フェイズシフトキーイング) 信号の中間周波信号 (I F) が入来し量子化回路 1 1 に供給される。量子化回路 1 1 では中間周波信号の位相を量子化して図 1 4 (A) に示すような位相の量子化データをサンプリング回路 1 2 に供給する。サンプリング回路 1 2 には P L L (フェーズロック回路) 1 3 から図 1 4 (B) に示すような再生クロックが供給されており、サンプリング回路 1 2 は再生クロックの立ち上がりエッジで上記の量子化データをサンプリングして図 1 4 (C) に示す位相の量子化データを P L L 1 3 及びデータ判定回路 1 4 に供給する。

【0003】

P L L 1 3 はサンプリングされた量子化データに同期した再生クロックを生成する。データ判定回路 1 4 はサンプリングされた位相の量子化データから位相に応じた複数ビットのデータを判定することにより P S K 復調 (検波) を行い、得られたデータを端子 1 5 から出力する。

【0004】

【発明が解決しようとする課題】

従来回路は、再生クロックの 1 周期に 1 点のサンプリングポイントで位相の量子化データをサンプリングして、このサンプリングされた 1 周期に 1 点の量子化データを判定しているため、この 1 点のサンプリングポイントで突発的な位相ずれが発生した場合には、データの判定を誤ってしまうという問題があった。

【0005】

また、前段にリミッタを設けて振幅制限し位相のみを再生に用いる方式では、リミッタがない場合に比してアイパターンの開口点が狭くなり、再生クロックによるサンプリングポイントが厳密でなければならず、サンプリングポイントが多少でも前後にずれた状態では良好な検波を行うことができない。また、デジタル無線通信装置の受信能力や内部で発生するスプリアスの影響があると、アイパターンがぼやけるため良好な検波を行うことができず、データの判定を誤ってしまうおそれがあるという問題があった。

【0006】

本発明は、上記の点に鑑みなされたもので、データの判定を誤るおそれの少ないデジタル無線通信装置の検波方法及び回路を提供することを目的とする。

10

20

30

40

50

【 0 0 0 7 】

【課題を解決するための手段】

請求項 1 に記載の発明は、P S K 変調信号を受信するデジタル無線通信装置の検波方法において、

再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成し、

合成位相データからデータ判定を行うデジタル無線通信装置の検波方法であって、

前記再生クロックを中心とする前後の複数ポイントのサンプリングは、前記 P S K 変調信号の周期で離散的に行い、

前記位相データの合成は、前記複数の位相の量子化データうち最大頻度の量子化データを前記位相データとする。

10

【 0 0 0 8 】

このように、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成するため、1つのサンプリングポイントで突発的な位相ずれが発生した場合やアイパターンがばやけた場合に、誤差の少ない位相データを得ることができ、データ判定の誤りの発生を低減でき、ノイズ等により1点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止でき、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを簡単に合成することができ、特にノイズ等により1点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止できる。

20

【 0 0 1 3 】

請求項 2 に記載の発明は、請求項 1 に記載のデジタル無線通信装置の検波方法において、

前記位相データの合成は、前記複数の位相の量子化データに最大頻度の量子化データが複数種類ある場合、前記再生クロックを中心とする前後の複数ポイントで、前記再生クロックより離れるほど減少する重み付けを行って平均して得る。

【 0 0 1 4 】

これにより、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを簡単に合成することができ、最大頻度の量子化データが複数種類ある場合にも、複数の位相の量子化データから各シンボルの位相データを簡単に合成できる。

30

請求項 3 に記載の発明は、P S K 変調信号を受信するデジタル無線通信装置の検波回路において、

再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成する合成手段を有し、

合成位相データからデータ判定を行うデジタル無線通信装置の検波回路であって、

前記再生クロックを中心とする前後の複数ポイントは、前記 P S K 変調信号の周期で離散的に行い、

前記位相データの合成手段は、前記複数の位相の量子化データうち最大頻度の量子化データを前記位相データとする頻度判定手段を有する。

40

【 0 0 1 5 】

このように、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成するため、1つのサンプリングポイントで突発的な位相ずれが発生した場合やアイパターンがばやけた場合に、誤差の少ない位相データを得ることができ、データ判定の誤りの発生を低減でき、ノイズ等により1点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止でき、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを簡単に合成することができ、特にノイズ等により1点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止でき、請求項 1 の発明を実現できる。

50

【 0 0 2 1 】

請求項 4 記載の発明は、請求項 3 記載のデジタル無線通信装置の検波回路において、前記位相データの合成手段は、前記複数の位相の量子化データに最大頻度の量子化データが複数種類ある場合、前記再生クロックを中心とする前後の複数のポイントで、前記再生クロックより離れるほど減少する重み付けを行って平均する重み付け平均手段を有する。

【 0 0 2 2 】

これにより、再生クロックを中心とする前後の複数のポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを簡単に合成することができ、最大頻度の量子化データが複数種類ある場合にも、複数の位相の量子化データから各シンボルの位相データを簡単に合成でき、請求項 2 の発明を実現できる。

10

【 0 0 2 3 】

【 発明の実施の形態 】

図 1 は本発明のデジタル無線通信装置の検波回路の一実施例のブロック図を示す。同図中、端子 20 にはデジタル無線通信装置で受信した、例えば P S K (フェイズシフトキーイング) 信号の中間周波信号 (I F) が入来し量子化回路 22 に供給される。量子化回路 22 ではクロック発生回路 24 から供給される高速クロックを用いて中間周波信号を量子化して図 2 (A) に示すような位相の量子化データを得て、時系列の量子化データをデータ処理回路 (合成手段) 26 に供給する。

【 0 0 2 4 】

データ処理回路 26 は図 2 (B) に示す再生クロックの立ち上がりを中心として前後の複数の量子化データ $m - 2$, $m - 1$, m , $m + 1$, $m + 2$ から図 2 (C) に示す位相データ m を合成してサンプリング回路 30 に供給する。タイミング発生回路 28 はクロック及びタイミング信号を生成してデータ処理回路 26 及びサンプリング回路 30 それぞれに供給している。サンプリング回路 30 はタイミング発生回路 28 よりシンボルクロック周波数のタイミング信号によって合成位相データをラッチして P L L (フェーズロック回路) 32 及びデータ判定回路 34 に供給する。

20

【 0 0 2 5 】

P L L 32 はサンプリングされた合成位相データに同期して図 2 (B) に示すようなシンボルクロック周波数の再生クロックを生成し、タイミング発生回路 28 に供給する。タイミング発生回路 28 はこの再生クロックを基準としてクロック及びタイミング信号を生成する。データ判定回路 34 はサンプリングされた合成位相データから位相に応じた複数ビットのデータを判定することにより P S K 復調を行い、得られたデータを端子 36 から出力する。

30

【 0 0 2 6 】

ここで、P S K のシンボル周波数、つまり再生クロック周波数は例えば 2 1 K H z であり、中間周波信号の周波数は例えば 4 5 0 K H z であり、量子化周波数は例えば 1 4 . 4 M H z である。

図 3 は量子化回路 22 の一実施例のブロック図を示す。同図中、カウンタ 41 には端子 40 を介してクロック発生回路 24 より、例えば周波数 1 4 . 4 M H z のクロックが供給され、カウンタ 41 はこのクロックをカウントしてラッチ回路 44 に供給する。また、エッジ検出回路 43 は端子 42 から供給される中間周波信号の立ち上がりエッジを検出してラッチ回路 44 に供給する。ラッチ回路 44 はエッジ検出信号の供給時にカウンタ 41 のカウント値を位相の量子化データとしてラッチして端子 45 より出力する。また、エッジ検出信号が端子 46 より出力される。

40

【 0 0 2 7 】

データ処理回路 26 は図 4 又は図 5 又は図 6 に示す構成である。図 4 はデータ処理回路 26 の第 1 方式の概略ブロック図を示す。同図中、端子 51 , 52 から入来する位相の量子化データ、タイミング発生回路 28 からのタイミング信号それぞれはシフトレジスタ 50 に供給され、シフトレジスタ 50 内をシフトされる。シフトレジスタ 50 の各段の出力する位相の量子化データは位相差検出回路 (位相差検出手段) 53 に供給され各量子化デー

50

タの位相差が検出される。これらの各位相差データは合成回路（ベクトル合成手段）54に供給され、ここでベクトル合成により合成位相データが得られ、端子55から出力される。

【0028】

図5はデータ処理回路26の第2方式の概略ブロック図を示す。同図中、端子51, 52から入来する位相の量子化データ, タイミング発生回路28からのタイミング信号それぞれはシフトレジスタ50に供給され、シフトレジスタ50内をシフトされる。シフトレジスタ50の各段の出力する位相の量子化データは重み付け平均回路（重み付け平均手段）60に供給され各量子化データの重み付けした平均値が算出される。この量子化データの重み付け平均値は合成位相データとして端子61から出力される。

10

【0029】

図6はデータ処理回路26の第3の概略ブロック図を示す。同図中、端子51, 52から入来する位相の量子化データ, タイミング発生回路28からのタイミング信号それぞれはシフトレジスタ50に供給され、シフトレジスタ50内をシフトされる。シフトレジスタ50の各段の出力する位相の量子化データは頻度判定手段としての頻度判定回路65及び選択回路66に供給される。頻度判定回路65はこれらの各量子化データから頻度の最も高い量子化データを検出し、検出した量子化データを選択するための制御信号を選択回路66に供給する。これによって、選択回路66は頻度の最も高い量子化データを選択し、選択された量子化データが合成位相データとして端子67から出力される。

20

【0030】

図7はデータ処理回路26の第1方式の一実施例のブロック図を示す。同図中、端子70, 71には量子化回路22から位相の量子化データ, タイミング発生回路28からのタイミング信号それぞれが入来し、シフトレジスタ50を構成する遅延素子72~75を位相の量子化データが順次シフトされる。ここで、シンボル周波数のシンボルクロックの立ち上がり時における量子化データが遅延素子73から出力されるタイミングでの遅延素子73の出力量子化データを中心として、遅延素子74, 75の出力量子化データを中心+1, 中心+2と呼び、遅延素子72の出力量子化データを中心-1、端子70の入力量子化データを中心-2と呼ぶ。

【0031】

減算器80は中心-1と中心-2の量子化データの減算を行って減算値をテーブル81に供給する。テーブル81には に対応して(1)式により得られる位相差が予め格納されている。

30

【0032】

【数1】

$$\tan^{-1} \left(\frac{A^2 \cdot \sin \theta}{1 + A^2 \cdot \cos \theta} \right) \dots (1)$$

40

【0033】

但し、Aは中心-1と中心-2とに同一感度を与える振幅差としての定数。

この(1)式について説明するに、長さ A_1 位相 θ_1 のベクトルと、長さ A_2 位相 θ_2 のベクトルとを合成したベクトルの位相は(2)式で表される。

【0034】

【数2】

$$\tan^{-1}\left(\frac{A_1 \cdot \sin \theta_1 + A_2 \cdot \sin \theta_2}{A_1 \cdot \cos \theta_1 + A_2 \cdot \cos \theta_2}\right) \dots (2)$$

【0035】

(2)式では4つの変数があるため、計算が複雑である。このため、 A_1 と A_2 との比をAとし、 θ_1 と θ_2 との差を θ とすると、合成ベクトルの位相 θ_G は(3)式で表す。

【0036】

10

【数3】

$$\theta_G = \theta_1 + \tan^{-1}\left(\frac{A^2 \cdot \sin \theta}{1 + A^2 \cdot \cos \theta}\right) \dots (3)$$

【0037】

(3)式では変数が2つである上に、Aの値がある程度大きくなると位相差の値が小さくなり影響が小さくなるためAの範囲を限定できる。本実施例ではAの値として、中心からずれた位相で中心と同一のレベル(同一感度)を得る振幅を考慮している。これは中心が最も良好で、中心から位相がずれた位置でのレベルの劣化に応じて影響を小さくするためであり、即ち中心から位相がずれた位置でのレベルの大きさを表すものである。この(3)式に基づいて(1)式の演算を行う。

20

【0038】

減算器80の出力する位相差は加算器82で遅延素子73の出力する中心の量子化データに加算されてベクトル合成された後、減算器83に供給される。また、減算器86は中心+1と中心+2の量子化データの減算を行って減算値をテーブル87に供給する。テーブル87にはに対応して(1)式により得られる位相差が予め格納されている。但し、Aは中心+1と中心+2とに同一感度を与える振幅差としての定数である。テーブル87からは(1)式による位相差が得られ、この位相差は加算器88で遅延素子74の出力する中心+1の量子化データに加算されてベクトル合成された後、減算器83に供給される。

30

【0039】

減算器83は加算器82、88出力の量子化データの減算を行って減算値をテーブル84に供給する。テーブル84にはに対応して(1)式により得られる位相差が予め格納されている。但し、Aは中心+側と中心-側とに同一感度を与える振幅差としての定数である。テーブル84からは(1)式による位相差が得られ、この位相差は加算器85で加算器88の出力する中心-側の量子化データに加算されてベクトル合成された後、減算器89に供給される。

40

【0040】

減算器89は加算器85、遅延素子73出力の量子化データの減算を行って減算値をテーブル90に供給する。テーブル90にはに対応して(1)式により得られる位相差が予め格納されている。但し、Aは中心+側と中心-側とに同一感度を与える振幅差としての定数である。テーブル90からは(1)式による位相差が得られ、この位相差は加算器91で遅延素子73の出力する中心の量子化データに加算されてベクトル合成された後、合成位相データとして端子92から出力される。上記の減算器80、83、86、89及びテーブル81、84、87、90が位相差検出回路53に対応し、加算器82、85、88、91が合成回路54に対応する。

【0041】

50

この実施例では、合成する量子化データの一方を基準として他方の位相差を求め、その位相差に応じたテーブルを参照して合成後の位相差を得て、基準の量子化データに合成後の位相差を足し込むことで合成位相差を求めている。これにより、簡単な演算で正確な合成位相差を求めることができる。

このように、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成するため、1つのサンプリングポイントで突発的な位相ずれが発生した場合やアイパターンがぼやけた場合に、誤差の少ない位相データを得ることができ、データ判定の誤りの発生を低減できる。この実施例は多少回路規模が大きくなるものの、各信号の合成により等価的にエネルギーの増加を図ることができ、 C/N が改善され、良好な特性を得ることができる。

10

【0042】

図8はデータ処理回路26の第2方式の一実施例のブロック図を示す。同図中、端子70, 71には量子化回路22から位相の量子化データ、タイミング発生回路28からのタイミング信号それぞれが入来し、シフトレジスタ50を構成する遅延素子72~75を位相の量子化データが順次シフトされる。ここで、シンボル周波数のシンボルクロックの立ち上がり時における量子化データが遅延素子73から出力されるタイミングでの端子71の入力量子化データをSD0とし、遅延素子72~75それぞれの出力する量子化データをSD1~SD4とする。

【0043】

平均回路101は2つの量子化データSD0の平均を取り、平均回路102は2つの量子化データSD0, SD4の平均を取り、平均回路103, 104それぞれは2つの量子化データSD1の平均を取り、平均回路105~110それぞれは2つの量子化データSD2の平均を取る。平均回路111~113それぞれは2つの量子化データSD3の平均を取り、平均回路114は2つの量子化データSD3, SD4の平均を取り、平均回路115は2つの量子化データSD1の平均を取り、平均回路116は2つの量子化データSD4の平均を取る。

20

【0044】

平均回路121は2つの平均回路101, 102出力の量子化データの平均を取り、平均回路122は2つの平均回路103, 104出力の量子化データの平均を取り、平均回路123は2つの平均回路105, 106出力の量子化データの平均を取り、平均回路124は2つの平均回路107, 108出力の量子化データの平均を取り、平均回路125は2つの平均回路109, 110出力の量子化データの平均を取り、平均回路126は2つの平均回路111, 112出力の量子化データの平均を取り、平均回路127は2つの平均回路113, 114出力の量子化データの平均を取り、平均回路128は2つの平均回路115, 116出力の量子化データの平均を取る。

30

【0045】

更に、平均回路131は2つの平均回路121, 122出力の量子化データの平均を取り、平均回路132は2つの平均回路123, 124出力の量子化データの平均を取り、平均回路133は2つの平均回路125, 126出力の量子化データの平均を取り、平均回路134は2つの平均回路127, 128出力の量子化データの平均を取る。更に、平均回路141は2つの平均回路131, 132出力の量子化データの平均を取り、平均回路142は2つの平均回路133, 134出力の量子化データの平均を取り、平均回路151は2つの平均回路141, 142出力の量子化データの平均を取り、合成位相データとして端子152より出力する。

40

【0046】

ここで、平均回路102, 103~113, 115, 116, 122~126, 132は同一データを平均しているため、実際には不要である。この実施例では平均回路102~116に供給する量子化データのうち中心の量子化データSD2の数を多くして大きな重み付けを行い、次に中心に近い量子化データSD1, SD3の数を減らし重み付けを減らし、更に中心から遠い量子化データSD0, SD4の数を減らし重み付けを減らしている

50

。

【 0 0 4 7 】

このように、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成するため、1つのサンプリングポイントで突発的な位相ずれが発生した場合やアイパターンがぼやけた場合に、誤差の少ない位相データを得ることができ、データ判定の誤りの発生を低減できる。この実施例は簡易的、かつ、柔軟な重み付けを行う回路構成とすることができる。

【 0 0 4 8 】

図9はデータ処理回路26の第3方式の一実施例のブロック図を示す。同図中、端子70, 71には量子化回路22から位相の量子化データ、タイミング発生回路28からのタイミング信号それぞれが入来し、シフトレジスタ50を構成する遅延素子72~75を位相の量子化データが順次シフトされる。ここで、シンボル周波数のシンボルクロックの立ち上がり時における量子化データが遅延素子73から出力されるタイミングでの遅延素子72~75それぞれの出力する量子化データをSD1~SD4とする。この量子化データSD1~SD4は頻度判定回路65を構成するセクタ200に供給される。

10

【 0 0 4 9 】

演算用高速クロック発生器201は量子化データSD1~SD4を選択するために、シンボルクロックの4倍の周波数のクロックを発生してカウンタ202に供給する。カウンタ202は4進のカウンタであり、1~4のカウント値をセクタ200に供給する。セクタ200はこのカウント値に対応する量子化データSD1~SD4のいずれかを選択してデコーダ203に供給する。

20

【 0 0 5 0 】

デコーダ203は供給される量子化データSD1~SD4それぞれを順次デコードして、量子化データの値に応じた端子からカウンタ205₁~205_Nのいずれかに値1の信号を出力し、他の端子から残りのカウンタ205₁~205_Nに値0の信号を出力する。なお、本実施例では量子化データの値は0~32であり、N=33である。カウンタ205₁~205_Nそれぞれは量子化のタイミング信号の入来毎にリセットされて、値1の信号を供給されたときカウントアップを行い、それぞれのカウント値をイクスクルーシブオア回路206₁~206_Nそれぞれに供給する。

30

【 0 0 5 1 】

レジスタ210は量子化のタイミング信号の供給によりカウンタ202の出力するカウント値をプリセットされ、その後、減算器211により値を1ずつ減じる。これによりレジスタ210の出力値はカウンタ202の出力するカウント値を上限として1ずつ値が減少し、この値はイクスクルーシブオア回路206₁~206_Nそれぞれに供給される。なお、遅延素子72~75それぞれの遅延時間をxとし、遅延素子72~75の個数をyとしたとき、減算器211の減算周期はx/(y+1)以下である。

【 0 0 5 2 】

イクスクルーシブオア回路206₁~206_Nそれぞれは供給される2つの値が一致したときにのみ値1の信号を出力する。イクスクルーシブオア回路206₁~206_Nそれぞれの出力値は加算器212及びアンド回路213₁~213_Nに供給され、加算器212はこれらの値を加算してコンパレータ214, 215それぞれに供給する。

40

【 0 0 5 3 】

コンパレータ214, 215それぞれには値1が供給されている。加算器212出力が1のときコンパレータ214は値1の頻度選択信号を生成して端子216から出力し、加算器212出力が1を超えるとコンパレータ215は値1の平均選択信号を生成して端子216から出力する。つまり、カウンタ205₁~205_Nのうちカウント値がレジスタ210の値と一致するカウンタの数が1のとき頻度選択信号が出力され、2以上のとき平均選択信号が出力される。この頻度選択信号又は平均選択信号はオア回路217を介してレジスタ210, 減算器211に供給され、レジスタ210に値を保持させると共に、減算器211の演算を停止させる。

50

【 0 0 5 4 】

アンド回路 2 1 3₁ ~ 2 1 3_N それぞれには量子化データの値 1 ~ N が供給されており、イクスクルーシブオア回路 2 0 6₁ ~ 2 0 6_N の出力値が値 1 のとき、対応する量子化データの値が出力されてオア回路 2 2 0 を介しアンド回路 2 2 1 に供給され、アンド回路 2 2 1 は頻度選択信号が値 1 のとき、この量子化データの値を合成位相データとして端子 2 2 2 より出力する。上記のセレクタ 2 0 0 からアンド回路 2 2 1 が頻度判定回路 6 5 を構成している。

【 0 0 5 5 】

これにより、量子化データ S D 1 ~ S D 4 が例えば全て「 1 6 」の場合、カウンタ 2 0 5₁ (1 < I < N) のカウント値が 4 となり、イクスクルーシブオア回路 2 0 6₁ 出力が 1、加算器 2 1 2 出力が 1 となって頻度選択信号が出力され、アンド回路 2 1 3₁ から出力される量子化データの値「 1 6 」が端子 2 2 2 より出力される。量子化データ S D 1 ~ S D 4 が例えば「 1 6 , 1 6 , 1 7 , 1 7 」の場合、カウンタ 2 0 5₁ (1 < I < N) のカウント値が 2、カウンタ 2 0 5₂ (I < J < N) のカウント値が 2 となり、イクスクルーシブオア回路 2 0 6₁ , 2 0 6₂ 出力が 1、加算器 2 1 2 出力が 2 となって平均選択信号が出力され、アンド回路 2 1 3₁ から出力される量子化データの値は端子 2 2 2 から出力されない。

【 0 0 5 6 】

このように、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成するため、1つのサンプリングポイントで突発的な位相ずれが発生した場合やアイパターンがぼやけた場合に、誤差の少ない位相データを得ることができ、データ判定の誤りの発生を低減できる。この実施例は小さい回路規模で構成することが可能であり、この回路の追加による品質の劣化が少ない。また、頻度判定のサンプル数を増加することでよりいっそうの改善が可能となる。

【 0 0 5 7 】

図 1 0 は第 2 方式と第 3 方式を組み合わせたデータ処理回路 2 6 の一実施例のブロック図を示す。同図中、端子 3 0 0 , 3 0 1 には量子化回路 2 2 から位相の量子化データ、タイミング発生回路 2 8 からのタイミング信号それぞれが入来し、位相の量子化データはセレクタ 3 0 9 を通してシフトレジスタ 5 0 を構成する遅延素子 3 0 2 ~ 3 0 5 に供給され、遅延素子 3 0 2 ~ 3 0 5 を位相の量子化データが順次シフトされる。

【 0 0 5 8 】

ここで、シンボル周波数のシンボルクロックの立ち上がり時における量子化データが遅延素子 7 3 から出力されるタイミングでの端子 3 0 0 の入力量子化データを D Q とし、遅延素子 3 0 2 の入力量子化データを D Q 1 とし、遅延素子 3 0 2 ~ 3 0 5 それぞれの出力する量子化データを D Q 1 ~ D Q 4 とする。この量子化データ D Q , D Q 1 ~ D Q 4 は頻度判定回路 3 0 6 と判定及び平均回路 3 0 7 に供給される。頻度判定回路 3 0 6 は図 9 と同一構成であり、頻度判定回路 3 0 6 の出力する頻度選択信号、平均選択信号、合成位相データそれぞれはモード回路 3 0 8 に供給される。

【 0 0 5 9 】

判定及び平均回路 3 0 7 内の判定回路 3 1 0 は平均回路 3 1 1 から供給される量子化データの平均値を最新の量子化データ D Q と比較してその差が端子 3 1 1 より供給される設定値 S A S E T より大なるときのみ値 1 で、その他の場合値 0 の制御信号をセレクタ 3 0 9 及び平均回路 3 1 1 に供給する。セレクタ 3 0 9 はこの信号が 0 のときは最新の量子化データ D Q を D Q 0 として出力するが、この信号が 1 で量子化データ D Q の信頼性が低いときは平均回路 3 1 1 から供給される量子化データの平均値を最新の量子化データ D Q の代わりに選択して D Q 0 として出力する。

【 0 0 6 0 】

平均回路 3 1 1 は図 1 1 に示す構成である。この構成は第 2 方式の他の実施例でもある。図 1 1 において、端子 3 2 0 ~ 3 2 4 には量子化データ D Q , D Q 1 ~ D Q 4 が供給され、端子 3 2 5 , 3 2 6 には重み付けを変更するための制御信号 S E L A , S E L B が供給

10

20

30

40

50

される。セレクタ 330 は制御信号 SEL A が 1 のとき量子化データ DQ 2 を選択し、制御信号 SEL A が 0 のとき DQ 1 を選択して平均演算回路 332 に供給する。セレクタ 331 は制御信号 SEL B が 1 のとき量子化データ DQ 2 を選択し、制御信号 SEL B が 0 のとき DQ 3 を選択して平均演算回路 332 に供給する。このセレクタ 330, 331 での選択によってどの量子化データの重みを大きくするかの重み付けを変更している。

【0061】

平均演算回路 332 はセレクタ 330, 331 から供給される量子化データの平均を取って平均演算回路 334, 337 に供給し、平均演算回路 333 は量子化データ DQ 1, DQ 3 の平均を取って平均演算回路 334 に供給し、平均演算回路 334 は平均演算回路 332, 333 出力の量子化データの平均を取って平均演算回路 335 に供給する。平均演算回路 335 は平均演算回路 334 出力の量子化データと量子化データ DQ 2 との平均を取って平均演算回路 339 に供給する。

10

【0062】

平均演算回路 336 は量子化データ DQ 0, DQ 4 の平均を取って平均演算回路 337 に供給し、平均演算回路 337 は平均演算回路 333, 336 出力の量子化データの平均を取って平均演算回路 339 に供給する。平均演算回路 339 は平均演算回路 335, 339 出力の量子化データの平均を取って合成位相データとして端子 340 から出力する。

【0063】

ここで、平均演算回路 332, 333, 336 それぞれは供給される 2 つの量子化データの位相差が 180 度異なるときマスク信号を出力する。平均演算回路 334, 335, 337, 339 それぞれはマスク信号を供給されると、マスク信号を供給してない方の量子化データを平均として出力し、更に平均演算回路 334, 337 それぞれは双方からマスク信号を供給されると、マスク信号を出力する。これはノイズが混入したときにその影響を除去するためである。

20

【0064】

平均演算回路 339 の出力する合成位相データは端子 340 から出力されると共に、平均値保存回路 341 に供給される。平均値保存回路 341 は端子 327 から量子化のタイミング信号を供給されるタイミングで、平均演算回路 339 からの合成位相データを保存して、端子 341 から出力する。

図 10 に戻って説明するに、平均回路 311 が端子 340 から出力する合成位相データはモード回路 308 に供給され、端子 341 から出力する保存された合成位相データはセレクタ 309 に供給される。モード回路 308 は端子 350 からのモード信号に応じて頻度判定回路 306 又は平均回路 311 からの合成位相データを端子 352 からのクロックに同期して端子 353 から出力する。

30

【0065】

通常モード時には、頻度判定回路 306 から頻度選択信号が供給されると、頻度判定回路 306 よりの合成位相データを端子 353 より出力し、頻度判定回路 306 から平均選択信号が供給されると、平均回路 311 よりの合成位相データを端子 353 より出力する。つまり、同一値の量子化データの頻度が高いときは、この量子化データが正常であるとして出力し、同一値の量子化データの頻度が低いときは平均値を取ってノイズ等の影響を低減し、出力している。

40

【0066】

この実施例では、特にノイズ等により 1 点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止できる。最大頻度の量子化データが複数種類ある場合にも、複数の位相の量子化データから各シンボルの位相データを簡単に合成できる。

図 12 はタイミング発生回路 28 の一実施例のブロック図を示す。同図中、位相レジスタ 360 には外部の図示しない制御回路より端子 361 を介して再生クロックに対する中心の量子化データの位相差を指示する位相値が設定され、位相値はカウンタ 362 に供給される。また、合成数レジスタ 364 には外部の図示しない制御回路より端子 365 を介し

50

て合成する量子化データ数を指示する合成数が設定され、合成数はカウンタ362に供給される。

【0067】

カウンタ362には、このほかに、PLL32からの再生クロックが端子366を介して供給され、端子367を介して例えば周波数14.4MHzのクロックが供給されており、カウンタ362は再生クロックの立ち上がりから上記位相値だけ移相したタイミングを中心として、周波数450kHzの周期で前記中心及び中心の前後に合成数だけのパルスが発生して、これをタイミング信号として端子368からデータ処理回路26に供給する。また、前記中心で発生したパルスを端子369よりサンプリング回路30に供給している。

10

【0068】

なお上記実施例では、4相のPSK信号の検波を例にして説明したが、これは8相又は16相のPSK信号のデジタル無線通信装置の検波回路等にも適用でき、上記実施例に限定されない。

【0069】

【発明の効果】

上述の如く、請求項1に記載の発明によれば、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成するため、1つのサンプリングポイントで突発的な位相ずれが発生した場合やアイパターンがぼやけた場合に、誤差の少ない位相データを得ることができ、データ判定の誤りの発生を低減でき、ノイズ等により1点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止でき、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを簡単に合成することができ、特にノイズ等により1点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止できる。

20

【0076】

また、請求項2に記載の発明によれば、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを簡単に合成することができ、最大頻度の量子化データが複数種類ある場合にも、複数の位相の量子化データから各シンボルの位相データを簡単に合成できる。

30

また、請求項3に記載の発明によれば、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを合成するため、1つのサンプリングポイントで突発的な位相ずれが発生した場合やアイパターンがぼやけた場合に、誤差の少ない位相データを得ることができ、データ判定の誤りの発生を低減でき、ノイズ等により1点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止でき、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを簡単に合成することができ、特にノイズ等により1点のサンプリングポイントで突発的な位相ずれが発生した場合に、データの判定を誤るおそれを防止でき、請求項1の発明を実現できる。

40

【0084】

また、請求項4に記載の発明によれば、再生クロックを中心とする前後の複数ポイントでサンプリングした複数の位相の量子化データから各シンボルの位相データを簡単に合成することができ、最大頻度の量子化データが複数種類ある場合にも、複数の位相の量子化データから各シンボルの位相データを簡単に合成でき、請求項2の発明を実現できる。

【図面の簡単な説明】

【図1】本発明のデジタル無線通信装置の検波回路の一実施例のブロック図である。

【図2】本発明の信号タイミングチャートである。

【図3】量子化回路22の一実施例のブロック図である。

【図4】データ処理回路26の第1方式の概略ブロック図である。

50

- 【図 5】データ処理回路 26 の第 2 方式の概略ブロック図である。
 【図 6】データ処理回路 26 の第 3 方式の概略ブロック図である。
 【図 7】データ処理回路 26 の第 1 方式の一実施例のブロック図である。
 【図 8】データ処理回路 26 の第 2 方式の一実施例のブロック図である。
 【図 9】データ処理回路 26 の第 3 方式の一実施例のブロック図である。
 【図 10】第 2 方式と第 3 方式を組み合わせたデータ処理回路 26 の一実施例のブロック図である。
 【図 11】データ処理回路 26 の第 2 方式の他の実施例のブロック図である。
 【図 12】タイミング発生回路 28 の一実施例のブロック図
 【図 13】従来のデジタル無線通信装置の検波回路の一例のブロック図である。
 【図 14】従来回路の信号タイミングチャートである。

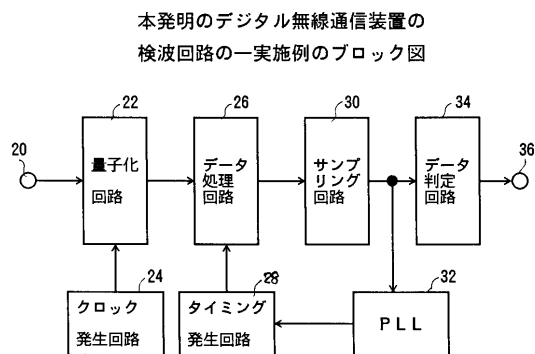
10

【符号の説明】

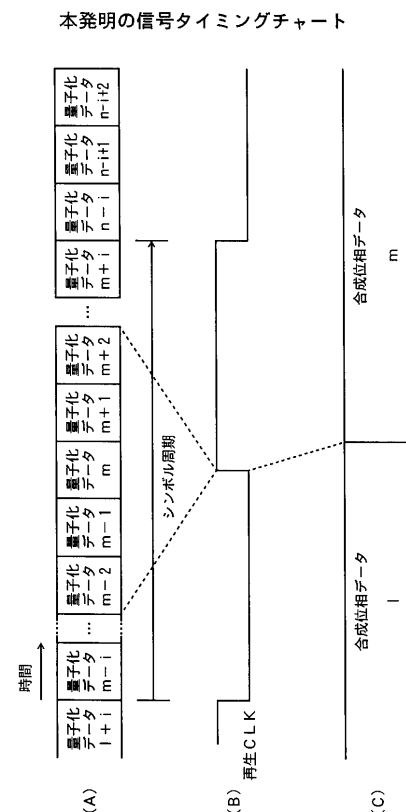
- 22 量子化回路
 24 クロック発生回路
 26 データ処理回路
 28 タイミング発生回路
 30 サンプリング回路
 32 PLL
 34 データ判定回路
 50 シフトレジスタ
 53 位相差検出回路
 54 合成回路
 60 平均回路
 65 頻度判定回路
 66 選択回路

20

【図 1】

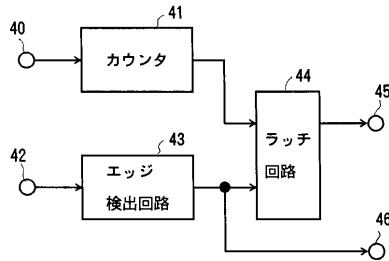


【図 2】



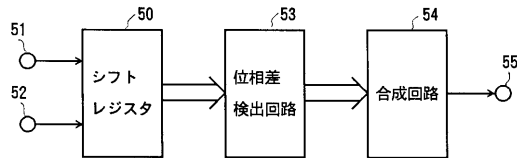
【図 3】

量子化回路 2 2 の一実施例のブロック図



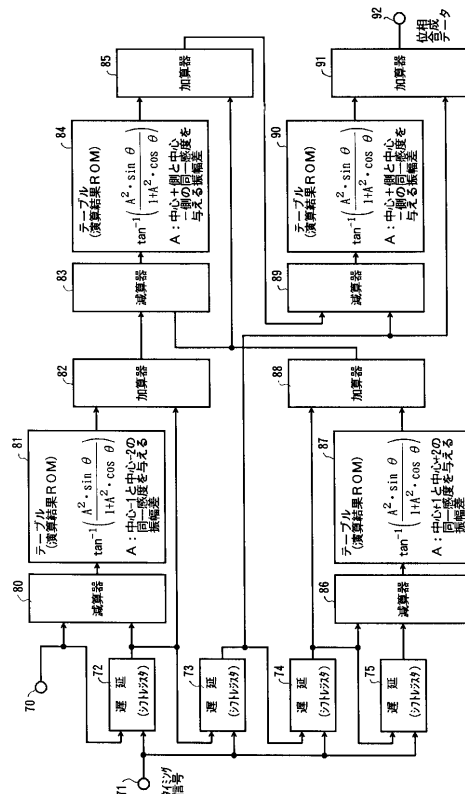
【図 4】

データ処理回路 2 6 の第 1 方式の概略ブロック図



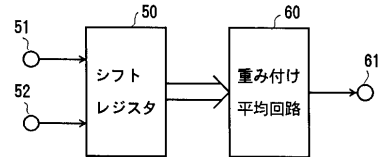
【図 7】

データ処理回路 2 6 の第 1 方式の一実施例のブロック図



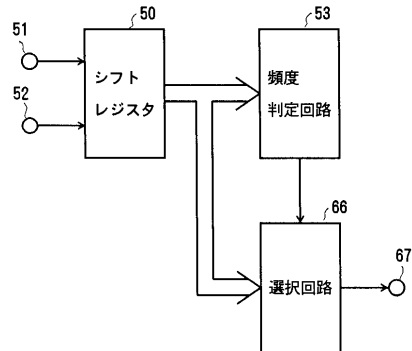
【図 5】

データ処理回路 2 6 の第 2 方式の概略ブロック図



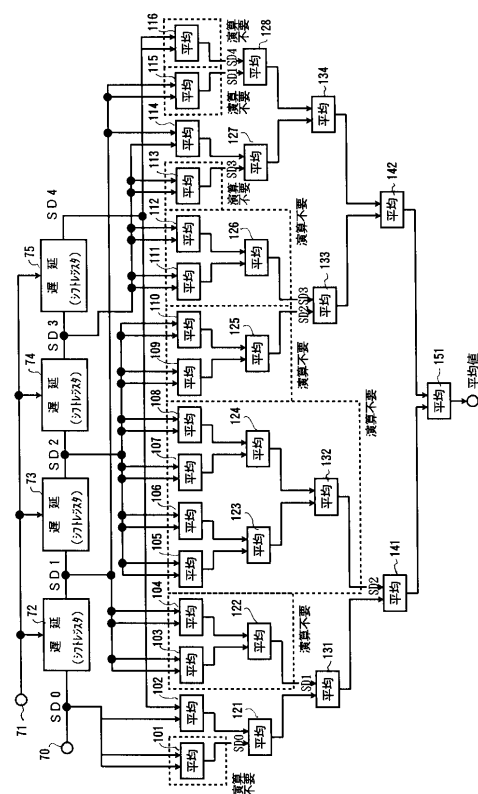
【図 6】

データ処理回路 2 6 の第 3 方式の概略ブロック図



【図 8】

データ処理回路 2 6 の第 2 方式の一実施例のブロック図

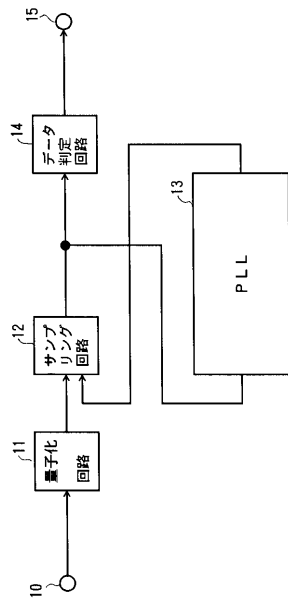


[illegible]

Figure 1 is a block diagram of a phase-locked loop (PLL) circuit. The circuit includes a phase-locked loop (360) and a frequency divider (362). The phase-locked loop (360) consists of a phase-locked loop (360) and a frequency divider (362). The phase-locked loop (360) receives inputs 361 and 365, and outputs 368 and 369. The frequency divider (362) receives inputs 366 and 367, and outputs 368 and 369.

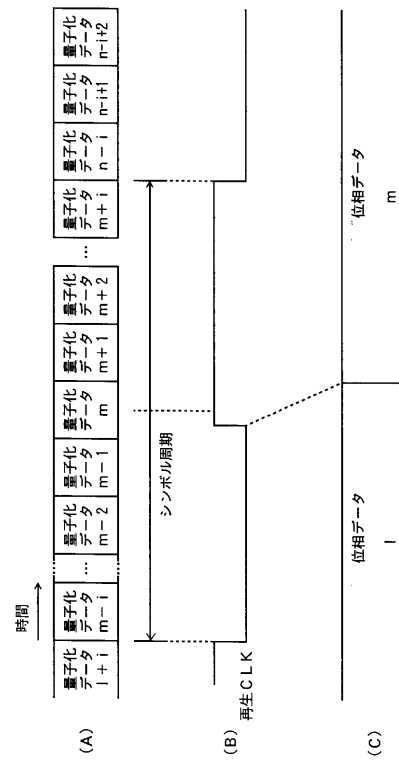
【図 13】

従来のデジタル無線通信装置の検波回路の一例のブロック図



【図 14】

従来回路の信号タイミングチャート



フロントページの続き

(58)調査した分野(Int.Cl.⁷, D B 名)
H04L 27/00-27/38