(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-198977
(P2012-198977A)
(43)公開日　平成24年10月18日(2012.10.18)

(51)Int.Cl.		F I			テーマコード（参考）
G11C 11/405	(2006.01)	G11C	11/34	352B	4K029
G11C 11/56	(2006.01)	G11C	11/34	381D	5F083
H01L 27/115	(2006.01)	G11C	11/34	381A	5F101
H01L 21/8247	(2006.01)	H01L	27/10	434	5F110
H01L 29/792	(2006.01)	H01L	29/78	371	5M024

審査請求 未請求　請求項の数 12　ＯＬ　（全 63 頁）　最終頁に続く

(21)出願番号　特願2012-49108(P2012-49108)
(22)出願日　平成24年3月6日(2012.3.6)
(31)優先権主張番号　特願2011-48793(P2011-48793)
(32)優先日　平成23年3月7日(2011.3.7)
(33)優先権主張国　日本国(JP)

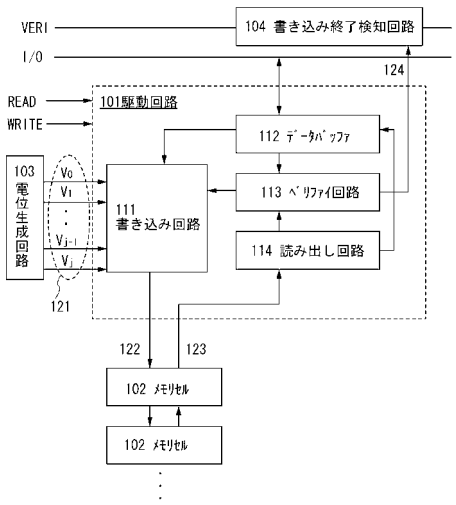
(71)出願人　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　関根　祐輔
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

Ｆターム(参考)　4K029 BA50 BB07 BD01 CA06 DC05 DC34 FA05

最終頁に続く

(54)【発明の名称】半導体装置および半導体装置の駆動方法

(57)【要約】
【課題】新たな構造の半導体装置を提供し、書き込み後の当該半導体装置のメモリセルのしきい値電圧のばらつきを小さくし、動作電圧を低減する、または記憶容量を増大する。
【解決手段】酸化物半導体を用いたトランジスタと、酸化物半導体以外の材料を用いたトランジスタとをそれぞれ有する複数のメモリセルと、複数のメモリセルを駆動する駆動回路と、駆動回路に供給する複数の電位を生成する電位生成回路と、複数のメモリセルへのデータの書き換えが終了したか否かを検知する書き込み終了検知回路と、を有し、駆動回路は、データバッファと、複数のメモリセルのそれぞれに複数の電位のうちいずれか一の電位をデータとして書き込む書き込み回路と、メモリセルに書き込まれたデータを読み出す読み出し回路と、読み出されたデータと、データバッファに保持されたデータとが一致するか否かをベリファイするベリファイ回路と、を有する。
【選択図】図１



【特許請求の範囲】
【請求項１】
酸化物半導体を用いたトランジスタおよび酸化物半導体以外の材料を用いたトランジスタをそれぞれ有する複数のメモリセルと、前記複数のメモリセルを駆動する駆動回路と、前記駆動回路に供給する複数の電位を生成する電位生成回路と、複数のメモリセルのベリファイ読み出しの結果を一括して判定し、複数のメモリセルへのデータの書き換えが終了したか否かを一度に検知する書き込み終了検知回路と、を有し、
前記駆動回路は、前記複数のメモリセルのそれぞれに書き込むデータを保持するデータバッファと、
前記データバッファに保持された前記データに基づいて前記複数のメモリセルのそれぞれに前記複数の電位のうちいずれか一の電位をデータとして書き込む書き込み回路と、
前記メモリセルに書き込まれた前記データを読み出す読み出し回路と、
前記読み出された前記データと、前記データバッファに保持された前記データとが一致するか否かをベリファイするベリファイ回路と、を有し、
前記読み出された前記データと、前記データバッファに保持された前記データとが一致したメモリセルでは、書き込み電位が前記一の電位に決定され、
前記読み出された前記データと、前記データバッファに保持された前記データとが一致しないメモリセルでは、書き込み電位が前記複数の電位のうちの別の一の電位に変更されることを特徴とする半導体装置。
【請求項２】
酸化物半導体を用いたトランジスタおよび酸化物半導体以外の材料を用いたトランジスタをそれぞれ有する複数のメモリセルと、データバッファ、書き込み回路、読み出し回路およびベリファイ回路を有する駆動回路と、複数の電位を生成する電位生成回路と、複数のメモリセルのベリファイ読み出しの結果を一括して判定し、複数のメモリセルへのデータの書き換えが終了したか否かを一度に検知する書き込み終了検知回路と、を有し、
前記データバッファは、前記書き込み回路に電気的に接続され、
前記書き込み回路は、複数の第１の信号線を介して前記電位生成回路に電気的に接続され、
前記書き込み回路は、第２の信号線を介して前記複数のメモリセルのそれぞれに電気的に接続され、
前記読み出し回路は、第３の信号線を介して前記複数のメモリセルのそれぞれに電気的に接続され、
前記ベリファイ回路は、第４の信号線を介して前記書き込み終了検知回路に電気的に接続され、かつ前記読み出し回路、前記データバッファおよび前記書き込み回路に電気的に接続され、
前記酸化物半導体を用いたトランジスタのソースまたはドレインの一方は、前記酸化物半導体以外の材料を用いたトランジスタのゲートに電気的に接続され、
前記第２の信号線は、前記複数のメモリセルがそれぞれ有する前記酸化物半導体を用いたトランジスタのソースまたはドレインの他方に電気的に接続され、
前記第３の信号線は、前記複数のメモリセルがそれぞれ有する前記酸化物半導体以外の材料を用いたトランジスタのソースまたはドレインの一方に電気的に接続されていることを特徴とする半導体装置。
【請求項３】
請求項１または請求項２において、前記電位生成回路で生成される前記複数の電位の大きさはそれぞれ異なっていることを特徴とする半導体装置。
【請求項４】
請求項１において、
前記酸化物半導体を用いたトランジスタのソースまたはドレインの一方は、前記酸化物半導体以外の材料を用いたトランジスタのゲートに電気的に接続されていることを特徴とする半導体装置。

【請求項５】
請求項１において、
前記書き込み回路は、前記複数のメモリセルがそれぞれ有する前記酸化物半導体を用いたトランジスタのソースまたはドレインの他方に電気的に接続され、
前記読み出し回路は、前記複数のメモリセルがそれぞれ有する前記酸化物半導体以外の材料を用いたトランジスタのソースまたはドレインの一方に電気的に接続されていることを特徴とする半導体装置。
【請求項６】
請求項２において、
前記データバッファは、前記複数のメモリセルのそれぞれに書き込むデータを保持する機能を有し、
前記書き込み回路は、前記データバッファに保持された前記データに基づいて、前記複数のメモリセルのそれぞれに前記複数の電位のうちいずれか一の電位をデータとして書き込む機能を有し、
前記読み出し回路は、前記メモリセルに書き込まれた前記データを読み出す機能を有し、
前記ベリファイ回路は、前記読み出された前記データと、前記データバッファに保持された前記データとが一致するか否かをベリファイする機能を有することを特徴とする半導体装置。
【請求項７】
請求項６において、
前記読み出された前記データと、前記データバッファに保持された前記データとが一致した前記メモリセルでは、書き込み電位が前記一の電位に決定され、
前記読み出された前記データと、前記データバッファに保持された前記データとが一致しない前記メモリセルでは、書き込み電位が前記複数の電位のうちの別の一の電位に変更されることを特徴とする半導体装置。
【請求項８】
請求項１乃至７のいずれか一項において、前記複数のメモリセルのしきい値電圧は、ばらつきを有することを特徴とする半導体装置。
【請求項９】
請求項１乃至８のいずれか一項において、前記酸化物半導体以外の材料を用いたトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域を有することを特徴とする半導体装置。
【請求項１０】
請求項１乃至９のいずれか一項において、
前記酸化物半導体は、Ｉｎ、ＧａおよびＺｎを含んでなる酸化物半導体材料を有することを特徴とする半導体装置。
【請求項１１】
酸化物半導体を用いたトランジスタおよび酸化物半導体以外の材料を用いたトランジスタをそれぞれ有する複数のメモリセルを有し、
前記複数のメモリセルのそれぞれに書き込むデータを保持し、
前記保持された前記データに基づいて前記複数のメモリセルのそれぞれに複数の電位のうちいずれか一の電位をデータとして書き込み、
前記メモリセルに書き込まれた前記データを読み出し、
前記読み出された前記データと、前記データバッファに保持された前記データとが一致するか否かをベリファイし、
前記読み出された前記データと、前記データバッファに保持された前記データとが一致した前記メモリセルでは、書き込み電位が前記一の電位に決定され、
前記読み出された前記データと、前記データバッファに保持された前記データとが一致しない前記メモリセルのうち、

前記データバッファに保持された前記データに対して、前記読み出された前記データが大きい場合には、前記一の電位よりも小さい別の一の電位に変更され、前記データバッファに保持された前記データに対して、前記読み出された前記データが小さい場合には、前記一の電位よりも大きい別の一の電位に変更されることを特徴とする半導体装置の駆動方法。

【請求項１２】

請求項１１において、

前記読み出された前記データと、前記データバッファに保持された前記データとが一致しない前記メモリセルの書き込み電位が前記別の一の電位に変更された後、再度書き込み、読み出し、およびベリファイが行われ、

当該ベリファイ後に、前記読み出された前記データと、前記データバッファに保持された前記データとが一致した前記メモリセルでは、書き込み電位が前記別の一の電位に決定され、

前記読み出された前記データと、前記データバッファに保持された前記データとが一致しない前記メモリセルでは、

前記データバッファに保持された前記データに対して、前記読み出された前記データが大きい場合には、書き込み電位が複数の電位のうちの前記一の電位よりもさらに小さい別の一の電位に変更され、前記データバッファに保持された前記データに対して、前記読み出された前記データが小さい場合には、書き込み電位が複数の電位のうちの前記一の電位よりもさらに大きい別の一の電位に変更されることを特徴とする半導体装置の駆動方法。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、半導体素子を利用した半導体装置およびその駆動方法に関するものである。

【背景技術】

【０００２】

半導体素子を利用した記憶装置は、電力の供給がなくなると記憶内容が失われる揮発性のものと、電力の供給がなくなっても記憶内容は保持される不揮発性のものとに大別される。

【０００３】

揮発性記憶装置の代表的な例としては、ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）がある。ＤＲＡＭは、記憶素子を構成するトランジスタを選択してキャパシタに電荷を蓄積することで、情報を記憶する。

【０００４】

上述の原理から、ＤＲＡＭでは、情報を読み出すとキャパシタの電荷は失われるため、情報の読み出しの度に、再度の書き込み動作が必要となる。また、記憶素子を構成するトランジスタにおいてはオフ状態でのソースとドレイン間のリーク電流（オフ電流）等によって、トランジスタが選択されていない状況でも電荷が流出、または流入するため、データの保持期間が短い。このため、所定の周期で再度の書き込み動作（リフレッシュ動作）が必要であり、消費電力を十分に低減することは困難である。また、電力の供給がなくなると記憶内容が失われるため、長期間の記憶の保持には、磁性材料や光学材料を利用した別の記憶装置が必要となる。

【０００５】

揮発性記憶装置の別の例としてはＳＲＡＭ（Ｓｔａｔｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）がある。ＳＲＡＭは、フリップフロップなどの回路を用いて記憶内容を保持するため、リフレッシュ動作が不要であり、この点においてはＤＲＡＭより有利である。しかし、フリップフロップなどの回路を用いているため、記憶容量あたりの単価が高くなるという問題がある。また、電力の供給がなくなると記憶内容が失われるという点については、ＤＲＡＭと変わるところはない。

【０００６】

不揮発性記憶装置の代表例としては、フラッシュメモリがある。フラッシュメモリは、トランジスタのゲート電極とチャネル形成領域との間にフローティングゲートを有し、当該フローティングゲートに電荷を保持させることで記憶を行うため、データの保持期間は極めて長く（半永久的）、揮発性記憶装置で必要なリフレッシュ動作が不要であるという利点を有している（例えば、特許文献１参照）。

【０００７】

しかし、書き込みの際に生じるトンネル電流によって記憶素子を構成するゲート絶縁層が劣化するため、所定回数の書き込みによって記憶素子が機能しなくなるという問題が生じる。この問題の影響を緩和するために、例えば、各記憶素子の書き込み回数を均一化する手法が採られるが、これを実現するためには、複雑な周辺回路が必要になってしまう。そして、このような手法を採用しても、根本的な寿命の問題が解消するわけではない。つまり、フラッシュメモリは、情報の書き換え頻度が高い用途には不向きである。

【０００８】

また、フラッシュメモリは、フローティングゲートに電荷を注入させるため、または、その電荷を除去するためには、高い電圧が必要であり、また、そのための回路も必要である。さらに、電荷の注入、または除去のためには比較的長い時間を要し、書き込み、消去の高速化が容易ではないという問題もある。

【先行技術文献】

【特許文献】

【０００９】

【特許文献１】特開昭５７－１０５８８９号公報

【発明の概要】

【発明が解決しようとする課題】

【００１０】

上述の問題に加え、メモリセルを構成するトランジスタのしきい値電圧にばらつきがあると、当該トランジスタのしきい値電圧のばらつきに起因して、複数のメモリセルそれぞれを動作するために必要な電位（メモリセルのしきい値電圧ともいう）にもばらつきが生じる。メモリセルの動作電圧を決定する際、このメモリセルのしきい値電圧のばらつきを考慮しないと、動作エラーが生じるおそれがあった。そのため複数のメモリセルそれぞれの動作電圧は、メモリセルのしきい値電圧のばらつきを考慮して幅をもたせて設定される。そのためメモリセルの動作電圧の低減には限界があった。

【００１１】

また、メモリセルを多値化する場合にも動作電圧は増大するので、動作電圧を増大させず、かつ、メモリセルの面積を増大させずに記憶容量を増大することは難しかった。

【００１２】

上述の問題に鑑み、開示する発明の一態様では、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い、新たな構造の半導体装置およびその駆動方法を提供する。さらには、書き込み後の半導体装置のメモリセルのしきい値電圧のばらつき（分布幅）を小さくし、動作電圧を低減する、または記憶容量を増大する、または書き込み、保持、読み出し等の動作を確実に、かつ、書き込みを高速化させて行える半導体装置およびその駆動方法を提供する。

【課題を解決するための手段】

【００１３】

開示する発明の一態様では、オフ電流の低いトランジスタを含む半導体装置を構成する。なお、オフ電流の低いトランジスタとは、バンドギャップの広い半導体（例えばバンドギャップが２ｅＶ以上、好ましくは３ｅＶ以上の半導体）、具体的には酸化物半導体を用いて構成される。

【００１４】

オフ電流の小さいトランジスタは、チャネル領域を、バンドギャップがシリコン半導体よりも広い、ワイドギャップ半導体（例えばバンドギャップが２ｅＶ以上、好ましくは３

ｅＶ以上の半導体）で形成することで得られる。酸化物半導体は、このワイドギャップ半導体の一種であり、少なくともＩｎ、Ｇａ、Ｓｎ及びＺｎから選ばれた一種以上の元素を含有するもの、例えば、Ｉｎ－Ｓｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系酸化物半導体などを用いることが好ましい。

【００１５】

酸化物半導体は、広義に、非単結晶であって、そのａｂ面に垂直な方向から見て、三角形、六角形、正三角形、または正六角形の原子配列を有し、且つ、ｃ軸方向に垂直な方向から見て、金属原子が層状、または、金属原子と酸素原子が層状に配列した結晶構造を含む膜（ＣＡＡＣ－ＯＳ（Ｃ Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜）であることが好ましい。

【００１６】

開示する発明の一態様では、キャパシタに蓄積された電荷によってしきい値電圧が制御されるトランジスタと、該キャパシタの充放電を制御するトランジスタとを含む複数のメモリセルと、この複数のメモリセルを駆動する駆動回路と、電位生成回路と、複数のメモリセルへのデータの書き換えが終了したか否かを一度に検知する書き込み終了検知回路とを有する半導体装置である。なお、メモリセルは、少なくとも２つのトランジスタを有し、キャパシタの充放電を制御するトランジスタとしてオフ電流の小さいトランジスタを用いる。オフ電流の小さいトランジスタを用いることにより、キャパシタに蓄積される電荷の変動（経時変化）を抑えることができる。

【００１７】

開示する発明の一態様では、酸化物半導体を用いたトランジスタと、酸化物半導体以外の材料を用いたトランジスタとをそれぞれ有する複数のメモリセルと、複数のメモリセルを駆動する駆動回路と、駆動回路に供給する複数の電位を生成する電位生成回路と、複数のメモリセルのベリファイ読み出しの結果を一括して判定し、複数のメモリセルへのデータの書き換えが終了したか否かを一度に検知する書き込み終了検知回路と、を有し、駆動回路は、複数のメモリセルのそれぞれに書き込むデータを保持するデータバッファと、データバッファに保持されたデータに基づいて複数のメモリセルのそれぞれに複数の電位のうちいずれか一の電位をデータとして書き込む書き込み回路と、メモリセルに書き込まれたデータを読み出す読み出し回路と、読み出されたデータと、データバッファに保持されたデータとが一致するか否かをベリファイするベリファイ回路と、を有し、データが一致したメモリセルでは、書き込み電位が上記一の電位に決定され、データが一致しないメモリセルでは、書き込み電位が複数の電位のうちの別の一の電位に変更される半導体装置である。

【００１８】

開示する発明の一態様では、酸化物半導体を用いたトランジスタと、酸化物半導体以外の材料を用いたトランジスタとをそれぞれ有する複数のメモリセルを有し、複数のメモリセルのそれぞれに書き込むデータを保持し、保持されたデータに基づいて複数のメモリセルのそれぞれに複数の電位のうちいずれか一の電位をデータとして書き込み、メモリセルに書き込まれたデータを読み出し、読み出されたデータと、データバッファに保持されたデータとが一致するか否かをベリファイし、データが一致したメモリセルでは、書き込み電位が上記一の電位に決定され、データが一致しないメモリセルのうち、データバッファに保持されたデータに対して読み出されたデータが大きい場合には前記一の電位よりも小さい別の一の電位に変更され、データが一致しないメモリセルのうち、データバッファに保持されたデータに対して読み出されたデータが小さい場合には前記一の電位よりも大きい別の一の電位に変更される半導体装置の駆動方法である。

【００１９】

開示する発明の一態様では、酸化物半導体を用いたトランジスタおよび酸化物半導体以外の材料を用いたトランジスタをそれぞれ有する複数のメモリセルと、データバッファ、書き込み回路、読み出し回路およびベリファイ回路を有する駆動回路と、複数の電位を生

成する電位生成回路と、複数のメモリセルのベリファイ読み出しの結果を一括して判定し、複数のメモリセルへのデータの書き換えが終了したか否かを一度に検知する書き込み終了検知回路と、を有し、データバッファは、書き込み回路に電気的に接続され、書き込み回路は、複数の第１の信号線を介して電位生成回路に電気的に接続され、書き込み回路は、第２の信号線を介して複数のメモリセルのそれぞれに電気的に接続され、読み出し回路は、第３の信号線を介して複数のメモリセルのそれぞれに電気的に接続され、ベリファイ回路は、第４の信号線を介して書き込み終了検知回路に電気的に接続され、かつ読み出し回路、データバッファおよび書き込み回路に電気的に接続される半導体装置である。

【００２０】

上記構成において、電位生成回路で生成される複数の電位の大きさはそれぞれ異なっている。電位生成回路で生成される大きさの異なる複数の電位のそれぞれが、複数の第１の信号線のいずれかに供給され、書き込み回路に供給される。電位生成回路で生成される複数の電位には、同じデータを書き込む複数の電位が含まれている。例えば、電位生成回路で生成される複数の電位には、少なくとも一つの低電位側の電位と、複数の高電位側の電位とが含まれており、当該複数の高電位側の電位には、同じデータを書き込む複数の電位が含まれる構成とすることができる。

【００２１】

上記構成において、複数のメモリセルのそれぞれにおいて、酸化物半導体を用いたトランジスタのソースまたはドレインの一方は、酸化物半導体以外の材料を用いたトランジスタのゲートに電気的に接続されている。

【００２２】

上記構成において、書き込み回路または第２の信号線は、複数のメモリセルがそれぞれ有する酸化物半導体を用いたトランジスタのソースまたはドレインの他方に電気的に接続されている。読み出し回路または第３の信号線は、複数のメモリセルがそれぞれ有する酸化物半導体以外の材料を用いたトランジスタのソースまたはドレインの一方に電気的に接続されている。

【００２３】

上記構成において、データバッファは、複数のメモリセルのそれぞれに書き込むデータを保持する機能を有する。書き込み回路は、データバッファに保持されたデータに基づいて、複数のメモリセルのそれぞれに複数の電位のうちいずれか一の電位をデータとして書き込む機能を有する。読み出し回路は、メモリセルに書き込まれたデータを読み出す機能を有する。ベリファイ回路は、読み出されたデータと、データバッファに保持されたデータとが一致するか否かをベリファイする機能を有する。

【００２４】

上記構成において、読み出されたデータと、データバッファに保持されたデータとが一致したメモリセルでは、書き込み電位が上記一の電位に決定される。読み出されたデータと、データバッファに保持されたデータとが一致しないメモリセルでは、データバッファに保持されたデータに対して読み出されたデータが大きい場合には書き込み電位が複数の電位のうちの前記一の電位よりも小さい別の一の電位に変更され、データバッファに保持されたデータに対して読み出されたデータが小さい場合には書き込み電位が複数の電位のうちの前記一の電位よりも大きい別の一の電位に変更される。

【００２５】

上記構成において、データが一致しないメモリセルの書き込み電位が別の一の電位に変更された後、再度書き込み、ベリファイが行われる。このベリファイ後に、データが一致したメモリセルでは、書き込み電位が上記別の一の電位に決定され、データが一致しないメモリセルでは、データバッファに保持されたデータに対して読み出されたデータが大きい場合には書き込み電位が複数の電位のうちの前記一の電位よりもさらに小さい別の一の電位に変更され、データバッファに保持されたデータに対して読み出されたデータが小さい場合には書き込み電位が複数の電位のうちの前記一の電位よりもさらに大きい別の一の電位に変更される。このようにして、書き込み電位が順次別の電位に変更され、書き込み

、ベリファイが行われ、複数のメモリセルの書き込み電位が決定される。
【００２６】
上記構成において、ベリファイ回路にて複数のメモリセルの全てのデータが、データバッファに保持されたデータと一致すると、書き込み動作が終了する。または、所定の回数、書き込み、読み出し、ベリファイを行うことで、書き込み動作を終了させてもよい。
【００２７】
上記構成において、複数のメモリセルのしきい値電圧は、ばらつき（分布幅）を有する場合がある。その場合、しきい値電圧が最小（Ｖｔｈ＿ｍｉｎ）であるメモリセルとしきい値電圧が最大（Ｖｔｈ＿ｍａｘ）であるメモリセルとでは、書き込み電位として決定される電位が異なる場合がある。
【００２８】
しきい値電圧が最小（Ｖｔｈ＿ｍｉｎ）であるメモリセルへの書き込み電位として決定される電位は、電位生成回路にて生成される複数の電位のなかで、同じデータを書き込む複数の電位のうち最小の電位以上の大きさであることが好ましい。また、しきい値電圧が最大（Ｖｔｈ＿ｍａｘ）であるメモリセルへの書き込み電位として決定される電位は、電位生成回路にて生成される複数の電位のうち最大の電位以下の大きさであることが好ましい。
【００２９】
逆に言うと、電位生成回路にて生成される複数の電位のなかで、同じデータを書き込む複数の電位のうち最小の電位は、しきい値電圧が最小（Ｖｔｈ＿ｍｉｎ）であるメモリセルへの書き込み電位として決定される電位以下の大きさであることが好ましい。また、電位生成回路にて生成される複数の電位のうち最大の電位は、しきい値電圧が最大（Ｖｔｈ＿ｍａｘ）であるメモリセルへの書き込み電位として決定される電位以上の大きさであることが好ましい。
【００３０】
上記構成において、酸化物半導体以外の材料を用いたトランジスタは、半導体材料を含む基板に設けられたチャネル形成領域を有することが好ましい。
【００３１】
なお、半導体材料を含む基板は、単結晶半導体基板またはＳＯＩ基板とすることが好ましい。また、半導体材料を含む基板の半導体材料はシリコンであることが好ましい。また、酸化物半導体層は、Ｉｎ、ＧａおよびＺｎを含んでなる酸化物半導体材料を有することが好ましい。
【００３２】
なお、上記において、酸化物半導体を用いてトランジスタを構成する場合を示したが、開示する発明はこれに限定されない。酸化物半導体と同等のオフ電流特性が実現できる材料、例えば、炭化シリコンをはじめとするワイドギャップ材料（より具体的には、例えば、エネルギーギャップＥｇが３ｅＶより大きい半導体材料）などを適用しても良い。
【発明の効果】
【００３３】
酸化物半導体を用いたトランジスタはオフ電流が極めて小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することが可能である。
【００３４】
また、開示する発明に係る半導体装置では、メモリセルを構成するトランジスタのしきい値電圧にばらつきがあっても、書き込み後の複数のメモリセルのしきい値電圧のばらつき（分布幅）を小さくすることができ、半導体装置の動作電圧を低減することができる。または、動作電圧を増大させずかつメモリセルの面積を増大させずに、メモリを多値化することができ、半導体装置の単位面積あたりの記憶容量を増大することができる。または

、書き込み、保持、読み出し等の動作を確実に、かつ、書き込みを高速化させて行える半導体装置を提供することができる。

【００３５】

また、開示する発明に係る半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。また、情報を消去するための動作が不要であるというメリットもある。

【００３６】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【００３７】

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【００３８】

また、開示する発明に係る半導体装置では、想定される閾値のばらつきの中央値付近のメモリセルから所望のデータが書き込めるようメモリセルへの書き込み電位を決定し、所望のデータが書き込めないメモリセルに対して、読み出されたデータが大きい場合と小さい場合のベリファイを一度に行なうことができ、これにより書き込み処理を高速化することができる。

【図面の簡単な説明】

【００３９】

【図１】半導体装置のブロック図。
【図２】半導体装置が有するメモリセルのしきい値電圧の分布を示す図。
【図３】半導体装置が有するメモリセルのしきい値電圧の分布を示す図。
【図４】半導体装置が有するメモリセルのしきい値電圧の分布を示す図。
【図５】半導体装置が有するメモリセルのしきい値電圧の分布を示す図。
【図６】半導体装置の回路図。
【図７】半導体装置が有するデータバッファの回路図。
【図８】半導体装置が有する電位生成回路の回路図。
【図９】半導体装置が有する書き込み回路の回路図。
【図１０】半導体装置が有するメモリセルの回路図。
【図１１】半導体装置が有する読み出し回路の回路図。
【図１２】半導体装置が有するベリファイ回路の回路図。
【図１３】半導体装置が有する書き込み終了検知回路の回路図。
【図１４】半導体装置が有する書き込み終了検知回路のタイミングチャート。
【図１５】半導体装置が有する書き込み終了検知回路のタイミングチャート。
【図１６】半導体装置が有するメモリセルの回路図。
【図１７】半導体装置の回路図。
【図１８】半導体装置が有するメモリセルの断面図および平面図。
【図１９】半導体装置の作製工程を示す断面図。
【図２０】半導体装置の作製工程を示す断面図。

【図２１】半導体装置の作製工程を示す断面図。
【図２２】半導体装置の作製工程を示す断面図。
【図２３】半導体装置が有するメモリセルの断面図。
【図２４】半導体装置を用いた電子機器を説明するための図。
【発明を実施するための形態】
【００４０】
開示する発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。
【００４１】
なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解の簡単のため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。
【００４２】
なお、本明細書等における「第１」、「第２」、「第３」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。
【００４３】
（実施の形態１）
本実施の形態では、開示する発明の一態様に係る半導体装置の構成および動作について、図１乃至図５を参照して説明する。
【００４４】
図１は、メモリセルを有する半導体装置のブロック図の一例である。
【００４５】
半導体装置は、駆動回路１０１と、複数のメモリセル１０２と、電位生成回路１０３と、書き込み終了検知回路１０４と、を有する。駆動回路１０１は、書き込み回路１１１と、データバッファ１１２と、ベリファイ回路１１３と、読み出し回路１１４と、を有する。複数のメモリセル１０２はそれぞれ、酸化物半導体を用いたトランジスタ（図示せず）と、酸化物半導体以外の材料を用いたトランジスタ（図示せず）とを有する。また、半導体装置は、入出力信号（Ｉ／Ｏ）を与える配線（データ入出力線ともいう）、出力信号（ＶＥＲＩ）を与える配線（ベリファイ信号線ともいう）、読み出し信号（ＲＥＡＤ）を与える配線、書き込み信号（ＷＲＩＴＥ）を与える配線を有する。駆動回路１０１は、複数のメモリセル１０２の各列に設けられている。
【００４６】
データバッファ１１２は、書き込み回路１１１に電気的に接続されている。書き込み回路１１１は、複数の第１の信号線１２１を介して電位生成回路１０３に電気的に接続されている。書き込み回路１１１は、第２の信号線１２２を介して複数のメモリセル１０２のそれぞれに電気的に接続されている。読み出し回路１１４は、第３の信号線１２３を介して複数のメモリセル１０２のそれぞれに電気的に接続されている。ベリファイ回路１１３は、第４の信号線１２４を介して書き込み終了検知回路１０４に電気的に接続されている。また、読み出し回路１１４は、データバッファ１１２と、ベリファイ回路１１３に電気的に接続されている。ベリファイ回路１１３は、データバッファ１１２、および書き込み回路１１１とそれぞれ電気的に接続されている。
【００４７】
駆動回路１０１は、複数のメモリセルを駆動する機能を有する。電位生成回路１０３は、複数の電位（$Ｖ_{0}$乃至$Ｖ_{j}$）（ｊは２以上の整数）を生成する機能を有する。
【００４８】
電位生成回路１０３で生成される複数の電位（$Ｖ_{0}$乃至$Ｖ_{j}$）（ｊは２以上の整数）の大きさはそれぞれ異なっている。電位生成回路１０３で生成される大きさの異なる複数の電位（$Ｖ_{0}$乃至$Ｖ_{j}$）（ｊは２以上の整数）のそれぞれが、複数の第１の信号線１２１の

いずれかに供給され、書き込み回路１１１に供給される。

【００４９】

データバッファ１１２は、複数のメモリセル１０２のそれぞれに書き込むデータを保持する機能、及び読み出したデータを保持する機能を有する。書き込み回路１１１は、データバッファ１１２に保持されたデータに基づいて、複数のメモリセル１０２のそれぞれに、電位生成回路１０３で生成される複数の電位のうちいずれか一の電位（例えば、V_1）をデータとして書き込む機能を有する。読み出し回路１１４は、メモリセル１０２に書き込まれたデータを読み出す機能を有する。ベリファイ回路１１３は、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータとが一致するか否かをベリファイする機能を有する。

【００５０】

読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータとが一致したメモリセル１０２では、書き込み電位が上記一の電位（例えば、V_1）に決定される。読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータとが一致しないメモリセル１０２では、書き込み電位が電位生成回路１０３で生成される複数の電位のうちの別の２種の電位（例えば、V_2またはV_3）に変更される。

【００５１】

読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータとが一致しないメモリセル１０２では、書き込み電位が別の２種の電位（例えば、V_2またはV_3）に変更された後、再度書き込み、ベリファイが行われる。このベリファイ後に、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータとが一致したメモリセル１０２では、書き込み電位が上記２種の電位（例えば、V_2またはV_3）に決定される。また、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータとが一致しないメモリセル１０２では、ベリファイ回路１１３から書き込み終了検知回路１０４にデータが入力され、書き込み電位が複数の電位のうちのさらに別の２種の電位（例えば、V_{j-1}またはV_j）に変更される。このようにして、書き込み電位が順次別の電位に変更され、書き込み、ベリファイが行われ、複数のメモリセルの書き込み電位が決定される。

【００５２】

ベリファイ回路１１３にて同一行のメモリセル１０２の全てのデータが、データバッファ１１２に保持された書き込みデータと一致すると、ベリファイ回路１１３から書き込み終了検知回路１０４にデータが入力され、書き込み動作が終了する。

【００５３】

上記において、メモリセル１０２を構成するトランジスタのしきい値電圧のばらつきなどに起因して、複数のメモリセル１０２それぞれを動作するために必要な電位（メモリセルのしきい値電圧ともいう）は、ばらつき（分布幅）を有する場合がある。

【００５４】

複数のメモリセル１０２のしきい値電圧がばらつき（分布幅）を有する場合に、複数のデータ”０”のメモリセル１０２にデータ”１”を書き込む手順の一例を図２（Ａ）～（Ｄ）、図３（Ａ）～（Ｄ）、図４（Ａ）、（Ｂ）に示す。なお、電位生成回路１０３で生成される複数の電位（V_0乃至V_j）（ｊは２以上の整数）のうち、電位V_0（例えば、接地電位）はデータ”０”を書き込む電位であり、電位V_1乃至V_jはデータ”１”を書き込む電位である。

【００５５】

図２（Ａ）は、メモリセル数Ｎを横軸にとり、メモリセル１０２のしきい値電圧Ｖｔｈを縦軸にとり、複数のメモリセル１０２のしきい値電圧Ｖｔｈの分布を示したグラフである。図２（Ａ）には、書き込み前（データ”０”）と書き込み後のしきい値電圧Ｖｔｈの分布を示している。矢印の前が書き込み前（データ”０”）のしきい値電圧Ｖｔｈの分布であり、矢印の後が書き込み後のしきい値電圧Ｖｔｈの分布である。また、書き込みに用

いた電位の大きさ（Ｖ＝Ｖ$_1$）を矢印の横に示している。

【００５６】

図２（Ａ）に示すように、電位生成回路１０３で生成される複数の電位（Ｖ$_0$乃至Ｖ$_j$）（ｊは２以上の整数）のうち一の電位（ここではＶ$_1$）を書き込み電位として用いて複数のメモリセル１０２に書き込み（書き込み－１とする）を行う。すると、書き込み前（データ”０”）のしきい値電圧Ｖｔｈの分布から書き込み後のしきい値電圧Ｖｔｈの分布に変化する。

【００５７】

次に、図２（Ｂ）に示すように、書き込み－１を行ったメモリセル１０２に書き込まれたデータを読み出し回路１１４で読み出し、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致するか否かをベリファイ（ベリファイ－１とする）する。

【００５８】

ベリファイ－１において、読み出し回路１１４で読み出されるデータは、メモリセル１０２のしきい値電圧ＶｔｈがＶａより上であればデータ”０”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂより下であればデータ”２”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂ以上Ｖａ以下であればデータ”１”となる。

【００５９】

つまり、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致する（ベリファイＯＫともいう）範囲は、図２（Ｂ）のＤ２で示す範囲となる。図２（Ｂ）のＤ２で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位として電位Ｖ$_1$を用いたときに、データ”１”を得ることができる。したがって、図２（Ｂ）のＤ２で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位が上記一の電位（Ｖ$_1$）に決定される。

【００６０】

また、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致しない（ベリファイＮＧともいう）範囲は、図２（Ｂ）のＤ１およびＤ３で示す範囲となる。この図２（Ｂ）のＤ１およびＤ３で示す範囲にある（即ち、ベリファイＮＧとなる）メモリセル１０２では、書き込み電位として電位Ｖ$_1$を用いたときに、データ”１”を得ることができず、データ”０” および、データ”２”が検出される。

【００６１】

図２（Ｂ）のＤ１およびＤ３で示す範囲にある（即ち、データ”０”および、データ”２”が検出され、ベリファイＮＧとなった）メモリセル１０２では、書き込み電位が電位生成回路１０３で生成される複数の電位のうちの別の２種の電位（ここでは、Ｖ$_2$またはＶ$_3$）に変更される。その後、再度書き込み、ベリファイが行われる。

【００６２】

図２（Ｃ）には、図２（Ｂ）のＤ１およびＤ３で示す範囲にあるメモリセル１０２について、書き込み電位が電位生成回路１０３で生成される複数の電位のうちの別の２種の電位Ｖ$_2$または電位Ｖ$_3$を書き込み電位として用いて書き込み（書き込み－２とする）を行うときの、しきい値電圧Ｖｔｈの分布を示している。なお、ここでは便宜上、図２（Ｂ）のＤ１およびＤ３で示す範囲にあるメモリセル１０２だけを抜き出して記載しているが、書き込み－２のステップで、同時に他のメモリセル１０２に書き込みを行ってもよい。即ち、書き込み－２のステップで、同時に、図２（Ｂ）のＤ２で示す範囲にあるメモリセル１０２に、電位Ｖ$_1$の書き込みを行ってもよい。

【００６３】

また、図２（Ｃ）では、便宜上、電位Ｖ$_2$およびＶ$_3$の書き込み前（データ”０”および、データ”２”）のしきい値電圧が、電位Ｖ$_1$の書き込み前（図２（Ａ）のデータ”０”）のしきい値電圧と同様の分布を有するように記載しているが、電位Ｖ$_2$およびＶ$_3$の

書き込み前（データ”０”および、データ”２”）のしきい値電圧が、電位V_1の書き込み後（図２（Ｂ）のデータ”０”および、データ”２”）のしきい値電圧と同様の分布を有していてもよい。

【００６４】

図２（Ｃ）に示すように、電位生成回路１０３で生成される複数の電位（V_0乃至V_j）（ｊは２以上の整数）のうち電位V_2およびV_3を書き込み電位として用いて書き込み（書き込み－２とする）を行うと、書き込み前（データ”０”および、データ”２”）のしきい値電圧Ｖｔｈの分布から書き込み後のしきい値電圧Ｖｔｈの分布に変化する。

【００６５】

次に、図２（Ｄ）に示すように、メモリセル１０２に書き込まれたデータを読み出し回路１１４で読み出し、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致するか否かをベリファイ（ベリファイ－２とする）する。ここでも便宜上、図２（Ｂ）のＤ１およびＤ３で示す範囲にあるメモリセル１０２だけを抜き出して記載している。

【００６６】

ベリファイ－２において、読み出し回路１１４で読み出されるデータは、メモリセル１０２のしきい値電圧ＶｔｈがＶａより上であればデータ”０”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂより下であればデータ”２”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂ以上Ｖａ以下であればデータ”１”となる。

【００６７】

つまり、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致する（ベリファイＯＫともいう）範囲は、図２（Ｄ）のＤ５で示す範囲となる。図２（Ｄ）のＤ５で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位として電位V_2または電位V_3を用いたときに、データ”１”を得ることができる。したがって、図２（Ｄ）のＤ５で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位が上記の２種の電位（V_2またはV_3）に決定される。

【００６８】

また、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致しない（ベリファイＮＧともいう）範囲は、図２（Ｄ）のＤ４およびＤ６で示す範囲となる。この図２（Ｄ）のＤ４およびＤ６で示す範囲にある（即ち、ベリファイＮＧとなる）メモリセル１０２では、書き込み電位として電位V_2または電位V_3を用いたときに、データ”１”を得ることができず、データ”０”およびデータ”２”が検出される。

【００６９】

図２（Ｄ）のＤ４およびＤ６で示す範囲にある（即ち、データ”０”および、データ”２”が検出され、ベリファイＮＧとなった）メモリセル１０２では、書き込み電位が電位生成回路１０３で生成される複数の電位のうちのさらに別の２種の電位（ここでは、V_4またはV_5）に変更される。その後、再度書き込み、ベリファイが行われる。

【００７０】

図３（Ａ）には、図２（Ｄ）のＤ４およびＤ６で示す範囲にあるメモリセル１０２について、書き込み電位が電位生成回路１０３で生成される複数の電位のうちのさらに別の２種の電位V_4または電位V_5を書き込み電位として用いて書き込み（書き込み－３とする）を行うときの、しきい値電圧Ｖｔｈの分布を示している。なお、ここでは便宜上、図２（Ｄ）のＤ４およびＤ６で示す範囲にあるメモリセル１０２だけを抜き出して記載しているが、書き込み－３のステップで、同時に他のメモリセル１０２に書き込みを行ってもよい。即ち、書き込み－３のステップで、同時に、図２（Ｂ）のＤ２で示す範囲にあるメモリセル１０２に電位V_1の書き込みを行い、図２（Ｄ）のＤ５で示す範囲にあるメモリセル１０２に電位V_2または電位V_3の書き込みを行ってもよい。

【００７１】

また、図３（Ａ）では、便宜上、電位$Ｖ_4$および$Ｖ_5$の書き込み前（データ”０”および、データ”２”）のしきい値電圧が、電位$Ｖ_1$の書き込み前（図２（Ａ）のデータ”０”）のしきい値電圧と同様の分布を有するように記載しているが、電位$Ｖ_4$および$Ｖ_5$の書き込み前（データ”０”および、データ”２”）のしきい値電圧が、電位$Ｖ_2$および$Ｖ_3$の書き込み後（図２（Ｄ）のデータ”０”およびデータ”２”）のしきい値電圧と同様の分布を有していてもよい。

【００７２】

図３（Ａ）に示すように、電位生成回路１０３で生成される複数の電位（$Ｖ_0$乃至$Ｖ_j$）（ｊは２以上の整数）のうち電位$Ｖ_4$および$Ｖ_5$を書き込み電位として用いて書き込み（書き込み－３とする）を行うと、書き込み前（データ”０”および、データ”２”）のしきい値電圧Ｖｔｈの分布から書き込み後のしきい値電圧Ｖｔｈの分布に変化する。

【００７３】

次に、図３（Ｂ）に示すように、メモリセル１０２に書き込まれたデータを読み出し回路１１４で読み出し、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致するか否かをベリファイ（ベリファイ－３とする）する。ここでも便宜上、図２（Ｄ）のＤ４およびＤ６で示す範囲にあるメモリセル１０２だけを抜き出して記載している。

【００７４】

ベリファイ－３において、読み出し回路１１４で読み出されるデータは、メモリセル１０２のしきい値電圧ＶｔｈがＶａより上であればデータ”０”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂより下であればデータ”２”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂ以上Ｖａ以下であればデータ”１”となる。

【００７５】

つまり、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致する（ベリファイＯＫともいう）範囲は、図３（Ｂ）のＤ８で示す範囲となる。図３（Ｂ）のＤ８で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位として電位$Ｖ_4$または電位$Ｖ_5$を用いたときに、データ”１”を得ることができる。したがって、図３（Ｂ）のＤ８で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位が上記さらに別の２種の電位（ここでは、$Ｖ_4$または$Ｖ_5$）に決定される。

【００７６】

また、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致しない（ベリファイＮＧともいう）範囲は、図３（Ｂ）のＤ７およびＤ９で示す範囲となる。この図３（Ｂ）のＤ７およびＤ９で示す範囲にある（即ち、ベリファイＮＧとなる）メモリセル１０２では、書き込み電位として電位$Ｖ_4$または電位$Ｖ_5$を用いたときに、データ”１”を得ることができず、データ”０”および、データ”２”が検出される。

【００７７】

図３（Ｂ）のＤ７およびＤ９で示す範囲にある（即ち、データ”０”および、データ”２”が検出され、ベリファイＮＧとなった）メモリセル１０２では、書き込み電位が電位生成回路１０３で生成される複数の電位のうちのさらに別の２種の電位（ここでは、$Ｖ_6$または$Ｖ_7$）に変更される。その後、再度書き込み、ベリファイが行われる。

【００７８】

図３（Ｃ）には、図３（Ｂ）のＤ７およびＤ９で示す範囲にあるメモリセル１０２について、書き込み電位が電位生成回路１０３で生成される複数の電位のうちのさらに別の２種の電位$Ｖ_6$または電位$Ｖ_7$を書き込み電位として用いて書き込み（書き込み－４とする）を行うときの、しきい値電圧Ｖｔｈの分布を示している。なお、ここでは便宜上、図３（Ｂ）のＤ７およびＤ９で示す範囲にあるメモリセル１０２だけを抜き出して記載しているが、書き込み－４のステップで、同時に他のメモリセル１０２に書き込みを行ってもよ

い。即ち、書き込み－４のステップで、同時に、図２（Ｂ）のＤ２で示す範囲にあるメモリセル１０２に電位$Ｖ_1$の書き込みを行い、図２（Ｄ）のＤ５で示す範囲にあるメモリセル１０２に電位$Ｖ_2$または$Ｖ_3$の書き込みを行い、図３（Ｂ）のＤ８で示す範囲にあるメモリセル１０２に電位$Ｖ_4$または$Ｖ_5$の書き込みを行ってもよい。

【００７９】

また、図３（Ｃ）では、便宜上、電位$Ｖ_6$および$Ｖ_7$の書き込み前（データ”０”および、データ”２”）のしきい値電圧が、電位$Ｖ_1$の書き込み前（図２（Ａ）のデータ”０”）のしきい値電圧と同様の分布を有するように記載しているが、電位$Ｖ_6$および$Ｖ_7$の書き込み前（データ”０”および、データ”２”）のしきい値電圧が、電位$Ｖ_4$および$Ｖ_5$の書き込み後（図２（Ｄ）のデータ”０”および、データ”２”）のしきい値電圧と同様の分布を有していてもよい。

【００８０】

図３（Ｃ）に示すように、電位生成回路１０３で生成される複数の電位（$Ｖ_0$乃至$Ｖ_j$）（ｊは２以上の整数）のうち電位$Ｖ_6$および$Ｖ_7$を書き込み電位として用いて書き込み（書き込み－４とする）を行うと、書き込み前（データ”０”および、データ”２”）のしきい値電圧Ｖｔｈの分布から書き込み後のしきい値電圧Ｖｔｈの分布に変化する。

【００８１】

次に、図３（Ｄ）に示すように、メモリセル１０２に書き込まれたデータを読み出し回路１１４で読み出し、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致するか否かをベリファイ（ベリファイ－４とする）する。ここでも便宜上、図３（Ｂ）のＤ７およびＤ９で示す範囲にあるメモリセル１０２だけを抜き出して記載している。

【００８２】

ベリファイ－４において、読み出し回路１１４で読み出されるデータは、メモリセル１０２のしきい値電圧ＶｔｈがＶａより上であればデータ”０”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂより下であればデータ”２”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂ以上Ｖａ以下であればデータ”１”となる。

【００８３】

つまり、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致する（ベリファイＯＫともいう）範囲は、図３（Ｄ）のＤ１１で示す範囲となる。図３（Ｄ）のＤ１１で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位として電位$Ｖ_6$または電位$Ｖ_7$を用いたときに、データ”１”を得ることができる。したがって、図３（Ｄ）のＤ１１で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位が上記の２種の電位（$Ｖ_6$または$Ｖ_7$）に決定される。

【００８４】

また、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致しない（ベリファイＮＧともいう）範囲は、図３（Ｄ）のＤ１０およびＤ１２で示す範囲となる。この図３（Ｄ）のＤ１０およびＤ１２で示す範囲にある（即ち、ベリファイＮＧとなる）メモリセル１０２では、書き込み電位として電位$Ｖ_6$または電位$Ｖ_7$を用いたときに、データ”１”を得ることができず、データ”０”およびデータ”２”が検出される。

【００８５】

図３（Ｄ）のＤ１０およびＤ１２で示す範囲にある（即ち、データ”０”および、データ”２”が検出され、ベリファイＮＧとなった）メモリセル１０２では、書き込み電位が電位生成回路１０３で生成される複数の電位のうちのさらに別の２種の電位（ここでは、$Ｖ_8$または$Ｖ_9$）に変更される。その後、再度書き込み、ベリファイが行われる。

【００８６】

図４（Ａ）には、図３（Ｄ）のＤ１０およびＤ１２で示す範囲にあるメモリセル１０２について、書き込み電位が電位生成回路１０３で生成される複数の電位のうちのさらに別

の２種の電位V_8または電位V_9を書き込み電位として用いて書き込み（書き込み－５）とする）を行うときの、しきい値電圧Ｖｔｈの分布を示している。なお、ここでは便宜上、図３（Ｄ）のＤ１０およびＤ１２で示す範囲にあるメモリセル１０２だけを抜き出して記載しているが、書き込み－５のステップで、同時に他のメモリセル１０２に書き込みを行ってもよい。即ち、書き込み－５のステップで、同時に、図２（Ｂ）のＤ２で示す範囲にあるメモリセル１０２に電位V_1で書き込みを行い、図２（Ｄ）のＤ５で示す範囲にあるメモリセル１０２に電位V_2または電位V_3で書き込みを行い、図３（Ｂ）のＤ８で示す範囲にあるメモリセル１０２に電位V_4または電位V_5の書き込みを行い、図３（Ｄ）のＤ１１で示す範囲にあるメモリセル１０２に電位V_6または電位V_7の書き込みを行ってもよい。

【００８７】

また、図４（Ａ）では、便宜上、電位V_8およびV_9の書き込み前（データ”０”および、データ”２”）のしきい値電圧が、電位V_4およびV_5の書き込み前（図３（Ａ）のデータ”０” および、データ”２”）のしきい値電圧と同様の分布を有するように記載しているが、電位V_8およびV_9の書き込み前（データ”０”および、データ”２”）のしきい値電圧が、電位V_6およびV_7の書き込み後（図３（Ｄ）のデータ”０”および、データ”２”）のしきい値電圧と同様の分布を有していてもよい。

【００８８】

図４（Ａ）に示すように、電位生成回路１０３で生成される複数の電位（V_0乃至V_j）（ｊは２以上の整数）のうち電位V_8および電位V_9を書き込み電位として用いて書き込み（書き込み－５とする）を行うと、書き込み前（データ”０”および、データ”２”）のしきい値電圧Ｖｔｈの分布から書き込み後のしきい値電圧Ｖｔｈの分布に変化する。

【００８９】

次に、図４（Ｂ）に示すように、メモリセル１０２に書き込まれたデータを読み出し回路１１４で読み出し、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（即ち、メモリセル１０２に書き込むデータ）とが一致するか否かをベリファイ（ベリファイ－５とする）する。ここでも便宜上、図３（Ｄ）のＤ１０およびＤ１２で示す範囲にあるメモリセル１０２だけを抜き出して記載している。

【００９０】

ベリファイ－５において、読み出し回路１１４で読み出されるデータは、メモリセル１０２のしきい値電圧ＶｔｈがＶａより上であればデータ”０”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂより下であればデータ”２”となり、メモリセル１０２のしきい値電圧ＶｔｈがＶｂ以上Ｖａ以下であればデータ”１”となる。

【００９１】

つまり、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持された書き込みデータ（すなわち、メモリセル１０２に書き込むデータ）とが一致する（ベリファイＯＫともいう）範囲は、図４（Ｂ）のＤ１３で示す範囲となる。図４（Ｂ）のＤ１３で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位として電位V_8または電位V_9を用いたときに、データ”１”を得ることができる。したがって、図４（Ｂ）のＤ１３で示す範囲にある（即ち、ベリファイＯＫとなる）メモリセル１０２では、書き込み電位が上記さらに別の２種の電位（ここでは、V_8またはV_9）に決定される。

【００９２】

ここでは、読み出し回路１１４で読み出されたデータと、データバッファ１１２に保持されたデータ（即ち、メモリセル１０２に書き込むデータ）とが全て一致する（ベリファイＯＫともいう）。その範囲は、図４（Ｂ）のＤ１３で示す範囲となる。この段階で、複数のメモリセル１０２の全ての書き込み電位（ここでは、V_1、V_2、V_3、V_4、V_5、V_6、V_7、V_8、V_9のいずれかの電位）が決定される。なお、図４（Ｂ）のＤ１３で示す範囲と図２（Ｂ）のＤ２で示す範囲とは一致している。

【００９３】

複数のメモリセル１０２全てでベリファイＯＫとなると、ベリファイ回路から書き込み終了検知回路へ信号が入力され、書き込み動作が終了する。または、所定の回数（例えば、ｊ回）、書き込み、ベリファイを行うことで、書き込み動作を終了させてもよい。書き込み動作が終了すると、例えば図５（Ａ）に示すように、書き込み前（データ”０”）のしきい値電圧Ｖｔｈのばらつき（分布幅）よりも書き込み後（データ”１”）のしきい値電圧Ｖｔｈのばらつき（分布幅）を小さくすることができる。その結果、動作電圧を低減することができる。

【００９４】

上記では、メモリセル１０２が有するデータが”０”、”１”および”２”の３値である例を説明したが、メモリセル１０２が有するデータが４値以上（多値）である場合にも上記構成を適用することができる。書き込み前のしきい値電圧Ｖｔｈのばらつき（分布幅）よりも書き込み後のしきい値電圧Ｖｔｈのばらつき（分布幅）を小さくすることができるので、メモリを多値化する場合にも有利である。例えば図５（Ｂ）に示すように、書き込み前（データ”０”）のしきい値電圧Ｖｔｈのばらつき（分布幅）よりも書き込み後（データ”１”、”２”、および”３”）のしきい値電圧Ｖｔｈのばらつき（分布幅）を小さくすることができる。その結果、動作電圧を増大させず、かつ、メモリセルの面積を増大させずに記憶容量を増大することができる。

【００９５】

書き込み後のしきい値電圧Ｖｔｈのばらつき（分布幅）は、同じデータを書き込む複数の電位のうち隣り合う電位間の電位幅程度に抑えることが可能となる。同じデータを書き込む複数の電位を狭い間隔で生成することで、書き込み後のメモリセルのしきい値電圧Ｖｔｈのばらつき（分布幅）を小さくすることが可能である。

【００９６】

図２、図３および図４に示したように、複数のメモリセル１０２のしきい値電圧は、ばらつき（分布幅）を有する場合、しきい値電圧が最小（Ｖｔｈ＿ｍｉｎ）であるメモリセルとしきい値電圧が最大（Ｖｔｈ＿ｍａｘ）であるメモリセルとでは、同じデータを書き込む場合であっても、書き込み電位として決定される電位が異なる場合がある。

【００９７】

例えば、しきい値電圧が最小（Ｖｔｈ＿ｍｉｎ）であるメモリセル１０２へデータ”１”を書き込む書き込み電位として決定される電位は、図４（Ａ）、（Ｂ）に示すように電位$Ｖ_{9}$となり、しきい値電圧が最大（Ｖｔｈ＿ｍａｘ）であるメモリセル１０２へデータ”１”を書き込む書き込み電位として決定される電位は、図４（Ａ）、（Ｂ）に示すように電位$Ｖ_{8}$となる。

【００９８】

ここで、しきい値電圧が最小（Ｖｔｈ＿ｍｉｎ）であるメモリセル１０２への書き込み電位として決定される電位（ここでは$Ｖ_{9}$）は、電位生成回路にて生成される複数の電位（$Ｖ_{0}$乃至$Ｖ_{j}$）（ｊは２以上の整数）のなかで、データ”１”を書き込む電位（即ち、$Ｖ_{1}$乃至$Ｖ_{j}$）（ｊは２以上の整数）のうち最小の電位またはそれ以上の大きさの電位であることが好ましい。また、しきい値電圧が最大（Ｖｔｈ＿ｍａｘ）であるメモリセル１０２への書き込み電位として決定される電位（ここでは$Ｖ_{8}$）は、電位生成回路にて生成される、データ”１”を書き込む複数の電位（$Ｖ_{1}$乃至$Ｖ_{j}$）（ｊは２以上の整数）のうち最大の電位またはそれ以下の大きさの電位であることが好ましい。

【００９９】

逆に言うと、電位生成回路にて生成される複数の電位のなかで、データ”１”を書き込む電位（即ち、$Ｖ_{1}$乃至$Ｖ_{j}$）（ｊは２以上の整数）のうち最小の電位は、しきい値電圧が最小（Ｖｔｈ＿ｍｉｎ）であるメモリセルへの書き込み電位として決定される電位（ここでは$Ｖ_{9}$）と同じまたはそれ以下の大きさであることが好ましい。また、電位生成回路にて生成されるデータ”１”を書き込む複数の電位のうち最大の電位は、しきい値電圧が最大（Ｖｔｈ＿ｍａｘ）であるメモリセルへの書き込み電位として決定される電位（ここでは$Ｖ_{8}$）と同じまたはそれ以上の大きさであることが好ましい。

【０１００】
上記において、複数のメモリセル１０２のそれぞれにおいて、酸化物半導体を用いたトランジスタ（図示せず）のソースまたはドレインの一方は、酸化物半導体以外の材料を用いたトランジスタ（図示せず）のゲートに電気的に接続されている構成とすることができる。
【０１０１】
上記において、書き込み回路１１１と複数のメモリセル１０２のそれぞれとを電気的に接続する第２の信号線１２２は、複数のメモリセル１０２がそれぞれ有する酸化物半導体を用いたトランジスタ（図示せず）のソースまたはドレインの他方に電気的に接続されている構成とすることができる。
【０１０２】
上記において、読み出し回路１１４と複数のメモリセル１０２のそれぞれとを電気的に接続する第３の信号線１２３は、複数のメモリセル１０２がそれぞれ有する酸化物半導体以外の材料を用いたトランジスタ（図示せず）のソースまたはドレインの一方に電気的に接続されている構成とすることができる。
【０１０３】
上記において、酸化物半導体以外の材料を用いたトランジスタ（図示せず）は、半導体材料を含む基板に設けられたチャネル形成領域を有することが好ましい。
【０１０４】
本実施の形態に係る半導体装置では、メモリセル１０２を構成するトランジスタのしきい値電圧にばらつきがあっても、書き込み後の複数のメモリセル１０２のしきい値電圧のばらつき（分布幅）を小さくすることができ、半導体装置の動作電圧を低減することができる。または、動作電圧を増大させずかつメモリセルの面積を増大させずに、メモリを多値化することができ、半導体装置の単位面積あたりの記憶容量を増大することができる。または、書き込み、保持、読み出し等の動作を確実に行える半導体装置を提供することができる。
【０１０５】
以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。
【０１０６】
（実施の形態２）
本実施の形態では、開示する発明の一態様に係る半導体装置の回路構成および動作について、図６乃至図１５を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、ＯＳの符号を併せて付す場合がある。
【０１０７】
（駆動回路の説明）
図６は半導体装置のブロック図である。
【０１０８】
駆動回路６０１は、データバッファ６１２、書き込み回路６１１、ベリファイ回路６１３、読み出し回路６１４で構成されており、データの書き込み、読み出し、ベリファイを行なう機能を有する。また、駆動回路６０１は各列に設けられている。
【０１０９】
電位生成回路６０３は、ｉ×ｊ（ｉは２以上の整数、ｊは３以上の奇数）本の書き込み電位供給線（図１の第１の信号線１２１に相当する）に電気的に接続しており、それぞれの書込み電位供給線Ｖ（１，１）～（ｉ，ｊ）が駆動回路６０１の書き込み回路６１１（１）～（ｎ）に電気的に接続され、複数の書き込み電位を書き込み回路６１１（１）～（ｎ）に供給する。なお、ｉはメモリセル６０２に格納することができるデータ（値）の数であり、（ｊ＋１）／２はベリファイを実施する最大の数となる。また、ｎは列の数であり、１以上の整数となる。
【０１１０】

メモリセル６０２は、ｍ行×ｎ列で構成されており、各行ごとに駆動回路６０１とビット線ＢＬ（１）～（ｎ）（図１の第２の信号線１２２または第３の信号線１２３に相当する）を介して電気的に接続されている。メモリセル６０２は、書き込みが実行された場合にビット線ＢＬ（１）～（ｎ）に供給された電位を記憶し、読み出しが実行されたときに記憶しているデータをビット線ＢＬ（１）～（ｎ）に出力する。なお、図６では、書き込み用の信号線と読み出し用の信号線とをビット線ＢＬ（１）～（ｎ）で兼用する例を示したが、書き込み用の信号線と読み出し用の信号線とを別々に設けてもよい。なお、ｍは行の数であり、１以上の整数となる。

【０１１１】

書き込み終了検知回路６０４は、ｎ本のベリファイ信号線（図１の第４の信号線１２４に相当する）に電気的に接続しており、それぞれのベリファイ信号線ＶＥ（１，３）～（ｎ，３）が駆動回路６０１のベリファイ回路６１３（１）～（ｎ）に電気的に接続され、ベリファイ回路６１３（１）～（ｎ）において、ベリファイした結果に基づく信号が書き込み終了検知回路６０４に供給される。

【０１１２】

データバッファ６１２（１）～（ｎ）は、書き込み回路６１１（１）～（ｎ）、ベリファイ回路６１３（１）～（ｎ）、読み出し回路６１４（１）～（ｎ）にそれぞれ電気的に接続されている。また、データバッファ６１２（１）～（ｎ）は、データ入出力線Ｉ／Ｏ（１）～（ｋ）（ｋは２以上の整数）、アドレス選択信号線ＣＡ（１）～（ｎ）、書き込みデータ転送信号線ＴＷ、読み出しデータ転送信号線ＴＲにそれぞれ電気的に接続されている。データバッファ６１２（１）～（ｎ）は、書き込みを行なう場合にアドレス選択信号線ＣＡ（１）～（ｎ）によって選択されたデータバッファ６１２とデータ入出力線Ｉ／Ｏ（１）～（ｋ）を電気的に接続することで、データ入出力線Ｉ／Ｏ（１）～（ｋ）から入力されたデータをデータバッファ６１２（１）～（ｎ）のいずれかに保持する。そして、書き込みデータ転送信号線ＴＷから書き込みデータ転送信号が入力されると、データバッファ６１２（１）～（ｎ）に保持していたデータを書き込み回路６１１（１）～（ｎ）およびベリファイ回路６１３（１）～（ｎ）に出力する。また、読み出しを行なう場合に読み出しデータ転送信号線ＴＲより読み出しデータ転送信号が入力されると、読み出し回路６１４（１）～（ｎ）から出力されたデータがデータバッファ６１２（１）～（ｎ）に保持される。そして、アドレス選択信号線ＣＡ（１）～（ｎ）によって選択されたデータバッファ６１２（１）～（ｎ）のいずれかがデータ入出力線Ｉ／Ｏ（１）～（ｋ）と電気的に接続され、データバッファ６１２（１）～（ｎ）に保持されているデータがデータ入出力線Ｉ／Ｏ（１）～（ｋ）に出力される。なお、ｋは書き込みデータの情報量を示す１以上の整数で、１つのメモリセルに４値までのデータを格納できる場合をｋ＝２、１つのメモリセルに８値までのデータを格納できる場合をｋ＝３とすることができる。

【０１１３】

書き込み回路６１１（１）～（ｎ）は、書き込み電位供給線Ｖ（１，１）～（ｉ，ｊ）を介して電位生成回路６０３に電気的に接続されている。また、書き込み回路６１１（１）～（ｎ）は、データバッファ６１２（１）～（ｎ）、ベリファイ回路６１３（１）～（ｎ）、メモリセル６０２（１，１）～（ｍ，ｎ）にそれぞれ電気的に接続されている。また、書き込み回路６１１（１）～（ｎ）には、信号線ＳＰ、信号線ＲＳＴ、書き込み信号線ＷＲＩＴＥが電気的に接続されている。書き込み回路６１１（１）～（ｎ）は、データバッファ６１２から入力されたデータとベリファイ回路６１３から入力された信号ＶＥ（１，１）～（ｎ，１）、および信号ＶＥ（１，２）～（ｎ、２）に応じて書き込み電位供給線（１，１）～（ｉ，ｊ）の１本を選択してビット線ＢＬ（１）～（ｎ）と電気的に接続する。

【０１１４】

ベリファイ回路６１３（１）～（ｎ）は、書き込み回路６１１（１）～（ｎ）、データバッファ６１２（１）～（ｎ）、読み出し回路６１４（１）～（ｎ）にそれぞれ電気的に接続されている。また、ベリファイ回路６１３（１）～（ｎ）は、ベリファイ出力信号線

ＴＶＥに電気的に接続される。ベリファイ回路６１３（１）～（ｎ）は、データバッファ６１２（１）～（ｎ）から入力される書き込みデータと読み出し回路６１４（１）～（ｎ）から入力される読み出しデータを比較する。また、ベリファイ出力信号線ＴＶＥにベリファイ出力信号が入力されるとデータを比較した結果を書き込み回路６１１（１）～（ｎ）、および書き込み終了検知回路６０４に出力する。

【０１１５】

読み出し回路６１４（１）～（ｎ）は、データバッファ６１２（１）～（ｎ）、ベリファイ回路６１３（１）～（ｎ）、メモリセル６０２（１，１）～（ｍ，ｎ）に電気的に接続されている。また、読み出し回路６１４（１）～（ｎ）には、信号線ＰＲＥ、信号線ＴＲＤ、信号線ＰＵＬＳＥ、信号線ＲＳＴ２、読み出し信号線ＲＥＡＤが電気的に接続されている。読み出し回路６１４（１）～（ｎ）は、読み出し信号線ＲＥＡＤから読み出し信号が入力されると、メモリセル６０２（１，１）～（ｍ，ｎ）のいずれか１行分のデータを読み出す。また、信号線ＴＲＤにパルスが入力されると、読み出したデータをデータバッファ６１２（１）～（ｎ）、ベリファイ回路６１３（１）～（ｎ）にそれぞれ出力する。

【０１１６】

デコーダ６０５は、アドレス信号線ＣＡｄｄｒ及び、駆動回路６０１のデータバッファ６１２（１）～（ｎ）に電気的に接続されており、アドレス信号ＣＡｄｄｒに応じてデータの書き込み、読み出しを行なう駆動回路６０１を選択する。

【０１１７】

データバッファ６１２、電位生成回路６０３、書き込み回路６１１、メモリセル６０２、読み出し回路６１４、ベリファイ回路６１３、書き込み終了検知回路６０４、の具体的な回路や動作については以下に説明する。

【０１１８】

（データバッファの説明）

図７は、図６のデータバッファ６１２の回路の一例を示している。データ入出力線Ｉ／Ｏ（１）～（ｋ）は、それぞれトランジスタ７０２の各ドレイン電極と電気的に接続され、アドレス選択信号線ＣＡ（ｘ）（ｘは１以上ｎ以下の整数）は、トランジスタ７０２のゲート電極と電気的に接続され、トランジスタ７０２の各ソース電極はラッチ回路ＬＡＴ７０１（ｘ，１）～（ｘ，ｋ）の一端とそれぞれが電気的に接続されている。また、ラッチ回路ＬＡＴ７０１（ｘ，１）～（ｘ，ｋ）のもう一端はトランジスタ７０３及び７０４の各ドレイン電極にそれぞれ電気的に接続され、トランジスタ７０３の各ゲート電極は書き込みデータ転送信号線ＴＷと電気的に接続され、トランジスタ７０３の各ソース電極は信号線ＷＤＡ（ｘ，１）～（ｘ，ｋ）と電気的に接続され、トランジスタ７０４の各ゲート電極は読み出しデータ転送信号線ＴＲと電気的に接続され、トランジスタ７０４の各ソース電極は信号線ＲＤＡ（ｘ，１）～（ｘ，ｋ）と電気的に接続される。

【０１１９】

次に、データバッファ６１２の書き込みデータの入力動作について説明する。まず、データ入出力線Ｉ／Ｏ（１）～（ｋ）より任意の書き込みデータが順次送られる。そのタイミングと同期してアドレス選択信号線ＣＡ（ｘ）に高電位ＶＨ（例えば５Ｖ）が印加されトランジスタ７０２がオン状態となり、ラッチ回路ＬＡＴ７０１（ｘ，１）～（ｘ，ｋ）にデータ入出力線Ｉ／Ｏ（１）～（ｋ）の情報が保持される。その後、高電位ＶＨが印加されていたアドレス選択信号線ＣＡ（ｘ）は低電位ＶＬ（例えば０Ｖ）が印加され、トランジスタ７０２はオフ状態となる。前記の手順で１～ｎ列全てのラッチ回路ＬＡＴ７０１にデータを保持、または書き込みに必要な列のラッチ回路ＬＡＴ７０１にデータを保持する。次に、書き込みデータ転送信号線ＴＷに高電位ＶＨが印加されてトランジスタ７０３がオン状態となり、ラッチ回路ＬＡＴ７０１（１，１）～（ｎ，ｋ）に保持されていた任意のデータが、信号線ＷＤＡ（１，１）～（ｎ，ｋ）に伝達される。

【０１２０】

（電位生成回路の説明）

図８は図６の電位生成回路６０３の一例を示している。電位生成回路６０３は、メモリセル６０２のビット線ＢＬ（ｎ）に印加するための電位を生成する機能を有する。

【０１２１】

はじめに電位生成回路６０３の構成について、図８を参照して説明する。電位生成回路６０３は、電源電位Ｖｄｄ（例えば５Ｖ）と抵抗８０１の一方と電気的に接続され、抵抗８０１の他方と抵抗８１１の一方は電気的に接続され、抵抗８１１の他方と抵抗８２１の一方は電気的に接続され、抵抗８２１の他方は接地され（または低電位が与えられ）、各抵抗間にボルテージフォロア８０２、８１２の入力端が電気的に接続される。また、ボルテージフォロア８０２及び８１２の出力端と接地電位（または低電位）の間には、抵抗８０３、８０５および８１３、８１５が電気的に接続され、ボルテージフォロア８０２及び８１２の出力端、および各抵抗８０３、８０５及び８１３、８１５の間には、ボルテージフォロア８０４、８０６、および８１４、８１６が電気的に接続され、ボルテージフォロア８０４、８０６、および８１４、８１６の出力端は、書き込み電位供給線Ｖ（１，１）～（ｉ，ｊ）に電気的に接続される。

【０１２２】

次に、電位生成回路６０３の動作について説明する。電源電位Ｖｄｄが供給されるとボルテージフォロア８０２、８１２の入力端には、抵抗８０１、８１１、８２１の総和に対して電源電位Ｖｄｄからそれぞれのボルテージフォロアまでに電気的に接続されている抵抗の比が電圧降下して入力される。そして、ボルテージフォロア８０２および８１２の出力電位もボルテージフォロア８０２および８１２の入力電位と同一の電位となる。ボルテージフォロア８０２および８１２の出力電位は、それぞれボルテージフォロア８０４、および８１４に入力され、ボルテージフォロア８０４、および８１４の出力電位はそれぞれ、ボルテージフォロア８０４、および８１４の入力電位と等しい電位がＶ（１，ｊ）およびＶ（ｉ，ｊ）として書き込み電位供給線に出力される。一方、ボルテージフォロア８０２および８１２の出力端と接地電位（または低電位）の間には抵抗８０３、８０５および８１３、８１５が電気的に直列接続され、抵抗８０３と抵抗８０５の間にはボルテージフォロア８０６の入力端が電気的に接続されている。そのため、ボルテージフォロア８０６の入力電位は、抵抗８０３、８０５の総和に対してボルテージフォロア８０２の出力端からボルテージフォロア８０６までに電気的に接続されている抵抗の比だけボルテージフォロア８０２の出力電位から電圧降下した電位が入力される。そして、ボルテージフォロア８０６の出力端にはボルテージフォロア８０６の入力電位と等しい電位がＶ（ｉ，１）として書き込み電位供給線に出力される。同様の構成で、ボルテージフォロア８１６の出力端にもボルテージフォロア８１６の入力電位と等しい電位がＶ（１，１）として書き込み電位供給線に出力される。

【０１２３】

なお、データ”０”（メモリセル６０２に書き込む電位が０Ｖ）を書き込む場合にのみ書き込み電位供給線を１本とすることで、電位生成回路６０３が有する書き込み電位供給線の数を（ｉ－１）×ｊ＋１本とすることができる。これにより、書き込み電位供給線の数が減少するため、配線を減らせる分、メモリセル６０２の占有面積を大きくすることができる。また、データ”ｉ”（メモリセル６０２に書き込む電位が最大）を書き込む場合にのみ書き込み電位供給線を１本とすることで、前記と同様の効果を得ることができる。さらに、データ”０”とデータ”ｉ”を書き込む場合に書き込み電位供給線を１本とすることで、電位生成回路６０３が有する書き込み電位供給線の数を（ｉ－２）×ｊ＋２本とすることもでき、配線を減らせる分、メモリセル６０２の占有面積をより大きくすることができる。

【０１２４】

電位生成回路６０３は図８の回路以外でも公知の回路を用いることで、複数の異なる電位供給線を有する回路を作ることができる。そのため、図８の回路に限定されることはない。

【０１２５】

（書き込み回路の説明）
図９は、図６の書き込み回路６１１の一例を示している。書き込み回路６１１は複数の書き込み電位供給線のうち１本をビット線と電気的に接続し、ビット線に書き込み電位を供給する機能を有する。
【０１２６】
図６に示すデータバッファ６１２と電気的に接続される信号線ＷＤＡ（ｘ，１）～（ｘ，ｋ）は、デコーダ９０１（ｘ）の入力端と電気的に接続され、デコーダ９０１（ｘ）の各出力端は、トランジスタ９０２の各ソース電極と電気的に接続され、トランジスタ９０２および９０３の各ゲート電極は、インバータ９０４の出力端と電気的に接続される。インバータの入力端は、信号線ＳＰと電気的に接続され、トランジスタ９０２および９０３の各ドレイン電極はシフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）のいずれか２つに電気的に接続され、信号線ＲＳＴおよび信号線ＶＥ（ｘ，１）およびＶＥ（ｘ，２）は、シフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）とそれぞれ電気的に接続される。また、シフトレジスタ９０５（ｘ，１，１）の各出力端はトランジスタ９０６の各ドレイン電極とそれぞれ電気的に接続され、シフトレジスタ９０５（ｘ，１，１）の第１の出力端はトランジスタ９０７の各ゲート電極と電気的に接続される。さらに、シフトレジスタ９０５（ｘ，１，２）の各出力端はトランジスタ９０７の各ドレイン電極とそれぞれ電気的に接続され、シフトレジスタ９０５（ｘ，１，２）の第１の出力端はトランジスタ９０６の各ゲート電極と電気的に接続される。上記と同様に、シフトレジスタ９０５（ｘ，ｉ，１）の各出力端はトランジスタ９０８の各ドレイン電極とそれぞれ電気的に接続され、シフトレジスタ９０５（ｘ，ｉ，１）の第１の出力端はトランジスタ９０９の各ゲート電極と電気的に接続される。また、シフトレジスタ９０９（ｘ，ｉ，２）の各出力端はトランジスタ９０９の各ドレイン電極とそれぞれ電気的に接続され、シフトレジスタ９０５（ｘ，ｉ，２）の第１の出力端はトランジスタ９０８の各ゲート電極と電気的に接続される。各トランジスタ９０６、９０７、９０８、９０９のソース電極はそれぞれトランジスタ９１０、９１１、９１２、９１３、９１４、９１５のゲート電極にそれぞれ電気的に接続され、トランジスタ９１０、９１１、９１２、９１３、９１４、９１５のドレイン電極は、書き込み電位供給線Ｖ（１，１）～（ｉ，ｊ）とそれぞれ電気的に接続され、トランジスタ９１０、９１１、９１２、９１３、９１４、９１５のソース電極は、トランジスタ９１６のドレイン電極に電気的に接続され、トランジスタ９１６のゲート電極は書き込み信号線ＷＲＩＴＥと電気的に接続され、トランジスタ９１６のソース電極はビット線ＢＬ（ｘ）と電気的に接続される。
【０１２７】
次に、書き込み回路６１１の動作について説明する。はじめに信号線ＳＰの出力は低電位ＶＬが印加されており、トランジスタ９０２はオフ状態となり、トランジスタ９０３がオン状態となる。そのため、シフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）のスタートパルスには接地電位が入力されている。そして、信号線ＲＳＴに高電位ＶＨが印加され、シフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）がリセット状態となり、シフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）はすべて低電位ＶＬが出力される。そのため、トランジスタ９０６、９０７、９０８、９０９はすべてオフ状態となり、トランジスタ９１０、９１１、９１２、９１３、９１４、９１５もすべてオフ状態となる。その後、信号線ＲＳＴに低電位ＶＬが印加され、シフトレジスタ９０５のリセット動作が終了する。
【０１２８】
シフトレジスタ９０５のリセット動作と同時に、書き込みデータ転送信号線ＴＷに高電位ＶＨが印加され、データバッファ６１２より出力される書き込みデータが信号線ＷＤＡ（ｘ，１）～（ｘ，ｋ）を通してデコーダ９０１（ｘ）に入力される。デコーダ９０１は書き込みデータをデコードしてデコードした結果に相当する電位（例えばデータ”１”なら高電位ＶＨ、データ”０”なら低電位ＶＬ）をトランジスタ９０２の各ドレイン電極に出力する。

【０１２９】
信号線ＲＳＴに低電位ＶＬが印加され、シフトレジスタ９０５のリセット動作が終了すると同時に信号線ＳＰに高電位ＶＨが印加されて、トランジスタ９０３がオフ状態となり、トランジスタ９０２がオン状態となる。そして、デコーダ９０１の出力結果がシフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）に入力される。なお、シフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）のうちシフトレジスタ９０５（ｘ，ｙ，１）（ｙは１以上とｉ以下の整数）とシフトレジスタ９０５（ｘ，ｙ，２）の２つのシフトレジスタには高電位ＶＨ、それ以外のシフトレジスタには低電位ＶＬが入力される。シフトレジスタ９０５にデコーダ９０１の出力結果が入力されると、高電位ＶＨが入力されたシフトレジスタ９０５のみ動作する。シフトレジスタ９０５が動作すると、第１の出力端に電気的に接続された信号線に高電位ＶＨが印加され、第１の出力端以外の出力端に電気的に接続された信号線には低電位ＶＬが印加される。シフトレジスタ９０５の第１の出力端に電気的に接続された信号線に高電位ＶＨが印加されると、シフトレジスタ９０５の第１の出力端と電気的に接続されている各トランジスタのゲート電極にも高電位が印加される。そして、シフトレジスタ９０５の第１の出力端と電気的に接続されている各トランジスタはすべてオン状態となる。しかし、シフトレジスタ９０５の出力端に高電位が印加されているのは第１の出力端に電気的に接続された信号線のみのため、トランジスタ９１０、９１１、９１２、９１３、９１４、９１５のうちＶ（ｙ，（ｊ＋１）／２）の書き込み電位供給線とドレイン電極が電気的に接続されるトランジスタのゲート電極にのみ高電位が印加され、そのトランジスタのみオン状態となる。そして、信号線ＷＢＬ（ｘ）には、オン状態となったトランジスタのドレイン電極と電気的に接続されている書き込み電位供給線Ｖ（ｙ，（ｊ＋１）／２）の電位が供給される。

【０１３０】
信号線ＷＢＬ（ｘ）に書き込み電位が供給された後、信号線ＳＰに低電位ＶＬが印加されてデコーダ９０１の出力端とシフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）の入力端は絶縁状態（非導通状態ともいう）となる。一方でトランジスタ９０３がオン状態となるためシフトレジスタ９０５には接地電位が入力されるが、シフトレジスタ９０５の出力は動作開始時の状態を維持する。また、信号線ＳＰに低電位ＶＬが印加されるタイミングに同期して、書き込み信号線ＷＲＩＴＥに高電位ＶＨが印加されトランジスタ９１６がオン状態となり、ビット線ＢＬ（ｘ）には、信号線ＷＢＬ（ｘ）の電位が供給され、メモリセル６０２に書き込みが行なわれる。書き込みが終了すると、書き込み信号線ＷＲＩＴＥの電位はＶＬとなりトランジスタ９１６がオフ状態となり、ビット線ＢＬ（ｘ）は電気的にフローティングの状態（浮遊状態ともいう）となる。

【０１３１】
ビット線ＢＬ（ｘ）はフローティングの状態となると、第１のベリファイ読み出しが行なわれる（ベリファイ読み出しを行うことをベリファイするともいう）。ベリファイ読み出しの結果、メモリセル６０２に書き込むデータ（即ち、データバッファ６１２に保持されたデータ）とベリファイ読み出ししたデータとが一致する場合、信号線ＶＥ（ｘ，１）およびＶＥ（ｘ，２）は低電位ＶＬの状態を維持して、シフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，２）の出力の電位も維持され、信号線ＷＢＬ（ｘ）の電位も書き込み電位Ｖ（ｙ，（ｊ＋１）／２）に維持される。このように、信号線ＷＢＬ（ｘ）の電位が電位Ｖ（ｙ，（ｊ＋１）／２）に維持されることを、書き込み電位が電位Ｖ（ｙ，（ｊ＋１）／２）に決定される、または書き込み電位として電位Ｖ（ｙ，（ｊ＋１）／２）を採用するともいう。

【０１３２】
一方、メモリセル６０２に書き込むデータ（即ち、データバッファに保持されたデータ）とベリファイ読み出ししたデータとが一致しない場合、信号線ＶＥ（ｘ，１）およびＶＥ（ｘ，２）のいずれかに高電位ＶＨが印加される。

【０１３３】
信号線ＶＥ（ｘ，１）に高電位が印加された場合、書き込みデータに対して読み出しデ

ータが大きいと判定されたこと（例えば、データ”１”を書き込んだがデータ”２”が読み出されたこと）になる。シフトレジスタ９０５（ｘ，１，１）～（ｘ，ｉ，１）は、信号線ＶＥ（ｘ，１）に高電位ＶＨが入力されると第１の出力端に電気的に接続された信号線に高電位ＶＨを出力しているシフトレジスタ９０５のみ、別の出力端に電気的に接続された信号線、例えば第２の出力端に電気的に接続された信号線に高電位ＶＨを出力する。そして、出力が遷移したシフトレジスタ９０５の第１の出力端がゲート電極に電気的に接続されるトランジスタは全てオフ状態となり、出力が遷移したシフトレジスタ９０５の出力端がドレイン電極に電気的に接続されるトランジスタのドレイン電極に印加される電位も遷移する。また、シフトレジスタ９０５の第２の出力端の電位が遷移することでトランジスタ９１０、９１１、９１２、９１３、９１４、９１５のうち書き込み電位供給線Ｖ（ｙ，（（ｊ＋１）／２）－１）に接続されるトランジスタのみオン状態となる。そして、信号線ＷＢＬ（ｘ）に印加される電位はＶ（ｙ，（ｊ＋１）／２）から（ｙ，（（ｊ＋１）／２）－１）に減少する。

【０１３４】

信号線ＶＥ（ｘ，２）に高電位が印加された場合、書き込みデータに対して読み出しデータが小さいと判定されたこと（例えば、データ”１”を書き込んだがデータ”０”が読み出されたこと）になる。シフトレジスタ９０５（ｘ，１，２）～（ｘ，ｉ，２）は、信号線ＶＥ（ｘ，２）に高電位ＶＨが入力されると第１の出力端に電気的に接続された信号線に高電位ＶＨを出力しているシフトレジスタ９０５のみ、別の出力端に電気的に接続された信号線、例えば第２の出力端に電気的に接続された信号線に高電位ＶＨを出力する。そして、出力が遷移したシフトレジスタ９０５の第１の出力端がゲート電極に電気的に接続されるトランジスタは全てオフ状態となり、出力が遷移したシフトレジスタ９０５の第２の出力端がドレイン電極に電気的に接続されるトランジスタのドレイン電極に印加される電位も遷移する。また、シフトレジスタ９０５の第２の出力端の電位が遷移することでトランジスタ９１０、９１１、９１２、９１３、９１４、９１５のうち書き込み電位供給線Ｖ（ｙ，（（ｊ＋１）／２）＋１）に接続されるトランジスタのみオン状態となる。そして、信号線ＷＢＬ（ｘ）に印加される電位はＶ（ｙ，（ｊ＋１）／２）から（ｙ，（（ｊ＋１）／２）＋１）に増大する。

【０１３５】

その後、信号線ＶＥ（ｘ，１）またはＶＥ（ｘ，２）の電位は低電位ＶＬとなるが、シフトレジスタ９０５の出力は変わらず維持される。書き込み信号線ＷＲＩＴＥに高電位ＶＨが印加されトランジスタ９１６がオン状態となり、ビット線ＢＬ（ｘ）には、信号線ＷＢＬ（ｘ）の電位が供給され、メモリセル６０２に再度書き込みが行なわれる。

【０１３６】

データの書込みは、１行分のメモリセルまたは、１行中の書き込みを必要とする数のメモリセルの書き込みデータと読み出しデータが一致するまで繰り返される。

【０１３７】

上述の書き込み、ベリファイ読み出しをそれぞれ最大（ｊ＋１）／２回繰り返し、書き込むデータとベリファイ読み出しした結果が一致するまでビット線ＢＬ（ｘ）に印加する電位の変更を繰り返し行うことで、書き込み電位を決定することができ、メモリセル６０２のしきい値ばらつきを小さくすることができる。また、書き込みデータに対して読み出しデータが大きい、および小さいという２つの水準のベリファイを同時に行なうことで、従来のベリファイに比べて、ベリファイの回数が半分に減り、書き込み時間を短縮することができる。さらに、書き込み電圧を各データの書き込み電圧の中央値付近とすることで、メモリセルのしきい値分布幅が小さい場合にはさらに書き込み処理を早く終了させることができる。

【０１３８】

（メモリセルの説明）

図１０は、図６のメモリセル６０２（１，１）～（ｍ，ｎ）を示している。

【０１３９】

はじめに、メモリセル６０２の構成について説明する。メモリセル６０２（１，１）は、ビット線ＢＬ（１）とトランジスタ１００１のドレイン電極が電気的に接続され、トランジスタ１００１のゲート電極とワード線ＷＬ＿ＯＳ（１）が電気的に接続され、トランジスタ１００１のソース電極とトランジスタ１００３のゲート電極は、容量素子１００４の電極の一方と電気的に接続され、容量素子１００４の電極の他方はワード線ＷＬ（１）に接続される。また、ビット線ＢＬ（１）とトランジスタ１００３のドレイン電極が電気的に接続され、トランジスタ１００３のソース電極と信号線ＶＳＬが電気的に接続されて、１つのメモリセル６０２が構成される。

【０１４０】

次に書き込み動作について説明する。メモリセル６０２にデータが書き込まれるときは、書き込み信号線ＷＲＩＴＥの電位が高電位ＶＨまで上昇し、ビット線ＢＬ（１）～（ｎ）には書き込み電位が印加される。書き込み信号線ＷＲＩＴＥの電位が高電位ＶＨに上昇すると同時に、ワード線ＷＬ（１）～（ｍ）のうち書き込み対象となる１行のワード線の電位も高電位ＶＨから低電位ＶＬに減少にする。その後、ワード線ＷＬ＿ＯＳ（１）～（ｍ）のうち書き込み対象となる１行のワード線の電位も高電位ＶＨまで上昇する。例えば、ワード線ＷＬ＿ＯＳ（１）の電位が高電位ＶＨまで上昇すると、ＯＳトランジスタ１００１のゲート電極及びワード線ＷＬ＿ＯＳ（１）と電気的に接続される１行目の全てのＯＳトランジスタのゲート電極に高電位ＶＨが印加され、各ＯＳトランジスタがオン状態となる。そして、メモリセル６０２のフローティングノード１００２は、ビット線ＢＬ（１）に印加された書き込み電位と同等の電位となる電荷が蓄えられる。そして、ワード線ＷＬ＿ＯＳ（１）とトランジスタのゲート電極が電気的に接続される１行目のＯＳトランジスタ全てがオフ状態となる。その後、ワード線ＷＬ（１）に印加される電位が低電位ＶＬから高電位ＶＨに上昇し、同時に信号線ＷＲＩＴＥの電位も高電位ＶＨから低電位ＶＬに減少する。トランジスタ１００１は、オフ電流が極めて小さいという特徴を有しているため、フローティングノード１００２に蓄えられた電荷の保持が容易になり、また保持された情報の読み出しが容易になる。

【０１４１】

また、信号線ＶＳＬには、読み出しおよびベリファイ読み出しの動作時に高電位ＶＲ（例えば３Ｖなど）が供給され、読み出しとベリファイ読み出し以外の動作時に低電位ＶＬが供給される。

【０１４２】

（読み出し回路の説明）

図１１は、図６の読み出し回路６１４の一例を示している。読み出し回路６１４はメモリセル６０２に書き込まれた情報を読み出す機能を有する

【０１４３】

読み出し回路６１４においてトランジスタ１１０１のソース電極には、低電位ＶＢＬが印加され、トランジスタ１１０１のゲート電極は、信号線ＰＲＥと電気的に接続され、トランジスタ１１０１のドレイン電極とトランジスタ１１０２のソース電極は、インバータの入力端と電気的に接続され、前記インバータの出力端はトランジスタ１１０３の各ゲート電極と電気的に接続される。また、トランジスタ１１０２のゲート電極は、読み出し信号線ＲＥＡＤと電気的に接続され、トランジスタ１１０２のドレイン電極は、ビット線ＢＬ（ｘ）と電気的に接続される。そして、トランジスタ１１０３の各ドレイン電極は信号線Ｃ（ｘ，１）～（ｘ，ｋ）と電気的に接続され、信号線Ｃ（ｘ，１）～（ｘ，ｋ）はカウンタ１１１１（ｘ）の出力端と電気的に接続され、カウンタ１１１１（ｘ）の入力端は、信号線ＰＵＬＳＥ及び信号線ＲＳＴ２がそれぞれ電気的に接続される。さらに、トランジスタ１１０３の各ソース電極は、ラッチ回路１１１２（ｘ，１）～（ｘ，ｋ）の各入力端とそれぞれ対となって電気的に接続され、ラッチ回路１１１２（ｘ，１）～（ｘ，ｋ）の各出力端は、トランジスタ１１０４の各ドレイン電極とそれぞれ対となって電気的に接続され、トランジスタ１１０４の各ゲート電極は、信号線ＴＲＤとそれぞれ電気的に接続され、トランジスタ１１０４の各ソース電極とトランジスタ１１０５の各ドレイン電極は

、信号線ＲＤＡ（ｘ，１）～（ｘ，ｋ）とそれぞれ対となって電気的に接続され、トランジスタ１１０５の各ゲート電極は信号線／ＴＲＤとそれぞれ電気的に接続され、トランジスタ１１０５の各ソース電極は接地される（または低電位が与えられる）。

【０１４４】

次に、読み出し回路６１４の動作について、図１１を参照して説明する。読み出しまたはベリファイ読み出しが行なわれると、信号線ＰＲＥが高電位ＶＨとなりトランジスタ１１０１がオン状態となり、次に読み出し信号線ＲＥＡＤが高電位ＶＨとなって１１０２がオン状態となる。そして、ビット線ＢＬ（ｘ）は低電位ＶＢＬと等しくなる。このとき、トランジスタ１１０３のゲート電極には高電位ＶＨが印加され、トランジスタ１１０３はオン状態となる。読み出し信号線ＲＥＡＤが高電位ＶＨになると同時に、信号線ＲＳＴ２にもパルスが印加され、カウンタ１１１１（ｘ）はリセット状態となり、信号線Ｃ（ｘ，１）～Ｃ（ｘ，ｋ）はそれぞれ低電位ＶＬが出力される。信号線ＲＳＴ２が低電位ＶＬになると同時に信号線ＰＲＥも低電位となり、ビット線ＢＬ（ｘ）はフローティング状態となる。

【０１４５】

ビット線ＢＬ（ｘ）がフローティング状態になった後、図１０のメモリセルのワード線ＷＬ（ｚ）（ｚは１以上ｍ以下の整数）の電位は段階的に減少する。ワード線ＷＬ（ｚ）の電位が減少すると、フローティングノード１００２に書き込まれていたデータによってトランジスタ１００３がオン状態になりビット線ＢＬ（ｘ）の電位は高電位ＶＳＬと等しくなる。仮にメモリセルにデータ”０”が書き込まれていた場合、ワード線ＷＬ（ｚ）の電位が１段階減少したときにビット線ＢＬ（ｘ）は高電位ＶＳＬと等しくなる。一方メモリセルにデータ”ｉ”が書き込まれていた場合、ワード線ＷＬ（ｚ）の電位がｉ＋１段階減少したときにビット線ＢＬ（ｘ）は高電位ＶＳＬと等しくなる。なお、ワード線ＷＬ（ｚ）の電位が段階的に減少する回数はｉ＋１とし、ｉ＋１回電位が減少した後の電位は低電位ＶＬになるものとする。

【０１４６】

ワード線ＷＬ（ｚ）が段階的に減少するタイミングに同期して、図１１の信号線ＰＵＬＳＥにもパルスが入力される。カウンタ１１１１（ｘ）は信号線ＰＵＬＳＥが入力されるごとに、出力信号Ｃ（ｘ，１）～Ｃ（ｘ，ｋ）の値は大きくなる。ラッチ回路１１１２（１）～（ｋ）は、トランジスタ１１０３がオン状態である限り出力信号Ｃ（ｘ，１）～Ｃ（ｘ，ｋ）と同等の電位がそれぞれに記憶されるが、メモリセルのデータが読み出されビット線ＢＬ（ｘ）が高電位ＶＳＬとなると、トランジスタ１１０３のゲート電極には低電位ＶＬが印加されるためトランジスタはオフ状態となる。そしてラッチ回路１１１２（１）～（ｋ）のデータは、トランジスタ１１０３がオフ状態となる前の信号線Ｃ（ｘ，１）～Ｃ（ｘ，ｋ）のデータを保持する。そして、ラッチ回路１１１２（１）～（ｋ）に保持されたデータは読み出しデータとなる。

【０１４７】

図１０のワード線ＷＬ（ｚ）が段階的に減少して低電位ＶＬとなると、メモリセルのデータ”０”～”ｉ”のうちのいずれかのデータが読み出せたことになり、図１１のラッチ回路１１１２（１）～（ｋ）には、読み出したデータがエンコードされた状態で保持されている。そして信号線ＴＲＤが高電位ＶＨとなり、トランジスタ１１０４がそれぞれオン状態、トランジスタ１１０５がそれぞれオフ状態になると信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）は、ラッチ回路１１１２（１）～（ｋ）とそれぞれ同じ電位が出力される。なお、信号線ＴＲＤが低電位の間はトランジスタ１１０４がオフ状態、トランジスタ１１０５がオン状態となり、信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）には接地電位（または低電位）が出力される。信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）に読み出したデータを出力した後、信号線ＴＲＤは低電位ＶＬとなり信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）には接地電位（または低電位）が出力される。

【０１４８】

（ベリファイ回路の説明）

図１２は、ベリファイ回路６１３の一例を示している。ベリファイ回路６１３は書き込みデータとベリファイ読み出しのデータを比較し、書き込みが正常に終了したか否かを判定する機能を有する。

【０１４９】

ベリファイ回路６１３において、信号線ＷＤＡ（ｘ，１）～（ｘ，ｋ）およびＲＤＡ（ｘ，１）～（ｘ，ｋ）は、ｋビット大小比較回路１２０１の入力端にＷＤＡ（ｘ，１）とＲＤＡ（ｘ，１）、…、ＷＤＡ（ｘ，ｋ）とＲＤＡ（ｘ，ｋ）がそれぞれ対になって電気的に接続される。また、ｋビット大小比較回路１２０１の出力信号線１２０２、１２０３、１２０４はトランジスタ１２０５の各ドレイン電極にそれぞれ電気的に接続され、トランジスタ１２０５のゲート電極は信号線ＴＶＥにそれぞれ電気的に接続され、トランジスタ１２０５のソース電極は信号線ＶＥ（ｘ，１）、ＶＥ（ｘ，２）、ＶＥ（ｘ，３）とそれぞれ電気的に接続される。

【０１５０】

次に、ベリファイ回路６１３の動作について説明する。データの書込みが行なわれるとデータバッファ６１２から信号線ＷＤＡ（ｘ，１）～ＷＤＡ（ｘ，ｋ）を通して書き込みデータがｋビット大小比較回路１２０１に入力される。そしてベリファイ読み出しが行なわれると読み出し回路６１４から信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）を通してメモリセルに書き込んだ読み出しデータがｋビット大小比較回路１２０１に入力される。ｋビット大小比較回路１２０１では入力された書き込みデータとベリファイ読み出しデータを比較して、書き込みデータに対してベリファイ読み出しデータが大きい場合は、信号線１２０３および信号線１２０４の電位を高電位ＶＨで出力し、信号線１２０２の電位を低電位ＶＬで出力する。また、書き込みデータに対してベリファイ読み出しデータが小さい場合は、信号線１２０２および信号線１２０４の電位を高電位ＶＨで出力し、信号線１２０３の電位を低電位ＶＬで出力する。そして、書き込みデータとベリファイ読み出しデータが等しい場合は信号線１２０２、信号線１２０３、信号線１２０４はすべて低電位ＶＬが出力される。

【０１５１】

書き込みおよびベリファイ読み出しが行なわれ、書き込みデータとベリファイ読み出しデータの大小を比較した後、信号線ＴＶＥが高電位ＶＨとなりトランジスタ１２０５はそれぞれオン状態となり、信号線ＶＥ（ｘ、１）には信号線１２０３の電位が出力され、信号線ＶＥ（ｘ、２）には信号線１２０２の電位が出力され、信号線ＶＥ（ｘ、３）には信号線１２０４の電位が出力される。そしてベリファイが終了すると信号線ＴＶＥには低電位ＶＬが出力され、トランジスタ１２０５はそれぞれオフ状態となり、信号線１２０２、１２０３、１２０４と信号線ＶＥ（ｘ，１）、ＶＥ（ｘ，２）、ＶＥ（ｘ，３）とはそれぞれ絶縁状態となる。

【０１５２】

なお、ベリファイ回路６１３は、図１２の回路以外にも一般的に知られている回路を組み合わせることで構成することができる。ベリファイ回路６１３は、書き込みデータとベリファイ読み出しデータの比較を行い、書き込みデータとベリファイ読み出しデータが異なる場合に信号線ＶＥ（ｘ，１）またはＶＥ（ｘ，２）、およびＶＥ（ｘ，３）にパルスを出力する回路であればよい。

【０１５３】

（書き込み終了検知回路の説明）

図１３は、書き込み終了検知回路６０４の一例を示している。書き込み終了検知回路６０４は１行分のメモリセルへのデータの書込みが終了したどうかを検知する回路である。

【０１５４】

はじめに、書き込み終了検知回路６０４の構成について、図１３を参照して説明する。各駆動回路６０１から出力される信号線ＶＥ（１，３）～ＶＥ（ｎ，３）はトランジスタ１３０１～１３０２のそれぞれゲート電極に電気的に接続され、トランジスタ１３０１～１３０２は、各トランジスタのソース電極と隣接するトランジスタのドレイン電極が電気

的に接続され、トランジスタ１３０１のソース電極は高電位Ｖｄｄと電気的に接続され、トランジスタ１３０２のドレイン電極はトランジスタ１３０３のソース電極と電気的に接続される。また、トランジスタ１３０３のゲート電極とトランジスタ１３０４のゲート電極はインバータ１３０５の出力端と電気的に接続され、トランジスタ１３０３のドレイン電極とトランジスタ１３０４のドレイン電極は信号線ＶＥＲＩと電気的に接続される。そして、トランジスタ１３０４のソース電極は接地され、インバータ１３０５の入力端は信号線ＴＶＥと電気的に接続される。

【０１５５】

次に、書き込み終了検知回路の動作について説明する。ベリファイ読み出しが行なわれ、書き込みデータとベリファイ読み出しのデータが比較された後、信号線ＴＶＥが高電位ＶＨとなると、トランジスタ１３０３とトランジスタ１３０４のゲート電極にはそれぞれ低電位ＶＬが印加される。そして、トランジスタ１３０３はオン状態となりトランジスタ１３０４はオフ状態となる。また、信号線ＴＶＥが高電位になると同時に、各列のベリファイ回路６１３（１）～（ｎ）からベリファイの結果が信号線ＶＥ（１，３）～ＶＥ（ｎ，３）を通して入力される。

【０１５６】

全ての列のベリファイ回路において書き込みデータとベリファイ読み出しのデータが一致した場合、信号線ＶＥ（１，３）～ＶＥ（ｎ，３）はすべて低電位となりトランジスタ１３０１～１３０２は全てオン状態となる。そして、信号線ＶＥＲＩは高電位Ｖｄｄと導通し、信号線ＶＥＲＩの電位は高電位Ｖｄｄとなる。一方、１列以上のベリファイ回路において書き込みデータとベリファイ読み出しのデータが一致しない場合、信号線ＶＥ（１，３）～ＶＥ（ｎ，３）のうちデータが一致しなかった列の数だけ高電位が出力される。信号線ＶＥ（ｘ，３）に高電位が出力されるとトランジスタ１３０１～１３０２のうち信号線ＶＥ（ｘ，３）とゲート電極が電気的に接続されるトランジスタはオフ状態となり、信号線ＶＥＲＩは高電位Ｖｄｄと絶縁状態のままとなる。

【０１５７】

ベリファイ読み出しを行なった後、信号線ＶＥＲＩの電位が高電位Ｖｄｄになると書き込みを行なった１行全てのメモリセルにデータの書き込みが終了し、信号線ＶＥＲＩの電位が低電位ＶＬのままであれば、書き込みを行なった１行分のメモリセルのうちいずれか１つまたは１つ以上のメモリセルにて書き込みとベリファイ読み出しが一致しなかったことが判定できる。そして、書き込みとベリファイ読み出しが一致しなかった場合は、再書き込みを行なえば書込みとベリファイ読み出しが一致しなかったメモリセルに対して１つ前の書き込み電位とは異なる電位で書き込みを行なうことができる。

【０１５８】

図１４は書き込みのタイミングチャートである。図１４において点ａでメモリセルへ書き込みが行なわれ、点ｂにてベリファイ読み出しが行なわれ、点ｃにてベリファイ読み出しが終了する。書き込みデータとベリファイ読み出しのデータが一致せずベリファイＮＧとなった場合、点ｃから再度点ａへ戻り書き込みが繰り返される。

【０１５９】

図１５は読み出しのタイミングチャートである。読み出しを行なう場合のメモリセルおよび読み出し回路６１４の動作については、図１１の説明においてすでに述べているため、省略するものとする。

【０１６０】

（読み出し動作の説明）

図６の読み出し回路６１４にて読み出されたデータは信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）に出力され、信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）のデータはデータバッファ６１２（１）～（ｎ）に入力される。データバッファ６１２（１）～（ｎ）に読み出しデータが入力された後、信号線ＴＲには高電位が出力され、図７のトランジスタ７０４はそれぞれオン状態となり、信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）とラッチ回路７０１（ｘ，１）～（ｘ，ｋ）はそれぞれが対となって導通する。そして、ラッチ回路７

０１（ｘ，１）～（ｘ，ｋ）には読み出しデータが格納される。ラッチ回路７０１（ｘ，１）～（ｘ，ｋ）にそれぞれデータが格納されると、信号線ＴＲには低電位が出力され信号線ＲＤＡ（ｘ，１）～ＲＤＡ（ｘ，ｋ）とラッチ回路７０１（ｘ，１）～（ｘ，ｋ）はそれぞれ絶縁状態となる。

【０１６１】

データバッファ６１２（１）～（ｎ）にそれぞれ読み出しデータが格納された後、アドレス選択信号線ＣＡ（１）～ＣＡ（ｎ）が順次選択され、データバッファ６１２（１）～（ｎ）に格納されていた読み出しデータが順次データ入出力線ＩＯ（１）～（ｋ）へ出力される。データバッファ６１２（１）～（ｎ）のすべてのデータまたは、必要とする数のデータを読み出して読み出し動作が終了する。なお、読み出しデータが複数行にわたる場合、上記の動作を繰り返すことで複数行のデータを読み出すことができる。

【０１６２】

開示する発明に係る半導体装置では、メモリセルを構成するトランジスタのしきい値電圧にばらつきがあっても、書き込み後の複数のメモリセルのしきい値電圧のばらつき（分布幅）を小さくすることができ、半導体装置の動作電圧を低減することができる。または、動作電圧を増大させずかつメモリセルの面積を増大させずに、メモリを多値化することができ、半導体装置の単位面積あたりの記憶容量を増大することができる。または、書き込み、保持、読み出し等の動作を確実に行える半導体装置を提供することができる。

【０１６３】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【０１６４】

（実施の形態３）

本実施の形態では、開示する発明の一態様に係る半導体装置が有するメモリセルの回路構成およびその動作について、図１６を参照して説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、ＯＳの符号を併せて付す場合がある。

【０１６５】

〈メモリセルの基本構成〉

図１６（Ａ－１）に示すメモリセルにおいて、第１の配線（１ｓｔ　Ｌｉｎｅ）とトランジスタ１６００のソース電極（またはドレイン電極）とは、電気的に接続され、第２の配線（２ｎｄ　Ｌｉｎｅ）とトランジスタ１６００のドレイン電極（またはソース電極）とは、電気的に接続されている。また、第３の配線（３ｒｄ　Ｌｉｎｅ）とトランジスタ１６０２のソース電極（またはドレイン電極）とは、電気的に接続され、第４の配線（４ｔｈ　Ｌｉｎｅ）と、トランジスタ１６０２のゲート電極とは、電気的に接続されている。そして、トランジスタ１６００のゲート電極と、トランジスタ１６０２のドレイン電極（またはソース電極）は、容量素子１６０４の電極の一方と電気的に接続され、第５の配線（５ｔｈ　Ｌｉｎｅ）と、容量素子１６０４の電極の他方は電気的に接続されている。

【０１６６】

ここで、トランジスタ１６０２には、例えば、酸化物半導体を用いたトランジスタが適用される。酸化物半導体を用いたトランジスタは、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ１６０２をオフ状態とすることで、トランジスタ１６００のゲート電極の電位を極めて長時間にわたって保持することが可能である。そして、容量素子１６０４を有することにより、トランジスタ１６００のゲート電極に与えられた電荷の保持が容易になり、また、保持された情報の読み出しが容易になる。

【０１６７】

トランジスタ１６００については、酸化物半導体以外の材料を用いたトランジスタが適用される。情報の読み出し速度を向上させるという観点からは、例えば、単結晶シリコンを用いたトランジスタなど、スイッチング速度の高いトランジスタを適用するのが好適である。

【０１６８】
また、図１６（Ｂ）に示すように、容量素子１６０４を設けない構成とすることも可能である。
【０１６９】
図１６（Ａ－１）に示すメモリセルでは、トランジスタ１６００のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。
【０１７０】
はじめに、情報の書き込みおよび保持について説明する。まず、第４の配線の電位を、トランジスタ１６０２がオン状態となる電位にして、トランジスタ１６０２をオン状態とする。これにより、第３の配線の電位が、トランジスタ１６００のゲート電極、および容量素子１６０４に与えられる。すなわち、トランジスタ１６００のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位を与える電荷（以下、低電位を与える電荷を電荷Q_L、高電位を与える電荷を電荷Q_Hという）のいずれかが与えられるものとする。なお、異なる三つまたはそれ以上の電位を与える電荷を適用して、記憶容量を向上させても良い。その後、第４の配線の電位を、トランジスタ１６０２がオフ状態となる電位にして、トランジスタ１６０２をオフ状態とすることにより、トランジスタ１６００のゲート電極に与えられた電荷が保持される（保持）。
【０１７１】
トランジスタ１６０２のオフ電流は極めて小さいから、トランジスタ１６００のゲート電極の電荷は長時間にわたって保持される。
【０１７２】
次に、情報の読み出しについて説明する。第１の配線に所定の電位（定電位）を与えた状態で、第５の配線に適切な電位（読み出し電位）を与えると、トランジスタ１６００のゲート電極に保持された電荷量に応じて、第２の配線は異なる電位をとる。一般に、トランジスタ１６００をｎチャネル型とすると、トランジスタ１６００のゲート電極にQ_Hが与えられている場合の見かけのしきい値V_{th_H}は、トランジスタ１６００のゲート電極にQ_Lが与えられている場合の見かけのしきい値V_{th_L}より低くなるためである。ここで、見かけのしきい値とは、トランジスタ１６００を「オン状態」とするために必要な第５の配線の電位をいうものとする。したがって、第５の配線の電位をV_{th_H}とV_{th_L}の中間の電位V_0とすることにより、トランジスタ１６００のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいてQ_Hが与えられた場合には、第５の配線の電位がV_0（$>V_{th_H}$）となれば、トランジスタ１６００は「オン状態」となる。Q_Lが与えられた場合には、第５の配線の電位がV_0（$<V_{th_L}$）となっても、トランジスタ１６００は「オフ状態」のままである。このため、第２の配線の電位を見ることで、保持されている情報を読み出すことができる。
【０１７３】
しかしながら、メモリセルを構成するトランジスタ（例えば、トランジスタ１６００）のしきい値電圧にばらつきがあると、当該トランジスタのしきい値電圧のばらつきに起因して、複数のメモリセルそれぞれを動作するために必要な電位（メモリセルのしきい値電圧ともいう）にもばらつきが生じる。例えば、トランジスタ１６００のしきい値電圧にばらつきがあると、情報を読み出す際のメモリセルのしきい値電圧にもばらつきが生じる。そのため複数のメモリセルそれぞれの動作電圧は、メモリセルのしきい値電圧のばらつきを考慮して幅をもたせて設定される。そのためメモリセルの動作電圧の低減には限界があった。
【０１７４】
開示する発明の一態様に係る半導体装置では、実施の形態１において図１乃至図５に示したように、書き込み電位が順次別の電位に変更され、書き込み、読み出し、ベリファイが行われ、複数のメモリセルの書き込み電位が決定される。これにより、書き込み後の半導体装置のメモリセルのしきい値電圧のばらつき（分布幅）を小さくし、動作電圧を低減

する、または記憶容量を増大する、または書き込み、保持、読み出し等の動作を確実に行え、かつ書き込みを高速化させて行える半導体装置およびその駆動方法を提供することができる。

【０１７５】

なお、メモリセルをアレイ状に複数配置して用いる場合には、所望のメモリセルの情報のみを読み出せることが必要になる。このように、所定のメモリセルの情報を読み出し、それ以外のメモリセルの情報を読み出さない場合には、読み出しの対象ではないメモリセルの第５の配線に対して、ゲート電極の状態にかかわらずトランジスタ１６００が「オフ状態」となるような電位、つまり、V_{th_H}より小さい電位を与えればよい。または、ゲート電極の状態にかかわらずトランジスタ１６００が「オン状態」となるような電位、つまり、V_{th_L}より大きい電位を第５の配線に与えればよい。

【０１７６】

次に、情報の書き換え（再度の書き込みともいう）について説明する。情報の書き換えは、上記情報の書き込みおよび保持と同様に行われる。つまり、第４の配線の電位を、トランジスタ１６０２がオン状態となる電位にして、トランジスタ１６０２をオン状態とする。これにより、第３の配線の電位（新たな情報に係る電位）が、トランジスタ１６００のゲート電極および容量素子１６０４に与えられる。その後、第４の配線の電位を、トランジスタ１６０２がオフ状態となる電位にして、トランジスタ１６０２をオフ状態とすることにより、トランジスタ１６００のゲート電極は、新たな情報に係る電荷が与えられた状態となる。

【０１７７】

このように、開示する発明に係る半導体装置が有するメモリセルは、再度の情報の書き込みによって直接的に情報を書き換えることが可能である。このためフラッシュメモリなどにおいて必要とされる高電圧を用いてのフローティングゲートからの電荷の引き抜きが不要であり、消去動作に起因する動作速度の低下を抑制することができる。つまり、メモリセルを有する半導体装置の高速動作が実現される。

【０１７８】

なお、図１６（Ａ－１）および図１６（Ｂ）に示す第３の配線は、実施の形態１において図１に示す第２の信号線１２２に相当する。図１６（Ａ－１）および図１６（Ｂ）に示す第２の配線は、実施の形態１において図１に示す第３の信号線１２３に相当する。

【０１７９】

なお、トランジスタ１６０２のドレイン電極（またはソース電極）は、トランジスタ１６００のゲート電極と電気的に接続されることにより、不揮発性メモリ素子として用いられるフローティングゲート型トランジスタのフローティングゲートと同等の作用を奏する。以下において、トランジスタ１６０２のドレイン電極（またはソース電極）とトランジスタ１６００のゲート電極が電気的に接続される部位をノードＦＧと呼ぶ場合がある。トランジスタ１６０２がオフの場合、当該ノードＦＧは絶縁体中に埋設されたと見ることができ、ノードＦＧには電荷が保持される。酸化物半導体を用いたトランジスタ１６０２のオフ電流は、シリコン半導体で形成されるトランジスタの１０万分の１以下であるため、トランジスタ１６０２のリークによる、ノードＦＧに蓄積された電荷の消失を無視することが可能である。つまり、酸化物半導体を用いたトランジスタ１６０２により、電力の供給が無くても情報の保持が可能な不揮発性の記憶装置を実現することが可能である。

【０１８０】

例えば、トランジスタ１６０２の室温（２５℃）でのオフ電流が１０ｚＡ（１ｚＡ（ゼプトアンペア）は1×10^{-21}Ａ）以下であり、容量素子１６０４の容量値が１０ｆＦ程度である場合には、少なくとも10^{4}秒以上のデータ保持が可能である。なお、当該保持時間が、トランジスタ特性や容量値によって変動することはいうまでもない。

【０１８１】

また、開示する発明の半導体装置が有するメモリセルにおいては、従来のフローティングゲート型トランジスタにおいて指摘されているゲート絶縁膜（トンネル絶縁膜）の劣化

という問題が存在しない。つまり、従来問題とされていた、電子をフローティングゲートに注入する際のゲート絶縁膜の劣化という問題を解消することができる。これは、原理的な書き込み回数の制限が存在しないことを意味するものである。また、従来のフローティングゲート型トランジスタにおいて書き込みや消去の際に必要であった高電圧も不要である。

【０１８２】

図１６（Ａ－１）に示すメモリセルは、当該メモリセルを構成するトランジスタなどの要素が抵抗および容量を含むものとして、図１６（Ａ－２）のように考えることが可能である。つまり、図１６（Ａ－２）では、トランジスタ１６００および容量素子１６０４が、それぞれ、抵抗および容量を含んで構成されると考えていることになる。Ｒ１およびＣ１は、それぞれ、容量素子１６０４の抵抗値および容量値であり、抵抗値Ｒ１は、容量素子１６０４を構成する絶縁層による抵抗値に相当する。また、Ｒ２およびＣ２は、それぞれ、トランジスタ１６００の抵抗値および容量値であり、抵抗値Ｒ２はトランジスタ１６００がオン状態の時のゲート絶縁層による抵抗値に相当し、容量値Ｃ２はいわゆるゲート容量（ゲート電極と、ソース電極またはドレイン電極との間に形成される容量、及び、ゲート電極とチャネル形成領域との間に形成される容量）の容量値に相当する。

【０１８３】

トランジスタ１６０２がオフ状態にある場合のソース電極とドレイン電極の間の抵抗値（実効抵抗とも呼ぶ）をＲＯＳとすると、トランジスタ１６０２のゲートリーク電流が十分に小さい条件において、Ｒ１およびＲ２が、Ｒ１≧ＲＯＳ、Ｒ２≧ＲＯＳを満たす場合には、電荷の保持期間（情報の保持期間ということもできる）は、主としてトランジスタ１６０２のオフ電流によって決定されることになる。

【０１８４】

逆に、当該条件を満たさない場合には、トランジスタ１６０２のオフ電流が十分に小さくとも、保持期間を十分に確保することが困難になる。トランジスタ１６０２のオフ電流以外のリーク電流（例えば、トランジスタ１６００におけるソース電極とゲート電極の間において生じるリーク電流等）が大きいためである。このことから、本実施の形態において開示するメモリセルは、Ｒ１≧ＲＯＳ、およびＲ２≧ＲＯＳの関係を満たすものであることが望ましいといえる。

【０１８５】

一方で、Ｃ１とＣ２は、Ｃ１≧Ｃ２の関係を満たすことが望ましい。Ｃ１を大きくすることで、第５の配線によってノードＦＧの電位を制御する際に、第５の配線の電位を効率よくノードＦＧに与えることができるようになり、第５の配線に与える電位間（例えば、読み出しの電位と、非読み出しの電位）の電位差を低く抑えることができるためである。

【０１８６】

このように、上述の関係を満たすことで、より好適なメモリセルを有する半導体装置を実現することが可能である。なお、Ｒ１およびＲ２は、トランジスタ１６００のゲート絶縁層や容量素子１６０４の絶縁層によって制御される。Ｃ１およびＣ２についても同様である。よって、ゲート絶縁層の材料や厚さなどを適宜設定し、上述の関係を満たすようにすることが望ましい。

【０１８７】

本実施の形態で示す半導体装置においては、ノードＦＧが、フラッシュメモリ等のフローティングゲート型トランジスタのフローティングゲートと同等の作用をするが、本実施の形態のノードＦＧは、フラッシュメモリ等のフローティングゲートと本質的に異なる特徴を有している。

【０１８８】

フラッシュメモリでは、コントロールゲートに印加される電位が高いため、その電位が、隣接するセルのフローティングゲートに影響を与えないように、セルとセルとの間隔をある程度保つ必要が生じる。このことは、半導体装置の高集積化を阻害する要因の一つである。そして、当該要因は、高電界をかけてトンネル電流を発生させるというフラッシュ

メモリの根本的な原理に起因するものである。

【０１８９】

一方、本実施の形態に係る半導体装置が有するメモリセルは、酸化物半導体を用いたトランジスタのスイッチングによって動作し、上述のようなトンネル電流による電荷注入の原理を用いない。すなわち、フラッシュメモリのような、電荷を注入するための高電界が不要である。これにより、隣接セルに対する、コントロールゲートによる高電界の影響を考慮する必要がないため、高集積化が容易になる。

【０１９０】

また、高電界が不要であり、大型の周辺回路（昇圧回路など）が不要である点も、フラッシュメモリに対するアドバンテージである。例えば、本実施の形態に係るメモリセルに印加される電圧（メモリセルの各端子に同時に印加される電位の最大のものと最小のものの差）の最大値は、２段階（１ビット）の情報を書き込む場合、一つのメモリセルにおいて、５Ｖ以下、好ましくは３Ｖ以下とすることができる。

【０１９１】

さらに、容量素子１６０４を構成する絶縁層の比誘電率εｒ１と、トランジスタ１６００を構成する絶縁層の比誘電率εｒ２とを異ならせる場合には、容量素子１６０４を構成する絶縁層の面積Ｓ１と、トランジスタ１６００においてゲート容量を構成する絶縁層の面積Ｓ２とが、２・Ｓ２≧Ｓ１（望ましくはＳ２≧Ｓ１）を満たしつつ、Ｃ１≧Ｃ２を実現することが容易である。すなわち、容量素子１６０４を構成する絶縁層の面積を小さくしつつ、Ｃ１≧Ｃ２を実現することが容易である。具体的には、例えば、容量素子１６０４を構成する絶縁層においては、酸化ハフニウムなどのｈｉｇｈ－ｋ材料でなる膜、または酸化ハフニウムなどのｈｉｇｈ－ｋ材料でなる膜と酸化物半導体でなる膜との積層構造を採用してεｒ１を１０以上、好ましくは１５以上とし、ゲート容量を構成する絶縁層においては、酸化シリコンを採用して、εｒ２＝３～４とすることができる。

【０１９２】

このような構成を併せて用いることで、開示する発明に係る半導体装置が有するメモリセルの、より一層の高集積化が可能である。

【０１９３】

なお、半導体装置が有するメモリセルの記憶容量を大きくするためには、高集積化以外に、多値化の手法を採ることもできる。例えば、メモリセルの一に３段階以上の情報を書き込む構成とすることで、２段階（１ビット）の情報を書き込む場合と比較して記憶容量を増大させることができる。例えば、上述のような、低電位を与える電荷Q_L、高電位を与える電荷Q_Hに加え、他の電位を与える電荷Ｑをトランジスタ１６００のゲート電極に与えることで、多値化を実現することができる。

【０１９４】

本実施の形態に示す半導体装置では、酸化物半導体を用いたトランジスタ１６０２はオフ電流が極めて小さいため、これを用いることにより極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【０１９５】

また、開示する発明に係る半導体装置では、メモリセルを構成するトランジスタのしきい値電圧にばらつきがあっても、書き込み後の複数のメモリセルのしきい値電圧のばらつき（分布幅）を小さくすることができ、半導体装置の動作電圧を低減することができる。または、動作電圧を増大させずかつメモリセルの面積を増大させずに、メモリを多値化することができ、半導体装置の単位面積あたりの記憶容量を増大することができる。または、書き込み、保持、読み出し等の動作を確実に行える半導体装置を提供することができる。

【０１９６】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【０１９７】

また、酸化物半導体以外の材料を用いたトランジスタは、十分な高速動作が可能であるため、これを、酸化物半導体を用いたトランジスタと組み合わせて用いることにより、半導体装置の動作（例えば、情報の読み出し動作）の高速性を十分に確保することができる。また、酸化物半導体以外の材料を用いたトランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【０１９８】

このように、酸化物半導体以外の材料を用いたトランジスタ（より広義には、十分な高速動作が可能なトランジスタ）と、酸化物半導体を用いたトランジスタ（より広義には、十分にオフ電流が小さいトランジスタ）とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。

【０１９９】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【０２００】

（実施の形態４）

本実施の形態では、開示する発明の一態様に係る半導体装置の応用例について、図１７を用いて説明する。ここでは、記憶装置の一例について説明する。なお、回路図においては、酸化物半導体を用いたトランジスタであることを示すために、ＯＳの符号を併せて付す場合がある。

【０２０１】

図１７（Ａ）、図１７（Ｂ）および図１７（Ｃ）は、図１６（Ａ－１）に示す半導体装置（以下、メモリセルとも記載する。）を複数用いて形成される、記憶装置として用いることができる半導体装置の回路図である。図１７（Ａ）および図１７（Ｂ）は、メモリセルが直列に接続された、いわゆるＮＡＮＤ型の半導体装置の回路図であり、図１７（Ｃ）は、メモリセルが並列に接続された、いわゆるＮＯＲ型の半導体装置の回路図である。

【０２０２】

図１７（Ａ）に示す半導体装置は、ソース線ＳＬ、ビット線ＢＬ、第１信号線Ｓ１、ｍ本の第２信号線Ｓ２、ｍ本のワード線ＷＬ、ｍ個のメモリセルを有する。図１７（Ａ）では、ソース線ＳＬおよびビット線ＢＬを１本ずつ有する構成となっているが、これに限られることなく、ソース線ＳＬおよびビット線ＢＬを複数本有する構成としてもよい。

【０２０３】

各メモリセル（代表として、メモリセル１７５０（ｉ）を考える。ここで、ｉは１以上ｍ以下の整数）において、トランジスタ１７００（ｉ）のゲート電極と、トランジスタ１７１０（ｉ）のドレイン電極（またはソース電極）と、容量素子１７２０（ｉ）の電極の一方とは、電気的に接続されている。また、第１信号線Ｓ１とトランジスタ１７１０（ｉ）のソース電極（またはドレイン電極）とは、電気的に接続され、第２信号線Ｓ２（ｉ）と、トランジスタ１７１０（ｉ）のゲート電極とは、電気的に接続されている。そして、ワード線ＷＬ（ｉ）と、容量素子１７２０（ｉ）の電極の他方は電気的に接続されている。

【０２０４】

また、メモリセル１７５０（ｉ）が有するトランジスタ１７００（ｉ）のソース電極は、隣接するメモリセル１７５０（ｉ－１）が有するトランジスタ１７００（ｉ－１）のド

レイン電極と電気的に接続され、メモリセル１７５０（ｉ）が有するトランジスタ１７００（ｉ）のドレイン電極は、隣接するメモリセル１７５０（ｉ＋１）が有するトランジスタ１７００（ｉ＋１）のソース電極と電気的に接続される。ただし、直列に接続されたｍ個のメモリセルのうち、メモリセル１７５０（１）が有するトランジスタ１７００（１）のドレイン電極は、ビット線ＢＬと電気的に接続される。また、直列に接続されたｍ個のメモリセルのうち、メモリセル１７５０（ｍ）が有するトランジスタ１７００（ｍ）のソース電極は、ソース線ＳＬと電気的に接続される。

【０２０５】

メモリセル１７５０（１）が有するトランジスタ１７００（１）は、選択トランジスタを介してビット線ＢＬと電気的に接続されていてもよい（図示せず）。この場合、選択トランジスタのゲート電極には、選択線Ｇ（１）が接続される。また、メモリセル１７５０（ｍ）が有するトランジスタ１７００（ｍ）も、選択トランジスタを介してソース線ＳＬと電気的に接続されていてもよい（図示せず）。この場合、選択トランジスタのゲート電極には、選択線Ｇ（２）が接続される。

【０２０６】

図１７（Ａ）に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。書き込みを行う行（例えば第ｉ行）の第２の信号線Ｓ２（ｉ）にトランジスタ１７１０（ｉ）がオン状態となる電位を与え、書き込みを行う行のトランジスタ１７１０（ｉ）をオン状態にする。これにより、指定した行のトランジスタ１７００（ｉ）のゲート電極に第１の信号線Ｓ１の電位が与えられ、該ゲート電極に所定の電荷が与えられる。このようにして、指定した行のメモリセルにデータを書き込むことができる。

【０２０７】

また、読み出し動作は次のように行われる。読み出しを行う行（例えば、第ｉ行）以外のワード線ＷＬに、トランジスタ１７００（ｉ）のゲート電極に与えられた電荷によらず、読み出しを行う行以外のトランジスタ１７００がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ１７００をオン状態とする。それから、読み出しを行う行のワード線ＷＬ（ｉ）に、トランジスタ１７００（ｉ）のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタ１７００（ｉ）のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。また、ソース線ＳＬに定電位を与え、ビット線ＢＬに接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線ＳＬ－ビット線ＢＬ間の複数のトランジスタ１７００（１）～１７００（ｍ）のうち、読み出しを行う行のトランジスタ１７００（ｉ）を除いてオン状態となっているため、ソース線ＳＬ－ビット線ＢＬ間のコンダクタンスの大小は、読み出しを行う行のトランジスタ１７００（ｉ）の状態（オン状態またはオフ状態）によって決定される。読み出しを行う行のトランジスタ１７００（ｉ）のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタの状態（オン状態またはオフ状態）は異なるから、それに応じて、ビット線ＢＬの電位は異なる値をとることになる。ビット線ＢＬの電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【０２０８】

しかしながら、メモリセルを構成するトランジスタ（例えば、トランジスタ１７００（ｉ））のしきい値電圧にばらつきがあると、当該トランジスタのしきい値電圧のばらつきに起因して、複数のメモリセルそれぞれを動作するために必要な電位（メモリセルのしきい値電圧ともいう）にもばらつきが生じる。例えば、トランジスタ１７００（ｉ）のしきい値電圧にばらつきがあると、情報を読み出す際のメモリセルのしきい値電圧にもばらつきが生じる。そのため複数のメモリセルそれぞれの動作電圧は、メモリセルのしきい値電圧のばらつきを考慮して幅をもたせて設定される。そのためメモリセルの動作電圧の低減には限界があった。

【０２０９】

開示する発明の一態様に係る半導体装置では、実施の形態１において図１乃至図５に示したように、書き込み電位が順次別の電位に変更され、書き込み、読み出し、ベリファイが行われ、複数のメモリセルの書き込み電位が決定される。これにより、書き込み後の半導体装置のメモリセルのしきい値電圧のばらつき（分布幅）を小さくし、動作電圧を低減する、または記憶容量を増大する、または書き込み、保持、読み出し等の動作を確実に行える半導体装置およびその駆動方法を提供することができる。

【０２１０】

なお、図１７（Ａ）に示す第１信号線Ｓ１は、実施の形態１において図１に示す第２の信号線１２２に相当する。図１７（Ａ）に示すビット線ＢＬは、実施の形態１において図１に示す第３の信号線１２３に相当する。

【０２１１】

図１７（Ｂ）に示す半導体装置は、図１７（Ａ）と一部構成が異なる半導体装置である。

【０２１２】

図１７（Ｂ）に示す半導体装置と図１７（Ａ）に示す半導体装置との相違点の一として、図１７（Ｂ）に示す半導体装置では、ビット線ＢＬと、メモリセル１７５０（１）が有するトランジスタ１７００（１）のドレイン電極とが、選択トランジスタ１７３０を介して電気的に接続されている点が挙げられる。選択トランジスタ１７３０はゲート電極において、選択トランジスタ１７３０のオンオフを切り替えるための選択線Ｇ（１）と電気的に接続されている。

【０２１３】

また、図１７（Ｂ）に示す半導体装置と図１７（Ａ）に示す半導体装置との相違点の一として、図１７（Ａ）に示す半導体装置においては、各メモリセルのトランジスタ１７１０はソース電極（またはドレイン電極）が第１信号線Ｓ１に接続されているのに対して、図１７（Ｂ）に示す半導体装置においては、各メモリセルのトランジスタ１７１０は直列に接続されている点が挙げられる。つまり、メモリセル１７５０（ｉ）が有するトランジスタ１７１０（ｉ）のソース電極は、隣接するメモリセル１７５０（ｉ－１）が有するトランジスタ１７１０（ｉ－１）のドレイン電極と電気的に接続され、メモリセル１７５０（ｉ）が有するトランジスタ１７１０（ｉ）のドレイン電極は、隣接するメモリセル１７５０（ｉ＋１）が有するトランジスタ１７１０（ｉ＋１）のソース電極と電気的に接続される。ただし、直列に接続されたｍ個のメモリセルのうち、メモリセル１７５０（１）が有するトランジスタ１７１０（１）のソース電極は、第１信号線Ｓ１と電気的に接続される。また、直列に接続された各メモリセルにおいて、トランジスタ１７１０（ｉ）のドレイン電極（またはソース電極）は、図１７（Ａ）に示す半導体装置と同様に、トランジスタ１７００（ｉ）のゲート電極と、容量素子１７２０（ｉ）の電極の一方と電気的に接続される。

【０２１４】

図１７（Ｂ）に示す半導体装置の他の部分の構成については、図１７（Ａ）に示す半導体装置と同様なので、詳細については上述の記載を参照することができる。

【０２１５】

なお、図１７（Ｂ）に示す半導体装置において、第１信号線Ｓ１とビット線ＢＬは別々に設けられているが、開示する発明はこれに限られるものではなく、第１信号線Ｓ１とビット線ＢＬを同一の配線とする構成としても良い。

【０２１６】

図１７（Ｂ）に示す半導体装置でも、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は次のように行われる。

【０２１７】

書き込み動作は、行ごとに第ｍ行から順番に行われる。第ｉ行（ｉ＝１～ｍ）の書き込みを行う場合には、書き込みを行う行（第ｉ行）の第２信号線Ｓ２（ｉ）にトランジスタ１７１０（ｉ）がオン状態となる電位を与え、書き込みを行う行のトランジスタ１７１０

（ｉ）をオン状態にする。ここで、トランジスタ１７１０（ｉ）と第１信号線Ｓ１との間にトランジスタ１７１０（１）乃至トランジスタ１７１０（ｉ－１）が存在する場合には、書き込みを行う行までのトランジスタ１７１０（１）乃至１７１０（ｉ－１）もオン状態として、書き込みを行う行のメモリセル１７５０（ｉ）に第１信号線Ｓ１の電位が与えられるようにする。これにより、指定した行のトランジスタ１７００（ｉ）のゲート電極に第１信号線Ｓ１の電位が与えられ、該ゲート電極に所定の電荷が与えられる。それから、第２信号線Ｓ２（ｉ）の電位をＧＮＤに固定すると、トランジスタ１７００（ｉ）のゲート電極に蓄積された電荷が保持される。このようにして、指定した行（第ｉ行）のメモリセルにデータを書き込むことができる。

【０２１８】

なお、図１７（Ｂ）に示す半導体装置では、各メモリセル１７５０を構成するトランジスタ１７１０を直列に接続するため、任意の行のデータのみを書き換えることは困難である。そのため、駆動方法として、複数行の一括消去動作を設けることが好ましい。例えば、第１行から第ｍ行までをブロックとして、ブロック毎の消去を行うことが好ましい。所定のブロックのデータを書き換える場合には、まず当該ブロックのデータを消去して、第ｍ行から順番にデータを書き込むとよい。なお、直前に書き込んだ行のデータを書き換える場合には、消去動作は不要である。

【０２１９】

また、読み出し動作は次のように行われる。まず、選択線Ｇ１に電位を与えることにより、選択トランジスタをオンにする。なお、選択線Ｇ１に接続される選択トランジスタと、選択線Ｇ２に接続される選択トランジスタがある場合には、２つのトランジスタをオン状態とする。また、読み出しを行う行（例えば、第ｉ行）以外のワード線ＷＬに、トランジスタ１７００（ｉ）のゲート電極に与えられた電荷によらず、読み出しを行う行以外のトランジスタ１７００がオン状態となるような電位を与え、読み出しを行う行以外のトランジスタ１７００をオン状態とする。それから、読み出しを行う行のワード線ＷＬ（ｉ）に、トランジスタ１７００（ｉ）のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタ１７００（ｉ）のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。また、ソース線ＳＬに定電位を与え、ビット線ＢＬに接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線ＳＬ－ビット線ＢＬ間の複数のトランジスタ１７００（１）～１７００（ｍ）のうち、読み出しを行う行のトランジスタ１７００（ｉ）を除いてオン状態となっているため、ソース線ＳＬ－ビット線ＢＬ間のコンダクタンスの大小は、読み出しを行う行のトランジスタ１７００（ｉ）の状態（オン状態またはオフ状態）によって決定される。読み出しを行う行のトランジスタ１７００（ｉ）のゲート電極が有する電荷がどのデータに対応するかによって、トランジスタの状態（オン状態またはオフ状態）は異なるから、それに応じて、ビット線ＢＬの電位は異なる値をとることになる。ビット線の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【０２２０】

図１７（Ｂ）に示す半導体装置においても、実施の形態１において図１乃至図５に示したように、書き込み電位が順次別の電位に変更され、書き込み、読み出し、ベリファイが行われ、複数のメモリセルの書き込み電位が決定される。これにより、書き込み後の半導体装置のメモリセルのしきい値電圧のばらつき（分布幅）を小さくし、動作電圧を低減する、または記憶容量を増大する、または書き込み、保持、読み出し等の動作を確実に行える半導体装置およびその駆動方法を提供することができる。

【０２２１】

なお、図１７（Ｂ）に示す第１信号線Ｓ１は、実施の形態１において図１に示す第２の信号線１２２に相当する。図１７（Ｂ）に示すビット線ＢＬは、実施の形態１において図１に示す第３の信号線１２３に相当する。

【０２２２】

図１７（Ｃ）に示す半導体装置は、ソース線ＳＬ、ビット線ＢＬおよび第１信号線Ｓ１

をそれぞれｎ本有し、第２信号線Ｓ２およびワード線ＷＬをそれぞれｍ数本有し、複数のメモリセル１７５０（１、１）～１７５０（ｍ、ｎ）を有する。

【０２２３】

各メモリセル（代表として、メモリセル１７５０（ｉ、ｊ）を考える。ここで、ｉは１以上ｍ以下の整数、ｊは１以上ｎ以下の整数）は、トランジスタ１７００（ｉ、ｊ）のゲート電極と、トランジスタ１７１０（ｉ、ｊ）のドレイン電極（またはソース電極）と、容量素子１７２０（ｉ、ｊ）の電極の一方とは、電気的に接続されている。また、ソース線ＳＬ（ｊ）とトランジスタ１７００（ｉ、ｊ）のソース電極とは、電気的に接続され、ビット線ＢＬ（ｊ）とトランジスタ１７００（ｉ、ｊ）のドレイン電極とは、電気的に接続されている。また、第１信号線Ｓ１（ｊ）とトランジスタ１７１０（ｉ、ｊ）のソース電極（またはドレイン電極）とは、電気的に接続され、第２信号線Ｓ２（ｉ）と、トランジスタ１７１０（ｉ、ｊ）のゲート電極とは、電気的に接続されている。そして、ワード線ＷＬ（ｉ）と、容量素子１７２０（ｉ、ｊ）の電極の他方は電気的に接続されている。

【０２２４】

図１７（Ｃ）に示す半導体装置では、行ごとの書き込み動作および読み出し動作を行う。書き込み動作は、上述の図１７（Ａ）に示す半導体装置と同様の方法で行われる。読み出し動作は次のように行われる。まず、読み出しを行う行（例えば、第ｉ行のメモリセル１７５０（ｉ、１）～（ｉ、ｎ））以外のワード線ＷＬに、トランジスタ１７００（ｉ、１）～（ｉ、ｎ）のゲート電極に与えられた電荷がどのデータに対応するかによらず、読み出しを行う行以外のトランジスタ１７００がオフ状態となるような電位を与え、読み出しを行う行以外のトランジスタ１７００をオフ状態とする。それから、読み出しを行う行のワード線ＷＬ（ｉ）に、トランジスタ１７００（ｉ、１）～（ｉ、ｎ）のゲート電極が有する電荷がどのデータに対応するかによってトランジスタ１７００（ｉ、１）～（ｉ、ｎ）のオン状態またはオフ状態が選択されるような電位（読み出し電位）を与える。また、ソース線ＳＬ（ｊ）に定電位を与え、ビット線ＢＬ（ｊ）に接続されている読み出し回路（図示しない）を動作状態とする。ここで、ソース線ＳＬ（ｊ）－ビット線ＢＬ（ｊ）間のコンダクタンスの大小は、読み出しを行う行のトランジスタ１７００（ｉ、１）～（ｉ、ｎ）の状態（オン状態またはオフ状態）によって決定される。つまり、読み出しを行う行のトランジスタ１７００（ｉ、１）～（ｉ、ｎ）のゲート電極が有する電荷がどのデータに対応するかによって、ビット線ＢＬ（ｊ）の電位は異なる値をとることになる。ビット線ＢＬ（ｊ）の電位を読み出し回路によって読み出すことで、指定した行のメモリセルから情報を読み出すことができる。

【０２２５】

図１７（Ｃ）に示す半導体装置においても、図１乃至図５に示したように、書き込み電位が順次別の電位に変更され、書き込み、読み出し、ベリファイが行われ、複数のメモリセルの書き込み電位が決定される。これにより、書き込み後の半導体装置のメモリセルのしきい値電圧のばらつき（分布幅）を小さくし、動作電圧を低減する、または記憶容量を増大する、または書き込み、保持、読み出し等の動作を確実に行える半導体装置およびその駆動方法を提供することができる。

【０２２６】

なお、図１７（Ｃ）に示す第１信号線Ｓ１は、図１に示す第２の信号線１２２に相当する。図１７（Ｃ）に示すビット線ＢＬは、図１に示す第３の信号線１２３に相当する。

【０２２７】

なお、上記においては、各メモリセル１７５０に保持させる情報量を１ビットとしたが、本実施の形態に示す半導体装置の構成はこれに限られない。書き込み時に各トランジスタ１７００のゲート電極に与える電位を３種類以上用意して、各メモリセル１７５０が保持する情報量を増加させても良い。例えば、書き込み時に各トランジスタ１７００のゲート電極にあたえる電位を４種類とする場合には、各メモリセルに２ビットの情報を保持させることができる。

【０２２８】

図１７において、第１信号線Ｓ１とビット線ＢＬは、兼用してもよい。第１信号線Ｓ１とビット線ＢＬを兼用することにより、配線数を低減することができる。また、図１７（Ｃ）において、ソース線ＳＬは共通化してもよい。

【０２２９】

開示する発明に係る半導体装置では、メモリセルを構成するトランジスタのしきい値電圧にばらつきがあっても、書き込み後の複数のメモリセルのしきい値電圧のばらつき（分布幅）を小さくすることができ、半導体装置の動作電圧を低減することができる。または、動作電圧を増大させずかつメモリセルの面積を増大させずに、メモリを多値化することができ、半導体装置の単位面積あたりの記憶容量を増大することができる。または、書き込み、保持、読み出し等の動作を確実に行える半導体装置を提供することができる。

【０２３０】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【０２３１】

（実施の形態５）

本実施の形態では、開示する発明の一態様に係る半導体装置が有するメモリセルの構成およびその作製方法について、図１８乃至図２２、図２３を参照して説明する。

【０２３２】

〈メモリセルの断面構成及び平面図〉

図１８は、半導体装置が有するメモリセルの構成の一例である。図１８（Ａ）には半導体装置が有するメモリセルの断面を、図１８（Ｂ）には半導体装置が有するメモリセルの平面を、それぞれ示す。図１８（Ａ）において、Ａ１－Ａ２は、トランジスタのチャネル長方向に垂直な断面図であり、Ｂ１－Ｂ２は、トランジスタのチャネル長方向に平行な断面図である。図１８に示す半導体装置は、下部に第１の半導体材料を用いたトランジスタ１８６０を有し、上部に第２の半導体材料を用いたトランジスタ１８６２を有する。また、図１８に示す半導体装置は、トランジスタ１８６０とトランジスタ１８６２と容量素子１８６４とを、一つずつ有する構成として示しているが、それぞれ複数有する構成も含む。

【０２３３】

ここで、第１の半導体材料と第２の半導体材料とは異なる材料とすることが望ましい。例えば、第１の半導体材料を酸化物半導体以外の半導体材料とし、第２の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の半導体材料としては、例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などを用いてもよい。このような半導体材料を用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、その特性により長時間の電荷保持を可能とする。

【０２３４】

トランジスタ１８６０およびトランジスタ１８６２は、ｎチャネル型トランジスタ、ｐチャネル型トランジスタのいずれも用いることができる。ここでは、トランジスタ１８６０およびトランジスタ１８６２は、いずれもｎチャネル型トランジスタとして説明する。また、本発明の一態様において、技術的な本質は、情報を保持するために酸化物半導体のようなオフ電流を十分に低減することが可能な半導体材料をトランジスタ１８６２に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【０２３５】

トランジスタ１８６０は、半導体材料（例えば、シリコンなど）を含む基板１８００に設けられたチャネル形成領域１８１６と、チャネル形成領域１８１６を挟むように設けられた不純物領域１８２０（ソース領域またはドレイン領域とも記す）と、不純物領域１８２０に接する金属化合物領域１８２４と、チャネル形成領域１８１６上に設けられたゲー

ト絶縁層１８０８と、ゲート絶縁層１８０８上に設けられたゲート電極１８１０と、を有する。なお、図１８において、明示的にはソース電極やドレイン電極を有しない場合があるが、便宜上、このような状態を含めてトランジスタと呼ぶ場合がある。また、この場合、トランジスタの接続関係を説明するために、ソース領域やドレイン領域を含めてソース電極やドレイン電極と表現することがある。つまり、本明細書において、ソース電極との記載には、ソース領域が含まれうる。

【０２３６】

トランジスタ１８６０の金属化合物領域１８２４の一部には、電極１８２６が接続されている。ここで、電極１８２６は、トランジスタ１８６０のソース電極やドレイン電極として機能する。また、基板１８００上にはトランジスタ１８６０を囲むように素子分離絶縁層１８０６が設けられており、トランジスタ１８６０上に絶縁層１８２８が設けられている。なお、高集積化を実現するためには、図１８に示すように、トランジスタ１８６０がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ１８６０の特性を重視する場合には、ゲート電極１８１０の側面にサイドウォール絶縁層を設け、そのサイドウォール絶縁層と重畳する領域に形成された不純物濃度が異なる領域を含めて不純物領域１８２０を設けても良い。

【０２３７】

トランジスタ１８６２は、絶縁層１８２８などの上に設けられた酸化物半導体層１８４４と、酸化物半導体層１８４４と電気的に接続されているソース電極またはドレイン電極１８４２ａ、およびソース電極またはドレイン電極１８４２ｂと、酸化物半導体層１８４４、ソース電極またはドレイン電極１８４２ａ、およびソース電極またはドレイン電極１８４２ｂ、を覆うゲート絶縁層１８４６と、ゲート絶縁層１８４６上に酸化物半導体層１８４４と重畳するように設けられたゲート電極１８４８ａと、を有する。

【０２３８】

ここで、トランジスタ１８６２に用いられる酸化物半導体層１８４４は水素などの不純物が十分に除去されることにより、または、十分な酸素が供給されることにより、高純度化されたものであることが望ましい。例えば、酸化物半導体層１８４４の水素濃度は５×１０^{19}ａｔｏｍｓ／ｃｍ^{3}以下、望ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、より望ましくは５×１０^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。なお、上述の酸化物半導体層１８４４中の水素濃度は、二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ Ｉｏｎ Ｍａｓｓ Ｓｐｅｃｔｒｏｍｅｔｒｙ）で測定されるものである。このように、水素濃度が十分に低減されて高純度化され、十分な酸素の供給により酸素欠乏に起因するエネルギーギャップ中の欠陥準位が低減された酸化物半導体層１８４４では、キャリア濃度が１×１０^{12}／ｃｍ^{3}未満、望ましくは、１×１０^{11}／ｃｍ^{3}未満、より望ましくは１．４５×１０^{10}／ｃｍ^{3}未満となる。例えば、室温（２５℃）でのオフ電流（ここでは、単位チャネル幅（１μｍ）あたりの値）は１００ｚＡ（１ｚＡ（ゼプトアンペア）は１×１０$^{-21}$Ａ）以下、望ましくは１０ｚＡ以下となる。このように、ｉ型化（真性化）または実質的にｉ型化された酸化物半導体層１８４４を用いることで、極めて優れたオフ電流特性のトランジスタ１８６２を得ることができる。

【０２３９】

なお、トランジスタ１８６２では、微細化に起因して素子間に生じるリークを抑制するために、島状に加工された酸化物半導体層を用いているが、島状に加工されていない酸化物半導体層を採用しても良い。酸化物半導体層を島状に加工しない場合には、加工の際のエッチングによる酸化物半導体層の汚染を防止できる。

【０２４０】

容量素子１８６４は、ソース電極またはドレイン電極１８４２ａ、ゲート絶縁層１８４６、および導電層１８４８ｂ、とで構成される。すなわち、ソース電極またはドレイン電極１８４２ａは、容量素子１８６４の一方の電極として機能し、導電層１８４８ｂは、容量素子１８６４の他方の電極として機能することになる。このような構成とすることにより、十分な容量を確保することができる。また、酸化物半導体層１８４４とゲート絶縁層

１８４６とを積層させる場合には、ソース電極またはドレイン電極１８４２ａと、導電層１８４８ｂとの絶縁性を十分に確保することができる。さらに、容量が不要の場合は、容量素子１８６４を設けない構成とすることもできる。

【０２４１】

なお、トランジスタ１８６２および容量素子１８６４において、ソース電極またはドレイン電極１８４２ａ、およびソース電極またはドレイン電極１８４２ｂの端部は、テーパー形状であることが好ましい。ソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂの端部をテーパー形状とすることにより、ゲート絶縁層１８４６の被覆性を向上させ、段切れを防止することができる。ここで、テーパー角は、例えば、３０°以上６０°以下とする。なお、テーパー角とは、テーパー形状を有する層（例えば、ソース電極またはドレイン電極１８４２ａ）を、その断面（基板の表面と直交する面）に垂直な方向から観察した際に、当該層の側面と底面がなす傾斜角を示す。

【０２４２】

トランジスタ１８６２および容量素子１８６４の上には絶縁層１８５０および絶縁層１８５２が設けられている。そして、ゲート絶縁層１８４６、絶縁層１８５０、絶縁層１８５２などに形成された開口には、電極１８５４が設けられ、絶縁層１８５２上には、電極１８５４と接続する配線１８５６が形成される。配線１８５６はメモリセルの一と他のメモリセルとを接続する。なお、図１８では電極１８２６および電極１８５４を用いて、金属化合物領域１８２４、ソース電極またはドレイン電極１８４２ｂ、および配線１８５６を接続しているが、本発明の一態様はこれに限定されない。例えば、ソース電極またはドレイン電極１８４２ｂを直接、金属化合物領域１８２４に接触させても良い。または、配線１８５６を直接、ソース電極またはソース電極またはドレイン電極１８４２ｂに接触させても良い。

【０２４３】

また、図１８において、金属化合物領域１８２４とソース電極またはドレイン電極１８４２ｂを接続する電極１８２６と、ソース電極またはドレイン電極１８４２ｂと配線１８５６を接続する電極１８５４とは重畳して配置されている。つまり、トランジスタ１８６０のソース電極やドレイン電極として機能する電極１８２６と、トランジスタ１８６２のソース電極またはドレイン電極１８４２ｂと、が接する領域は、トランジスタ１８６２のソース電極またはドレイン電極１８４２ｂと、電極１８５４が接する領域と重なっている。このような平面レイアウトを採用することにより、コンタクト領域に起因する素子面積の増大を抑制することができる。つまり、半導体装置の集積度を高めることができる。

【０２４４】

また、図１８において、トランジスタ１８６０と、トランジスタ１８６２とは、少なくとも一部が重畳するように設けられている。また、トランジスタ１８６２や容量素子１８６４が、トランジスタ１８６０と重畳するように設けられている。例えば、容量素子１８６４の導電層１８４８ｂは、トランジスタ１８６０のゲート電極１８１０と少なくとも一部が重畳して設けられている。このような、平面レイアウトを採用することにより、高集積化を図ることができる。例えば、最小加工寸法をＦとして、メモリセルの占める面積を１５Ｆ^2～２５Ｆ^{2}とすることが可能である。

【０２４５】

〈半導体装置が有するメモリセルの作製方法〉

次に、上記半導体装置が有するメモリセルの作製方法の一例について説明する。以下では、はじめに下部のトランジスタ１８６０の作製方法について図１９および図２０を参照して説明し、その後、上部のトランジスタ１８６２および容量素子１８６４の作製方法について図２１および図２２を参照して説明する。

【０２４６】

〈下部のトランジスタの作製方法〉

下部のトランジスタ１８６０の作製方法について、図１９および図２０を参照して説明する。

【０２４７】
まず、半導体材料を含む基板１８００を用意する。半導体材料を含む基板としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、ＳＯＩ基板などを適用することができる。ここでは、半導体材料を含む基板１８００として、単結晶シリコン基板を用いる場合の一例について示すものとする。なお、一般に「ＳＯＩ基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板も含むものとする。つまり、「ＳＯＩ基板」が有する半導体層は、シリコン半導体層に限定されない。また、ＳＯＩ基板には、ガラス基板などの絶縁基板上に絶縁層を介して半導体層が設けられた構成のものが含まれるものとする。

【０２４８】
半導体材料を含む基板１８００として、シリコンなどの単結晶半導体基板を用いる場合には、半導体装置の読み出し動作を高速化することができるため好適である。

【０２４９】
基板１８００上には、素子分離絶縁層を形成するためのマスクとなる保護層１８０２を形成する（図１９（Ａ）参照）。保護層１８０２としては、例えば、酸化シリコンや窒化シリコン、酸窒化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、ｎ型の導電性を付与する不純物元素やｐ型の導電性を付与する不純物元素を基板１８００に添加してもよい。半導体がシリコンの場合、ｎ型の導電性を付与する不純物元素としては、例えば、リンや砒素などを用いることができる。また、ｐ型の導電性を付与する不純物元素としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

【０２５０】
次に、上記の保護層１８０２をマスクとしてエッチングを行い、保護層１８０２に覆われていない領域（露出している領域）の、基板１８００の一部を除去する。これにより他の半導体領域と分離された半導体領域１８０４が形成される（図１９（Ｂ）参照）。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液については被エッチング材料に応じて適宜選択することができる。

【０２５１】
次に、半導体領域１８０４を覆うように絶縁層を形成し、半導体領域１８０４に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層１８０６を形成する（図１９（Ｃ）参照）。当該絶縁層は、酸化シリコンや窒化シリコン、酸窒化シリコンなどを用いて形成される。絶縁層の除去方法としては、ＣＭＰ（化学的機械的研磨）などの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域１８０４の形成後、または、素子分離絶縁層１８０６の形成後には、上記保護層１８０２を除去する。

【０２５２】
ここで、ＣＭＰ処理とは、被加工物の表面を基準にし、それにならって表面を化学的・機械的な複合作用により平坦化する手法である。より具体的には、研磨ステージの上に研磨布を貼り付け、被加工物と研磨布との間にスラリー（研磨剤）を供給しながら研磨ステージと被加工物とを各々回転または揺動させて、被研磨物の表面を、スラリーと被研磨物表面との間での化学反応と、研磨布と被研磨物との機械的研磨の作用により、被加工物の表面を研磨する方法である。

【０２５３】
なお、素子分離絶縁層１８０６の形成方法として、絶縁層を選択的に除去する方法の他、酸素を打ち込むことにより絶縁性の領域を形成する方法などを用いることもできる。

【０２５４】
次に、半導体領域１８０４の表面に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【０２５５】
絶縁層は後のゲート絶縁層となるものであり、例えば、半導体領域１８０４表面の熱処理（熱酸化処理や熱窒化処理など）によって形成することができる。熱処理に代えて、高密度プラズマ処理を適用しても良い。高密度プラズマ処理は、例えば、Ｈｅ、Ａｒ、Ｋｒ、Ｘｅなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などのうちいずれかの混合ガスを用いて行うことができる。もちろん、ＣＶＤ法やスパッタリング法等を用いて絶縁層を形成しても良い。当該絶縁層は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムアルミネート（ＨｆＡｌｘＯｙ（ｘ＞０、ｙ＞０））等を含む単層構造または積層構造とすることが望ましい。また、絶縁層の厚さは、例えば、１ｎｍ以上１００ｎｍ以下、好ましくは１０ｎｍ以上５０ｎｍ以下とすることができる。

【０２５６】
導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、ＣＶＤ法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

【０２５７】
その後、絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層１８０８、ゲート電極１８１０を形成する（図１９（Ｃ）参照）。

【０２５８】
次に、半導体領域１８０４にリン（Ｐ）やヒ素（Ａｓ）などを添加して、チャネル形成領域１８１６および不純物領域１８２０を形成する（図１９（Ｄ）参照）。なお、ここではｎ型トランジスタを形成するためにリンやヒ素を添加しているが、ｐ型トランジスタを形成する場合には、硼素（Ｂ）やアルミニウム（Ａｌ）などの不純物元素を添加すればよい。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。

【０２５９】
なお、ゲート電極１８１０の周囲にサイドウォール絶縁層を形成して、不純物元素が異なる濃度で添加された不純物領域を形成しても良い。

【０２６０】
次に、ゲート電極１８１０、不純物領域１８２０等を覆うように金属層１８２２を形成する（図２０（Ａ）参照）。当該金属層１８２２は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層１８２２は、半導体領域１８０４を構成する半導体材料と反応することによって低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【０２６１】
次に、熱処理を施して、上記金属層１８２２と半導体材料とを反応させる。これにより、不純物領域１８２０に接する金属化合物領域１８２４が形成される（図２０（Ａ）参照）。なお、ゲート電極１８１０として多結晶シリコンなどを用いる場合には、ゲート電極１８１０の金属層１８２２と接触する部分にも、金属化合物領域が形成されることになる。

【０２６２】
上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理を実現できる方法を用いることが

望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域１８２４を形成した後には、金属層１８２２は除去する。

【０２６３】

次に、金属化合物領域１８２４の一部と接する領域に、電極１８２６を形成する（図２０（Ｂ）参照）。電極１８２６は、例えば、導電材料を含む層を形成した後に、当該層を選択的にエッチングすることで形成される。導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、ＣＶＤ法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。

【０２６４】

次に、上述の工程により形成された各構成を覆うように、絶縁層１８２８を形成する（図２０（Ｃ）参照）。絶縁層１８２８は、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化アルミニウム等の無機絶縁材料を含む材料を用いて形成することができる。特に、絶縁層１８２８に誘電率の低い（ｌｏｗ－ｋ）材料を用いることで、各種電極や配線の重なりに起因する容量を十分に低減することが可能になるため好ましい。なお、絶縁層１８２８には、これらの材料を用いた多孔性の絶縁層を適用しても良い。多孔性の絶縁層では、密度の高い絶縁層と比較して誘電率が低下するため、電極や配線に起因する容量をさらに低減することが可能である。また、絶縁層１８２８は、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、絶縁層１８２８の単層構造としているが、本発明の一態様はこれに限定されない。２層以上の積層構造としても良い。３層構造とする場合には、例えば、酸化窒化シリコン層と、窒化酸化シリコン層と、酸化シリコン層の積層構造とすることができる。

【０２６５】

なお、電極１８２６は、絶縁層１８２８を形成した後に、絶縁層１８２８に金属化合物領域１８２４にまで達する開口を形成し、当該開口を埋め込むように形成することも可能である。

【０２６６】

この場合、例えば、開口を含む領域にＰＶＤ法によりチタン膜を薄く形成し、ＣＶＤ法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、ＰＶＤ法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここでは金属化合物領域１８２４）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【０２６７】

以上により、半導体材料を含む基板１８００を用いたトランジスタ１８６０が形成される（図２０（Ｃ）参照）。このようなトランジスタ１８６０は、高速動作が可能であるという特徴を有する。このため、当該トランジスタを読み出し用のトランジスタとして用いることで、情報の読み出しを高速に行うことができる。

【０２６８】

その後、トランジスタ１８６２および容量素子１８６４の形成前の処理として、絶縁層１８２８にＣＭＰ処理を施して、ゲート電極１８１０および電極１８２６の上面を露出させる（図２０（Ｄ）参照）。ゲート電極１８１０および電極１８２６の上面を露出させる処理としては、ＣＭＰ処理の他にエッチング処理などを適用することも可能であるが、トランジスタ１８６２の特性を向上させるために、絶縁層１８２８の表面は可能な限り平坦にしておくことが望ましい。

【０２６９】

なお、上記の各工程の前後には、さらに電極や配線、半導体層、絶縁層などを形成する工程を含んでいても良い。例えば、配線の構造として、絶縁層および導電層の積層構造でなる多層配線構造を採用して、高度に集積化した半導体装置を実現することも可能である。

【０２７０】

〈上部のトランジスタの作製方法〉

次に、上部のトランジスタ１８６２および容量素子１８６４の作製方法について、図２１および図２２を参照して説明する。

【０２７１】

まず、ゲート電極１８１０、電極１８２６、絶縁層１８２８などの上に酸化物半導体層を形成し、当該酸化物半導体層を加工して、酸化物半導体層１８４４を形成する（図２１（Ａ）参照）。なお、酸化物半導体層を形成する前に、ゲート電極１８１０、電極１８２６、絶縁層１８２８の上に、下地として機能する絶縁層を設けても良い。当該絶縁層は、スパッタリング法をはじめとするＰＶＤ法やプラズマＣＶＤ法などのＣＶＤ法などを用いて形成することができる。

【０２７２】

酸化物半導体層に用いる材料としては、少なくともＩｎ、Ｇａ、Ｓｎ及びＺｎから選ばれた一種以上の元素を含有する。例えば、四元系金属の酸化物であるＩｎ－Ｓｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体や、三元系金属の酸化物であるＩｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体、Ｉｎ－Ｓｎ－Ｚｎ－Ｏ系酸化物半導体、Ｉｎ－Ａｌ－Ｚｎ－Ｏ系酸化物半導体、Ｓｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体、Ａｌ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体、Ｓｎ－Ａｌ－Ｚｎ－Ｏ系酸化物半導体や、Ｉｎ－Ｈｆ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｌａ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｃｅ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｐｒ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｎｄ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｓｍ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｅｕ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｇｄ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｔｂ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｄｙ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｈｏ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｅｒ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｔｍ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｙｂ－Ｚｎ－Ｏ系酸化物、Ｉｎ－Ｌｕ－Ｚｎ－Ｏ系酸化物や、二元系金属の酸化物であるＩｎ－Ｚｎ－Ｏ系酸化物半導体、Ｓｎ－Ｚｎ－Ｏ系酸化物半導体、Ａｌ－Ｚｎ－Ｏ系酸化物半導体、Ｚｎ－Ｍｇ－Ｏ系酸化物半導体、Ｓｎ－Ｍｇ－Ｏ系酸化物半導体、Ｉｎ－Ｍｇ－Ｏ系酸化物半導体や、Ｉｎ－Ｇａ－Ｏ系の材料、一元系金属の酸化物であるＩｎ－Ｏ系酸化物半導体、Ｓｎ－Ｏ系酸化物半導体、Ｚｎ－Ｏ系酸化物半導体などを用いることができる。また、上記酸化物半導体にＩｎとＧａとＳｎとＺｎ以外の元素、例えばSiO_2を含ませてもよい。

【０２７３】

例えば、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系酸化物半導体とは、インジウム（Ｉｎ）、ガリウム（Ｇａ）、亜鉛（Ｚｎ）を有する酸化物半導体、という意味であり、その組成比は問わない。

【０２７４】

また、酸化物半導体層は、化学式$InMO_3(ZnO)_m$（ｍ＞０）で表記される薄膜を用いることができる。ここで、Ｍは、Ｚｎ、Ｇａ、Ａｌ、Ｍｎ及びＣｏから選ばれた一または複数の金属元素を示す。例えばＭとして、Ｇａ、Ｇａ及びＡｌ、Ｇａ及びＭｎ、またはＧａ及びＣｏなどがある。

【０２７５】

また、酸化物半導体層の厚さは、３ｎｍ以上３０ｎｍ以下とするのが望ましい。酸化物半導体層を厚くしすぎると（例えば、膜厚を５０ｎｍ以上）、トランジスタがノーマリーオンとなってしまうおそれがあるためである。

【０２７６】

酸化物半導体層は、水素、水、水酸基又は水素化物などの不純物が混入しにくい方法で作製するのが望ましい。例えば、スパッタリング法などを用いて作製することができる。

【０２７７】

本実施の形態では、酸化物半導体層を、Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の酸化物ターゲットを用いてスパッタリング法により形成する場合について説明するが、その他、酸化物半導体としてＩｎ－Ｚｎ－Ｏ系の酸化物ターゲットを用いて形成しても良い。

【０２７８】

Ｉｎ－Ｇａ－Ｚｎ－Ｏ系の酸化物ターゲットとしては、Ｉｎ：Ｇａ：Ｚｎ＝１：ｘ：ｙ（ｘは０以上、ｙは０．５以上５以下）の組成式で表されるものを用いるのが好適である。例えば、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：２［ｍｏｌ数比］の組成比を有するターゲットなどを用いることができる。また、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：１［ｍｏｌ数比］の組成比を有するターゲットや、In_2O_3：Ga_2O_3：ＺｎＯ＝１：１：４［ｍｏｌ数比］の組成比を有するターゲットや、In_2O_3：Ga_2O_3：ＺｎＯ＝１：０：２［ｍｏｌ数比］の組成比を有するターゲットを用いることもできる。

【０２７９】

また、酸化物半導体としてＩｎ－Ｚｎ－Ｏ系の材料を用いる場合、用いるターゲットの組成比は、原子数比で、Ｉｎ：Ｚｎ＝５０：１～１：２（モル数比に換算するとIn_2O_3：ＺｎＯ＝２５：１～１：４）、好ましくはＩｎ：Ｚｎ＝２０：１～１：１（モル数比に換算するとIn_2O_3：ＺｎＯ＝１０：１～１：２）、さらに好ましくはＩｎ：Ｚｎ＝１５：１～１．５：１（モル数比に換算するとIn_2O_3：ＺｎＯ＝１５：２～３：４）とする。例えば、Ｉｎ－Ｚｎ－Ｏ系酸化物半導体の形成に用いるターゲットは、原子数比がＩｎ：Ｚｎ：Ｏ＝Ｘ：Ｙ：Ｚのとき、Ｚ＞１．５Ｘ＋Ｙとする。

【０２８０】

なお、ターゲット中の金属酸化物の相対密度は８０％以上、好ましくは９５％以上、さらに好ましくは９９．９％以上である。相対密度の高いターゲットを用いることにより、緻密な構造の酸化物半導体層を成膜することが可能である。

【０２８１】

また、酸化物半導体層の成膜雰囲気は、不活性雰囲気、酸化性雰囲気、又は不活性ガスと酸化性ガスとの混合雰囲気とするのが好適である。酸化性雰囲気とは、酸素、オゾンまたは二酸化窒素などの酸化性ガスを主成分とする雰囲気であって、水、水素などが含まれないことが好ましい。例えば、熱処理装置に導入する酸素、オゾン、二酸化窒素の純度は、８Ｎ（９９．９９９９９９％）以上、好ましくは９Ｎ（９９．９９９９９９９％）以上（即ち、不純物濃度が１ｐｐｍ以下、好ましくは０．１ｐｐｍ未満）とする。酸化性雰囲気は、酸化性ガスを不活性ガスと混合して用いてもよい。その場合、酸化性ガスが少なくとも１０ｐｐｍ以上含まれるものとする。また、不活性雰囲気とは、窒素、希ガス（ヘリウム、ネオン、アルゴン、クリプトン、キセノン）などの不活性ガスを主成分とする雰囲気である。例えば、熱処理装置に導入する不活性ガスの純度は、６Ｎ（９９．９９９９％）以上、好ましくは７Ｎ（９９．９９９９９％）以上（すなわち、不純物濃度が１ｐｐｍ以下、好ましくは０．１ｐｐｍ以下）とする。具体的には、酸化性ガスなどの反応性ガスが１０ｐｐｍ未満とする。

【０２８２】

酸化物半導体層をスパッタリング法により成膜する際には、例えば、減圧状態に保持された処理室内に被処理物を保持し、被処理物の温度が１００℃以上５５０℃未満、好ましくは２００℃以上４００℃以下となるように被処理物を熱する。または、酸化物半導体層の成膜の際の被処理物の温度は、室温としてもよい。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層を成膜する。被処理物を熱しながら酸化物半導体層を成膜することにより、酸化物半導体層に含まれる水素や水などの不純物を低減することができる。また、スパッタによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気することで、処理室から水素や水などの不純物を除去することができるため、酸化物半導体層中の不純物濃度を低減でき

る。

【０２８３】

酸化物半導体層を、スパッタリング法を用いて成膜する場合には、例えば、被処理物とターゲットの間との距離が１７０ｍｍ、圧力が０．４Ｐａ、直流（ＤＣ）電力が０．５ｋＷ、雰囲気が酸素（酸素１００％）雰囲気、またはアルゴン（アルゴン１００％）雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流（ＤＣ）電源を用いると、パーティクル（成膜時に形成される粉状の物質など）を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層の厚さは、１ｎｍ以上５０ｎｍ以下、好ましくは１ｎｍ以上３０ｎｍ以下、より好ましくは１ｎｍ以上１０ｎｍ以下とする。このような厚さの酸化物半導体層を用いることで、微細化に伴う短チャネル効果を抑制することが可能である。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択することもできる。

【０２８４】

なお、酸化物半導体層をスパッタリング法により成膜する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、成膜表面（例えば絶縁層１８２８の表面）の付着物を除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタターゲットにイオンを衝突させるところを、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、被処理物付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

【０２８５】

また、酸化物半導体層の加工は、所望の形状のマスクを酸化物半導体層上に形成した後、当該酸化物半導体層をエッチングすることによって行うことができる。上述のマスクは、フォトリソグラフィなどの方法を用いて形成することができる。または、インクジェット法などの方法を用いてマスクを形成しても良い。なお、酸化物半導体層のエッチングは、ドライエッチングでもウェットエッチングでもよい。もちろん、これらを組み合わせて用いてもよい。

【０２８６】

上述のように成膜された酸化物半導体層１８４４は、非単結晶構造をとる場合がある。ここで、非単結晶構造とは、非晶質構造、微結晶（マイクロクリスタル、ナノクリスタルなど）構造、多結晶構造、非晶質中に微結晶や多結晶が含まれる構造、非晶質構造の表面に微結晶や多結晶が形成された構造などをいう。

【０２８７】

次に、酸化物半導体層１８４４を成膜する方法について説明する。ここで成膜する酸化物半導体層１８４４は、ＣＡＡＣ－ＯＳ（Ｃ Ａｘｉｓ Ａｌｉｇｎｅｄ Ｃｒｙｓｔａｌｌｉｎｅ Ｏｘｉｄｅ Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）膜で形成される。

【０２８８】

なお、ＣＡＡＣ－ＯＳ膜は、完全な単結晶ではなく、完全な非晶質でもない。ＣＡＡＣ－ＯＳ膜は、非晶質相に結晶部および非晶質部を有する結晶－非晶質混相構造の酸化物半導体膜である。

【０２８９】

ＣＡＡＣ－ＯＳ膜は単結晶ではないが、また、非晶質のみから形成されているものでもない。また、ＣＡＡＣ－ＯＳ膜は結晶化した部分（結晶部分）を含むが、１つの結晶部分と他の結晶部分の境界を明確に判別できないこともある。

【０２９０】

ＣＡＡＣ－ＯＳ膜を構成する酸素の一部は窒素で置換されてもよい。また、ＣＡＡＣ－ＯＳ膜を構成する個々の結晶部分のｃ軸は一定の方向（例えば、ＣＡＡＣ－ＯＳ膜を支持する基板面やＣＡＡＣ－ＯＳ膜の表面や膜面、界面等に垂直な方向）に揃っていてもよい

。あるいは、ＣＡＡＣ－ＯＳ膜を構成する個々の結晶部分のａｂ面の法線は一定の方向（例えば、基板面、表面、膜面、界面等に垂直な方向）を向いていてもよい。

【０２９１】

ＣＡＡＣ－ＯＳ膜は、その組成等に応じて、導体であったり、半導体であったり、絶縁体であったりする。また、その組成等に応じて、可視光に対して透明であったり不透明であったりする。なお、酸化物半導体層１８４４に用いられるＣＡＡＣ－ＯＳ膜は半導体であるとする。

【０２９２】

このようなＣＡＡＣ－ＯＳ膜の例として、膜状に形成され、膜表面、基板面、または界面に垂直な方向から観察すると三角形、または、六角形の原子配列が認められ、かつその膜断面を観察すると金属原子、または、金属原子と酸素原子（あるいは窒素原子）の層状配列が認められる材料を挙げることもできる。

【０２９３】

酸化物半導体層１８４４を絶縁層１８２８上にスパッタリング法、分子線エピタキシー法、原子層堆積法またはパルスレーザー蒸着法によって成膜する。なお、成膜時に被処理物を加熱することで、非晶質領域に対して結晶領域の占める割合の多い酸化物半導体層１８４４とすることができる。例えば、基板温度を１５０℃以上４５０℃以下とすればよい。好ましくは、基板温度を２００℃以上３５０℃以下とする。このように基板温度を高めることによって、酸化物半導体層１８４４をより結晶化させることができる。

【０２９４】

次に、酸化物半導体層１８４４を成膜した後に、第１の熱処理を行ってもよい。第１の熱処理を行うことによって、より非晶質領域に対して結晶領域の割合の多い酸化物半導体層１８４４とすることができる。第１の熱処理は、例えば２００℃以上基板の歪み点未満で行えばよい。好ましくは、２５０℃以上４５０℃以下とする。雰囲気は限定されないが、酸化性雰囲気、不活性雰囲気または減圧雰囲気で行う。処理時間は３分～２４時間とする。処理時間を長くするほど非晶質領域に対して結晶領域の割合の多い酸化物半導体層１８４４を形成することができるが、２４時間を超える熱処理は生産性の低下を招くため好ましくない。また、酸化物半導体層１８４４を成膜した後に、第１の熱処理を行うことにより、酸化物半導体層１８４４中の過剰な水素（水や水酸基を含む）を除去し、酸化物半導体層１８４４の構造を整え、エネルギーギャップ中の欠陥準位を低減することができる。

【０２９５】

熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、ＧＲＴＡ（Ｇａｓ　Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置、ＬＲＴＡ（Ｌａｍｐ　Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置等のＲＴＡ（Ｒａｐｉｄ　Ｔｈｅｒｍａｌ　Ａｎｎｅａｌ）装置を用いることができる。ＬＲＴＡ装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。ＧＲＴＡ装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【０２９６】

例えば、第１の熱処理として、熱せられた不活性雰囲気中に被処理物を投入し、数分間熱した後、当該不活性雰囲気から被処理物を取り出すＧＲＴＡ処理を行ってもよい。ＧＲＴＡ処理を用いると短時間での高温熱処理が可能となる。また、被処理物の耐熱温度を超える温度条件であっても適用が可能となる。なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第１の熱処理を行うことで、酸素欠損に起因するエネルギーギャップ中の欠陥準位を低減することができるためである。

【０２９７】

いずれにしても、第１の熱処理を行うことによって不純物を低減し、ｉ型（真性半導体）またはｉ型に限りなく近い酸化物半導体層１８４４を形成することができる。また、非晶質領域に対して結晶領域の割合の多い酸化物半導体層１８４４を形成することができる。このような酸化物半導体層１８４４を用いることで、極めて優れた特性のトランジスタを実現することができる。

【０２９８】

次に、酸化物半導体層１８４４などの上に、ソース電極およびドレイン電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂを形成する（図２１（Ｂ）参照）。

【０２９９】

導電層は、ＰＶＤ法や、ＣＶＤ法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。

【０３００】

導電層は、単層構造であっても良いし、２層以上の積層構造としてもよい。例えば、チタン膜や窒化チタン膜の単層構造、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された２層構造、窒化チタン膜上にチタン膜が積層された２層構造、チタン膜とアルミニウム膜とチタン膜とが積層された３層構造などが挙げられる。なお、導電層を、チタン膜や窒化チタン膜の単層構造とする場合には、テーパー形状を有するソース電極またはドレイン電極１８４２ａ、およびソース電極またはドレイン電極１８４２ｂへの加工が容易であるというメリットがある。

【０３０１】

また、導電層は、導電性の金属酸化物を用いて形成しても良い。導電性の金属酸化物としては酸化インジウム（In_2O_3）、酸化スズ（SnO_2）、酸化亜鉛（ＺｎＯ）、酸化インジウム酸化スズ（In_2O_3－SnO_2、ＩＴＯと略記する場合がある）、酸化インジウム酸化亜鉛（In_2O_3－ＺｎＯ）、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

【０３０２】

導電層のエッチングは、形成されるソース電極またはドレイン電極１８４２ａ、およびソース電極またはドレイン電極１８４２ｂの端部が、テーパー形状となるように行うことが好ましい。ここで、テーパー角は、例えば、３０°以上６０°以下であることが好ましい。ソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂの端部をテーパー形状となるようにエッチングすることにより、後に形成されるゲート絶縁層１８４６の被覆性を向上し、段切れを防止することができる。

【０３０３】

上部のトランジスタのチャネル長（Ｌ）は、ソース電極またはドレイン電極１８４２ａ、およびソース電極またはドレイン電極１８４２ｂの下端部の間隔によって決定される。なお、チャネル長（Ｌ）が２５ｎｍ未満のトランジスタを形成する場合に用いるマスク形成の露光を行う際には、数ｎｍ～数１０ｎｍと波長の短い超紫外線（Ｅｘｔｒｅｍｅ Ｕｌｔｒａｖｉｏｌｅｔ）を用いるのが望ましい。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャネル長（Ｌ）を、１０ｎｍ以上１０００ｎｍ（１μｍ）以下とすることも可能であり、回路の動作速度を高めることが可能である。また、微細化によって、半導体装置の消費電力を低減することも可能である。

【０３０４】

次に、ソース電極またはドレイン電極１８４２ａ、１８４２ｂを覆い、かつ、酸化物半導体層１８４４の一部と接するように、ゲート絶縁層１８４６を形成する（図２１（Ｃ）

参照）。

【０３０５】

ゲート絶縁層１８４６は、ＣＶＤ法やスパッタリング法等を用いて形成することができる。また、ゲート絶縁層１８４６は、酸化シリコン、窒化シリコン、酸窒化シリコンなどの材料を用いて形成する。また、ゲート絶縁層１８４６は、１３族元素および酸素を含む材料を用いて形成することもできる。１３族元素および酸素を含む材料としては、例えば、酸化ガリウム、酸化アルミニウム、酸化アルミニウムガリウムなどを用いることができる。さらに、酸化タンタル、酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムアルミネート（ＨｆＡｌｘＯｙ（ｘ＞０、ｙ＞０））、などを含むように形成してもよい。ゲート絶縁層１８４６は、単層構造としても良いし、上記の材料を組み合わせて積層構造としても良い。また、その厚さは特に限定されないが、半導体装置を微細化する場合には、トランジスタの動作を確保するために薄くするのが望ましい。例えば、酸化シリコンを用いる場合には、１ｎｍ以上１００ｎｍ以下、好ましくは１０ｎｍ以上５０ｎｍ以下とすることができる。

【０３０６】

ゲート絶縁層１８４６は、水素、水などの不純物を混入させない方法を用いて成膜することが好ましい。ゲート絶縁層１８４６に水素、水などの不純物が含まれると、後に形成される酸化物半導体膜に水素、水などの不純物の浸入や、水素、水などの不純物による酸化物半導体膜中の酸素の引き抜き、などによって酸化物半導体膜のバックチャネルが低抵抗化（ｎ型化）してしまい、寄生チャネルが形成されるおそれがあるためである。よって、ゲート絶縁層１８４６はできるだけ水素、水などの不純物が含まれないように作製することが好ましい。例えば、スパッタリング法によって成膜するのが好ましい。成膜する際に用いるスパッタガスとしては、水素、水などの不純物が除去された高純度ガスを用いることが好ましい。

【０３０７】

なお、酸化物半導体層１８４４に用いられる酸化物半導体材料には、１３族元素を含むものが多い。このため、１３族元素および酸素を含む材料を用いて、酸化物半導体層１８４４と接するゲート絶縁層１８４６を形成する場合には、酸化物半導体層１８４４との界面の状態を良好に保つことができる。これは、１３族元素および酸素を含む材料と、酸化物半導体材料との相性が良いことによる。例えば、酸化物半導体層１８４４と酸化ガリウムを用いたゲート絶縁層１８４６を接して設けることにより、酸化物半導体層１８４４とゲート絶縁層１８４６との界面における水素のパイルアップを低減することができる。また、ゲート絶縁層１８４６として、酸化アルミニウムを用いる場合は、水を透過させにくいという特性を有しているため、当該材料を用いることは、酸化物半導体層１８４４の水の浸入防止という点においても好ましい。

【０３０８】

上述のように、ゲート絶縁層を薄くすると、トンネル効果などに起因するゲートリークが問題となる。ゲートリークの問題を解消するには、ゲート絶縁層１８４６に、酸化ハフニウム、酸化タンタル、酸化イットリウム、ハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムシリケート（ＨｆＳｉｘＯｙ（ｘ＞０、ｙ＞０））、窒素が添加されたハフニウムアルミネート（ＨｆＡｌｘＯｙ（ｘ＞０、ｙ＞０））、などの高誘電率（ｈｉｇｈ－ｋ）材料を用いると良い。ｈｉｇｈ－ｋ材料をゲート絶縁層１８４６に用いることで、電気的特性を確保しつつ、ゲートリークを抑制するために膜厚を大きくすることが可能になる。なお、ｈｉｇｈ－ｋ材料を含む膜と、酸化シリコン、窒化シリコン、酸化窒化シリコン、窒化酸化シリコン、酸化アルミニウムなどのいずれかを含む膜との積層構造としてもよい。

【０３０９】

また、ゲート絶縁層１８４６は、酸素が化学量論的組成比よりも多く含むことが好ましい。例えば、ゲート絶縁層１８４６として酸化ガリウムを用いた場合、化学量論的組成比

は$Ga_2O_{3+\alpha}$（$0<\alpha<1$）と表すことができる。また、酸化アルミニウムを用いた場合は、$Al_2O_{3+\alpha}$（$0<\alpha<1$）と表すことができる。さらに、酸化ガリウムアルミニウムを用いた場合は、$Ga_xAl_{2-x}O_{3+\alpha}$（$0<x<2$、$0<\alpha<1$）と表すことができる。

【０３１０】

なお、酸化物半導体層の成膜後、酸化物半導体層１８４４の形成後、またはゲート絶縁層１８４６の形成後のいずれかにおいて、酸素ドープ処理を行ってもよい。酸素ドープとは、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）をバルクに添加することを言う。なお、当該「バルク」の用語は、酸素を、薄膜表面のみでなく薄膜内部に添加することを明確にする趣旨で用いている。また、「酸素ドープ」には、プラズマ化した酸素をバルクに添加する「酸素プラズマドープ」が含まれる。酸素ドープ処理を行うことにより、酸化物半導体層やゲート絶縁層に含まれる酸素を、化学量論的組成比より多くすることができる。

【０３１１】

酸素ドープ処理は、ＩＣＰ（Ｉｎｄｕｃｔｉｖｅｌｙ Ｃｏｕｐｌｅｄ Ｐｌａｓｍａ：誘導結合型プラズマ）方式を用いて、マイクロ波（例えば、周波数２．４５ＧＨｚ）により励起された酸素プラズマを用いて行うことが好ましい。

【０３１２】

ゲート絶縁層１８４６の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第２の熱処理を行うのが望ましい。熱処理の温度は、２００℃以上４５０℃以下、望ましくは２５０℃以上３５０℃以下である。例えば、窒素雰囲気下で２５０℃、１時間の熱処理を行えばよい。第２の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層１８４６が酸素を含む場合、酸化物半導体層１８４４に酸素を供給し、該酸化物半導体層１８４４の酸素欠損を補填して、ｉ型（真性半導体）またはｉ型に限りなく近い酸化物半導体層を形成することもできる。

【０３１３】

なお、本実施の形態では、ゲート絶縁層１８４６の形成後に第２の熱処理を行っているが、第２の熱処理のタイミングはこれに限定されない。例えば、ゲート電極の形成後に第２の熱処理を行っても良い。また、第１の熱処理に続けて第２の熱処理を行っても良いし、第１の熱処理に第２の熱処理を兼ねさせても良いし、第２の熱処理に第１の熱処理を兼ねさせても良い。

【０３１４】

上述のように、第１の熱処理と第２の熱処理の少なくとも一方を適用することで、酸化物半導体層１８４４を、その水素原子を含む物質が極力含まれないように高純度化することができる。

【０３１５】

次に、ゲート電極（これと同じ層で形成される配線を含む）を形成するための導電層を形成し、当該導電層を加工して、ゲート電極１８４８ａおよび導電層１８４８ｂを形成する（図２１（Ｄ）参照）。

【０３１６】

ゲート電極１８４８ａおよび導電層１８４８ｂは、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。なお、ゲート電極１８４８ａおよび導電層１８４８ｂは、単層構造としても良いし、積層構造としても良い。

【０３１７】

次に、ゲート絶縁層１８４６、ゲート電極１８４８ａ、および導電層１８４８ｂ上に、絶縁層１８５０および絶縁層１８５２を形成する（図２２（Ａ）参照）。絶縁層１８５０および絶縁層１８５２は、ＰＶＤ法やＣＶＤ法などを用いて形成することができる。また、酸化シリコン、酸窒化シリコン、窒化シリコン、酸化ハフニウム、酸化ガリウム、酸化アルミニウム、酸化ガリウムアルミニウム等の無機絶縁材料を含む材料を用いて形成する

ことができる。なお、絶縁層１８５０および絶縁層１８５２には、誘電率の低い材料や、誘電率の低い構造（多孔性の構造など）を用いることが望ましい。絶縁層１８５０および絶縁層１８５２の誘電率を低くすることにより、配線や電極などの間に生じる容量を低減し、動作の高速化を図ることができるためである。なお、本実施の形態では、絶縁層１８５０および絶縁層１８５２の単層構造としているが、本発明の一態様はこれに限定されず、２層以上の積層構造としても良い。

【０３１８】

次に、ゲート絶縁層１８４６、絶縁層１８５０および絶縁層１８５２に、ソース電極またはドレイン電極１８４２ｂにまで達する開口１８５３を形成する。その後、開口１８５３にソース電極またはドレイン電極１８４２ｂと接する電極１８５４を形成し、絶縁層１８５２上に電極１８５４に接する配線１８５６を形成する（図２２（Ｂ）参照）。なお、当該開口の形成は、マスクなどを用いた選択的なエッチングにより行われる。

【０３１９】

電極１８５４は、例えば、開口１８５３を含む領域にＰＶＤ法やＣＶＤ法などを用いて導電層を形成した後、エッチング処理やＣＭＰ処理といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

【０３２０】

より具体的には、例えば、開口１８５３を含む領域にＰＶＤ法によりチタン膜を薄く形成し、ＣＶＤ法により窒化チタン膜を薄く形成した後に、開口１８５３に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、ＰＶＤ法により形成されるチタン膜は、被形成面の酸化膜（自然酸化膜など）を還元し、下部電極など（ここではソース電極またはドレイン電極１８４２ｂ）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

【０３２１】

なお、上記導電層の一部を除去して電極１８５４を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口１８５３を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口１８５３に埋め込むようにタングステン膜を形成する場合には、その後のＣＭＰ処理によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、電極１８５４を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

【０３２２】

配線１８５６は、スパッタ法をはじめとするＰＶＤ法や、プラズマＣＶＤ法などのＣＶＤ法を用いて導電層を形成した後、当該導電層をパターニングすることによって形成される。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、ネオジム、スカンジウムのいずれか、またはこれらを複数組み合わせた材料を用いてもよい。詳細は、ソース電極またはドレイン電極１８４２ａ、１８４２ｂなどと同様である。

【０３２３】

以上により、トランジスタ１８６０、トランジスタ１８６２、および容量素子１８６４を含む半導体装置が完成する（図２２（Ｂ）参照）。

【０３２４】

また、酸化物半導体層１８４４とソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂとの間に、ソース領域及びドレイン領域として機能する酸化物導電層をバッファ層として設けてもよい。図２１（Ｄ）のトランジスタ１８６２に酸化物導電層を設けたトランジスタ２３４１、２３４２を図２３（Ａ）（Ｂ）に示す。

【０３２５】

図２３（Ａ）（Ｂ）のトランジスタ２３４１、２３４２は、酸化物半導体層１８４４とソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂとの間に、ソース領域及びドレイン領域として機能する酸化物導電層２３０４ａ、２３０４ｂが形成されている。図２３（Ａ）（Ｂ）のトランジスタ２３４１、２３４２は作製工程により酸化物導電層２３０４ａ、２３０４ｂの形状が異なる例である。

【０３２６】

図２３（Ａ）のトランジスタ２３４１では、酸化物半導体膜と酸化物導電膜の積層を形成し、酸化物半導体膜と酸化物導電膜との積層を同じフォトリソグラフィ工程によって形状を加工して島状の酸化物半導体層１８４４と酸化物導電膜を形成する。酸化物半導体層１８４４及び酸化物導電膜上にソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂを形成した後、ソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂをマスクとして、島状の酸化物導電膜をエッチングし、ソース領域およびドレイン領域となる酸化物導電層２３０４ａ、２３０４ｂを形成する。

【０３２７】

図２３（Ｂ）のトランジスタ２３４２では、酸化物半導体層１８４４上に酸化物導電膜を形成し、その上に金属導電膜を形成し、酸化物導電膜および金属導電膜を同じフォトリソグラフィ工程によって加工して、ソース領域およびドレイン領域となる酸化物導電層２３０４ａ、２３０４ｂ、ソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂを形成する。

【０３２８】

なお、酸化物導電層の形状を加工するためのエッチング処理の際、酸化物半導体層が過剰にエッチングされないように、エッチング条件（エッチング材の種類、濃度、エッチング時間等）を適宜調整する。

【０３２９】

酸化物導電層２３０４ａ、２３０４ｂの成膜方法は、スパッタリング法や真空蒸着法（電子ビーム蒸着法など）や、アーク放電イオンプレーティング法や、スプレー法を用いる。酸化物導電層の材料としては、酸化亜鉛、酸化亜鉛アルミニウム、酸窒化亜鉛アルミニウム、酸化亜鉛ガリウム、酸化珪素を含むインジウム錫酸化物（ＩＴＳＯ）、などを適用することができる。また、上記材料に酸化珪素を含ませてもよい。

【０３３０】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層１８４４とソース電極またはドレイン電極１８４２ａ、ソース電極またはドレイン電極１８４２ｂとの間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタ２３４１、２３４２が高速動作をすることができる。

【０３３１】

また、酸化物半導体層１８４４、酸化物導電層２３０４ａ、２３０４ｂ、ソース電極またはドレイン電極１８４２ａ、１８４２ｂの構成とすることによって、トランジスタ２３４１、２３４２の耐圧を向上させることができる。

【０３３２】

酸化物半導体層を用いたトランジスタの作製工程は、高温処理を必要とせず、下部のトランジスタなど、他のデバイスや配線に影響を与えずに作製することができる。また、酸化物半導体層を用いたトランジスタの作製工程は、酸化物半導体以外の半導体材料（例えば、シリコン）を用いたトランジスタに比べて作製工程が少ない。

【０３３３】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【０３３４】

（実施の形態６）

本実施の形態では、上述の実施の形態で説明した半導体装置を電子機器に適用する場合に

ついて、図２４を用いて説明する。本実施の形態では、コンピュータ、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯情報端末（携帯型ゲーム機、音響再生装置なども含む）、デジタルカメラ、デジタルビデオカメラ、電子ペーパー、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）などの電子機器に、上述の半導体装置を適用する場合について説明する。

【０３３５】

図２４（Ａ）は、ノート型のパーソナルコンピュータであり、筐体２４０１、筐体２４０２、表示部２４０３、キーボード２４０４などによって構成されている。筐体２４０１と筐体２４０２の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたノート型のパーソナルコンピュータが実現される。

【０３３６】

図２４（Ｂ）は、携帯情報端末（ＰＤＡ）であり、本体２４１１には、表示部２４１３と、外部インターフェイス２４１５と、操作ボタン２４１４等が設けられている。また、携帯情報端末を操作するスタイラス２４１２などを備えている。本体２４１１内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯情報端末が実現される。

【０３３７】

図２４（Ｃ）は、電子ペーパーを実装した電子書籍２４２０であり、筐体２４２１と筐体２４２３の２つの筐体で構成されている。筐体２４２１および筐体２４２３には、それぞれ表示部２４２５および表示部２４２７が設けられている。筐体２４２１と筐体２４２３は、軸部２４３７により接続されており、該軸部２４３７を軸として開閉動作を行うことができる。また、筐体２４２１は、電源２４３１、操作キー２４３３、スピーカー２４３５などを備えている。筐体２４２１、筐体２４２３の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された電子書籍が実現される。

【０３３８】

図２４（Ｄ）は、携帯電話機であり、筐体２４４０と筐体２４４１の２つの筐体で構成されている。さらに、筐体２４４０と筐体２４４１は、スライドし、図２４（Ｄ）のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。また、筐体２４４１は、表示パネル２４４２、スピーカー２４４３、マイクロフォン２４４４、操作キー２４４５、ポインティングデバイス２４４６、カメラ用レンズ２４４７、外部接続端子２４４８などを備えている。また、筐体２４４０は、携帯電話機の充電を行う太陽電池セル２４４９、外部メモリスロット２４５０などを備えている。また、アンテナは、筐体２４４１に内蔵されている。筐体２４４０と筐体２４４１の少なくとも一には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減された携帯電話機が実現される。

【０３３９】

図２４（Ｅ）は、デジタルカメラであり、本体２４６１、表示部２４６７、接眼部２４６３、操作スイッチ２４６４、表示部２４６５、バッテリー２４６６などによって構成されている。本体２４６１内には、先の実施の形態に示す半導体装置が設けられている。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたデジタルカメラが実現される。

【０３４０】

図２４（Ｆ）は、テレビジョン装置２４７０であり、筐体２４７１、表示部２４７３、スタンド２４７５などで構成されている。テレビジョン装置２４７０の操作は、筐体２４７１が備えるスイッチや、リモコン操作機２４８０により行うことができる。筐体２４７１およびリモコン操作機２４８０には、先の実施の形態に示す半導体装置が搭載されている

。そのため、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力が十分に低減されたテレビジョン装置が実現される。

【０３４１】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に係る半導体装置が搭載されている。このため、消費電力を低減した電子機器が実現される。

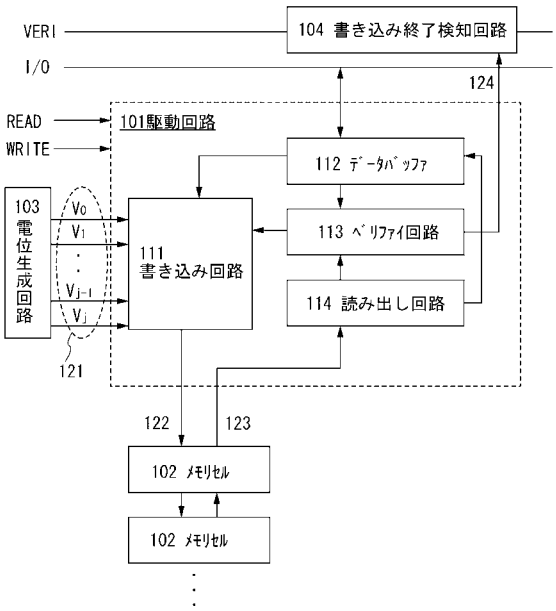
【符号の説明】

【０３４２】

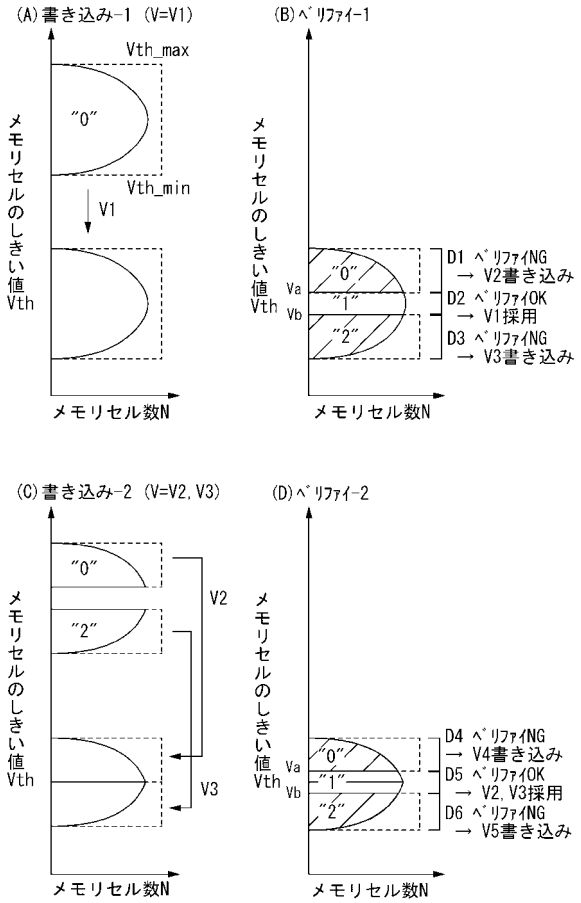
１０１　駆動回路
１０２　メモリセル
１０３　電位生成回路
１０４　書き込み終了検知回路
１１１　書き込み回路
１１２　データバッファ
１１３　ベリファイ回路
１１４　読み出し回路
１２１　第１の信号線
１２２　第２の信号線
１２３　第３の信号線
６０１　駆動回路
６０２　メモリセル
６０３　電位生成回路
６０４　書き込み終了検知回路
６１１　書き込み回路
６１２　データバッファ
６１３　ベリファイ回路
６１４　読み出し回路
１６００　トランジスタ
１６０２　トランジスタ
１６０３　トランジスタ
１６０４　容量素子
１７００　トランジスタ
１７１０　トランジスタ
１７２０　容量素子
１７３０　選択トランジスタ
１７５０　メモリセル
１８００　基板
１８０２　保護層
１８０４　半導体領域
１８０６　素子分離絶縁層
１８０８　ゲート絶縁層
１８１０　ゲート電極
１８１６　チャネル形成領域
１８２０　不純物領域
１８２２　金属層
１８２４　金属化合物領域
１８２６　電極
１８２８　絶縁層
１８４２ａ　ソース電極またはドレイン電極
１８４２ｂ　ソース電極またはドレイン電極
１８４４　酸化物半導体層

１８４６　ゲート絶縁層
１８４８　ゲート電極
１８４８ａ　ゲート電極
１８４８ｂ　導電層
２３０４ａ　酸化物半導体層
２３０４ｂ　酸化物半導体層
２３４１　トランジスタ
２３４２　トランジスタ
２４０１　筐体
２４０２　筐体
２４０３　表示部
２４０４　キーボード
２４１１　本体
２４１２　スタイラス
２４１３　表示部
２４１４　操作ボタン
２４１５　外部インターフェイス
２４２０　電子書籍
２４２１　筐体
２４２３　筐体
２４２５　表示部
２４２７　表示部
２４３１　電源
２４３３　操作キー
２４３５　スピーカー
２４３７　軸部
２４４０　筐体
２４４１　筐体
２４４２　表示パネル
２４４３　スピーカー
２４４４　マイクロフォン
２４４５　操作キー
２４４６　ポインティングデバイス
２４４７　カメラ用レンズ
２４４８　外部接続端子
２４４９　太陽電池セル
２４５０　外部メモリスロット
２４６１　本体
２４６３　接眼部
２４６４　操作スイッチ
２４６５　表示部
２４６６　バッテリー
２４６７　表示部
２４７０　テレビジョン装置
２４７１　筐体
２４７３　表示部
２４７５　スタンド
２４８０　リモコン操作機

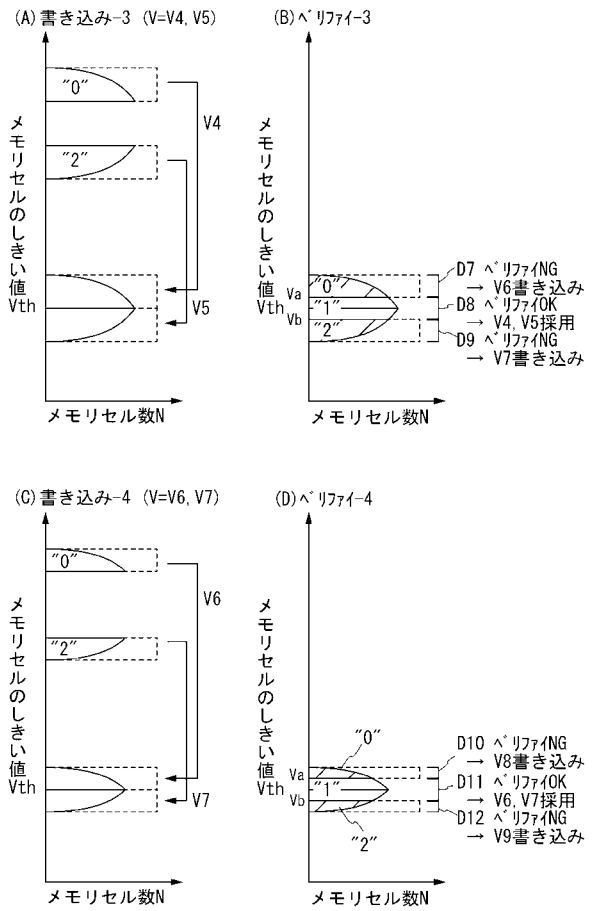
【図１】


VERI
I/O
104 書き込み終了検知回路
124
READ
WRITE
101駆動回路
112 データバッファ
113 ベリファイ回路
114 読み出し回路
103 電位生成回路
V0
V1
Vj-1
Vj
111 書き込み回路
121
122
123
102 メモリセル
102 メモリセル

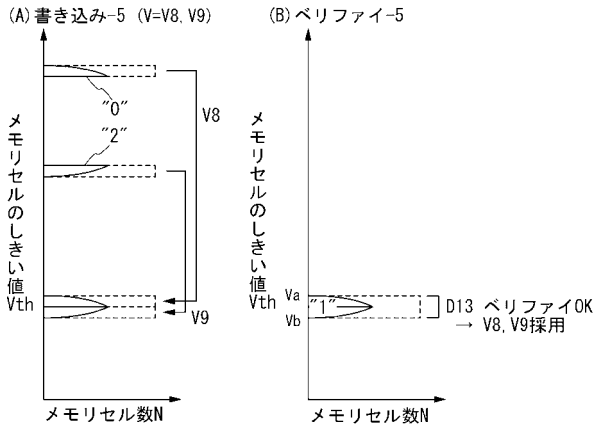
【図２】


(A)書き込み-1 (V=V1)
Vth_max
"0"
Vth_min
V1
メモリセルのしきい値 Vth
メモリセル数N
(B)ベリファイ-1
"0"
"1"
"2"
Va
Vb
D1 ベリファイNG → V2書き込み
D2 ベリファイOK → V1採用
D3 ベリファイNG → V3書き込み
(C)書き込み-2 (V=V2, V3)
V2
V3
(D)ベリファイ-2
D4 ベリファイNG → V4書き込み
D5 ベリファイOK → V2, V3採用
D6 ベリファイNG → V5書き込み

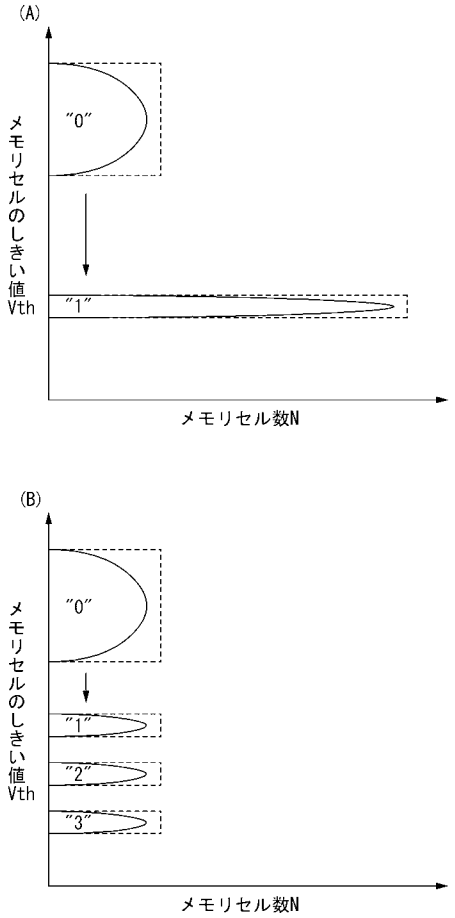
【図３】


(A)書き込み-3 (V=V4, V5)
"0"
"2"
V4
V5
メモリセルのしきい値 Vth
メモリセル数N
(B)ベリファイ-3
Va
Vb
D7 ベリファイNG → V6書き込み
D8 ベリファイOK → V4, V5採用
D9 ベリファイNG → V7書き込み
(C)書き込み-4 (V=V6, V7)
V6
V7
(D)ベリファイ-4
D10 ベリファイNG → V8書き込み
D11 ベリファイOK → V6, V7採用
D12 ベリファイNG → V9書き込み

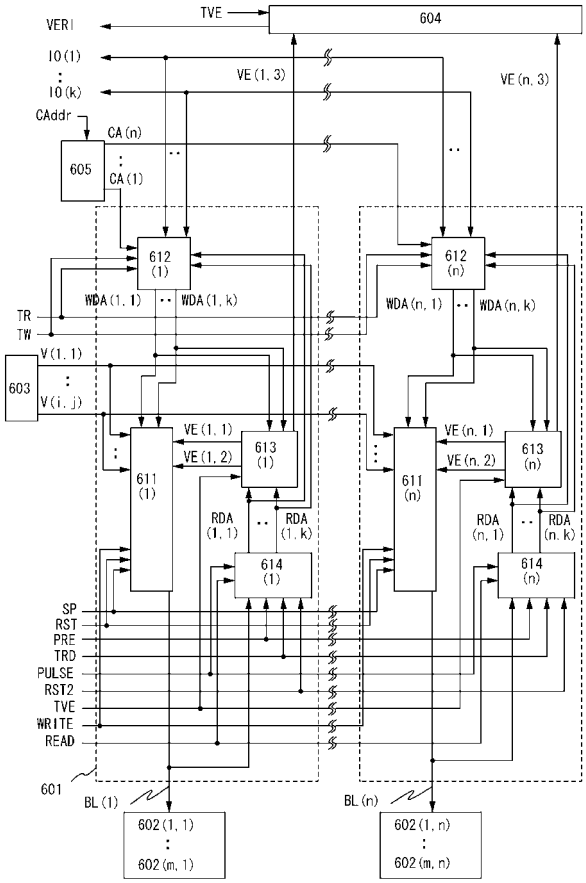
【図４】


(A)書き込み-5 (V=V8, V9)
"0"
"2"
V8
V9
メモリセルのしきい値 Vth
メモリセル数N
(B)ベリファイ-5
Va
Vb
"1"
D13 ベリファイOK → V8, V9採用

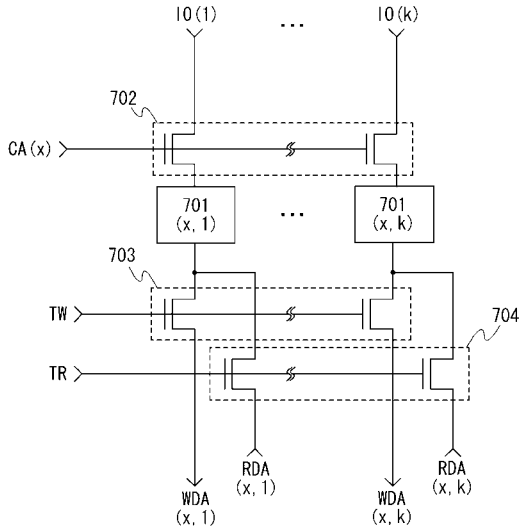
【図５】


(A)
メモリセルのしきい値Vth
"0"
"1"
メモリセル数N
(B)
メモリセルのしきい値Vth
"0"
"1"
"2"
"3"
メモリセル数N

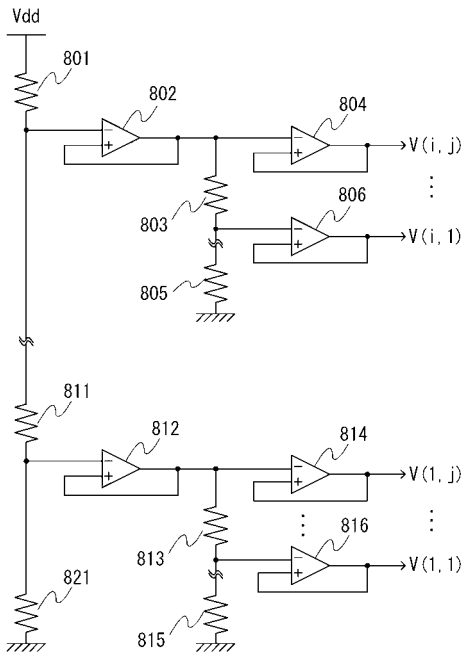
【図６】


VERI
TVE
604
IO(1)
IO(k)
VE(1, 3)
VE(n, 3)
CAddr
CA(n)
CA(1)
605
612 (1)
612 (n)
WDA(1, 1)
WDA(1, k)
WDA(n, 1)
WDA(n, k)
TR
TW
V(1, 1)
V(i, j)
603
611 (1)
611 (n)
VE(1, 1)
VE(1, 2)
VE(n, 1)
VE(n, 2)
613 (1)
613 (n)
RDA (1, 1)
RDA (1, k)
RDA (n, 1)
RDA (n, k)
614 (1)
614 (n)
SP
RST
PRE
TRD
PULSE
RST2
TVE
WRITE
READ
601
BL(1)
BL(n)
602(1, 1)
602(m, 1)
602(1, n)
602(m, n)

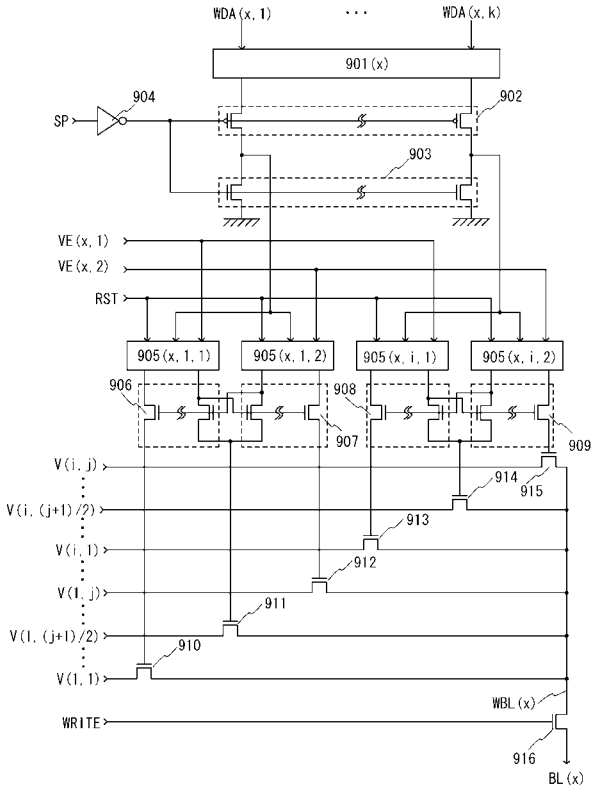
【図７】


IO(1)
IO(k)
702
CA(x)
701 (x, 1)
701 (x, k)
703
TW
TR
704
WDA (x, 1)
RDA (x, 1)
WDA (x, k)
RDA (x, k)

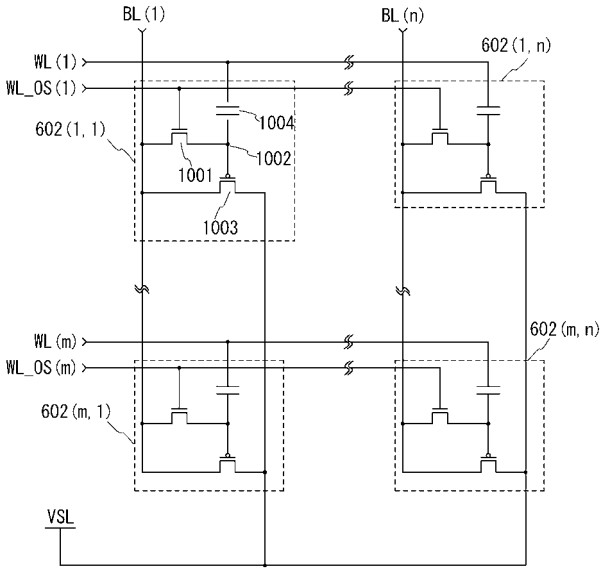
【図８】


Vdd
801
802
804
V(i, j)
803
806
V(i, 1)
805
811
812
814
V(1, j)
813
816
V(1, 1)
821
815

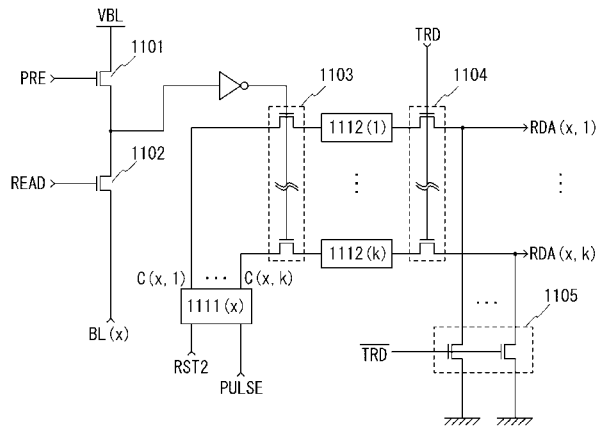
【図９】



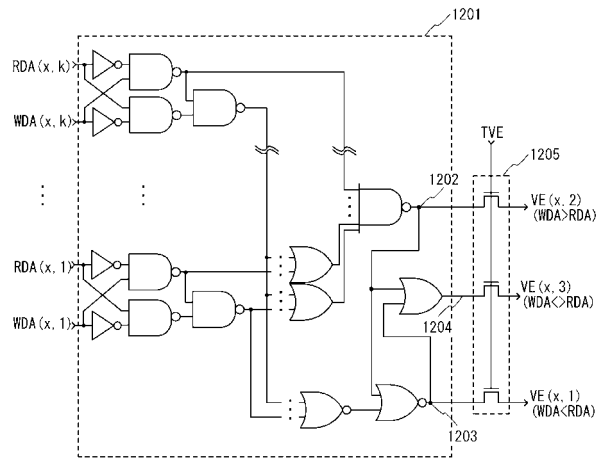
【図１０】



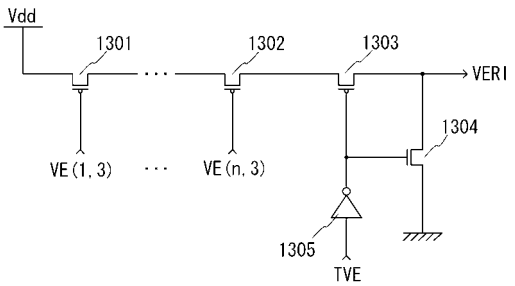
【図１１】



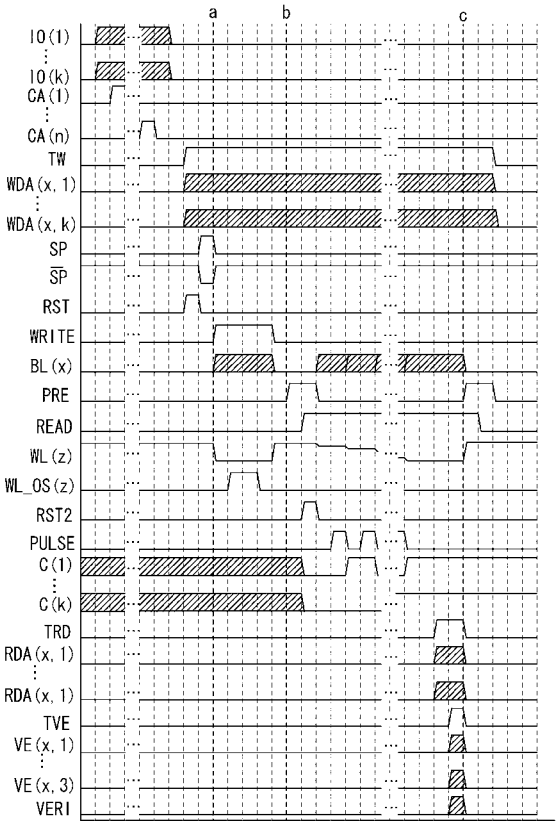
【図１２】



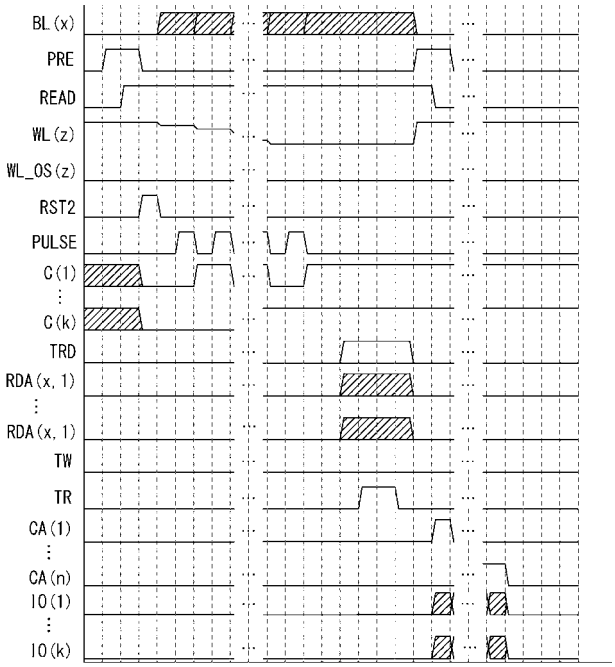
【図１３】



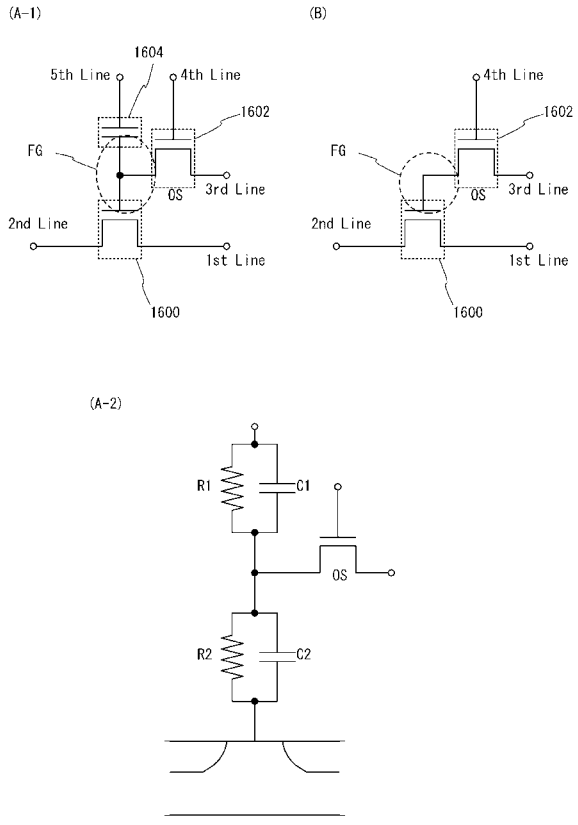
【図１４】



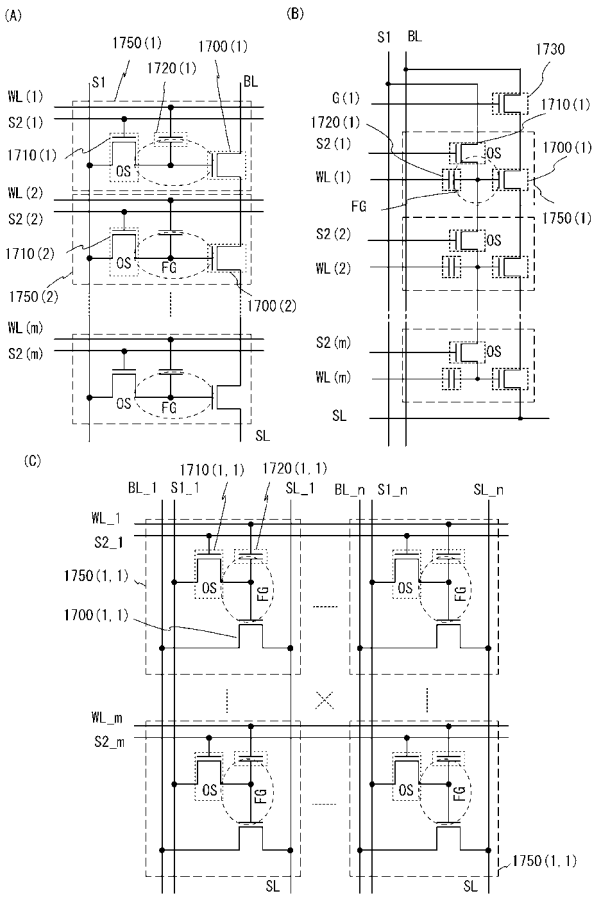
【図１５】



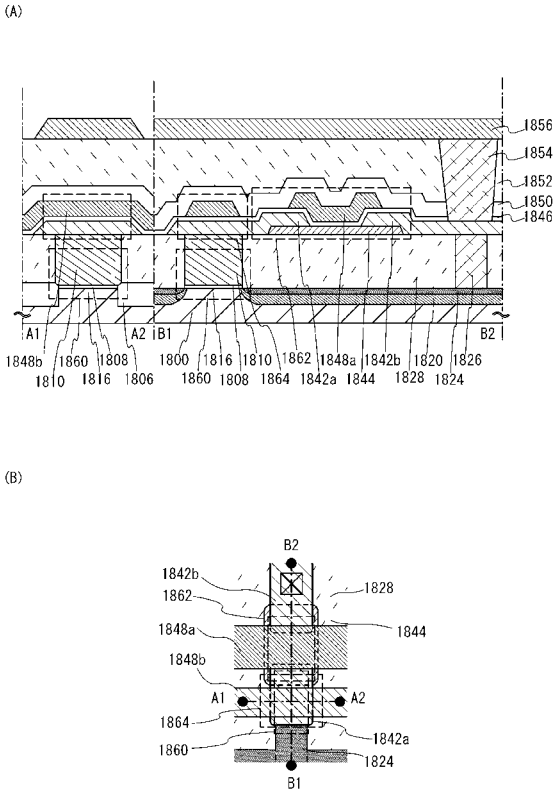
【図１６】



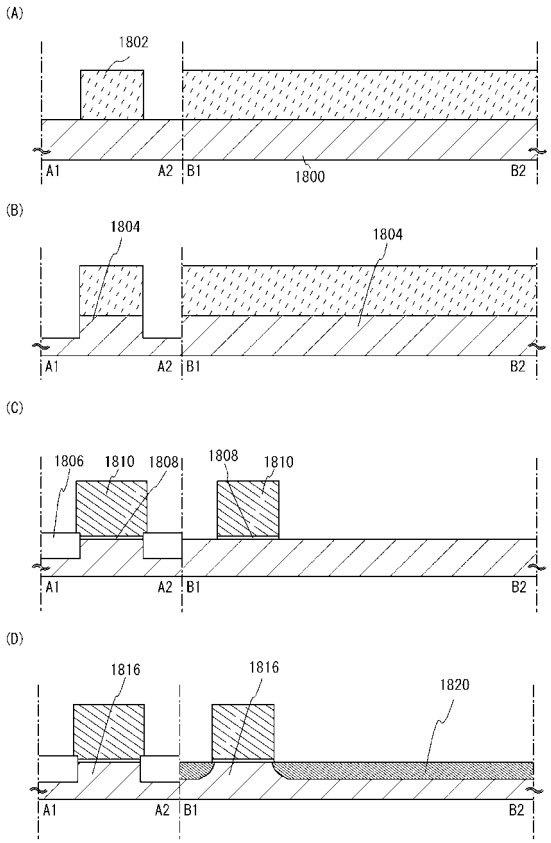
【図１７】



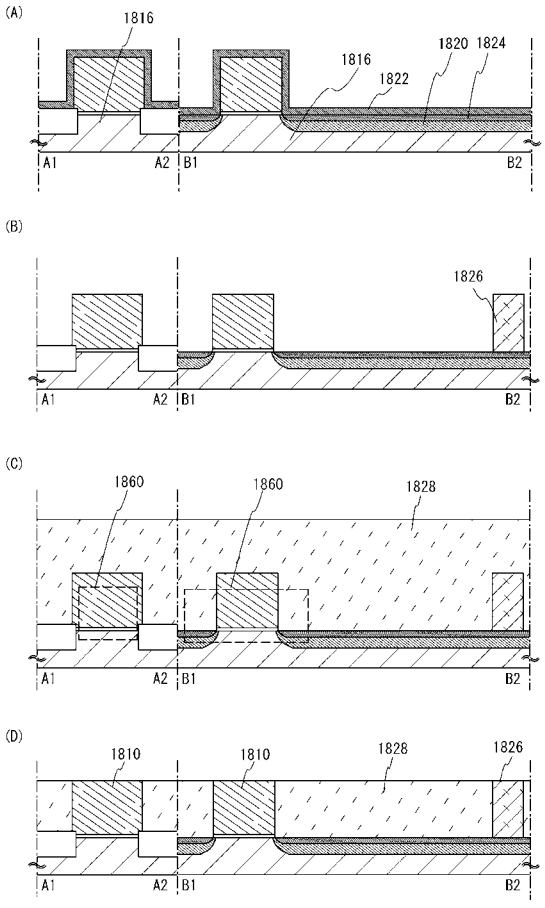
【図１８】



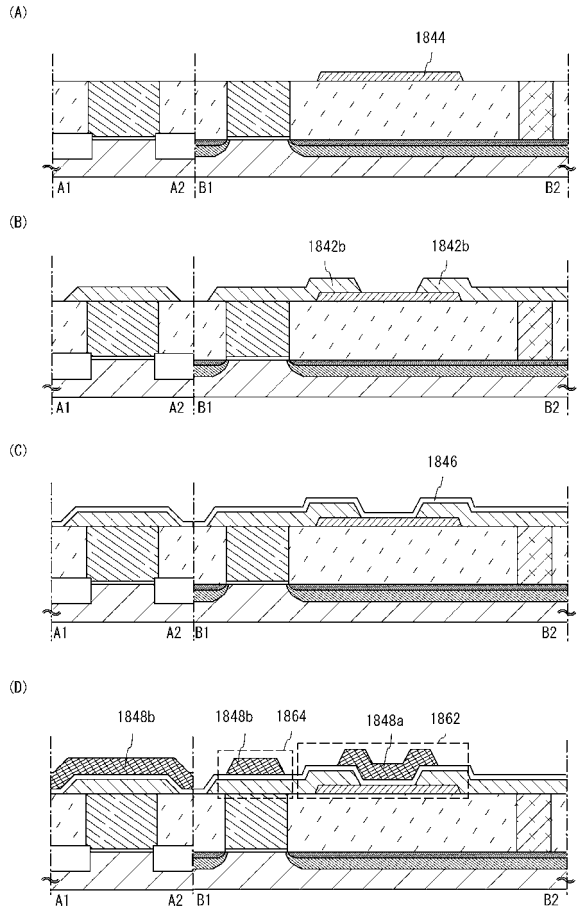
【図１９】



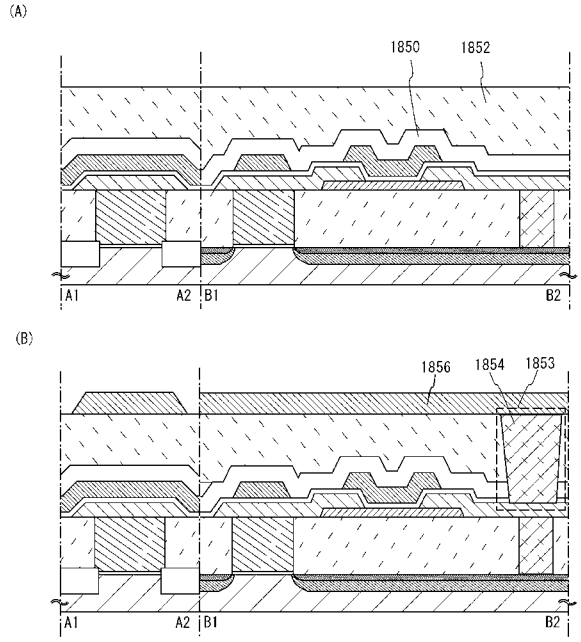
【図２０】



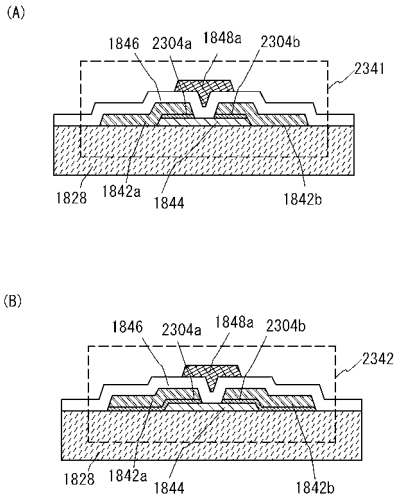
【図２１】



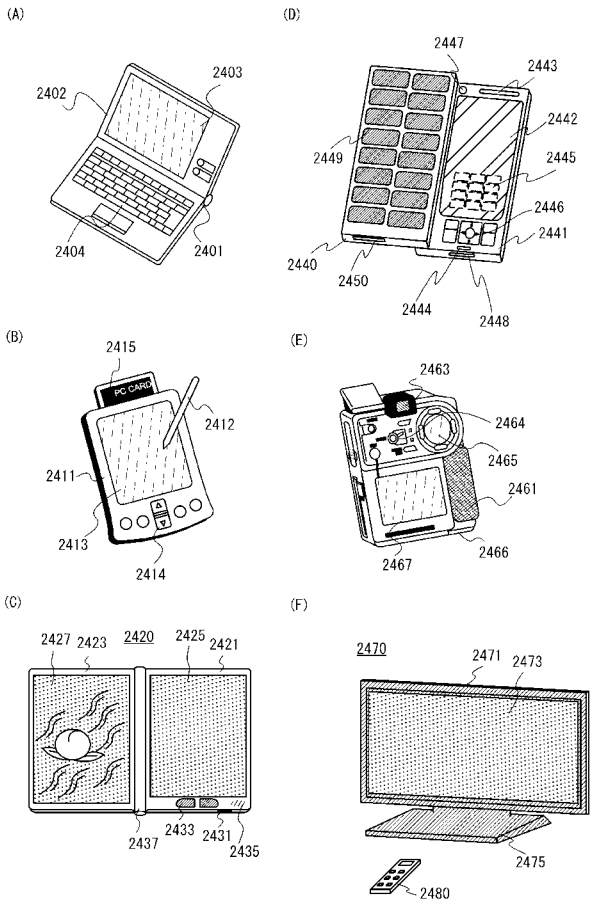
【図２２】


(A)
1850
1852
A1
A2
B1
B2
(B)
1856
1854
1853
A1
A2
B1
B2

【図２３】


(A)
1846
2304a
1848a
2304b
2341
1828
1842a
1844
1842b
(B)
1846
2304a
1848a
2304b
2342
1828
1842a
1844
1842b

【図２４】


(A)
2403
2402
2404
2401
(B)
2415
PC CARD
2412
2411
2413
2414
(C)
2427
2423
2420
2425
2421
2437
2433
2431
2435
(D)
2447
2443
2442
2449
2445
2446
2441
2440
2450
2444
2448
(E)
2463
2464
2465
2461
2467
2466
(F)
2470
2471
2473
2475
2480

フロントページの続き

(51)Int.Cl.			F I			テーマコード（参考）
H01L	***29/788***	***(2006.01)***	H01L	27/10	321	
H01L	***21/336***	***(2006.01)***	H01L	27/10	441	
H01L	***21/8242***	***(2006.01)***	H01L	27/10	481	
H01L	***27/108***	***(2006.01)***	H01L	29/78	613B	
H01L	***27/105***	***(2006.01)***	H01L	29/78	618B	
H01L	***27/10***	***(2006.01)***	C23C	14/08	K	
H01L	***29/786***	***(2006.01)***				
C23C	*14/08*	*(2006.01)*				

Fターム(参考) 5F083 AD10 AD21 AD49 AD53 AD69 EP02 EP22 EP32 EP53 EP56
EP77 ER02 ER13 ER21 FZ07 GA01 GA06 GA09 GA11 GA21
GA22 GA27 HA02 HA10 JA02 JA03 JA04 JA05 JA06 JA12
JA19 JA35 JA36 JA37 JA38 JA39 JA40 JA42 JA44 JA51
JA53 JA56 JA58 JA60 KA01 KA05 LA11 LA12 LA16 MA05
MA06 MA19 NA01 PR01 PR34 PR40 ZA04 ZA21
5F101 BA17 BA19 BA23 BA26 BA29 BA35 BA36 BB02 BB08 BB17
BC20 BD07 BD22 BD30 BD33 BD35 BD39 BE02 BE05 BE07
BE14 BF02 BF05 BF09 BH01 BH16
5F110 AA06 BB05 CC01 CC05 EE02 EE03 EE04 EE06 EE14 FF01
FF02 FF03 FF04 FF05 FF09 FF28 FF29 FF36 GG01 GG03
GG04 GG13 GG14 GG15 GG25 GG28 GG33 GG34 GG35 GG42
GG43 GG55 GG57 HK01 HK02 HK03 HK04 HK07 HK21 HK22
HK33 HK34 HL01 HL02 HL03 HL04 HL12 HL23 HL24 HM03
HM13 HM17 NN72 NN74 NN77 PP01 PP02 PP10 PP29 PP35
QQ01 QQ19
5M024 AA02 AA06 AA37 AA94 BB02 BB14 BB29 BB36 CC02 CC05
FF07 HH01 HH11 PP01 PP02 PP03 PP04 PP05 PP07 PP10