

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-123794

(P2007-123794A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.

F I

テーマコード (参考)

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 7 K

2 H O 9 2

G O 2 F 1/1343 (2006.01)

H O 1 L 29/78 6 1 6 T

5 F 1 1 O

G O 2 F 1/1368 (2006.01)

G O 2 F 1/1343

G O 2 F 1/1368

審査請求 有 請求項の数 15 O L (全 10 頁)

(21) 出願番号 特願2006-9125 (P2006-9125)  
 (22) 出願日 平成18年1月17日 (2006.1.17)  
 (31) 優先権主張番号 94137106  
 (32) 優先日 平成17年10月24日 (2005.10.24)  
 (33) 優先権主張国 台湾 (TW)

(71) 出願人 502352807  
 中華映管股▲ふん▼有限公司  
 台湾台北市中山北路3段22號  
 (74) 代理人 100064584  
 弁理士 江原 省吾  
 (74) 代理人 100093997  
 弁理士 田中 秀佳  
 (74) 代理人 100101616  
 弁理士 白石 吉之  
 (74) 代理人 100107423  
 弁理士 城村 邦彦  
 (74) 代理人 100120949  
 弁理士 熊野 剛  
 (74) 代理人 100121186  
 弁理士 山根 広昭

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタ、画素構造およびその修正方法

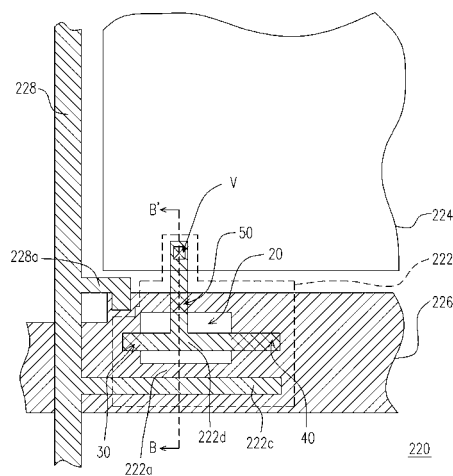
(57) 【要約】

【課題】 安定した品質を備えた画素構造を提供すること。

【解決手段】

走査線、ゲートパターン、第一誘電体層、チャネル層、ソース、ドレイン、データ線、第二誘電体層および画素電極を有する画素構造が提供される。ゲートパターンは走査線と電気的に接続し、内部に開口部を備えている。第一誘電体層は走査線とゲートパターンを被覆し、開口部を充填する。さらに、チャネル層は第一誘電体層上に配置し、ソースおよびドレインはチャネル層上に配置する。ドレインは、ゲートパターンの開口部上に配置する。ソースはデータ線と電気的に接続し、画素電極はドレインと電気的に接続する。開口部を備えたゲートパターンとドレインの間の重複領域は、ゲート - ドレイン間の容量 (C g d) を変化させないように保持できる。

【選択図】 図3



## 【特許請求の範囲】

## 【請求項 1】

走査線と、  
走査線に電氣的に接続し、内側に開口部を形成したゲートパターンと、  
走査線およびゲートパターンを被覆し、開口部を充填する第一誘電体層と、  
ゲートパターン上方で第一誘電体層上に配置したチャンネル層と、  
チャンネル層上に配置したソースおよびドレインと、  
第一誘電体層上に配置し、ソースと電氣的に接続したデータ線と、  
ソース、ドレインおよびデータ線を被覆する第二誘電体層と、  
第二誘電体層上に配置し、ドレインに電氣的に接続した画素電極を有し、  
前記開口部上方にドレインを配置した画素構造。

10

## 【請求項 2】

さらに、データ線と電氣的に接続し、ゲートパターン上方に延びる延長ラインを有する  
請求項 1 記載の画素構造。

## 【請求項 3】

さらに、チャンネル層とソースおよびドレインの間に配置したオーミック接触層を有する  
請求項 1 記載の画素構造。

## 【請求項 4】

チャンネル層の材料が、アモルファス・シリコンを含む請求項 1 記載の画素構造。

## 【請求項 5】

第一誘電体層の材料が、窒化シリコン、酸化シリコン、および酸化窒化シリコン (SiON) を含む請求項 1 記載の画素構造。

20

## 【請求項 6】

第二誘電体層の材料が、窒化シリコン、酸化シリコン、および酸化窒化シリコン (SiON) を含む請求項 1 記載の画素構造。

## 【請求項 7】

画素電極の材料が、インジウム錫酸化物 (ITO) を含む請求項 1 記載の画素構造。

## 【請求項 8】

開口部の周りで、ドレインと延長ラインの両側のゲートパターンを切断し、ドレインおよび延長ラインの下に浮遊パターンを形成し、  
延長ラインと浮遊パターンを電氣的に接続し、  
ドレインと浮遊パターンを電氣的に接続する請求項 2 記載の画素構造の修正に適した画素修正方法。

30

## 【請求項 9】

開口部の周りで、ドレインおよび延長ラインの両側のゲートパターンを切断する方法が、レーザ溝切り技術である請求項 8 記載の画素修正方法。

## 【請求項 10】

延長ラインと浮遊パターンを電氣的に接続し、ドレインと浮遊パターンを電氣的に接続する方法が、レーザ溶接技術である請求項 8 記載の画素修正方法。

## 【請求項 11】

内部に開口部を形成したゲートパターンと、  
ゲートパターンを被覆し、開口部を充填する第一誘電体層と、  
ゲートパターン上の第一誘電体層上に配置したチャンネル層と、  
チャンネル層上に配置したソースおよびドレインと、  
ソースおよびドレインを被覆する第二誘電体層を有し、前記開口部上にドレインを配置した薄膜トランジスタ。

40

## 【請求項 12】

さらに、チャンネル層とソースおよびドレインの間に配置したオーミック接触層を有する  
請求項 11 記載の薄膜トランジスタ。

## 【請求項 13】

50

チャンネル層の材料が、アモルファス・シリコンを含む請求項 1 1 記載の薄膜トランジスタ。

【請求項 1 4】

第一誘電体層の材料が、窒化シリコン、酸化シリコン、および酸化窒化シリコン (SiON) を含む請求項 1 1 記載の薄膜トランジスタ。

【請求項 1 5】

第二誘電体層の材料が、窒化シリコン、酸化シリコン、および酸化窒化シリコン (SiON) を含む請求項 1 1 記載の薄膜トランジスタ。

【発明の詳細な説明】

【技術分野】

10

【0001】

この発明は、画素構造に関する。特に、この発明は画素構造および画素構造内の薄膜トランジスタ構造を修正する方法に関する。

【背景技術】

【0002】

現代社会のメディア技術は、主に半導体素子と表示装置の急速な発展の恩恵を受けて予想以上に繁栄している。高解像度、優れた空間利用性、低消費電力で、電磁波を放出しないといった非凡な特徴によって、薄膜トランジスタ液晶表示装置 (TFT-LCD) は、最近の表示装置市場の主流として次第に有力になっている。

【0003】

20

一般に、TFT-LCDは、主に薄膜トランジスタ (TFT) アレイ基板、一对の対向基板、およびこれら二つの基板の間に配置した液晶 (LC) 層から構成されている。ここで、TFTアレイ基板は、主に基板、基板上にマトリクス状に配置した複数のTFT、画素電極、走査線およびデータ線を有する。一般的にいて、走査線とデータ線は、対応する画素構造に信号を送り、画像を表示するために用いられる。

【0004】

図1は従来技術の既存の画素構造の局所図を概略的に示しており、図2は図1の切断ラインA-A'についての断面図を示している。図1と2は同時に参照する。既存の画素構造120は主に、TFT122、画素電極124、走査線126およびデータ線128を有する。TFT122は、画素電極124と電気的に接続する。詳細には、基板110上のTFT122は、図2に示したように主にゲート122a、チャンネル層122b、ソース122cおよびドレイン122dを有する。このTFT122の構造はボトムゲート型に属し、TFT122のドレイン122dは画素電極124と電気的に接続する。図1に見られるように、走査線126とデータ線128を用い、TFT122を介して画素電極124に適切な電圧を送ることができ、画像表示が実現される。

30

【0005】

注意すべきことは、ゲート-ドレイン間寄生容量 (Cgd) の影響が、ゲート122aとドレイン122dの重複領域10上に通常誘導されるということである。このゲート-ドレイン間寄生容量Cgdの値は、重複領域10の面積に直接的に比例する。TFTの製造では、フォトリソの位置決め誤差、機械の振動、その他の要因によって、ゲート122aとドレイン122dの重複領域10が変化し、ゲート-ドレイン間寄生容量の値にばらつきを生じる。それにもかかわらず、画素供給電圧はこの値Cgdのばらつきに対応して変化し、画素供給電圧のばらつきによってTFT-LCDの画質が劣化する。

40

【0006】

さらに、画素構造の一部に欠陥を引き起こすことがある製造工程中の間違いによって、欠陥を備えた画素構造の修正作業が行われる。一例を挙げる。多くの場合、TFT-LCDがノーマリ・ホワイトモードの場合、画素構造120の修正方法では、ドレイン122dと走査線126を電気的に接続し、ドレイン122dを介して走査線126を画素電極124と電気的に接続できるようにする。そうすることで、画素構造120のドット欠陥を暗点として修正できる。しかし、実際の場合、走査線126 (画素電極124) と対向

50

基板の電極の間の電位差が大きくなりすぎることが引き起こしたＴＦＴパネル内の液晶ポリマのオーバツイストの結果、欠陥を備えた画素は灰色の点として現れ、それらは暗点として修正することはできない。

【発明の開示】

【発明が解決しようとする課題】

【０００７】

このことを考慮すると、この発明の一つの目的は、安定した品質を備えた画素構造を提供することである。

【０００８】

この発明の別の目的は、この発明の画素構造を修正可能な修正方法を提供し、製品歩留まりを向上させることである。 10

【０００９】

この発明の別の一つの目的は、ゲート・ドレイン間寄生容量を一定値に保持可能な薄膜トランジスタを提供することである。

【課題を解決するための手段】

【００１０】

この発明は、走査線、ゲートパターン、第一誘電体層、チャンネル層、ソース、ドレイン、データ線、第二誘電体層および画素電極を有する画素構造を提供する。前記ゲートパターンは走査線と電氣的に接続し、ゲートパターン内には開口部を形成する。第一誘電体層は走査線とゲートパターンを被覆し、開口部を充填する。さらに、チャンネル層はゲートパターン上の第一誘電体層上に配置し、チャンネル層上にはソースおよびドレインを配置する。ドレインは、開口部上にも配置する。その上、データ線は第一誘電体層上に配置し、データ線はソースと電氣的に接続する。第二誘電体層は、ソース、ドレインおよびデータ線を被覆する。さらに、画素電極は第二誘電体層上に配置し、画素電極はドレインと電氣的に接続する。 20

【００１１】

この発明の好ましい一実施例では、上記の画素構造はさらに、ゲートパターン上を延びる延長ラインを有する。

【００１２】

この発明の好ましい一実施例では、上記の画素構造はさらに、チャンネル層とソースおよびドレインの間に配置したオーミック接触層を有する。 30

【００１３】

この発明の好ましい一実施例では、前記チャンネル層の材料は、例えばアモルファス・シリコンであってもよい。

【００１４】

この発明の好ましい一実施例では、前記第一誘電体層の材料は、例えば窒化シリコン、酸化シリコン、または酸化窒化シリコン（ＳｉＯＮ）であってもよい。

【００１５】

この発明の好ましい一実施例では、前記第二誘電体層の材料は、例えば窒化シリコン、酸化シリコン、または酸化窒化シリコン（ＳｉＯＮ）であってもよい。 40

【００１６】

この発明の好ましい一実施例では、前記画素電極の材料は、例えばインジウム錫酸化物（ＩＴＯ）であってもよい。

【００１７】

この発明は、上記の画素構造の修正に適した画素修正方法を提供し、前記方法は開口部の周りで、ドレインと延長ラインの両側上のゲートパターンを切断して、ドレインと延長ラインの下に浮遊パターンを形成し、延長ラインと浮遊パターンを電氣的に接続し、ドレインと浮遊パターンを電氣的に接続するステップを有する。

【００１８】

この発明の好ましい一実施例における上記の画素修正方法であって、開口部の周りで、 50

ドレインと延長ラインの両側上のゲートパターンの切断方法はレーザ溝切り技術である。

【0019】

この発明の好ましい一実施例における上記の画素修正方法であって、延長ラインと浮遊パターンを電氣的に接続し、ドレインと浮遊パターンを電氣的に接続する方法はレーザ溶接技術である。

【0020】

この発明は、ゲートパターン、第一誘電体層、チャネル層、ソース、ドレインおよび第二誘電体層を有する薄膜トランジスタを提供する。ここで、前記ゲートパターン内には開口部を形成し、第一誘電体層はゲートパターンを被覆し、開口部を充填する。さらに、チャネル層はゲートパターン上の第一誘電体層上に配置し、ソースとドレインは両方ともチャネル層上に配置する。前記ドレインは開口部上に配置し、第二誘電体層はソースとドレインを被覆する。

10

【0021】

この発明の好ましい一実施例における上記薄膜トランジスタのチャネル層の材料は、アモルファス・シリコンであってもよい。

【0022】

この発明の好ましい一実施例における上記薄膜トランジスタの第一誘電体層の材料は、窒化シリコン、酸化シリコン、または酸化窒化シリコン(SiON)であってもよい。

【0023】

この発明の好ましい一実施例における上記薄膜トランジスタの第二誘電体層の材料は、窒化シリコン、酸化シリコン、または酸化窒化シリコン(SiON)であってもよい。

20

【0024】

当然のことながら、以上の一般的な説明と以降の詳細な説明は例示的なものであり、請求されるとおりの発明をさらに説明するものとする。

【発明を実施するための最良の形態】

【0025】

図3は、この発明の好ましい一実施例による画素構造の局所図を概略的に示しており、図4は図3の切断ラインB-B'についての断面図を概略的に示している。図3と4を同時に参照する。この発明の画素構造220は、主に薄膜トランジスタ(TFT)222、画素電極224、走査線226およびデータ線228を有する。

30

【0026】

より詳細には、基板210上のTFT222は、図4に示したように画素電極224と電氣的に接続する。このTFT222は、ゲートパターン222a、チャネル層222b、ソース222c、ドレイン222d、第一誘電体層222fおよび第二誘電体層222gを有する。ここで、ゲートパターン222aは走査線226と電氣的に接続し、開口部20を有する。上記のゲートパターン222aは、例えば走査線226の形成と共に製造し、その間に開口部20を形成する。

【0027】

さらに、第一誘電体層222fの材料は、例えば窒化シリコン、酸化シリコン、または酸化窒化シリコン(SiON)等の電氣的絶縁材料であってもよい。第一誘電体層222fは走査線226とゲートパターン222aを被覆し、開口部20を充填する。上記のチャネル層222bの材料はアモルファス・シリコンであってもよく、ゲートパターン222a上の第一誘電体層222f上に配置する。チャネル層222bのインピーダンスを低減するために、チャネル層222bとソース222cおよびドレイン222dの間に、さらにオーミック接触層222eを形成する。

40

【0028】

つまり、ソース222cとドレイン222dはオーミック接触層222e上に配置し、ドレイン222dは開口部20上に配置する。つまり、ドレイン222dは、開口部20上の第一誘電体層222f上に配置する。ここで、ドレイン222dは例えばT字型であってもよく、ゲート-ドレイン間寄生容量の効果はゲートパターン222aとドレイン2

50

２２ｄの重複領域（領域３０、４０および５０）内に発生する。

【００２９】

さらに、上で議論したように、ドレイン２２２ｄは開口部２０を横断するように配置する。従って、ドレイン２２２ｄの製造工程中、フォトマスクの位置決め誤差や機械の振動によって、Ｔ字型のドレイン２２２ｄの位置決め場所が水平または垂直にややずれても、重複領域３０、４０および５０の合計の面積は不変のままである。つまり、ゲート－ドレイン間寄生容量 $C_{gd}$ の値は一定に保持され、供給電圧を安定にし、ＴＦＴ－ＬＣＤの画質が維持される。

【００３０】

注意すべきことは、この発明では、長方形の開口部２０とＴ字型のドレイン２２２ｄを備えた例が取られ、関連図に示されているが、開口部２０とドレイン２２２ｄの形状はこの発明に限定されないということである。つまり、開口部２０とドレイン２２２ｄは両方とも他の形状に構成できる。例えば、開口部は円形または多角形等であってもよく、ドレインは長方形や他の形状であってもよい。

【００３１】

さらに、上記のデータ線２２８は第一誘電体層２２２ｆ上に配置し、ソース２２２ｃと電氣的に接続する。別の実施例では、データ線２２８はさらに、データ線２２８と電氣的に接続した延長ライン２２８ａを有する。ソース２２２ｃ、データ線２２８および上記の延長ライン２２８ａは共に形成できる。ここで、延長ライン２２８ａはゲートパターン２２２ａ上に延び、以降で詳しく説明するように、延長ライン２２８ａの利用目的はレーザ修正に役立たせることである。

【００３２】

さらに、第二誘電体層２２２ｇの材料は、例えば窒化シリコン、酸化シリコン、または酸化窒化シリコン（ $SiON$ ）であってもよい。そして、第二誘電体層２２２ｇは、ソース２２２ｃ、ドレイン２２２ｄおよびデータ線２２８を被覆する。この実施例の画素電極２２４は第二誘電体層２２２ｇ上に配置し、コンタクト窓 $V$ を介して、ドレイン２２２ｄと電氣的に接続する。

【００３３】

製造工程または静電気損傷等の要因が、図３の画素構造内の欠陥を引き起こすとした場合、図３の画素構造２２０を修正方法は次のとおりである。まず、図３を参照し、開口部２０の周りで、ドレイン２２２ｄと延長ライン２２８ａの片側のゲートパターン２２２ａを切断し、図５Ａに示したように、ドレイン２２２ｄと延長ライン２２８ａの下部で、ゲートパターン２２２ａの一部を浮遊パターン $P$ として形成する。上記のゲートパターン２２２ａの切断方法は、レーザ溝切り技術であってもよい。この浮遊パターン $P$ は、ゲートパターン２２２ａから電氣的に絶縁される。

【００３４】

次に、図５Ｂに示したように、延長ライン２２８ａと浮遊パターン $P$ を電氣的に接続し、ドレイン２２２ｄと浮遊パターン $P$ を電氣的に接続する。上記の電氣的に接続を行う方法は、レーザ溶接技術である。そうすることで、データ線２２８は、延長ライン２２８ａと浮遊パターン $P$ を介して、ドレイン２２２ｄと電氣的に接続できる。その後、図６を参照すると、図５の切断ライン $C-C'$ についての断面図が概略的に示されている。延長ライン２２８ａと浮遊パターン $P$ を電氣的に接続することで、画素電極２２４はデータ線２２８と電氣的に接続される。

【００３５】

通常、対向基板上の電極とデータ線２２８の間の電位差は、対向基板上の電極と走査線２２６の間の電位差より小さい。従って、画素電極と走査線を電氣的に接続する既存の修正方法に比べて、レーザ溶接技術を用いて、画素電極２２４とデータ線２２８を電氣的に接続することによる画素修正は、画素電極２２４と対向基板の電極の間の電位差が大きくなりすぎることを防ぐことができる。この方法では、画素の液晶分子のオーバツイストを防ぐことができる。その結果、ノーマリ・ホワイトモードのＴＦＴ－ＬＣＤ用のドット欠

陥を備えた画素構造を修正後、それに対応して表示領域内に暗点を形成でき、従って画素構造の修正が実現できる。

【産業上の利用可能性】

【0036】

つまり、この発明の画素構造およびその修正方法は、少なくとも次のような利点を有する。

(i) この発明の画素構造内ではゲートパターンが開口部を備え、前記開口部上にドレインを配置したTFTを採用することで、ゲート-ドレイン間寄生容量を一定に保持する。

(ii) この発明に基づく画素構造の修正方法を用いることで、ドット欠陥を備えた画素を暗点として修正できる。 10

【0037】

当業者には明らかなように、発明の範囲または精神から逸脱することなく、この発明の構造に様々な修正および変更を行うことができる。上記の観点から、添付の請求項およびそれらと等価なものの範囲内にある限り、この発明はその修正および変形を含むものとする。

【0038】

添付の図面は、発明をさらに理解するために含められ、この明細書に組み込まれ、その一部を構成する。図面は発明の実施例を示し、開示内容と共に、発明の原理の説明に役立つ。 20

【図面の簡単な説明】

【0039】

【図1】従来の技術の既存の画素構造を概略的に示す局所図である。

【図2】図1の切断ラインA-A'について概略的に示す断面図である。

【図3】この発明の好ましい一実施例による画素構造を概略的に示す局所図である。

【図4】図3の切断ラインB-B'について概略的に示す断面図である。

【図5A】この発明の好ましい一実施例による画素構造の修正を概略的に示す流れ図である。

【図5B】この発明の好ましい一実施例による画素構造の修正を概略的に示す流れ図である。 30

【図6】図5Bの切断ラインC-C'について概略的に示す断面図である。

【符号の説明】

【0040】

10 重複領域

20 開口部

30 重複領域

110 基板

120 画素構造

122 a ゲート

122 b チャンネル層 40

122 c ソース

122 d ドレイン

124 画素電極

126 走査線

128 データ線

210 基板

220 画素構造

222 a ゲートパターン

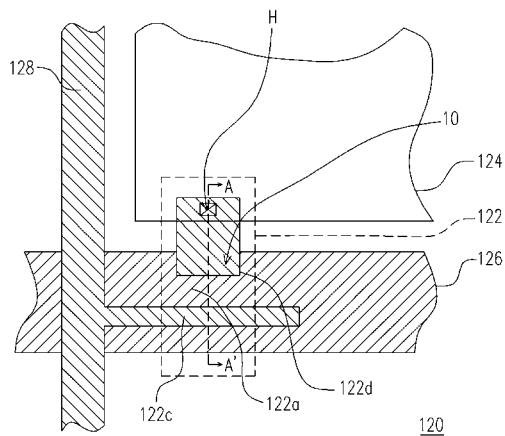
222 b チャンネル層

222 c ソース 50

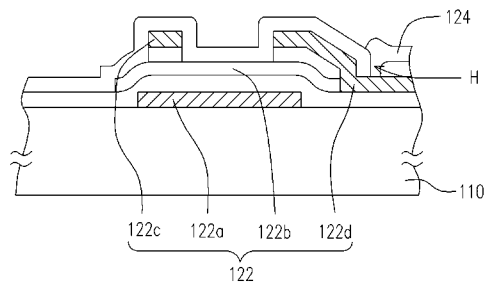
|         |          |
|---------|----------|
| 2 2 2 d | ドレイン     |
| 2 2 2 e | オーミック接触層 |
| 2 2 2 f | 第一誘電体層   |
| 2 2 2 g | 第二誘電体層   |
| 2 2 4   | 画素電極     |
| 2 2 6   | 走査線      |
| 2 2 8   | データ線     |
| 2 2 8 a | 延長ライン    |
| A - A'  | 切断ライン    |
| B - B'  | 切断ライン    |
| C - C'  | 切断ライン    |
| P       | 浮遊パターン   |
| V       | コンタクト窓   |

10

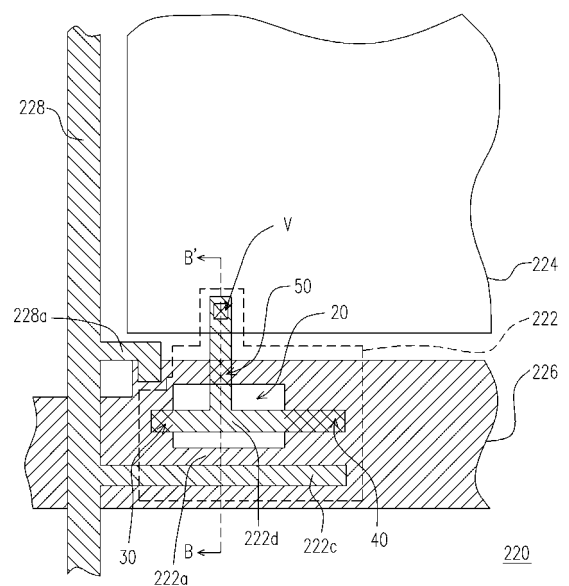
【 図 1 】



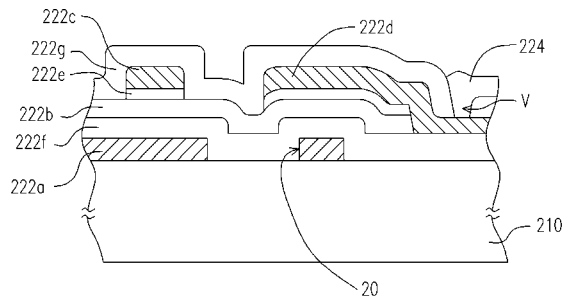
【 図 2 】



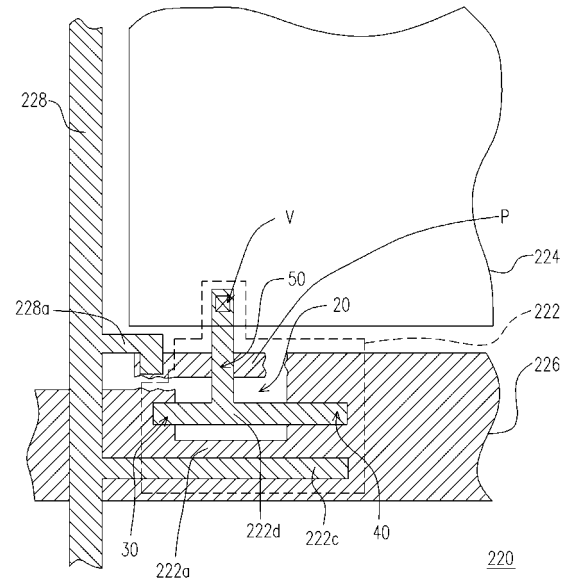
【 図 3 】



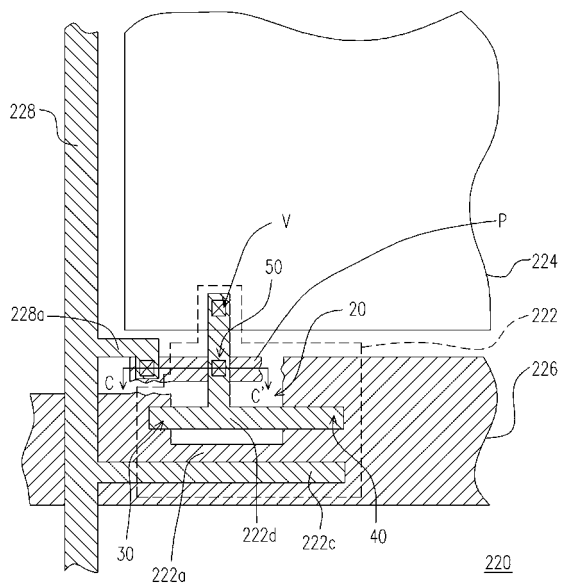
【図 4】



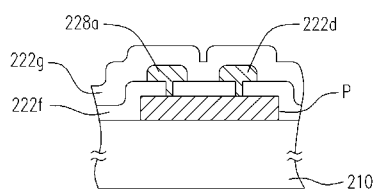
【図 5 A】



【図 5 B】



【図 6】



---

フロントページの続き

(72)発明者 鄒元▲斤▼

台湾高雄市前金區新生里成功一路5 5 1 巷1 4 號7 樓

(72)発明者 何建國

台湾桃園縣中▲歴▼市五權里上三座屋4 鄰3 9 - 2 4 號

F ターム(参考) 2H092 GA29 JA24 JA38 JA42 JA46 JA47 JB57 JB72 KA05 KA07  
KA12 MA47 MA52 NA24  
5F110 AA27 AA30 BB01 CC07 EE24 FF02 FF03 FF04 GG02 GG15  
HM04 NN02 NN22 NN23 NN24 NN72