



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년09월11일
(11) 등록번호 10-0757333
(24) 등록일자 2007년09월04일

(51) Int. Cl.

H01L 27/115(2006.01)

(21) 출원번호 10-2006-0099397

(22) 출원일자 2006년10월12일

심사청구일자 2006년10월12일

(56) 선행기술조사문헌

JP09199498 A

(뒷면에 계속)

(73) 특허권자

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

백성권

경기 수원시 영통구 망포동 355-21 아름빌 203호

구본영

경기 수원시 장안구 조원동 한일타운 104동 503호

(뒷면에 계속)

(74) 대리인

박영우

전체 청구항 수 : 총 31 항

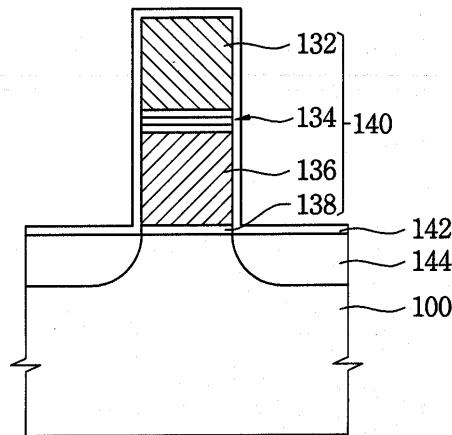
심사관 : 정병홍

(54) 불휘발성 메모리 장치의 제조 방법

(57) 요약

불휘발성 메모리 장치의 제조 방법에서, 산소 및 질소를 포함하는 반응 가스를 이용하여 산화 처리 및 질화 처리를 동시에 수행함으로써 기판 상에 산질화물을 포함하는 터널 절연막을 형성한다. 상기 터널 절연막의 결함 사이트(defect sites)를 제거하기 위하여 일차 및 이차 열처리를 수행한다. 상기 일차 열처리는 질소를 포함하는 가스 분위기에서 수행되며, 상기 이차 열처리는 염소를 포함하는 가스 분위기에서 수행된다. 이어서, 상기 터널 절연막 상에 게이트 구조물을 형성하고, 상기 게이트 구조물과 인접하는 기판의 표면 부위들에 소스/드레인 영역들을 형성한다. 따라서, 상기 불휘발성 메모리 장치의 데이터 유지 특성 및 신뢰성이 개선될 수 있다.

대표도 - 도12



(72) 발명자	(56) 선행기술조사문헌
김철성	JP2003188291 A
경기 성남시 분당구 구미동 무지개마을청구아파트 512동 1204호	KR1020060106255 A
지정근	US20060172490 A1
서울 서초구 잠원동 신반포한신아파트 317동 902호	KR100576081 B1
노영진	KR1020060039733 A
경기 수원시 영통구 영통동 황골마을2단지 한국아 파트 211동302호	KR1020050039339 A
	KR1020060099181 A

특허청구의 범위

청구항 1

산소 및 질소를 포함하는 반응 가스를 이용하여 산화 처리 및 질화 처리를 동시에 수행함으로써 기판 상에 산질 화물을 포함하는 터널 절연막을 형성하는 단계;

상기 터널 절연막의 결함 사이트들(defect sites)을 제거하기 위하여 질소를 포함하는 가스 분위기에서 일차 열 처리를 수행하는 단계;

상기 일차 열처리 후 상기 터널 절연막의 잔류 결함 사이트들을 제거하기 위하여 염소를 포함하는 가스 분위기에서 이차 열처리를 수행하는 단계;

상기 이차 열처리 후 상기 터널 절연막 상에 게이트 구조물을 형성하는 단계; 및

상기 게이트 구조물과 인접하는 기판의 표면 부위들에 소스/드레인 영역들을 형성하는 단계를 포함하는 불휘발성 메모리 장치의 제조 방법.

청구항 2

제1항에 있어서, 상기 반응 가스는 O_2 , O_3 및 H_2O 로 이루어진 군으로부터 선택된 적어도 하나 및 N_2 , NH_3 , NO 및 N_2O 로 이루어진 군으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 3

제2항에 있어서, 상기 반응 가스는 O_2 및 NO 를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 4

제3항에 있어서, 상기 O_2 및 NO 사이의 공급 유량비는 1 : 0.01 내지 0.2인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 5

제3항에 있어서, 상기 반응 가스는 H_2 가스를 더 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 6

제1항에 있어서, 상기 산화 처리 및 질화 처리는 800 내지 1100℃의 온도에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 7

제1항에 있어서, 상기 산화 처리 및 질화 처리는 산소 라디칼 및 질소 라디칼을 이용하여 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 8

제1항에 있어서, 상기 일차 열처리는 N_2 , NO , N_2O 및 NH_3 로 이루어진 군으로부터 선택된 적어도 하나를 포함하는 가스 분위기에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 9

제8항에 있어서, 상기 일차 열처리는 N_2 및 NO 를 포함하는 제2 반응 가스를 이용하여 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 10

제9항에 있어서, 상기 N₂ 및 NO 가스의 공급 유량비는 1 : 0.01 내지 0.2인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 11

제1항에 있어서, 상기 일차 열처리는 800 내지 1100℃의 온도에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 12

제1항에 있어서, 상기 이차 열처리에는 O₂, O₃ 및 H₂O로 이루어진 군으로부터 선택된 적어도 하나 및 HCl을 포함하는 가스 분위기에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 13

제12항에 있어서, 상기 이차 열처리에는 O₂ 및 HCl을 포함하는 제2 반응 가스를 이용하여 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 14

제13항에 있어서, 상기 O₂ 및 HCl 가스의 공급 유량비는 1 : 0.001 내지 0.1인 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 15

제1항에 있어서, 상기 이차 열처리에는 800 내지 1100℃의 온도에서 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 16

제1항에 있어서, 상기 터널 절연막을 형성하는 단계 및 상기 일차 열처리 단계는 인시튜 방식으로 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 17

제1항에 있어서, 상기 일차 및 이차 열처리 단계들은 인시튜 방식으로 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 18

제1항에 있어서, 상기 터널 절연막을 형성하는 단계, 상기 일차 열처리 단계 및 상기 이차 열처리 단계는 인시튜 방식으로 수행되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 19

제1항에 있어서, 상기 게이트 구조물을 형성하는 단계는,
 상기 이차 열처리된 터널 절연막 상에 플로팅 게이트 패턴을 형성하는 단계;
 상기 플로팅 게이트 패턴 상에 블록킹 막을 형성하는 단계;
 상기 블록킹 막 상에 컨트롤 게이트 도전막을 형성하는 단계; 및
 상기 게이트 구조물을 형성하기 위하여 상기 컨트롤 게이트 도전막, 블록킹 막, 플로팅 게이트 패턴 및 상기 이차 열처리된 터널 절연막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 20

제19항에 있어서, 상기 블록킹 막은 하부 유전막, 중간 유전막 및 상부 유전막을 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 21

제20항에 있어서, 상기 하부 및 상부 유전막들은 각각 실리콘 산화물을 포함하며, 상기 중간 유전막은 실리콘 질화물 또는 실리콘 질화물보다 높은 유전율을 갖는 금속 산화물을 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 22

제21항에 있어서, 상기 금속 산화물은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb) 및 루테튬(Lu)으로 이루어진 군으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 23

제1항에 있어서, 상기 게이트 구조물을 형성하는 단계는,

상기 이차 열처리된 터널 절연막 상에 상기 기판의 채널 영역으로부터 전자들을 트랩핑하기 위한 전하 트랩핑막을 형성하는 단계;

상기 전하 트랩핑 막 상에 블록킹 막을 형성하는 단계;

상기 블록킹 막 상에 도전막을 형성하는 단계; 및

상기 게이트 구조물을 형성하기 위하여 상기 도전막, 블록킹 막, 전하 트랩핑 막 및 상기 이차 열처리된 터널 절연막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 24

제23항에 있어서, 상기 전하 트랩핑 막은 실리콘 질화물 또는 실리콘 질화물보다 높은 유전 상수를 갖는 고유전율 물질을 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 25

제24항에 있어서, 상기 고유전율 물질은 금속 산화물, 금속 산질화물, 금속 실리콘 산화물 및 금속 실리콘 산질화물로 이루어진 군으로부터 선택된 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 26

제25항에 있어서, 상기 고유전율 물질은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb) 및 루테튬(Lu)으로 이루어진 군으로부터 선택된 어느 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 27

제23항에 있어서, 상기 블록킹 막은 실리콘 산화물, 실리콘 산질화물 및 실리콘 질화물보다 높은 유전 상수를 갖는 고유전율 물질로 이루어진 군으로부터 선택된 적어도 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 28

제27항에 있어서, 상기 고유전율 물질은 금속 산화물, 금속 산질화물, 금속 실리콘 산화물 및 금속 실리콘 산질화물로 이루어진 군으로부터 선택된 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 29

제28항에 있어서, 상기 고유전율 물질은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨

(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb) 및 루테튬(Lu)으로 이루어진 군으로부터 선택된 어느 하나를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 30

제1항에 있어서, 상기 게이트 구조물을 형성하는 단계는,

상기 이차 열처리된 터널 절연막 상에 상기 기판의 채널 영역으로부터 전자들을 트랩핑하기 위한 전하 트랩핑 막을 형성하는 단계;

상기 전하 트랩핑 막 상에 블록킹 막을 형성하는 단계;

상기 블록킹 막 상에 도전막을 형성하는 단계;

상기 도전막을 패터닝하여 게이트 전극 구조물을 형성하는 단계; 및

상기 블록킹 막, 전하 트랩핑 막 및 상기 이차 열처리된 터널 절연막을 패터닝하는 단계를 포함하는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

청구항 31

제30항에 있어서, 상기 게이트 전극 구조물의 측면들 상에 스페이서를 형성하는 단계를 더 포함하며, 상기 블록킹 막, 전하 트랩핑 막 및 상기 이차 열처리된 터널 절연막은 상기 스페이서를 식각 마스크로 이용하는 식각 공정을 통해 패터닝되는 것을 특징으로 하는 불휘발성 메모리 장치의 제조 방법.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

- <11> 본 발명은 불휘발성 메모리 장치의 제조 방법에 관한 것이다. 보다 상세하게는, 터널 절연막을 갖는 플래시 메모리 장치와 같은 불휘발성 메모리 장치의 제조 방법에 관한 것이다.
- <12> 반도체 메모리 장치는 DRAM(dynamic random access memory) 및 SRAM(static random access memory)과 같이 데이터의 입·출력이 상대적으로 빠른 반면, 시간이 경과됨에 따라 데이터가 소실되는 휘발성(volatile) 메모리 장치와, ROM(read only memory)과 같이 데이터의 입·출력이 상대적으로 느리지만, 데이터를 영구 저장이 가능한 불휘발성(non-volatile) 메모리 장치로 구분될 수 있다. 상기 불휘발성 메모리 장치의 경우, 전기적으로 데이터의 입·출력이 가능한 EEPROM(electrically erasable programmable read only memory) 또는 플래시 EEPROM 메모리에 대한 수요가 늘고 있다.
- <13> 상기 플래시 EEPROM 메모리 장치는 F-N 터널링(Fowler-Nordheim tunneling) 또는 채널 열전자 주입(channel hot electron injection)을 이용하여 전기적으로 데이터의 프로그래밍(programming) 및 소거(erasing)를 수행한다. 상기 플래시 메모리 장치는 플로팅 게이트 타입의 불휘발성 메모리 장치와 SONOS(silicon oxide nitride oxide semiconductor) 또는 MONOS(metal oxide nitride oxide semiconductor) 타입과 같은 전하 트랩 타입의 불휘발성 메모리 장치로 크게 구분될 수 있다.
- <14> 상기 플로팅 게이트 타입 불휘발성 메모리 장치는 게이트 구조물과 소스/드레인 영역들을 포함할 수 있다. 상기 게이트 구조물은 터널 절연막, 플로팅 게이트 전극, 블록킹 막 및 컨트롤 게이트 전극을 포함할 수 있다. 상기 터널 절연막으로는 열산화 공정에 의해 형성된 실리콘 산화막이 사용될 수 있으며, 상기 블록킹 막으로는 하부 실리콘 산화막, 실리콘 질화막 및 상부 실리콘 산화막을 포함하는 다층 유전막이 사용될 수 있다. 또한, 상기 플로팅 게이트 전극 및 컨트롤 게이트 전극은 각각 불순물 도핑된 폴리실리콘을 포함할 수 있다.
- <15> 상기 전하 트랩형 불휘발성 메모리 장치는 반도체 기판 상에 형성된 터널 절연막, 상기 채널 영역을 통해 이동하는 전자들을 트랩핑하기 위한 전하 트랩핑 막, 상기 전하 트랩핑 막 상에 형성된 블록킹 막, 상기 블록킹 막 상에 형성된 게이트 전극, 상기 게이트 전극의 측면들 상에 형성된 스페이서를 포함할 수 있다.

발명이 이루고자 하는 기술적 과제

<16> 본 발명의 목적은 개선된 전기적 특성을 갖는 터널 절연막을 포함하는 불휘발성 메모리 장치의 제조 방법을 제공하는데 있다.

발명의 구성 및 작용

<17> 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 제조 방법은, 산소 및 질소를 포함하는 반응 가스를 이용하여 산화 처리 및 질화 처리를 동시에 수행함으로써 기판 상에 산질화물을 포함하는 터널 절연막을 형성하는 단계와, 상기 터널 절연막의 결함 사이트들(defect sites)을 제거하기 위하여 질소를 포함하는 가스 분위기에서 일차 열처리를 수행하는 단계와, 상기 일차 열처리 후 상기 터널 절연막의 잔류 결함 사이트들을 제거하기 위하여 염소를 포함하는 가스 분위기에서 이차 열처리를 수행하는 단계와, 상기 이차 열처리 후 상기 터널 절연막 상에 플로팅 게이트 전극, 블록킹 막 및 컨트롤 게이트 전극을 포함하는 게이트 구조물을 형성하는 단계와, 상기 게이트 구조물과 인접하는 기판의 표면 부위들에 소스/드레인 영역들을 형성하는 단계를 포함할 수 있다.

<18> 본 발명의 일 실시예에 따르면, 상기 반응 가스는 O₂, O₃, H₂O 등과 같은 산화 gas와 N₂, NH₃, NO, N₂O 등과 같은 질화 가스를 포함할 수 있다. 예를 들면, 상기 반응 가스는 O₂ 및 NO를 포함할 수 있으며, 상기 O₂ 및 NO 사이의 공급 유량비는 약 1 : 0.01 내지 0.2 정도일 수 있다. 또한, 상기 반응 가스는 H₂ 가스를 더 포함할 수도 있다.

<19> 본 발명의 일 실시예에 따르면, 상기 산화 처리 및 질화 처리는 약 800 내지 1100℃의 온도에서 수행될 수 있다.

<20> 본 발명의 일 실시예에 따르면, 상기 반응 가스는 플라즈마 상태로 형성될 수 있으며, 상기 산화 처리 및 질화 처리는 산소 라디칼 및 질소 라디칼을 이용하여 수행될 수 있다.

<21> 본 발명의 일 실시예에 따르면, 상기 일차 열처리는 N₂, NO, N₂O, NH₃ 등과 같이 질소를 포함하는 가스 분위기에서 수행될 수 있다. 예를 들면, 상기 일차 열처리는 N₂ 및 NO를 포함하는 가스 분위기에서 수행될 수 있다. 상기 N₂ 및 NO 가스 사이의 공급 유량비는 약 1 : 0.01 내지 0.2 정도일 수 있다.

<22> 본 발명의 일 실시예에 따르면, 상기 일차 열처리는 약 800 내지 1100℃의 온도에서 수행될 수 있다.

<23> 본 발명의 일 실시예에 따르면, 상기 이차 열처리는 O₂, O₃, H₂O 등과 같은 산화 gas와 HCl을 포함하는 가스 분위기에서 수행될 수 있다. 예를 들면, 상기 이차 열처리는 O₂ 및 HCl을 포함하는 가스 분위기에서 수행될 수 있다. 상기 O₂ 및 HCl 가스 사이의 공급 유량비는 약 1 : 0.001 내지 0.1 정도일 수 있다.

<24> 본 발명의 일 실시예에 따르면, 상기 이차 열처리는 약 800 내지 1100℃의 온도에서 수행될 수 있다.

<25> 본 발명의 일 실시예에 따르면, 상기 터널 절연막을 형성하는 단계 및 상기 일차 열처리 단계는 인시튜 방식으로 수행될 수 있다.

<26> 본 발명의 일 실시예에 따르면, 상기 일차 및 이차 열처리 단계들은 인시튜 방식으로 수행될 수 있다.

<27> 본 발명의 일 실시예에 따르면, 상기 터널 절연막을 형성하는 단계, 상기 일차 열처리 단계 및 상기 이차 열처리 단계는 인시튜 방식으로 수행될 수 있다.

<28> 본 발명의 일 실시예에 따르면, 상기 게이트 구조물을 형성하는 단계는, 상기 이차 열처리된 절연막 상에 플로팅 게이트 패턴을 형성하는 단계와, 상기 플로팅 게이트 패턴 상에 블록킹 막을 형성하는 단계와, 상기 블록킹 막 상에 컨트롤 게이트 도전막을 형성하는 단계와, 상기 게이트 구조물을 형성하기 위하여 상기 컨트롤 게이트 도전막, 블록킹 막, 플로팅 게이트 패턴 및 상기 이차 열처리된 절연막을 패터닝하는 단계를 포함할 수 있다.

<29> 상기 블록킹 막은 하부 유전막, 중간 유전막 및 상부 유전막을 포함할 수 있다. 상기 하부 및 상부 유전막들은 각각 실리콘 산화물을 포함하며, 상기 중간 유전막은 실리콘 질화물 또는 실리콘 질화물보다 높은 유전율을 갖는 금속 산화물을 포함할 수 있다. 상기 금속 산화물은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb),

디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다.

- <30> 본 발명의 일 실시예에 따르면, 상기 게이트 구조물을 형성하는 단계는, 상기 이차 열처리된 터널 절연막 상에 상기 기관의 채널 영역으로부터 전자들을 트랩핑하기 위한 전하 트랩핑 막을 형성하는 단계와, 상기 전하 트랩핑 막 상에 블록킹 막을 형성하는 단계와, 상기 블록킹 막 상에 도전막을 형성하는 단계와, 상기 게이트 구조물을 형성하기 위하여 상기 도전막, 블록킹 막, 전하 트랩핑 막 및 상기 이차 열처리된 터널 절연막을 패터닝하는 단계를 포함할 수 있다.
- <31> 본 발명의 일 실시예에 따르면, 상기 전하 트랩핑 막은 실리콘 질화물 또는 실리콘 질화물보다 높은 유전 상수를 갖는 고유전율 물질을 포함할 수 있다. 상기 고유전율 물질은 금속 산화물, 금속 산질화물, 금속 실리콘 산화물, 금속 실리콘 산질화물 등을 포함할 수 있다. 예를 들면, 상기 고유전율 물질은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다.
- <32> 본 발명의 일 실시예에 따르면, 상기 블록킹 막은 실리콘 산화물, 실리콘 산질화물, 실리콘 질화물보다 높은 유전 상수를 갖는 고유전율 물질 등을 포함할 수 있다. 상기 고유전율 물질은 금속 산화물, 금속 산질화물, 금속 실리콘 산화물, 금속 실리콘 산질화물 등을 포함할 수 있다. 예를 들면, 상기 고유전율 물질은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다.
- <33> 본 발명의 일 실시예에 따르면, 상기 게이트 구조물을 형성하는 단계는, 상기 이차 열처리된 터널 절연막 상에 상기 기관의 채널 영역으로부터 전자들을 트랩핑하기 위한 전하 트랩핑 막을 형성하는 단계와, 상기 전하 트랩핑 막 상에 블록킹 막을 형성하는 단계와, 상기 블록킹 막 상에 도전막을 형성하는 단계와, 상기 도전막을 패터닝하여 게이트 전극 구조물을 형성하는 단계와, 상기 블록킹 막, 전하 트랩핑 막 및 상기 이차 열처리된 터널 절연막을 패터닝하는 단계를 포함할 수 있다. 또한, 상기 게이트 전극 구조물의 측면들 상에는 스페이서가 형성될 수 있으며, 상기 블록킹 막, 전하 트랩핑 막 및 상기 이차 열처리된 터널 절연막은 상기 스페이서를 식각 마스크로 이용하는 식각 공정을 통해 패터닝될 수 있다.
- <34> 상기와 같은 본 발명의 실시예들에 따르면, 상기 산화 처리와 질화 처리가 동시에 수행되므로 상기 터널 절연막 내에서의 균일한 질소 농도 프로파일을 얻을 수 있으며, 이에 따라 상기 터널 절연막의 전기적 특성이 개선될 수 있다. 또한, 상기 일차 및 이차 열처리에 의해 상기 터널 절연막의 결함 사이트들이 충분히 개선될 수 있으므로 상기 불휘발성 메모리 장치의 신뢰성이 개선될 수 있다.
- <35> 이하, 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명하면 다음과 같다. 그러나, 본 발명은 하기의 실시예들에 한정되지 않고 다른 형태로 구현될 수도 있다. 여기서 소개되는 실시예들은 개시된 내용이 보다 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상과 특징이 충분히 전달될 수 있도록 하기 위해 제공된다. 도면들에 있어서, 각 장치 또는 막(층) 및 영역들의 두께는 본 발명의 명확성을 기하기 위하여 과장되게 도시되었으며, 또한 각 장치는 본 명세서에서 설명되지 아니한 다양한 부가 장치들을 구비할 수 있으며, 막(층)이 다른 막(층) 또는 기관 상에 위치하는 것으로 언급되는 경우, 다른 막(층) 또는 기관 상에 직접 형성되거나 그들 사이에 추가적인 막(층)이 개재될 수 있다.
- <36> 도 1 내지 도 6 및 도 8 내지 도 12는 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <37> 도 2 내지 도 6 및 도 7 내지 도 11은 불휘발성 메모리 장치의 워드 라인의 연장 방향을 따라 절개된 단면도들이며, 도 12는 불휘발성 메모리 장치의 액티브 영역의 연장 방향을 따라 절개된 단면도들이다.
- <38> 도 1을 참조하면, 실리콘웨이퍼와 같은 반도체 기관(100) 상에 패드 산화막(102)을 형성하고, 상기 패드 산화막(102) 상에 마스크층(104)을 형성한다.
- <39> 상기 패드 산화막(102)은 열산화(thermal oxidation) 공정, 화학 기상 증착(chemical vapor deposition; CVD) 공정 등을 통해 약 70Å 내지 100Å 정도로 형성될 수 있다. 상기 패드 산화막(102)은 반도체 기관(100)의 표면 처리를 위해 약 750℃ 내지 900℃ 정도의 온도에서 형성되는 것이 바람직하다.
- <40> 상기 마스크층(104)은 실리콘 질화물로 이루어질 수 있으며, SiH₂Cl₂ 가스, SiH₄ 가스, NH₃ 가스 등을 이용하는

저압 화학 기상 증착(Low Pressure Chemical Vapor Deposition; LPCVD) 공정 또는 플라즈마 강화 화학 기상 증착(plasma enhanced chemical vapor deposition; PECVD) 공정을 통해 약 1500Å 정도의 두께로 형성될 수 있다.

<41> 도 2를 참조하면, 상기 마스크층(104) 상에 포토리소그래피 공정을 통해 상기 마스크층(104)의 표면을 노출시키는 포토레지스트 패턴들(106)을 형성하고, 상기 포토레지스트 패턴들(106)을 식각 마스크로 하는 식각 공정을 통해 상기 마스크층(104) 및 패드 산화막(102)을 순차적으로 식각함으로써 반도체 기판(100) 상에 반도체 기판(100)의 소자 분리 영역(100a)을 노출시키는 제1 개구들(102)을 한정하는 마스크 패턴들(108)과 패드 산화막 패턴들(110)을 형성한다.

<42> 상기 식각 공정의 예로는 플라즈마를 이용하는 건식 식각 공정(dry etching process), 반응성 이온 식각 공정(reactive ion etching process) 등이 있다. 상기 포토레지스트 패턴들(106)은 상기 마스크 패턴들(108)을 형성한 후 애싱 공정(ashing process) 및 스트립 공정을 통해 제거된다.

<43> 도 3을 참조하면, 상기 마스크 패턴들(108)을 식각 마스크로 사용하는 식각 공정을 수행하여 상기 반도체 기판(100)의 소자 분리 영역들(100a)을 식각함으로써 반도체 기판(100)을 가로지르는 제1방향으로 트렌치들(114)을 형성한다. 상기 트렌치들(114)은 상기 반도체 기판(100)의 표면으로부터 약 1000Å 내지 5000Å 정도의 깊이를 갖도록 형성될 수 있다.

<44> 상기 트렌치들(114)을 형성하기 위한 식각 공정을 수행하는 동안, 고에너지의 이온 충격으로 인해 야기된 실리콘 손상을 치유하고, 누설 전류 발생을 방지하기 위해 상기 트렌치들(114)의 내측 표면들에 대한 열산화 처리를 수행할 수 있다. 상기 열산화 처리에 의해 상기 트렌치들(114)의 내측 표면들 상에는 약 50Å 내지 250Å 정도의 두께를 갖는 트렌치 산화막(미도시)이 형성된다.

<45> 또한, 후속하여 형성되는 막, 예를 들면 필드 절연막(미도시)으로부터 탄소 또는 수소와 같은 불순물들이 상기 트렌치들(114)에 의해 정의된 액티브 영역들(100b)로 확산되는 것을 방지하기 위해 상기 트렌치 산화막 상에 라이너 절화막(미도시)을 약 50Å 내지 100Å 정도의 두께로 형성할 수 있다.

<46> 본 발명의 다른 실시예에 따르면, 상기 트렌치들(114)은 상기 포토레지스트 패턴을 식각 마스크로 이용하는 식각 공정을 통해 형성될 수도 있다.

<47> 도 4를 참조하면, 상기 트렌치들(114)이 형성된 반도체 기판(100) 상에 필드 절연막을 형성하여 상기 트렌치들(114)을 채운다. 상기 필드 절연막으로는 실리콘 산화막이 사용될 수 있으며, 상기 실리콘 산화막의 예로는 USG(undoped silicate glass), TEOS(tetra-ethyl-ortho-silicate) 또는 HDP(high density plasma) 산화막 등이 있다. 바람직하게는, SiH₄, O₂ 및 Ar 가스를 플라즈마 소스로 이용하여 형성된 HDP 산화막이 사용될 수 있다.

<48> 이어서, 상기 필드 절연막의 상부를 화학적 기계적 연마(chemical mechanical polishing; CMP) 공정과 같은 평탄화 공정을 통해 상기 마스크 패턴들(108)의 표면이 노출되도록 제거함으로써 상기 트렌치들(114) 내에 소자 분리막으로서 기능하며 반도체 기판(100)의 액티브 영역들(100b)을 정의하는 필드 절연 패턴들(116)을 완성한다. 상세히 도시되지는 않았으나, 상기 평탄화 공정을 수행하는 동안 상기 마스크 패턴들(108)이 부분적으로 제거될 수도 있다.

<49> 도 5를 참조하면, 상기 마스크 패턴들(108) 및 패드 산화막 패턴들(110)을 제거하여 반도체 기판의 액티브 영역들(100b)을 노출시키는 제2개구들(118)을 형성한다. 구체적으로, 상기 필드 절연 패턴들(116)은 인산을 포함하는 식각액을 이용하여 제거될 수 있으며, 상기 패드 산화막 패턴들(110)은 희석된 불산 용액을 이용하여 제거될 수 있다. 한편, 도시된 바와 같이, 상기 마스크 패턴들(108) 및 패드 산화막 패턴들(110)을 제거하는 동안 상기 필드 절연 패턴들(116)의 일부도 함께 제거될 수 있다.

<50> 도 6을 참조하면, 상기 노출된 액티브 영역들(100b) 상에 터널 절연막(120)을 형성한다. 상기 터널 절연막(120)은 실리콘 산질화물을 포함할 수 있으며, 상기 액티브 영역(100b) 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.

<51> 상기 터널 절연막(120)은 산질화 처리를 통해 형성될 수 있다. 구체적으로, 상기 터널 절연막(120)은 산소 및 질소를 포함하는 제1 반응 가스를 이용하여 산화 처리 및 질화 처리를 동시에 수행함으로써 형성될 수 있다. 상기 제1 반응 가스는 O₂, O₃, H₂O 등과 같은 산화 가스 및 N₂, NH₃, NO, N₂O 등과 같은 질화 가스를 포함할 수 있다.

- <52> 본 발명의 일 실시예에 따르면, 상기 터널 절연막(120)은 배치식 열처리 설비를 이용하는 열적 산질화 처리(thermal oxynitridation process)에 의해 형성될 수 있다. 상기 열적 산질화 처리는 O₂ 가스 및 NO 가스를 이용하여 약 800 내지 1100℃ 정도의 온도 및 상압(atmospheric pressure)에서 수행될 수 있다. 예를 들면, 상기 열적 산질화 처리는 약 800 내지 950℃ 정도의 온도에서 수행될 수 있다. 상기 O₂ 및 NO 사이의 공급 유량비는 약 1 : 0.01 내지 0.2 정도일 수 있다. 예를 들면, 상기 열적 산질화 처리는 약 900℃의 온도에서 약 25분 동안 수행될 수 있으며, 이에 따라 상기 액티브 영역(100b) 상에는 약 75Å 정도의 실리콘 산질화막이 형성될 수 있다. 상기 열적 산질화 처리가 수행되는 동안 상기 약 10리터의 O₂ 가스가 공급될 수 있으며, 약 0.7리터의 NO 가스가 공급될 수 있다.
- <53> 본 발명의 다른 실시예에 따르면, 상기 터널 절연막(120)은 산소 라디칼(O^{*}) 및 질소 라디칼(N^{*})을 이용하는 라디칼 산질화 처리에 의해 형성될 수 있다. 상기 라디칼 산질화 처리는 O₂, NO 및 H₂를 포함하는 제1 반응 가스를 이용하여 수행될 수 있다. 또한, 상기 라디칼 산질화 처리는 플라즈마 소스를 포함하는 배치식 또는 매엽식 처리 설비를 이용하여 수행될 수 있다. 상기 플라즈마 소스의 예로는 마이크로웨이브 에너지를 이용하는 리모트 플라즈마 발생기, RF(Radio Frequency) 파워 소스를 이용하는 MMT(Modified-Magnetron typed) 플라즈마 발생기 등이 있다.
- <54> 상기 라디칼 산질화 공정은 약 800 내지 1100℃ 정도의 온도 및 1mtorr 내지 10torr 정도의 압력에서 수행될 수 있다. 특히, 상기 라디칼 산화 공정은 약 800 내지 950℃ 정도의 온도에서 수행될 수 있다. 예를 들면, 상기 라디칼 산화 공정은 약 900℃ 정도의 온도에서 수행될 수 있다.
- <55> 한편, 상기 제1 반응 가스의 공급 유량에 대한 상기 H₂ 가스의 공급 유량은 약 10 내지 33% 정도일 수 있으며, NO 가스의 공급 유량은 약 1 내지 20% 정도일 수 있다.
- <56> 도 7은 도 6에 도시된 터널 산화막 내의 질소 농도 프로파일을 나타내는 그래프이다.
- <57> 도 7을 참조하면, 상술한 바와 같이, 산화 처리 및 질화 처리가 동시에 수행되므로 상기 터널 절연막(120)은 균일한 질소 농도 프로파일을 가질 수 있다. 따라서, 상기 터널 절연막(120)의 유전율이 향상될 수 있으며, 상기 터널 절연막(120)을 통한 누설 전류가 감소될 수 있다. 이에 따라, 상기 터널 절연막(120)을 포함하는 불휘발성 메모리 장치의 데이터 유지 특성, 고온 스트레스 특성, 데이터 신뢰성 등이 개선될 수 있다.
- <58> 그러나, 상기 터널 절연막(120)을 형성하는 동안 상기 터널 절연막(120) 내에는 다수의 결함 사이트들(defect sites)이 생성될 수 있다. 예를 들면, 상기 터널 절연막 내에는 긴장된 실리콘-산소 결합들(strained Si-O bonds), 불안정한 실리콘-수소 결합들 및 실리콘 땀글링 결합들(silicon dangling bonds)이 존재할 수 있으며, 상기 결함 사이트들에 의해 상기 불휘발성 메모리 장치의 데이터 유지 특성, 고온 스트레스 특성, 데이터 신뢰성 등이 저하될 수 있다. 상기 결함 사이트들을 제거하기 위하여 상기 터널 절연막(120)을 형성한 후, 일차 열처리 공정을 수행한다.
- <59> 상기 일차 열처리는 질소를 포함하는 가스 분위기에서 수행될 수 있다. 예를 들면, 상기 일차 열처리는 N₂, NO, N₂O, NH₃ 등을 포함하는 가스 분위기에서 수행될 수 있다. 특히, 상기 일차 열처리는 N₂ 및 NO를 포함하는 제2 반응 가스를 이용하여 수행될 수 있다. 상기 N₂ 가스 및 NO 가스 사이의 공급 유량비는 약 1 : 0.01 내지 0.2 정도일 수 있다. 상기 일차 열처리는 배치식 열처리 설비를 이용하여 수행될 수 있으며, 약 800 내지 1100℃ 정도의 온도 및 상압에서 수행될 수 있다. 특히, 상기 일차 열처리는 약 800 내지 950℃ 정도의 온도에서 수행될 수 있다.
- <60> 예를 들면, 상기 일차 열처리는 약 900℃ 정도의 온도에서 약 10분 동안 수행될 수 있으며, 상기 일차 열처리를 수행하는 동안 약 9.3리터의 N₂ 가스와 약 0.7리터의 NO 가스가 상기 배치식 열처리 설비로 공급될 수 있다.
- <61> 또한, 상기 일차 열처리는 상기 터널 절연막(120)의 형성을 위한 산질화 처리에 이어서 인시튜 방식으로 수행될 수 있다.
- <62> 상기 일차 열처리를 수행하는 동안 상기 터널 절연막(120) 내의 실리콘 땀글링 본드들이 제거될 수 있으며, 상기 불안정한 결합들이 실리콘-질소 결합들로 치환될 수 있다.
- <63> 상기 일차 열처리 후 잔류하는 결함 사이트들을 제거하기 위하여 이차 열처리가 추가적으로 수행될 수 있다. 상

기 이차 열처리는 O_2 , O_3 또는 H_2O 와 같은 산화제와 HCl을 포함하는 가스 분위기에서 수행될 수 있다. 특히, 상기 일차 열처리는 전체 터널 절연막(120) 내의 결함 사이트들을 제거하기 위하여 수행되며, 상기 이차 열처리는 상기 터널 절연막(120)의 표면 부위 및 상기 반도체 기판(100)과의 계면 부위에서의 잔류 결함 사이트들을 제거하기 위하여 수행된다.

<64> 예를 들면, 상기 이차 열처리는 O_2 및 HCl을 포함하는 제3 반응 가스를 이용하여 수행될 수 있다. 상기 O_2 가스 및 HCl 가스 사이의 공급 유량비는 약 1 : 0.001 내지 0.1 정도일 수 있다. 상기 이차 열처리는 배치식 열처리 설비를 이용하여 상압 및 약 800 내지 1100°C 정도의 온도에서 수행될 수 있다. 특히, 상기 이차 열처리는 약 800 내지 950°C 정도의 온도에서 수행될 수 있다.

<65> 예를 들면, 상기 이차 열처리는 약 900°C 정도의 온도에서 약 15분 동안 수행될 수 있으며, 상기 이차 열처리를 수행하는 동안 상기 배치식 열처리 설비로 약 10리터의 O_2 가스와 약 0.1리터의 HCl 가스가 공급될 수 있다. 상기 이차 열처리에 의해 상기 터널 절연막(120)의 두께가 약 2 내지 5Å 정도 증가될 수 있다.

<66> 또한, 상기 이차 열처리는 상기 일차 열처리에 이어서 인시튜 방식으로 수행될 수 있다.

<67> 상기 이차 열처리를 수행하는 동안, 상기 잔류하는 결함 사이트들이 충분히 제거될 수 있다. 예를 들면, 상기 불안정한 실리콘-수소 결합들이 안정한 실리콘-염소 결합들로 치환될 수 있으며, 잔류하는 실리콘 dangling 결합들이 제거될 수 있다.

<68> 도 8을 참조하면, 상기 이차 열처리를 수행한 후, 상기 터널 절연막(120) 및 상기 필드 절연 패턴들(116) 상에 상기 제2 개구들(118)이 매립되도록 플로팅 게이트 도전막(미도시)을 형성한다. 상기 플로팅 게이트 도전막은 불순물 도핑된 폴리실리콘을 포함할 수 있으며, SiH_4 가스 및 PH_3 가스를 이용하여 약 580°C 내지 620°C의 온도에서 형성될 수 있다.

<69> 상기 플로팅 게이트 도전막을 형성한 후, 상기 필드 절연 패턴들(116)이 노출되도록 에치 백 또는 화학적 기계적 연마와 같은 평탄화 공정을 수행하여 상기 제2 개구들(118) 내에 플로팅 게이트 패턴들(122)을 형성한다. 상기 평탄화 공정을 수행하는 동안 상기 필드 절연 패턴들(116)이 부분적으로 제거될 수도 있다.

<70> 본 발명의 다른 실시예에 따르면, 플로팅 게이트 패턴들은 반도체 기판 상에 터널 절연막과 플로팅 게이트 도전막을 형성하고, 상기 플로팅 게이트 도전막을 패터닝함으로써 형성될 수 있다. 본 발명의 다른 실시예에 따른 플로팅 게이트 패턴들의 형성 방법을 상세하게 설명하면 다음과 같다.

<71> 먼저, 반도체 기판 상에 산질화 처리를 통하여 터널 절연막을 형성한 후, 상기 터널 절연막에 대하여 일차 및 이차 열처리를 수행한다. 상기 산질화 처리, 일차 열처리 및 이차 열처리를 수행하는 방법들에 대한 상세한 설명은 도 6 및 도 7을 참조하여 기 설명된 바와 실질적으로 동일하므로 생략한다.

<72> 상기 이차 열처리를 수행한 후, 상기 터널 절연막 상에 플로팅 게이트 도전막을 형성한다. 상기 플로팅 게이트 도전막 상에는 산화물 또는 질화물로 이루어진 마스크 패턴이 형성되며, 상기 마스크 패턴을 식각 마스크로 이용하는 이방성 식각을 수행함으로써 반도체 기판 상에 플로팅 게이트 패턴들을 형성한다. 계속해서, 상기 마스크 패턴을 이용하여 상기 터널 절연막과 기판의 표면 부위를 식각하여 액티브 영역들을 한정하는 트렌치들을 형성한다. 이어서, 상기 트렌치들을 매립하는 필드 절연막을 형성하고, 상기 플로팅 게이트 패턴들이 노출될 때까지 상기 필드 절연막을 평탄화시킨다.

<73> 도 9를 참조하면, 상기 필드 절연 패턴들(116)의 상부들(upper portions)을 제거하여 상기 플로팅 게이트 패턴들(122)의 상부 측벽 부위들을 노출시킨다. 상기 필드 절연 패턴들(116)은 등방성 또는 이방성 식각 공정을 통해 부분적으로 제거될 수 있으며, 상기 액티브 영역들(100b) 상에 형성된 터널 절연막(120)이 노출되지 않도록 수행되는 것이 바람직하다. 이는 상기 필드 절연 패턴들(116)을 부분적으로 제거하기 위한 식각액 또는 식각 가스에 의해 상기 터널 절연막(120)이 손상되는 것을 방지하기 위함이다. 또한, 상기 필드 절연 패턴들(116)을 부분적으로 제거하는 동안 상기 플로팅 게이트 패턴들(122)의 모서리 부분들이 라운딩 처리될 수 있다.

<74> 도 10을 참조하면, 상기 플로팅 게이트 패턴들(122) 및 상기 필드 절연 패턴들(116) 상에 블록킹 막(124)을 형성한다. 상기 블록킹 막(124)은 하부 실리콘 산화막(126), 실리콘 질화막(128) 및 상부 실리콘 산화막(130)을 포함할 수 있다.

<75> 상기 하부 실리콘 산화막(126)은 중온 산화물 증착(middle temperature oxide(MTO) deposition) 방법 또는 고밀도 플라즈마 증착(high density plasma(HDP) deposition) 방법에 의해 형성될 수 있으며 상기 플로팅 게이트

패턴들(122) 및 상기 필드 절연 패턴들(116) 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.

- <76> 상기 실리콘 질화막(128)은 저압 화학 기상 증착을 이용하여 상기 하부 실리콘 산화막 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.
- <77> 상기 상부 실리콘 산화막(130)은 증온 산화물 증착 방법 또는 고밀도 플라즈마 증착 방법에 의해 형성될 수 있으며 상기 실리콘 질화막(128) 상에 약 30 내지 150Å 정도의 두께로 형성될 수 있다.
- <78> 본 발명의 다른 실시예에 따르면, 블록킹 막은 하부 실리콘 산화막, 금속 산화막 및 상부 실리콘 산화막을 포함할 수 있다. 상기 금속 산화막은 실리콘 질화물보다 높은 유전 상수를 가지며, 원자층 증착 또는 화학 기상 증착에 의해 약 20 내지 100Å 정도의 두께로 형성될 수 있다. 상기 금속 산화막은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다. 예를 들면, 상기 금속 산화막은 하프늄 산화물(HfO₂), 지르코늄 산화물(ZrO₂), 알루미늄 산화물(Al₂O₃), 하프늄 알루미늄 산화물(HfAlO), 란탄 산화물(La₂O₃), 하프늄 란탄 산화물(HfLaO), 알루미늄 란탄 산화물(AlLaO) 등을 포함할 수 있다.
- <79> 본 발명의 또 다른 실시예에 따르면, 블록킹 막은 하부 유전막, 중간 유전막 및 상부 유전막을 포함할 수 있다. 상기 중간 유전막은 상기 하부 유전막보다 낮은 에너지 밴드 갭을 갖는 물질로 이루어질 수 있으며, 상기 상부 유전막은 상기 하부 유전막과 실질적으로 동일한 물질로 이루어질 수 있다. 예를 들면, 상기 하부 유전막은 알루미늄 산화물을 포함할 수 있으며, 상기 중간 유전막은 하프늄 산화물 또는 지르코늄 산화물 등을 포함할 수 있다.
- <80> 도 11을 참조하면, 상기 블록킹 막(124) 상에 컨트롤 게이트 도전막(미도시)을 형성한다. 상기 컨트롤 게이트 도전막은 불순물 도핑된 폴리실리콘, 금속, 금속 실리사이드 등을 포함할 수 있다. 예를 들면, 상기 컨트롤 게이트 도전막은 불순물 도핑된 폴리실리콘막과 상기 폴리실리콘막 상에 형성된 금속막 또는 금속 실리사이드막을 포함할 수 있다. 상기 금속막은 텅스텐을 포함할 수 있으며, 상기 금속 실리사이드로는 텅스텐 실리사이드(WSix), 티타늄 실리사이드(TiSix), 코발트 실리사이드(CoSix), 탄탈륨 실리사이드(TaSix) 등이 사용될 수 있다.
- <81> 본 발명의 다른 실시예에 따르면, 컨트롤 게이트 도전막은 불순물 도핑된 폴리실리콘막, 오믹 막(ohmic layer), 금속 장벽막 및 금속막을 포함할 수 있다. 상기 오믹 막으로는 금속 실리사이드막이 사용될 수 있으며, 상기 금속 장벽막으로는 금속 질화막이 사용될 수 있다.
- <82> 상기 컨트롤 게이트 도전막, 블록킹 막(124), 플로팅 게이트 패턴(122) 및 터널 절연막(120)을 패터닝하여 상기 반도체 기판(100)의 액티브 영역(100b) 상에 상기 제1 방향과 다른 제2 방향, 예를 들면, 상기 제1 방향에 대하여 실질적으로 수직하는 제2 방향으로 연장하는 게이트 구조물들(140)을 형성한다. 상기 게이트 구조물들(140)을 형성하기 위한 패터닝 공정은 상기 액티브 영역들(100b)이 노출될 때까지 수행될 수 있다.
- <83> 각각의 게이트 구조물들(140)은 컨트롤 게이트 전극(132), 블록킹 막 패턴(134), 플로팅 게이트 전극(136) 및 터널 절연막 패턴(138)을 포함할 수 있다. 상기 컨트롤 게이트 전극(132)은 폴리실리콘막 패턴 및 금속막 패턴을 포함할 수 있다. 상기 금속막 패턴은 워드 라인으로서 기능할 수 있다.
- <84> 상기 게이트 구조물들(140)은 이방성 식각에 의해 형성될 수 있다. 예를 들면, 상기 컨트롤 게이트 도전막 상에 포토레지스트 패턴을 형성하고, 상기 포토레지스트 패턴을 식각 마스크로 이용하는 반응성 이온 식각 공정을 수행함으로써 상기 게이트 구조물들(140)을 형성할 수 있다.
- <85> 본 발명의 다른 실시예에 따르면, 상기 컨트롤 게이트 도전막 상에 산화물 또는 질화물을 포함하는 마스크 패턴을 형성하고, 상기 마스크 패턴을 이용하여 상기 게이트 구조물들(140)을 형성할 수도 있다.
- <86> 상기 반응성 이온 식각에 의해 상기 게이트 구조물들(140)의 표면 부위들 및 상기 기판(100)의 표면 부위들이 손상될 수 있다. 즉, 상기 게이트 구조물(140)의 표면 부위들에는 다량의 결함 사이트들이 식각에 의해 생성될 수 있다. 특히, 터널 절연막 패턴(138)의 에지 부위들에는 실리콘 덩글링 결합들과 불안정한 실리콘-산소 및 실리콘-수소 결합들이 생성될 수 있다. 상기와 같은 결함 사이트들은 불휘발성 메모리 장치의 프로그램 또는 소거 동작에서 전자 또는 정공의 트랩 사이트들로서 작용할 수 있으며, 이에 따라 불휘발성 메모리 장치의 데이터 유지 특성 및 신뢰성이 저하될 수 있다. 따라서, 상기 게이트 구조물들(14)의 손상을 치유하기 위한 재산화 공정이 수행될 수 있다. 상기 재산화 공정에 의해 상기 게이트 구조물들 및 반도체 기판의 표면 부위들 상에는 산화

막(142)이 형성될 수 있다.

- <87> 도 12를 참조하면, 상기 게이트 구조물들(140)과 인접하는 기판(100)의 표면 부위들에 소스/드레인 영역들(144)을 형성함으로써 상기 반도체 기판(100) 상에 불휘발성 메모리 장치를 완성한다. 상기 소스/드레인 영역들(144)은 이온 주입 공정 및 불순물 활성화를 위한 열처리에 의해 형성될 수 있다. 또한, 상기 소스/드레인 영역들(144)을 형성하기 전에 상기 게이트 구조물들(140)의 측면들 상에 스페이서들을 형성할 수도 있다.
- <88> 도 13 내지 도 17은 본 발명의 다른 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <89> 도 13을 참조하면, 실리콘웨이퍼와 같은 반도체 기판(200)의 표면 부위에 소자 분리막(미도시)을 형성함으로써 액티브 영역을 정의한다. 구체적으로, 실리콘 부분 산화(Local oxidation of silicon; LOCOS) 공정 또는 셸로우 트렌치 소자분리(shallow trench isolation; STI) 공정을 통해 반도체 기판의(200) 표면 부위에 상기 소자 분리막을 형성한다.
- <90> 상기 반도체 기판(200) 상에 동시 산화 및 질화를 통해 실리콘 산질화물을 포함하는 터널 절연막(202)을 형성한다. 이어서, 상기 터널 절연막(202)의 결함 사이트들을 제거하기 위하여 일차 및 이차 열처리를 수행한다. 상기 터널 절연막(202)의 형성 방법 및 상기 일차 및 이차 열처리 방법들에 대한 상세한 설명은 도 6 및 도 7을 참조하여 기 설명된 바와 실질적으로 동일하므로 생략한다.
- <91> 상기 이차 열처리를 수행한 후, 상기 터널 절연막(202) 상에 전하 트랩핑 막(204), 블록킹 막(206) 및 도전막(210)을 순차적으로 형성한다.
- <92> 상기 전하 트랩핑 막(204)은 상기 반도체 기판(200)의 채널 영역으로부터 전자들을 트랩하기 위하여 형성된다. 상기 전하 트랩핑 막(204)은 실리콘 질화물(예를 들면, Si_3N_4)을 포함할 수 있다.
- <93> 상기 전하 트랩핑 막(204)은 저압 화학 기상 증착에 의해 상기 터널 절연막(202) 상에 약 20 내지 100Å 정도의 두께로 형성될 수 있다. 예를 들면, 상기 전하 트랩핑 막(204)은 상기 터널 절연막(202) 상에 약 60Å 정도의 두께로 형성될 수 있다.
- <94> 본 발명의 다른 실시예에 따르면, 상기 전하 트랩핑 막(204)은 실리콘 질화물보다 높은 유전 상수를 갖는 고유전율 물질을 포함할 수 있다. 상기 고유전율 물질은 금속 산화물, 금속 산질화물, 금속 실리콘 산화물, 금속 실리콘 산질화물 등을 포함할 수 있다. 특히, 상기 고유전율 물질은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴뮴(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀븀(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다.
- <95> 본 발명의 다른 실시예에 따르면, 상기 전하 트랩핑 막(204)으로 실리콘 리치 산화막 및 실리콘 나노 크리스탈 막이 사용될 수도 있다. 상기 실리콘 리치 산화막 및 실리콘 나노 크리스탈 막은 원자층 증착을 이용하여 형성될 수 있다. 상기 실리콘 리치 산화막은 소스 가스로서 헥사클로로디실란[hexachlorodisilane(Si_2Cl_6); HCD] 가스 와 산화제로서 사용되는 N_2O 가스 또는 O_2 가스를 이용하여 형성될 수 있으며, 상기 실리콘 나노 크리스탈 막은 소스 가스로서 실란(SiH_4) 가스를 이용하여 형성될 수 있다. 또한, 상기 전하 트랩핑 막(204)은 실리콘 리치 산화막들과 실리콘 나노 크리스탈 막들이 교대로 적층된 라미네이트 구조를 가질 수도 있다.
- <96> 상기 전하 트랩핑 막(204)을 형성한 후, 상기 전하 트랩핑 막(204) 상에 블록킹 막(206)을 형성한다. 상기 블록킹 막(206)은 상기 전하 트랩핑 막(204)과 상기 도전막(210) 사이에서 전기적인 절연을 제공한다. 상기 블록킹 막(206)은 알루미늄 산화물로 이루어질 수 있으며, 화학 기상 증착 또는 원자층 증착에 의해 형성될 수 있다. 예를 들면, 상기 블록킹 막(206)은 상기 전하 트랩핑 막(204) 상에 약 100 내지 400Å 정도의 두께로 형성될 수 있다. 특히, 상기 블록킹 막(206)은 상기 전하 트랩핑 막(204) 상에 약 200Å 정도의 두께로 형성될 수 있다.
- <97> 본 발명의 다른 실시예에 따르면, 상기 블록킹 막(206)은 실리콘 산화물, 실리콘 산질화물 또는 실리콘 질화물보다 높은 유전 상수를 갖는 고유전율 물질로 이루어질 수 있다. 예를 들면, 상기 블록킹 막(206)은 금속 산화물, 금속 산질화물, 금속 실리콘 산화물, 금속 실리콘 산질화물 등을 포함할 수 있다. 상기 블록킹 막(206)은 하프늄(Hf), 지르코늄(Zr), 탄탈륨(Ta), 알루미늄(Al), 란탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴뮴(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀븀(Ho), 에르븀(Er), 툴륨(Tm), 이테르븀(Yb), 루테튬(Lu) 등을 포함할 수 있다. 특히, 상기 블록킹 막(206)은 하프늄 알루미늄 산화물(HfAlO), 란탄 산화물(La_2O_3), 알루미늄 란탄 산화물(AlLaO), 하프늄 란탄 산화물(HfLaO) 등을 포함할 수 있다.

- <98> 상기 블록킹 막(206) 상에 도전막(210)을 형성한다. 상기 도전막(210)은 제1 도전막(212), 접착막(214), 제2 도전막(216)을 포함할 수 있다.
- <99> 상기 블록킹 막(206) 상에 제1 도전막(212)을 약 100 내지 400Å 정도의 두께로 형성한다. 예를 들면, 상기 제1 도전막(212)은 화학 기상 증착, 원자층 증착, 물리 기상 증착 등을 이용하여 약 200Å 정도의 두께로 형성될 수 있다.
- <100> 상기 제1 도전막(212)으로는 약 4eV 이상의 일함수를 갖는 물질로 이루어질 수 있다. 예를 들면, 상기 제1 도전막(212)은 티타늄(Ti), 티타늄 질화물(TiN), 탄탈륨(Ta), 탄탈륨 질화물(TaN), 텅스텐(W), 텅스텐 질화물(WN), 하프늄(Hf), 니오븀(Nb), 몰리브덴(Mo), 몰리브덴 질화물(Mo₂N), 일산화루테튬(RuO), 이산화루테튬(RuO₂), 이리듐(Ir), 이리듐 산화물(IrO₂), 백금(Pt), 코발트(Co), 크롬(Cr), 티타늄알루미늄아이드(Ti₃Al), 티타늄 알루미늄 질화물(Ti₂AlN), 팔라듐(Pd), 텅스텐 실리사이드(WSi), 니켈 실리사이드(NiSi), 코발트 실리사이드(CoSi), 탄탈륨 실리사이드(TaSi) 등을 포함할 수 있다.
- <101> 본 발명의 다른 실시예에 따르면, 상기 제1 도전막(212)의 일함수를 증가시키기 위한 후속 처리가 추가적으로 수행될 수 있다. 예를 들면, 상기 제1 도전막(212)을 형성한 후, 열처리, 플라즈마 처리 또는 이온 주입 공정 등이 추가적으로 수행될 수 있다. 상기 후속 처리는 상기 제1 도전막(212)을 이루는 물질 원소와 다른 물질 원소를 사용하여 수행될 수 있다. 특히, 상기 후속 처리는 2족 내지 8족 원소를 포함하는 가스를 이용하여 수행될 수 있다. 예를 들면, 상기 후속 처리는 N, O, F, Ne, He, P, S, Cl, Ar, As, Se, Br, Kr, Sb, Te, I 또는 Xe 원소를 포함하는 가스를 이용하여 수행될 수 있다.
- <102> 상기 제1 도전막(212)을 형성한 후, 상기 제1 도전막(212) 상에 접착막(214)을 약 50Å 정도의 두께로 형성한다. 상기 접착막(214)으로는 금속 질화막이 사용될 수 있으며, 상기 금속 질화막으로는 텅스텐 질화막, 티타늄 질화막, 탄탈륨 질화막 등이 사용될 수 있다.
- <103> 상기 접착막(214) 상에 제2 도전막(216)을 형성한다. 상기 제2 도전막(216)은 텅스텐으로 이루어질 수 있으며, 상기 접착막(214) 상에 약 300Å 정도의 두께로 형성될 수 있다. 이와는 다르게, 상기 제2 도전막(216)은 금속 실리사이드로 이루어질 수도 있다. 상기 금속 실리사이드로는 텅스텐 실리사이드, 탄탈륨 실리사이드, 코발트 실리사이드, 티타늄 실리사이드 등이 사용될 수 있다.
- <104> 도 14를 참조하면, 상기 도전막(210) 상에 포토레지스트 패턴을 형성한다. 상기 포토레지스트 패턴은 본 발명의 기술 분야에서 널리 알려진 포토리소그래피 공정을 이용하여 형성될 수 있다.
- <105> 상기 도전막(210)을 패터닝하여 상기 블록킹 막(206) 상에 제1 도전막 패턴(222), 접착막 패턴(224) 및 제2 도전막 패턴(226)을 포함하는 게이트 전극 구조물(220)을 형성한다. 예를 들면, 상기 포토레지스트 패턴을 식각 마스크로서 사용하는 이방성 식각 공정을 수행함으로써 상기 게이트 전극 구조물(220)을 형성할 수 있다. 상기 제1 도전막 패턴(222)은 게이트 전극으로서 기능할 수 있으며, 상기 제2 도전막 패턴(226)은 워드 라인으로서 기능할 수 있다.
- <106> 상기 포토레지스트 패턴은 상기 게이트 전극 구조물(220)을 형성한 후, 애싱 및 스트립 공정을 통해 제거될 수 있다.
- <107> 도 15를 참조하면, 상기 게이트 전극 구조물(220) 및 상기 블록킹 막(208) 상에 스페이서막(228)을 형성한다. 상기 스페이서막(228)은 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.
- <108> 도 16을 참조하면, 상기 스페이서막(228)을 이방성 식각하여 상기 게이트 전극 구조물(220)의 측면들 상에 스페이서(230)를 형성한다.
- <109> 도 17을 참조하면, 상기 게이트 전극 구조물(220) 및 상기 스페이서(230)를 식각 마스크로 사용하는 이방성 식각을 수행하여 상기 블록킹 막(206), 전하 트랩핑 막(204) 및 터널 절연막(202)으로부터 블록킹 막 패턴(232), 전하 트랩핑 막 패턴(234) 및 터널 절연막 패턴(236)을 형성한다.
- <110> 결과적으로, 상기 반도체 기판(200)의 채널 영역(200a) 상에 상기 게이트 전극 구조물(220), 스페이서(230), 블록킹 막 패턴(232), 전하 트랩핑 막 패턴(234) 및 터널 절연막 패턴(236)을 포함하는 게이트 구조물(240)이 형성된다.
- <111> 본 발명의 다른 실시예에 따르면, 상기 게이트 구조물(240)을 형성하는 동안 발생된 상기 반도체 기판(200) 및

상기 게이트 구조물(240)의 식각 손상을 치유하기 위한 재산화 공정을 수행할 수 있다.

<112> 이어서, 상기 게이트 구조물(240)과 인접한 반도체 기판(200)의 표면 부위들에 소스/드레인 영역들(242)을 형성한다. 상기 소스/드레인 영역들(242)은 상기 게이트 구조물(240)을 이온 주입 마스크로서 이용하는 이온 주입 공정 및 열처리 공정에 의해 형성될 수 있다.

발명의 효과

<113> 상기와 같은 본 발명의 실시예들에 따르면, 불휘발성 메모리 장치의 터널 절연막을 산질화 처리를 통해 형성함으로써 상기 터널 절연막의 전기적 특성을 개선할 수 있다. 특히, 상기 터널 절연막의 유전율 및 누설 전류 특성을 개선할 수 있다. 또한, 상기 터널 절연막을 일차 및 이차 열처리함으로써 상기 터널 절연막의 결함 사이트들을 제거할 수 있다. 이에 따라, 상기 불휘발성 메모리 장치의 데이터 유지 특성, 고온 스트레스 특성 및 데이터 신뢰성 등을 개선할 수 있다.

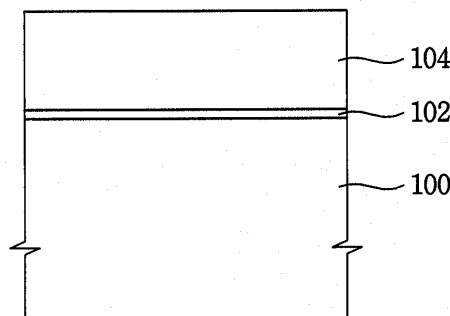
<114> 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

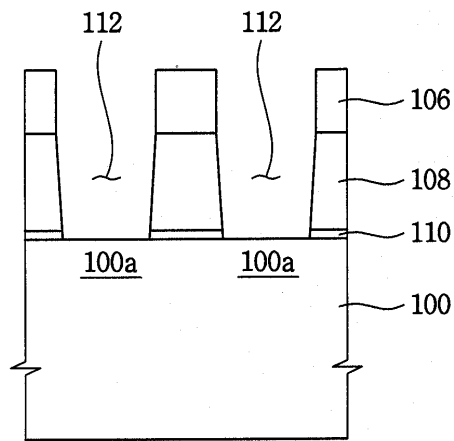
- <1> 도 1 내지 도 6 및 도 8 내지 도 12는 본 발명의 일 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <2> 도 7은 도 6에 도시된 터널 산화막 내의 질소 농도 프로파일을 나타내는 그래프이다.
- <3> 도 13 내지 도 17은 본 발명의 다른 실시예에 따른 불휘발성 메모리 장치의 제조 방법을 설명하기 위한 단면도들이다.
- <4> * 도면의 주요부분에 대한 부호의 설명 *
- <5> 100 : 반도체 기판 100a : 소자 분리 영역
- <6> 100b : 액티브 영역 116 : 필드 절연 패턴
- <7> 120, 138 : 터널 절연막 122 : 플로팅 게이트 패턴
- <8> 124, 134 : 블록킹 막 132 : 컨트롤 게이트 전극
- <9> 136 : 플로팅 게이트 전극 140 : 게이트 구조물
- <10> 144 : 소스/드레인 영역들

도면

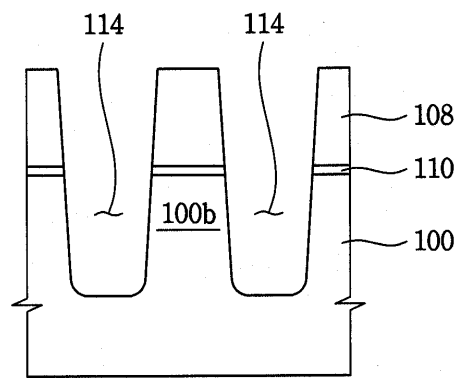
도면1



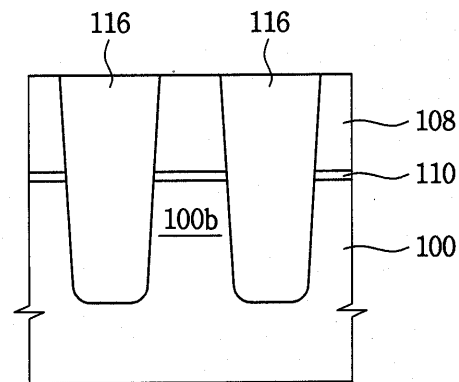
도면2



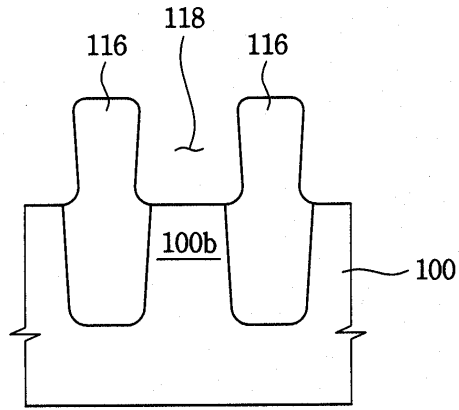
도면3



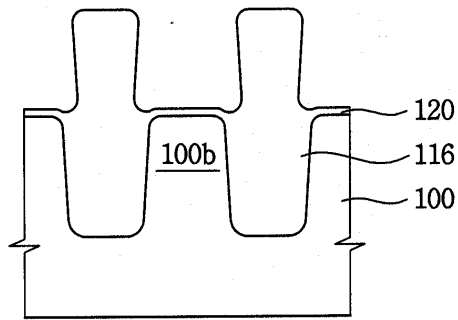
도면4



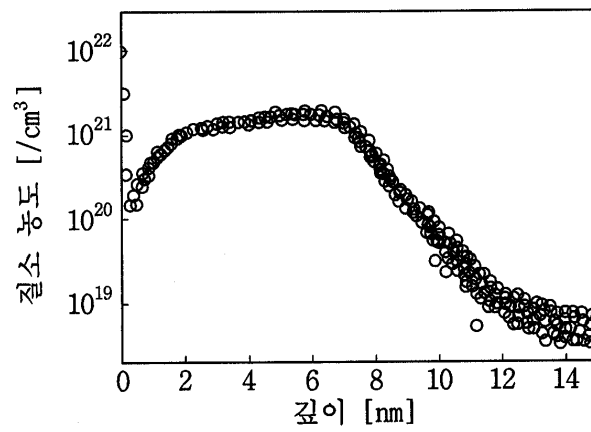
도면5



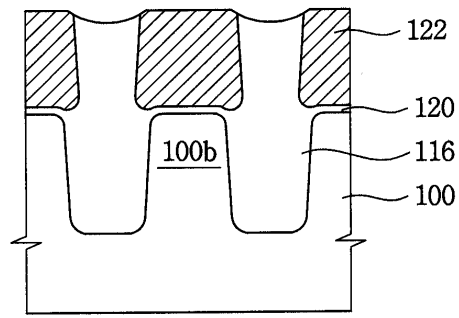
도면6



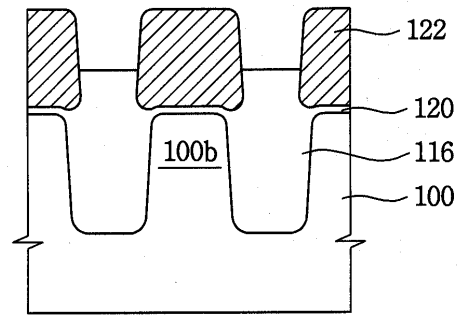
도면7



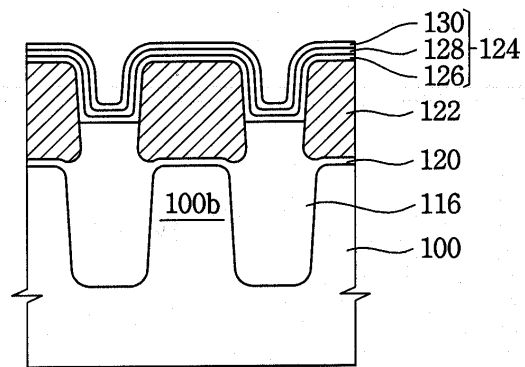
도면8



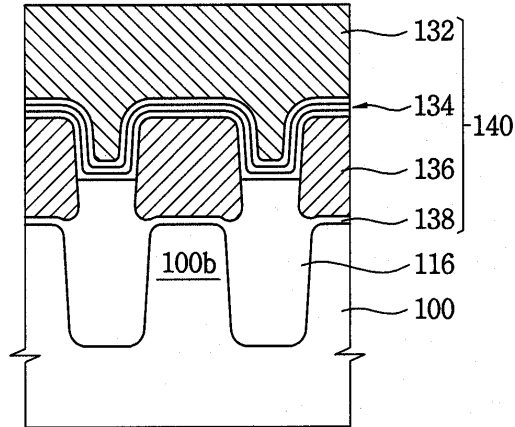
도면9



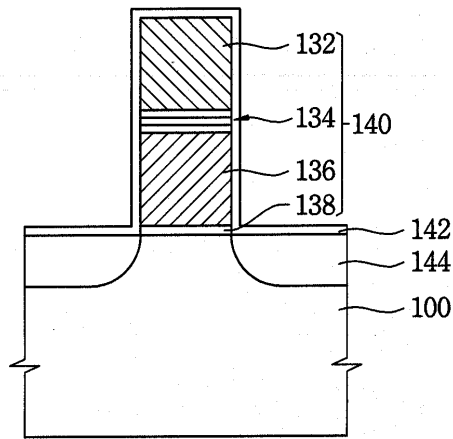
도면10



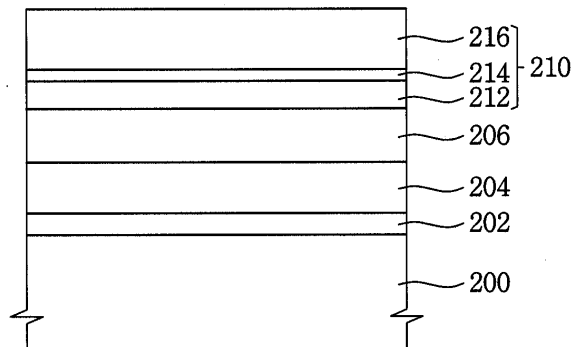
도면11



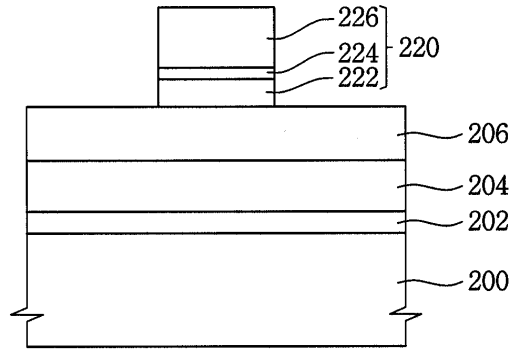
도면12



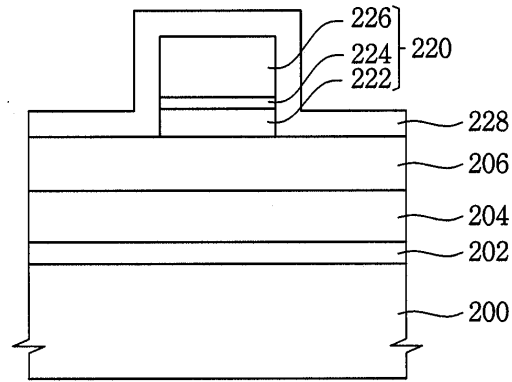
도면13



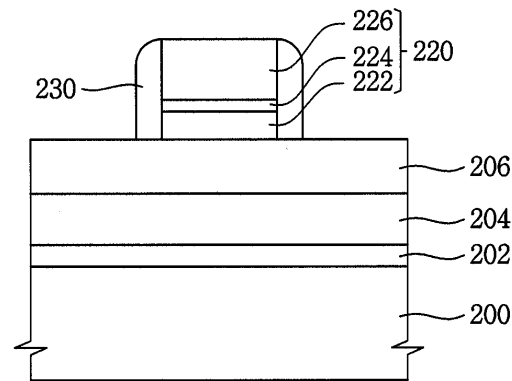
도면14



도면15



도면16



도면17

