公告本

申請日期	89.11.06
案號	89123343
類別	G11C 7/00

（以上各欄由本局填註）

A4
C4

558723

發明 ~~新型~~ 專利說明書

一、發明 ~~新型~~ 名稱	中文	半導體儲存裝置
	英文	"SEMICONDUCTOR STORAGE DEVICE"
二、發明 ~~創作~~ 人	姓名	吉本 貴彥
	國籍	日本
	住、居所	日本國奈良縣大和高田市築山96-404
三、申請人	姓名（名稱）	日商夏普股份有限公司
	國籍	日本
	住、居所（事務所）	日本國大阪府大阪市阿倍野區長池町22番22號
	代表人姓名	町田 勝彥

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 × 297 公釐)

裝 訂 線

（由本局填寫）

承辦人代碼：	
大　　類：	
ＩＰＣ分類：	

A6
B6

本案已向：

國（地區）　申請專利，申請日期：　　案號：　　，□有　□無主張優先權

日本	1999年11月30日	特願平11-341465	☑有□無主張優先權

有關微生物已寄存於：　　，寄存日期：　　，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝　訂　線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 × 297 公釐)

五、發明說明（1）

發明背景

1.發明範圍

本發明有關一種半導體儲存裝置，尤其是有關一種具有輸入資料保留電路之半導體儲存裝置，其與一種系統計時信號之上升邊緣同步操作。

2.相關技藝敘述

近年來，隨著微處理器等之操作速度提高，對於以更高速度操作之半導體儲存裝置的需求也隨之成長。爲符合此種需求而發展之半導體儲存裝置係一種以同步成組傳輸操作模式操作之同步半導體儲存裝置。此種儲存裝置中，除了常態隨機存取速度提高之外，可達到高速讀出資料，惟存取方法受限於某種程度。

定時同步半導體儲存裝置中所使用之同步成組傳輸操作模式係一種高速存取模式，其中以一種系統計時信號同步依序輸出預定資料列。

以同步成組傳輸操作模式操作之同步半導體儲存裝置實例之一包括一種同步DRAM（下文稱爲"SDRAM"）。在SDRAM中於接收該系統計時信號時，一輸入電路與該系統計時信號脈衝之上升邊緣同步接收控制信號(一列定址選通信號、一行定址選通信號、一個可寫入信號以及一個晶片選擇信號)與一個來自時間分割方式外部之定址信號。

與一系統計時信號之上升邊緣同步接收該控制信號與定址信號時，必須考慮與該系統計時信號相關之特定就序時間與特定保留時間來輸入該定址信號。在近年來所發展之

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（2）

高速裝置(諸如SDRAMs)中，當該系統計時信號頻率提高時，該就序時間與保留時間減少。因此，在以儲存裝置規格爲基準之就序時間與保留時間邊際設定中，比以往更需要減少空載時間。

爲了符合此種需求之目的，已提出一種正反器結構以鎖定資料信號，其補償該就序時間。輸入一種輸入資料信號與一種系統計時信號，使此二種信號之波形幾乎同時升高時，通常必須延遲一種內部計時信號。然而，此種內部計時信號之延遲會延遲資料輸出。在該提出結構中，消除介於一種輸入資料鎖定電路片段中之控制信號與定址信號延遲與該系統計時信號上升邊緣延遲之差異，因而補償該就序時間。

圖8顯示一種鎖定電路800，其揭示於日本特許公開公報第2-203611號。於鎖定電路800中，晶片選擇信號CS與定址信號(A0-Ax)分別經由CS輸入緩衝儲存器202與定址緩衝儲存器203輸入邏輯電路204。邏輯電路204輸出信號ϕ204至鎖定電路20。該鎖定電路20包括一個轉換閘21a、轉換閘22a、變換電路INV21、變換電路INV22、變換電路INV23、變換電路INV24與變換電路INV25。轉換閘21a包括一個NMOS電晶體N21與一個PMOS電晶體P21。轉換閘22a包括一個NMOS電晶體N22與PMOS電晶體P22。

接收計時信號CLK時，CLK輸入緩衝儲存器205輸出一種CLK輸入緩衝儲存器輸出信號ϕ205。延遲電路201接收到CLK輸入緩衝儲存器輸出信號ϕ205，並輸出一個信號ϕ201

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（3）

至轉換閘21a與轉換閘22a。更明確地說，信號ϕ201直接輸入至PMOS電晶體P21之閘與NMOS電晶體N22之閘，並經由變換電路INV25輸入至NMOS電晶體N21之閘與PMOS電晶體P22之閘。

將來自邏輯電路204之信號ϕ204供應至鎖定電路20之轉換閘21a。將自轉換閘21a輸出之信號供應至變換電路INV21。將自變換電路INV21輸出之信號供應至轉換閘22a，亦經由變換電路INV22反饋至變換電路INV21。一轉換閘22a的輸出乃是鎖定線路20經由一反饋電路之輸出，該反饋電路是由變換電路INV23及變換電路INV24所形成，並供應至轉換閘23a。

亦經由變換電路INV26將自延遲電路201輸出之信號供應至NAND閘NAND21之輸入終端之一。NAND閘NAND21之其他輸入終端接收來自CLK輸入緩衝儲存器205之CLK輸入緩衝儲存器輸出信號ϕ205。將NAND閘NAND21之輸出供應至轉換閘23a之閘與轉換閘24a之閘。轉換閘23a包括一個NMOS電晶體N23與一個PMOS電晶體P23。轉換閘24a包括一個NMOS電晶體N24與一個PMOS電晶體P24。將NAND閘NAND21之輸出直接供應至該NMOS電晶體N23之閘與PMOS電晶體P24之閘，亦經由變換電路INV27供應至PMOS電晶體P23之閘與NMOS電晶體N24之閘。來自邏輯電路204之信號ϕ204亦供應至轉換閘24a。緩衝儲存器Buf21接收轉換閘23a之輸出與轉換閘24a之輸出，並輸出信號ϕ21。

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（4）

在具有上述結構之鎖定電路800中，延遲一種內部計時信號，以獲得就序時間之邊際，因此消除與內部計時信號有關之輸入資料信號(A0-Ax)延遲。

更明確地說，鎖定電路20(以鎖定電路20之規格爲基準測得之就序時間爲0)輸入資料信號(A0-Ax)與系統計時信號CLK同時到達鎖定電路20。使用此一現象，藉由延遲電路201延遲該系統計時信號，以產生一種內部計時信號。已到達之輸入資料信號(A0-Ax)經過與鎖定電路20不同之路徑(即經過已開啓之轉換閘23a與轉換閘24a)，直到以內部計時信號爲基準鎖定該輸入資料信號(A0-Ax)爲一，並自緩衝儲存器Buf21輸出。

根據此系統，在資料輸入控制命令信號(RAS、CAS、WE與CS)之時間控制下輸入該定址資料信號。因此，於輸入該資料輸入控制命令信號時，必須保留該定址資料信號，以獲得內部存取用之輸入資料信號。爲了解決此一問題，已提出一種輸入資料保留電路900(圖9)，其另外包括一個用以保留信號之鎖定電路51。

在輸入資料保留電路900中，將鎖定電路53所產生之信號ϕ52供應至鎖定電路51，其中鎖定電路53具有與圖8所示之鎖定電路800相同結構。鎖定電路51包括一個轉換閘55a、轉換閘56a、變換電路INV59、變換電路INV510、變換電路INV511、變換電路INV512、變換電路INV513。轉換閘55a包括一個NMOS電晶體N55與PMOS電晶體P55。轉換閘56a包括一個NMOS電晶體N56與一個PMOS電晶體P56。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（5）

將鎖定電路53所產生之信號ϕ52供應至轉換閘55a。將輸入緩衝儲存器Buf控制信號ϕ120供應至PMOS電晶體P55之閘與NMOS電晶體N56之閘。此外，亦經由變換電路INV513將輸入資料控制信號ϕ120供應至NMOS電晶體N55之閘與PMOS電晶體P56之閘。將轉換閘55a之輸出供應至變換電路INV59。將變換電路INV59之輸出供應轉換閘56a，亦經由變換電路INV510反饋至變換電路INV59。將轉換閘56a之輸出供應至變換電路INV511與變換電路INV512所形成之反饋迴路，然後，鎖定電路51自變換電路INV511輸出信號Ain0-Ainx。

具有上述結構之輸入資料保留電路900體積較大。此外，因爲延遲電路501延遲用以鎖定在鎖定電路50內之內部計時信號，因此內部存取時間延遲相同時間長度。

除了此等問題之外，在輸入資料保留電路900外，需要提出一種用以產生輸入資料控制信號ϕ120之輸入資料控制信號產生電路1000（見圖10），以便於輸入資料輸入控制命令信號時保留輸入資料定址信號。圖11顯示一輸入資料保留電路900之計時圖。由圖11可看出，內部存取時間係輸入資料控制信號產生電路120(圖10)以及與之結合之輸入緩衝儲存器所致之延遲時間、邏輯電路504以及與之結合之輸入緩衝儲存器所致之延遲時間與鎖定電路51所致之延遲時間總和。

日本特許公開公報第8-17182號揭示一種縮短內部存取時間之結構。此種結構中，當以該規格爲基準之就序時間爲

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（6）

數毫微秒時，將一部分就序時間分配爲內部存取時間，因而縮短內部存取時間。

圖12顯示出一種邏輯資料輸入鎖定電路1200，其揭示於日本特許公開公報第8-17182號。於邏輯資料輸入鎖定電路1200中，分別經由CS輸入緩衝儲存器72與定址緩衝儲存器73將晶片選擇信號CS與定址信號(A0-Ax)供應至邏輯電路74。邏輯電路74輸出信號ϕ74至鎖定(正反器)電路70。鎖定(正反器)電路70包括一個轉換閘71a、轉換閘72a、變換電路INV71、變換電路INV72、變換電路INV73、變換電路INV74與變換電路INV75。轉換閘71a包括一個NMOS電晶體N71與一個PMOS電晶體P71。轉換閘72a包括一個NMOS電晶體N72與一個PMOS電晶體P72。鎖定(正反器)電路70接收來自位於轉換閘71a處邏輯電路74之信號ϕ74。CLK輸入緩衝儲存器71接收一個系統計時信號CLK，並輸出一個CLK輸入緩衝儲存器輸出信號ϕ71至PMOS電晶體P71之閘與NMOS電晶體N72之閘。CLK輸入緩衝儲存器輸出信號ϕ71亦經由變換電路INV75供應至NMOS電晶體N71之閘與PMOS電晶體P72之閘。將轉換閘71a之輸出供應至變換電路INV71。將變換電路INV71之輸出供應至轉換閘72a，亦經由變換電路INV72反饋至變換電路INV71。將轉換閘72a之輸出供應至變換電路INV73與變換電路INV74所形成之反饋迴路，然後輸出變換電路INV73之輸出作爲信號ϕ75。

在邏輯資料輸入鎖定電路1200中，將邏輯電路74(其經由定址緩衝儲存器73接收輸入(定址)資料信號)以及與其

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（7）

結合之互連位於該鎖定(正反器)電路70前。此種結構中，由邏輯電路74以及與彼結合之互連所致之延遲時間與該就序時間交錯，縮短自該系統計時信號CLK上升邊緣至自鎖定電路70輸出信號ϕ75出來所耗用時間。

在邏輯資料輸入鎖定電路1200中，在定址緩衝儲存器73至鎖定(正反器)電路70路徑中之資料定址信號(A0-Ax)所致延遲時間比CLK輸入緩衝儲存器71至鎖定(正反器)電路70路徑中之系統計時信號CLK所致延遲時間長出邏輯電路74以及與彼結合之互連所致延遲時間。此種情況下，由鎖定(正反器)電路70鎖定資料定址信號(A0-Ax)之計時觀點來看，若系統計時信號CLK與資料定址信號(A0-Ax)同時輸入(即，若信號ϕ71與信號ϕ73同時分別自CLK輸入緩衝儲存器71與定址緩衝儲存器73輸出)，邏輯電路74以及與彼結合之互連所致之延遲時間減少就序時間邊際。

因此，上述電路結構中，邏輯電路74以及與彼結合之互連所致之延遲時間必須比就序時間更短。

此外，在一種諸如SDRAM之同步半導體儲存裝置中，定址資料信號通常於資料輸入控制命令信號之計時控制下輸入。因此，除了確保就序時間與鎖定(正反器)電路70之保留時間有充分邊際之外，於輸入資料輸入控制命令信號時，必須使定址資料信號與系統計時信號之上升邊緣同步。因此，必須在鎖定(正反器)電路70後提供一種用以保留定址資料信號之正反電路(例如圖13所示之正反電路802)。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（8）

圖13所示之輸入資料保留電路1300具有兩階段正反電路80，其包括正反電路801與802。此種兩階段結構使得輸入資料保留電路1300得以保留定址資料信號。另外提出以保留該定址資料信號之正反電路802結構與圖9所示之鎖定電路51結構相同。

圖14顯示輸入資料保留電路1300之計時圖。由此圖看出，內部存取時間係邏輯電路84以及與之結合之輸入緩衝儲存器所致延遲時間、該資料輸入控制信號產生電路120(圖10)以及與彼結合之輸入緩衝儲存器所致延遲時間，以及鎖定電路802所致延遲時間之總和。

在上述正反電路80中，以輸入資料控制信號產生電路1000(見圖10)所產生之輸入資料控制信號ϕ120爲基準，保留由正反電路801所鎖定在系統計時信號上升邊緣處之定址資料信號，其中該輸入資料控制信號產生電路1000接收系統計時信號CLK與資料輸入控制命令信號。然後，經由變換電路INV88將該定址資料信號供應至一個內部電路(該儲存裝置之記憶體部分)。

此種情況下，輸入資料控制信號ϕ120包括輸入資料控制信號產生電路1000相對於系統計時信號上升邊緣所致之延遲時間。然而，因爲由正反電路801確保該就序時間與保留時間充分邊際之故，保留該與系統計時信號上升邊緣同步之定址資料信號輸入，至後續系統計時信號上升邊緣爲止。因此，可由正反電路802保留包括約一回合系統計時信號邊際之定址資料信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（9）

然而，因爲正反電路80包括兩個正反電路，所以其體積較大。此外，對每個定址資料信號提供此種正反電路。因此，此電路佔據一半導體晶片上相當大範圍。

因爲系統計時信號CLK係用以鎖定輸入資料信號之故，圖13所示之正反電路80需要兩個正反電路(801與802)。以一種具有單一脈衝之計時信號(其係由具有一連串根據資料輸入控制命令信號反應之脈衝的外部提供計時輸入信號所產生)代替系統計時信號CLK鎖定輸入資料信號情況下，可由圖15所示之單一正反電路901鎖定且保留該輸入資料信號。圖15中，代替經由CLK輸入緩衝儲存器71外部供應至邏輯資料輸入鎖定電路1200(圖12)之計時信號CLK，將輸入資料控制信號ϕ120供應至正反電路901。

然而，圖15中，必須提出一個用以自具有一連串脈衝之外部供應計時信號產生單一脈衝計時信號之邏輯電路126(圖10)。所產生之具有單一脈衝計時信號包括邏輯電路126所致之延遲時間。即，無法達成提高內部存取速度，該存取速度提高係日本特許公開公報第8-17182號所揭示之電路的特徵。此外，在用以產生具有單一脈衝計時信號之邏輯電路126所致延遲時間比邏輯電路94(圖15，其位於供應資料輸入定址之起始階段後)所致延遲時間長之情況下，保留時間之邊際減少。

在一個同步半導體裝置中，與一個計時信號之上升邊緣同步輸入一個輸入資料信號。因此，必須確保用以輸入資料信號之充分就序時間與保留時間。然而，在輸入資料保

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 10 ）

留電路1300(圖13)中，介於自一計時信號輸入終端至一鎖定電路之路徑與自一輸入資料信號輸入終端至鎖定電路路徑間之邏輯電路階段數不同，而且此種階段數差異在此等信號間造成歪斜。該歪斜減少就序時間與保留時間之邊際。因此，介於至計時信號用路徑與輸入資料信號用路徑間之邏輯電路階段數必須相同。然而，在輸入資料保留電路1300中，輸入資料信號用之路徑邏輯電路階段大於系統計時信號用之路徑，因此，就序時間邊際減少。

因此，在輸入資料保留電路900(圖9)中，可以藉由將一個邏輯插入計時信號至一個鎖定電路用路徑中，以消除介於計時信號與輸入資料信號間之歪斜，如此計時信號至鎖定電路路徑中之邏輯電路數與輸入資料信號至該鎖定電路路徑中之邏輯電路數。然而，在此種結構中，雖然可以確保就序時間與保留時間之邊際，但是插入消除歪斜用之邏輯電路會增加空載時間，因此內部存取時間增加。

發明總結

根據本發明一方面，一種與系統計時信號同步操作之同步半導體儲存裝置包括：第一反饋迴路，其鎖定一種定址資料信號；包括一個第一轉換閘之第一鎖定電路，其藉由該定址資料信號之第一反饋迴路控制該鎖定作用；第二反饋迴路，其保留該第一反饋迴路鎖定之定址資料信號；包括一個第二轉換閘之第二鎖定電路，其藉由第一反饋迴路所鎖定之定址資料信號的第二反饋迴路控制該保留作用；資料輸入控制信號產生電路，其以該系統計時信號與控制

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（ 11 ）

信號爲基準產生一種資料輸入控制信號；以及鎖定信號產生電路，其用以自該系統計時信號邏輯總和與該資料輸入控制信號產生一種定址鎖定信號；其中該定址鎖定信號係輸入第一轉換閘以控制該定址資料信號之鎖定作用，而該資料輸入控制信號輸入第二轉換閘以控制由第一反饋迴路所鎖定之定址資料信號的保留作用。

本發明一具體實例中，該控制信號包括一列定址選通信號、一行定址選通信號、一個可寫入信號以及一個晶片選擇信號。

本發明另一具體實例中，該同步半導體儲存裝置另外包括一個邏輯電路，其用以產生一個資料計時信號，其係以該晶片選擇計時信號與輸入定址信號爲基準，被該第一鎖定電路鎖定。

本發明另一具體實例中，定址鎖定信號產生電路所致之延遲時間等於該邏輯電路所致之延遲時間。

本發明另一具體實例中，該資料輸入控制命令信號之下降邊緣在同一回合系統計時信號之低期間內。

本發明另一具體實例中，該同步半導體儲存裝置包括數個第一鎖定電路與數個第二鎖定電路，如此同時鎖定數個定址資料信號。

本發明另一具體實例中，該資料輸入控制信號產生電路與定址鎖定信號產生電路各具有一種緩衝儲存器功能。

根據具有上述結構之本發明，在系統計時信號與輸入資料信號至該鎖定電路之路徑中提供一個邏輯電路與互連，其必須在鎖定輸入資料信號之鎖定電路之前，如此系統計時信號所致之延遲時間與輸入定址信號所致之延遲時間相

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 × 297 公釐）

五、發明說明（12）

同，因此不會發生介於系統計時信號與輸入定址信號間之歪斜。結果，當該輸入資料信號被鎖定時，可以確保就序時間與保留時間之充分邊際。此外，可以在該輸入資料信號被一個資料輸入控制信號產生電路延遲後保留該輸入資料信號，因此，內部存取速度較高。

此外，具有上述特徵之電路體積可製得相當小。因此，與習用結構相較，該電路不會增加整體裝置之體積。

因此，此處所述之本發明可具有下列優點：提供一種輸入資料鎖定電路，其中確保關於系統計時信號之充分就序時間與保留時間，同時，增加該內部存取速度，且不會增加整體裝置之體積。

熟知本技藝者參考附圖閱讀並瞭解下列詳述後，將更明白本發明此等與其他優點。

圖式簡述

圖1顯示一個輸入資料保留電路之具體實例，其係用於根據本發明之分子半導體儲存裝置。

圖2係一個計時圖，其顯示用於圖1所示輸入資料保留電路中之信號波形的關係。

圖3顯示一種用於本發明之輸入緩衝儲存器電路之範例結構。

圖4顯示一種本發明之資料輸入資料控制信號產生電路實例，其自一個控制信號與一個系統計時信號產生一個資料輸入控制信號。

圖5顯示一個用於本發明裝置中之邏輯電路實例。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 13 ）

圖6顯示若該資料輸入控制信號之下降邊緣位於後續回合之系統計時信號高期間，該定址鎖定信號之下降邊緣將延遲。

圖7顯示用於根據本發明同步半導體儲存裝置時之數個具有保留功能的D型正反電路。

圖8顯示一種習用輸入鎖定電路之範例結構。

圖9顯示一種具有輸入資料保留功能之習用輸入資料保留電路範例結構。

圖10顯示一種習用輸入資料控制信號產生電路之範例結構。

圖11顯示圖9所示之習用輸入資料保留電路的計時圖。

圖12顯示一種習用邏輯資料輸入鎖定電路之範例結構。

圖13顯示一種具有保留功能之習用輸入資料保留電路的範例結構。

圖14顯示圖13所示之習用輸入資料保留電路的計時圖。

圖15顯示具有保留一種輸入資料信號功能之習用輸入鎖定電路的其他範例結構。

較佳具體實例敘述

下文將參考圖式描述本發明一具體實例。

圖1顯示一種輸入資料保留電路之結構，其係用於根據本發明分子半導體儲存裝置中。圖2係顯示用於圖1所示輸入資料保留電路中之信號波形關係的計時圖。

圖1顯示一個用於本發明同步半導體儲存裝置之輸入資料保留電路150。該輸入資料保留電路150包括一個CLK輸

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（ 14 ）

入緩衝儲存器11、RAS輸入緩衝儲存器12、CAS輸入緩衝儲存器13、WE輸入緩衝儲存器14、CS輸入緩衝儲存器15、定址緩衝儲存器16、輸入資料良信號產生電路103與一個具有保留功能之D型正反電路100。該輸入資料保留電路150具有接收六個輸入信號之六個終端，即分別爲一列定址選通信號RAS、一行定址選通信號CAS、一個可寫入信號WE、一個系統計時信號CLK、一個晶片選擇信號CS與定址信號(A0-Ax)。分別藉由RAS輸入緩衝儲存器12、CAS輸入緩衝儲存器13、WE輸入緩衝儲存器14、CLK輸入緩衝儲存器11、CS輸入緩衝儲存器15與定址緩衝儲存器16放大位於個別輸入終端所接收之輸入信號。然後，將經放大信號送至內部電路。個別緩衝儲存器電路之個別輸入信號所致之延遲時間相同。因此，該輸入信號間未發生歪斜。

該輸入資料鎖定信號產生電路103包括一個資料輸入控制信號產生電路17與一個定址鎖定信號產生電路19。該定址鎖定信號產生電路19包括一個NOR閘NOR1與一個變換電路INV17。將一個來自RAS緩衝儲存器12之RAS輸入緩衝儲存器輸出信號ϕ12、來自CAS輸入緩衝儲存器13之CAS輸入緩衝儲存器輸出信號ϕ13、來自WE輸入緩衝儲存器14之WE輸入緩衝儲存器輸出信號ϕ14、來自CS輸入緩衝儲存器15之CS輸入緩衝儲存器輸出信號ϕ15供應至位於輸入資料鎖定信號產生電路103中之資料輸入控制信號產生電路17。此外，將來自CLK輸入緩衝儲存器11之CLK輸入緩

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（15）

衝儲存器輸出信號ϕ11供應至資料輸入控制信號產生電路17。以CLK輸入緩衝儲存器輸出信號ϕ 11、RAS輸入緩衝儲存器輸出信號ϕ12、CAS輸入緩衝儲存器輸出信號ϕ13、WE輸入緩衝儲存器輸出信號ϕ14與CS輸入緩衝儲存器輸出信號ϕ15爲基準，該資料輸入控制信號產生電路17產生一個資料輸入控制信號ϕ17。資料輸入控制信號ϕ17包括由資料輸入控制信號產生電路17所致之延遲。如下述，資料輸入控制信號ϕ17係用以保留鎖定電路101所鎖定之輸入資料信號。

資料輸入控制信號ϕ17亦供應至NOR閘NOR1之一個終端。該NOR閘NOR1之另一終端接收來自CLK輸入緩衝儲存器11之CLK輸入緩衝儲存器輸出信號ϕ11。NOR閘NOR1之輸出係經由變換電路INV17輸出，作爲定址鎖定信號ϕ19。即由定址鎖定信號產生電路19所產生之定址鎖定信號ϕ19係資料輸入控制信號ϕ17與CLK輸入緩衝儲存器輸出信號ϕ11之邏輯總和。定址鎖定信號ϕ19包括由定址鎖定信號產生電路19所致之延遲。如下文所述，定址鎖定信號ϕ19係用以保留被鎖定電路102鎖定之輸入資料信號。

具有保留功能之D型正反電路100包括一個邏輯電路18、鎖定電路101與鎖定電路102。該鎖定電路101包括一個轉換閘1a、變換電路INV11、變換電路INV12與變換電路INV15。轉換閘1a包括一個NMOS電晶體N1與一個PMOS電晶體P1。該鎖定電路102包括一個轉換閘2a、變換電路INV13、變換電路INV14與變換電路INV16。轉換閘2a包括

（請先閱讀背面之注意事項再填寫本頁）

裝 訂 線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（16）

一個NMOS電晶體N2與一個PMOS電晶體P2。

亦將來自CS輸入緩衝儲存器15之CS輸入緩衝儲存器輸出信號ϕ15供應至邏輯電路18。將來自定址緩衝儲存器16之定址緩衝儲存器輸出信號ϕ16供應至邏輯電路18。該邏輯電路18以該CS輸入緩衝儲存器輸出信號ϕ15與定址緩衝儲存器輸出信號ϕ16爲基準，產生一種信號ϕ18。信號ϕ18包括由邏輯電路18所致之延遲。

將來自邏輯電路18之信號ϕ18供應至轉換閘1a。PMOS電晶體P1之閘接收該定址鎖定信號ϕ19，而NMOS電晶體N1之閘亦經由變換電路INV15接收定址鎖定信號ϕ19。當PMOS電晶體P1之閘進行到低水準"L"，而NMOS電晶體N1之閘進行至高水準"H"時，轉換閘1a輸出一個信號。

將來自轉換閘1a之信號輸出供應至變換電路INV11。將變換電路INV11之輸出供應至一個鎖定電路102，並經由變換電路INV12反饋至變換電路INV11。變換電路INV11與變換電路INV12形成第一反饋迴路。

將來自第一反饋迴路之信號ϕ110供應至轉換閘2a。轉換閘2a之NMOS電晶體N2接收資料輸入控制信號ϕ17，而轉換閘2a之PMOS電晶體P2亦經由變換電路INV16接收資料輸入控制信號ϕ17。

將來自轉換閘2a之信號輸出供應至變換電路INV13。自該D型正反電路100輸出來自變換電路INV13之信號輸出，並經由變換電路INV14亦反饋至變換電路INV13。變換電路INV13與變換電路INV14形成第二反饋迴路。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（17）

在圖1所示之具有上述結構輸入資料保留電路150中，信號ϕ18與定址鎖定信號ϕ19於供應至鎖定電路101之前，分別被邏輯電路18與定址鎖定信號產生電路19延遲。如圖2所示，在由邏輯電路18所致之信號ϕ18延遲時間與定址鎖定信號產生電路19所致之定址鎖定信號ϕ19延遲時間相等情況中，自個別輸入終端至鎖定電路101之流動中所致之延遲時間與信號ϕ18及ϕ19之延遲時間相同。此種情況下，信號ϕ18與定址鎖定信號ϕ19之間未發生歪斜。雖然以定址鎖定信號ϕ19爲基準，以轉換閘1a鎖定信號ϕ18，但是信號ϕ18與定址鎖定信號ϕ19之延遲時間相等。

因此，在第一反饋迴路與轉換閘1a所形成以鎖定定址輸入信號ϕ16之鎖定電路101中，由該輸入終端部分之輸入資料信號與計時信號確保就序時間與保留時間時，可鎖定該輸出信號ϕ18。

然後，自鎖定電路101之信號ϕ18所產生之定址資料信號被鎖定電路102鎖定，其係由轉換閘2a與以資料輸入控制信號ϕ17爲基準之第二反饋迴路形成，該信號已經關於輸入終端處之系統計時信號而延遲。因此，內部存取速度提高。

圖3顯示一個輸入緩衝儲存器300，其係一種作爲初始輸入電路之輸入緩衝儲存器實例。該輸入緩衝儲存器300中，具有磁帶特性之NOR閘310接收來自外部終端之信號ϕin與啓動信號ϕe。NOR閘310經由變換電路INV302輸出信號ϕout。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（18）

圖4顯示一個資料輸入控制信號產生電路400，其自一列定址選通信號RAS、一行定址選通信號CAS、一個可寫入信號WE、一個晶片選擇信號CS與一個系統計時信號CLK產生一個資料輸入控制信號。該資料輸入控制信號產生電路400係由一個五個輸入NAND閘NAND41與一個變換電路INV41所形成之串聯電路，而且邏輯上是一種AND電路。該資料輸入控制信號產生電路400輸出一個輸入信號之邏輯產物作爲資料輸入控制信號ϕ17。更明確地說，該資料輸入控制信號產生電路400以所接收之控制信號極性組合爲基準，解碼一個預定命令，而該解碼結果與計時信號之邏輯產物產生一個脈衝，其最大脈衝寬度係計時信號之最大脈衝寬度。

圖5顯示一個邏輯電路500，其自輸入資料信號與晶片選擇信號CS產生一個會被鎖定之資料信號。邏輯電路500係由一個兩個輸入NAND閘NAND51與一個變換電路INV51所形成之串聯電路，而且邏輯上爲一種AND電路。邏輯電路500輸出該輸入信號之邏輯電路產物，作爲一個資料輸入控制信號ϕ18。藉由該邏輯電路500之功能，當該晶片選擇輸入信號CS待用時，該輸入資料信號亦待用，因此可以減少鎖定電路101中之AC電流。

該資料輸入控制信號ϕ17之下降邊緣必須在同一回合中之系統計時信號低期間內。如圖6所示，若資料輸入控制信號ϕ17之下降邊緣在隨後回合之系統計時信號高期間，定址鎖定信號ϕ19之下降邊緣會延遲。當資料輸入控制信

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

五、發明說明（19）

號ϕ17之下降邊緣約該同一回合之系統計時信號低期間內時，可以連續輸入相同命令信號。

現在，茲參考圖7描述如何實際使用一種同步半導體儲存裝置700。輸入資料鎖定信號產生電路103接收一種CLK輸入緩衝儲存器輸出信號ϕ11、RAS輸入緩衝儲存器輸出信號ϕ12、CAS輸入緩衝儲存器輸出信號ϕ13、WE輸入緩衝儲存器輸出信號ϕ14與CS輸入緩衝儲存器輸出信號ϕ15，並輸出一個資料輸入控制信號ϕ17與一個定址鎖定信號ϕ19至數個具有保留功能之D型正反電路100。各個具有保留功能之D型正反電路100均與記憶體單位陣列750連接。

通常，在數個輸入信號例如定址信號，同時被鎖定情況下，D型正反電路100所需數與欲同時鎖定之輸入信號數相同。因此，結合資料輸入控制信號ϕ17與定址鎖定信號ϕ19(其與定址鎖定信號ϕ16及CS輸入緩衝儲存器輸出信號ϕ15一同輸入該D型正反電路100)用之互連的閘電容相當大。此種大電容造成該系統計時信號等輸入正反電路100時，沒有通過任何緩衝儲存器電路之問題。隨著結合互連之總電容增加，該定址信號之波形因而變形，因此存取速度降低。然而，在本發明之輸入資料保留電路150中，該資料輸入控制信號產生電路17與定址鎖定信號產生電路19亦作爲緩衝儲存器，從而自該內部存取移除空載時間，因此內部存取速度提高。

根據本發明，將一個整體電路元件所需之邏輯電路與互

（請先閱讀背面之注意事項再填寫本頁）
裝 訂 線
經濟部智慧財產局員工消費合作社印製
本紙張尺度適用中國國家標準(CNS)A4規格(210×297公釐)

五、發明說明（20）

連大約定位在輸入終端與用以鎖定輸入資料信號之鎖定電路間，如此系統計時信號所致之延遲時間與介於輸入終端和鎖定電路間之輸入資料信號所致延遲時間相等。此種結構中，該系統計時信號與輸入定址信號間未發生歪斜。因此，當輸入資料信號被鎖定時，可確保就序時間與保留時間充分邊際。此外，該可以保留被一個資料輸入控制信號產生電路延遲後所鎖定之輸入資料信號，因此，內部存取速度相當高。

此外，可以將具有上述特徵之電路製得體積相當小。因此，與習用結構相較，該電路不會增加整體裝置之體積。

在不違背本發明範圍與精神下，熟知本技藝者將會明白而且容易製得各種其他鎖定。因此附錄申請專利範圍不受限於本文前文敘述，而是廣義地construed該申請專利範圍。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

A5
B5

四、中文發明摘要（發明之名稱：半導體儲存裝置）

本發明揭示一種同步儲存裝置，其與一種系統計時信號同步操作，包括：第一反饋迴路，其鎖定一種定址資料信號；具有一個第一轉換閘之第一鎖定電路，其藉由該定址資料信號之第一反饋迴路控制該鎖定作用；第二反饋迴路，其保留該第一反饋迴路鎖定之定址資料信號；具有一個第二轉換閘之第二鎖定電路，其藉由第一反饋迴路所鎖定之定址資料信號的第二反饋迴路控制該保留作用；資料輸入控制信號產生電路，其以該系統計時信號與控制信號爲基準產生一種資料輸入控制信號；以及鎖定信號產生電路，其用以自該系統計時信號邏輯總和與該資料輸入控制信號產生一種定址鎖定信號；其中該定址鎖定信號係輸入第一轉換閘以控制該定址資料信號之鎖定作用，而該資料輸入控制信號輸入第二轉換閘以控制由第一反饋迴路所鎖定之定址資料信號的保留作用。

英文發明摘要（發明之名稱："SEMICONDUCTOR STORAGE DEVICE"）

A synchronous semiconductor storage device which operates in synchronization with a system clock signal includes: a first feedback loop which latches an address data signal; a first latch circuit including a first transfer gate which controls the latching by the first feedback loop of the address data signal; a second feedback loop which holds the address data signal latched by the first feedback loop; a second latch circuit including a second transfer gate which controls the holding by the second feedback loop of the address data signal latched by the first feedback loop; a data input control signal generation circuit for generating a data input control signal based on the system clock signal and

（請先閱讀背面之注意事項再填寫本各欄）

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準 (CNS) A4 規格 (210 X 297 公釐)

A5
B5

四、中文發明摘要（發明之名稱：　　）

英文發明摘要（發明之名稱：　　）

control signals; and an address latch signal generation circuit for generating an address latch signal from a logical sum of the system clock signal and the data input control signal, wherein the address latch signal is input to the first transfer gate to control the latching of the address data signal, and the data input control signal is input to the second transfer gate to control the holding of the address data signal latched by the first feedback loop.

（請先閱讀背面之注意事項再填寫本頁各欄）

經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4 規格（210 X 297 公釐）

六、申請專利範圍

1. 一種同步半導體儲存裝置，其與一種系統計時信號同步操作，包括：

第一反饋迴路，其鎖定一種定址資料信號；

包括一個第一轉換閘之第一鎖定電路，其藉由該定址資料信號之第一反饋迴路控制該鎖定作用；

第二反饋迴路，其保留該第一反饋迴路鎖定之定址資料信號；

具有一個第二轉換閘之第二鎖定電路，其藉由第一反饋迴路所鎖定之定址資料信號的第二反饋迴路控制該保留作用；

資料輸入控制信號產生電路，其以該系統計時信號與控制信號爲基準產生一種資料輸入控制信號；以及

鎖定信號產生電路，其用以自該系統計時信號邏輯總和與該資料輸入控制信號產生一種定址鎖定信號，

其中該定址鎖定信號係輸入第一轉換閘以控制該定址資料信號之鎖定作用；而

該資料輸入控制信號輸入第二轉換閘以控制由第一反饋迴路所鎖定之定址資料信號的保留作用。

2. 根據申請專利範圍第1項之同步半導體儲存裝置，其中該控制信號包括一列定址選通信號、一行定址選通信號、一個可寫入信號以及一個晶片選擇信號。

3. 根據申請專利範圍第2項之同步半導體儲存裝置，另外包括一個邏輯電路，其係用以產生以晶片選擇信號與輸入定址信號爲基準而鎖定之資料信號。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

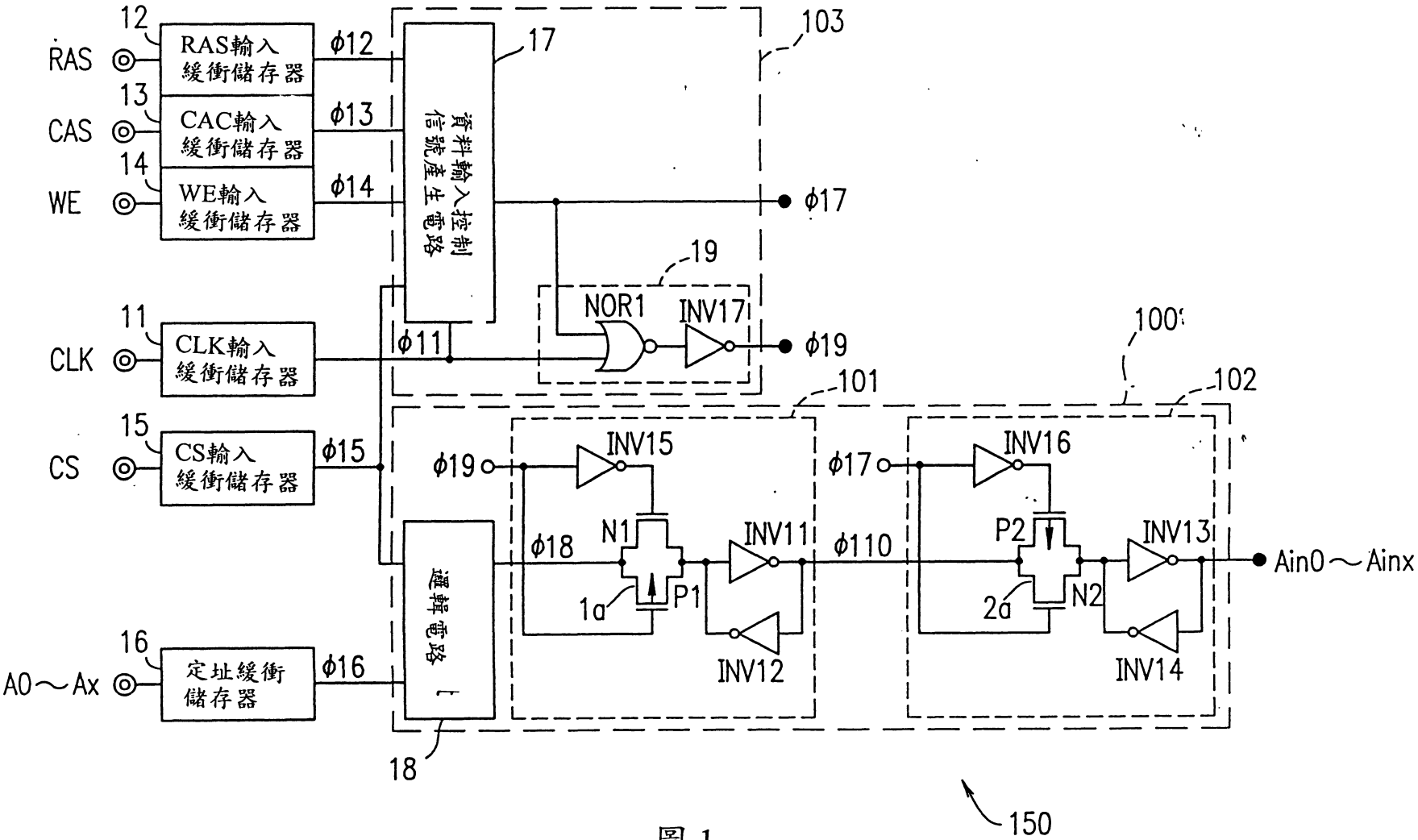
本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）

六、申請專利範圍

4. 根據申請專利範圍第3項之同步半導體儲存裝置，其中該定址鎖定信號產生電路所致之延遲時間等於該邏輯電路所致之延遲時間。
5. 根據申請專利範圍第1項之同步半導體儲存裝置，其中該資料輸入控制信號之下降邊緣在同一循環之系統計時信號低期間內。
6. 根據申請專利範圍第1項之同步半導體儲存裝置，其中該同步半導體儲存裝置包括數個第一鎖定電路與數個第二鎖定電路，如此同時鎖定數個定址資料信號。
7. 根據申請專利範圍第6項之同步半導體儲存裝置，其中該資料輸入控制信號產生電路與該定址鎖定信號產生電路各具有緩衝儲存器功能。

（請先閱讀背面之注意事項再填寫本頁）
裝
訂
線
經濟部智慧財產局員工消費合作社印製

本紙張尺度適用中國國家標準（CNS）A4規格（210×297公釐）



RAS
CAS
WE
CLK
CS
A0～Ax
12
13
14
11
15
16
RAS輸入緩衝儲存器
CAC輸入緩衝儲存器
WE輸入緩衝儲存器
CLK輸入緩衝儲存器
CS輸入緩衝儲存器
定址緩衝儲存器
ϕ12
ϕ13
ϕ14
ϕ11
ϕ15
ϕ16
17
資料輸入控制信號產生電路
103
ϕ17
19
NOR1
INV17
ϕ19
100
101
102
ϕ19
INV15
ϕ18
N1
1a
P1
INV11
INV12
ϕ17
INV16
ϕ110
P2
2a
N2
INV13
INV14
Ain0～Ainx
邏輯電路
18
150

圖 1

558723

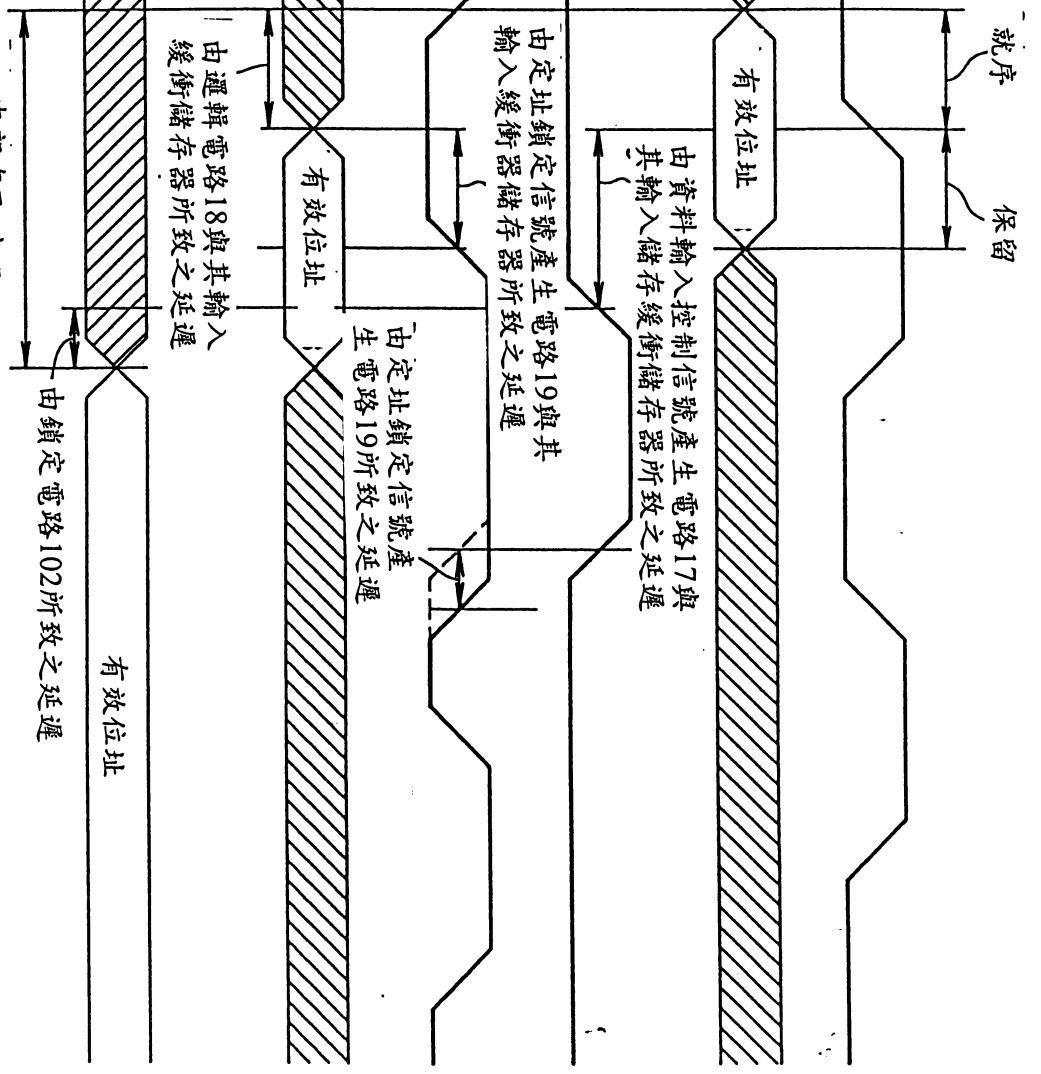

CLK
A0～Ax
φ17
φ19
φ18
Ain0～Ainx
就序
保留
有效位址
由資料輸入控制信號產生電路17與共輸入儲存緩衝儲存器所致之延遲
由定址鎖定信號產生電路19與共輸入緩衝器儲存器所致之延遲
由定址鎖定信號產生電路19所致之延遲
有效位址
由邏輯電路18與共輸入緩衝儲存器所致之延遲
內部存取時間
由鎖定電路102所致之延遲
有效位址

圖 2

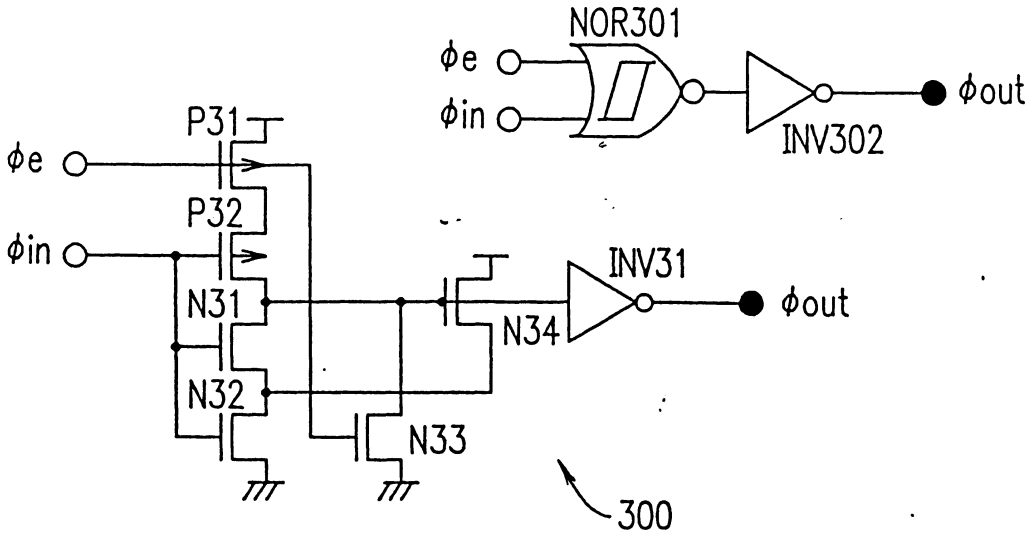

NOR301
φe
φin
φout
INV302
P31
φe
P32
φin
INV31
N31
φout
N34
N32
N33
300

圖 3

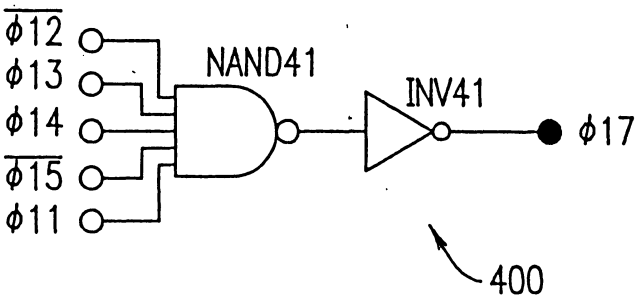

φ12
φ13
φ14
φ15
φ11
NAND41
INV41
φ17
400

圖 4

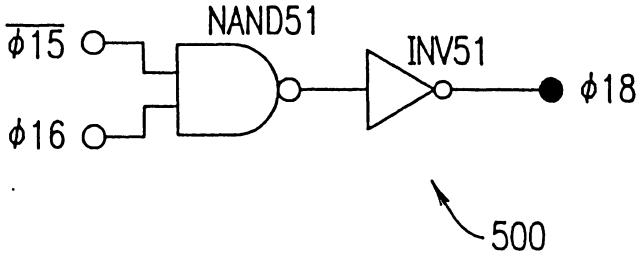

φ15
φ16
NAND51
INV51
φ18
500

圖 5

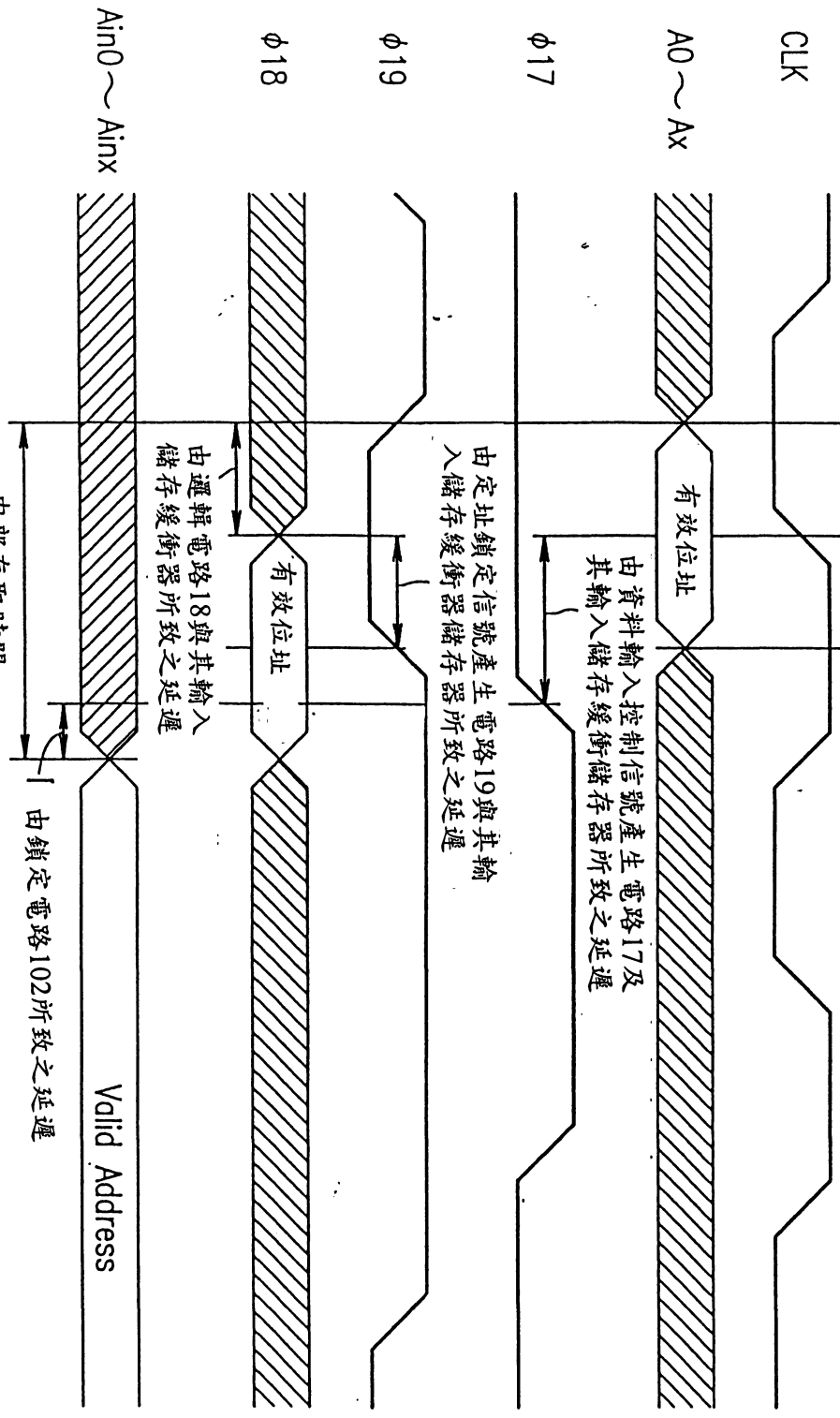

就序
保留
CLK
A0～Ax
有效位址
由資料輸入控制信號產生電路17及
其輸入儲存緩衝儲存器所致之延遲
φ17
由定址鎖定信號產生電路19與其輸
入儲存緩衝器儲存器所致之延遲
φ19
φ18
有效位址
由邏輯電路18與其輸入
儲存緩衝器所致之延遲
Ain0～Ainx
Valid Address
內部存取時間
由鎖定電路102所致之延遲

圖 6

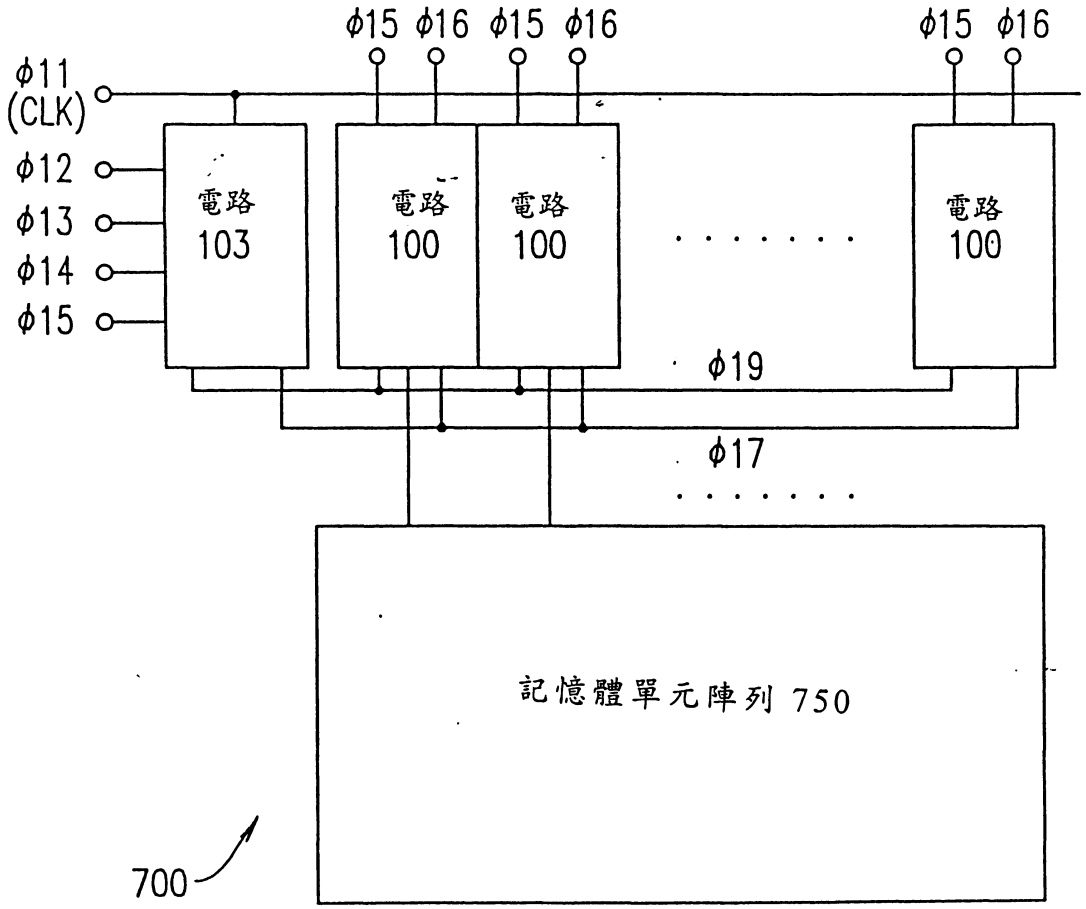

ϕ15 ϕ16 ϕ15 ϕ16
ϕ15 ϕ16
ϕ11
(CLK)
ϕ12
ϕ13
ϕ14
ϕ15
電路
103
電路
100
電路
100
電路
100
ϕ19
ϕ17
記憶體單元陣列 750
700

圖 7

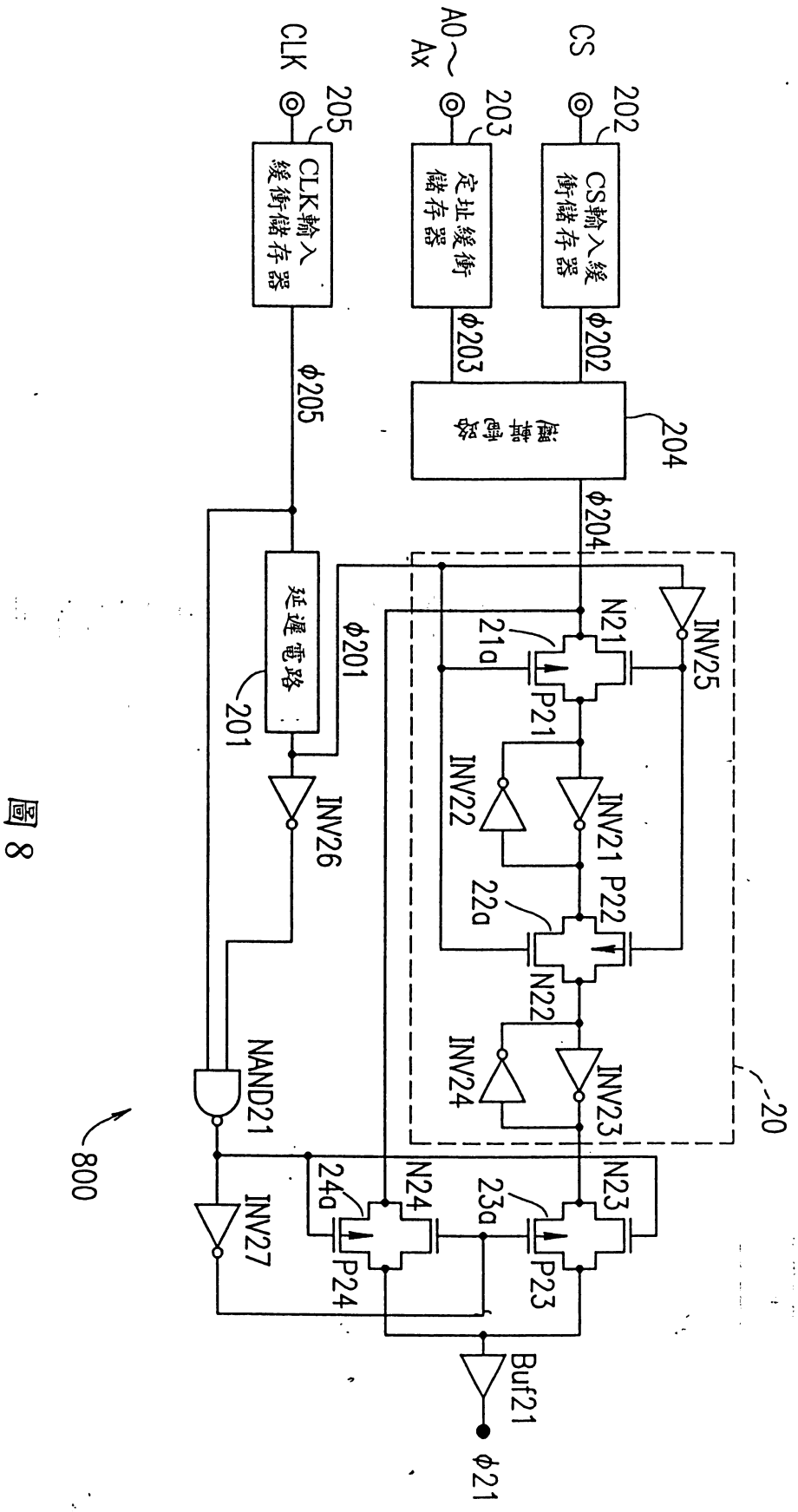

CS
A0～Ax
CLK
202
203
205
CS輸入緩衝儲存器
定址緩衝儲存器
CLK輸入緩衝儲存器
φ202
φ203
φ205
解碼器
204
φ204
延遲電路
201
φ201
INV25
N21
21a
P21
INV22
INV21
P22
22a
N22
INV24
INV23
20
INV26
NAND21
INV27
24a
N24
23a
N23
P24
P23
Buf21
φ21
800

圖 8

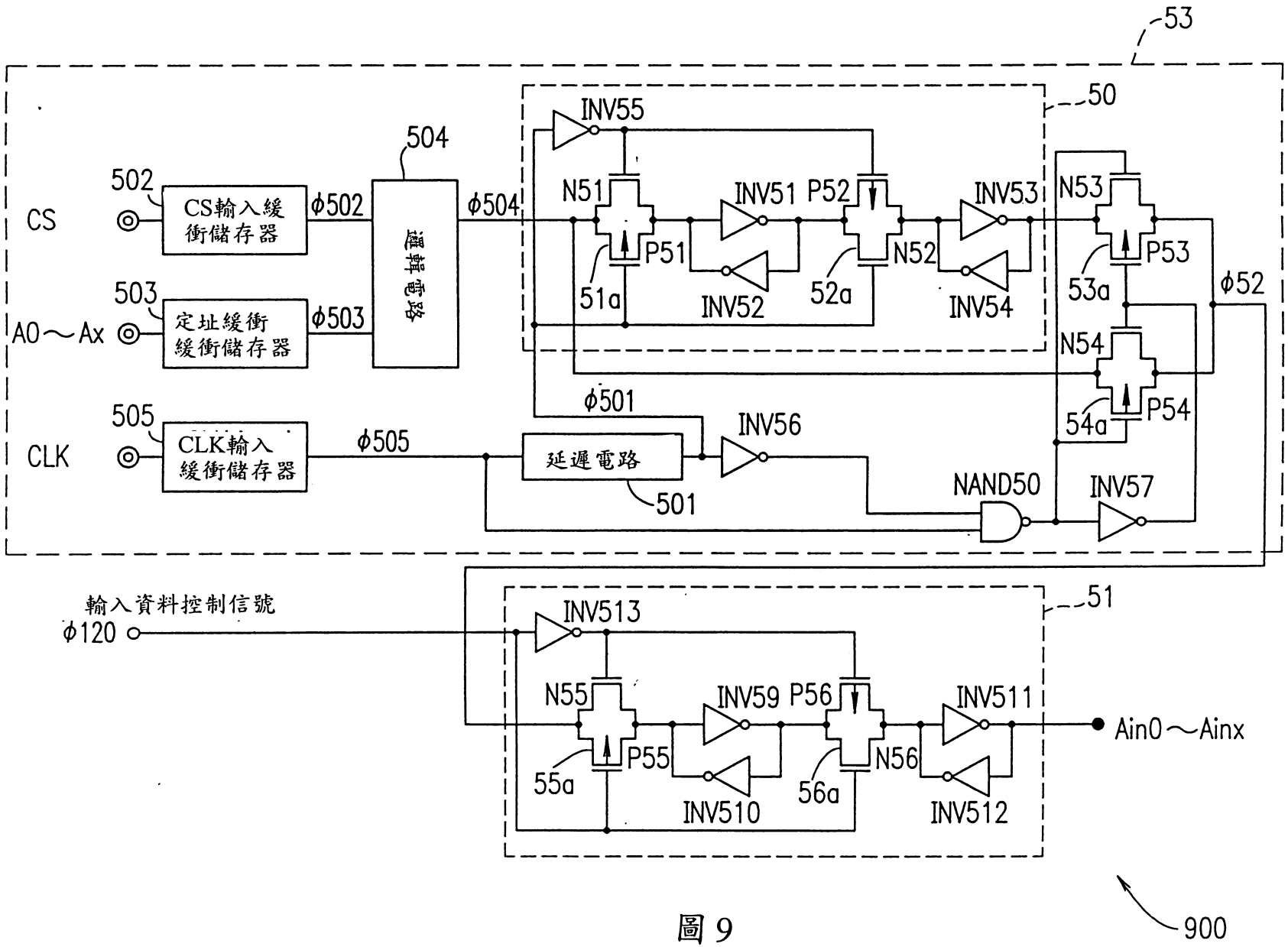

53
50
INV55
504
502
CS
CS輸入緩衝儲存器
ϕ502
ϕ504
N51
INV51
P52
INV53
N53
P51
N52
P53
51a
INV52
52a
INV54
53a
ϕ52
503
A0～Ax
定址緩衝緩衝儲存器
ϕ503
N54
ϕ501
505
CLK
CLK輸入緩衝儲存器
ϕ505
延遲電路
INV56
54a
P54
501
NAND50
INV57
輸入資料控制信號
ϕ120
51
INV513
N55
INV59
P56
INV511
Ain0～Ainx
P55
N56
55a
56a
INV510
INV512
900

圖 9

558723

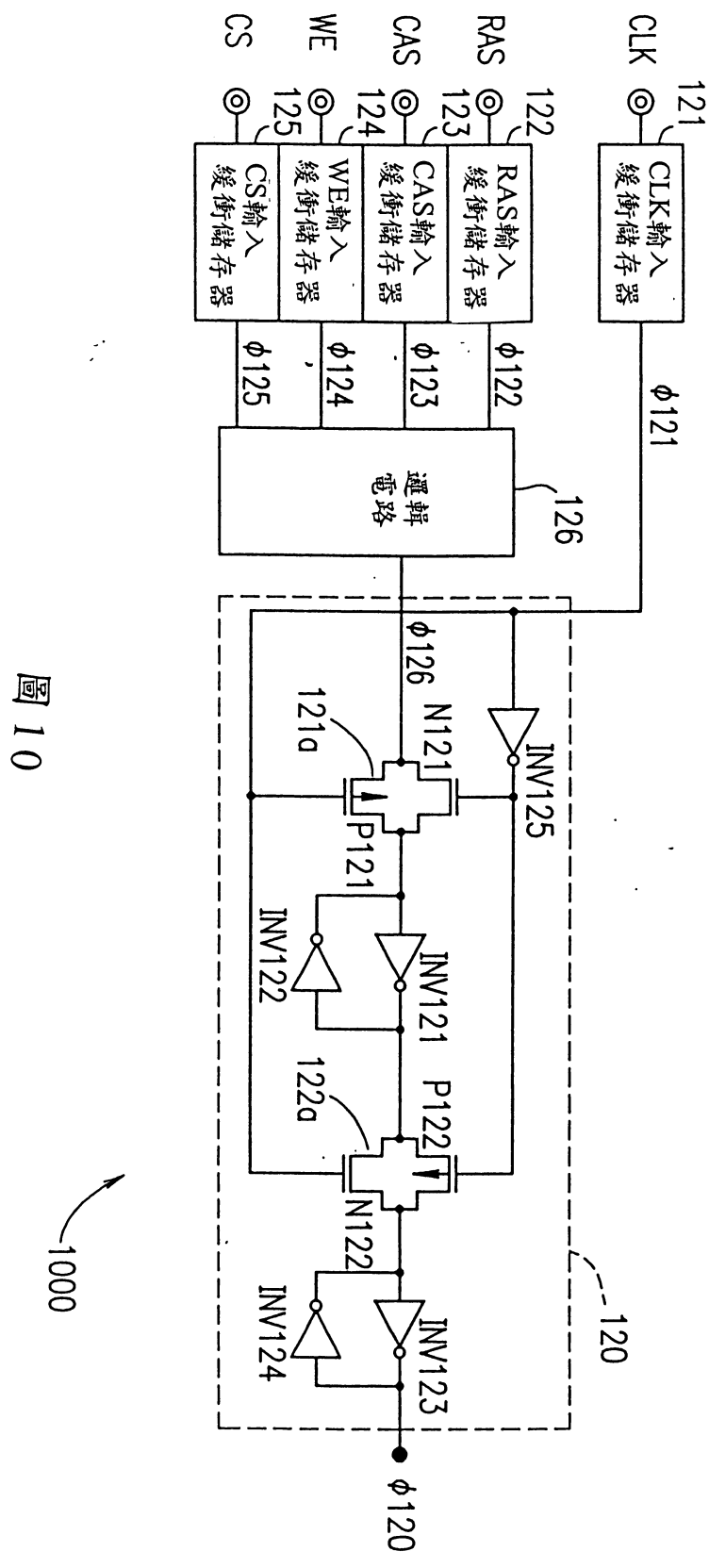

CLK
121
CLK輸入緩衝儲存器
φ121
RAS
122
RAS輸入緩衝儲存器
φ122
CAS
123
CAS輸入緩衝儲存器
φ123
WE
124
WE輸入緩衝儲存器
φ124
CS
125
CS輸入緩衝儲存器
φ125
126
邏輯電路
120
φ126
121a
N121
P121
INV125
INV122
INV121
122a
P122
N122
INV124
INV123
φ120
1000

圖 10

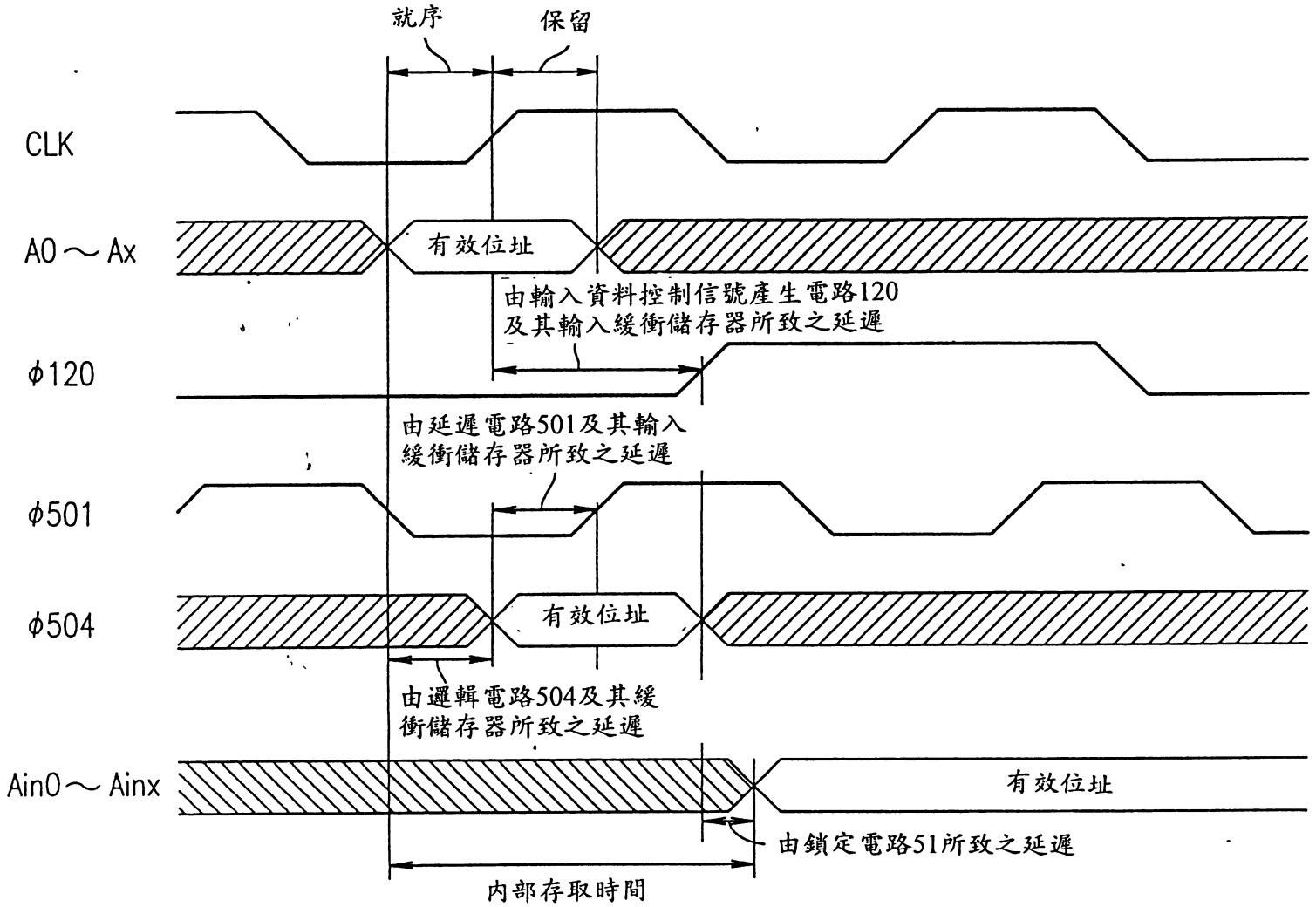

就序
保留
CLK
A0～Ax
有效位址
由輸入資料控制信號產生電路120
及其輸入緩衝儲存器所致之延遲
φ120
由延遲電路501及其輸入
緩衝儲存器所致之延遲
φ501
φ504
有效位址
由邏輯電路504及其緩
衝儲存器所致之延遲
Ain0～Ainx
有效位址
由鎖定電路51所致之延遲
內部存取時間

圖 11

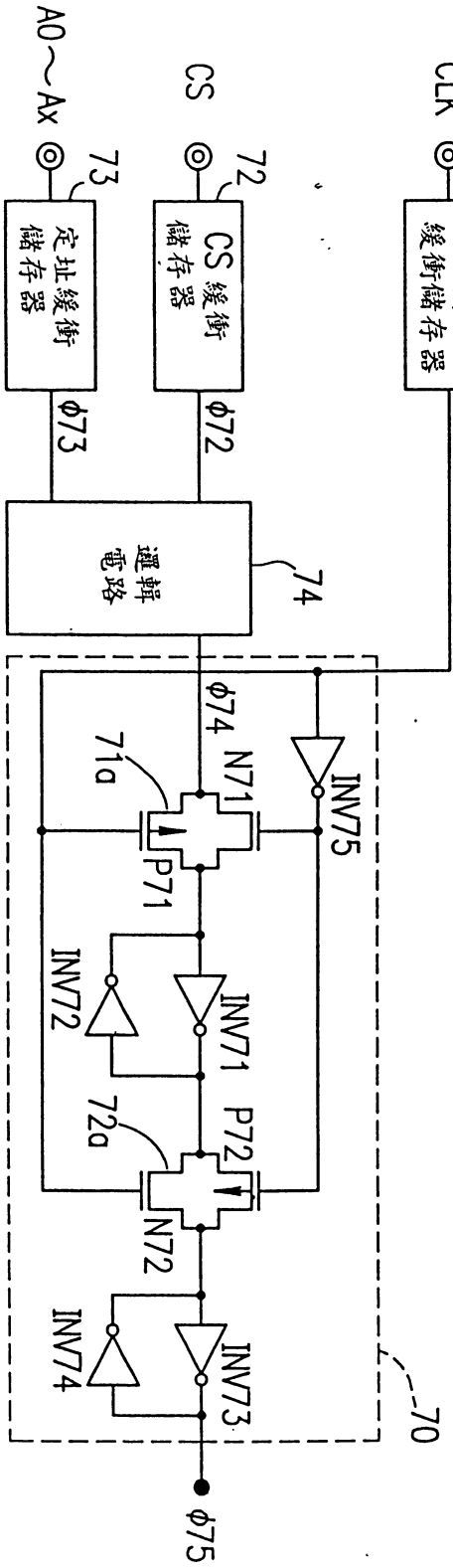

CLK
71
CLK輸入緩衝儲存器
φ71
CS
72
CS緩衝儲存器
φ72
A0～Ax
73
定址緩衝儲存器
φ73
邏輯電路
74
φ74
71a
N71
P71
INV75
INV72
INV71
72a
P72
N72
INV74
INV73
70
φ75
1200

圖 12

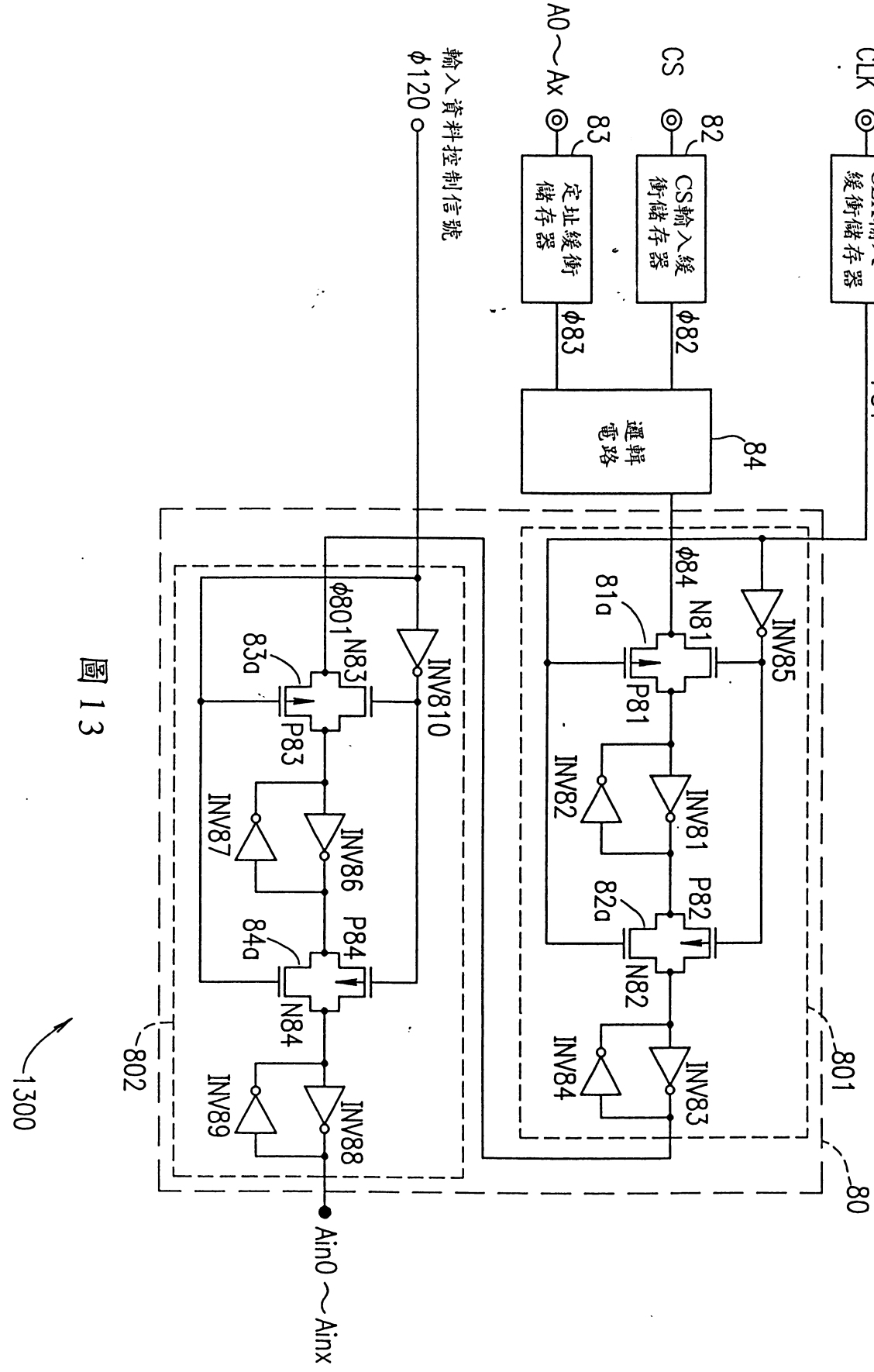

CLK
81
CLK輸入緩衝儲存器
φ81
CS
82
CS輸入緩衝儲存器
φ82
A0～Ax
83
定址緩衝儲存器
φ83
輸入資料控制信號
φ120
邏輯電路
84
801
80
802
1300
φ84
81a
N81
P81
INV85
INV82
INV81
P82
82a
N82
INV84
INV83
φ801
83a
N83
P83
INV810
INV87
INV86
P84
84a
N84
INV89
INV88
Ain0～Ainx

圖 13

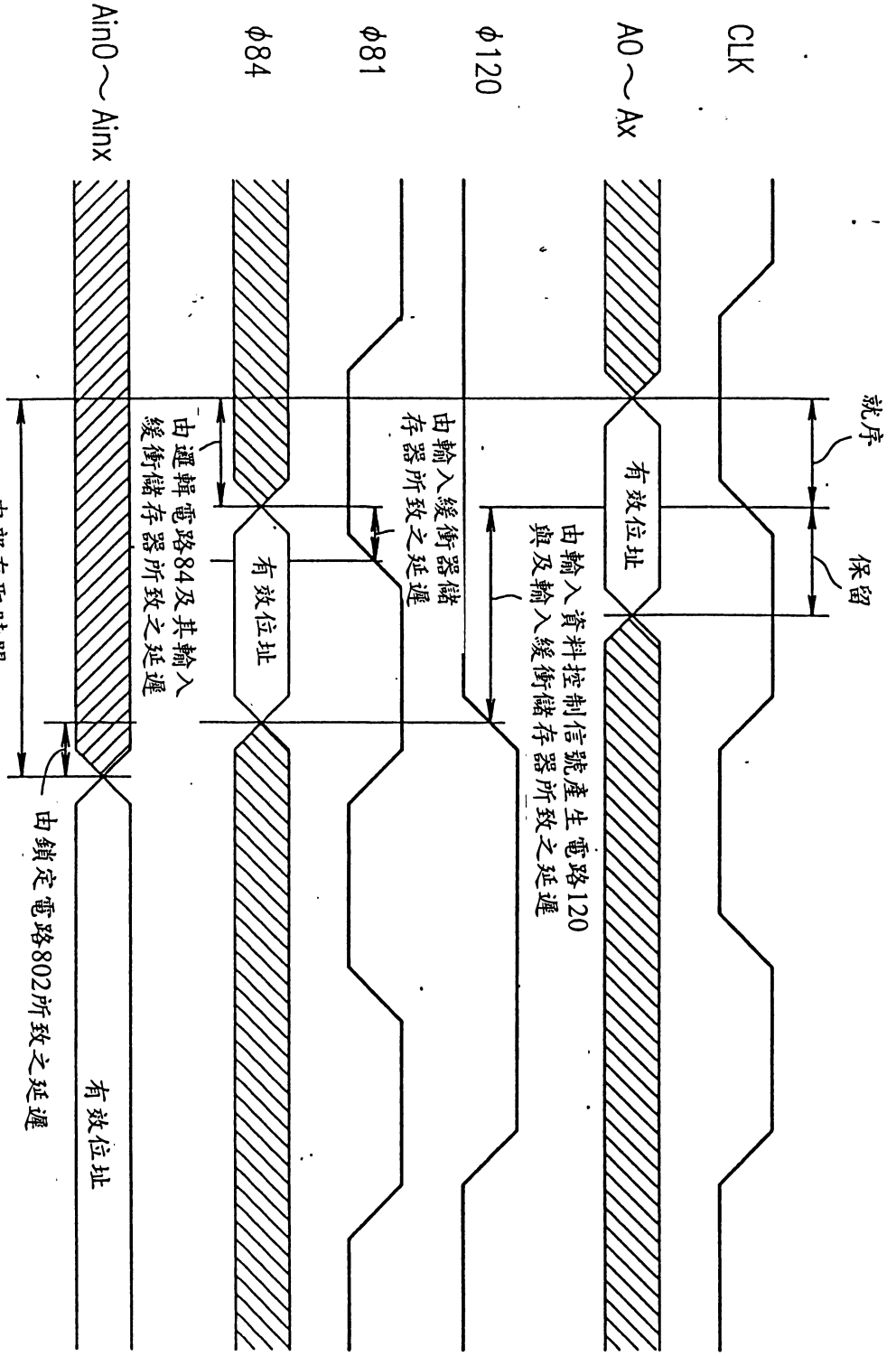

CLK
A0～Ax
φ120
φ81
φ84
Ain0～Ainx
就序
保留
有效位址
由輸入資料控制信號產生電路120
與及輸入緩衝儲存器所致之延遲
由輸入緩衝器儲
存器所致之延遲
有效位址
由邏輯電路84及其輸入
緩衝儲存器所致之延遲
內部存取時間
由鎖定電路802所致之延遲
有效位址

圖 14

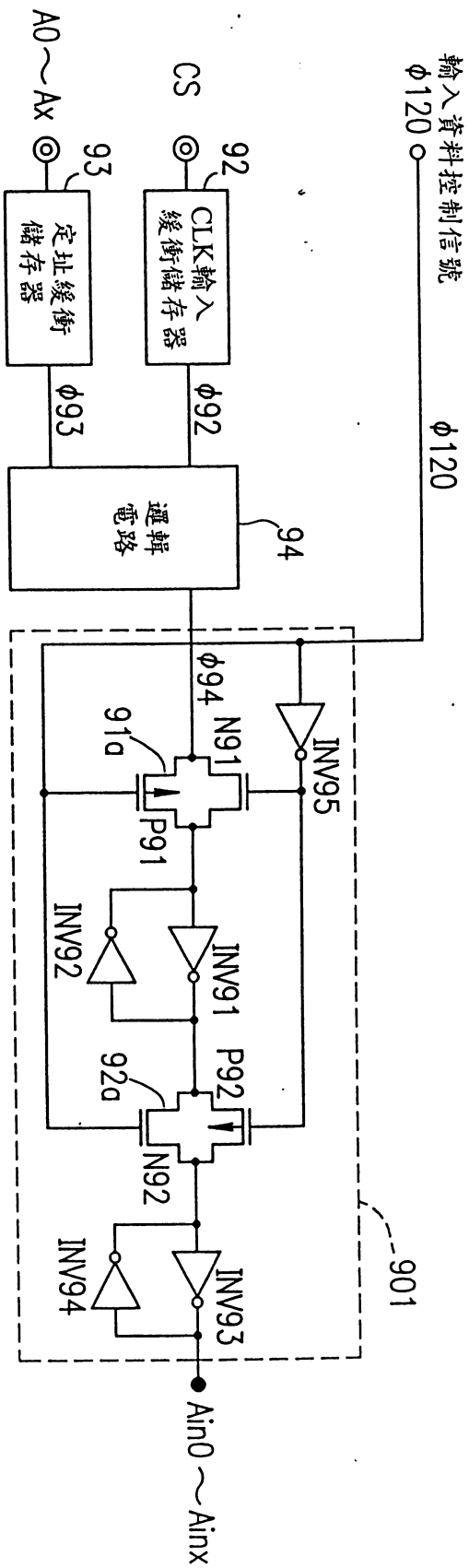

輸入資料控制信號
φ120
CS
A0～Ax
92
93
CLK輸入緩衝儲存器
定址緩衝儲存器
φ92
φ93
φ120
邏輯電路
94
φ94
91a
N91
P91
INV95
INV92
INV91
92a
P92
N92
INV94
INV93
901
Ain0～Ainx

圖 15