

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/108	(11) 공개번호 (43) 공개일자	특2000-0006495 2000년01월25일
(21) 출원번호	10-1999-0024423	
(22) 출원일자	1999년06월26일	
(30) 우선권주장	09/105,580 1998년06월26일 미국(US)	
(71) 출원인	지멘스 악티엔게젤샤프트 칼 하인쯔 호르닝어 독일 뮌헨 80333 비델스파허프라썬 2인터내셔널 비지네스 머신즈 코포레이션 포만 제프리 엘 미국 10504 뉴욕주 아몬크 슈렘스, 마르틴 독일데-01465랑에브뤼크브롬슈트라쎄4에/15 만델만, 잭 미국 12582뉴욕스통빌제미레인5 회프너, 요아힘 독일82152플라네크마크달레넨베크5 새퍼, 헤르베르트 독일데-85635회엔키르헨레르헨슈트라쎄33 슈텐글, 라인하르트 독일86391슈타트베르겐베르크슈트라쎄3	
(72) 발명자	남상선	
(74) 대리인		

심사청구 : 없음

(54) 에피택셜층을 갖는 병형상의 트랜치 커패시터

요약

본 발명에 따른 병 형상의 트랜치 커패시터는 에피 층을 갖는 연장된 트랜치 하부를 포함한다. 에피층은 트랜치 커패시터의 매설 플레이트로서 기능한다. 확산 영역은 연장된 트랜치 하부를 둘러싸서 에피층의 불순물 농도를 향상시킨다. 확산 영역은 예를들어 기상 도핑, 플라즈마 도핑, 또는 플라즈마 이머전(immersion) 이온 주입에 의해 형성된다.

대표도

도3

색인어

트랜치 커패시터, 에피택셜 층, 확산 영역, 불순물, 디램 셀

명세서

도면의 간단한 설명

도1은 종래의 디램(DRAM) 셀을 도시한다.  
 도2a 및 도2b는 디램 셀의 매설 플레이트를 형성하는 종래의 프로세스를 나타낸다.  
 도3은 본 발명의 일실시예에 따른 디램 셀을 도시한다.  
 도4a 내지 도4d는 본 발명의 일실시예에 따른 도3의 디램 셀을 형성하기 위한 프로세스를 나타낸다.  
 도5는 본 발명의 다른 실시예를 도시한다.  
 도6a 내지 도6c는 본 발명의 일실시예에 따른 칼라를 형성하기 위한 프로세스를 나타낸다.  
 도7a 내지 도7d는 본 발명에 따른 칼라를 형성하기 위한 또다른 프로세스를 나타낸다.

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 소자 및 소자 제조에 관한 것으로, 보다 상세하게는 병 형상의(bottle-shaped) 트랜치 커패시터에 관한 것이다.

집적회로(ICs) 또는 칩은 전하 저장 목적용 커패시터를 이용한다. 전하 저장용 커패시터를 이용하는 IC의 일예에는, 다이내믹 직접 액세스 메모리(DRAM) 칩과 같은 메모리 IC가 있다. 커패시터의 전하 레벨("0" 또는 "1")은 1 비트의 데이터를 나타낸다.

DRAM 칩은 줄과 열로 연결된 메모리 셀의 어레이를 포함한다. 통상적으로, 열과 줄의 연결은 각각 워드라인과 비트라인으로 불린다. 메모리 셀에서 데이터를 읽거나 쓰는 것은 적절한 워드라인과 비트라인을 활성화시킴에 의해 달성된다.

전형적으로, DRAM 메모리 셀은 커패시터에 연결된 트랜지스터를 포함한다. 트랜지스터는 채널에 의해 분리된 두개의 확산 영역을 포함하며, 이 채널 위에 게이트가 위치한다. 상기 확산 영역 사이의 전류 흐름 방향에 따라, 하나의 확산 영역은 드레인으로, 다른 하나는 소스로 불린다. "드레인"과 "소스"라는 용어는 여기서는 확산 영역에 대해 번갈아 명명될 수 있다. 게이트는 워드라인에 결합되고, 하나의 확산 영역은 비트라인에 결합되며, 나머지 확산 영역은 커패시터에 결합된다.

게이트에 적절한 전압을 인가하면 트랜지스터를 "온"으로 스위칭시켜서, 확산 영역 사이의 채널을 통해 전류가 흐르게 되어 커패시터와 비트라인 사이에 연결이 형성된다. 트랜지스터를 스위칭 오프하면 채널을 통해 전류가 흐르는 것이 막히게 된다.

DRAM에 이용되는 공통적인 커패시터의 일 형태에는 트랜치 커패시터가 있다. 트랜치 커패시터는 기판에 형성된 3차원 구조를 갖는다. 전형적으로, 트랜치 커패시터는 기판에 에칭된 딥(deep) 트랜치를 포함한다. 트랜치는 예를들어 n타입(type) 도핑된 폴리로 채워진다. 도핑된 폴리는 커패시터의 일 전극(이하에서는 "저장 노드"라 함)으로서 기능한다. n타입 도핑된 영역은 제2 전극의 기능을 하는 트랜치의 하부를 둘러싼다. n타입 도핑된 영역은 "매설 플레이트"로 불린다. 노드 절연체는 매설 플레이트와 저장 노드를 분리한다.

매설 플레이트를 형성하는 종래 기술에는 트랜치의 하부를 둘러싸는 기판 영역에 불순물을 확산시키는 기술이 포함된다. 불순물 소스에는 전형적으로 n타입 도핑된 실리케이트 유리, 예를들어 비소가 도핑된 실리케이트 유리(ASG)가 제공된다.

저장 판을 형성한 후에, 노드 절연체가 트랜치의 측벽을 라이닝하기 위해서 퇴적된다.

그러나, 매설 플레이트를 형성하기 위한 종래 기술은 비교적 거친 표면을 갖는 트랜치 측벽을 만들고 만다. 트랜치 측벽의 표면이 거칠게 되면 노드 절연체의 품질이 저하되며 이는 수율에 악영향을 끼친다.

#### 발명이 이루고자하는 기술적 과제

위에서 설명한 바와 같이, 트랜치 측벽의 표면 조도(roughness)가 낮아진 트랜치 커패시터를 제공하는 것이 바람직하다.

### 발명의 구성 및 작용

본 발명은 메모리 셀 등에 이용되는 개선된 병 형상의 트랜치 커패시터에 관한 것이다. 본 발명의 일 실시예에서, 트랜치 커패시터는 예를들면 디램(DRAM) 또는 내장 디램 칩의 디램 셀에 이용된다. 병 형상의 트랜치 커패시터는 트랜치의 상부 보다 큰 지름 또는 폭을 갖는 하부를 가짐으로 병 형상의을 이룬다. 에피택셜 층은 트랜치 하부를 라이닝한다. 본 발명의 실시예에서, 에피택셜(에피) 층은 커패시터의 매설 플레이트로서 기능하도록 도핑된다. 확산 영역은 트랜치 하부에 제공된다. 확산 영역은 에피 매설 플레이트의 전기적 타입과 동일한 불순물로 도핑된다. 노드 절연체는 칼라와 에피 매설 플레이트를 라이닝한다. 저장 노드는 에피 매설 플레이트의 전기적 타입과 동일한 불순물로 도핑된다. 에피 스페이서 층이 도핑된 에피 매설 플레이트와 기판을 분리시키기 위해서 제공될 수 있다. 본 발명의 다른 실시예에서, 에피 층은 도핑되지 않는다.

본 발명은 일반적으로 집적회로(ICs)에 관한 것이며, 보다 상세하게는 트랜치 커패시터에 관한 것이다. 상기 ICs에는 예를들면 직접 액세스 메모리(RAMs), 다이내믹 램(DRAMs), 싱크로너스 디램(SDRAMs), 스태틱 램(SRAMs), 및 롬(ROM) 또는 다른 메모리 ICs가 포함된다. 다른 ICs에는 프로그램가능 논리 어레이(PLAs), 주문형 집적회로(ASICs), 논리/메모리 복합 집적회로(내장 디램(embedded DRAMs)), 또는 회로 소자와 같은 논리 소자가 포함된다.

전형적으로, 복수개의 ICs는 실리콘 웨이퍼와 같은 기판상에 동시에 제조된다. 프로세싱 후에, 상기 웨이퍼는 ICs가 복수개의 개별 칩으로 분리되도록 다이싱(dicing)된다. 다음, 컴퓨터 시스템, 이동전화, 개인 디지털 보조물(PDAs), 및 다른 제품에 사용되는 최종 제품으로 칩이 패키징된다. 설명의 편의를 위해서, 본 발명은 단일 셀 형성에 대하여 설명될 것이다. 그러나, 본 발명은 일반적인 트랜치 커패시터 형성으로도 확장될 수 있다. 본 발명에 대해 보다 상세히 설명하기 위해, 종래의 디램 셀의 트랜치 커패시터에 대해서 먼저 설명하고자 한다.

도1을 참조하면, 종래의 트랜치 커패시터 디램 셀 100이 도시되어 있다. 이러한 트랜치 커패시터 디램 셀에 대해서는 Nesbit et al., A  $0.6\mu\text{m}^2$  256Mb 자기 정렬된 매설 스트랩(BEST)를 갖는 트랜치 디램 셀, IEDM 93-627에 기재되어 있으며, 본 명세서에서는 이를 여러 목적을 위해 참조하고 있다. 전형적으로, 셀 어레이는 워드라인과 비트라인으로 인터커넥트되어 디램 칩을 형성한다.

디램 셀은 기판 101에 형성된 트랜치 커패시터 160을 포함한다. 기판은 붕소(B)와 같은 p타입 불순물(p-)으로 약하게 도핑된다. 트랜치는 전형적으로 비소(As) 또는 인(P)와 같은 n타입 불순물(n+)로 진하게 도핑된 폴리실리콘(폴리) 161로 채워진다. 예를들어 비소로 도핑된 매설 판 165는 트랜치 하부를 둘러싸는 기판에 제공된다. 비소는 트랜치의 측벽 상에 형성된 ASG와 같은 불순물 소스로부터 실리콘 기판으로 확산된다. 폴리과 매설 판은 커패시터의 전극으로서 기능한다. 노드 절연체 164는 전극을 분리시킨다.

디램 셀은 또한 트랜지스터 110을 포함한다. 트랜지스터는 게이트 112과, 확산 영역 113 및 114를 포함한다. 채널에 의해 분리된 확산 영역은 붕소(B)와 같은 n타입 불순물을 이온 주입함에 의해 형성된다. "노드 접합부"이라 불리는 노드 확산 영역 125은 커패시터를 트랜지스터에 결합시킨다. 노드 확산 영역은 매설 스트랩 162를 통해 트랜치 폴리로부터 불순물을 확산시켜 냄에 의해 형성된다.

칼라 168은 트랜치의 상부에 형성된다. 본 명세서에서 트랜치의 상부는 칼라를 포함하는 부분을 말하며, 트랜치의 하부는 칼라 아래 부분을 말한다. 칼라는 노드 접합부의 매설 플레이트로의 누설을 방지한다. 누설은 셀의 기억 시간을 감소시키기 때문에 바람직하지 않다.

P 또는 As와 같은 n타입 불순물을 포함하는 매설 웰(well) 170은 기판 표면의 아래에 제공된다. 매설 n웰의 불순물 농도는 칼라의 바닥 부분에서 최대이다. 전형적으로, 상기 웰은 매설 플레이트에 비하여 약하게 도핑된다. 매설 웰은 어레이의 디램 셀의 매설 플레이트를 연결하는 기능을 한다.

게이트와 비트라인에 적절한 전압을 인가하여 트랜지스터를 활성화시키면 트랜치 커패시터가 액세스된다. 일반적으로, 게이트는 워드라인을 형성하고 확산 영역 113은 콘택트(contact) 183을 경유하여 디램 어레이의 비트라인 185에 결합된다. 비트라인 185는 중간 레벨의 절연체 층 189에 의해 확산 영역으로부터 분리된다.

셀로우 트랜치 분리(shallow trench isolation; STI) 180은 디램 셀을 다른 셀 또는 소자로부터 분리하기 위해 제공된다. 도시된 바와 같이, 워드라인 120은 트랜치 위에 형성되며 STI에 의해 트랜치로부터 분리된다. 워드라인은 "통과 워드라인"으로 불린다. 이러한 구성은 폴디드(folded) 비트라인 구조라고 불린다.

도2a 및 도2b는 디램 셀의 매설 플레이트를 형성하기 위한 종래의 프로세스를 도시한다. 도2a를 참조하면, 패드 스택(pad stack) 207이 기판 201의 표면에 형성된다. 패드 스택은 패드 산화물 204 및 패드 지지층 205와 같은 다양한 층으로 구성된다. 패드 지지 층은 예를들어 질화물(nitride)을 포함한다. 패드 스택은 또한 상기 패드 지지층 상에 형성된 경(hard) 마스크 층 206을 포함한다. 경 마스크 층은 트랜치를 형성하기 위한 에치 마스크로서 기능한다. 패드 스택은 트랜치 210이 형성될 영역을 형성하기 위하여 종래의 리토그래피 및 에치 기술을 이용하여 패터닝된다.

트랜치의 형성은 활성 이온 에칭(RIE)와 같은 비등방성 에칭에 의해 이뤄진다. 트랜치는 다음 ASG 층 220으로 라이닝된다. 트랜치를 매입하기 위해 퇴적된 레지스트 층 230과의 우수한 접착력을 보장하기 위하여 박형 TEOS 층이 ASG 상에 형성될 수 있다. 트랜치의 상부에 ASG 층을 노출시키는 리세스가 형성된다. 노출된 ASG는 습식 에칭 프로세스에 의해 제거된다.

도2b를 참조하면, 레지스트의 남은 부분이 ASG에 대하여 선택적으로 트랜치로부터 제거된다. TEOS 층은 As 원자가 실리콘 측벽의 노출된 상부를 오토도핑하는 것을 방지한다. As 원자가 ASG로부터 실리콘으로 확산되어 매설 플레이트 265이 만들어질 수 있도록 어닐링된다. 매설 플레이트가 형성된 후에, 예를들어 도1에 도시된 디램 셀이 형성되도록 디램 셀의 나머지 부분이 제조된다.

도3은 본 발명의 일실시예를 도시한다. 도시된 바와 같이, 디램 셀 300은 트랜치 커패시터 310을 포함한다. 예시를 위해 도시된 본 실시예의 디램 셀은 병합 분리 노드 트랜치(MINT) 셀이다. 매설 판을 이용하는 다른 트랜치 셀의 구성도 또한 이용될 수 있다. 약  $0.25\mu\text{m}$ 의 특징부 사이즈(F)를 갖는 256 메가비트 디램 셀용의 트랜치 커패시터의 치수는 단위 셀의 치수가 약  $0.605\mu\text{m}^2$ 인, 길이  $7\sim 8\mu\text{m}$ , 폭  $0.25\mu\text{m}$ , 길이  $0.50\mu\text{m}$ 를 갖는다. 물론, 상기 치수는 디자인 필요 및 디자인 규칙에 따라 변화될 수 있다. 예를들어, 특징부 사이즈(F)가 약  $0.15\mu\text{m}$ 인 디램 칩용의 트랜치 커패시터의 치수는 단위 셀의 치수가 약  $0.2\mu\text{m}^2$ , 길이 약  $7\sim 8\mu\text{m}$ , 폭  $0.15\mu\text{m}$ , 길이  $0.30\mu\text{m}$ 를 갖는다.

도시된 바와 같이, 트랜치 커패시터는 실리콘 웨이퍼와 같은 기판에 형성된다. 다른 타입(type)의 반도체 기판도 이용될 수 있다. 예를들어, 기판은 일 전기적 타입의 불순물로 약하게 도핑된다. 일실시예에서는, 기판은 B와 같은 p타입 불순물로 도핑된다. 또한, As나 P와 같은 n타입 불순물을 이용하여 기판을 약하게 도핑하는 것도 또한 가능하다. 디자인 필요와 응용에 따라 기판을 보다 약하게 도핑하거나 보다 진하게 도핑하는 것도 또한 가능하다. p-/p+ 또는 n-/nt 기판과 같이 약하게 도핑된 에피 층을 갖는 진하게 도핑된 기판도 또한 이용될 수 있다.

제1 전기적 타입의 불순물을 갖는 도핑된 웰 330은, 어레이 소자를 기판으로부터 분리하여 누설 전류를 감소시킨다. 본 발명의 일실시예에서, 도핑된 웰은 p 타입 불순물을 포함하여 p타입 웰(p웰)을 형성한다. p웰의 농도는 약  $5 \times 10^{17} \sim 8 \times 10^{17} \text{cm}^{-3}$ 이다. n타입 도핑된 웰이 또한 이용가능하다.

본 발명의 일실시예에서, 트랜치 하부는 트랜치 상부( $W_0$ )의 지름 또는 폭 부근보다 더 큰 지름 또는 폭( $W_1$ )을 가지며, 여기서 지름은 트랜치 측벽에서 측정된다. 이러한 트랜치 형상은 "병 형상의 트랜치"

로 불린다. 본 발명의 일실시예에서,  $W_0 < W_L < W_0$  이고, 여기서  $W_0$ 가 최소가 되어 인접 트렌치와 콘택되게 되며, 이는 인접 커패시터 사이의 누설 또는 단락을 야기한다. 이와같이, 트렌치는 인접 트렌치로부터 분리된 상태로 남는다. 인접 트렌치가 전형적으로 약 최소 특징부 사이즈(F)의 거리로 분리되기 때문에,  $W_0$ 는 약  $2F$ 이고, 바람직하게는 약  $2F-x$ 이며, 여기서  $x$ 는 약  $25\mu\text{m}$ 이다.  $x$ 의 값은 트렌치의 형상 또는 다른 디자인 요구사항에 따라 변화될 수 있다. 트렌치 하부의 표면적을 증가시키면 저장 커패시턴스가 증가되는 이점이 있다.

전형적으로, 트렌치는 제2 전기적 타입을 갖는 진하게 도핑된 폴리 361을 포함한다. 폴리는 예를들어 As 또는 P와 같은 n타입 불순물(n+)로 진하게 도핑된다. 본 발명의 일실시예에서는, 폴리는 As로 진하게 도핑되어 있다. As의 농도는 약  $1\sim 2 \times 10^{19} \text{ cm}^{-3}$  이다.

에피택셜 실리콘(에피) 층 365는 칼라 368 아래의 트렌치의 하부를 라이닝한다. 에피층은 예를들어 기판 표면의 약  $1.2\mu\text{m}$  아래에서 시작된다. 이 거리는 칼라 및 p-웰 깊이에 따라 정해진다.

에피층은 제2 전기적 타입을 갖는 불순물로 도핑된다. 본 발명의 일실시예에서, 에피는 As 또는 P와 같은 n타입 불순물로 도핑된다. 에피층은 커패시터의 매설 플레이트로서 기능한다. 또한, 에피층 365가 복수개의 에피층으로 구성되는 것도 가능하다. 에피 매설 플레이트를 갖는 트렌치 커패시터에 대하여는, 발명의 명칭이 "에피 매설층을 갖는 트렌치 커패시터"인 미국 특허 출원 USSN 09/056,119에 설명되어 있으며, 본 명세서에서 이를 여러 목적을 위해 참조하고 있다. 본 발명의 일실시예에서, 에피 스페이스 층(미도시)는 기판과 에피 매설 플레이트 사이에 제공된다. 에피 스페이스 층은 도핑되지 않거나 As 또는 P와 같은 제2 전기적 타입의 불순물로 약하게 도핑된다. 에피 스페이스 층은 진하게 도핑된 기판 또는 진하게 도핑된 기판을 갖는 약하게 도핑된 에피를 사용하는 적용에 특히 이점을 갖는다.

노드 절연체 층 364는 커패시터 전극을 분리한다. 본 발명의 일실시예에서, 절연체 층은 질화물/산화물을 포함한다. 산화물/질화물/산화물 또는 다른 적절한 절연체층 또는 산화물, 질화 산화물과 같은 적층체, 또는 NONO가 이용될 수 있다. 도시된 바와 같이, 노드 절연체층은 칼라와 에피 매설 플레이트를 라이닝한다.

에피층을 갖는 트렌치의 하부를 라이닝함으로써, 노드 절연체가 형성되는 표면의 조도가 낮아질 수 있다. 표면 조도를 낮추게 되면, 비교적 거친 표면을 갖는 커패시터에 비해 커패시터 항복 전압의 보다 충충한 분포를 제공하는, 노드 절연체의 전기장의 랜덤 증가 및 랜덤 결함이 감소된다. 이는 제조 수율을 향상시킨다.

본 발명의 일실시예에 따르면, 확산 영역 367은 트렌치의 하부를 둘러싼다. 확산 영역은 예를들어 As 또는 P와 같은 n타입 불순물을 갖는 폴리 361과 같은 전기적 타입의 불순물을 포함한다. 확산 영역은 불순물 소스로부터 불순물이 에피 매설 플레이트 365으로 확산되어 들어가는 불순물로서 기능한다. 불순물 소스를 제공하면 에피 매설 플레이트의 불순물 농도가 향상되거나 증가된다. 매설 플레이트의 불순물 농도를 증가시키면 본 실시예에서는 전자인 다수 캐리어의 전기적 공핍으로 인한 커패시터 손실이 저장 전극의 표면에서 방지되거나 감소된다. 불순물 농도를 증가시키면 또한 직렬 저항이 감소되어 읽기/쓰기 시간의 저하가 방지된다.

제2 전기적 타입의 불순물을 갖는 매설 웰 370은 커패시터의 에피 매설 플레이트 365을 디램 어레이 내의 다른 커패시터에 연결한다. 본 발명의 일실시예에서, 매설 웰은 As 또는 P와 같은 n타입 불순물을 이온 주입함에 의해 형성된다. 매설 웰의 농도는 약  $1 \times 10^{17} \sim 1 \times 10^{20} \text{ cm}^{-3}$  이다. 매설 웰은 또한 n타입 에피 층으로 형성될 수 있다. 기준 전압이 매설 웰에 결합된다.

디램 어레이의 커패시터의 매설 플레이트를 공통 기준 전압에 연결하면, 절연체 층의 최대 전기장을 감소시키며 이는 신뢰성을 향상시킨다. 본 발명이 일실시예에서, 기준 전압은 비트라인 줄 사이의 중간에 놓이며 통상  $V_{dd}/2$ 로 명명된다. 접지와 같은 다른 기준이 또한 이용가능하다. 또한, 특히 p-/p+ 기판과 같은 진하게 도핑된 기판의 기판 바이어스 전압과 동일한 기준 전압이 이용될 수 있다.

스트랩 362는 도핑된 폴리상에 제공된다. 도핑된 폴리 361로부터의 불순물은 실리콘으로 과도 도핑되며 트렌지스터와 커패시터를 결합시키기 위한 노드 확산 영역 325 또는 노드 접합부를 형성한다. 본 실시예에서 매설 스트랩에 대해 설명하였으나, 표면 스트랩과 같은 다른 형태의 결합이 또한 이용가능하다.

칼라 368은 트렌치의 상부에 제공되며 매설 플레이트의 거의 상면까지 연장된다. 칼라는 절연 물질을 포함한다. 본 발명의 일실시예에서, 칼라는 TEOS 층 아래에 열 산화층을 포함한다. 열 산화 칼라가 또한 이용될 수 있다. 칼라 표면상에 질화물 라이너를 제공하는 것도 또한 이용가능하다. 칼라는 노드 접합부로부터 매설 플레이트로의 누설을 방지 또는 감소시킨다. 본 발명의 일실시예에서, 칼라는 약 깊이가  $1.2\mu\text{m}$ 이고 두께가  $20 \sim 90\text{nm}$ 이다. 물론, 칼라의 깊이 또는 두께는 디자인 요구사항에 따라 변화될 수 있다.

STI 380은 디램 셀을 에레이의 다른 셀과 분리시키고 인접 커패시터 사이의 스트랩 형성을 방지하기 위해서 트렌치의 상부에 제공된다. 도시된 바와 같이, STI는 트렌치의 일부와 겹치며, 트렌치의 잔여 부분은 트렌지스터와 커패시터 사이를 흐를수 있도록 남겨된다. 본 발명의 일실시예에서, STI는 명목상 트렌치 폭의 약 절반과 겹친다. STI는 스트랩 사이의 누설을 방지 또는 감소시킨다. STI의 깊이는 약  $0.25\mu\text{m}$ 이다.

p타입 도핑된 웰 300은 펀치스루(punchthrough)를 방지하기 위해서 트렌지스터 310의 아래에 제공된다. 트렌지스터 310은 게이트 스택 312과 채널 영역 319에 의해 분리된 드레인/소스 확산 영역 313 및 314을 포함한다. 확산 영역은 As 또는 P와 같은 n타입 불순물을 포함한다. 확산 영역 314는 노드 접합부 325에 결합된다. "워드라인"으로도 불리는 게이트 스택은 폴리 315 층을 포함한다. 전형적으로, 폴리는 n타입 또는 p타입 불순물중 하나로 도핑된다. 선택적으로, 금속 실리사이드 층(미도시)이 게이트 스택의

시트 저항을 감소시키기 위해서 폴리 층상에 형성된다. 폴리 및 실리사이드는 종종 "폴리사이드"로 불린다.

도시된 바와 같이, 게이트 스택은 워드라인을 분리시키기 위한 에치 마스크로 이용되는 질화물 층 316으로 덮인다. 부가적으로, 측벽 산화물(미도시) 및 라이너(liner) 317이 워드라인을 분리시키기 위해서 이용된다. 라이너는 예를들면 질화물 또는 다른 적절한 물질을 포함한다. 라이너는 또한 무경계(borderless) 콘택트 383을 형성하는 경우 에치 스톱(etch stop)으로 기능한다. 무경계 콘택트는 확산 영역 313과 비트라인 385 사이를 연결한다. BPSG 또는 산화물과 같은 상이한 절연 물질과 같은 절연체 층 389는 비트라인을 확산 영역으로부터 분리한다. 전형적으로, 장벽 또는 라이너 층(미도시)은 콘택트 스텐드(stud)를 게이트로부터 분리시키기 위해서 콘택트 개구를 라이닝한다.

통과 워드라인 320은 STI 380상에 형성된다. 통과 워드라인은 STI와 두꺼운 캡(cap) 산화물에 의해 트렌치로부터 분리된다. 본 발명의 일실시예에서, 통과 워드라인의 모서리는 실질적으로 트렌치의 측벽과 실질적으로 정렬된다. 이러한 구성은 폴디드(folded) 비트라인 구조로 불린다. 예를들어 오픈된 구조 또는 오픈-폴디드 구조가 또한 이용가능하다. 부가적으로, 예를들어 수직 트랜지스터를 이용한 다른 셀 디자인이 또한 이용가능하다.

본 발명의 다른 일실시예에서, 에피 매설 층은 도핑되지 않는다. 도핑되지 않은 매설 플레이트를 이용하는 것은 인버전(inversion) 셀에서 유용하다. 인버전 셀에 대해서는, 예를들어 발명의 명칭이 "카운터 전극을 인터팅하는 딥 트렌치 셀 커패시터"인, 미국 특허 출원 08/688,345, 7/30/96에 설명되어 있으며, 본 명세서에서는 이를 여러 목적을 위해 참조하고 있다.

본 발명의 또다른 실시예에 따르면, 확산 영역 367은 트렌치의 하부를 둘러싼다. 확산 영역은 폴리 361의 전기적 타입의 불순물, 예를들어 As 또는 P와 같은 n타입 불순물을 포함한다. 확산 영역은 에피 매설 플레이트 365로 불순물이 확산해 나가는 불순물 소스로서 기능한다. 불순물 소스를 제공하면 에피 매설 플레이트의 불순물 농도가 향상 또는 증가된다. 에피 매설 플레이트의 농도를 증가시키면, 본 발명에서는 전자인 다수 캐리어의 전기적 공핍으로 인한 저장 전극 표면으로부터의 커패시터 손실이 방지 또는 감소된다. 불순물 농도를 증가시키면 또한 직렬 저항이 감소되어 읽기/쓰기 시간의 지연이 방지된다.

진하게 도핑된 기판이 이용되는 경우, 확산 영역을 형성하기 이전에 트렌치의 하부에 에피 스페이서 층을 형성하는 것이 바람직하다. 에피 스페이서 층은 처음에는 도핑되지 않거나 As 또는 P와 같은 제2 전기적 타입을 갖는 불순물로 가볍게 도핑된다. 확산 영역을 실질적으로 에피 스페이서 층 내에 형성하는 것이 바람직하다. 이는, 예를들어 열 수지(budget)를 낮춤 및/또는 실질적으로 두꺼운 스페이서 층을 제공함에 의해 용이하게 수행될 수 있다. 확산 영역을 형성하기 위해 에피 스페이서 층을 이용하는 것은 진하게 도핑된 기판 또는 진하게 도핑된 기판을 갖는 약하게 도핑된 에피에 대한 적용에 특히 유용하다. 에피 스페이서 층은 기판과 매설 플레이트 사이에 보다 향상된 p/n 접합부를 제조한다. 또한, 에피 스페이서 층은 높은 불순물 농도를 갖는 매설 플레이트의 구조를 가능하게 한다.

이상에서 설명한 바와 같이, 제1 전기적 타입은 p타입이며, 제2 전기적 타입은 n타입이다. 본 발명은 n타입 기판에 형성된 p타입 폴리를 갖는 트렌치 커패시터에도 적용될 수 있다. 또한, 목적하는 전기적 특징을 달성하기 위해서, 기판, 웰, 매설 플레이트, 및 디램 셀의 다른 소자를 불순물 원자로 진하게 또는 약하게 도핑하는 것이 가능하다.

도3에 도시된 바와 같이, 트렌치 커패시터는 에피 층 또는 복수개의 에피층들로 형성된 매설 플레이트를 포함한다. 에피층 또는 에피층들은 예를들면 트렌치의 하부상에 선택적으로 형성된다. 트렌치 하부가 연장되어 커패시터의 커패시턴스가 향상되는 이점이 발생한다. 본 발명의 일실시예에서, 트렌치 커패시터의 칼라는 선택적 에피 성장과 노드 절연체 퇴적 전에 형성된다. 선택적 에피 성장 전에 칼라를 형성하는 것은 칼라에 자기정렬된 매설 플레이트를 제공하는 이점을 갖는다. "칼라 우선 프로세스"와 같은 기술은 매설 플레이트를 형성하기 이전에 칼라를 형성하는데 유용하다. 이러한 기술은 예를들면, Ho et al.의 미국 특허 5,656,535 및 Kenney의 미국 특허 5,264,716에 기재되어 있으며, 본 명세서에서는 이들을 여러 목적을 위해 참조하고 있다. 2단 트렌치 에치를 이용하는 다른 기술들도 또한 이용가능하다.

도4a~도4d는 본 발명의 일실시예에 따른 디램 셀을 형성하기 위한 프로세스를 도시한다. n채널 소자를 갖는 메모리 셀에 대한 내용으로 본 발명을 설명하고자 한다. 본 발명은 p채널 소자를 이용한 적용에도 또한 유용하다.

도4a를 참조하면, 기판 401 상에 디램 셀이 제조된다. 기판은 예를들면 실리콘으로 이루어진다. 다른 형태의 반도체 기판도 또한 이용가능하다. 전형적으로, 기판은 예를들어 B와 같은 p타입 불순물(p-)로 약하게 도핑된다. B의 농도는 약  $1 - 2 \times 10^{16}$  atoms/cm<sup>3</sup>이다. 진하게 도핑된 p타입(p+)기판을 제조하는 높은 농도의 B도 또한 이용가능하다. 전형적으로, 에피 부분은 약  $10^{16} - 10^{17}$  atoms/cm<sup>3</sup>의 불순물 농도의 약 2-3 $\mu$ m 두께를 갖는다. p+ 또는 p-/p+ 기판으로부터의 과도 확산을 피하기 위해서 기판의 후면이 저온 산화(LTO) 퇴적 프로세스에 의해 형성된 산화물층으로 막혀질 수 있다. 약하게 또는 진하게 도핑된 n-타입 기판이 또한 이용가능하다.

기판은 n타입 매설 웰 470을 포함할 수 있다. 매설 웰은 P 또는 As를 포함한다. 본 발명의 일실시예에서, 마스크가 매설 웰 영역을 형성하기 위해서 패터닝된다. P와 같은 n 타입 불순물이 기판의 매설 웰 영역으로 이온 주입된다. 전형적으로 매설 웰 영역은 지지 소자가 아니라 어레이 소자의 아래에 위치한다. 형성된 칼라의 하부 영역에 최대 농도의 P 불순물이 퇴적되도록 충분한 에너지 및 도스(dose)로 이온 주입이 행해진다. 매설 웰은 기판으로부터 p 웰을 분리시키는 기능을 하며 또한 에피 판들 사이에 도전성 브리지를 형성한다. P 임플란트의 농도 및 에너지는 약 1.5MeV에서 약  $1 \times 10^{13}$  cm<sup>-3</sup>이다. 또한, 매설 웰은 불순물을 주입하고 다음 기판 표면에 에피층을 성장시킴에 의해 형성될 수 있다. 이러한 기술은 Bronner et al.의 미국 특허 5,250,829에 설명되어 있으며, 본 명세서에서는 이를 여러 목적을 위해 참조하고 있다.

전형적으로, 패드 스택 407은 기판 표면상에 형성된다. 패드 스택은 예를들면 패드 산화물 층 404 및 연마 스톱 층 405를 포함한다. 연마 스톱 층은 뒤이은 프로세스를 위한 연마 또는 에치 스톱의 기능을 수행하며, 예를들어 질화물을 포함할 수 있다. 패드 스택은 또한 전형적으로는 TEOS를 포함하는 경 마스크 층 406을 포함한다. BSG와 같은 다른 물질이 또한 경 마스크 층으로 이용가능하다. 경 마스크 층은 트렌치 409가 형성되는 영역을 형성하기 위해 종래의 리토그래피 기술 및 에치 기술을 이용하여 패터닝된다.

트렌치의 상부에 절연체 칼라 468가 위치한다. 본 발명의 일실시예에서, 칼라는 CVD TEOS 아래에서 열 산화물을 포함한다. 전형적으로 칼라의 두께는 약 20~50nm이다. 또한, 절연체 층은 열 산화물을 포함할 수 있다. 칼라는 또한 산화물상에 형성된 질화물 라이너를 포함할 수 있다.

트렌치의 하부는 연장된다. 트렌치 하부를 연장시키면 트렌치의 표면적이 증가되며, 이에의해 커패시턴스가 증가된다. 전형적으로, 트렌치는 기판 표면의 약 6~8 $\mu$ m 아래에 위치한다. 물론, 트렌치 깊이는 디자인에 의존한다. 경 마스크 층 406은 트렌치 형성후에 제거될 수 있다. 경 마스크를 프로세스 흐름에서 나중에 제거하는 것도 또한 가능하다. 전형적으로, 경 마스크는 습식 에치에 의해 제거된다.

본 발명의 일실시예에서, 트렌치 하부는 화학 건식 에치(CDE)와 같은 등방성 에치를 이용하여 연장된다. CDE는 산화물로 선택되며, 이에 의해 트렌치 상부가 칼라로 보호되는 상태에서 트렌치 측벽 저부를 연장한다. CDE는 약  $W_L$ 의 지름 또는 폭으로 트렌치 하부를 연장하며, 여기서  $W_L$ 는 대략  $W_0$ 보다 더 크다. IC에 대개 다른 트렌치 커패시터가 존재하므로,  $W_L$ 는 대략 지름보다 작으며 이에의해 트렌치 측벽이 인접 트렌치와 콘택된다. 이는 인접 커패시터 사이에 누설 또는 단락을 야기한다.

본 발명의 일실시예에서, 누설을 방지 또는 감소시킬 정도의 충분한 양의 기판이 인접 트렌치의 하부를 분리시킨다. 전형적으로, 인접 트렌치를 분리시키는 기판의 양은 약 25nm 이상이다. 트렌치는 전형적으로 대략 F와 동일한 거리로 분리된다. 본 발명의 일실시예에서,  $W_L$ 은  $W_0$  이상이나 대략 2F 이하가 되며, 바람직하게는 약  $2F-x$ 이며, 여기서 x는 누설을 방지 또는 감소 시키도록 인접 트렌치를 분리하는 이격 정도이다. 본 발명의 일실시예에서, x는 약 25 $\mu$ m이다. 연장량은 트렌치 형상이나 레이아웃과 같은 다양한 인자에 따라 또한 변화될 수 있다. 또한, 트렌치 하부를 둘러싸는 확산 영역을 사용하는 것은 인접 셀간의 분리에 영향을 미친다.

트렌치 하부에서 에피 층의 형성 전체 초기 산화물을 제거하기 위해서, 수소 예비소결이 행해질 수 있다. 수소 예비소결은 예를들어 도핑 또는 에피 성장을 위해 서로 다른 툴(tool)이 사용되는 경우에 유용하다. 이러한 시나리오에서, 전형적으로 하나의 툴로부터 다른 툴로 이용하는 도중 산소에 노출로 인해 실리콘 트렌치 측벽 상에 얇은 산화막이 야기된다. 예비소결은 예를들어  $H_2$  약 25s/m을 갖는 약 20 Torr 압력하의 약 900 $^{\circ}$ C의 온도에서 약 20초 동안 행해진다.

도4b를 참조하면, 에피 층 465는 칼라 아래의 트렌치 부분에 퇴적된다. 에피 층은 P 또는 As와 같은 n 타입 불순물로 도핑된다. 본 발명의 일실시예에서, 에피 층은 산화물에 선택적으로 형성된다. 이러한 기술은 선택 에피 성장(SEG)로 불린다. SEG는 예를들어, Wolf, Silicon Processing for the VLSI Era, Vol. 2, Lattice Press, 1990에 설명되어 있으며, 본 명세서에서 이를 여러 목적을 위해 참조하고 있다. SEG는 노출된 실리콘 상에 에피를 형성한다. 이에따라, 칼라와 마스크로서의 패드 스택이 에피 성장을 방해하는 상태에서, 에피는 트렌치의 하부의 노출된 측벽상에 형성된다.

본 발명의 일실시예에서, 에피 층은 래피드(rapid) 열 화학 기상 증착(RTCVD)으로 퇴적된다. 다른 화학 기상 증착 기술이 에피 층을 퇴적하는데 이용될 수 있다. 실리콘테트라클로라이드( $SiCl_4$ ), 디클로로실란( $SiH_2Cl_2$ ), 트리클로로실란( $SiHCl_3$ ), 및 실란( $SiH_4$ )와 같은 다양한 실리콘 소스 또는 프리커서(precursor)가 에피 성장용으로 이용될 수 있다. 수소( $H_2$ )는 희석제(dilutant)로 기능하고, 염화수소(HCl) 기체는 에피 성장의 선택도를 증가시키기 위해서 사용된다.

본 발명의 일실시예에서, 에피 층은 에피 성장 중 불순물로 도핑된 인-시투(in-situ)이다. 도핑된 인시투는 에피 성장 중 반응기에 불순물을 유출시킴에 의해 이뤄진다. 예를들어,  $PH_3$ (P 소스) 또는  $AsH_3$ (As 소스)가 n 도핑된 에피 층을 제공하기 위해 반응기에 도입될 수 있다. p 타입 에피 층이 또한 이용될 수 있다.  $B_2H_6$ 가 p 타입 에피층용 p타입 불순물 소스로 이용된다. 이와같이, p 타입 에피 층이 p채널 어레이 소자로 이용될 수 있다. 전형적으로 약 5~50 nm/분의 충분히 높은 성장률을 얻기 위해서, 퇴적 온도가 약 850~1050 $^{\circ}$ C 사이에 놓인다. 물론, 온도를 높이거나 낮추어 높은 성장률 또는 낮은 성장률이 얻어지도록 온도를 변화시키는 것도 가능하다. 선택도는 예를들어 에피 형성중에 HCl 및  $H_2$  유출량을 변화시킴에 의해 조절된다. 또한, 불순물 농도는 에피 성장의 선택도를 증가시키거나 감소시키도록 목적하는 범위 내에서 변화될 수 있다. 도핑되지 않은 에피 층을 퇴적시키는 것도 또한 가능하다.

매설 플레이트의 불순물 농도는 디자인 요구사항에 의존한다. 예를들어, 공간 전하 영역보다 더 두꺼운 진하게 도핑된 매설 플레이트를 제공하는 것은 이것이 전압 바이어스 하의 전류 흐름을 효과적으로 방지하기 때문에 바람직하다. 불순물 농도는 약  $1 \times 10^{18} \sim 1 \times 10^{21}$  atoms/cm<sup>3</sup>이다. 전형적으로, 불순물 농도는 약  $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>이다.

매설 플레이트의 목적하는, 즉 타겟 두께 정도는 디자인 요구사항과 불순물 농도에 의존한다. 전형적으로, 바람직한 두께는 약 1~10nm이다. 물론, 매설 플레이트의 타겟 두께는 다양한 적용에 따라 변화될 수 있다. 에피 층의 타겟 두께는 그 내부의 불순물 농도와 역의 관계가 있다. 예를들어, 불순물 농도가 높으면 얇은 에피 층의 사용이 가능해진다. 역으로, 불순물 농도가 낮으면 두꺼운 에피층의 사용하게 된다. 예를들어, 약  $4 \times 10^{19}$  atoms/cm<sup>3</sup>의 불순물 농도를 갖는 에피층은 약 4nm 이상의 두께를 갖는다.

일부 실시예에서, 도핑되지 않거나 약하게 도핑된 (p-)에피 스페이서 층(미도시)이, 보다 진하게 도핑된 에피 매설 플레이트와 기판 사이에 제공될 수도 있다. 에피 스페이서 층은 실제로 진하게 도핑된 기판이 사용되는 경우에 유용하다. 에피 스페이서 층은 n+ 에피 매설 플레이트와 p+ 기판 사이의 불순물 분리를 향상시킨다. 스페이서 층의 두께는 예를들어 약 1~10nm이다.

절연층 464는 웨이퍼 표면위에 형성되어 칼라와 에피 매설 플레이트를 포함하는 트렌치의 내부에 덮힌다. 절연층은 노드 절연체로서 기능하며 커패시터 전극을 분리시킨다. 본 발명의 일실시예에서, 절연층은 질화물/산화물 (NO)막 스택을 포함한다. NO막 스택은 예를들어 질화물층이 퇴적시킴 의해 형성된다. FTP 톨의 CVD이 질화물층이 퇴적되는데 사용될 수 있다. 전형적으로, 질화물층의 두께는 약 5nm이다. 질화물층은 다음 치밀화를 위해 약 900°C 온도에서 산화된다. 이러한 산화 공정에 의해 질화물층의 두께와 같거나 증가된 두께를 본질적으로 갖는 NO 층이 만들어 진다. NO 층을 사용하면 노드 절연체의 품질이 향상된다. 산화물, 질화산화물, 산화물/질화물/산화물(ONO), 산화물/질화물/산화물(ONON), 또는 질화물/산화물/질화물/산화물(NONO)과 같은 다른 절연막 또는 절연막 스택이 또한 이용가능하다.

에피 층은 종래의 커패시터보다 표면 조도가 낮은 표면을 제공한다. 표면 조도가 낮아짐으로써 노드 절연체의 신뢰도가 향상되며, 이에 의해 수율이 향상된다.

폴리 층 471은 웨이퍼 표면에 퇴적되며 트렌치를 매입하여 패드 스택을 덮는다. 폴리는 예를들어 CVD에 의해 퇴적된다. 도시된 바와 같이, 폴리층은 컨퍼멀하다. 폴리층은 P 및 As와 같은 n타입 불순물로 도핑된 인시투(insitu)이다. 본 발명의 일실시예에서, 폴리층은 As로 도핑된다. 폴리층에서 As의 농도는 약  $1 \times 10^{19} \sim 1 \times 10^{20}$  atoms/cm<sup>3</sup>이다. 도핑된 폴리는 커패시터의 노드 전극으로서 기능한다.

도4c를 참조하면, 액세스 폴리 및 경 마스크는 예를들어 일련의 에치 단계와 연마 단계를 통해 제거된다. 화학 기계 연마(CMP)와 같은 연마기술이 이용가능하다. 패드 스톱 층 405는 CMP 스톱 층으로서 기능하며, 질화물층에 도달하자마자 연마가 중단되도록 한다. 다음, 프로세싱을 위해 질화물 층 405와 트렌치 폴리 사이에 실질적으로 평탄한 표면이 제공된다. 일부 실시예에서, 경 마스크는 이전 프로세스 흐름에서 제거될 수 있다.

웨이퍼 표면을 평탄화한 후, 트렌치의 도핑된 폴리 471은 매설 스트랩을 형성하도록 예를들어 반응성 이온 에칭(RIE)에 의해 리세스된다. 본 발명의 일실시예에서, 폴리는 실리콘 표면 아래의 약 100nm에서 리세스된다. 리세스는 칼라 468의 상부를 노출시킨다. 칼라의 노출된 부분은 전형적으로 습식 에치에 의해 제거된다. 습식 에치는 칼라를 과에치하여 폴리 461의 상면 463 아래에 칼라를 리세스한다. 전형적으로, 상기 과에치는 폴리 아래 약 50nm에 칼라를 리세스한다.

폴리층 462는 기판 상에 퇴적되며, 질화물 층을 도포하여 트렌치의 리세스된 부분을 매입한다. 전형적으로, 폴리층은 진성이거나 도핑되지 않은 폴리층이다. 무정질 실리콘이 트렌치를 매입하는데 또한 이용가능하다. 층 462가 디자인 요구사항에 따라 또한 도핑되어 비저항을 감소시킬 수 있다. 폴리 층은 질화물층 아래에서 평탄화된다. 평탄화 후에, 트렌치의 폴리는 예를들어 기판 표면 아래 약 50nm에서 매설 스트랩 462를 형성하도록 리세스된다. 위에서 설명한 실시예에서, 매설 스트랩은 두께가 약 10nm이다. 물론, 다양한 리세스가 디자인 요구사항에 따라 구체화되는 매설 스트랩을 형성하도록 최적화될 수 있다. 매설 스트랩을 형성하기 위한 다른 기술들이 또한 이용가능하다.

도4e에는, 디램 셀의 활성 면적이 형성되어 있다. 무반사 코팅(ARC) 층이 기판 표면에 퇴적되어 질화물 층 및 스트랩을 덮는다. ARC는 활성 면적(AA)을 형성하기 위한 리토그래피 프로세스에서 용해도를 향상시키기 위해서 이용된다. 레지스트 층이 ARC 상에 형성되어 AA 에치 마스크로서 기능한다. 다음, 활성 영역이 종래의 리토그래피 기술에 의해 형성된다. 다음, 디램 셀의 비활성 영역이, 그 내부에 셀로우(shallow) 트렌치 479를 형성하도록 예를들어 RIE에 의해 비등방적으로 에칭된다. 비활성 영역은 STI가 형성될 영역이다.

도시된 바와 같이, 비활성 영역은 트렌치의 일부와 겹쳐서 스트랩 부분을 차단한다. 매설 스트랩의 잔여 부분은 저장 조드와 조드 접합 사이에 전류가 흐르도록 한다. 전형적으로, STI는 트렌치 폭의 약 절반과 겹친다. STI의 깊이는 스트랩이 인접 셀 사이의 스트랩 누설을 방지하기 위해서 매설 스트랩의 아래에 놓인다. STI의 깊이는 실리콘 표면 아래의 약 0.25μm이다.

비활성 영역이 에칭된 후, 레지스트 및 ARC 층이 제거된다. 레지스트 또는 ARC 잔여물이 존재하지 않음을 보장하기 위해, 세정 단계가 도입될 수 있다. 산소가 실리콘 및 폴리 측벽에 확산되는 것을 방지하기 위해서, 질화물 라이너 481이 비활성 영역을 보호하도록 제공된다. 전형적으로, 보호 산화물이 질화물 라이너를 형성하기 전에 노출된 실리콘 상에 열 성장된다. 질화물 라이너는 예를들어 저압 화학 기상 증착(LPCVD)에 의해 형성된다. 질화물 라이너는 기판 표면에 형성되며 질화물 층 및 비활성 STI 영역을 덮는다.

절연 물질은 기판 표면 상에 퇴적되어 셀로우 트렌치 480를 매입한다. 절연 물질은 예를들어 SiO<sub>2</sub>를 포함한다. 본 발명의 일실시예에서, 절연 물질은 TEOS이다. 절연체 층의 두께는 비활성 영역을 매입하는데 충분한 정도이다. 기판 표면은 STI 및 질화물의 상면이 실질적으로 평탄하도록 연마된다.

다음, 패드 질화물 층이 예를들어 습식 화학 에치에 의해 제거된다. 이 때, 패드 산화물은 또한 습식 화학 에치에 의해 실리콘에서 선택적으로 제거된다. 패드 산화물을 제거한 후, 산화물 층이 웨이퍼 표면에 형성된다. "게이트 희생 층"으로 불리는 산화물 층은 다음의 임플란트를 위한 스크린 산화물의 기능을 한다.

디램 셀의 n채널 액세스 트랜지스터용 p타입 웰 430용 영역을 형성하기 위해서, 레지스트 층이 산화물층의 상면에 퇴적되며, p 웰 영역이 노출되도록 적절히 패터닝된다. 도시된 바와 같이, B와 같은 p타입 불순물이 펀치스루를 방지하고 시트 저항을 감소시킬 수 있을 정도의 충분한 깊이로 주입된다. 불순물

프로파일은 목적하는 전기적 특성, 즉 게이트 항복 전압( $V_t$ )를 얻을 수 있도록 맞추어진다.

또한, n-채널 지지 회로용 p타입 웰이 또한 형성된다. 컴플리멘터리(complimentary) 금속 산화물 반도체(CMOS)의 컴플리멘터리 웰용으로, n타입 웰(n-웰)이 형성된다. 부가적인 리토그래피 단계 및 임플란트 단계가 n웰을 형성하기 위해 필요하게 된다. p웰의 경우와 같이, n웰의 프로파일도 목적하는 전기적 특성을 얻을 수 있도록 맞추어진다. 웰이 형성된 후, 게이트 희생 층이 제거된다. 또한, 이전 프로세스에서 도핑된 웰을 형성하는 것이 이용가능하다.

트랜지스터 게이트를 형성하는 다양한 층이 기판 상에 퇴적된다. 이러한 층들에는 예를 들어 게이트 산화물 411, 폴리 415( $WSi_x$ 와 같은 실리사이드 포함, 여기서  $x=2-3$ ), 및 질화물 416이 포함된다. 다음, 이들 층은 트랜지스터 410의 게이트 스택을 형성하도록 패터닝된다. 통과 게이트 스택 420이 전형적으로 트랜치 상에 형성되며 STI 및 트랜치 상부의 산화물에 의해 분리된다. 확산 영역 413 및 414는 P 또는 As와 같은 n타입 불순물을 이온 주입함에 의해 형성된다. 본 발명의 일실시에에서, P 불순물이 소스 및 드레인 영역에 주입된다. 도스 및 에너지는 목적하는 동작 특성을 얻을 수 있는 불순물 프로파일을 만들도록 선택된다. 확산 영역의 게이트로의 확산 및 정렬을 향상시키기 위해서, 질화물 스페이서(미도시)가 이용될 수 있다. 트랜지스터를 트랜치에 연결하도록, 노드 접합부 425가 스트랩 462를 통해 불순물을 과확산시킴에 의해 만들어 진다.

절연체층 489는 웨이퍼 표면상에 형성되고 평탄화되어 게이트 및 기판 표면을 덮는다. 절연체층은 예를 들어 BPSG를 포함한다. TEOS와 같은 다른 절연체층이 또한 이용가능하다. 질화물을 포함하는 라이너 층 417이 무경계 콘택트 개구를 형성하기 위한 에치 스톱의 기능을 행하도록, 예를 들어 질화물을 포함하는 라이너 층이 절연체 층 489 이전에 형성된다. 도시된 바와 같이, 무경계 콘택트 개구 483은 확산 영역 413을 노출시키도록 애칭된다. 무경계 콘택트 개구는 다음 n+ 도핑된 폴리실리콘과 같은 전도성 물질 또는 다른 전도성 물질로 매입되어, 그 내부에 콘택트 스태드를 형성한다. 비트라인 485를 나타내는 금속 층이 절연체 층 상에 형성되어, 콘택트 스태드를 경유하여 확산 영역에 콘택트를 만든다.

또한, 매설 스트랩 대신 표면 스트랩이 이용되는 것도 가능하다. 표면 스트랩을 사용하면, 도4d를 참조하여 위에서 설명한 바와 같이 폴리를 리세싱할 필요가 없어진다. 커패시터를 트랜지스터에 연결하는 표면 스트랩 형성 기술은 공지되어 있으며 이에 대해 설명하지는 않을 것이다.

본 발명의 다른 실시예에서, 에피 매설 층은 도핑되지 않는다. 도핑되지 않은 매설 플레이트를 사용하는 것은 인버전 셀에서 유용하다. 인버전 셀에 대해서는, 예를 들어 발명의 명칭이 "카운터 전극을 인터링하는 딥 트랜치 셀 커패시터"인, 미국 특허 출원 08/688,345, 7/30/96에 설명되어 있으며, 본 명세서에서는 이를 여러 목적을 위해 참조하고 있다.

도5를 참조하면, 본 발명의 다른 실시예가 도시되어 있다. 도시된 바와 같이, 도4a의 병 형상의 트랜치 409는 기판 401에 제공된다. 확산 영역 467은 선택적으로 제공된다. 확산 영역은 트랜치 하부를 둘러싼다. 확산 영역은 트랜치 측벽의 하부에 불순물을 퇴적하여 형성된다. 확산 영역의 형성에 대해서는 본원과 동시에 출원된, 발명의 명칭이 "에피 매설 층을 갖는 트랜치 커패시터"인, 미국 특허 출원(대리인 도켓(docket) 번호 98P7492 US01)에 설명되어 있으며, 본 명세서에서는 이를 여러 목적을 위해 참조하고 있다. 확산 영역은 저장 노드를 형성에 이용되는 불순물의 전기적 타입과 동일한 전기적 타입을 갖는 불순물을 포함한다. 본 발명의 일실시에에서, 확산 영역은 P 또는 As와 같은 n타입 불순물을 포함한다.

확산 영역은 에피 매설 플레이트 465의 불순물 농도를 향상시키는 불순물 소스로서 기능한다. 에피 매설 플레이트의 불순물 농도를 향상시키면 본 실시예에서는 전자인 다수 캐리어의 전기적 공핍으로 인한 저장 전극 표면에서의 커패시턴스 손실이 방지 또는 감소된다. 불순물 농도를 증가시키면 또한 직렬 저항이 감소되어 읽기/쓰기 시간의 저하가 방지된다.

본 발명의 일실시에에서, 트랜치 하부를 둘러싸는 확산 영역은 예를 들어 기상 도핑에 의해 형성된다. 플라즈마 도핑(PLAD) 및 플라즈마 이머전 이온 주입(PIII)와 같은 다른 기술들이 또한 이용가능하다. 이러한 기술들은, 예를 들어 발명의 명칭이 "집적회로의 트랜치 커패시터 형성을 위한 향상 기술"로 주어진 출원상태인 미국 특허 출원 USSN 09/031,995(대리인 도켓(docket) 번호 98D7430 US), 및 발명의 명칭이 "에피 매설 층을 갖는 트랜치 커패시터"인, 본원과 동시에 출원된 미국 특허 출원(대리인 도켓 번호 98P7492 US01)에 설명되어 있으며, 본 명세서에서는 이를 여러 목적을 위해 참조하고 있다. 칼라는 불순물 마스크로서 기능하여 자기정렬된 확산 영역 467을 제공하는 이점을 갖는다.

확산 영역의 표면 농도는 예를 들어 기판의 불순물 농도보다 높다. 본 발명의 일실시에에서, 확산 영역의 표면 농도는 약  $1 \times 10^{18}$  atoms/cm<sup>2</sup> 이상이며 바람직하게는 약  $1 \times 10^{20}$  atoms/cm<sup>2</sup>이며, 보다 바람직하게는 약  $1 \times 10^{22}$  atoms/cm<sup>2</sup>이다. 본 발명의 또다른 실시예에서, 표면 농도는 약  $5 \times 10^{18}$  ~  $1 \times 10^{20}$  atoms/cm<sup>2</sup>이다. 본 발명의 또다른 실시예에서, 표면 농도는 약  $5 \times 10^{18}$  ~  $1 \times 10^{22}$  atoms/cm<sup>2</sup>이다. 확산 영역의 표면 접합 깊이는 약 F의 약 10~70%이며 바람직하게는 약 30~60%이다. 예를 들어, 접합 깊이는 약 15~100nm이며, 바람직하게는 F가 약 150nm인 경우 약 45~90nm이다. 확산 영역이 형성된 후에 도4a 내지 도4d에 설명된 프로세스가 진행된다.

도6a~도6c는 에피 매설 플레이트를 형성하기 이전의 칼라 형성 프로세스를 도시한다. 이러한 프로세스에 대해서는, 발명의 명칭이 "아이솔레이션 칼라를 갖는 트랜치 커패시터"인, 출원상태인 미국 특허 출원 USSN 09/055,506(대리인 도켓(docket) 번호 98 P 7491)에 설명되어 있으며, 본 명세서에서는 이를 여러 목적을 위해 참조하고 있다. 도6a에 도시된 바와 같이, 반도체 기판 501이 제공된다. 기판은 예를 들어 실리콘으로 구성된다. 다른 형태의 기판이 또한 이용가능하다. 기판은 매설 웰 570을 포함한다. 기판 표면상에, 패드 산화물, 패드 질화물, 및 경 마스크 층과 같은 다양한 패드 층을 포함하는 패드 스택 507이 위치한다. 패드 스택은 트랜치 509가 RIE에 의해 형성되는 영역에 형성되도록 패터닝된다. 트



랜치는 폴리 또는 무정질 실리콘과 같은 희생 물질 511로 매입된다. 약 1050~1100°C 에서 안정한 다른 희생 물질이 또한 이용가능하다. 희생 물질은 칼라의 저부와 동일한 깊이로 리세스된다.

절연체 층 567이 퇴적되어 희생 물질의 표면 및 트렌치 측벽을 라이닝한다. 절연체 층은 예를들어 칼라 산화물로 기능하는 산화물을 포함한다. 본 발명의 일실시예에서, 절연체 층은 먼저 열 산화물의 얇은 층을 성장시키고 그 위에 TEOS 층을 퇴적시킴에 의해 형성된다. 산화물의 두께는 예를들어 약 5~10nm 이며, 칼라의 두께는 약 20~50nm이다. 또한, 절연체 층이 열 산화물을 포함하는 것도 가능하다. 질화물 라이너가 절연체 층상에 형성될 수 있다. 칼라로서 기능하는 다른 형태의 절연체가 또한 이용가능하다.

도6b를 참조하면, 희생 물질 511을 노출시키도록, 칼라를 오픈하는 에치가 행해진다. RIE와 같은 비등방성 에치가 칼라를 오픈하는데 이용된다. RIE는 또한 패드 스택의 표면 및 희생 물질의 상부로부터 절연체 층을 제거하고, 칼라 568을 형성하기 위한 실리콘 측벽상에 절연체 층을 잔류시킨다. 위에서 설명한 바와 같이, 트렌치 측벽을 라이닝하는 절연체 층의 상부는 RIE로부터의 부식으로 인해 테이퍼(taper)된다. 그러나, 칼라가 테이퍼 지점을 지난 기판 표면 아래에 연이어서 리세스되기 때문에, 테이퍼는 칼라에 역기능을 야기하지 않는다.

도6c를 참조하면, 트렌치 하부의 트렌치 측벽을 노출시키도록 희생 물질 511이 예를들어 습식 에치에 의해 제거된다. CDE와 같은 건식 에치가 칼라에 의해 보호되지 않는 트렌치의 하부 509를  $W_0$ 보다 큰 지름  $W_L$ 로 연장시킨다. 이 프로세스는 도4a~도4d 또는 도5에서 설명된 바대로 계속 진행된다.

또한, 칼라가 LOCOS 산화에 의해 형성되는 것도 또한 가능하다. LOCOS 산화 기술은 예를들어 미국 특허 5,656,535에 설명되어 있으며, 본 명세서에서는 이를 여러 목적을 위해 참조하고 있다. 이 기술에서, 질화물층은 트렌치가 형성된 후에 퇴적된다. 질화물 층은 트렌치 측벽을 라이닝한다. 질화물 층은 트렌치 측벽을 산화되는 것으로부터 보호할 수 있을 만큼 충분히 두껍다. 전형적으로, 질화물층은 두께가 약 50 Å이다. 다음, 레지스트가 퇴적되고 칼라의 저부 부근에서 리세스되어 트렌치 상부의 질화물층을 노출시킨다. 습식 에치가 노출된 질화물을 제거한다. 레지스트가 제거되고 트렌치 하부를 라이닝하는 질화물층이 남게된다. LOCOS 산화가 다음 트렌치 상부의 노출된 트렌치 측벽에 산화물 칼라를 형성하기 위해 이용된다. LOCOS 칼라의 두께는 예를들어 약 20~30nm이다. 다음, 질화물 층은 트렌치 하부에서 측벽을 노출시키도록 칼라 산화물에 대하여 선택적으로 제거된다. 칼라에 의해 보호되지 않는 트렌치 하부는 예를들어 CDE에 의해  $W_0$ 보다 큰 지름을 갖는  $W_L$ 로 연장된다. 도4a~도4d 또는 도5에서 설명한 바대로 프로세스가 계속 진행된다.

도7a~도7d는 에피 매설 플레이트를 형성하기 전의 칼라를 형성하기 위한 또다른 프로세스를 도시한다. 도7a에 도시된 바와 같이, 반도체 기판 601이 제공된다. 기판은 예를들어 실리콘으로 구성된다. 다른 형태의 반도체 기판도 또한 이용가능하다. 기판은 매설 웰 670을 포함한다. 표면에, 패드 산화물, 패드 질화물, 및 경 마스크 층과 같은 다양한 패드 층을 포함하는 패드 스택 607이 위치한다. 패드 스택은 RIE에 의해 형성 영역에 트렌치가 형성되도록 패턴된다.

다음, 형성된 영역이 다음 예를들어 활성 이온 에칭(RIE)로 에칭되어 기판을 노출시키기 위한 패드 스택에 개구를 형성한다. 노출된 기판은 칼라의 저부 부근을 형성하는 깊이로 에칭되어 트렌치 608을 형성한다. 본 발명의 일실시예에서, 개구 608은 약 1~1.5 $\mu$ m의 깊이로 에칭된다. 물론, 이 깊이는 디자인 요구사항에 따라 변화될 수 있다.

절연체 층 667이 퇴적되어 희생 물질의 표면 및 트렌치 측벽을 라이닝한다. 절연체 층은 예를들어 칼라 산화물로 기능하는 산화물을 포함한다. 본 발명의 일실시예에서, 절연체 층은 먼저 열 산화물의 얇은 층을 성장시키고, 그 위에 TEOS 층을 퇴적시킴에 의해 형성된다. 산화물의 두께는 예를들어 약 5~10nm 이며, 칼라의 두께는 약 20~50nm이다. 또한, 절연체 층이 열 산화물을 포함하는 것도 가능하다. 질화물 라이너가 절연체 층상에 형성될 수 있다. 칼라로서 기능하는 다른 형태의 절연체가 또한 이용가능하다.

도7b를 참조하면, 에치가 트렌치 608의 저면에 기판을 노출시키도록, 칼라를 오픈하는 행해진다. RIE와 같은 비등방성 에치가 칼라를 오픈하는데 이용된다. RIE는 또한 패드 스택의 표면 및 트렌치 608의 하부로부터 절연체 층을 제거하고, 칼라 668을 형성하기 위한 실리콘 측벽상에 절연체 층을 잔류시킨다. 위에서 설명한 바와 같이, 개구 608의 트렌치 측벽을 라이닝하는 절연체 층의 상부는 RIE로부터의 부식으로 인해 테이퍼(taper)된다. 그러나, 칼라가 테이퍼 지점을 지난 기판 표면 아래에 연이어서 리세스되기 때문에, 테이퍼는 칼라에 역기능을 야기하지 않는다.

도7c를 참조하면, RIE가 행해진다. RIE는 트렌치 하부의 노출된 기판 표면을 에칭하여 트렌치 깊이까지 연장시킨다. RIE는 트렌치 609의 하부 669를 형성하도록 기판을 에칭한다. 전형적으로, 트렌치는 기판 표면의 약 6~8 $\mu$ m 아래에 위치한다. 물론, 트렌치 깊이는 프로세싱 능력 및 디자인 요구사항에 의존한다. 또한, 경 마스크는 프로세스 흐름에서 나중에 제거될 수도 있다. 전형적으로, 경 마스크는 습식 에칭에 의해 제거된다.

도7d를 참조하면, 트렌치의 하부 669가 CDE와 같은 건식 에치에 의해 연장된다. CDE는 트렌치 하부를  $W_0$ 보다 큰 지름  $W_L$ 로 연장시킨다. 경 마스크가 먼저 제거되는 것이 꼭 필요한 게 아니라면, 경 마스크가 CDE 후에 제거될 수 있다. 프로세스는 도4a~도4d 또는 도5에서 설명된 바대로 계속 진행된다.

### 발명의 효과

본 발명이 다양한 실시예를 참조하여 특정하게 나타나고 설명되었으나, 본 발명에 대한 변형 또는 수정이 본 발명의 범위를 벗어나지 않는 범위에서 당업자에 의해 만들어질 수 있음이 인식되어야 한다. 단순히 설명을 위한 실시예에서, 트렌치 커패시터가 표면 스트랩 또는 다른 셀로 형성될 수 있고 또한 비

트라인 구조가 이용될 수 있다. 본 발명의 범위는 위의 상세한 설명에 의해 결정되는 것이 아니라 이하의 청구범위 및 그의 균등물에 의해 결정되어야 한다.

(57) 청구의 범위

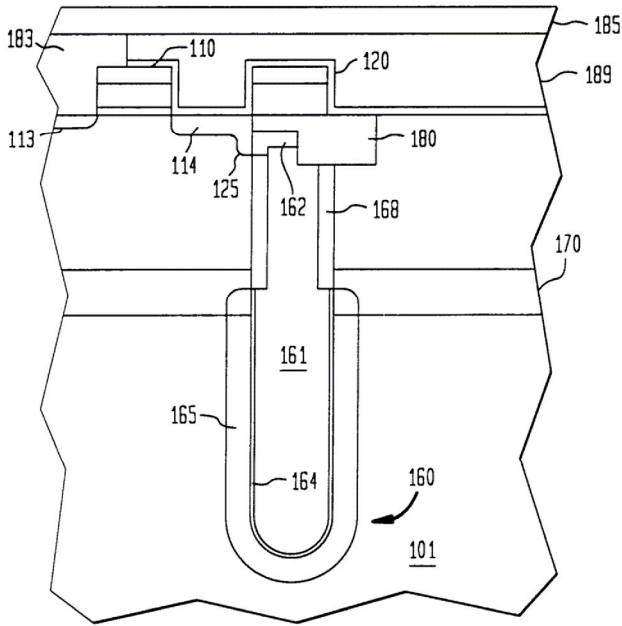
청구항 1

연장된 트랜치 하부를 갖는 병 형상의(bottle-shaped) 트랜치 커패시터; 및

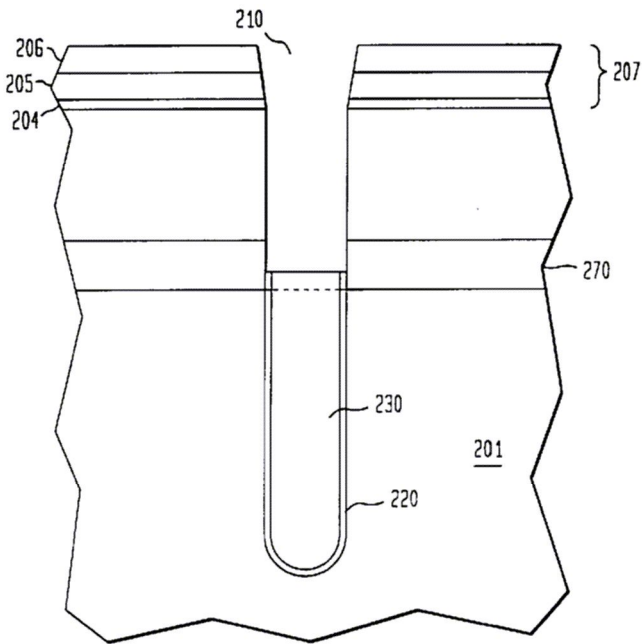
상기 트랜치의 상부를 라이닝(lining)하는 산화물 칼라(collar) 아래의 측벽인 상기 연장된 트랜치 하부의 측벽을 라이닝하는 에피택셜 층을 포함하는 것을 특징으로 하는 반도체 집적 회로.

도면

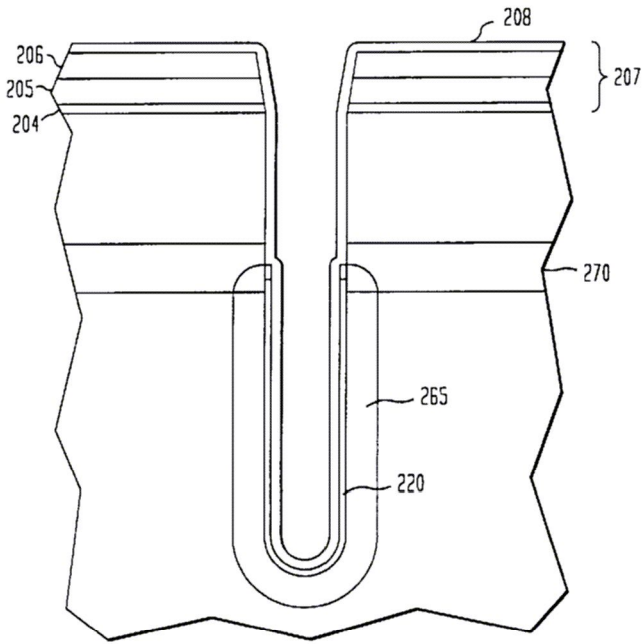
도면1



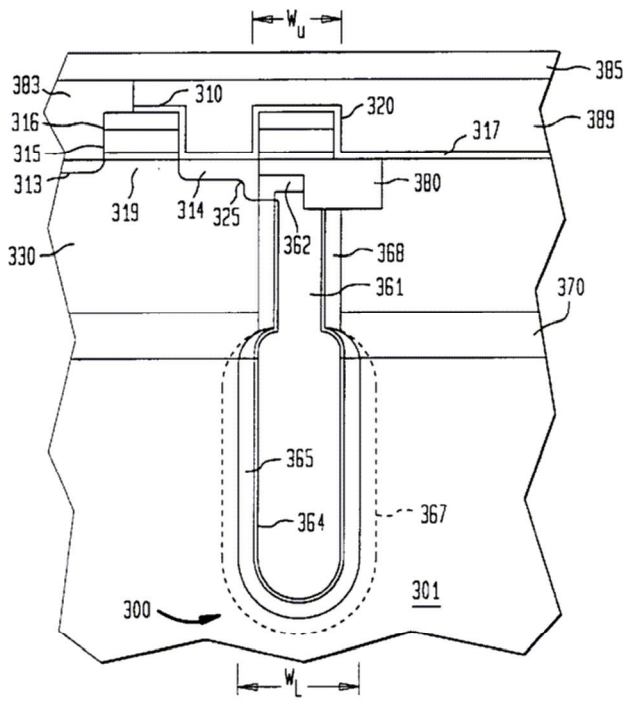
도면2a



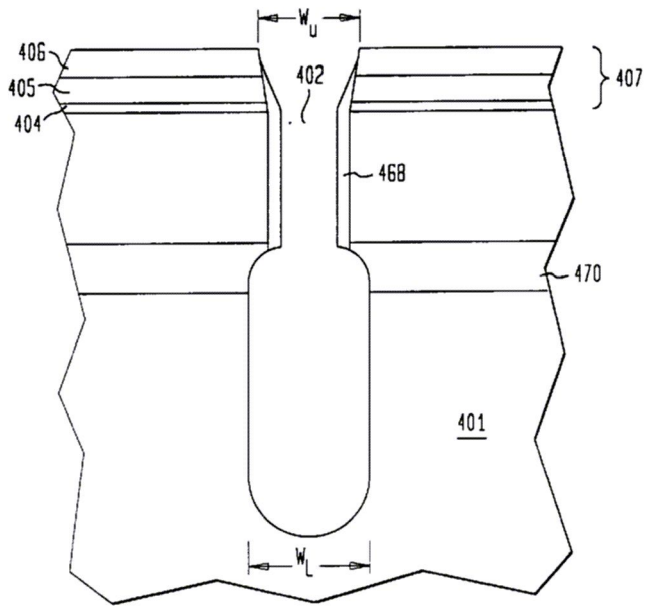
도면2b



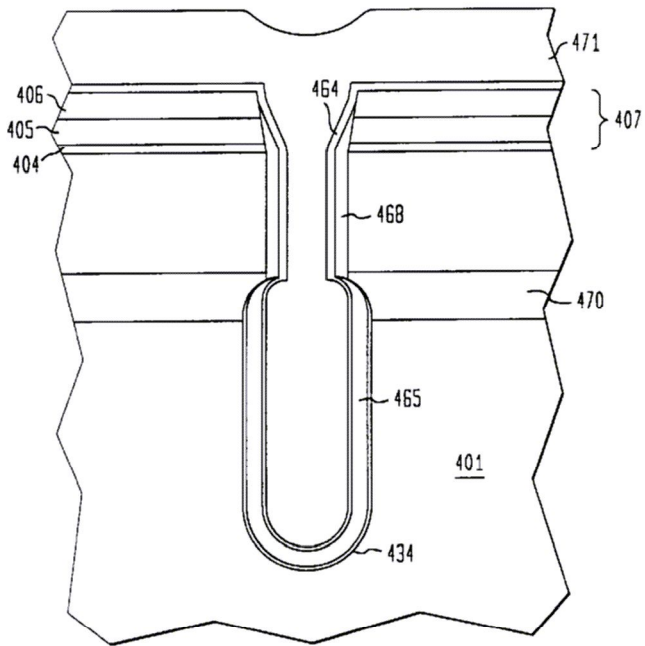
도면3



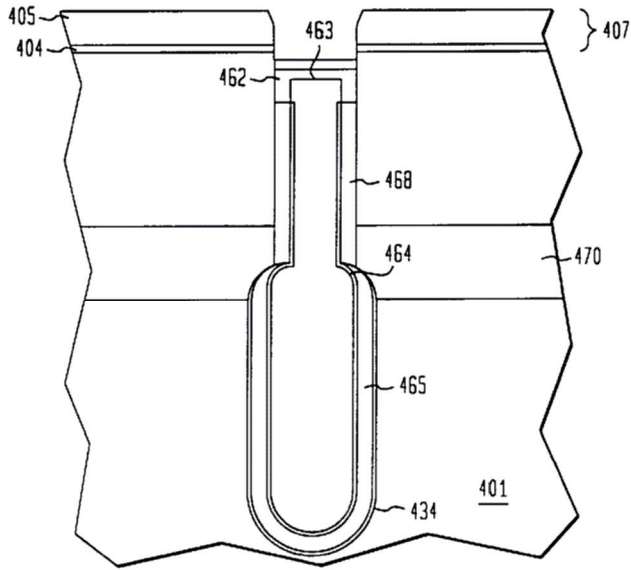
도면4a



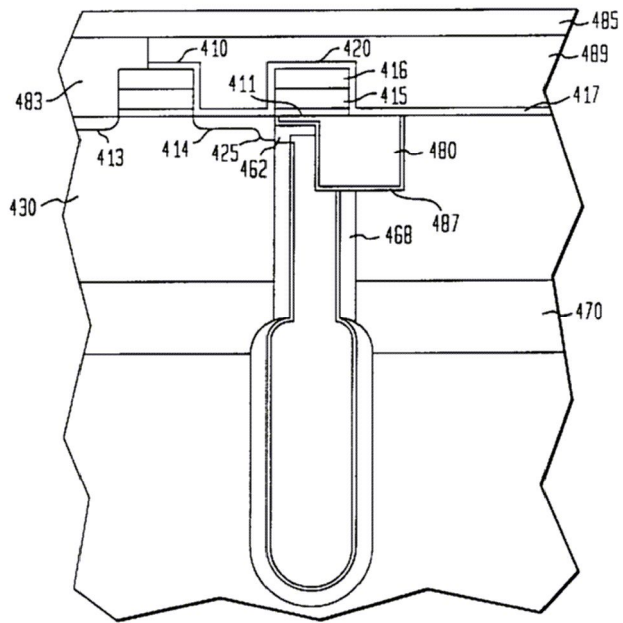
도면4b



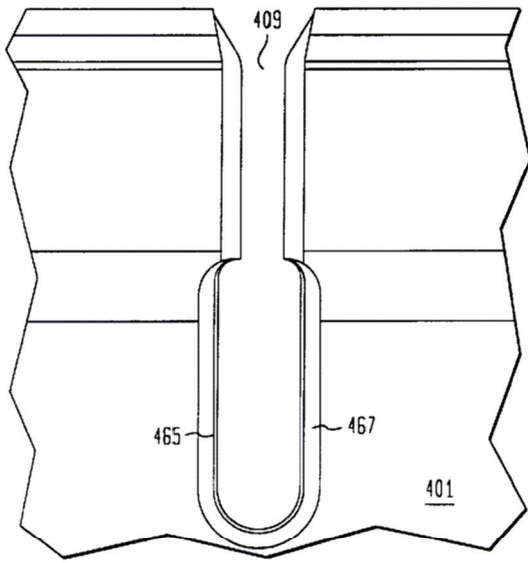
도면4c



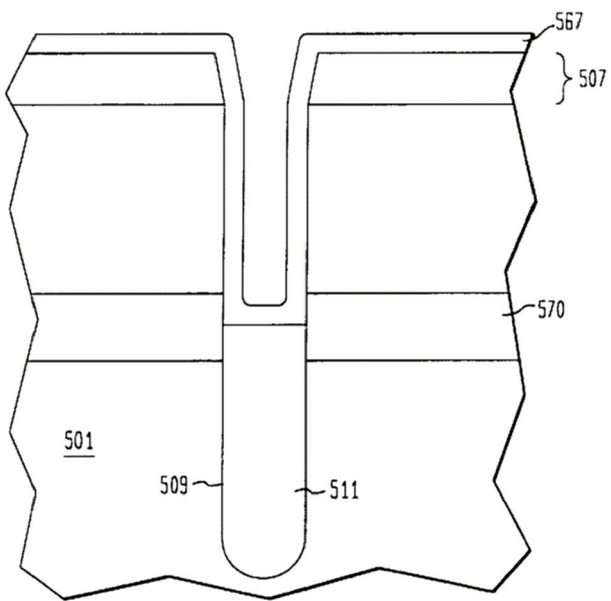
도면4d



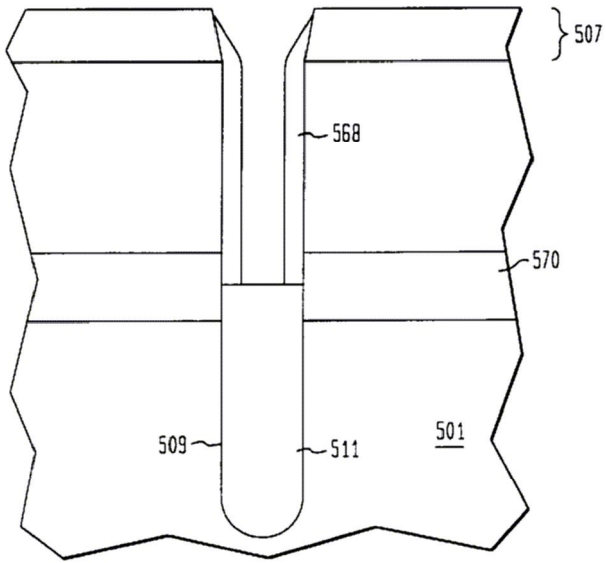
도면5



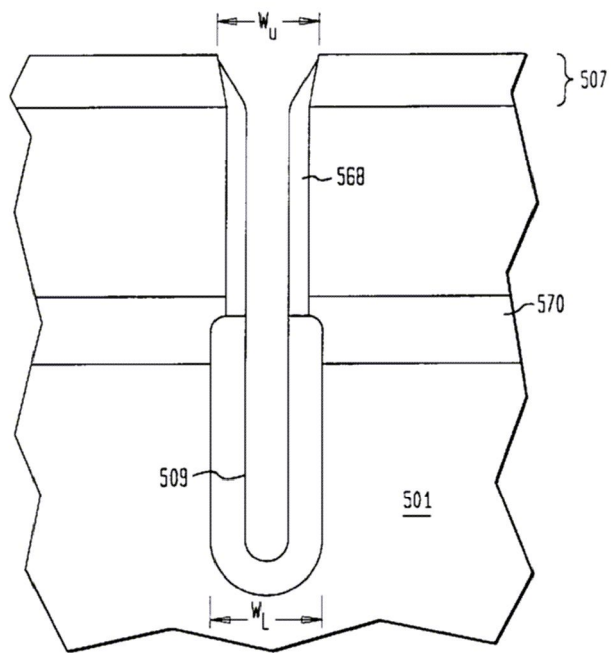
도면6a



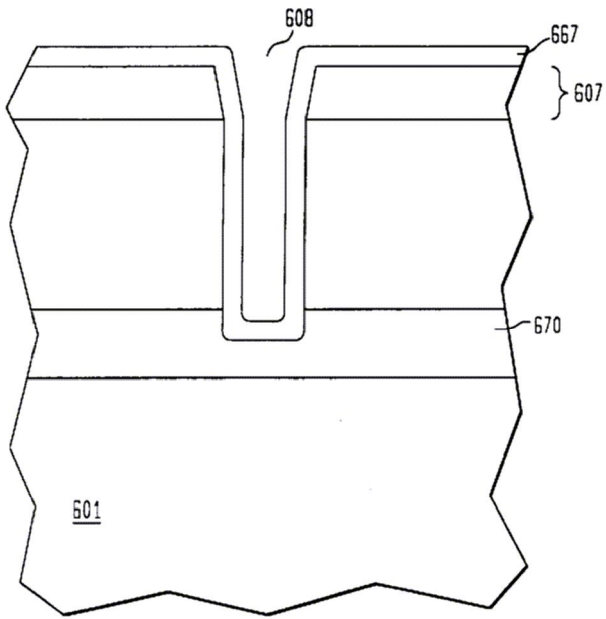
도면6b



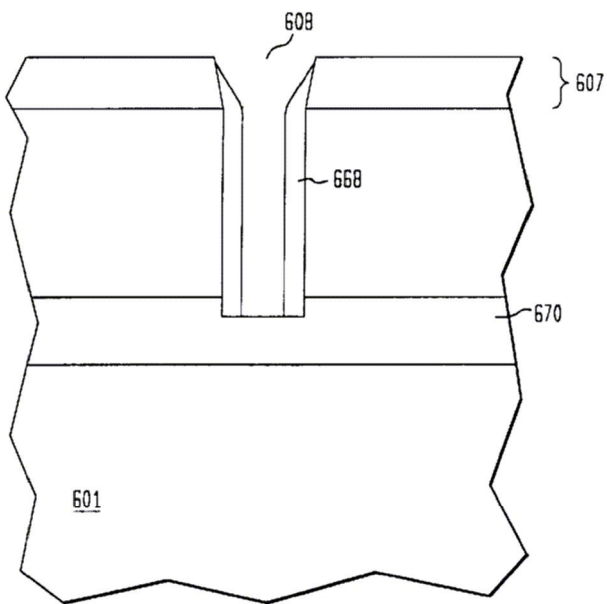
도면6c



도면7a

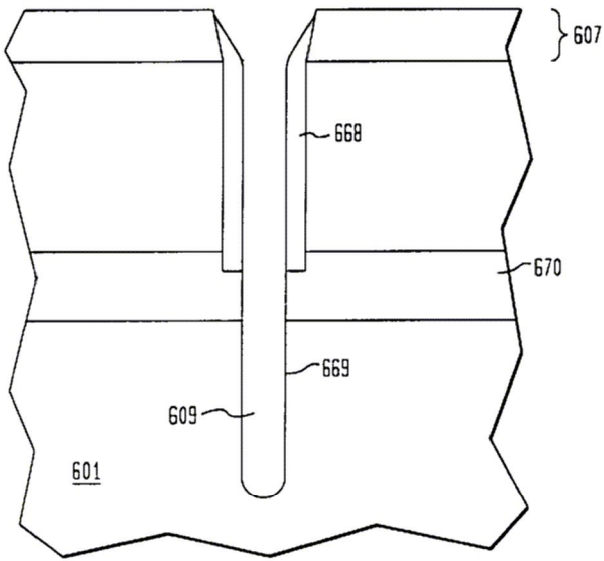


도면7b





도면7c



도면7d

